



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0066299
(43) 공개일자 2008년07월16일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2007-0003537

(22) 출원일자 2007년01월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정병성

경기도 용인시 기흥구 영덕동 대명아파트 102동 1301호

조규식

경기 수원시 영통구 영통동 황골마을2단지아파트 신명아파트204동 801호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

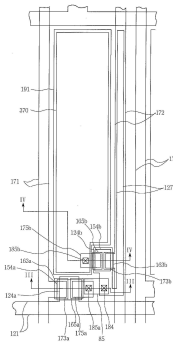
전체 청구항 수 : 총 16 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명에 따른 유기 발광 표시 장치는 기관, 기관 위에 형성되어 있는 제1 및 제2 저항성 접촉 부재, 기관과 제1 및 제2 저항성 접촉 부재 위에 형성되어 있으며 다결정 규소를 포함하는 구동 반도체, 제1 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 입력 전극, 제2 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 출력 전극, 구동 반도체, 구동 입력 전극 및 구동 출력 전극 위에 형성되어 있는 제1 게이트 절연막, 그리고 제1 게이트 절연막 위에 형성되어 있으며 구동 반도체와 중첩하는 구동 제어 전극을 포함한다.

대표도 - 도2



(72) 발명자

최준후

서울특별시 서대문구 영천동 삼호아파트 108동 30
3호

박용환

서울 양천구 신정동 952-3 주안아파트 401호

특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있는 제1 및 제2 저항성 접촉 부재,

상기 기관과 제1 및 제2 저항성 접촉 부재 위에 형성되어 있으며 다결정 규소를 포함하는 구동 반도체,

상기 제1 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 입력 전극,

상기 제2 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 출력 전극,

상기 구동 반도체, 상기 구동 입력 전극 및 상기 구동 출력 전극 위에 형성되어 있는 제1 게이트 절연막, 그리고

상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체와 중첩하는 구동 제어 전극

을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 기관 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재,

상기 제3 및 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 반도체,

상기 제3 저항성 접촉 부재와 전기적으로 연결되어 있는 스위칭 입력 전극,

상기 제4 저항성 접촉 부재와 전기적으로 연결되어 있는 스위칭 출력 전극, 그리고

상기 제1 게이트 절연막 위에 형성되며 상기 스위칭 반도체와 중첩하는 스위칭 제어 전극

을 더 포함하고,

상기 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 제1 게이트 절연막 위에 형성되어 있는 스위칭 제어 전극,

상기 스위칭 제어 전극 위에 형성되어 있는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 형성되어 있으며 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체,

상기 스위칭 반도체 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재,

상기 제3 저항성 접촉 부재 위에 형성되어 있는 스위칭 입력 전극, 그리고

상기 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 출력 전극

을 포함하고,

상기 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 기관 위에 형성되어 있는 스위칭 제어 전극,

상기 제1 게이트 절연막 위에 형성되어 있으며 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체,

상기 스위칭 반도체 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재,

상기 제3 저항성 접촉 부재 위에 형성되어 있는 스위칭 입력 전극, 그리고
상기 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 출력 전극
을 포함하고,
상기 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 5

제2항, 제3항 및 제4항 중 어느 한 항에서,
상기 스위칭 반도체는 비정질 규소 또는 다결정 규소로 이루어지는 유기 발광 표시 장치.

청구항 6

제1항에서,
상기 제1 및 제2 저항성 접촉 부재는 다결정 규소로 이루어지는 유기 발광 표시 장치.

청구항 7

제1항에서,
상기 제1 및 제2 저항성 접촉 부재는 상기 구동 입력 전극 및 구동 출력 전극과 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 8

제1항에서,
상기 구동 출력 전극 및 구동 입력 전극 위에 형성되어 있는 보호막,
상기 보호막 위에 형성되어 있으며 상기 구동 출력 전극과 연결되어 있는 제1 전극,
상기 제1 전극 위에 형성되어 있는 발광 부재, 그리고
상기 발광 부재 위에 형성되어 있는 제2 전극
을 더 포함하는 유기발광 표시 장치.

청구항 9

제1항에서,
상기 기판 위에 형성되어 있는 차단막을 더 포함하는 유기 발광 표시 장치.

청구항 10

기판 위에 제1 및 제2 저항성 접촉 부재를 형성하는 단계,
상기 제1 및 제2 저항성 접촉 부재 위에 비정질 규소로 반도체 패턴을 형성하는 단계,
상기 반도체 패턴을 결정화하여 결정화된 구동 반도체를 형성하는 단계,
상기 저항성 접촉 부재와 구동 반도체 위에 구동 입력 전극 및 구동 출력 전극을 형성하는 단계,
상기 구동 입력 전극 및 구동 출력 전극 위에 제1 게이트 절연막을 형성하는 단계, 그리고
상기 제1 게이트 절연막 위에 제어 전극을 형성하는 단계
를 포함하는 유기 발광 표시 장치의 제조방법.

청구항 11

제9항에서,

상기 결정화는 고상 결정화 방법으로 시행하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제10항에서,

상기 제1 및 제2 저항성 접촉 부재를 형성하는 단계와

상기 구동 입력 전극 및 구동 출력 전극을 형성하는 단계에서 동일한 마스크를 이용하여 패터닝하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제10항에서,

상기 기판 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계,

상기 제3 및 제4 저항성 접촉 부재 위에 스위칭 반도체를 형성하는 단계,

상기 제3 저항성 접촉 부재와 전기적으로 연결되는 스위칭 입력 전극을 형성하는 단계,

상기 제4 저항성 접촉 부재 및 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계, 그리고

상기 제1 게이트 절연막 위에 상기 스위칭 반도체와 중첩하는 스위칭 제어 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치.

청구항 14

제10항에서,

상기 제1 게이트 절연막 위에 스위칭 제어 전극을 형성하는 단계,

상기 스위칭 제어 전극 위에 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체를 형성하는 단계,

상기 스위칭 반도체 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계,

상기 제3 저항성 접촉 부재 위에 스위칭 입력 전극을 형성하는 단계, 그리고

상기 제4 저항성 접촉 부재 위에 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치.

청구항 15

제10항에서,

상기 기판 위에 스위칭 제어 전극을 형성하는 단계,

상기 제1 게이트 절연막 위에 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체를 형성하는 단계,

상기 스위칭 반도체 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계,

상기 제3 저항성 접촉 부재 위에 스위칭 입력 전극을 형성하는 단계, 그리고

상기 제4 저항성 접촉 부재 위에 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치.

청구항 16

제13항, 제14항 및 제15항 중 어느 한 항에서,

상기 스위칭 반도체는 비정질 규소 또는 다결정 규소로 형성하는 유기 발광 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <48> 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- <49> 최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다.
- <50> 그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 많은 문제점이 있다.
- <51> 최근 이러한 문제점을 극복할 수 있는 표시 장치로서, 유기 발광 표시 장치(organic light emitting diode display, OLED display)가 주목 받고 있다.
- <52> 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- <53> 유기 발광 표시 장치는 자체발광형으로 별도의 광원이 필요 없으므로 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.
- <54> 유기 발광 표시 장치는 구동 방식에 따라 단순 매트릭스 방식의 유기 발광 표시 장치(passive matrix OLED display)와 능동 매트릭스 방식의 유기 발광 표시 장치(active matrix OLED display)로 나눌 수 있다.
- <55> 이 중, 능동 매트릭스 방식의 유기 발광 표시 장치는 신호선에 연결되어 데이터 전압을 제어하는 스위칭 박막 트랜지스터(switching thin film transistor)와 이로부터 전달받은 데이터 전압을 게이트 전압으로 인가하여 발광 소자에 전류를 흘리는 구동 박막 트랜지스터(driving thin film transistor)를 포함한다.
- <56> 박막 트랜지스터의 반도체는 다결정 규소(polycrystalline silicon, polysilicon) 또는 비정질 규소(amorphous silicon)로 이루어진다.
- <57> 일반적으로 규소는 결정 상태에 따라 비정질 규소와 다결정 규소(polycrystalline silicon, polysilicon)를 포함하는 결정질 규소(crystalline silicon)로 나눌 수 있다. 비정질 규소는 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하며, 낮은 용융점을 가지는 유리를 기판으로 사용하는 표시 장치에 주로 사용하나, 전계 이동도가 작아서 박막 트랜지스터의 성능에 한계가 있다. 이에 비하여, 다결정 규소는 전계 이동도가 커서 고성능 박막 트랜지스터를 구현할 수 있으나 제조상의 어려움이 있고 누설 전류가 큰 단점이 있다. 특히, 식각 공정 등으로 인하여 반도체 표면이 손상될 경우 누설 전류는 더욱 증가한다.

발명이 이루고자 하는 기술적 과제

- <58> 따라서 본 발명이 이루고자 하는 기술적 과제는 반도체의 표면 손상을 최소화하여 박막 트랜지스터의 전기적 특성을 안정화시키는 것이다.

발명의 구성 및 작용

- <59> 상기한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 기판, 기판 위에 형성되어 있는 제1 및 제2 저항성 접촉 부재, 기판과 제1 및 제2 저항성 접촉 부재 위에 형성되어 있으며 다결정 규소를 포함하는 구동 반도체, 제1 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 입력 전극, 제2 저항성 접촉 부재와 전기적으로 연결되어 있는 구동 출력 전극, 구동 반도체, 상기 구동 입력 전극 및 상기 구동 출력 전극 위에 형성되어 있는 제1 게이트 절연막, 그리고 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체와 중첩하는 구동 제어 전극을 포함한다.
- <60> 기판 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재, 제3 및 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 반도체, 제3 저항성 접촉 부재와 전기적으로 연결되어 있는 스위칭 입력 전극, 제4 저항성 접촉 부재와 전기적으로 연결되어 있는 스위칭 출력 전극, 그리고 제1 게이트 절연막 위에 형성되며 상기 스위칭 반도체와 중첩

하는 스위칭 제어 전극을 더 포함하고, 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결될 수 있다.

- <61> 제1 게이트 절연막 위에 형성되어 있는 스위칭 제어 전극, 스위칭 제어 전극 위에 형성되어 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 형성되어 있으며 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체, 스위칭 반도체 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재, 제3 저항성 접촉 부재 위에 형성되어 있는 스위칭 입력 전극, 그리고 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 출력 전극을 포함하고, 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결될 수 있다.
- <62> 기관 위에 형성되어 있는 스위칭 제어 전극, 제1 게이트 절연막 위에 형성되어 있으며 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체, 스위칭 반도체 위에 형성되어 있는 제3 및 제4 저항성 접촉 부재, 제3 저항성 접촉 부재 위에 형성되어 있는 스위칭 입력 전극, 그리고 제4 저항성 접촉 부재 위에 형성되어 있는 스위칭 출력 전극을 포함하고, 스위칭 출력 전극은 상기 구동 입력 전극과 전기적으로 연결될 수 있다.
- <63> 스위칭 반도체는 비정질 규소 또는 다결정 규소로 이루어질 수 있다.
- <64> 제1 및 제2 저항성 접촉 부재는 다결정 규소로 이루어질 수 있다.
- <65> 제1 및 제2 저항성 접촉 부재는 상기 구동 입력 전극 및 구동 출력 전극과 동일한 평면 패턴을 가질 수 있다.
- <66> 구동 출력 전극 및 구동 입력 전극 위에 형성되어 있는 보호막, 보호막 위에 형성되어 있으며 상기 구동 출력 전극과 연결되어 있는 제1 전극, 제1 전극 위에 형성되어 있는 발광 부재, 그리고 발광 부재 위에 형성되어 있는 제2 전극을 더 포함할 수 있다.
- <67> 기관 위에 형성되어 있는 차단막을 더 포함할 수 있다.
- <68> 상기한 다른 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 기관 위에 제1 및 제2 저항성 접촉 부재를 형성하는 단계, 제1 및 제2 저항성 접촉 부재 위에 비정질 규소로 반도체 패턴을 형성하는 단계, 반도체 패턴을 결정화하여 결정화된 구동 반도체를 형성하는 단계, 저항성 접촉 부재와 구동 반도체 위에 구동 입력 전극 및 구동 출력 전극을 형성하는 단계, 구동 입력 전극 및 구동 출력 전극 위에 제1 게이트 절연막을 형성하는 단계, 그리고 제1 게이트 절연막 위에 제어 전극을 형성하는 단계를 포함한다.
- <69> 결정화는 고상 결정화 방법으로 시행할 수 있다.
- <70> 제1 및 제2 저항성 접촉 부재를 형성하는 단계와 구동 입력 전극 및 구동 출력 전극을 형성하는 단계에서 동일한 마스크를 이용하여 패터닝할 수 있다.
- <71> 기관 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계, 제3 및 제4 저항성 접촉 부재 위에 스위칭 반도체를 형성하는 단계, 제3 저항성 접촉 부재와 전기적으로 연결되는 스위칭 입력 전극을 형성하는 단계, 제4 저항성 접촉 부재 및 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계, 그리고 제1 게이트 절연막 위에 상기 스위칭 반도체와 중첩하는 스위칭 제어 전극을 형성하는 단계를 더 포함할 수 있다.
- <72> 제1 게이트 절연막 위에 스위칭 제어 전극을 형성하는 단계, 스위칭 제어 전극 위에 제2 게이트 절연막을 형성하는 단계, 제2 게이트 절연막 위에 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체를 형성하는 단계, 스위칭 반도체 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계, 제3 저항성 접촉 부재 위에 스위칭 입력 전극을 형성하는 단계, 그리고 제4 저항성 접촉 부재 위에 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계를 더 포함할 수 있다.
- <73> 기관 위에 스위칭 제어 전극을 형성하는 단계, 제1 게이트 절연막 위에 상기 스위칭 제어 전극과 중첩하는 스위칭 반도체를 형성하는 단계, 스위칭 반도체 위에 제3 및 제4 저항성 접촉 부재를 형성하는 단계, 제3 저항성 접촉 부재 위에 스위칭 입력 전극을 형성하는 단계, 그리고 제4 저항성 접촉 부재 위에 상기 구동 입력 전극과 전기적으로 연결되는 스위칭 출력 전극을 형성하는 단계를 더 포함할 수 있다.
- <74> 스위칭 반도체는 비정질 규소 또는 다결정 규소로 형성할 수 있다.
- <75> 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <76> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할

때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- <77> 먼저 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 도 1을 참고로 상세하게 설명한다.
- <78> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- <79> 도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- <80> 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <81> 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.
- <82> 스위칭 트랜지스터(Qs)는 각각 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 박막 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- <83> 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다.
- <84> 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- <85> 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(Vss)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- <86> 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- <87> 그러면 도 1에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 2 및 도 3을 도 1과 함께 참고하여 상세하게 설명한다.
- <88> 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이고, 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- <89> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에는 산화 규소(SiO_2) 또는 질화 규소(SiNx) 등으로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- <90> 차단막(111) 위에는 제1 내지 제4 섬형 저항성 접촉 부재(ohmic contact)(163a, 165a, 163b, 165b)가 형성되어 있다. 제1 및 제2 섬형 저항성 접촉 부재(163a, 165a)는 분리되어 있으며 짝을 이루어 서로 마주하고 있으며, 제3 및 제4 섬형 저항성 접촉 부재(163b, 165b)도 분리되어 있으며 짝을 이루어 서로 마주하고 있다.
- <91> 섬형 저항성 접촉 부재(163a, 165a, 163b, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 또는 다결정 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.

- <92> 제1 및 제2 섬형 저항성 접촉 부재(163a, 165a) 위에는 제1 반도체(154a)가 형성되어 있고, 제3 및 제4 섬형 저항성 접촉 부재(163b, 165b) 위에는 제2 반도체(154b)가 형성되어 있다. 제1 반도체(154a)는 제1 및 제2 섬형 저항성 접촉 부재(163a, 165a)를 연결하고, 제2 반도체(154b)는 제3 및 제4 섬형 저항성 접촉 부재(163a, 165b)를 연결한다.
- <93> 제1 및 제2 반도체(154a, 154b)는 다결정 규소로 만들어 질 수 있다.
- <94> 기판(110), 제1 반도체(154a), 제2 반도체(154b) 및 저항성 접촉 부재(163a, 165a, 163b, 165b) 위에는 복수의 데이터선(171), 복수의 구동 전압선(172)과 복수의 제1 및 제2 출력 전극(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.
- <95> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 있다. 각 데이터선(171)은 제1 반도체(154a)를 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접촉을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- <96> 제1 입력 전극(173a)은 제1 반도체(154a) 및 노출된 제1 섬형 저항성 접촉 부재(163a)와 직접 접촉한다.
- <97> 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 있다. 각 구동 전압선(172)은 제2 반도체(154b)를 향하여 뻗은 복수의 제2 입력 전극(173b)을 포함한다.
- <98> 제2 입력 전극(173b)은 제2 반도체(154b) 및 노출된 제3 섬형 저항성 접촉 부재(163b)와 직접 접촉한다.
- <99> 제1 및 제2 출력 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171) 및 구동 전압선(172)과 분리되어 있다.
- <100> 제1 출력 전극(175a)은 제1 반도체(154a) 및 제2 섬형 저항성 접촉 부재(165a)와 직접 접촉하고, 제2 출력 전극(175b)은 제2 반도체(154b) 및 제4 섬형 저항성 접촉 부재(165b)와 직접 접촉한다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 제1 반도체(154a)를 중심으로 서로 마주하고, 제2 입력 전극(173b)과 제2 출력 전극(175b)은 제2 반도체(154b)를 중심으로 서로 마주한다.
- <101> 데이터 도전체(171, 172, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다.
- <102> 데이터 도전체(171, 172, 175a, 175b)는 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- <103> 저항성 접촉 부재(163a, 165a, 163b, 165b)와 데이터 도전체(171, 172, 175a, 175b)의 평면 패턴은 다르나, 동일한 마스크를 이용하여 형성할 경우 두 층의 평면 패턴은 실질적으로 동일할 수 있다.
- <104> 데이터 도전체(171, 172, 175a, 175b), 제1 및 제2 반도체(154a, 154b) 위에는 질화규소(SiN_x) 또는 산화규소(SiO₂) 따위로 만들어진 게이트 절연막(140)이 형성되어 있다.
- <105> 게이트 절연막(140) 위에는 제1 제어 전극(control electrode)(124a)을 포함하는 게이트선(121) 및 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체(gate conductor)가 형성되어 있다.
- <106> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 데이터선(171)과 교차한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접촉을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함하며, 제1 제어 전극(124a)은 게이트선(121)으로부터 위로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- <107> 제2 제어 전극(124b)은 게이트선(121)과 분리되어 있으며, 유지 전극(storage electrode)(127)을 포함한다. 유지 전극(127)은 구동 전압선(172)과 중첩한다.
- <108> 게이트 도전체(121, 124b)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금

속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 폴리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 폴리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트선(121)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

- <109> 게이트 도전체(121, 124b)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <110> 게이트 도전체(121, 124b) 위에는 보호막(180)이 형성되어 있다.
- <111> 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다.
- <112> 보호막(180)에는 제2 제어 전극(124b)을 드러내는 복수의 접촉 구멍(184)이 형성되어 있고, 보호막(180) 및 게이트 절연막(140)에는 제1 및 제2 출력 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(185a, 185b)이 형성되어 있다.
- <113> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 부재(connecting member)(85)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- <114> 화소 전극(191)은 접촉 구멍(185b)을 통하여 제2 출력 전극(175b)과 물리적·전기적으로 연결되어 있으며, 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제2 제어 전극(124b) 및 제1 출력 전극(175a)과 연결되어 있다.
- <115> 화소 전극(191) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 독(bank)처럼 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(361)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.
- <116> 격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365)에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질로 만들어진다. 유기 발광 표시 장치는 유기 발광 부재(370)들이 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.
- <117> 유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공 수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있다.
- <118> 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 공통 전압(Vss)을 인가 받으며, ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.
- <119> 이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 반도체(154a)와 함께 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 반도체(154a)에 형성된다.
- <120> 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191)에 연결되어 있는 제2 출력 전극(175b)은 제2 반도체(154b)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 입력 전극(173b)과 제2 출력 전극

(175b) 사이의 제2 반도체(154b)에 형성된다. 화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

- <121> 이러한 유기 발광 표시 장치는 기판(110)의 위쪽 또는 아래쪽으로 빛을 내보내어 영상을 표시한다. 불투명한 화소 전극(191)과 투명한 공통 전극(270)은 기판(110)의 위쪽 방향으로 영상을 표시하는 전면 발광(top emission) 방식의 유기 발광 표시 장치에 적용하며, 투명한 화소 전극(191)과 불투명한 공통 전극(270)은 기판(110)의 아래 방향으로 영상을 표시하는 배면 발광(bottom emission) 방식의 유기 발광 표시 장치에 적용한다.
- <122> 그러면 도 2 내지 도 4에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 5 내지 도 19를 참조하여 상세하게 설명한다.
- <123> 도 5, 도 8, 도 11, 도 14 및 도 17은 도 2 내지 도 4의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 6은 도 5의 VI-VI선을 따라 잘라 도시한 단면도이고, 도 7은 도 5의 VII-VII선을 따라 잘라 도시한 단면도이고, 도 9는 도 8의 IX-IX선을 따라 잘라 도시한 단면도이고, 도 10은 도 8의 X-X선을 따라 잘라 도시한 단면도이고, 도 12는 도 11의 XII-XII선을 따라 잘라 도시한 단면도이고, 도 13은 도 11의 XIII-XIII선을 따라 잘라 도시한 단면도이고, 도 15는 도 14의 XV-XV선을 따라 잘라 도시한 단면도이고, 도 16은 도 14의 XVI-XVI선을 따라 잘라 도시한 단면도이고, 도 18은 도 17의 XVIII-XVIII선을 따라 잘라 도시한 단면도이고, 도 19는 도 17의 XIX-XIX선을 따라 잘라 도시한 단면도이다.
- <124> 도 5 내지 도 7에 도시한 바와 같이, 기판(110) 위에 산화 규소 따위를 증착하여 차단막(111)을 형성한다. 차단막은 약 5,000Å의 두께로 형성한다.
- <125> 그리고 차단막(111) 위에 화학 기상 증착(chemical vapor deposition, CVD) 따위로 도핑된 제1 비정질 규소막을 형성하고, 패터닝하여 제1 내지 제4 섬형 저항성 접촉 부재(163a, 165a, 163b, 165b)를 형성한다. 제1 비정질 규소막은 300~500Å의 두께로 형성한다.
- <126> 다음 도 8 내지 도 10에 도시한 바와 같이, 섬형 저항성 접촉 부재(163a, 165a, 163b, 165b) 위에 화학 기상 증착으로 비정질 규소를 증착하여 제2 비정질 규소막을 형성한다.
- <127> 그리고, 제2 비정질 규소막을 패터닝하여 제1 및 제2 반도체(154a, 154b)를 형성한다.
- <128> 이후 열처리로 제1 및 제2 반도체(154a, 154b)를 결정화한다. 결정화는 고상 결정화(solid phase crystallization, SPC), 엑시머 레이저 결정화(excimer laser annealing, ELA) 또는 금속 유도 측면 결정화(metal induced lateral crystallization, MILC) 따위로 수행할 수 있으며, 이 중 고상 결정화 방법이 바람직하다. 이때 섬형 저항성 접촉 부재(163a, 165a, 163b, 165b)도 함께 결정화 할 수 있다.
- <129> 다음 도 11 내지 도 13에 도시한 바와 같이, 기판(110) 위에 스퍼터링 따위로 금속막을 형성한 후 패터닝하여 제1 입력 전극(173a)을 포함하는 데이터선(171), 제1 출력 전극(175a), 제2 입력 전극(173b)을 포함하는 구동 전압선(172), 제2 출력 전극(175b)을 포함하는 데이터 도전체를 형성한다.
- <130> 본 발명의 실시예에서는 저항성 접촉 부재(163a, 165a, 163b, 165b)와 데이터 도전체(171, 172, 175a, 175b)를 별도의 마스크를 이용하여 형성하였으나, 저항성 접촉 부재(163a, 165a, 163b, 165b)와 데이터 도전체(171, 172, 175a, 175b)는 동일한 마스크를 이용하여 형성할 수 있다. 별도의 마스크를 이용하는 경우 저항성 접촉 부재(163a, 165a, 163b, 165b)는 제1 및 제2 입력 전극(173a, 173b)과 제1 및 제2 출력 전극(175a, 175b)과 접촉하는 영역에만 형성할 수 있으나, 동일 마스크를 사용하는 경우 저항성 접촉 부재는 데이터선(171) 및 구동 전압선(172) 아래에도 존재한다.
- <131> 다음 도 14 내지 도 16에 도시한 바와 같이, 데이터 도전체(171, 172, 175a, 175b) 위에 게이트 절연막(140)을 형성한다.
- <132> 그리고 게이트 절연막(140) 위에 스퍼터링 따위로 금속막을 형성한 후 패터닝하여 제1 제어 전극(124a)을 가지는 게이트선(121) 및 제2 제어 전극(124b)을 포함하는 게이트 도전체를 형성한다.
- <133> 다음 도 17 내지 도 19에 도시한 바와 같이, 게이트 도전체(121, 124b) 위에 보호막(180)을 적층하고 사진 식각하여 복수의 접촉 구멍(184, 185a, 185b)을 형성한다.
- <134> 그리고 보호막(180) 위에 ITO 등의 투명 도전막을 형성한 후 패터닝하여 복수의 화소 전극(191), 복수의 연결

부재(85)를 형성한다.

- <135> 다음, 도 2 내지 도 4에 도시한 바와 같이, 유기 절연막 또는 무기 절연막을 도포하고 노광 및 현상하여 화소 전극(191) 위에 개구부(365)를 가지는 격벽(361)을 형성한다.
- <136> 그리고 개구부(365)에 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법과 같은 용액 공정(solution process) 또는 증착(evaporation)으로 형성할 수 있으며, 그 중 잉크젯 인쇄 방법이 바람직하다.
- <137> 다음 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.
- <138> 다음 본 발명의 다른 실시예에 대해서 도 20 내지 도 22를 참조하여 상세히 설명한다.
- <139> 도 20은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 21은 도 20의 유기 발광 표시 장치를 XVIII-XVIII 선을 따라 잘라 도시한 단면도이고, 도 22는 도 20의 유기 발광 표시 장치를 XIX-XIX선을 따라 잘라 도시한 단면도이다.
- <140> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에는 산화 규소(SiO_2) 또는 질화 규소(SiN_x) 등으로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- <141> 차단막(111) 위에는 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c)가 형성되어 있다. 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c)는 분리되어 있으며 짝을 이루어 서로 마주하고 있다.
- <142> 섬형 저항성 접촉 부재(163c, 165c)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 또는 다결정 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- <143> 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c) 위에는 제3 반도체(154c)가 형성되어 있다. 제3 반도체(154c)는 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c)를 연결한다.
- <144> 제3 반도체(154c)는 다결정 규소로 형성된 반도체일 수 있다.
- <145> 기판(110), 제3 반도체(154c), 제5 및 제6 저항성 접촉 부재(163c, 165c) 위에는 복수의 구동 전압선(171)과 복수의 제3 출력 전극(175c)이 형성되어 있다.
- <146> 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 있다. 각 구동 전압선(172)은 제3 반도체(154c)를 향하여 뻗은 복수의 제3 입력 전극(173c)을 포함한다.
- <147> 제3 입력 전극(173c)은 제3 반도체(154b) 및 노출된 제5 섬형 저항성 접촉 부재(163b)와 직접 접촉한다.
- <148> 제3 출력 전극(175c)은 구동 전압선(172)과 분리되어 있으며, 제3 반도체(154c) 및 제6 섬형 저항성 접촉 부재(165c)와 직접 접촉한다.
- <149> 제3 입력 전극(173c)과 제3 출력 전극(175c)은 제3 반도체(154c)를 중심으로 서로 마주한다.
- <150> 구동 전압선(172) 및 제3 출력 전극(175c)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수 있다.
- <151> 구동 전압선(172) 및 제3 출력 전극(175c)은 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- <152> 구동 전압선(172), 제3 출력 전극(175c) 및 제3 반도체(154c) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_2) 따위로 만들어진 제1 게이트 절연막(140a)이 형성되어 있다.
- <153> 게이트 절연막(140a) 위에는 제3 제어 전극(control electrode)(124c)을 포함하는 게이트선(121) 및 복수의 제4 제어 전극(124c)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- <154> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 구동 전압선(172)과 교차한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함하며, 제3 제어 전극(124c)은 게이트선(121)으로부터 위로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.

- <155> 제4 제어 전극(124d)은 게이트선(121)과 분리되어 있으며, 유지 전극 (storage electrode)(127)을 포함한다. 유지 전극(127)은 구동 전압선(172)과 중첩한다.
- <156> 게이트 도전체(121, 124d)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트선(121)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <157> 게이트 도전체(121, 124d)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <158> 게이트 도전체(121, 124d) 위에는 질화규소(SiN_x) 또는 산화규소(SiO₂) 따위로 만들어진 제2 게이트 절연막(140b)이 형성되어 있다.
- <159> 제2 게이트 절연막(140b) 위에는 비정질 규소 또는 다결정 규소 등으로 만들어진 복수의 제4 반도체(154d)가 형성되어 있다. 제4 반도체(154d)는 제3 제어 전극(124c) 위에 위치한다.
- <160> 제4 반도체(154d) 위에는 복수의 제7 및 제8 섬형 저항성 접촉 부재(163d, 165d)가 형성되어 있다. 저항성 접촉 부재(163d, 165d)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 nt 비정질 규소 따위의 물질로 만들어 지거나 실리사이드로 만들어질 수 있다. 저항성 접촉 부재(163d, 165d)는 쌍을 이루어 제4 반도체(154d) 위에 배치되어 있다.
- <161> 저항성 접촉 부재(163d, 165d) 및 제2 게이트 절연막(140b) 위에는 복수의 데이터선(171)과 복수의 제4 출력 전극(175d)이 형성되어 있다.
- <162> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 있다. 각 데이터선(171)은 제3 제어 전극(124c)을 향하여 뻗은 복수의 제4 입력 전극(173d)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- <163> 제4 출력 전극(175d)는 데이터선(171)과 분리되어 있으며, 제3 제어 전극(124c)을 중심으로 제4 입력 전극(173d)과 마주한다.
- <164> 데이터선(171) 및 제4 출력 전극(175d)도 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- <165> 데이터선(171), 제4 출력 전극(175d) 및 제2 게이트 절연막(140b) 위에는 보호막(180)이 형성되어 있다.
- <166> 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다.
- <167> 보호막(180) 및 제2 게이트 절연막(140b)에는 제4 제어 전극(124b)을 드러내는 복수의 접촉 구멍(184)이 형성되어 있고, 보호막(180), 제1 및 제2 게이트 절연막(140a, 140b)에는 제3 및 제4 출력 전극(175c, 175d)을 각각 드러내는 복수의 접촉 구멍(185a, 185b)이 형성되어 있다.
- <168> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 부재(connecting member)(85)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

- <169> 화소 전극(191)은 접촉 구멍(185b)을 통하여 제3 출력 전극(175c)과 물리적·전기적으로 연결되어 있으며, 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제4 제어 전극(124d) 및 제4 출력 전극(175d)과 연결되어 있다.
- <170> 화소 전극(191) 위에는 제2 내지 제4의 실시예에서와 같이, 개구부(365)를 정의하는 격벽(361)이 형성되어 있고, 개구부(365)에는 유기 발광 부재(370)가 형성되어 있다. 그리고 유기 발광 부재(370) 위에는 공통 전극(270)이 형성되어 있다.
- <171> 그러면 도 20 내지 도 22에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 23 내지 도 43을 참조하여 상세하게 설명한다.
- <172> 도 23, 도 26, 도 29, 도 32, 도 35, 도 38 및 도 41은 도 20 내지 도 22이 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 24는 도 23의 XXIV-XXIV선을 따라 잘라 도시한 단면도이고, 도 25는 도 23의 XXV-XXV선을 따라 잘라 도시한 단면도이고, 도 27은 도 25의 XXVII-XXVII선을 따라 잘라 도시한 단면도이고, 도 28은 도 25의 XXVIII-XXVIII선을 따라 잘라 도시한 단면도이고, 도 30은 도 29의 XXX-XXX선을 따라 잘라 도시한 단면도이고, 도 31은 도 29의 XXXI-XXXI선을 따라 잘라 도시한 단면도이고, 도 33은 도 32의 XXXIII-XXXIII선을 따라 잘라 도시한 단면도이고, 도 34는 도 32의 XXXIV-XXXIV선을 따라 잘라 도시한 단면도이고, 도 36은 도 35의 XXXVI-XXXVI선을 따라 잘라 도시한 단면도이고, 도 37은 도 35의 XXXVII-XXXVII선을 따라 잘라 도시한 단면도이고, 도 39는 도 38의 XXXIX-XXXIX선을 따라 잘라 도시한 단면도이고, 도 40은 도 38의 XL-XL선을 따라 잘라 도시한 단면도이고, 도 42는 도 41의 XLII-XLII선을 따라 잘라 도시한 단면도이고, 도 43은 도 40의 XLIII-XLIII선을 따라 잘라 도시한 단면도이다.
- <173> 도 23 내지 도 25에 도시한 바와 같이, 기판(110) 위에 산화 규소 따위를 증착하여 차단막(111)을 형성한다. 차단막은 약 5,000Å의 두께로 형성한다.
- <174> 그리고 차단막(111) 위에 화학 기상 증착 따위로 도핑된 제1 비정질 규소막을 형성하고, 패터닝하여 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c)를 형성한다. 제1 비정질 규소막은 300~500Å의 두께로 형성한다.
- <175> 다음 도 26 내지 도 28에 도시한 바와 같이, 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c) 위에 화학 기상 증착으로 비정질 규소를 증착하여 제2 비정질 규소막을 형성한다.
- <176> 그리고, 제2 비정질 규소막을 패터닝하여 제3 반도체(154c)를 형성한 후 열처리로 제3 반도체(154c)를 결정화한다. 결정화는 도 8 내지 도 10에 도시한 방법과 동일하게 실시할 수 있다. 이때 제5 및 제6 섬형 저항성 접촉 부재(163c, 165c)도 함께 결정화 될 수 있다.
- <177> 다음 도 29 내지 도 31에 도시한 바와 같이, 기판(110) 위에 스퍼터링 따위로 금속막을 형성한 후 패터닝하여 제3 입력 전극(173c)을 포함하는 구동 전압선(172) 및 제3 출력 전극(175c)을 형성한다.
- <178> 다음 도 32 내지 도 34에 도시한 바와 같이, 기판(110) 위에 산화 규소 또는 질화 규소를 증착하여 제1 게이트 절연막(140a)을 형성한다.
- <179> 그리고 제1 게이트 절연막(140a) 위에 스퍼터링 따위로 금속막을 형성한 후 패터닝하여 제1 제어 전극(124a)을 가지는 게이트선(121) 및 제2 제어 전극(124b)을 포함하는 게이트 도전체를 형성한다.
- <180> 다음 도 35 내지 도 37에 도시한 바와 같이, 게이트 도전체(121, 124b) 위에 질화 규소 또는 산화 규소를 증착하여 제2 게이트 절연막(140b)을 형성한다.
- <181> 이후 제2 게이트 절연막(140a) 위에 도핑되지 않은 비정질 규소막과 도핑된 비정질 규소막을 적층한 후 패터닝하여 저항성 접촉 패턴(164) 및 제4 반도체(154d)를 형성한다.
- <182> 다음 도 38 내지 도 40에 도시한 바와 같이, 저항성 접촉 패턴(164) 위에 스퍼터링 따위로 금속막을 증착한 후 패터닝하여 데이터선(171) 및 제4 출력 전극(175d)을 형성한다.
- <183> 이후 데이터선(171) 및 제4 출력 전극(175d)을 마스크로 저항성 접촉 패턴(164)을 식각하여 제7 및 제8 섬형 저항성 접촉 부재(163d, 165d)를 형성한다.
- <184> 다음 도 41 내지 도 43에 도시한 바와 같이, 기판(110) 위에 보호막(180)을 적층하고 사진 식각하여 복수의 접촉 구멍(184, 185b, 185a)을 형성한다.
- <185> 그리고 보호막(180) 위에 ITO 등의 투명 도전막을 형성한 후 패터닝하여 복수의 화소 전극(191), 복수의 연결 부재(85)를 형성한다.

- <186> 다음, 도 20 내지 도 22에 도시한 바와 같이, 유기 절연막 또는 무기 절연막을 도포하고 노광 및 현상하여 화소 전극(191) 위에 개구부(365)를 가지는 격벽(361)을 형성한다.
- <187> 그리고 개구부(365)에 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법과 같은 용액 공정(solution process) 또는 증착(evaporation)으로 형성할 수 있으며, 그 중 잉크젯 인쇄 방법이 바람직하다.
- <188> 다음 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.
- <189> 다음 본 발명의 다른 실시예에 대해서 도 44 내지 도 46을 참조하여 상세히 설명한다.
- <190> 도 44는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 45는 도 44의 유기 발광 표시 장치를 XLIV-XLIV'-XLIV''-XLV''' 선을 따라 잘라 도시한 단면도이다.
- <191> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기관(110) 위에 산화 규소 또는 질화 규소 등으로 이루어진 차단막(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- <192> 차단막(111) 위에는 제9 및 제10 섬형 저항성 접촉 부재(163e, 165e)가 형성되어 있다. 제5 및 제6 섬형 저항성 접촉 부재(163e, 165e)는 분리되어 있으며 짝을 이루어 서로 마주하고 있다.
- <193> 제9 및 제10 저항성 접촉 부재(163e, 165e)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 또는 다결정 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- <194> 제9 및 제10 섬형 저항성 접촉 부재(163e, 165e) 위에는 제5 반도체(154e)가 형성되어 있다. 제5 반도체(154e)는 제9 및 제10 섬형 저항성 접촉 부재(163e, 165e)를 연결한다.
- <195> 제5 반도체(154e)는 다결정 규소로 만들어질 수 있다.
- <196> 기관(110), 제5 반도체(154e) 및 저항성 접촉 부재(163e, 165e) 위에는 복수의 제5 출력 전극(175e), 복수의 제5 입력 전극(173e) 및 복수의 게이트선(121)이 형성되어 있다.
- <197> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 위로 뻗어 있는 제5 제어 전극(124e)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기관(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- <198> 제5 입력 전극(173e) 및 제5 출력 전극(175e)은 각각 섬형이며, 게이트선(121)과 분리되어 있다. 제5 입력 전극(173e)과 제5 출력 전극(175e)은 제5 반도체(154e)를 중심으로 서로 마주한다.
- <199> 게이트선(121), 제5 입력 전극(173e) 및 제5 출력 전극(175e)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다.
- <200> 게이트선(121), 제5 입력 전극(173e) 및 제5 출력 전극(175e)은 기관(110) 면에 대하여 경사져 있으며 그 경사 각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <201> 게이트선(121), 제5 입력 전극(173e) 및 제5 출력 전극(175e) 위에는 산화규소 또는 질화규소 따위로 만들어진 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 단일 층일 수도 있고, 산화규소로 만들어진 제1 층과 질화규소로 만들어진 제2 층을 포함하는 복수 층일 수도 있다.
- <202> 게이트 절연막(140) 위에는 수소화 비정질 규소로 만들어진 복수의 제6 반도체(154f)가 형성되어 있다. 제6 반도체(154f)는 섬형이며, 제5 제어 전극(124e)과 중첩되어 있다.
- <203> 제6 반도체(154f) 위에는 복수의 데이터선(171), 복수의 구동 전압선(172) 및 복수의 전극 부재(176)가 형성되어 있다.
- <204> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제5 제어 전극(124e)을 향하여 뻗은 복수의 제6 입력 전극(173f)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기관(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수

있다.

- <205> 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터선(171)과 거의 평행하다. 각 구동 전압선(172)은 돌출부(177)를 포함한다.
- <206> 전극 부재(176)는 섬형이며 데이터선(171) 및 구동 전압선(172)과 분리되어 있다. 전극 부재(176)는 제6 입력 전극(173f)과 마주하는 부분(175f)(이하, 제6 출력 전극이라 함)과 제5 반도체(154e)와 중첩하는 부분(124f)(이하, 제6 제어 전극이라 함)을 포함한다. 제6 입력 전극(173f)과 제6 출력 전극(175f)은 제6 반도체(154f)를 중심으로 서로 마주한다.
- <207> 데이터선(171), 구동 전압선(172) 및 전극 부재(176)는 상술한 게이트선(121)과 동일한 재료로 만들어질 수 있다.
- <208> 데이터선(171), 구동 전압선(172) 및 전극 부재(176)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <209> 제6 반도체(154f)와 제6 입력 전극(173f) 사이 및 제6 반도체(154f)와 제6 출력 전극(175f) 사이에는 각각 복수쌍의 제11 및 제12 저항성 접촉 부재(163f, 165f)가 형성되어 있다. 저항성 접촉 부재(163f, 165f)는 섬 모양이며, 인(P) 따위의 불순물이 고동도로 도핑되어 있는 n+ 수소화 비정질 규소 또는 실리콘사이드 따위로 만들어질 수 있다.
- <210> 데이터선(171), 구동 전압선(172) 및 전극 부재(176) 위에는 보호막(180)이 형성되어 있다.
- <211> 보호막(180)에는 구동 전압선(172)의 돌출부(177) 및 데이터선(171)의 끝 부분(179)을 드러내는 복수의 접촉 구멍(contact hole)(185a, 182)이 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129), 구동 입력 전극(173b) 및 구동 출력 전극(175b)을 드러내는 복수의 접촉 구멍(181, 184, 185b)이 형성되어 있다.
- <212> 보호막(180) 위에는 복수의 화소 전극(191), 복수의 연결 부재(85) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.
- <213> 화소 전극(191)은 접촉 구멍(185b)을 통하여 제5 출력 전극(175e)과 연결되어 있다.
- <214> 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 구동 전압선(172)의 돌출부(177)와 제5 입력 전극(173e)과 각각 연결되어 있으며, 제6 제어 전극(124f)과 일부 중첩하여 유지 축전기(storage capacitor)(Cst)를 이룬다.
- <215> 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.
- <216> 그러면 도 44 및 도 45에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 46 내지 도 57을 참조하여 상세하게 설명한다.
- <217> 도 46은 유기 발광 표시 장치를 본 발명의 다른 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 47은 도 46의 유기 발광 표시 장치를 XLVII-XLVII'-XLVII''-XLVII''' 선을 따라 잘라 도시한 단면도이고, 도 48은 도 46의 다음 단계에서의 배치도이고, 도 49는 도 48의 유기 발광 표시 장치를 XLIX-XLIX'-XLIX''-XLIX''' 선을 따라 잘라 도시한 단면도이고, 도 50은 도 48의 다음 단계에서의 배치도이고, 도 51의 도 50의 유기 발광 표시 장치를 LI-LI'-LI''-LI''' 선을 따라 잘라 도시한 단면도이고, 도 52는 도 50의 다음 단계에서의 배치도이고, 도 53은 도 52의 유기 발광 표시 장치를 LIII-LIII'-LIII''-LIII''' 선을 따라 잘라 도시한 단면도이고, 도 54는 도 52의 다음 단계에서의 배치도이고, 도 55는 도 54의 유기 발광 표시 장치를 LV-LV'-LV''-LV''' 선을 따라 잘라 도시한 단면도이고, 도 56은 도 54의 다음 단계에서의 배치도이고, 도 57은 도 56의 유기 발광 표시 장치를 LVII-LVII'-LVII''-LVII''' 선을 따라 잘라 도시한 단면도이다.
- <218> 도 46 및 47에 도시한 바와 같이, 기판(110) 위에 산화 규소 따위를 증착하여 차단막(111)을 형성한다. 차단막은 약 5,000Å의 두께로 형성한다.
- <219> 그리고 차단막(111) 위에 화학 기상 증착 따위로 도핑된 제1 비정질 규소막을 형성하고, 패터닝하여 제9 및 제10 섬형 저항성 접촉 부재(163e, 165e)를 형성한다. 제1 비정질 규소막은 300~500Å의 두께로 형성한다.
- <220> 다음 도 48 및 49에 도시한 바와 같이, 제9 및 제10 섬형 저항성 접촉 부재(163e, 165e) 위에 화학 기상 증착으

로 비정질 규소를 증착하여 제2 비정질 규소막을 형성한다.

- <221> 그리고, 제2 비정질 규소막을 패터닝하여 제5 반도체(154e)를 형성한 후 열처리로 제5 반도체(154e)를 결정화한다. 결정화는 도 8 내지 도 10에 도시한 방법과 동일하게 실시할 수 있다. 이때 제9 및 제10 섬형 저항성 접촉부재(163e, 165e)도 함께 결정화 될 수 있다.
- <222> 다음 도 50 및 51에 도시한 바와 같이, 기판(110) 위에 스퍼터링 따위로 금속막을 형성한 후 패터닝하여 제5 입력 전극(173e), 제 5 출력 전극(175e) 및 제5 제어 전극(124e)을 포함하는 게이트선(121)을 형성한다.
- <223> 다음 도 52 및 도 53에 도시한 바와 같이, 기판(110) 위에 산화 규소 또는 질화 규소를 증착하여 게이트 절연막(140)을 형성한다.
- <224> 게이트 절연막(140) 위에 도핑되지 않은 비정질 규소막과 도핑된 비정질 규소막을 적층한 후 패터닝하여 저항성 접촉 패턴(164) 및 제6 반도체(154f)를 형성한다.
- <225> 다음 도 54 및 도 55에 도시한 바와 같이, 저항성 접촉 패턴(164) 위에 스퍼터링 따위로 금속막을 증착한 후 패터닝하여 제6 입력 전극(175f)를 포함하는 데이터선(171), 돌출부(177)를 포함하는 구동 전압선(172) 및 전극 부재(176)를 형성한다.
- <226> 이후 데이터선(171), 구동 전압선(172) 및 전극 부재(176)를 마스크로 저항성 접촉 패턴(164)을 식각하여 저항성 접촉 부재(163f, 165f)를 형성한다.
- <227> 다음 도 56 및 도 57에 도시한 바와 같이, 기판(110) 위에 보호막(180)을 적층하고 사진 식각하여 복수의 접촉구멍(184, 185a, 185b)을 형성한다.
- <228> 그리고 보호막(180) 위에 ITO 등의 투명 도전막을 형성한 후 패터닝하여 복수의 화소 전극(191), 복수의 연결부재(85)를 형성한다.
- <229> 다음, 도 44 및 도 45에 도시한 바와 같이, 유기 절연막 또는 무기 절연막을 도포하고 노광 및 현상하여 화소 전극(191) 위에 개구부(365)를 가지는 격벽(361)을 형성한다.
- <230> 그리고 개구부(365)에 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법과 같은 용액 공정(solution process) 또는 증착(evaporation)으로 형성할 수 있으며, 그 중 잉크젯 인쇄 방법이 바람직하다.
- <231> 다음 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.
- <232> 전술한 바와 같이, 저항성 접촉 부재 형성하기 위해서 채널부에 형성된 규소막을 식각하지 않고, 반도체 형성 전에 저항성 접촉 부재를 형성함으로써 채널이 형성되는 반도체의 표면 손상을 최소화할 수 있다. 따라서 구동 트랜지스터의 문턱 전압 이동 현상등을 방지하여 이미지 고착 및 수명 단축을 방지할 수 있다.
- <233> 이처럼, 구동 트랜지스터의 반도체를 다결정 규소로 형성하면, 구동 트랜지스터에서 필요한 높은 전하 이동도 및 안정성을 가질 수 있고, 이에 따라 발광 소자에 흐르는 전류량을 늘릴 수 있어서 휘도를 높일 수 있다.
- <234> 또한, 스위칭 트랜지스터도 다결정 규소로 형성할 수 있으나, 비정질 규소로 형성할 경우 다결정 규소에 비해서 오프 전류를 줄일 수 있어 온/오프 특성이 향상된다.
- <235> 본 발명의 실시예에서는 스위칭 트랜지스터와 구동 트랜지스터를 각 1개씩 형성하였으나 이들 외에 적어도 하나의 박막 트랜지스터 및 이를 구동하기 위한 복수의 배선을 더 포함함으로써, 장시간 구동하여도 유기 발광 다이오드 및 구동 트랜지스터가 열화되는 것을 방지하거나 보상하여 유기 발광 표시 장치의 수명이 단축되는 것을 방지할 수 있다.

발명의 효과

- <236> 이상 설명한 바와 같이, 본 발명은 저항성 접촉 부재 형성하기 위해서 채널부에 형성된 규소막을 식각하지 않고, 반도체 형성 전에 저항성 접촉 부재를 형성함으로써 채널이 형성되는 반도체의 표면 손상을 최소화할 수 있다.
- <237> 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

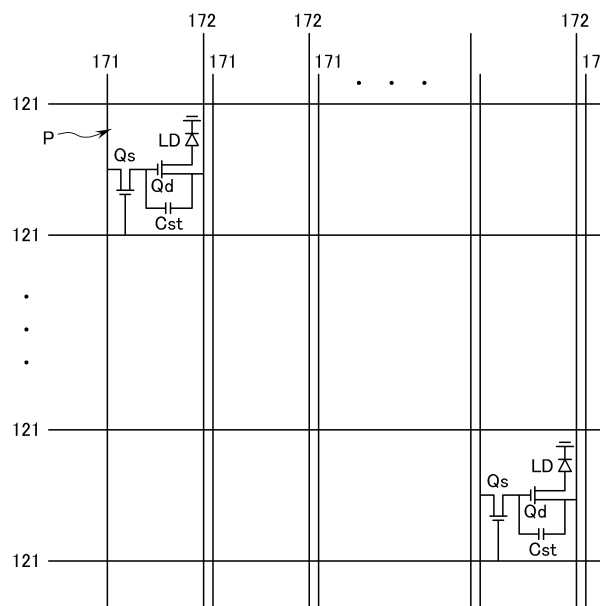
도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- <2> 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- <3> 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이다.
- <4> 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- <5> 도 5, 도 8, 도 11, 도 14 및 도 17은 도 2 내지 도 4의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이다.
- <6> 도 6은 도 5의 VI-VI선을 따라 잘라 도시한 단면도이다.
- <7> 도 7은 도 5의 VII-VII선을 따라 잘라 도시한 단면도이다.
- <8> 도 9는 도 8의 IX-IX선을 따라 잘라 도시한 단면도이다.
- <9> 도 10은 도 8의 X-X선을 따라 잘라 도시한 단면도이다.
- <10> 도 12는 도 11의 XII-XII선을 따라 잘라 도시한 단면도이다.
- <11> 도 13은 도 11의 XIII-XIII선을 따라 잘라 도시한 단면도이다.
- <12> 도 15는 도 14의 XV-XV선을 따라 잘라 도시한 단면도이다.
- <13> 도 16은 도 14의 XVI-XVI선을 따라 잘라 도시한 단면도이다.
- <14> 도 18은 도 17의 XVIII-XVIII선을 따라 잘라 도시한 단면도이다.
- <15> 도 19는 도 17의 XIX-XIX선을 따라 잘라 도시한 단면도이다.
- <16> 도 20은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- <17> 도 21은 도 20의 유기 발광 표시 장치를 XVIII-XVIII 선을 따라 잘라 도시한 단면도이다.
- <18> 도 22는 도 20의 유기 발광 표시 장치를 XIX-XIX선을 따라 잘라 도시한 단면도이다.
- <19> 도 23, 도 26, 도 29, 도 32, 도 35, 도 38 및 도 41은 도 20 내지 도 22의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이다.
- <20> 도 24는 도 23의 XXIV-XXIV선을 따라 잘라 도시한 단면도이다.
- <21> 도 25는 도 23의 XXV-XXV선을 따라 잘라 도시한 단면도이다.
- <22> 도 27은 도 25의 XXVII-XXVII선을 따라 잘라 도시한 단면도이다.
- <23> 도 28은 도 25의 XXVIII-XXVIII선을 따라 잘라 도시한 단면도이다.
- <24> 도 30은 도 29의 XXX-XXX선을 따라 잘라 도시한 단면도이다.
- <25> 도 31은 도 29의 XXXI-XXXI선을 따라 잘라 도시한 단면도이다.
- <26> 도 33은 도 32의 XXXIII-XXXIII선을 따라 잘라 도시한 단면도이다.
- <27> 도 34는 도 32의 XXXIV-XXXIV선을 따라 잘라 도시한 단면도이다.
- <28> 도 36은 도 35의 XXXVI-XXXVI선을 따라 잘라 도시한 단면도이다.
- <29> 도 37은 도 35의 XXXVII-XXXVII선을 따라 잘라 도시한 단면도이다.
- <30> 도 39는 도 38의 XXXIX-XXXIX선을 따라 잘라 도시한 단면도이다.
- <31> 도 40은 도 38의 XL-XL선을 따라 잘라 도시한 단면도이다.
- <32> 도 42는 도 41의 XLII-XLII선을 따라 잘라 도시한 단면도이다.
- <33> 도 43은 도 40의 XLIII-XLIII선을 따라 잘라 도시한 단면도이다.

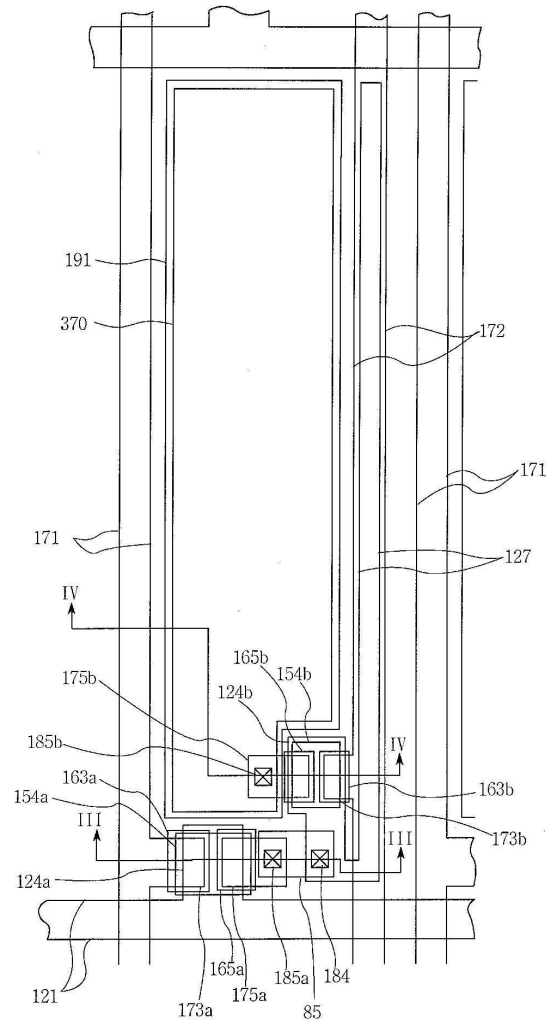
- <34> 도 44는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- <35> 도 45는 도 44의 유기 발광 표시 장치를 XLIV-XLIV'-XLIV''-XLV''' 선을 따라 잘라 도시한 단면도이다.
- <36> 도 46은 유기 발광 표시 장치를 본 발명의 다른 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이다.
- <37> 도 47은 도 46의 유기 발광 표시 장치를 XLVII-XLVII'-XLVII''-XLVII''' 선을 따라 잘라 도시한 단면도이다.
- <38> 도 48은 도 46의 다음 단계에서의 배치도이다.
- <39> 도 49은 도 48의 유기 발광 표시 장치를 XLIX-XLIX'-XLIX''-XLX''' 선을 따라 잘라 도시한 단면도이다.
- <40> 도 50은 도 48의 다음 단계에서의 배치도이다.
- <41> 도 51의 도 50의 유기 발광 표시 장치를 LI-LI'-LI''-LI''' 선을 따라 잘라 도시한 단면도이다.
- <42> 도 52는 도 50의 다음 단계에서의 배치도이다.
- <43> 도 53은 도 52의 유기 발광 표시 장치를 LIII-LIII'-LIII''-LIII''' 선을 따라 잘라 도시한 단면도이다.
- <44> 도 54는 도 52의 다음 단계에서의 배치도이다.
- <45> 도 55는 도 54의 유기 발광 표시 장치를 LV-LV'-LV''-LV''' 선을 따라 잘라 도시한 단면도이다.
- <46> 도 56은 도 54의 다음 단계에서의 배치도이다.
- <47> 도 57은 도 56의 유기 발광 표시 장치를 LVII-LVII'-LVII''-LVII''' 선을 따라 잘라 도시한 단면도이다.

도면

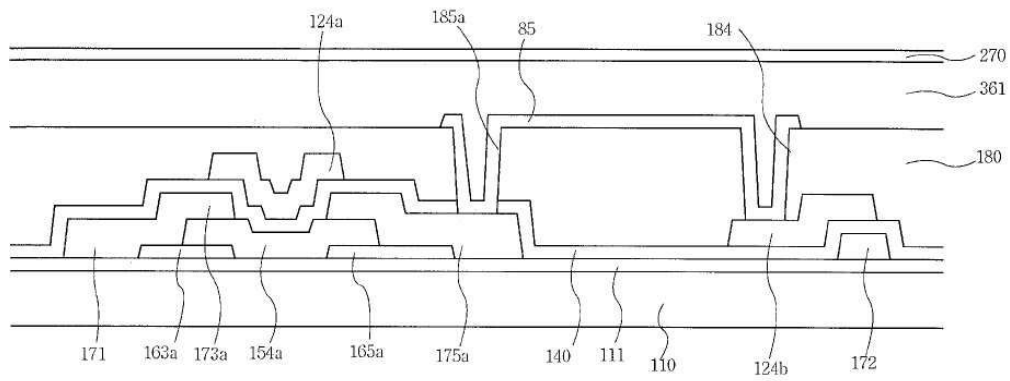
도면1



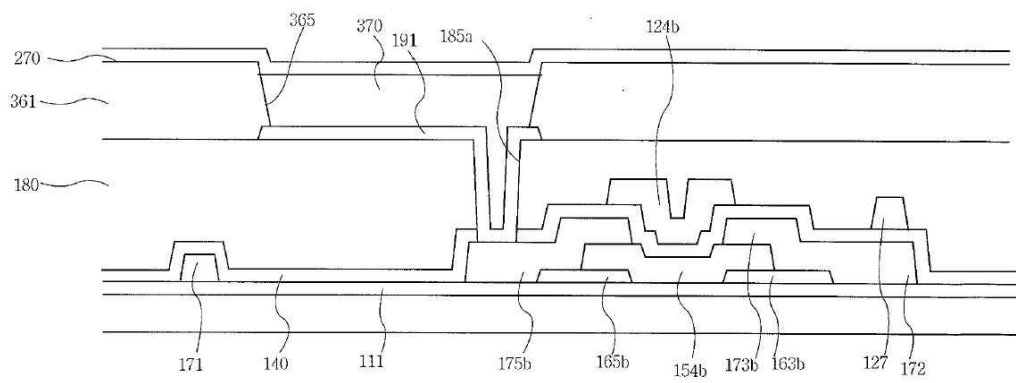
도면2



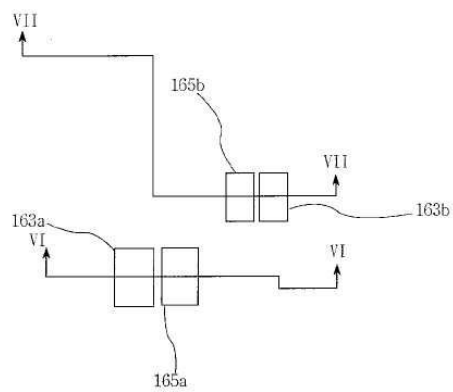
도면3



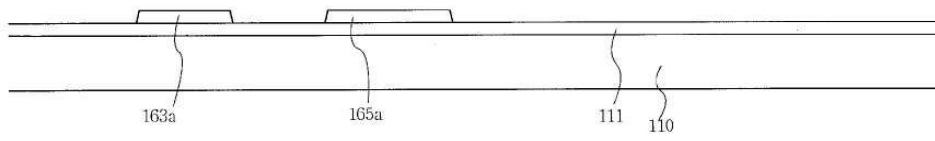
도면4



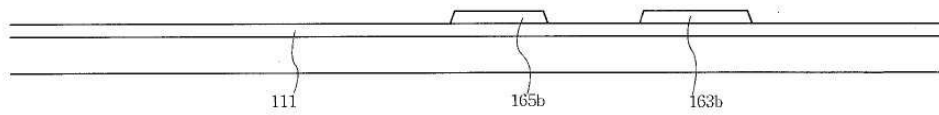
도면5



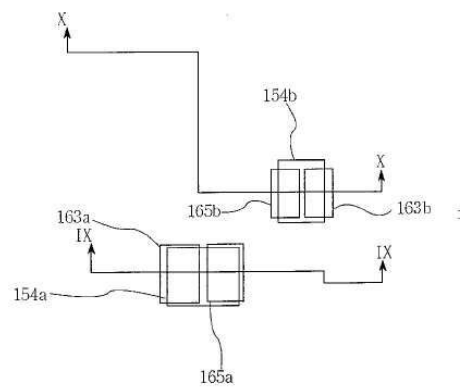
도면6



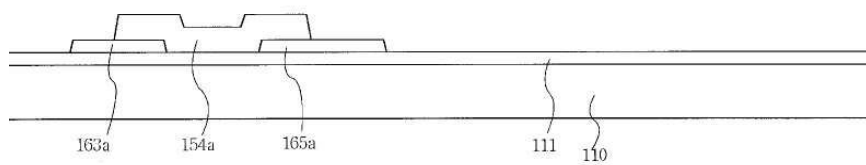
도면7



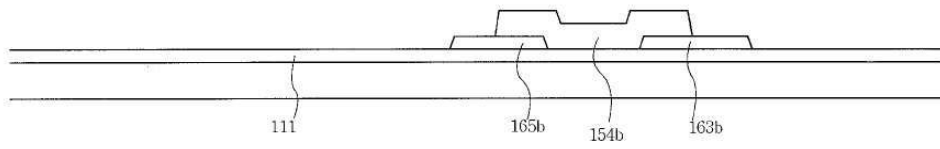
도면8



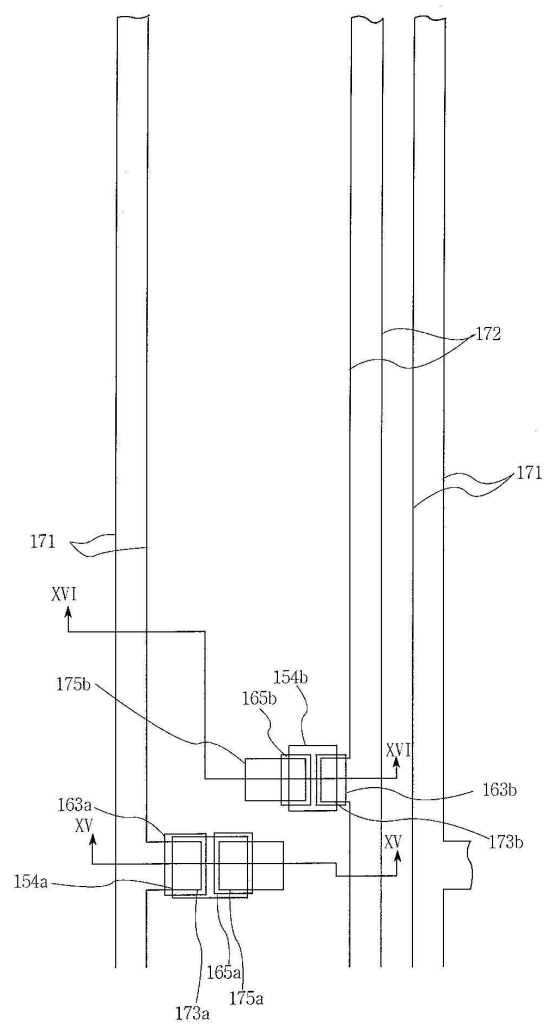
도면9



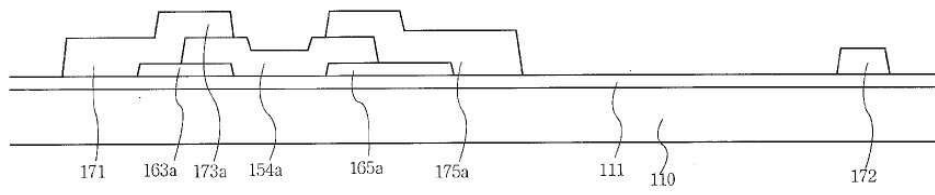
도면10



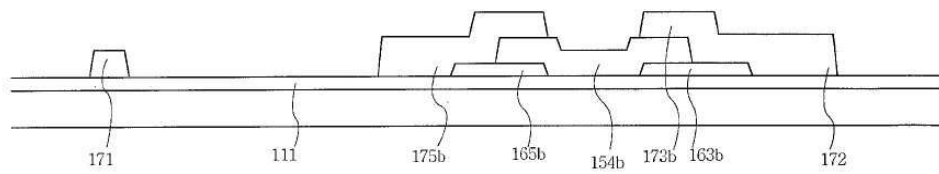
도면11



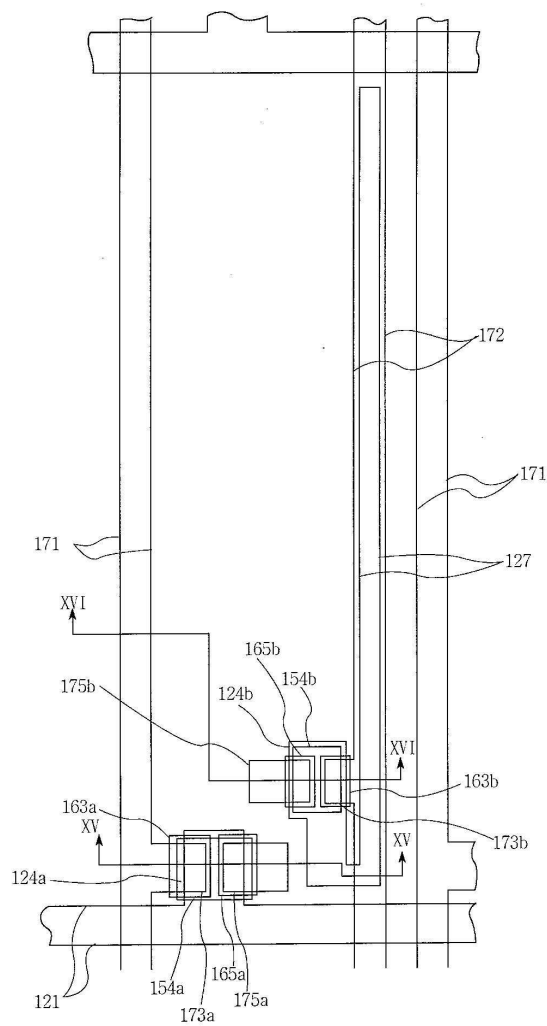
도면12



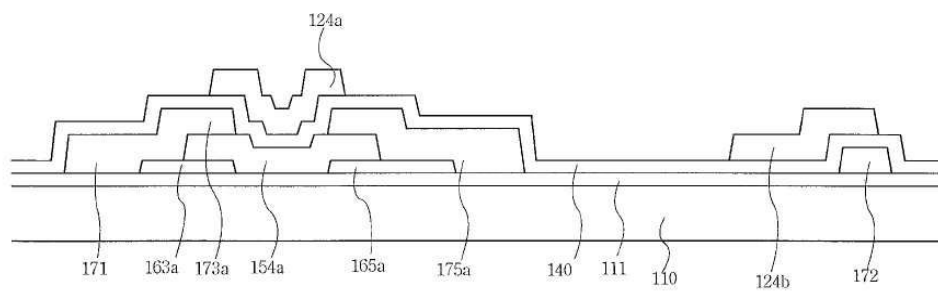
도면13



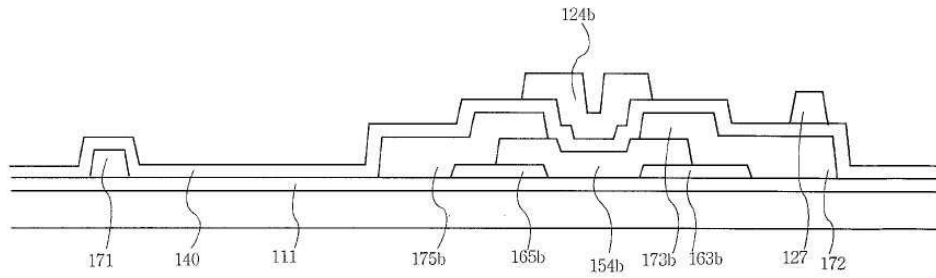
도면14



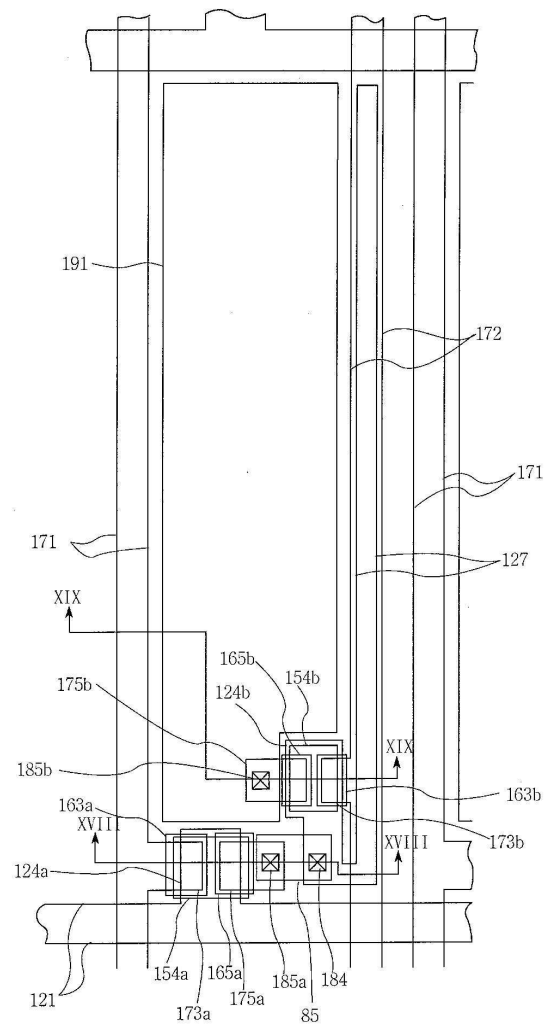
도면15



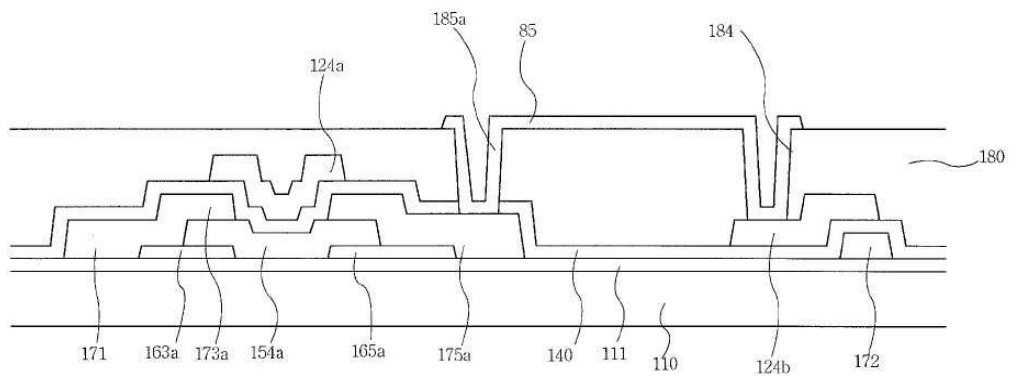
도면16



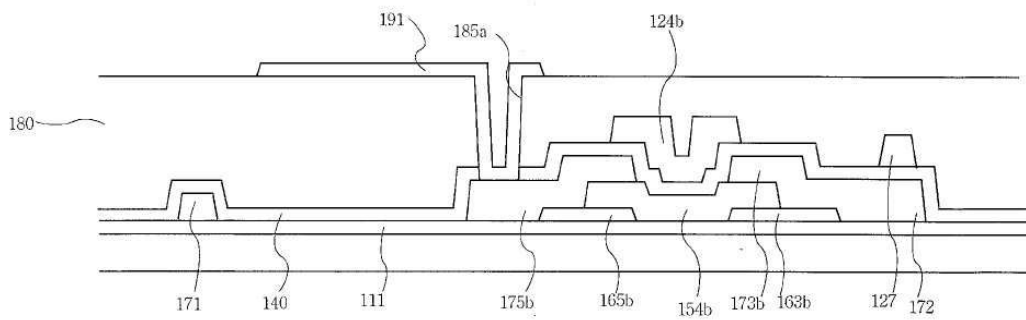
도면17



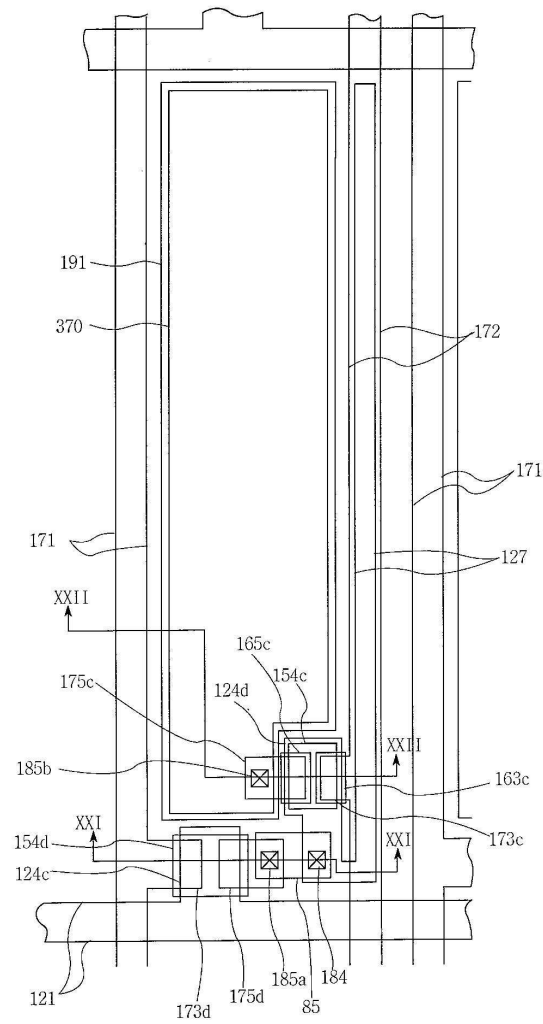
도면18



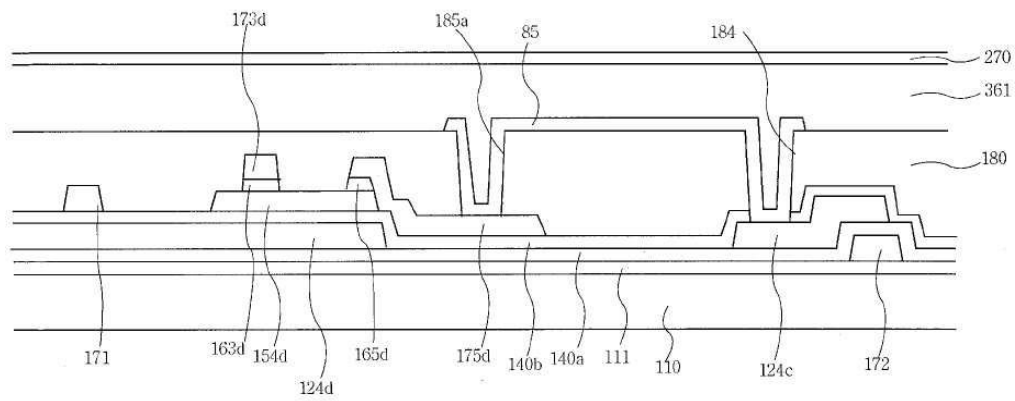
도면19



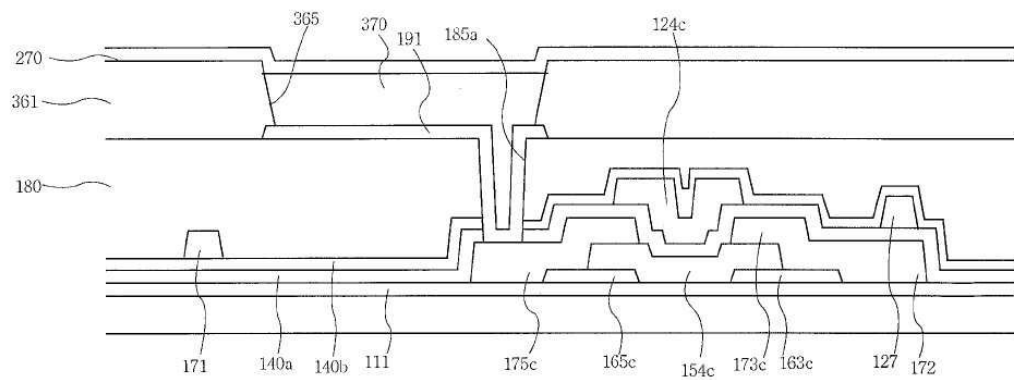
도면20



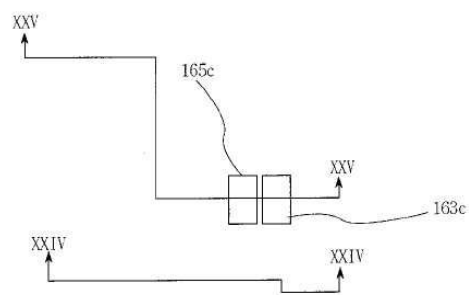
도면21



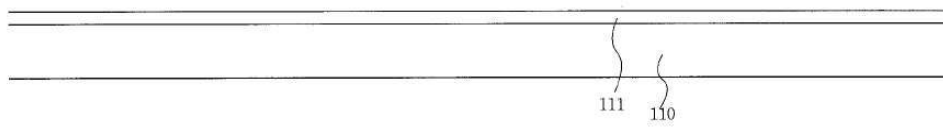
도면22



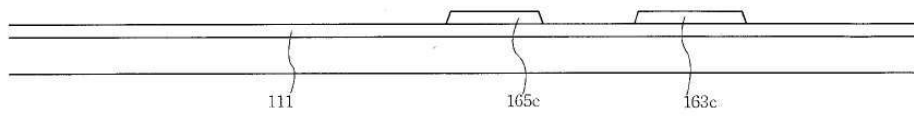
도면23



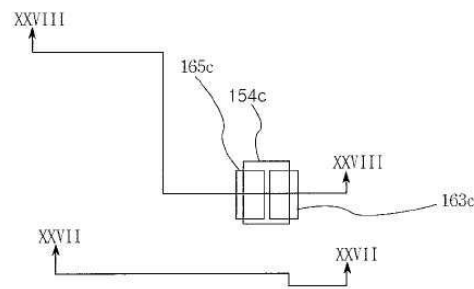
도면24



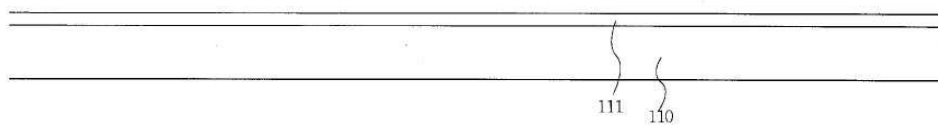
도면25



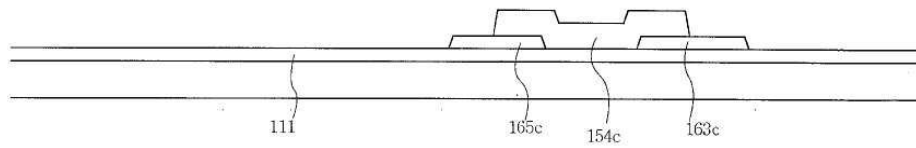
도면26



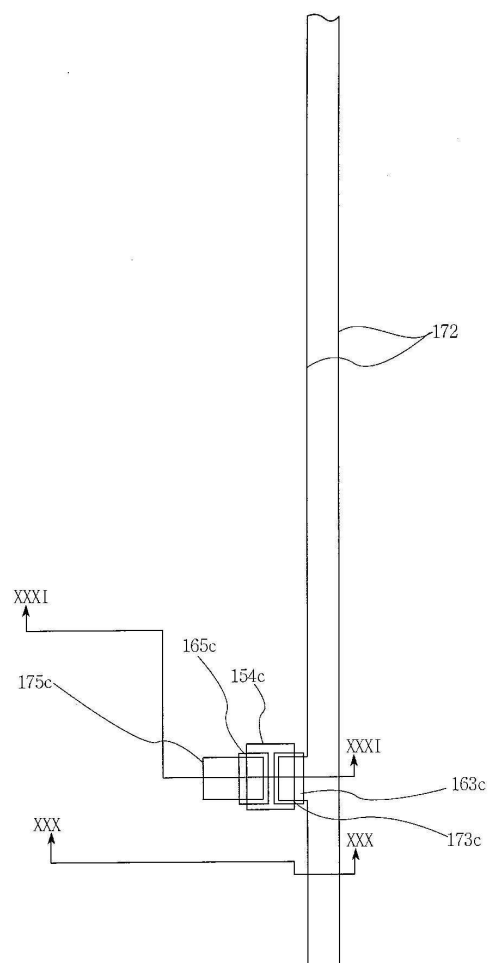
도면27



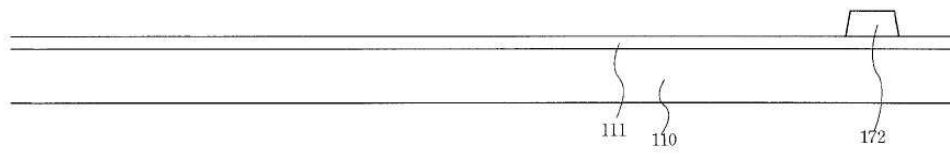
도면28



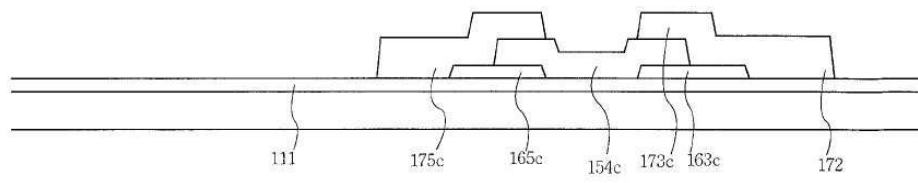
도면29



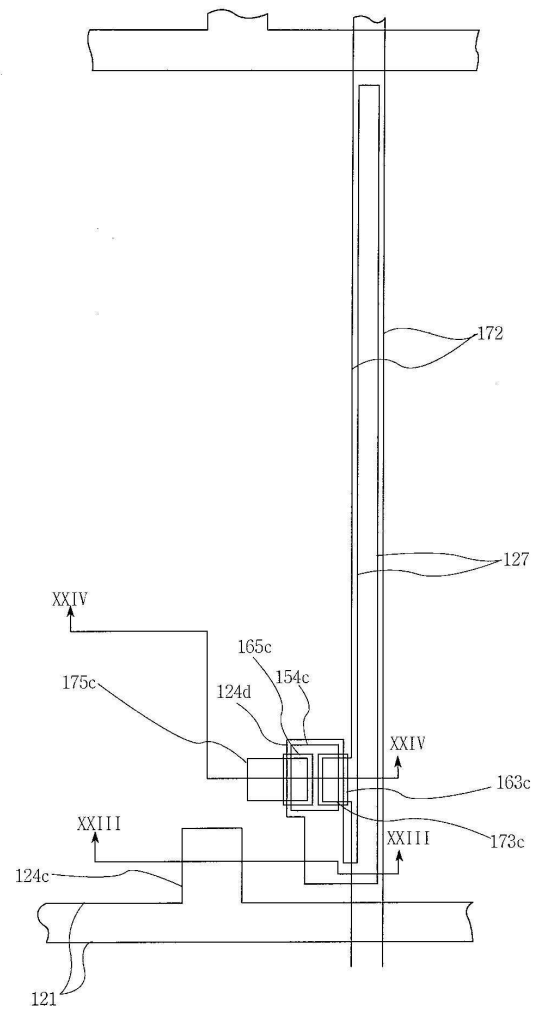
도면30



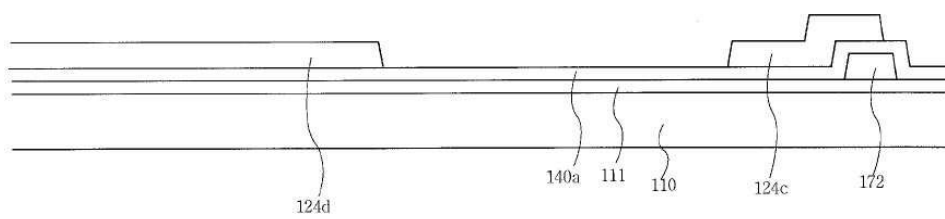
도면31



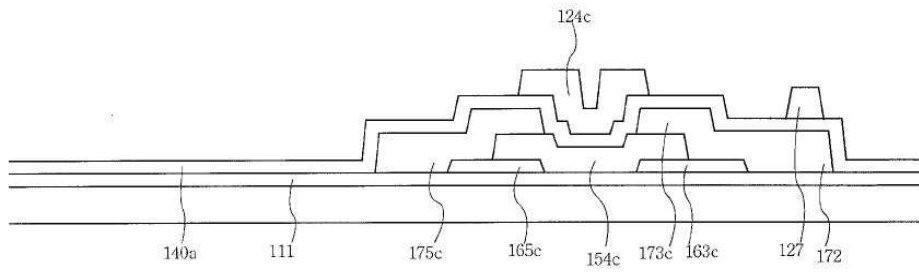
도면32



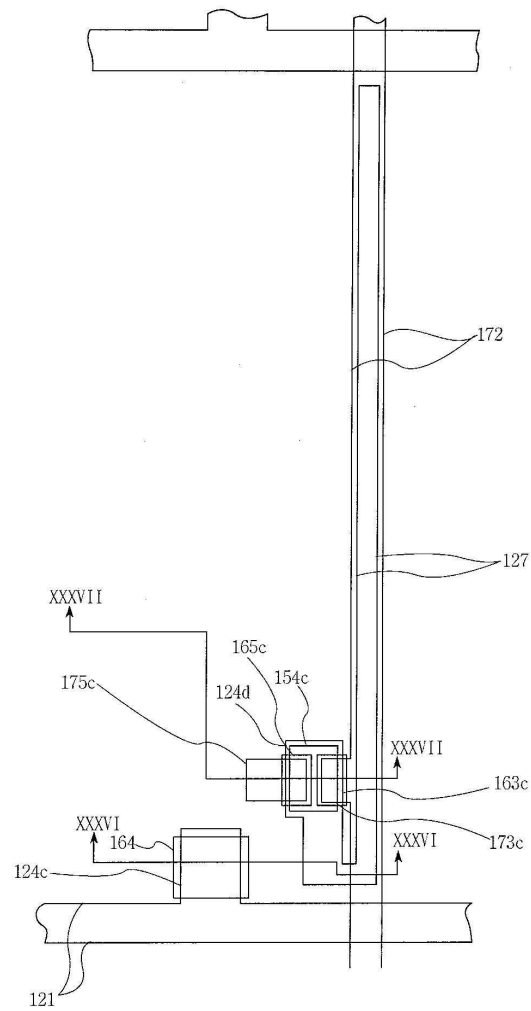
도면33



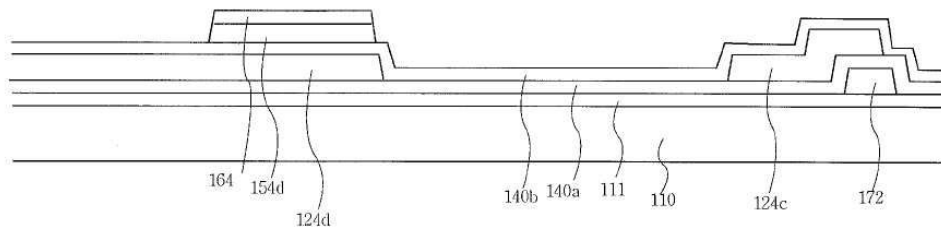
도면34



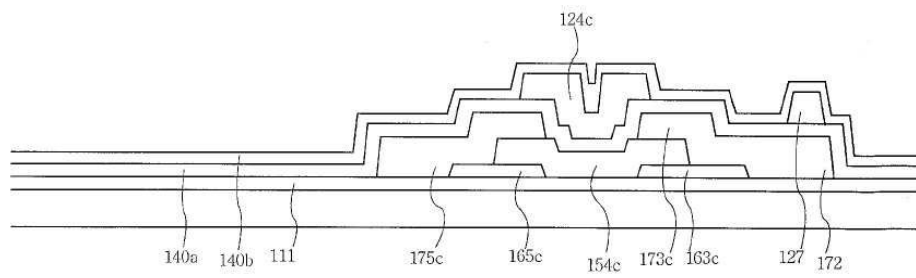
도면35



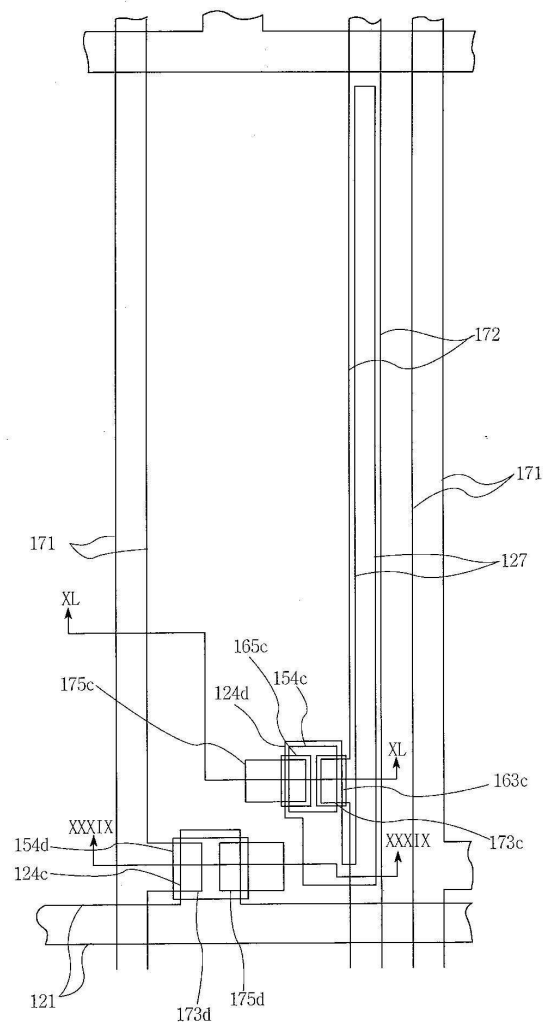
도면36



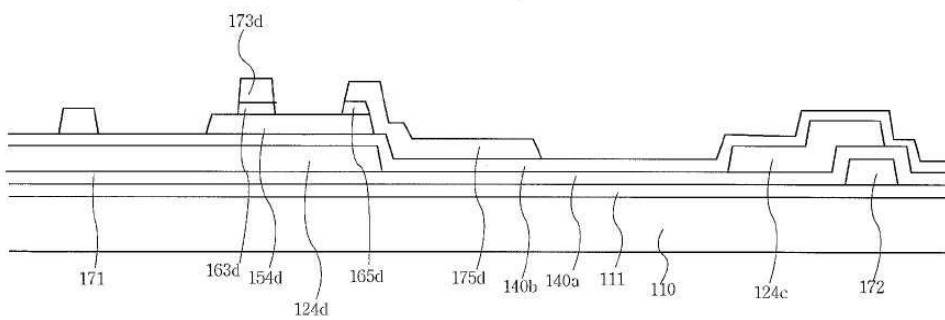
도면37



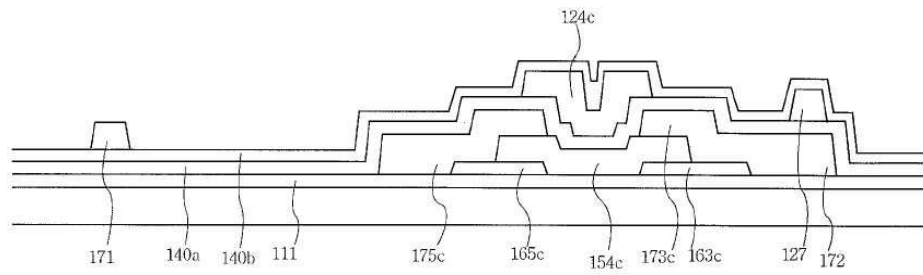
도면38



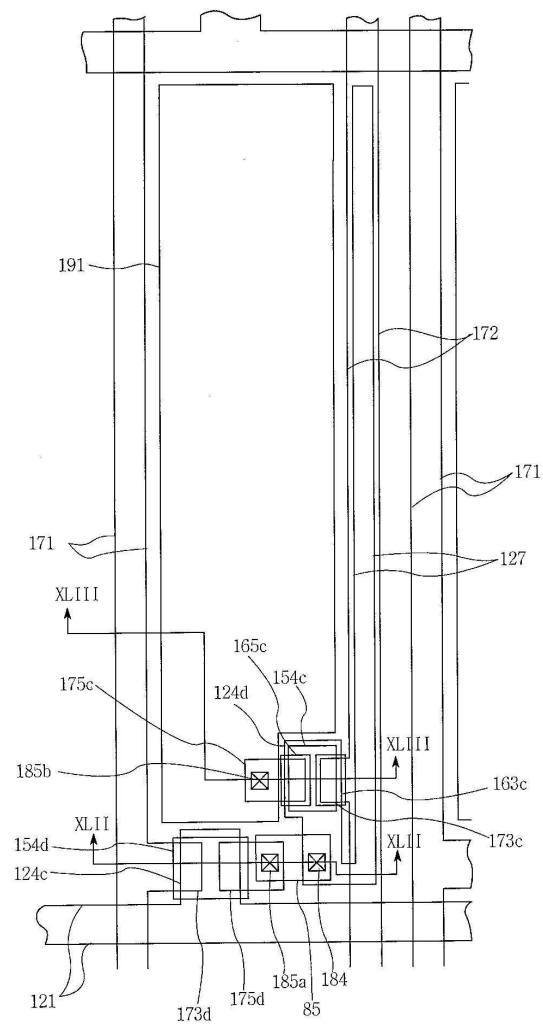
도면39



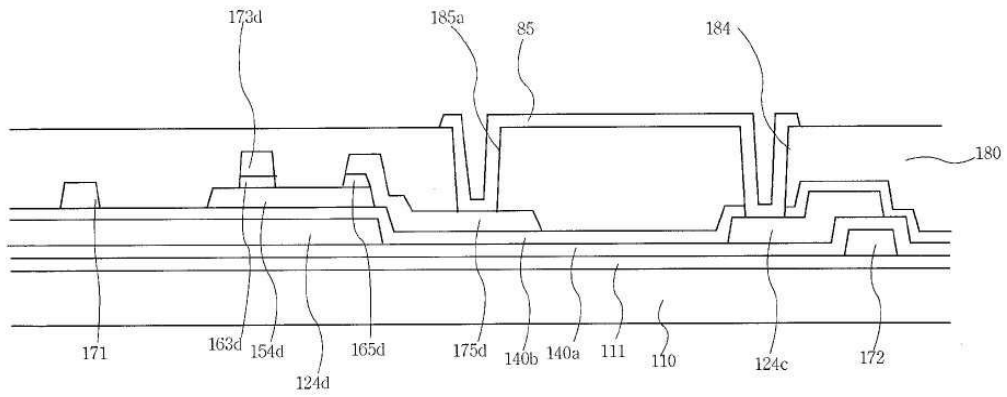
도면40



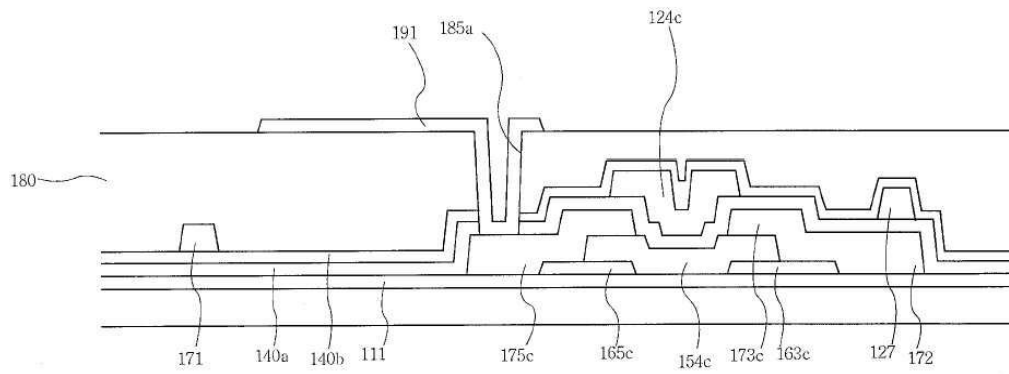
도면41



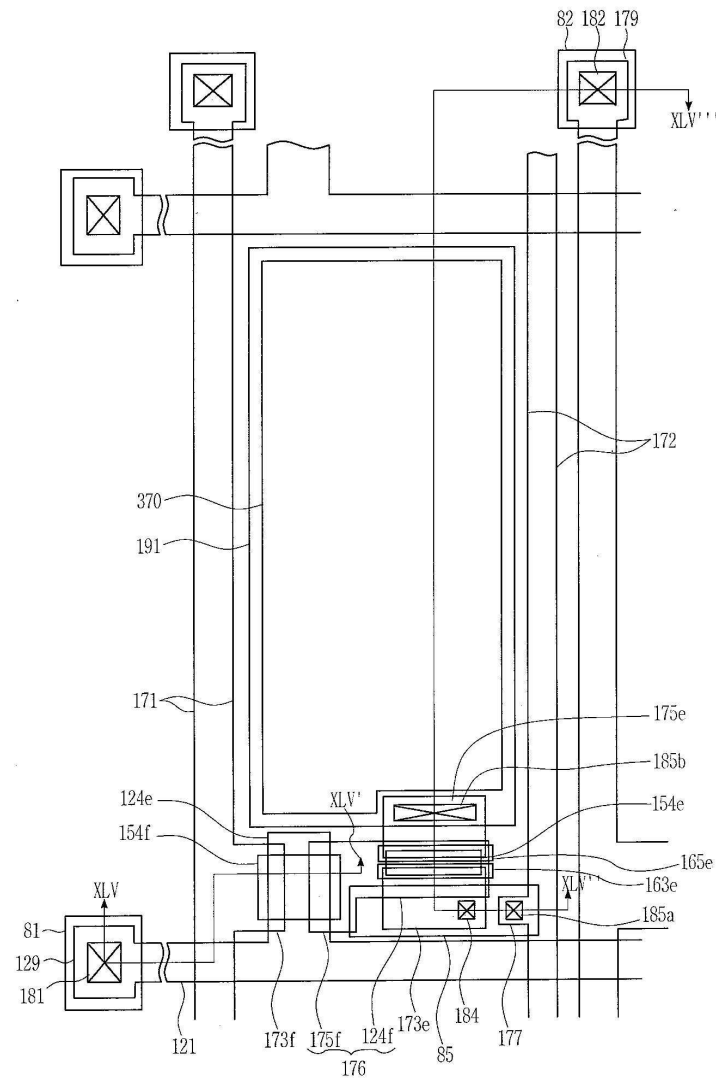
도면42



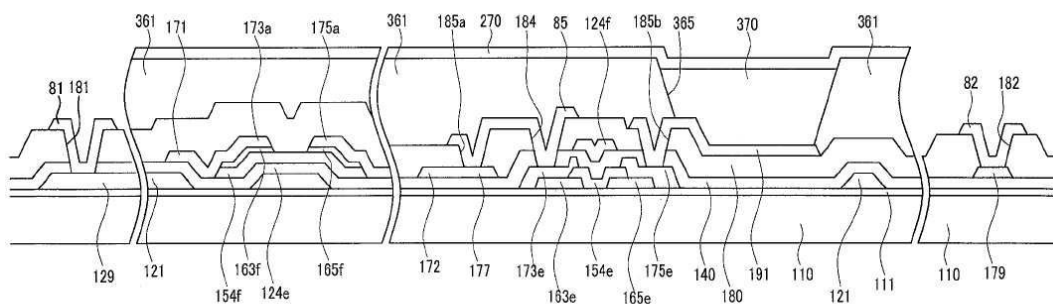
도면43



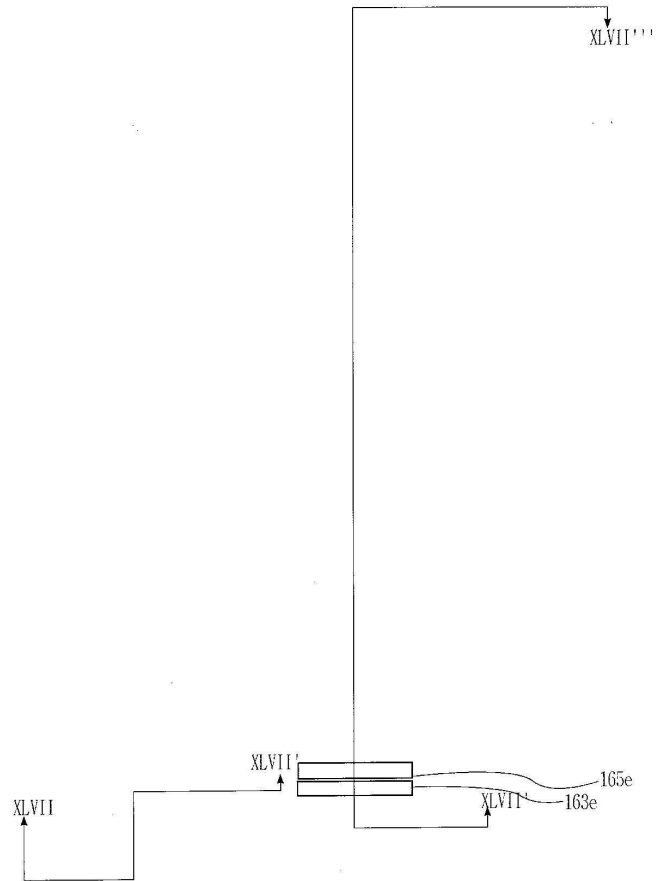
도면44



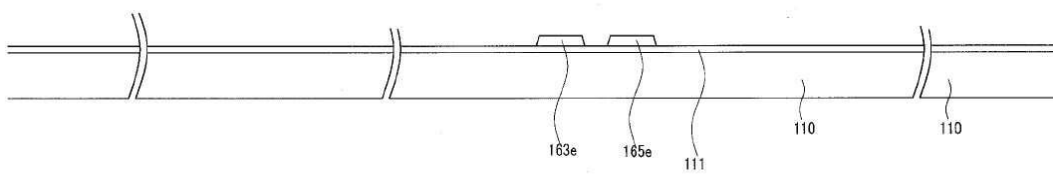
도면45



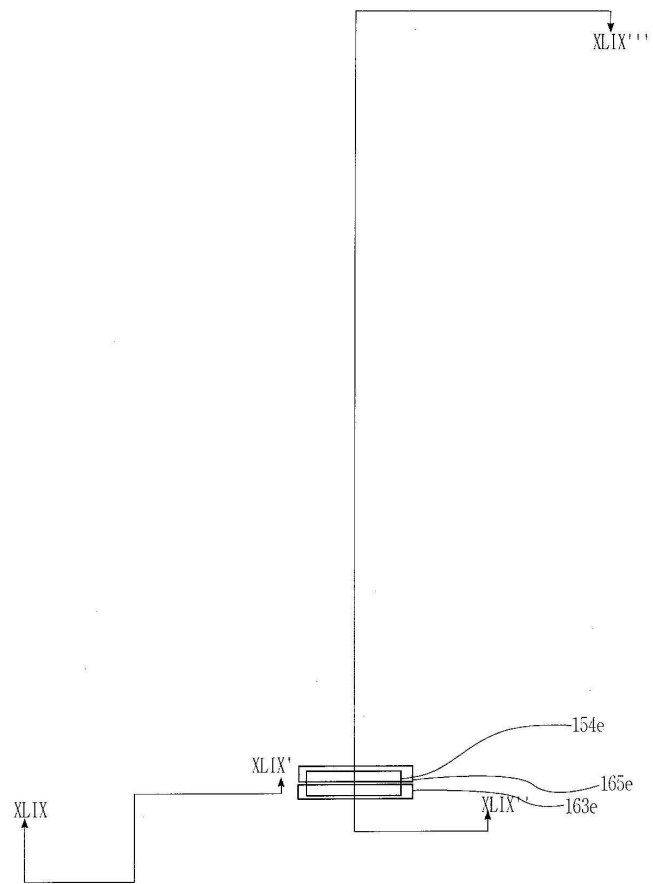
도면46



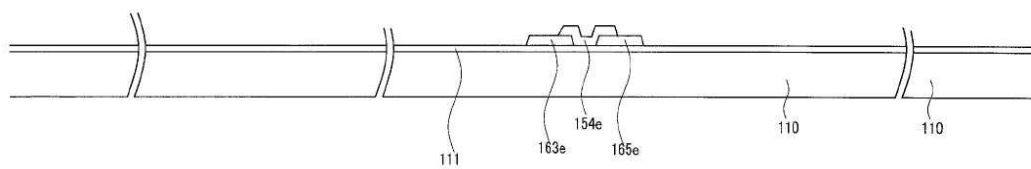
도면47



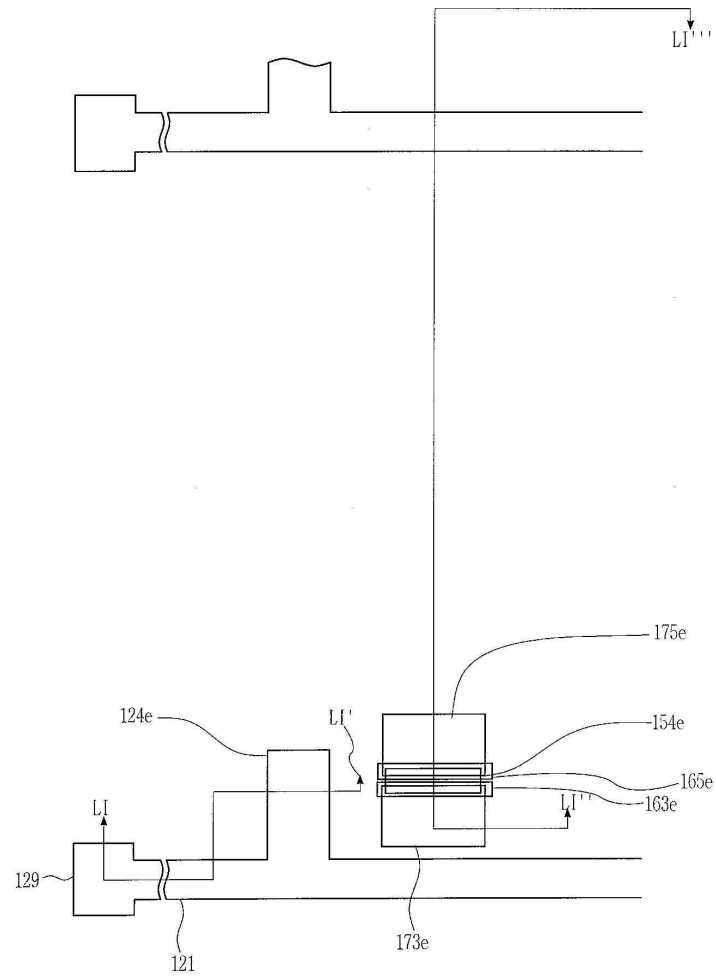
도면48



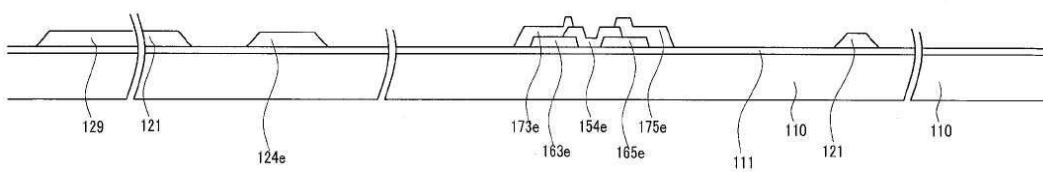
도면49



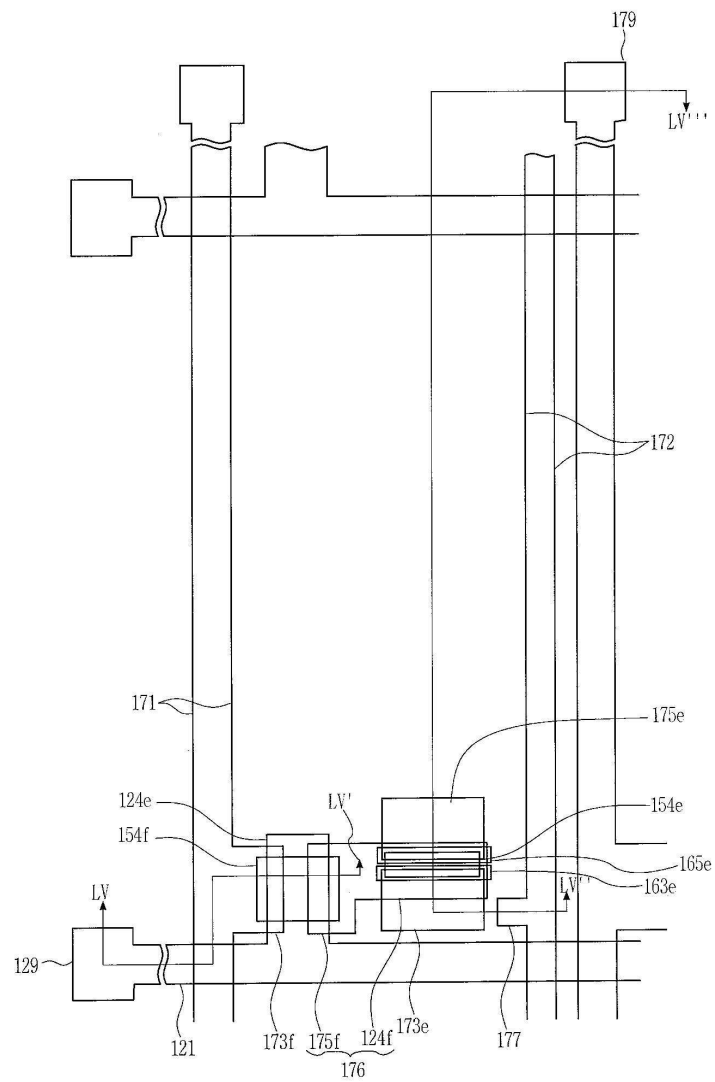
도면50



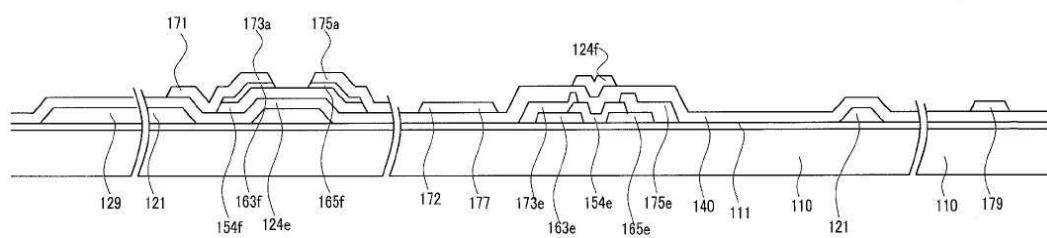
도면51



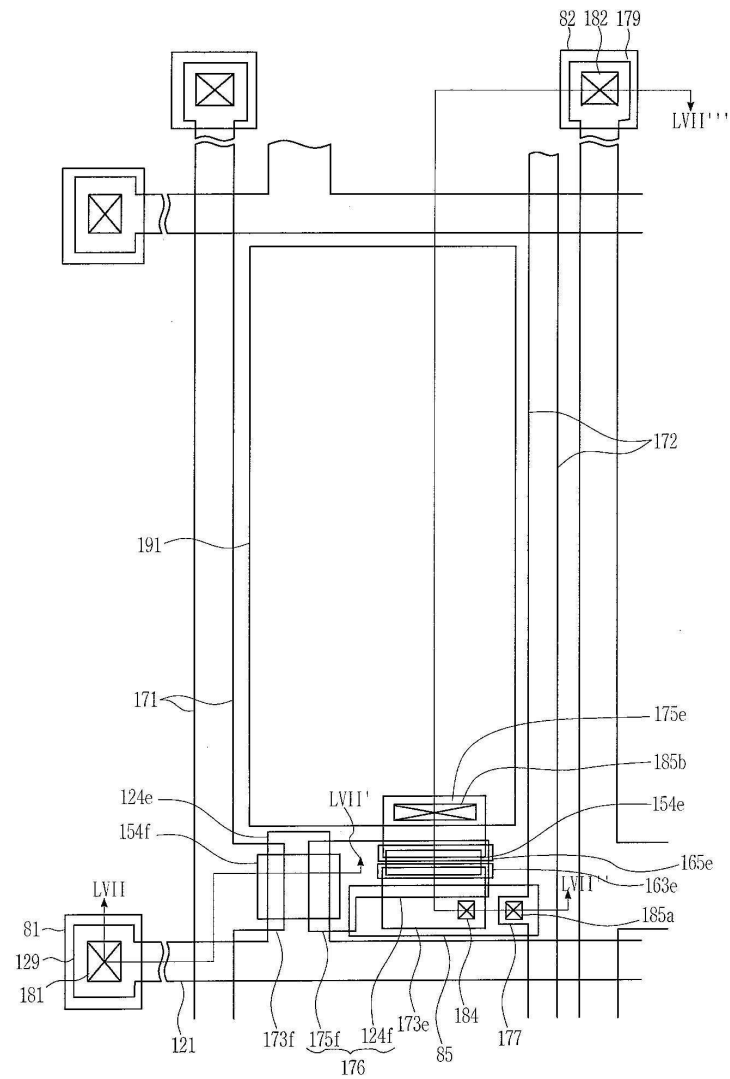
도면54



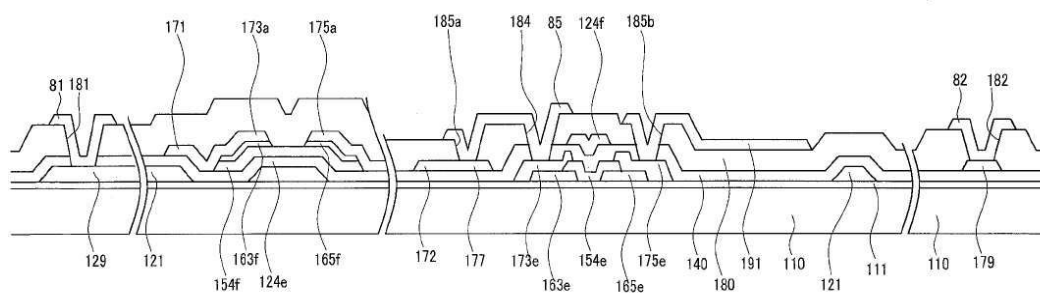
도면55



도면56



도면57



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020080066299A	公开(公告)日	2008-07-16
申请号	KR1020070003537	申请日	2007-01-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEONG BYOUNG SEONG 정병성 CHO KYU SIK 조규식 CHOI JOON HOO 최준후 PARK YONG HWAN 박용환		
发明人	정병성 조규식 최준후 박용환		
IPC分类号	H05B33/02		
CPC分类号	H01L29/78666 H01L27/3244 H01L27/1214 H01L27/12 H01L27/1251 H01L27/1274 H01L29/41733 H01L29/458		
其他公开文献	KR101293566B1		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示器包括基板，形成在基板上的第一和第二电阻接触构件，形成在基板上的驱动半导体以及第一和第二电阻接触构件并包括多晶硅，形成在驱动半导体上的第一栅极绝缘膜，驱动输入电极和驱动输出电极，以及形成在第一栅极绝缘膜上的第二栅极绝缘膜，并且驱动控制电极形成在绝缘膜上并与驱动半体重叠。

