

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0089148
G09G 3/30 (2006.01) (43) 공개일자 2006년08월08일

(21) 출원번호 10-2006-0009975
(22) 출원일자 2006년02월02일

(30) 우선권주장 JP-P-2005-00028020 2005년02월03일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고

(72) 발명자 나카무라 카즈오
일본 도쿄도 시나가와쿠 기타시나가와 6-7-35 소니 가부시끼가이샤내
우치노 카츠히데
일본 도쿄도 시나가와쿠 기타시나가와 6-7-35 소니 가부시끼가이샤내

(74) 대리인 최달용

심사청구 : 없음

(54) 표시 장치와 화소 구동 방법

요약

과제

적은 소자, 긴 수명의 유기 EL 화소 회로에 의해 고정밀·고화질의 유기 EL 표시 장치를 실현한다.

해결 수단

MOS 프로세스를 이용하여 형성되는 화소 회로에 있어서, 트랜지스터(T2)를 정전류원으로 하고, 트랜지스터(T3)에 접속된 유기 EL 박막(4)에 대해, 트랜지스터(T3)의 도통 기간에, 정전류(Io)를 인가하여 유기 EL 박막을 발광시킨다. 트랜지스터(T3)는, 커패시터(Cs)에 기록된 신호치와, 램프 신호 전압(Vcs)에 의한 게이트 전압에 의해 스위칭되도록 함으로써, 신호치에 응한 기간, 유기 EL 박막이 발광된다. 즉 영상 신호치에 응하여 계조 제어가 행하여져서 표시 동작이 행하여진다.

대표도

도 2

색인어

유기EL, 디스플레이

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시의 형태의 표시 장치의 구성의 블록도.
- 도 2는 제 1의 실시의 형태의 화소 회로의 회로도.
- 도 3은 제 1의 실시의 형태의 화소 회로의 동작의 설명도.
- 도 4는 제 1의 실시의 형태의 화소 회로의 1프레임에서의 동작의 설명도.
- 도 5는 제 1의 실시의 형태의 주사선 구동 회로의 블록도.
- 도 6은 실시의 형태의 R, G, B화소 회로의 설명도.
- 도 7은 제 1의 실시의 형태의 화소 회로를 형성하는 레이아웃의 설명도.
- 도 8은 실시의 형태의 화소 회로의 모식적인 단면 구조의 설명도.
- 도 9는 제 2의 실시의 형태의 화소 회로의 회로도.
- 도 10은 제 2의 실시의 형태의 화소 회로의 동작의 설명도.
- 도 11은 제 3의 실시의 형태의 화소 회로의 동작의 설명도.
- 도 12는 제 4의 실시의 형태의 화소 회로의 동작의 설명도.
- 도 13은 종래의 화소 회로의 회로도.
- 도 14는 종래의 화소 회로의 동작의 설명도.
- 도 15는 유기 EL 소자의 경시 열화의 설명도.

(도면의 주요 부분에 대한 부호의 설명)

1 : 화소 어레이 2 : 영상 신호선 구동 회로

3 : 주사선 구동 회로 4 : 유기 EL 소자

10 : 화소 회로 10R : R화소 회로

10B : B화소 회로 10G : G화소 회로

Cs : 커패시터 T1 : 샘플링 트랜지스터

T2 : 전류원 트랜지스터 T3 : 구동 트랜지스터

SIG : 영상 신호선 WS : 주사선

LVcs : 전압 인가선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

기술 분야

본 발명은, 신호선과 주사선이 교차하는 부분에 형성되는 화소 회로가 매트릭스 형상으로 배치되어 이루어지는 표시 장치로서, 특히 발광 소자로서 유기 전자 발광 소자(유기 EL 소자)를 이용한 표시 장치에 관한 것이다. 또한, 그 표시 장치의 화소 구동 방법에 관한 것이다.

배경 기술

[특허 문헌 1]

국제 공개01/54107호

[특허 문헌 2]

특개2004-246320

근래, 플랫 패널 디스플레이(FPD)로서 유기 EL 표시 장치에 관심이 높아지고 있다. 현재, FPD로는 액정 표시 장치(LCD)가 주류를 차지하고 있지만, 액정 표시 장치는 자발광 디바이스가 아니기 때문에, 백라이트나 편광판 등의 타부재를 필요로 한다. 이 때문에, 표시 장치의 두께가 증가하거나, 휘도가 부족한 등의 사정을 피할 수가 없다.

이에 대해 유기 EL 표시 장치는 자발광 디바이스로서, 백라이트 등 타부재가 원리적으로 불필요하여, 박형화나 고휘도의 실현성 등의 점에서 LCD와 비교하여 유리하다. 특히, 각 화소에 스위칭 소자를 형성한 액티브 매트릭스형 유기 EL 표시 장치에서는, 각 화소에 홀드 점등시킴으로써 소비 전류를 낮게 억제할 수 있고, 대화면화 및 고정밀화를 비교적 용이하게 행할 수 있기 때문에, 각 회사에서 개발이 진행되고 있고, 차세대 FPD의 주류가 될 것으로 기대되고 있다.

또한, 근래에는 디지털 카메라, 디지털 캠코더 등으로 대표되는 개인용 촬영 기기가 발달하고 있고, 그들의 파인더 표시 소자로서, 결정 규소 기관상에 화소 회로 및 구동 회로가 형성된 Liquid Crystal on Silicon, 이른바 LCOS 또는 고온 또는 저온 다결정 실리콘 LCD가 사용되고 있다.

LCD를 이용한 파인더 소자에서는, 투과형에서는 백라이트가, 반사형에서는 프런트 라이트가 필요하여, 필연적으로 모듈 두께가 늘어나 버리고, 기기의 박형화에 불리하게 된다. 또한, 개인용 촬영 기기의 소형화와 함께 파인더 자체도 소형으로 되고, 그에 수반하여 화소 자체도 축소되는 경향에 있으며, 투과형 LCD에서는 개구부가 충분히 취해지지 않아서, 성능 한계에 가까워지고 있다. 반사형에서는 LCOS가 주류로 되어 있지만, 역시 조명계는 필요하여, 기기의 박형화에 기여되지 않는다. 한편, 유기 EL을 뷰 파인더 표시 소자로서 이용한 경우에는, 자발광이기 때문에 LCD와 같은 조명계를 필요로 하지 않고, 기기의 박형화에 기여할 수 있다. 또한, 유기 EL의 소자 구조로서 윗면 발광의 소자를 이용함으로써, 개구율도 성능상 충분한 값을 확보할 수 있다.

또한, 근래에는 뷰 파인더도 고정밀화의 길을 더듬고 있어서, QVGA(Quarter Video Graphics Array : 320×240화소)로부터 VGA(Video Graphics Array : 640×480화소), 나아가서는 SVGA(Super Video Graphics Array : 800×600화소)나 XGA(Extended Graphics Array : 1024×768화소)의 요구가 기기 메이커로부터 나오고 있다.

이들의 고정밀화의 요구에 대응하는 데는, LCOS와 같이 MOS 프로세스를 이용하는 것은 당연한 것으로서, 더욱 화소 구동 회로의 소자 수를 감소시킬 필요가 있다.

일반적으로 유기 EL을 구동하는 화소 회로에서는, 트랜지스터의 임계치 변동이나 트랜스 컨덕턴스 변동을 보상하는 기구가 필요하여, 다양한 기술이 제안되어 있다. 그러나, 이들의 회로의 대부분은, 트랜지스터 수가 5개 정도로 많다. 또한, MOS 프로세스에 의해 트랜지스터를 형성한 경우에는, MOS 트랜지스터의 이동도가 약 300 내지 600cm²/V·s로 크고, 고정밀 미소 화소를 구동하는 경우에는, 전류 공급 능력이 너무 크다.

MOS 프로세스에 잘 맞으며, 또한 소자 수가 적은 회로로서는, 상기 특허 문헌 1에 기재된 회로가 알려져 있다. 이 화소 회로는 2개의 트랜지스터와 1개의 커패시터로 형성되어 있다.

이하, 종래의 화소 회로에 관해 도면을 이용하여 설명한다. 도 13은 종래의 화소 회로를 도시하고, 또한 도 14는 도 13의 회로의 동작 타이밍을 도시하고 있다.

회로 구성으로서는, 트랜지스터는 전부 P형으로 구성되어 있고, 샘플링 트랜지스터(T11)의 게이트에 영상 신호의 샘플링 제어를 행하는 주사선(WS)이 접속되고, 소스에는 영상 신호선(SIG)이, 드레인에는 커패시터(Cs)의 일단과 구동 트랜지스터(T12)의 게이트가 접속된다.

구동 트랜지스터(T12)의 소스에는 전원(Vcc)이 주어지고, 드레인에는 유기 EL 소자(4)의 애노드 전극이 접속된다. 유기 EL 소자(4)의 캐소드는 캐소드 전원(Vk)의 라인에 접속된다.

커패시터(Cs)의 타단에는, 전압(Vcs)의 공급 라인(LVcs)이 접속된다.

이 화소 회로의 동작은, 도 14의 시점(tm1)에서, 주사선(WS)의 주사 펄스를 저전위로 함으로써 샘플링 트랜지스터(T1)를 온으로 한다. 이로써, 커패시터(Cs)의 일단인 노드(NA)의 전위를 영상 신호 전위로 설정한다. 즉 영상 신호선(SIG)에 의해 주어지는 신호 전압(Vs)을 커패시터(Cs)에 기록한다.

이 때, 커패시터(Cs)에 전압(Vcs)을 공급하는 라인(LVsc)은, 어떤 기준 전위(Vref)로 고정된다(Vcs=Vref).

시점(tm2)에서 주사선(WS)의 주사 펄스가 고전위로 되고, 샘플링 트랜지스터(T1)가 컷오프된다. 이 시점(tm2)에서, 라인(LVcs)으로부터 커패시터(Cs)에 주어지는 전압(Vcs)은, 기준 전위(Vref)로부터 최고 전위(Vr)까지 시간적으로 증가하는 램프 신호로 된다. 이 램프 신호의 주기는 1프레임보다 충분히 짧고, 통상 1수평 기간으로 설정된다.

이 때, 커패시터(Cs)의 용량 결함에 의해, 램프 신호에 의한 전압(Vcs)의 증가에 수반하여 노드(NA)의 전위, 즉 구동 트랜지스터(T12)의 게이트 전압은, 신호 전압(Vs)으로부터 Vs+Vr까지 증가하게 된다. 이 전압 증가 기간중에, 어떤 시점에서 노드(NA)의 전위가 구동 트랜지스터(T12)의 컷오프 전압(임계치 전압(Vth))에 도달한다. 그러면, 구동 트랜지스터(T12)는 차단되고, 유기 EL(4)에의 전류(Iel)의 공급은 정지된다.

그 시점까지, 즉 구동 트랜지스터(T12)가 도통되어 있는 동안은, 구동 트랜지스터(T12)를 통하여 유기 EL 소자(4)에 전류(Iel)가 공급되기 때문에, 유기 EL 소자(4)는 발광하고 있다.

시점(tm2 내지 tm3)에서 이와 같은 동작이 행하여지는데, 시점(tm3 내지 tm4), 시점(tm4 내지 tm5)에서도 같은 동작이 행하여진다. 즉 예를 들면 1프레임 내의 1수평 기간(tm1 내지 tm2)에서 영상 신호 전위(Vs)의 기록이 행하여진 후는, 그 프레임 내의 후속하는 각 수평 기간에서 램프 신호에 의해 시점(tm2 내지 tm3)과 같은 동작이 행하여지게 된다.

또한, 구동 트랜지스터(T12)는 선형 영역에서 동작하고 있고 스위칭 소자로서 이용되고있기 때문에, 구동 트랜지스터(T12)가 온하고 있는 기간은, 전원(Vcc)과 유기 EL 소자(4)의 애노드가 직결되어 있고, 이른바 정전압 구동으로 되어 있다.

여기서, 구동 트랜지스터(T12)가 온하고 있는 시간(Ton)은, 램프 신호 파형이 직선적으로 증가한다고 하여, 이하의 식으로 표현된다.

$$Ton = (V_{th}/V_r) \cdot Th + (V_{cc} - V_s)/V_r \cdot Th \dots (\text{식 } 1)$$

단 Vth는 구동 트랜지스터(T12)의 임계치 전압, Vr은 전압(Vcs) 진폭, Vcc는 전원 전압, Vs는 영상 신호 전위, Th는 한 수평 기간의 주기를 나타낸다.

구동 트랜지스터(T12)가 온하고 있는 시간(Ton)은, 유기 EL 소자(4)가 발광하는 기간으로서, 즉 유기 EL 소자(4)는, 예를 들면 1수평 기간(1H) 내에서, 노드(NA)에 주어지는 영상 신호 전압(Vs)에 응한 시간만큼 발광하게 된다. 이와 같이 유기 EL 소자(4)가 영상 신호 전압(Vs)에 응한 시간만큼 발광함으로써 계조 제어된다.

그런데 일반적으로 트랜지스터의 임계치 전압(Vth)은 경시 변동한다.

여기서, 임계치 전압(Vth)이 $\pm \Delta V_{th}$ 만큼 변동하면,

$$T_{on} = ((V_{th} \pm \Delta V_{th}) / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h \dots \text{(식 2)}$$

로 되고, 구동 트랜지스터(T12)의 온시간(Ton)이 변동하여 버린다.

그런데, MOS 트랜지스터의 임계치 전압 변동(ΔV_{th})은 $\pm 10mV$ 정도이기 때문에, 램프 신호 진폭(V_r)을 충분히 크게, 예를 들면 1V 정도로 함으로써, 임계치 전압 변동(ΔV_{th})을, 그 1% 정도로 억누르는 것이 가능하고, 실용상 문제 없다. 즉 온시간(Ton)이 임계치 전압 변동(ΔV_{th})에 의해 크게 영향을 받는 것으로는 되지 않는다.

또한, 온시간(Ton)에 의해 계조 제어하고 있기 때문에, 램프 신호 진폭(V_r)을 크게 설정하면, 각 화소에서의 구동 트랜지스터(T12)의 특성 편차 기인에 의한 계조 어긋남이나 면 내 거칠어짐을 억제할 수 있다. 또한, 램프 신호의 주기가 1수평 주기와 고속이기 때문에, 플리커도 없다.

그러나, 도 13과 같은 종래 회로에서는, 발광시에는 유기 EL 소자(4)에 정전압이 인가된다.

일반적으로 유기 EL 소자를 구동할 때, 정전류 구동쪽이 정전압 구동에 비교하여, 유기 EL 수명이 길다. 이것을 도 15를 이용하여 설명한다.

도 15의 (a)는 유기 EL의 전류-전압 특성(I-V 곡선)을 도시하고, 도 15의 (b)는 전류-휘도 특성(I-L 곡선)을 도시하고 있다.

우선 도 15의 (a)의 I-V 곡선을 보면, 초기의 특성은 실선과 같이 되지만, 경시 열화에 의해 파선과 같이 된다. 그러면, 초기에는, 전압(V_o)에서 전류(I_o)였던 것이, 경시 열화로 ΔI 만큼 전류가 저하된다. 즉, 어떤 정전압(V_o)으로 구동한 경우에는, ΔI 만큼 전류가 열화된다.

다음에 도 15의 (b)의 I-L 곡선을 보면, 초기의 특성은 실선과 같이 되지만, 경시 열화에 의해 파선과 같이 된다. 그러면, 정전류 구동하고 있는 경우에는, 초기의 <A>점부터 점까지의 경시 열화로 수습되지만, 정전압 구동의 경우에는 도 15의 (a)에 보여진 바와 같이 ΔI 만큼 전류가 열화되기 때문에, I-L 열화는 <C>점까지 나아가고, 열화 정도가 크다.

이것으로부터, 유기 EL 표시 장치의 장수명화를 위해서는 정전류 구동이 바람직한 것으로 되지만, 도 13에 도시한 종래 회로에서는 정전류 구동은 불가능하다.

또한 도 13에 도시한 회로 이외로, 램프 신호를 이용하여 트랜지스터 특성 편차의 영향을 완화하는 화소 회로가 상기 특허 문헌 2에 기재되어 있는데, 그 화소 회로는 저온 다결정 실리콘의 특성을 기초로 하고 있기 때문에, 기본 회로의 소자 수가 7트랜지스터+1커패시터로 많고, 고정밀 화소에는 부적합하다.

이러하기 때문에, 적은 소자 수로 정전류 구동을 실현하고, 또한 트랜지스터의 특성 편차를 완화함으로써, 긴 수명의 고정밀·고화질인 유기 EL 표시 장치의 화소 구동 회로가 요구되고 있다.

나아가서는, 도 13에 도시한 화소 회로에서는, 도 14의 시점(tm1 내지 tm2)의 영상 신호를 샘플링할 때에는, 계조에는 거의 의존하지 않고 유기 EL 소자(4)에 전원 전압(V_{cc})이 인가되게 되어, 유기 EL 소자(4)에 전류(I_p)가 흐른다. 즉 시점(tm1 내지 tm2)의 영상 신호를 샘플링할 때에 유기 EL 소자(4)는 위발광(偽發光) 상태로 되어 버린다.

이 경우의 1프레임에서의 평균 전류(I_{ave})는,

$$I_{ave} = \{I_p + (T_{on}/T_h) \cdot (N_v - 1) \cdot I_p\} / N_v \dots \text{(식 3)}$$

로 된다. 단 I_p 는 피크 전류, T_{on} 는 1수평 기간 내에서의 ON 시간, T_h 는 1수평 주기, N_v 는 수직 라인 수이다.

여기서, 흑 표시의 경우에는, $T_{on}=0$ 이기 때문에 $I_{ave}=I_p/N_v$ 여서, 흑이 들떠버린다. 백 표시의 경우에는, $T_{on}=T_h$ 이기 때문에, $I_{ave}=I_p$ 로 된다. 따라서, 콘트라스트비는 N_v 로 되고, 수직 라인 수로 규정되어 버리고, 원리적으로 N_v 이상의 콘트라스트를 실현할 수가 없는 것으로 된다.

이 때문에, 콘트라스트비가 높고 선명한 화상을 표시 가능하며, 또한 긴 수명의 고정밀 유기 EL 표시 장치의 화소 구동 회로의 실현도 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 감안하여 이루어진 것으로, 첫째로, 적은 소자 수로 정전류 구동을 실현하고, 또한 트랜지스터 특성 편차를 완화함으로써, 긴 수명의 고정밀·고화질인 유기 EL 표시 장치의 화소 구동 회로를 제공하는 것을 목적으로 한다. 또한 두 번째로, 콘트라스트비가 높게 선명한 화상을 표시 가능하게 하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 표시 장치는, 신호선과 주사선이 교차하는 부분에 형성되는 화소 회로가 매트릭스 형상으로 배치되어 이루어지는 표시 장치로서, 각 화소 회로는, 유기 전자 발광 박막이, MOS 프로세스에 의해 결정 규소로 형성된 제 1, 제 2, 제 3의 트랜지스터 및 커패시터에 의해 발광 구동되는 구성으로 된다. 각 화소 회로에 있어서, 상기 제 1의 트랜지스터의 게이트에는 상기 주사선, 소스/드레인의 한쪽에는 상기 신호선, 다른쪽에는 상기 커패시터의 일단과 상기 제 3의 트랜지스터의 게이트가 접속된다. 또한 상기 커패시터의 타단에는 시간적으로 증감하는 램프 신호가 인가된다. 상기 제 2의 트랜지스터의 게이트는 바이어스 전원에 접속되고, 소스/드레인의 한쪽은 정전원에, 다른쪽은 상기 제 3의 트랜지스터에 접속된다. 그리고 상기 제 1의 트랜지스터는, 상기 주사선으로부터 공급되는 주사 펄스에 의하여 도통되고, 도통시에, 상기 신호선으로부터의 신호치가 상기 커패시터에 기록되고, 또한 상기 제 2의 트랜지스터가 정전류원으로서 동작하도록 상기 바이어스 전원이 설정되고, 상기 제 3의 트랜지스터의 도통 기간 또는 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지도록 구성되어 있다.

또한, 상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 상기 제 2의 트랜지스터에 접속되고, 다른쪽이 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고, 상기 제 3의 트랜지스터의 도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여진다.

또는, 상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 고정 전위에 접속되고, 다른쪽이, 상기 제 2의 트랜지스터와 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고, 상기 제 3의 트랜지스터의 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여진다.

또한 상기 제 3의 트랜지스터는, 상기 커패시터에 기록된 신호치와, 상기 램프 신호에 의한 게이트 전압에 의해 스위칭 된다.

또한 상기 화소 회로로서, R화소 회로, G화소 회로, B화소 회로의 조(組)가 1단위로서 매트릭스 형상으로 배열되고, 상기 바이어스 전압으로서, R화소 회로에 대한 R화소용 바이어스 전압, G화소 회로에 대한 G화소용 바이어스 전압, B화소 회로에 대한 B화소용 바이어스 전압이, 각각 설정된다.

또한 상기 램프 신호는, 상기 제 1의 트랜지스터가 비도통인 기간에, 1프레임 주기보다 충분히 짧은 주기로 증감을 반복하는 신호로서, 상기 커패시터의 타단에 인가됨과 함께, 상기 제 1의 트랜지스터가 도통되어 있는 기간은, 상기 커패시터의 타단에는 소정의 기준 전압이 인가된다.

또한 상기 소정의 기준 전압이란, 상기 제 3의 트랜지스터의 임계치 전압을 넘는 소정의 기준 전압인 것으로 한다.

본 발명의 화소 구동 방법은, 신호선과 주사선이 교차하는 부분에 형성되는 화소 회로가 매트릭스 형상으로 배치되고, 각 화소 회로는, 유기 전자 발광 박막이, 결정 규소 기판상에 MOS 프로세스에 의해 형성된 제 1, 제 2, 제 3의 트랜지스터 및 커패시터에 의해 발광 구동되는 구성으로 되고, 상기 제 1의 트랜지스터의 게이트에 상기 주사선이 접속되고, 상기 제 1의 트랜지스터의 소스/드레인의 한쪽에 상기 신호선, 다른쪽에 상기 커패시터의 일단과 상기 제 3의 트랜지스터의 게이트가 접속되고, 상기 커패시터의 타단에는 시간적으로 증감하는 램프 신호가 인가되고, 상기 제 2의 트랜지스터의 게이트는 바이어스 전원에 접속되고, 상기 제 2의 트랜지스터의 소스/드레인의 한쪽은 정전원에, 다른쪽은 상기 제 3의 트랜지스터에 접속되어 있는 표시 장치의 화소 구동 방법이다. 그리고 상기 제 2의 트랜지스터가 정전류원으로서 동작하도록 상기 바이어스 전원을 설정함과 함께, 상기 주사선으로부터 공급되는 주사 펄스에 의해 상기 제 1의 트랜지스터를 도통시켜서 상

기 신호선으로부터의 신호치를 상기 커패시터에 기록하고, 상기 커패시터에 기록된 신호치와, 상기 램프 신호에 의한 게이트 전압에 의해 상기 제 3의 트랜지스터를 스위칭시키고, 상기 제 3의 트랜지스터의 도통 기간 또는 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지도록 한다.

이와 같은 본 발명에서는, MOS 프로세스를 이용하여 형성되는 화소 회로에 있어서, 제 2의 트랜지스터를 정전류원으로 하고, 제 3의 트랜지스터와 직렬 또는 병렬로 접속된 유기 EL 박막에 대해, 제 3의 트랜지스터의 도통 기간 또는 비도통 기간에, 정전류를 인가하여 유기 EL 박막을 발광시키는 것이다.

제 3의 트랜지스터가, 상기 커패시터에 기록된 신호치와, 상기 램프 신호에 의한 게이트 전압에 의해 스위칭됨으로써, 신호치에 응한 기간, 유기 EL 박막이 발광된다. 즉 영상 신호치에 응하여 계조 제어가 행하여져서 표시 동작이 행하여진다.

발명을 실시하기 위한 최선의 형태

이하, 본 발명의 실시의 형태로서, 표시 장치 전체 구성을 설명한 후, 제 1 내지 제 4의 실시의 형태로서 화소 회로 구성이나 동작을 설명한다.

[표시 장치 구성]

도 1에 실시의 형태의 표시 장치의 구성을 도시한다. 본 예의 표시 장치에서는, 화소 어레이(1)로서 컬러 화소 유닛(GS)이 m 행 \times n 열의 매트릭스 형상으로 배열되어 있다.

하나의 컬러 화소 유닛은, R(적)화소 회로(10R), B(청)화소 회로(10B), G(녹)화소 회로(10G)로 구성된다. 그리고 이와 같은 컬러 화소 유닛(GS11 내지 GSnm)이 매트릭스 형상으로 배열된다. 도면에서는 화소 어레이(1)에 있어서의 4 구석의 컬러 화소 유닛(GS11, GS1n, GSm1, GSnm)만을 나타내고, 다른 것은 생략하고 있다.

이와 같은 화소 어레이(1)에 대해, 영상 신호선 구동 회로(2), 주사선 구동 회로(3)이 마련된다.

영상 신호선 구동 회로(2)에는, 수평 클록(HCK), 수평 스타트 신호(HST), 및 영상 신호(Video)가 입력된다. 영상 신호선 구동 회로(2)는 이들의 신호에 의거하여, 화소 어레이(1)의 각 열에 대해 배설된 영상 신호선(SIG)에 대해, 각 수평 기간마다 영상 신호를 준다.

영상 신호선(SIG)으로서, 열방향으로 나열하는 R화소 회로(10R)에 대한 영상 신호선(SIG-R), 열방향으로 나열하는 B화소 회로(10B)에 대한 영상 신호선(SIG-B), 열방향으로 나열하는 G화소 회로(10G)에 대한 영상 신호선(SIG-G)이 마련된다. 컬러 화소 유닛(GS)은 n 열이기 때문에, 화소 어레이(1)에 대해, 영상 신호선(SIG-R(1) 내지 SIG-R(n), SIG-B(1) 내지 SIG-B(n), SIG-G(1) 내지 SIG-G(n))이 마련되게 되고, 영상 신호선 구동 회로(2)는, 이들의 영상 신호선(SIG)에 대해 각각 1수평 기간마다, 열방향의 각 화소에 응한 R영상 신호, B영상 신호, G영상 신호를 인가한다.

주사선 구동 회로(3)에는, 수직 주사 클록(VCK), 수직 스타트 신호(VST), 램프 신호, 및 기준 전압(Vref)이 주어진다. 램프 신호는, 예를 들면 1수평 기간의 주기에서 전압치가 0부터 최대치로 증가한 톱니형상파 신호로 된다.

주사선 구동 회로(3)는 이들의 신호에 의거하여, 화소 어레이(1)의 각 행에 대해 배설된 주사선(WS)에 대해 주사 펄스를 주고, 또한 전압 인가선(LVcs)을 구동한다.

화소 어레이(1)는 m 행의 화소가 구성되기 때문에, 주사선(WS)으로서 주사선(WS(1) 내지 WS(m))이 마련되고, 또한 전압 인가선(LVcs(1) 내지 LVcs(m))이 마련된다. 주사선 구동 회로(3)는, 1프레임 기간 내에서, 1수평 기간마다 주사선(WS(1) 내지 WS(m))을 순차적으로 선택하는 주사 펄스를 인가한다.

각 화소 회로(10)(10R, 10B, 10G)에는, 각각 대응하는 행의 주사선(WS)으로부터의 주사 펄스와, 전압 인가선(LVcs)으로부터의 전압(Vcs)이 주어진다.

주사선 구동 회로(3)의 구성에 관해서는 후에 도 5에서 설명한다.

화소 어레이(1)의 각 화소 회로(10)(10R, 10B, 10G)에 대해서는, 전원 전압(Vcc)과 캐소드 전압(Vk)이 주어진다.

또한, 화소 어레이(1)의 R화소 회로(10R)에 대해서는 바이어스 전압(VbR)이, 화소 회로(10B)에 대해서는 바이어스 전압(VbB)이, 화소 회로(10G)에 대해서는 바이어스 전압(VbG)이, 각각 주어진다.

[제 1의 실시의 형태]

이하, 상기 도 1의 표시 장치 구성에서의 화소 회로(10)(10R, 10B, 10G)의 실시의 형태로서, 제 1 내지 제 4의 실시의 형태를 설명한다.

도 2는 제 1의 실시의 형태로서의 화소 회로(10)를 도시하고 있다.

이 화소 회로(10)는 유기 EL 소자(4)를 구동하는 회로가 3개의 P형 트랜지스터(T1, T2, T3)와 하나의 커패시터(Cs)으로 형성되어 있다.

제 1의 트랜지스터(T1)(이하, 샘플링 트랜지스터(T1))는, 그 게이트가 영상 신호 샘플링 제어를 위한 주사선(WS)에 접속된다. 또한 드레인에는 영상 신호선(SIG)이 접속되고, 소스에는 커패시터(Cs)의 일단과 제 3의 트랜지스터(T3)(이하, 구동 트랜지스터(T3))의 게이트가 접속된다. 이 구동 트랜지스터(T3)의 게이트 노드를 노드(NA)로서 나타내고 있다.

커패시터(Cs)의 타단에는, 전압 인가선(LVcs)이 접속되고, 상기한 주사선 구동 회로(3)에 의해 전압(Vcs)이 인가된다.

제 2의 트랜지스터(T2)(이하, 전류원 트랜지스터(T2))의 소스에는 전원(Vcc)의 라인이 접속되고, 또한 게이트에는 전류 조정용 바이어스 전원(Vb)의 라인이 접속된다. 드레인에는 구동 트랜지스터(T3)의 소스와 접속된다.

구동 트랜지스터(T3)의 드레인에는 유기 EL(4)의 애노드가 접속되고, 유기 EL(4)의 캐소드는 캐소드 전원(Vk)의 라인에 접속된다.

전류원 트랜지스터(T2)는, 포화 영역에서 동작하도록 설정되어 있고 정전류(Io)를 흘린다. 바이어스 전위(Vb)는 전류(Io)가, 구동하는 유기 EL 소자(4)에서 필요하게 되는 전류치가 되도록 설정된다. 예를 들면, 휘도 200nit를 얻는데 5nA 필요하면, Io=5nA로 설정한다.

구동 트랜지스터(T3)가 온으로 되는 기간, 정전류(Io)가, 유기 EL 소자(4)에 전류(Iel)로서 흐르고, 유기 EL 소자(4)가 발광하게 된다.

도 3에, 도 2의 화소 회로(10)의 동작 원리를 도시한다.

우선 시점(tm1)에서, 주사선(WS)의 주사 펄스를 저전위로 함으로써, 샘플링 트랜지스터(T1)를 온 상태로 한다. 그러면 영상 신호선(SIG)으로부터 영상 신호가 커패시터(Cs)에 충전되고, 노드(NA)의 전위는 영상 신호 전위(Vs)로 된다. 또한, 이 샘플링 트랜지스터(T1)가 온 상태인 동안은, 전압 인가선(LVcs)의 전압(Vcs)은 기준 전위(Vref)로 고정된다. 기준 전압(Vref)은 통상 그라운드 레벨로 설정된다.

즉 주사선(WS)의 주사 펄스가 저전위로 되어 있는 시점(tm1 내지 tm2)은, 영상 신호의 기록 기간이고, 기준 전압(Vref)이 그라운드 레벨이기 때문에, 노드(NA)의 전위를 영상 신호 전위(Vs)로 하는 기간이다.

시점(tm2)에서 주사선(WS)이 고전위로 됨으로써 샘플링 트랜지스터(T1)가 오프로 된다. 동시에 시점(tm2)으로부터 전압 인가선(LVcs)의 전압(Vcs)은, 전압치를 기준 전압(Vref)으로부터 Vr까지 시간적으로 증가시키는 램프 신호 전압으로 한다. 이 램프 신호의 주기는, 1프레임 기간보다 충분히 짧게 설정한다. 예를 들면, 1수평 주기(1H)가 적당하다.

전압(Vcs)의 증가에 수반하여, 노드(NA)의 전위는 커패시터(Cs)의 전하 보존에 의해, 신호 전위(Vs)로부터 Vs+Vr까지 상승한다. 이 동안에 있어서, 노드(NA)의 전위가 구동 트랜지스터(T3)의 임계치 전압(Vth)에 도달하면, 구동 트랜지스터(T3)가 차단되고, 유기 EL 소자(4)에의 전류 공급은 정지된다. 그 시점까지, 즉 구동 트랜지스터(T3)가 온으로 되어 있는 동안은, 전류원 트랜지스터(T2)와 바이어스 전위(Vb)에 의해 결정되는 일정 전류(Io)가 유기 EL 소자(4)에 흐르게 된다.

시점(tm2 내지 tm3)에서 이와 같은 동작이 행하여지는데, 시점(tm3 내지 tm4), 시점(tm4 내지 tm5)에서도 같은 동작이 행하여진다. 즉 예를 들면 1프레임 내의 1수평 기간(tm1 내지 tm2)에서 영상 신호 전위(Vs)의 기록이 행하여진 후는, 1프레임 기간 내에서 후속하는 각 수평 기간에, 램프 신호에 의한 전압(Vcs)의 시간적 증가에 응하여 시점(tm2 내지 tm3)과 같은 동작이 행하여지게 된다.

여기서, 구동 트랜지스터(T3)가 온으로 되어 있는 시간(Ton)은, 상술한 식 1과 같이, $Ton = (V_{th}/V_r) \cdot Th + (V_{cc} - V_s) / V_r \cdot Th$ 로 표현되고, 전압(Vr), 즉 램프 신호 진폭이 충분히 크면, 구동 트랜지스터(T3)의 임계치 전압(Vth)의 변동에는, 거의 좌우되지 않는다.

즉, MOS 트랜지스터의 임계치 전압 변동(ΔV_{th})은 $\pm 10mV$ 정도이기 때문에, 램프 신호 진폭(Vr)을 충분히 크게, 예를 들면 1V 정도로 함으로써, 임계치 전압 변동(ΔV_{th})을, 그 1% 정도로 억누르는 것이 가능하고, 온시간(Ton)이 임계치 전압 변동(ΔV_{th})에 의해 크게 영향을 받는 것으로는 되지 않는다.

결국, 인간이 시인하는 밝기(Y)는,

$$Y = I_o \cdot T_{on}$$

으로 되고, 계조는 Ton으로 제어된다.

그리고 이와 같이 온시간(Ton)에서 계조 제어하고 있기 때문에, 램프 신호 진폭(Vr)을 크게 설정하면, 각 화소에서의 구동 트랜지스터(T3)의 특성 편차 기인에 의한 계조 어긋남이나 먼 내 거칠어짐을 억제할 수 있다. 또한, 램프 신호의 주기가 1수평 주기로 고속이기 때문에, 플리커도 없다.

그리고 이 화소 회로(10)의 경우, 유기 EL 소자(4)는 발광 기간중, 정전류(Io)에 의해 구동되기 때문에, 열화는 정전압 구동하는 경우에 비하여 작은 것으로 할 수 있다. 즉 앞서 기술한 도 15에 따라 말하면, 초기에 도 15의 (b)의 <A>점의 휘도가 얻어지고 있던 때에, 경시 열화에 의해서는 휘도는 점까지밖에 내려가지 않아서, <C>점까지 열화되어 버리는 종래의 화소 회로에 비하여 열화의 정도가 작다. 이로써 장수명화가 실현된다.

도 4는, 도 1의 표시 장치 구성에 있어서, 화소 회로(10)의 1프레임에서의 동작을 모식적으로 도시하고 있다.

각 행의 주사선(WS(1), WS(2) ... WS(x) ...)은, 각각 순차적으로 선택되도록 주사선 구동 회로(3)로부터의 주사 펄스가 주어진다. 이로써 각 행의 화소 회로(10)는, 그 주사 펄스의 로우 레벨 기간을, 상기 도 3의 시점(tm1 내지 tm2)으로 하여 상술한 동작을 행하고, 구동 트랜지스터(T3)의 스위칭에 응한 기간, 즉 영상 신호선(SIG)으로부터 주어진 영상 신호 전위(Vs)에 응한 기간, 유기 EL 소자(4)에 전류(Iel)를 흘려서 발광 구동한다. 도 4에 도시한 바와 같이, 각 행의 화소 회로(10)에서는, 프레임마다 기록되는 영상 신호에 응하여, 유기 EL 소자(4)에의 전류(Iel(1), Iel(2) ... Iel(x) ...)로서 정전류(Io)의 통전 시간이 변화하고 있다.

여기서, 도 5에 의해 주사선 구동 회로(3)의 구성예를 도시하여 둔다.

주사선 구동 회로(3)는, 화소 어레이(1)의 각 행에 대응하여 레지스터(21(1) 내지 21(m))에 의한 m단의 시프트 레지스터가 형성된다. 레지스터(21(1))에는 수직 스타트 펄스(VST)가 입력됨과 함께, 각 레지스터(21(1) 내지 21(m))는, 수평 기간 주기의 수직 주사 클럭(VCK)에 따라, 수직 스타트 펄스(VST)를 출력함과 함께 후단의 레지스터에 보낸다.

각 레지스터(21(1) 내지 21(m))에 대해서는, 레벨 시프트 회로(22), 버퍼 앰프(23), 스위치(24, 26), 인버터(25)가 마련되어 있다(도면에서는 레지스터(21(1))에 관해서만 도시하고 있다).

레지스터(21(1))로부터 출력된 펄스는 레벨 시프트 회로(22)에서 레벨 시프트되어, 예를 들면 저전위 0V, 고전위 6V의 주사 펄스로 된다. 그리고 버퍼 앰프(23)를 통하여 주사선(WS)(1)에 출력된다.

계속되는 각 레지스터(21(2) 내지 21(m))에 대해서도, 같은 회로에서 주사선(WS(2) 내지 WS(m))에 주사 펄스가 출력됨으로써, 상기 도 4와 같이, 각 행이 순차적으로 선택된 주사 펄스가 화소 어레이(1)에 주어진다.

또한, 단자(27)에는 상술한 바와 같이 진폭(V_r)으로, 1수평 기간을 1주기로 한 램프 신호가 입력되어 있다. 또한 단자(28)에는, 예를 들면 그라운드 전위(0V)로서의 기준 전압(V_{ref})이 주어지 있다.

스위치(24)는 레벨 시프트 회로(22)로부터의 주사 펄스가 제어 펄스로서 주어져서 온/오프된다. 또한 스위치(26)는, 인버터(25)에 의한 주사 펄스의 반전 신호가 제어 펄스로서 주어져서 온/오프된다. 여기서 스위치(24, 26)는, 각각 제어 펄스가 고전위일 때에 온으로 된다.

따라서, 주사선(WS)의 주사 펄스가 저전위인 기간은, 전압 인가선(LVcs)에 기준 전압(V_{ref})이 주어지고, 주사선(WS)의 주사 펄스가 저전위인 기간은, 전압 인가선(LVcs)에 램프 신호가 주어지게 되고, 화소 회로(10)의 커패시터(C_s)의 타단에 주어지는 전압(V_{cs})은, 도 3에 도시한 바와 같이 된다.

그런데, 도 2에서는 하나의 화소 회로(10)에 대해서만 도시하였지만, 도 1에서 기술한 바와 같이 하나의 컬러 화소 유닛(GS)은, R화소 회로(10R), B화소 회로(10B), G화소 회로(10G)로 이루어진다. 이 하나의 컬러 화소 유닛(GS)으로서 본 경우의 회로 구성을 도 6에 도시한다.

R화소 회로(10R), B화소 회로(10B), G화소 회로(10G)는, 각각이 도 2에서 설명한 구성으로 되고, 도 3의 동작을 행한다. 이로써 R화소 회로(10R)에서는, 영상 신호선(SIG-R)에 주어진 R영상 신호 전위에 응한 기간, 유기 EL 소자(4R)가 발광 구동되고, 마찬가지로, B화소 회로(10B), G화소 회로(10G)는, 각각 영상 신호선(SIG-B, SIG-G)에 주어진 B영상 신호 전위, G영상 신호 전위에 응한 기간, 유기 EL 소자(4B, 4R)가 발광 구동된다.

여기서, 각 화소 회로(10R, 10B, 10G)는, 각각 유기 EL 소자(4R, 4B, 4G)에 대해 정전류 구동을 행하는 것이지만, 바이어스 전압(V_b)은, 각각 R, B, G에 대해 개별적으로 설정된다. 즉 R화소 회로(10R)에서는 바이어스 전압(V_{bR})이 설정되고 정전류(IR)의 값이 결정된다. B화소 회로(10B)에서는 바이어스 전압(V_{bB})이 설정되고 정전류(IB)의 값이 결정된다. G화소 회로(10G)에서는 바이어스 전압(V_{bG})이 설정되고 정전류(IG)의 값이 결정된다.

이와 같이 색마다 바이어스 전위를 설정함으로써, 컬러 표시할 때의 화이트 밸런스 조정으로 피크 전류를 설정할 수 있다. 따라서, 화이트 밸런스 조정에서 트랜지스터 사이즈를 조정하는 일 없이, 외부로부터의 조정을 직류 전위로 설정할 수 있게 되기 때문에, 영상 신호의 다이내믹 레인지를 색마다 설정한 필요가 없고, 외부 회로를 간략화할 수 있다.

또한, 칩 사이 트랜지스터 특성 편차에 의한 보정도 외부 바이어스 전위 전위를 변경함으로써 용이하게 대응할 수 있다.

또한 발광 효율이나 색이 보이는 방식은, R, B, G 각 색에서 다른데, 그것에 응한 조정도 바이어스 전압(V_{bR} , V_{bB} , V_{bG})의 설정으로 가능해진다. 나아가서는 유기 EL 소자(4)로서의 박막의 재료 등에 의해도 발광 효율이 변동하는데, 그것에 대한 조정도 가능하다.

한 예로서, 예를 들면 전류(IR)는 1.8nA, 전류(IB)는 3nA, 전류(IG)는 5nA 등으로 조정하는 것이 생각된다.

도 2의 화소 회로(10)는, MOS 프로세스에 의해 형성된다. 이 화소 회로(10)를 실현하는 레이아웃도를 도 7에 도시하고, 또한 유기 EL 화소 회로의 단면 구조예를 도 8에 모식적으로 도시한다.

우선 도 8에서 MOS 프로세스로 형성되는 화소 회로(10)의 구조를 기술한다. 이미 공지인 바와 같이, MOS 프로세스로는 결정 규소 기판(실리콘 웨이퍼)상에 불순물 첨가, 확산을 행하여, 폴리실리콘막, 산화막, 층간절연막 등을 성막함으로써 트랜지스터를 형성하고, 또한 소자 사이의 배선을 위한 알루미늄 또는 구리 등에 의한 금속 배선막을 생성하여 소요되는 회로를 구성한다.

본 예의 유기 EL 화소 회로의 경우, 도시한 바와 같이 트랜지스터(T1, T2, T3) 및 커패시터(C_s)이 형성됨과 함께, 3층으로 금속 배선막(제 1 금속 배선막(MT1), 제 2 금속 배선막(MT2), 제 3 금속 배선막(MT3))이 형성된다. 각 층의 사이는 콘택트로서 층간 플러그(CT)가 형성되고 전기적으로 접속된다.

그리고 최상층으로서 애노드 전극(41), EL 박막(42), 캐소드 전극(43)이 증착 형성된다.

도 2의 화소 회로(10)의 경우, 구동 트랜지스터(T3)의 드레인이 유기 EL 소자(4)의 애노드에 접속되는데, 이를 위해서는 예를 들면 도 8과 같이, 구동 트랜지스터(T3)의 드레인 영역이, 층간 플러그(CT)나 금속 배선막(MT1, MT2, MT3)을 통하여 애노드 전극(41)에 접속되게 된다.

이 도 8은, 어디까지나 모식적으로 층 구조를 도시한 것인데, 도 2의 화소 회로(10)에 대응한 레이아웃 예는 도 7과 같이 된다.

도 7의 (a)는 제 1 금속 배선막(MT1) 이하의 층을, 도 7의 (b)는 제 1 금속 배선막(MT1)과 제 2 금속 배선막(MT2)을, 도 7의 (c)는 제 2 금속 배선막(MT2)과 제 3 금속 배선막(MT3)을, 각각 도시하고 있다. 각 도면에 있어서, 층간 플러그(콘택트)(CT)로서의 상하층의 콘택트 부분을 「○」로 나타내고 있다.

도 7의 (a)에서, 파선으로 소스 영역, 드레인 영역, 커패시터(Cs)의 한쪽의 전극 영역을, 또한 1점쇄선으로 게이트 영역 및 커패시터(Cs)의 다른쪽의 전극 영역을 도시하고 있고, 도시한 바와 같이 샘플링 트랜지스터(T1), 전류원 트랜지스터(T2), 구동 트랜지스터(T3), 커패시터(Cs)가 형성된다.

또한 실선으로 도시한 제 1 금속 배선막(MT1)에 의해, 영상 신호선(SIG)과 필요한 소자 사이 배선이 형성된다.

또한 도 7의 (b)에서는 제 1 금속 배선막(MT1)을 파선으로, 제 2 금속 배선막(MT2)을 실선으로 도시하고 있는데, 제 2 금속 배선막(MT2)에 의해 주사선(WS), 전압 인가선(LVcs)이 형성된다.

또한 도 7의 (c)에서는 제 2 금속 배선막(MT2)을 파선으로, 제 3 금속 배선막(MT3)을 실선으로 도시하고 있는데, 제 3 금속 배선막(MT3)에 의해 전원 전압(Vcc) 라인과, 바이어스 전압(Vb) 라인이 형성된다.

우선 도 7의 (a)로부터 알 수 있는 바와 같이, 제 1 금속 배선막(MT1)에 의한 영상 신호선(SIG)은 콘택트(CT11)에 의해 샘플링 트랜지스터(T1)의 드레인 영역(파선부)에 접속된다.

샘플링 트랜지스터(T1)의 게이트 영역(1점쇄선부)은 콘택트(CT10)에 의해, 도 7의 (b)의 제 2 금속 배선막(MT2)의 주사선(WS)에 접속된다.

도 7의 (a)의 샘플링 트랜지스터(T1)의 소스 영역(파선부)은, 콘택트(CT9)에 의해 제 1 금속 배선막(MT1)의 배선과 접속되고, 콘택트(CT4)에 의해, 구동 트랜지스터(T3)의 게이트 영역(1점쇄선부)에 접속된다. 또한, 이 제 1 금속 배선막(MT1)의 배선에 대해서는 콘택트(CT7)로, 커패시터(Cs)의 한쪽의 전극(파선부)이 접속된다.

커패시터(Cs)의 다른쪽의 전극(1점쇄선부)은, 콘택트(CT8)에 의해, 도 7의 (b)의 제 2 금속 배선막(MT2)에 의한 전압 인가선(LVcs)에 접속된다.

도 7의 (a)의 구동 트랜지스터(T3)의 드레인 영역(파선부)은, 콘택트(CT5)로 제 1 금속 배선막(MT1)에 접속되고, 또한 이 콘택트(CT6)로 도 7의 (b) 및 (c)의 제 2 금속 배선막(MT2), 제 3 금속 배선막(MT3)에 접속된다. 그리고 또한 제 3 금속 배선막(MT3)으로부터 콘택트(CT6)로 윗면의 도시하지 않은 애노드 전극(41)에 접속되게 된다.

도 7의 (a)의 구동 트랜지스터(T3)의 소스 영역과 전류원 트랜지스터(T2)의 드레인 영역은 연속 영역(파선부)으로 된다. 전류원 트랜지스터(T2)의 게이트 영역(1점쇄선부)은 콘택트(CT3)에 의해, 제 1 금속 배선막(MT1), 제 2 금속 배선막(MT2)을 통하여, 도 7의 (c)의 제 3 금속 배선막(MT3)에 의한 바이어스 전압(Vb) 라인에 접속된다.

전류원 트랜지스터(T2)의 소스 영역(파선부)은 콘택트(CT2)에 의해 제 1 금속 배선막(MT1)에 접속되고, 이 제 1 금속 배선막(MT1)으로부터 콘택트(CT1)에 의해 제 2 금속 배선막(MT2)을 통하여 도 7의 (c)의 제 3 금속 배선막(MT3)에 의한 전원 전압(Vcc) 라인에 접속된다.

이상과 같은 레이아웃으로 화소 회로(10)를 형성할 수 있는데, 예를 들면 이 화소 회로(10)의 중형 사이즈로서는, 9.0 μ m \times 3.0 μ m 정도로 하는 것이 가능하다.

여기까지 제 1의 실시의 형태의 화소 회로(10)에 관해 설명하여 왔는데, 이와 같은 화소 회로(10)를 갖는 유기 EL 표시 장치는, 특히 MOS 프로세스로 형성된 유기 EL 화소 회로에 있어서, 직류 바이어스(Vb)로 제어되는 정전류원 트랜지스터

(T2)에서 생성되는 전류(Io)를, 아날로그 영상 신호 전위(Vs)와 시간적으로 증감하는 램프 신호에 의해 스위칭 되는 구동 트랜지스터(T3)로 제어하여 유기 EL 소자(4)에 공급하도록 하고 있다. 이로써, 트랜지스터 특성 편차의 영향을 받기 어려운 정전류 펄스폭 변조를 행하여, 적은 소자, 장수명, 고정밀·고화질인 유기 EL 표시 장치를 실현할 수 있다.

[제 2의 실시의 형태]

도 9, 도 10에 의해 제 2의 실시의 형태로서의 화소 회로(10)를 설명한다.

도 9의 화소 회로(10)도 상기 제 1의 실시의 형태와 마찬가지로 MOS 프로세스로 생성되는 회로이고, 유기 EL 소자(4)를 구동하는 회로가, N형 샘플링 트랜지스터(T1), P형 전류원 트랜지스터(T2), N형 구동 트랜지스터(T3)로서의 3개의 트랜지스터와, 하나의 커패시터(Cs)으로 형성되어 있다.

샘플링 트랜지스터(T1)는, 그 게이트가 영상 신호 샘플링 제어를 위한 주사선(WS)에 접속된다. 또한 드레인에는 영상 신호선(SIG)이 접속되고, 소스는 커패시터(Cs)의 일단과 구동 트랜지스터(T3)의 게이트, 즉 노드(NA)에 접속된다.

커패시터(Cs)의 타단에는, 전압 인가선(LVcs)이 접속되고, 도 1의 주사선 구동 회로(3)에 의해 전압(Vcs)이 인가된다.

전류원 트랜지스터(T2)의 소스에는 전원(Vcc)의 라인이 접속되고, 게이트에는 전류 조정용 바이어스 전원(Vb)의 라인이 접속된다. 또한 드레인은 구동 트랜지스터(T3)의 드레인 및 유기 EL 소자(4)의 애노드와 접속된다.

구동 트랜지스터(T3)의 소스는 고정 전위(Vlo)의 라인이 접속된다. 유기 EL 소자(4)의 캐소드에는 캐소드 전원(Vk)의 라인이 접속된다.

전류원 트랜지스터(T2)는, 포화 영역에서 동작하도록 설정되어 있고 정전류(Io)를 흘린다. 바이어스 전위(Vb)는 전류(Io)가, 구동한 유기 EL 소자(4)에서 필요하게 되는 전류치가 되도록 설정된다. 예를 들면, 휘도 200nit를 얻는데 5nA 필요하다면, Io=5nA로 설정한다.

이 경우, 구동 트랜지스터(T3)와 유기 EL 소자(4)는 병렬로 되어 있다. 따라서, 구동 트랜지스터(T3)가 오프로 되는 기간, 정전류(Io)가, 유기 EL 소자(4)에 전류(Iel)로서 흐르고, 유기 EL 소자(4)가 발광하게 된다. 구동 트랜지스터(T3)가 온인 기간은 정전류(Io)는, 전류(It)로서 고정 전위(Vlo)측으로 유입하게 된다.

도 10에 의해 회로 동작을 설명한다. 우선, 시점(tm1)에서 주사선(WS)을 고전위로 함으로써, N채널의 샘플링 트랜지스터(T1)를 온 상태로 한다. 그러면 영상 신호선(SIG)으로부터 아날로그 영상 신호 전위(Vs)가 커패시터(Cs)에 충전되어 노드(NA)의 전위는 Vs로 된다. 이 시점(tm1 내지 tm2)의 영상 신호의 기록 기간, 즉 샘플링 트랜지스터(T1)가 온 상태인 동안은, 전압 인가선(LVcs)으로부터의 전압(Vcs)은 기준 전위(Vref)(예를 들면 그라운드 레벨)로 고정된다.

시점(tm2)에서 주사선(WS)이 저전위로 됨으로써 샘플링 트랜지스터(T1)가 오프로 된다. 동시에 시점(tm2)으로부터 전압 인가선(LVcs)의 전압(Vcs)은, 전압치를 기준 전압(Vref)으로부터 Vr까지 시간적으로 증가시키는 램프 신호 전압으로 한다. 이 램프 신호의 주기는, 1프레임 기간보다 충분히 짧게 설정한다. 예를 들면, 1수평 주기(1H)가 적당하다.

전압(Vcs)의 증가에 수반하여, 노드(NA)의 전위는 커패시터(Cs)의 전하 보존에 의해, 신호 전위(Vs)로부터 Vs+Vr까지 상승한다. 이 동안에 있어서, 노드(NA)의 전위가 구동 트랜지스터(T3)의 임계치 전압(Vth)에 도달하면, 구동 트랜지스터(T3)가 도통된다. 이 도통 시점까지는, 전류원 트랜지스터(T2)와 바이어스 전위(Vb)에 의해 결정되는 정전류(Io)가 유기 EL 소자(4)에 흐른다. 구동 트랜지스터(T3)가 도통한 후는, 구동 트랜지스터(T3)의 도통시의 온 저항은 유기 EL 소자(4)의 온 저항보다도 충분 작기 때문에, 전류원 트랜지스터(T2)로부터 공급되는 전류(Io)는, 구동 트랜지스터(T3)를 통하여 고정 전위(Vlo)로 유입되고, 유기 EL 소자(4)에는, 거의 흐르지 않게 된다.

시점(tm2 내지 tm3)에서 이와 같은 동작이 행하여지는데, 시점(tm3 내지 tm4), 시점(tm4 내지 tm5)도 같은 동작이 행하여진다. 즉 예를 들면 1프레임 내의 1수평 기간(tm1 내지 tm2)에서 영상 신호 전위(Vs)의 기록이 행하여진 후는, 1프레임 기간 내에서 후속하는 각 수평 기간에, 램프 신호에 의한 전압(Vcs)의 시간적 증가에 의하여 시점(tm2 내지 tm3)과 같은 동작이 행하여지게 된다.

여기서, 구동 트랜지스터(T3)가 오프로 되어 유기 EL 소자(4)에 전류가 흐르고 있는 시간(Ton)은,

$$T_{on} = (V_{th}/V_r) \cdot T_h + (V_{lo} - V_s)/V_r \cdot T_h \dots \text{(식 4)}$$

로 된다. 단 V_{th} 는 구동 트랜지스터(T3)의 임계치 전압, V_r 는 램프 진폭, T_h 는 램프 신호 주기, V_{lo} 는 구동 트랜지스터(T3)의 소스 전압, V_s 는 영상 신호 전압이다.

그리고 이 시간(T_{on})은, 전압(V_r), 즉 램프 신호 진폭이 충분히 크면, 구동 트랜지스터(T3)의 임계치 전압(V_{th})의 변동에는, 거의 좌우되지 않는다.

즉, MOS 트랜지스터의 임계치 전압 변동(ΔV_{th})은 $\pm 10\text{mV}$ 정도이기 때문에, 램프 신호 진폭(V_r)을 충분히 크게, 예를 들면 1V 정도로 함으로써, 임계치 전압 변동(ΔV_{th})을, 그 1% 정도로 억누르는 것이 가능하고, 온시간(T_{on})이 임계치 전압 변동(ΔV_{th})에 의해 크게 영향을 받는 것으로는 되지 않는다.

결국, 인간이 시인하는 밝기(Y)는,

$$Y = I_o \cdot T_{on}$$

로 되고, 계조는 T_{on} 으로 제어된다.

그리고 이와 같이 온시간(T_{on})에서 계조 제어하고 있기 때문에, 램프 신호 진폭(V_r)을 크게 설정하면, 각 화소에서의 구동 트랜지스터(T3)의 특성 편차 기인에 의한 계조 어긋남이나 먼 내 거칠어짐을 억제할 수 있다. 또한, 램프 신호의 주기가 1수평 주기로 고속이기 때문에, 플리커도 없다.

그리고 이 화소 회로(10)의 경우, 유기 EL 소자(4)는 발광 기간중, 정전류(I_o)에 의해 구동되기 때문에, 상술한 제 1의 실시의 형태와 마찬가지로 유기 EL 소자(4)의 열화는 정전압 구동하는 경우에 비하여 작은 것으로 할 수 있다.

이 제 2의 실시의 형태에서도, 제 1의 실시의 형태와 같은 효과, 즉 적은 소자, 장수명, 고정밀·고화질인 유기 EL 표시 장치를 실현할 수 있다.

또한, 이 도 9의 화소 회로(10)는 도 1의 각 화소 회로(10R, 10B, 10G)로서의 구성이지만, 바이어스 전압(V_b)이 색마다 독립하여 설정됨으로써, 화이트 밸런스 조정 등을 할 수 있고, 외부 회로의 간략화나 각종 조정의 용이성을 얻을 수 있는 것도 제 1의 실시의 형태와 같다.

이 경우의 주사선 구동 회로(3)에 관해서는 도 5와 거의 같은 구성이면 좋다. 단 이 제 2의 실시의 형태에서는 샘플링 트랜지스터(T1)가 N형이기 때문에, 주사선(WS)에 주는 주사선 펄스는 제 1의 실시의 형태의 주사 펄스에 대해 반전한 것으로 된다. 그리고, 그 주사 펄스의 고전위 기간에 스위치(26)이 온으로 되고, 또한 저전위 기간에 스위치(24)가 온으로 되는 구성으로 된다.

[제 3의 실시의 형태]

제 3의 실시의 형태를 설명한다. 제 3의 실시의 형태의 화소 회로(10)의 구성은, 도 2와 같고, 그 구동 방식이 도 3과는 다르고, 도 11에 도시한 바와 같이 된다.

우선 시점(tm_{11})에서 주사선(WS)을 저전위로 함으로써, P형의 샘플링 트랜지스터(T1)를 온 상태로 한다. 그러면 영상 신호선(SIG)으로부터 영상 신호가 커패시터(C_s)에 충전되어 노드(NA)의 전위는 영상 신호 전위(V_s)로 된다. 이와 같이 샘플링 트랜지스터(T1)가 온 상태로 되어 영상 신호의 샘플링을 행하는 시점(tm_1 내지 tm_2)의 기록 기간에서는, 전압 인가선(LVcs)으로부터 주어지는 전압(V_{cs})은, 소정의 기준 전위(V_{ref2})로 고정된다. 이 기준 전위(V_{ref2})는, 구동 트랜지스터(T3)의 임계치 전압(V_{th})보다 높은 전위로 설정되어 있다. 그리고 커패시터(C_s)에 기록되는 영상 신호는, 전압 범위로서는, 구동 트랜지스터(T3)가 컷오프되도록 설정된다. 따라서 영상 신호의 샘플링을 행하는 기록 기간(tm_1 내지 tm_2)에서는, 노드(NA)의 전위는 구동 트랜지스터(T3)의 임계치 전압(V_{th})보다 고전위로 되고, 구동 트랜지스터(T3)는 비도통 상태를 유지하기 때문에, 유기 EL 소자(4)에는 전류가 흐르지 않게 된다.

다음에 시점(tm2)에서 주사선(WS)이 고전위로 되고, 샘플링 트랜지스터(T1)가 컷오프되는 동시에, 전압 인가선(LVcs)의 전압(Vcs)을, 상기 기준 전위(Vref2)로부터 0V로 한다. 그러면, 노드(NA)의 전위는 용량 결합에 의해 Vs-Vref2로 된다. 여기서, 구동 트랜지스터(T3)는 온 상태로 되고, 유기 EL 소자(4)에는, 정전류 트랜지스터(T2)에서 결정되는 전류(Io)가 흐른다.

시점(tm2)으로부터의 전압 인가선(LVcs)의 전압(Vcs)은 램프 신호에 의한 것이고, 전압(Vcs)은, 0V로부터 Vr까지 시간적으로 증가한다. 또한, 그 램프 신호 주기는 1프레임 기간보다 충분히 짧다, 예를 들면 1수평 주기로 설정한다.

램프 신호에 의한 전압(Vcs)의 증가에 수반하여, 노드(NA)의 전위는 커패시터(Cs)의 전하 보존에 의해 신호 전위(Vs-Vref2)로부터 Vs-Vref2+Vr까지 상승한다. 노드(NA)의 전위가, 구동 트랜지스터(T3)의 절단 전위에 도달하면, 구동 트랜지스터(T3)가 차단되고 유기 EL 소자(4)에의 전류 공급은 정지된다. 그 시점까지, 즉 구동 트랜지스터(T3)가 도통하고 있는 기간은, 정전류 트랜지스터(T2)와 바이어스 전위(Vb)에 의해 결정되는 일정 전류(Io)가 유기 EL 소자(4)에 흐른다.

이 경우도, 상기 제 1의 실시의 형태와 마찬가지로 구동 트랜지스터(T3)가 온으로 되어 유기 EL 소자(4)가 발광하고 있는 시간(Ton)은, $Ton = (V_{th}/V_r) \cdot Th + (V_{cc} - V_s)/V_r \cdot Th$ 로 표현되고, 램프 신호 진폭(Vr)이 충분히 크면, 구동 트랜지스터(T3)의 임계치 전압(Vth)의 변동에는, 거의 좌우되지 않는다.

결국, 인간이 시인하는 밝기(Y)는, $Y = I_o \cdot Ton$ 로 되고, 계조는 온시간(Ton)으로 제어된다. 또한, 발광 기간중은, 유기 EL 소자(4)를 정전류(Io)에 의해 구동하기 때문에, EL 열화는 정전압 구동한 경우에 비하여 작다.

또한, 이 제 3의 실시의 형태의 경우, 시점(tm1 내지 tm2)의 영상 신호 샘플링 기간중에는 구동 트랜지스터(T3)는 오프로 되고, 따라서 유기 EL 소자(4)가 위발광을 하지 않게 된다. 이 때문에, 콘트라스트비도 향상시킬 수 있고, 더한층의 고화질화를 실현할 수 있다.

또한, 이 제 3의 실시의 형태의 경우, 시점(tm1 내지 tm2)에서 전압 인가선(LVcs)의 전압(Vcs)을 기준 전위(Vref2)로 하는 것인데, 이를 위해서는 주사선 구동 회로(3)에서 도 5의 단자(28)에 입력되는 기준 전압(Vref)을, 상기한 기준 전위(Vref2)로 변경하면 좋은 것이다.

[제 4의 실시의 형태]

제 4의 실시의 형태를 설명한다. 제 4의 실시의 형태의 화소 회로(10)의 구성은, 도 9와 같고, 그 구동 방식이 도 10과는 다르고, 도 12에 도시한 바와 같이 된다.

우선 시점(tm1)에서, 주사선(WS)을 고전위로 함으로써, N형의 샘플링 트랜지스터(T1)를 온 상태로 한다. 그러면 영상 신호선(SIG)으로부터 아날로그 영상 신호가 커패시터(Cs)에 충전되고 노드(NA)의 전위는 영상 신호 전위(Vs)로 된다.

이 샘플링 트랜지스터(T1)가 온 상태인 시점(tm1 내지 tm2)인 동안, 전압 인가선(LVcs)에 의한 전압(Vcs)은 기준 전위(Vref2)로 고정된다. 이 기준 전위(Vref2)는, 구동 트랜지스터(T3)의 임계치 전압(Vth)보다 높은 전위로 설정되어 있다. 그리고 커패시터(Cs)에 기록되는 영상 신호는, 전압 범위로서는, 구동 트랜지스터(T3)의 임계치 전압 이상을 유지하는 범위로 설정된다. 따라서 영상 신호의 샘플링을 행하는 기록 기간(tm1 내지 tm2)에서는, 노드(NA)의 전위는 구동 트랜지스터(T3)의 임계치 전압(Vth)보다 고전위로 되고, N형의 구동 트랜지스터(T3)는 도통 상태를 유지하기 때문에, 구동 트랜지스터(T3)와 병렬 접속된 유기 EL 소자(4)측에는 전류가 흐르지 않게 된다.

시점(tm2)에서 주사선(WS)이 저전위로 되어 샘플링 트랜지스터(T1)가 컷오프되는 동시에, 전압 인가선(LVcs)의 전압(Vcs)을 Vref2로부터 0V로 한다. 그러면, 용량 결합에 의해 노드(NA)의 전위는 Vs로부터 Vs-Vref2로 되고, 구동 트랜지스터(T3)는 컷오프되고, 구동 트랜지스터(T3)와 병렬 접속된 유기 EL 소자(4)에 정전류(Io)가 흐르고, 발광한다.

그 후, 전압(Vcs)은 램프 신호에 의한 것이어서, 0으로부터 Vr까지 시간적으로 증가한다. 램프 신호 주기는 1프레임 기간보다 충분히 짧은, 예를 들면 1수평 주기로 설정한다.

램프 신호에 의한 전압(Vcs)의 증가에 수반하여, 노드(NA)의 전위는 커패시터(Cs)의 전하 보존에 의해 신호 전위(Vs-Vref2)로부터 Vs-Vref2+Vr까지 상승한다. 노드(NA)의 전위가, 구동 트랜지스터(T3)의 컷트 온 전위에 도달하면, 구동 트랜지스터(T3)가 도통한다. 도통시의 구동 트랜지스터(T3)의 온 저항은 유기 EL 소자(4)의 온 저항보다도 충분 작기 때

문에, 전류원 트랜지스터(T2)로부터 공급되는 전류(Io)는, 구동 트랜지스터(T3)를 통하여 고정 전위(Vlo)로 유입되고, 유기 EL 소자(4)에는, 거의 흐르지 않는다. 그 컷오프 시점까지, 즉 구동 트랜지스터(T3)가 오프로 되어 있는 동안은, 전류원 트랜지스터(T2)와 바이어스 전위(Vb)에 의해 결정되는 정전류(Io)가 유기 EL 소자(4)에 흐른다.

여기서, 유기 EL 소자(4)에 전류가 흐르고 있는 시간(Ton)은, 상기 제 2의 실시의 형태의 경우와 마찬가지로 $Ton = (Vth / Vr) \cdot Th + (Vlo - Vs) / Vr \cdot Th$ 로 표현된다. 램프 신호 진폭(Vr)이 충분히 크면, 구동 트랜지스터(T3)의 임계치 전압(Vth) 변동에 의해서도 발광 시간(Ton)은, 거의 좌우되지 않는다.

결국, 인간이 시인하는 밝기는, $Y = Io \cdot Ton$ 로 되고, 계조는 시간(Ton)으로 제어된다. 또한, 발광 기간중은, 정전류(Io)에 의해 구동하기 때문에, EL 열화는 정전압 구동하는 경우에 비하여 작다. 또한, 이 실시의 형태의 경우도, 상기 제 3의 실시의 형태와 마찬가지로 시점(tm1 내지 tm2)의 영상 신호 샘플링 기간중에 유기 EL 소자(4)가 위발광을 하지 않기 때문에, 콘트라스트비도 향상하고, 더한층의 고화질화를 실현할 수 있다.

또한, 이 제 4의 실시의 형태의 경우, 주사선 구동 회로(3)에 관해서는 도 5와 거의 같은 구성이면 좋다. 단 이 제 4의 실시의 형태에서는 샘플링 트랜지스터(T1)가 N형이기 때문에, 주사선(WS)에 주는 주사선 펄스는 제 1의 실시의 형태의 주사 펄스에 대해 반전한 것으로 된다. 그리고, 그 주사 펄스의 고전위 기간에 스위치(26)이 온으로 되고, 또한 저전위 기간에 스위치(24)가 온으로 되는 구성으로 된다. 또한, 제 3의 실시의 형태의 경우와 마찬가지로 주사선 구동 회로(3)에 있어서 도 5의 단자(28)에 입력되는 기준 전압(Vref)을, 상기한 기준 전위(Vref2)로 변경하면 좋다.

발명의 효과

본 발명에 의하면, 유기 EL 표시 장치로서, 그 MOS 프로세스로 형성된 화소 회로에 있어서, 직류 바이어스로 제어되는 정전류원 트랜지스터(제 2의 트랜지스터)에서 생성되는 전류를 신호치(아날로그 영상 신호 전위)와 시간적으로 증감하는 램프 신호를 이용하여, 구동 트랜지스터(제 3의 트랜지스터)를 제어함으로써 트랜지스터 특성 편차의 영향을 받기 어려운 정전류 펄스폭 변조를 행한다. 이와 같이 하여 정전류 구동으로의 유기 EL 박막의 발광 동작을 행함으로써, 적은 소자의 화소 회로 구성으로 장수명화를 실현할 수 있고, 또한 트랜지스터 특성 편차의 영향을 받기 어려운 것과, 적은 소자의 화소 회로 구성에 의해, 고정밀하며 고화질화에 유리한 것으로 된다.

또한 상기 바이어스 전압으로서는, R화소 회로에 대한 R화소용 바이어스 전압, G화소 회로에 대한 G화소용 바이어스 전압, B화소 회로에 대한 B화소용 바이어스 전압이, 각각 개별적으로 설정됨으로써, R, G, B의 각 색의 발광 효율이나 색이 보이는 방식에 응한 적절한 전류량을 각 유기 EL 박막에 인가할 수 있어서, 고화질화를 실현할 수 있음과 함께, 바이어스 설정에 의해 화이트 밸런스 조정이 가능해진다.

또한 제 1의 트랜지스터가 도통되어 있는 기간(즉 신호치의 커패시터로의 기록 기간)은, 상기 커패시터의 타단에는 소정의 기준 전압이 인가되는데, 이 소정의 기준 전압을, 상기 제 3의 트랜지스터의 임계치 전압을 넘는 전압으로 함으로써, 제 1의 트랜지스터를 확실하게 비도통 상태(유기 EL 박막과 직렬의 경우), 또는 도통 상태(유기 EL 박막과 병렬의 경우)로 할 수 있어서, 유기 EL 박막의 위발광을 방지할 수 있다. 이로써 높은 콘트라스트의 유기 EL 표시 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

신호선과 주사선이 교차하는 부분에 형성되는 화소 회로가 매트릭스 형상으로 배치되어 이루어지는 표시 장치로서,

각 화소 회로는, 유기 전자 발광 박막이, MOS 프로세스에 의해 형성된 제 1, 제 2, 제 3의 트랜지스터 및 커패시터에 의해 발광 구동되는 구성으로 되고,

상기 제 1의 트랜지스터의 게이트에 상기 주사선이 접속되고,

상기 제 1의 트랜지스터의 소스/드레인의 한쪽에 상기 신호선이 접속되고, 다른쪽에 상기 커패시터의 일단과 상기 제 3의 트랜지스터의 게이트가 접속되고,

상기 커패시터의 타단에는 시간적으로 증감하는 램프 신호가 인가되고,

상기 제 2의 트랜지스터의 게이트는 바이어스 전원에 접속되고,

상기 제 2의 트랜지스터의 소스/드레인의 한쪽은 정전원에 접속되고, 다른쪽은 상기 제 3의 트랜지스터에 접속되어 있고,

상기 제 1의 트랜지스터는, 상기 주사선으로부터 공급되는 주사 펄스에 의하여 도통되고, 도통시에, 상기 신호선으로부터의 신호치가 상기 커패시터에 기록되고,

상기 제 2의 트랜지스터가 정전류원으로서 동작하도록 상기 바이어스 전원이 설정되고,

상기 제 3의 트랜지스터의 도통 기간 또는 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지도록 구성되어 있는 것을 특징으로 하는 표시 장치.

청구항 2.

제 1항에 있어서,

상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 상기 제 2의 트랜지스터에 접속되고, 다른쪽이 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고,

상기 제 3의 트랜지스터의 도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지는 것을 특징으로 하는 표시 장치.

청구항 3.

제 1항에 있어서,

상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 고정 전위에 접속되고, 다른쪽이 상기 제 2의 트랜지스터와 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고,

상기 제 3의 트랜지스터의 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지는 것을 특징으로 하는 표시 장치.

청구항 4.

제 1항에 있어서,

상기 제 3의 트랜지스터는, 상기 커패시터에 기록된 신호치와, 상기 램프 신호에 의한 게이트 전압에 의해 스위칭되는 것을 특징으로 하는 표시 장치.

청구항 5.

제 1항에 있어서,

상기 화소 회로로서, R화소 회로, G화소 회로, B화소 회로의 조가 1단위로서 매트릭스 형상으로 배열되고,

상기 바이어스 전압으로서는, R화소 회로에 대한 R화소용 바이어스 전압, G화소 회로에 대한 G화소용 바이어스 전압, B화소 회로에 대한 B화소용 바이어스 전압이, 각각 설정되는 것을 특징으로 하는 표시 장치.

청구항 6.

제 1항에 있어서,

상기 램프 신호는, 상기 제 1의 트랜지스터가 비도통인 기간에, 1프레임 주기보다 충분히 짧은 주기로 증감을 반복하는 신호로서, 상기 커패시터의 타단에 인가됨과 함께,

상기 제 1의 트랜지스터가 도통되어 있는 기간은, 상기 커패시터의 타단에는 소정의 기준 전압이 인가되는 것을 특징으로 하는 표시 장치.

청구항 7.

제 1항에 있어서,

상기 램프 신호는, 상기 제 1의 트랜지스터가 비도통인 기간에, 1프레임 주기보다 충분히 짧은 주기로 증감을 반복하는 신호로서, 상기 커패시터의 타단에 인가됨과 함께,

상기 제 1의 트랜지스터가 도통되어 있는 기간은, 상기 커패시터의 타단에는, 상기 제 3의 트랜지스터의 임계치 전압을 넘는 소정의 기준 전압이 인가되는 것을 특징으로 하는 표시 장치.

청구항 8.

신호선과 주사선이 교차하는 부분에 형성되는 화소 회로가 매트릭스 형상으로 배치되고,

각 화소 회로는, 유기 전자 발광 박막이, MOS 프로세스에 의해 형성된 제 1, 제 2, 제 3의 트랜지스터 및 커패시터에 의해 발광 구동되는 구성으로 되고,

상기 제 1의 트랜지스터의 게이트에 상기 주사선이 접속되고,

상기 제 1의 트랜지스터의 소스/드레인의 한쪽에 상기 신호선이 접속되고, 다른쪽에 상기 커패시터의 일단과 상기 제 3의 트랜지스터의 게이트가 접속되고,

상기 커패시터의 타단에는 시간적으로 증감하는 램프 신호가 인가되고,

상기 제 2의 트랜지스터의 게이트는 바이어스 전원에 접속되고,

상기 제 2의 트랜지스터의 소스/드레인의 한쪽은 정전원에 접속되고, 다른쪽은 상기 제 3의 트랜지스터에 접속되어 있는 표시 장치의 화소 구동 방법으로서,

상기 제 2의 트랜지스터가 정전류원으로서 동작하도록 상기 바이어스 전원을 설정함과 함께,

상기 주사선으로부터 공급되는 주사 펄스에 의해 상기 제 1의 트랜지스터를 도통시켜서, 상기 신호선으로부터의 신호치를 상기 커패시터에 기록하고,

상기 커패시터에 기록된 신호치와, 상기 램프 신호에 의한 게이트 전압에 의해 상기 제 3의 트랜지스터를 스위칭시키고,

상기 제 3의 트랜지스터의 도통 기간 또는 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지도록 한 것을 특징으로 하는 화소 구동 방법.

청구항 9.

제 8항에 있어서,

상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 상기 제 2의 트랜지스터에 접속되고, 다른쪽이 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고,

상기 제 3의 트랜지스터의 도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지는 것을 특징으로 하는 화소 구동 방법.

청구항 10.

제 8항에 있어서,

상기 제 3의 트랜지스터의 소스/드레인의 한쪽이 고정 전위에 접속되고, 다른쪽이 상기 제 2의 트랜지스터와 상기 유기 전자 발광 박막의 애노드 전극에 접속되어 있고,

상기 제 3의 트랜지스터의 비도통 기간에, 상기 제 2의 트랜지스터에 의한 정전류가 상기 유기 전자 발광 박막에 흘러서 발광이 행하여지는 것을 특징으로 하는 화소 구동 방법.

청구항 11.

제 8항에 있어서,

상기 제 1의 트랜지스터가 비도통인 기간에, 1프레임 주기보다 충분히 짧은 주기로 증감을 반복하는 신호로서의 상기 램프 신호를, 상기 커패시터의 타단에 인가함과 함께,

상기 제 1의 트랜지스터가 도통하고 있는 기간은, 상기 커패시터의 타단에는 소정의 기준 전압을 인가하는 것을 특징으로 하는 화소 구동 방법.

청구항 12.

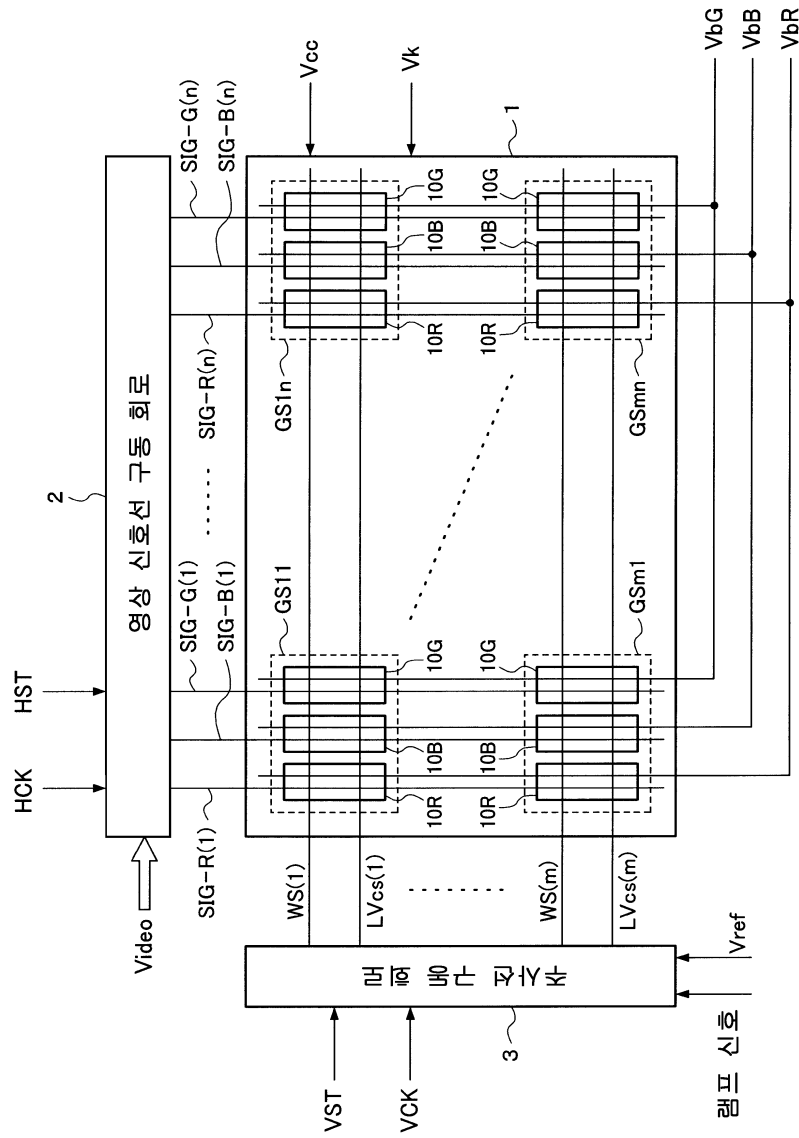
제 8항에 있어서,

상기 제 1의 트랜지스터가 비도통인 기간에, 1프레임 주기보다 충분히 짧은 주기로 증감을 반복하는 신호로서의 상기 램프 신호를, 상기 커패시터의 타단에 인가함과 함께,

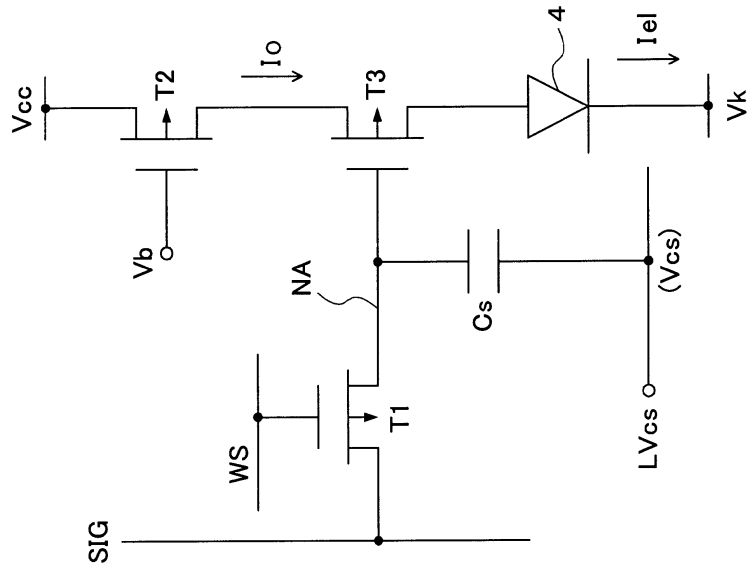
상기 제 1의 트랜지스터가 도통하고 있는 기간은, 상기 커패시터의 타단에는, 상기 제 3의 트랜지스터의 임계치 전압을 넘는 소정의 기준 전압을 인가하는 것을 특징으로 하는 화소 구동 방법.

도면

도면1

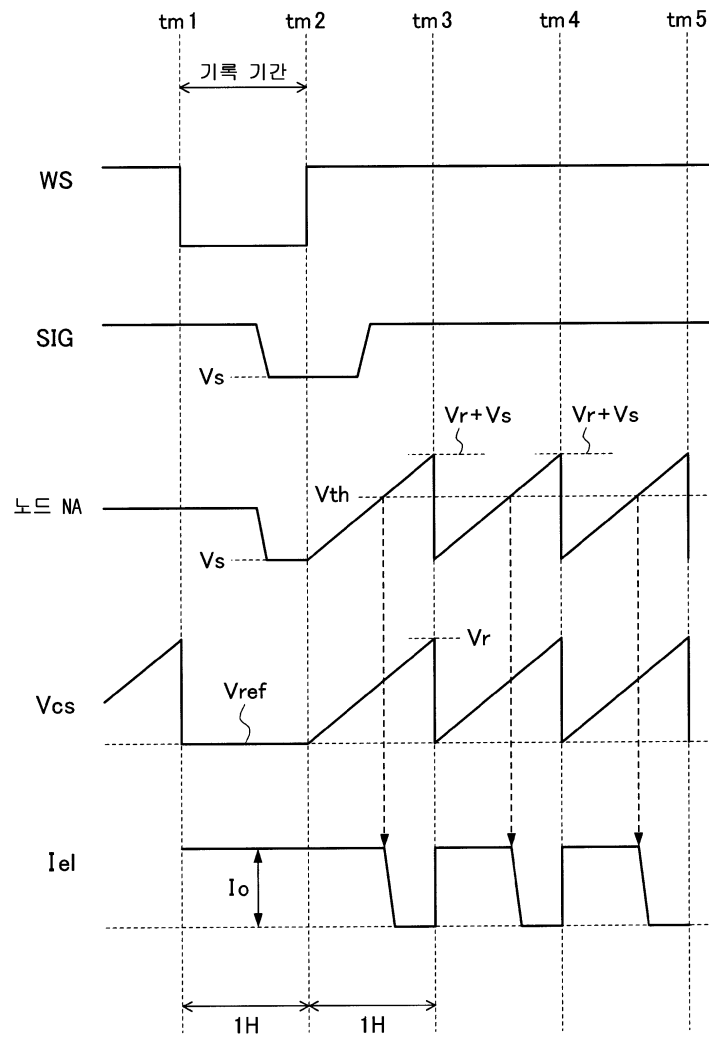


도면2

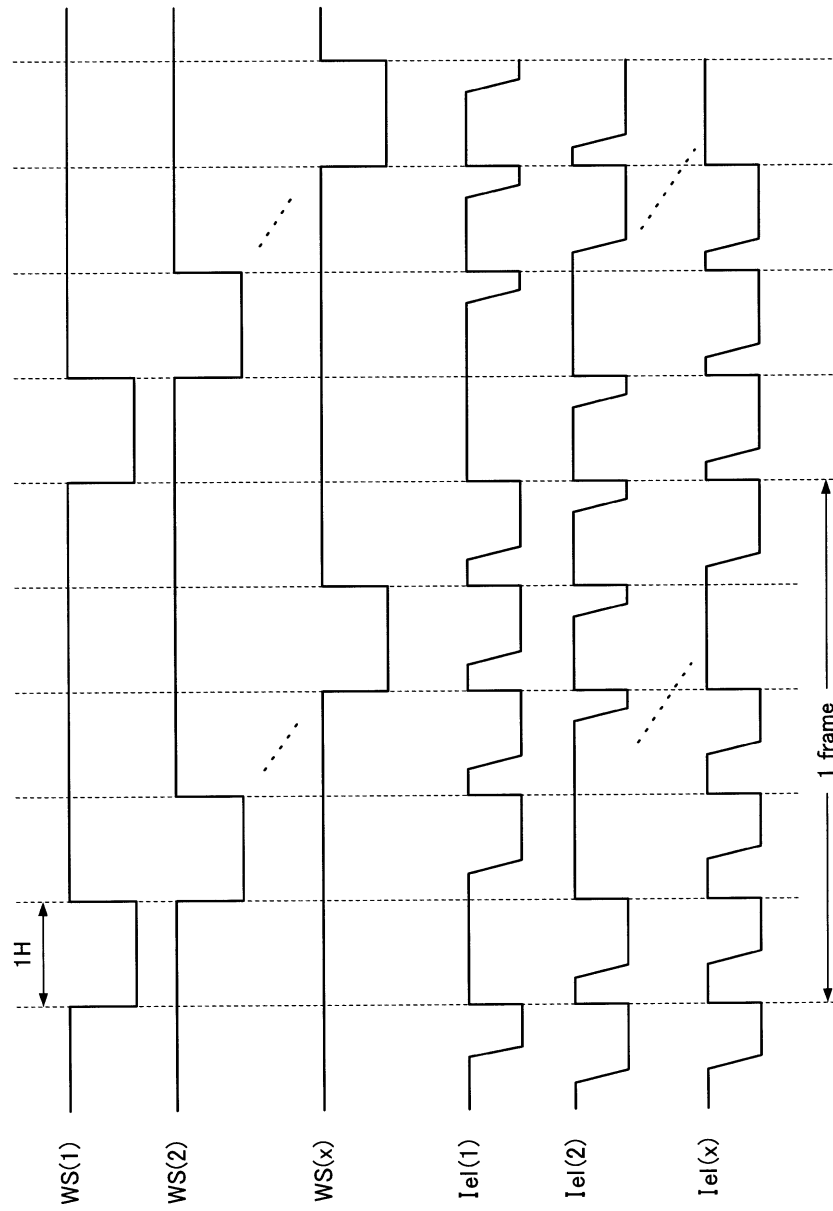


10 (화소 회로)

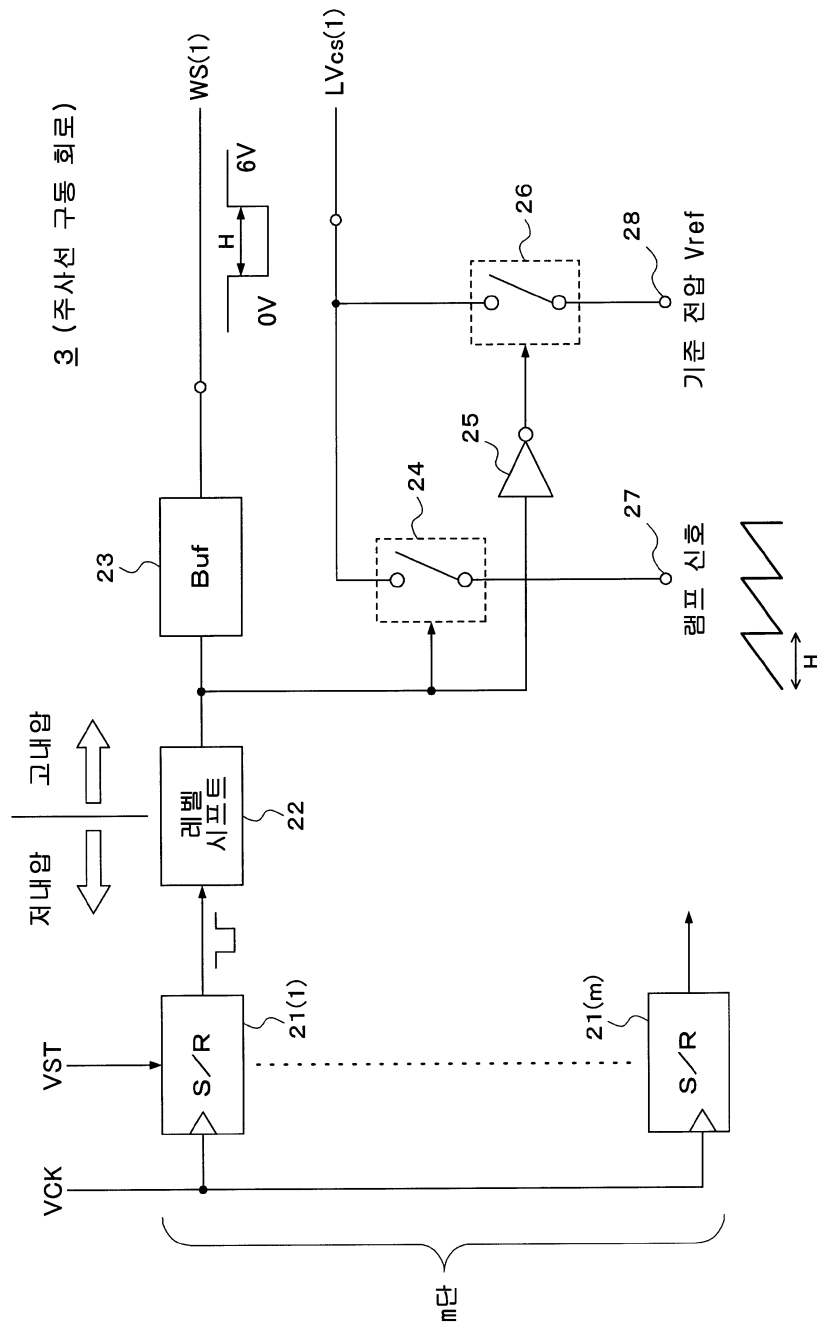
도면3



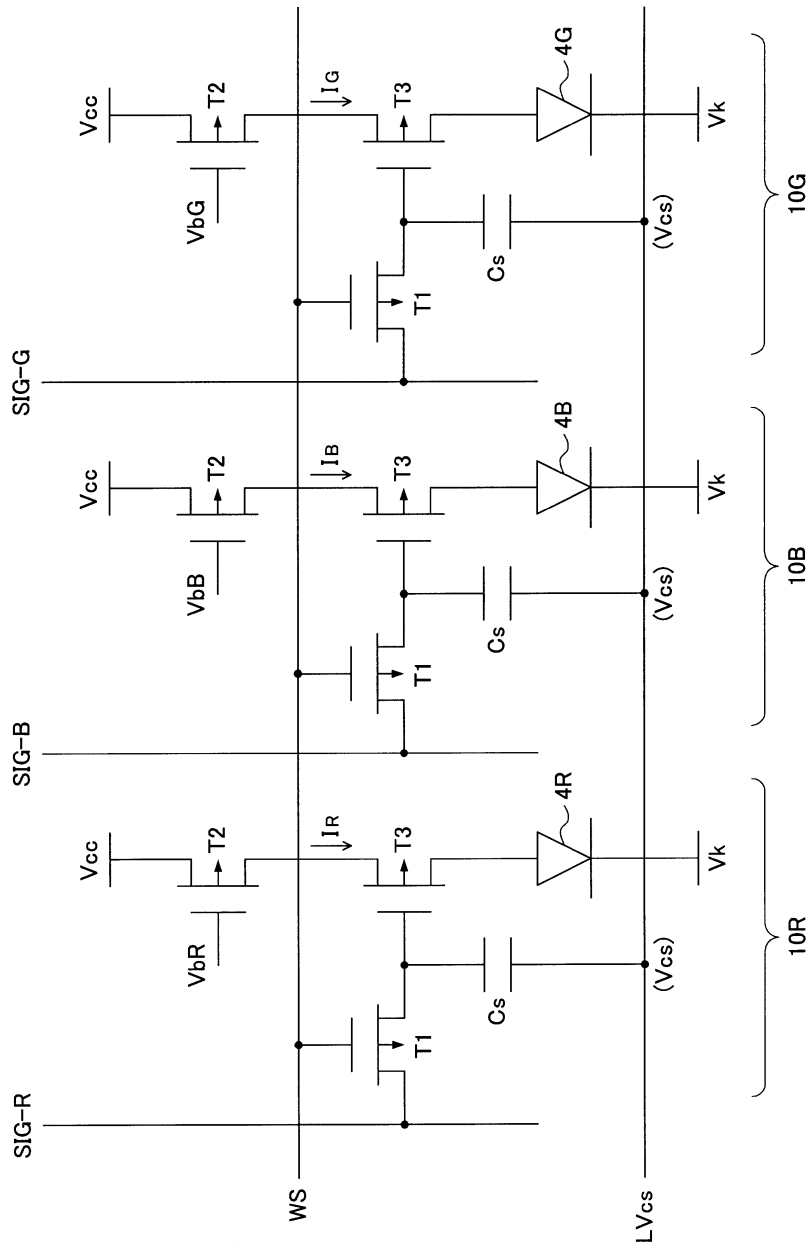
도면4



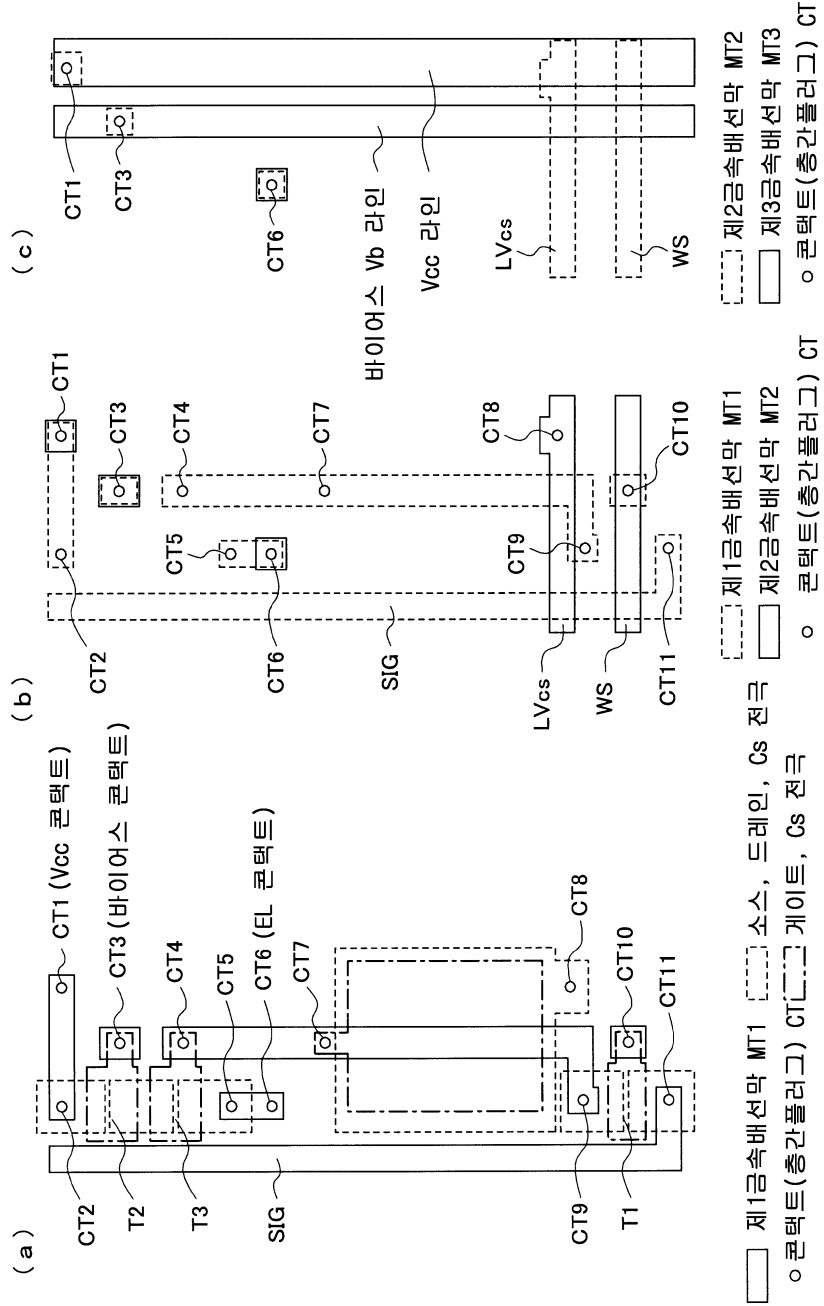
도면5



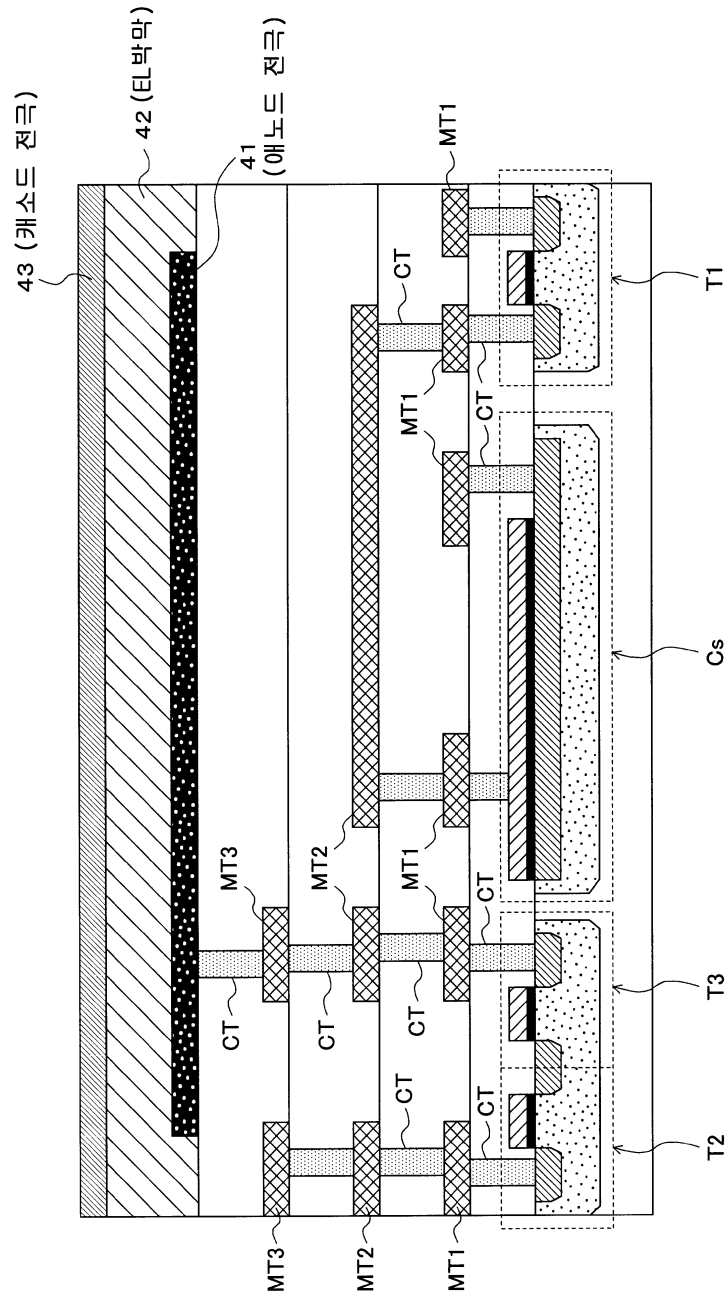
도면6



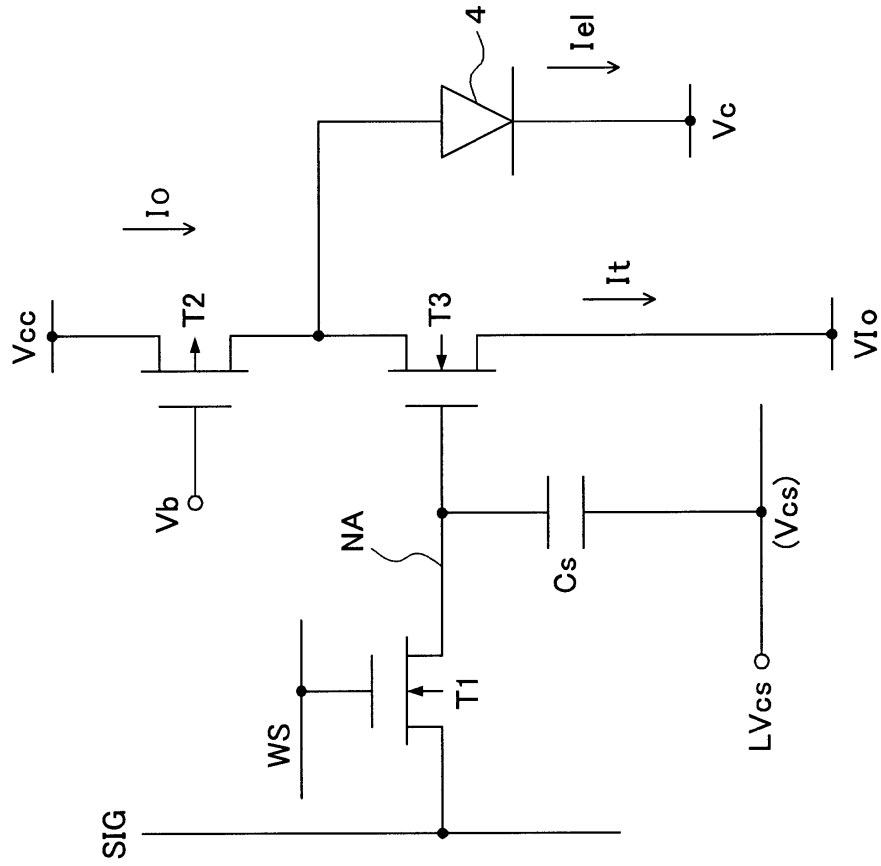
도면7



도면8

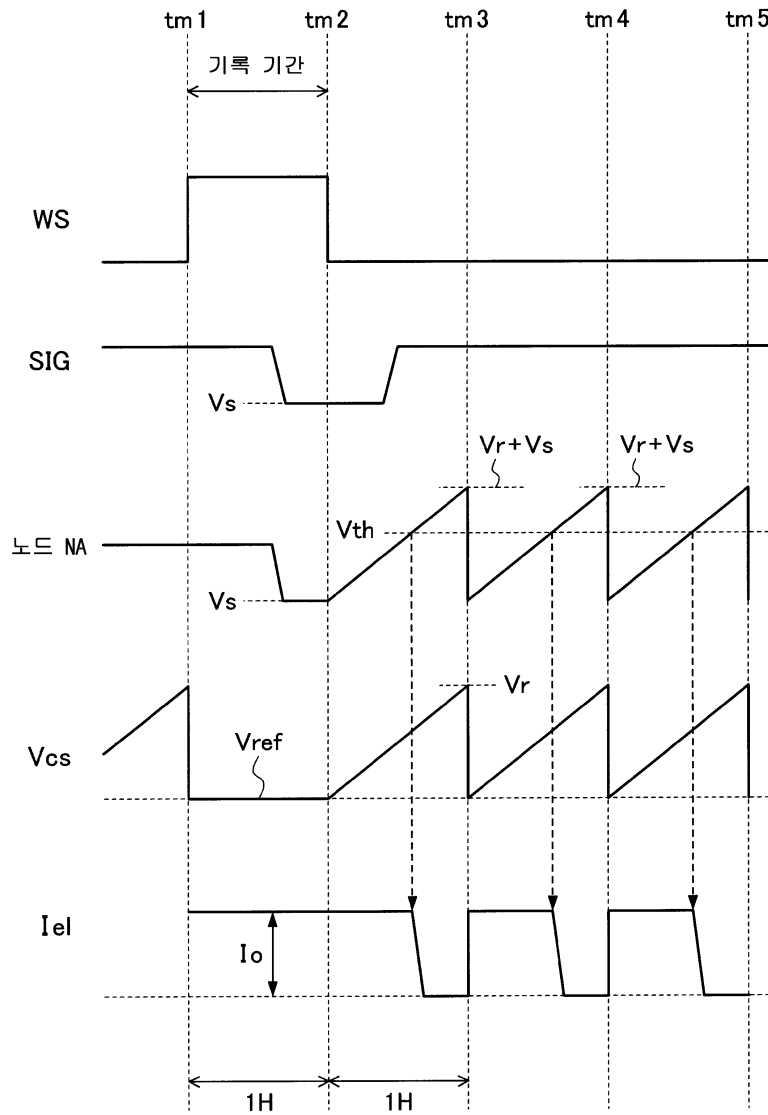


도면9

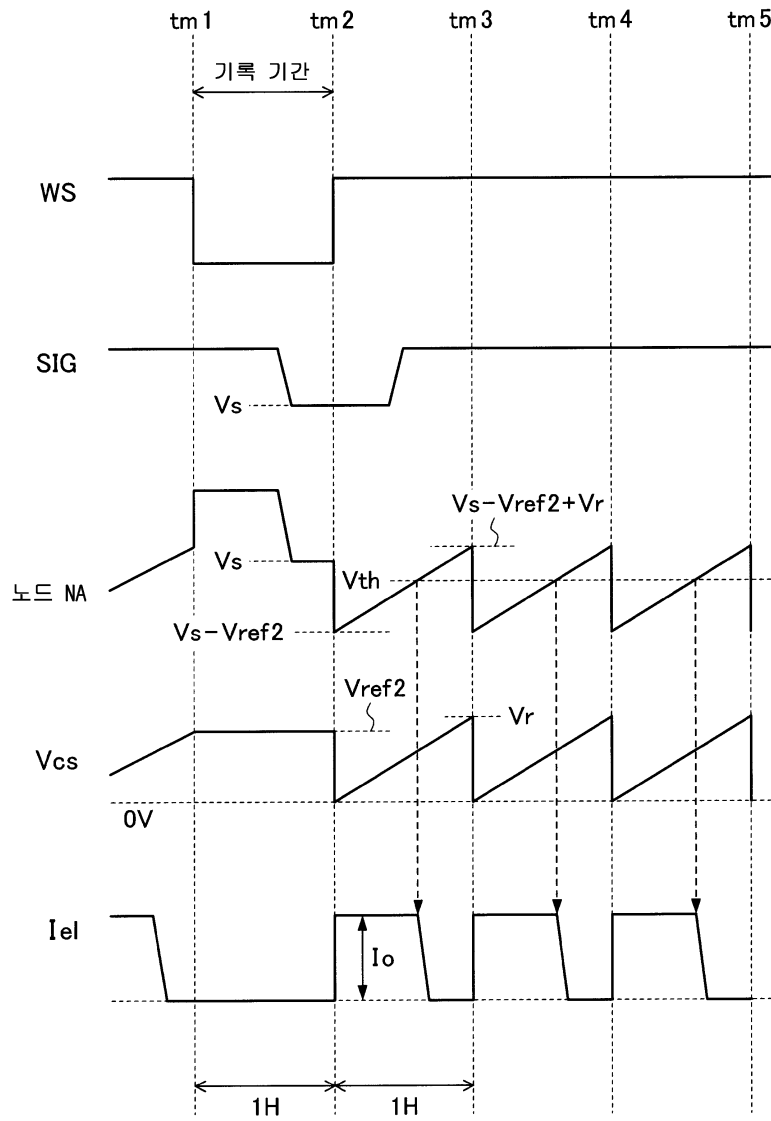


10 (화소 회로)

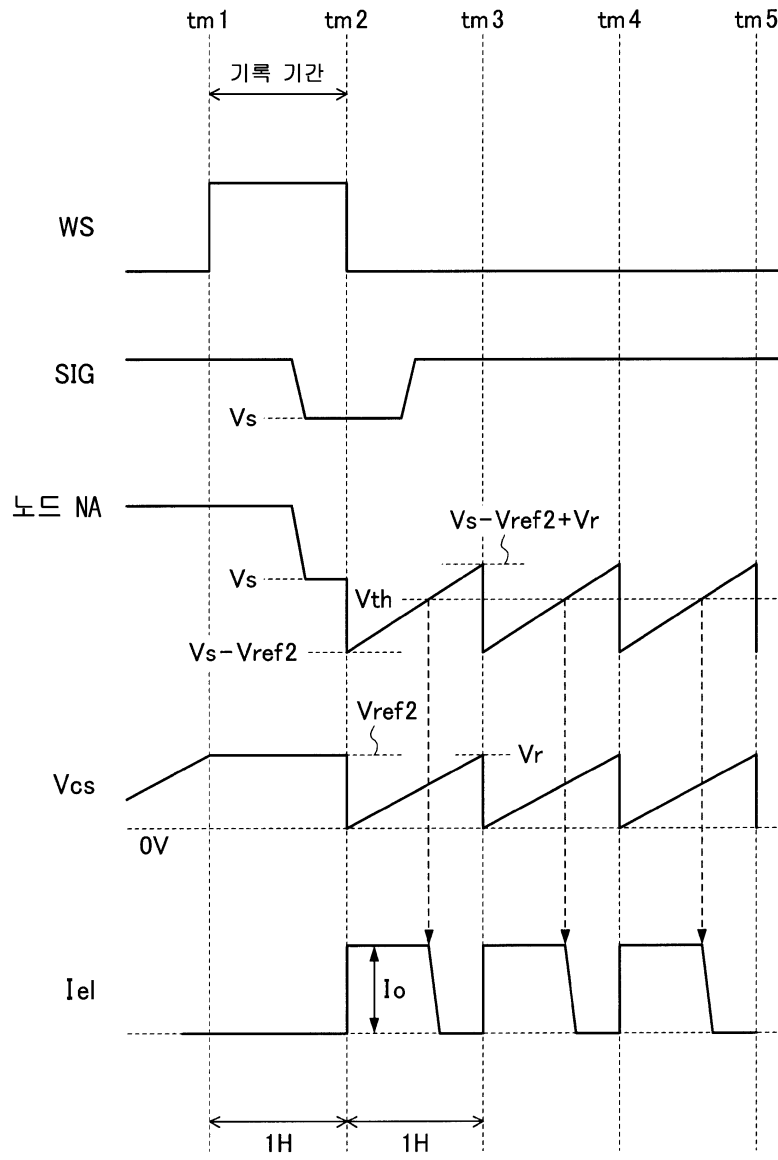
도면10



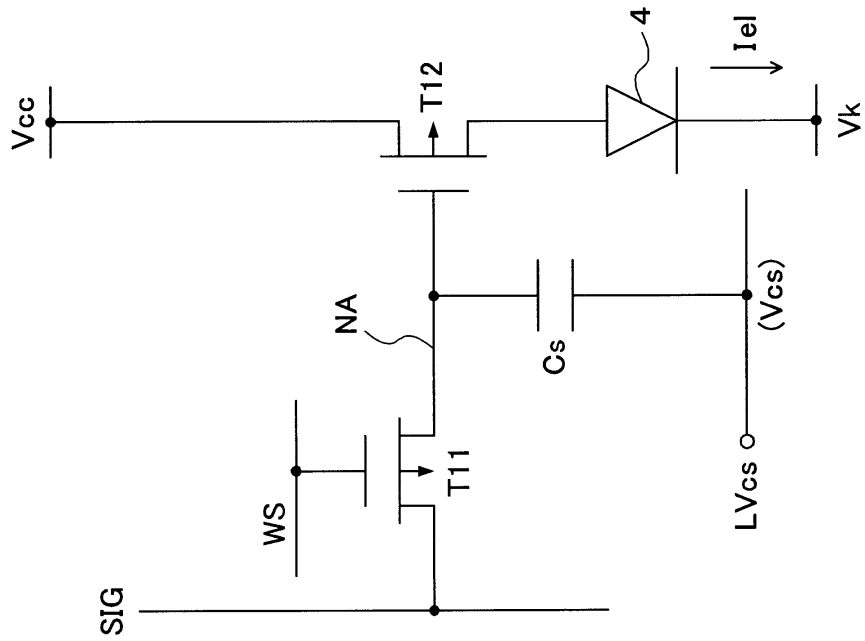
도면11



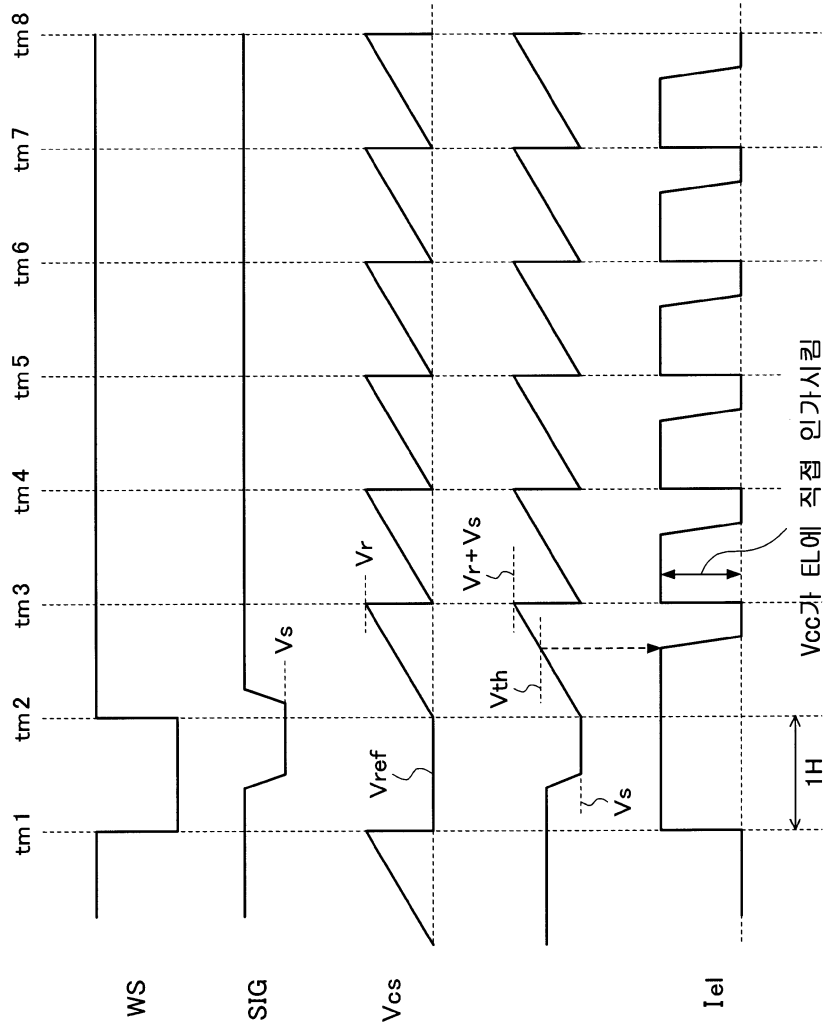
도면12



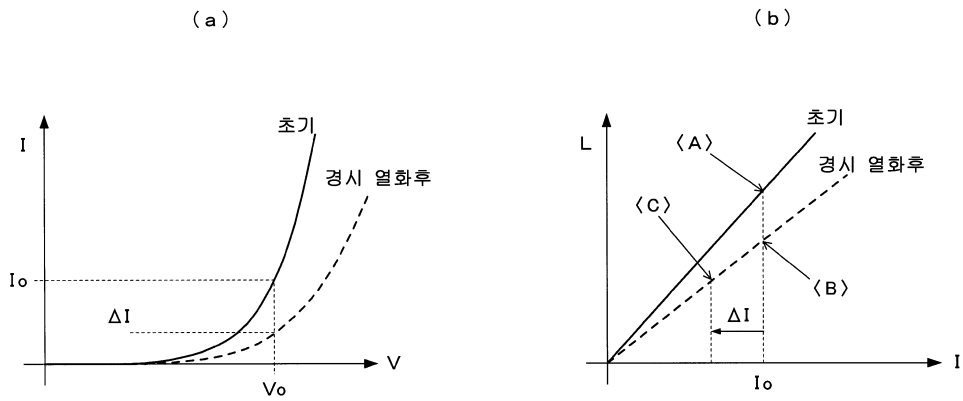
도면13



도면14



도면15



专利名称(译)	显示装置和像素驱动方法		
公开(公告)号	KR1020060089148A	公开(公告)日	2006-08-08
申请号	KR1020060009975	申请日	2006-02-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	NAKAMURA KAZUO 나카무라카즈오 UCHINO KATSUhide 우치노카츠히데		
发明人	나카무라카즈오 우치노카츠히데		
IPC分类号	G09G3/30		
CPC分类号	G09G2320/045 G09G2310/0259 G09G2300/0861 G09G2320/043 G09G3/3233 G09G2300/0819 G09G3/3266 B65B61/08 B65B65/02		
优先权	2005028020 2005-02-03 JP		
外部链接	Espacenet		

摘要(译)

利用本装置和具有长寿命的有机EL像素电路，实现了高精度·高清晰度的有机EL显示装置。对于使用解决问题MOS工艺的装置形成的像素电路，晶体管 (T2) 是恒流源。在晶体管 (T3) 的导通周期中授权恒定电流 (I_o) ，并且有机EL薄膜围绕连接到晶体管 (T3) 的有机EL薄膜 (4) 辐射。晶体管 (T3) 通过栅极电压切换信号值，记录在电容器 (Cs) 和灯信号电压 (Vcs) 中。以这种方式，响应信号值的时段和有机EL薄膜发光。也就是说，响应于视频信号值执行灰度控制，并且执行指示动作。有机EL和显示器。

