

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H05B 33/26 (2006.01)
H05B 33/10 (2006.01)

(11) 공개번호 10-2006-0052371
(43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0103667
(22) 출원일자 2005년11월01일

(30) 우선권주장 JP-P-2004-00320381 2004년11월04일 일본(JP)

(71) 출원인 가부시키키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 아키토모 켄코
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이
마루야마 호타카
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이
소네 노리히토
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이
이케다 히사오
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이
사카타 주니치로
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이
세오 사토시
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인 이화익
권태복

심사청구 : 없음

(54) 표시장치 및 그것의 제조방법

요약

본 발명은 신뢰성이 높은 표시장치를 저비용으로 수율 좋게 제조하는 것을 목적으로 한다. 본 발명의 표시장치는 반사성의 제1 전극층; 상기 반사성의 제1 전극층 위에 형성된 전계발광층; 및 상기 전계발광층 위에 형성된 투광성의 제2 전극층을 포함하고, 상기 전계발광층은 유기 화합물과 무기 화합물을 포함하는 층을 가지며, 상기 제1 전극층은 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는다.

대표도

도 1

색인어

표시장치, 전계발광, 진극

명세서

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 표시장치를 각각 나타낸다.

도 2a 내지 도 2d는 본 발명의 표시장치의 제조방법을 나타낸다.

도 3a 내지 도 3c는 본 발명의 표시장치의 제조방법을 나타낸다.

도 4a 및 도 4b는 본 발명의 표시장치의 제조방법을 나타낸다.

도 5a 내지 도 5c는 본 발명의 표시장치의 제조방법을 나타낸다.

도 6a 및 도 6b는 본 발명의 표시장치의 제조방법을 나타낸다.

도 7a 및 도 7b는 본 발명의 표시장치를 나타낸다.

도 8a 및 도 8b는 본 발명의 표시장치의 제조방법을 나타낸다.

도 9는 본 발명의 표시장치를 나타낸다.

도 10은 본 발명의 표시장치를 나타낸다.

도 11은 본 발명의 표시장치를 나타낸다.

도 12는 본 발명의 표시장치를 나타낸다.

도 13a 내지 도 13c는 본 발명의 표시장치를 나타낸다.

도 14는 도 15에 나타난 표시장치의 등가회로의 개략도를 나타낸다.

도 15는 본 발명의 표시장치를 나타낸다.

도 16a 내지 도 16c는 본 발명의 표시장치의 평면도를 나타낸다.

도 17a 및 도 17b는 본 발명의 표시장치의 평면도를 나타낸다.

도 18a 및 도 18b는 본 발명에 적용할 수 있는 발광소자의 구성을 각각 나타낸다.

도 19a 내지 도 19d는 본 발명이 적용되는 전자기기이다.

도 20a 및 도 20b는 본 발명이 적용되는 전자기기이다.

도 21a 및 도 21b는 본 발명이 적용되는 전자기기이다.

도 22는 본 발명이 적용되는 전자기기이다.

도 23a 내지 도 23c는 실시예 1에 있어서의 시료의 실험 데이터를 도시한 그래프이다.

도 24a 및 도 24b는 실시예 1에 있어서의 시료의 실험 데이터를 도시한 그래프이다.

도 25a 및 도 25b는 실시예 1에 있어서의 시료의 실험 데이터를 도시한 그래프이다.

도 26은 본 발명에 적용될 수 있는 적하 주입 방법을 나타낸다.

도 27은 본 발명이 적용되는 전자기기의 주요 구성을 도시한 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시장치 및 그것의 제조방법에 관한 것이다.

전기발광(이하, EL 이라고도 함)소자 또는 액정소자를 갖는 표시장치의 대화면화, 고선명화에 따라, 배선재료로서 내성이 낮고 배선가공이 용이한 순 알루미늄이 주목받고 있다.

그러나, 순 알루미늄은 내열성에 문제점이 있다. 표시장치의 제작공정에서의 열처리에 의해 순 알루미늄 막의 표면 상에 힐록(hillock)이라 불리는 범프(bump) 모양의 돌기가 발생한다. 이러한 힐록은 배선 간의 쇼트 등을 일으켜 불량률의 원인이 된다.

따라서, 내성이 낮고 내열성이 좋으며 힐록을 줄일 수 있는 배선 재료를 사용하는 것이 바람직하다. 따라서, 다른 원소를 첨가한 알루미늄 합금 박막이 개발되어 있다(예를 들면 특허문헌 1 : 일본공개특허 제2003-89864호).

발명이 이루고자 하는 기술적 과제

본 발명은 내성이 낮고 내열성이 좋으며 힐록의 발생을 억제할 수 있는 배선 재료를 사용하여, 공정 및 장치를 복잡화하지 않고, 높은 신뢰성이나 뛰어난 전기 특성을 갖는 표시장치를 높은 수율로 제조할 수 있는 기술을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 있어서, 반사 전극층인 제1 전극층은 몰리브덴(Molybdenum), 티탄(titanium) 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함한다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 열처리에 의해 결정화되기 어려워, 막 표면의 평탄성이 양호하다. 또한, 그 막은 가시광선 영역에서의 광에 대한 반사성도 높아, 매우 효율적인 광 반사를 수행할 수 있다. 몰리브덴, 티탄, 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 유해성도 없고 인체 및 환경에 대하여 안정적이고 하는 좋은 이점이 있다.

본 발명을 적용할 수 있는 표시장치는 전계발광(이하, EL 이라고도 칭함)이라고 불리는 발광을 발현하는 유기물 또는 유기물과 무기물의 혼합물을 포함하는 층이 전극들 간에 설치된 발광소자에 접속된 TFT를 갖는 발광 표시장치를 포함한다.

본 발명의 표시장치는 반사성의 제1 전극층 위에 설치된 전계발광층; 전계발광층 위에 설치된 투광성의 제2 전극층을 포함하고, 전계발광층은 제1 전극층에 접해서 유기 화합물과 무기화합물을 포함하는 층을 가지며, 제1 전극층은 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함한다.

본 발명의 표시장치는 반사성의 제1 전극층 위에 설치된 투광성의 도전막; 도전막 위에 설치된 전계발광층; 및 전계발광층 위에 설치된 투광성의 제2 전극층을 포함하고, 전계발광층은 도전막에 접해서 유기 화합물과 무기화합물을 포함하는 층을 가지며, 제1 전극층은 몰리브덴, 티탄 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함한다.

본 발명의 표시장치는 반도체층, 게이트 절연층, 게이트 전극층, 소스 전극층 및 드레인 전극층을 갖는 박막 트랜지스터; 박막 트랜지스터 위에 형성된 절연층; 절연층 위에 형성된 층간막; 층간막 위에 형성된 반사성의 제1 전극층; 제1 전극층 위에 형성된 전계발광층; 및 전계발광층 위에 형성된 투광성의 제2 전극층을 포함하고, 전계발광층은 제1 전극층에 접해서 유기 화합물과 무기화합물을 포함하는 층을 가지며, 층간막은 제1 전극층 아래에만 형성되고, 제1 전극층은 몰리브덴, 티탄 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함한다.

본 발명의 표시장치는 반도체층, 게이트 절연층, 게이트 전극층, 소스 전극층 및 드레인 전극층을 갖는 박막 트랜지스터; 박막 트랜지스터 위에 형성된 절연층; 절연층 위에 형성된 층간막; 층간막 위에 형성된 반사성의 제1 전극층; 제1 전극층 위에 형성된 투광성의 도전막; 도전막 위에 형성된 전계발광층; 전계발광층 위에 형성된 투광성의 제2 전극층을 포함하고, 전계발광층은 도전막에 접해서 유기 화합물과 무기 화합물을 포함하는 층을 가지며, 층간막은 제1 전극층 아래에만 형성되고, 제1 전극층은 몰리브덴, 티탄 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함한다.

본 발명의 표시장치의 제조방법은 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함하는 반사성의 제1 전극층을 형성하는 단계; 제1 전극층 위에 전계발광층을 형성하는 단계; 및 전계발광층 위에 투광성의 제2 전극층을 형성하는 단계를 포함하고, 전계발광층은 유기 화합물과 무기화합물을 포함하는 층이 제1 전극층과 접하도록 형성된다.

본 발명의 표시장치의 제조방법은 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함하는 반사성의 제1 전극층을 형성하는 단계; 제1 전극층 위에 투광성의 도전막을 형성하는 단계; 도전막 위에 전계발광층을 형성하는 단계; 및 전계발광층 위에 투광성의 제2 전극층을 형성하는 단계를 포함하며, 전계발광층은 유기 화합물과 무기 화합물을 포함하는 층이 도전막과 접하도록 형성된다.

본 발명의 표시장치의 제조방법은 반도체층, 게이트 절연층, 게이트 전극층, 소스 전극층 및 드레인 전극층을 갖는 박막 트랜지스터를 형성하는 단계; 박막 트랜지스터 위에 절연층을 형성하는 단계; 절연층 위에 층간막을 형성하는 단계; 절연층 및 층간막에 소스 전극층 또는 드레인 전극층에 도달하는 개구부를 형성하는 단계; 개구부 및 층간막 위에, 소스 전극층 또는 드레인 전극층에 접하고 몰리브덴, 티탄 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함하는 도전막을 형성하는 단계; 도전막 및 층간막을 패터닝하여 반사성의 제1 전극층을 형성하는 단계; 제1 전극층 위에 전계발광층을 형성하는 단계; 및 전계발광층 위에 투광성의 제2 전극층을 형성하는 단계를 포함하고, 전계발광층은 유기 화합물과 무기 화합물을 포함하는 층이 제1 전극층과 접하도록 형성된다.

본 발명의 표시장치의 제조방법은 반도체층, 게이트 절연층, 게이트 전극층, 소스 전극층 및 드레인 전극층을 갖는 박막 트랜지스터를 형성하는 단계; 박막 트랜지스터 위에 절연층을 형성하는 단계; 절연층 위에 층간막을 형성하는 단계; 절연층 및 층간막에 소스 전극층 또는 드레인 전극층에 도달하는 개구부를 형성하는 단계; 개구부 및 층간막 위에, 소스 전극층 또는 드레인 전극층에 접하고 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 포함하는 제1 도전막을 형성하는 단계; 제1 도전막 위에 제2 도전막을 형성하는 단계; 제1 도전막, 제2 도전막, 및 층간막을 패터닝하여 반사성의 제1 전극층을 형성하는 단계; 제1 전극층 위에 전계발광층을 형성하는 단계; 및 전계발광층 위에 투광성의 제2 전극층을 형성하는 단계를 포함하고, 전계발광층은 유기 화합물과 무기화합물을 포함하는 층이 제1 전극층과 접하도록 형성된다.

본 발명을 적용하면, 신뢰성이 높은 표시장치를 제작할 수 있다. 따라서, 고선명, 고품질의 표시장치를 높은 수율로 제조할 수 있다.

본 발명의 실시예에 대해서 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것이 아니다. 또, 이하에 설명하는 본 발명의 구성에 있어서, 동일부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면들 간에서 공통되어서 사용하므로, 그 반복의 설명은 생략한다.

[실시예 1]

본 실시예에 있어서의 표시장치를 도 1을 참조하여 설명한다.

도 1a 및 도 1b에 도시한 바와 같이, 본 실시예에 따른 표시장치는 밀봉기판을 통해서 광을 추출하는 상면(top) 방사형의 표시장치다. 도 1a 및 도 1b의 표시장치는 발광소자의 전극구조가 다른 예다.

도 1a의 표시장치는 기판(600) 위에, 하지막(601a), 하지막(601b), 박막 트랜지스터(605), 게이트 절연층(602), 절연층(603), 절연층(606), 절연층(607), 층간막(608), 분리벽으로서 기능하는 절연층(609), 제1 전극층(610), 전계발광층(611), 제2 전극층(612), 보호막(613)을 포함한다. 박막 트랜지스터(605)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역을 가지는 반도체층, 게이트 절연층(602), 2층의 적층구조인 게이트 전극층, 소스 전극층 및 드레인 전극층을 포함한다. 소스 전극층 또는 드레인 전극층은 반도체층의 불순물 영역에 제1 전극층(610)과 접해서 전기적으로 접속된다.

본 실시예의 표시장치에서, 제1 전극층(610)은 발광소자(614)로부터 방사되는 광을 반사하는 반사 전극층이다. 따라서, 광은 제2 전극층(612)으로부터 화살표 방향으로 방사된다. 이렇게, 발광소자의 화소전극에 사용되는 반사 전극층은 높은 반사성과 표면의 양호한 평탄성을 필요로 한다.

본 발명에 있어서는, 반사 전극층으로서 기능하는 제1 전극층(610)에 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막을 사용한다. 본 실시예에서는, 몰리브덴을 포함하는 알루미늄 합금을 갖는 막(이하, Al(Mo)이라고도 칭함)을 사용한다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 열 처리에 의해 결정화되기 어려워, 막 표면의 평탄성이 양호하다. 또한, 가시광선 영역 부근에서의 광에 대한 반사성도 높아, 효율이 좋은 광 반사를 행할 수 있다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 유독성도 없고, 인체나 환경에 대하여 안전하다고 하는 뛰어난 이점도 있다.

또한, 제1 전극층(610)의 일부를 덮는 분리벽으로서 기능하는 절연층(609)을 형성할 때에 사용할 수 있는 현상액 등의 화학 약액에 대하여, 니켈을 포함하는 알루미늄 합금은 내성이 낮다. 반면에, 본 발명의 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 내성이 높다. 특히, 티탄을 포함하는 알루미늄 합금을 갖는 막(이하, Al(Ti)라고도 함)과, 몰리브덴을 20 atomic% 이상 포함하는 알루미늄 합금을 갖는 막에 있어서는 화학 약액에 대하여 내성이 높으므로, 제작 공정에 있어서 표면의 감소 및 표면의 거칠함 등의 불량 발생이 어렵다. 따라서, 양호한 표면 상태를 유지할 수 있으므로, 적층되는 전계발광층(611)도 안정하게 형성할 수 있고, 표시장치로서 신뢰성도 높아진다. 물론, 현상액으로서 부식 방지성이 높은 현상액을 사용하는 것이 바람직하다. 또한 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막에서 몰리브덴 또는 티탄의 조성비를 크게 하면, 발광소자로부터 방사된 광의 편광을 억제하는 효과를 기대할 수 있다.

몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막에서, 몰리브덴 또는 티탄의 조성비는 7.0 atomic%보다 많은 것이 바람직하다. 또한, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막에서 몰리브덴 또는 티탄의 조성비가 20 atomic% 이하인 경우에, 가시광선 영역의 광에 대한 반사율이 높다고 하는 이점이 있다. 탄소를 포함하는 알루미늄 합금을 갖는 막(이하 Al(C)이라고도 칭함)에서는, 탄소의 조성비가 0.1 atomic%~10 atomic%, 바람직하게는 1 atomic% 미만이 좋다. 몰리브덴 및 탄소를 포함하는 알루미늄 합금을 갖는 막과, 티탄 및 탄소를 포함하는 알루미늄 합금을 갖는 막에서, 탄소의 양은 아주 작아도 효과가 있으며, 탄소의 조성비는 0.3 atomic%이하 또는 0.1 atomic%이하여도 좋다.

티탄을 포함하는 알루미늄 합금을 갖는 막은 티탄 알루미늄 합금 막이라고도 칭하며, 탄소를 포함하는 알루미늄 합금을 갖는 막은 알루미늄 합금 탄소 막 또는 알루미늄 탄소 합금 막이라고도 칭한다.

본 실시예에 있어서, 기판(600)은 글래스 기판, 저지막(601a)은 질화 산화 규소막, 저지막(601b)은 산화 질화 규소막, 게이트 절연층(602)은 산화 질화 규소막, 절연층(603)은 질화 산화 규소막, 절연층(606)은 산화 규소막, 절연층(607)은 알킬기를 갖는 산화 규소막, 층간막(608)은 질화 산화 규소막, 분리벽으로서 기능하는 절연층(609)은 폴리이미드, 보호막(613)은 질화 산화 규소막으로 구성되어 있다. 층간막(608)은 제1 전극층(610)과 절연층(607) 간의 밀착성을 향상시키기 위해서 형성되어 있다.

본 실시예에서 적용가능한 발광소자(614)의 구성을 도 18a 및 도 18b를 참조하여 상세하게 설명한다. 도 18a 및 도 18b에 있어서, 제1 전극층(870)은 도 1a에서의 제1 전극층(610)에 대응하고, 전계발광층(860)은 전계발광층(611)에 대응하며, 제2 전극층(850)은 제2 전극층(612)에 대응한다.

도 18a 및 도 18b는 본 발명의 발광소자의 소자구조를 각각 나타내며, 제1 전극층(870)과 제2 전극층(850) 사이에, 유기 화합물과 무기 화합물의 혼합인 전계발광층(860)이 개재되어 있는 발광소자이다. 전계발광층(860)은 도면에 도시한 바와 같이 제1 층(804) 제2 층(803), 제3 층(802)을 포함한다. 특히, 제1 층(804) 및 제3 층(802)은 큰 특징을 갖는다.

우선, 제1 층(804)은 제2 층(803)에 홀을 수송하는 기능을 맡은 층이며, 적어도 제1 유기 화합물과, 제1 유기 화합물에 대하여 전자 수용성을 나타내는 제1 무기 화합물을 포함한다(전자 수용체). 중요한 것은 제1 유기 화합물과 제1 무기 화합물이 서로 혼합되는 점뿐만 아니라, 제1 무기 화합물이 제1 유기 화합물에 대하여 전자 수용성을 나타낸다는 점이다(전자 수용체). 이러한 구성에 의해 본래 고유의 캐리어가 거의 없는 제1 유기 화합물에 많은 홀 캐리어가 발생하여, 매우 뛰어난 홀 주입성 및/또는 수송성을 제공한다.

따라서, 제1 층(804)은 무기 화합물을 혼합함으로써 획득할 수 있는 것으로 여겨지는 효과(예컨대, 내열성의 향상)뿐만 아니라, 우수한 도전성(특히 제1 층(804)에 있어서는 홀 주입성 및 수송성)도 제공한다. 이 우수한 도전성은 서로 전자적으로 상호작용하지 않는 유기 화합물과 무기 화합물을 단순히 혼합한 종래의 홀 수송층으로부터 획득할 수 없는 이점이다. 이 이점에 의해, 이전보다도 더 많이 구동 전압을 낮출 수 있다. 또한 구동 전압의 상승을 초래하지 않고 제1 층(804)을 두껍게 할 수 있기 때문에, 먼지 등에 의한 소자의 쇼트도 억제할 수 있다.

한편, 상기한 바와 같이, 제1 유기 화합물에는 홀 캐리어가 발생하기 때문에, 제1 유기 화합물로서 홀 수송성의 유기 화합물을 사용하는 것이 바람직하다. 홀 수송성의 유기 화합물로서는 예를 들면 프탈로시아닌(phthalocyanine, 약칭:H₂Pc), 구리 프탈로시아닌(copper phthalocyanine, 약칭:CuPc), 바나딜 프탈로시아닌(vanadyl phthalocyanine, 약칭:VOPc), 4,4',4''-tris(N, N-디페닐아미노(diphenylamino))-트리페닐아민(triphenylamine, 약칭:TDATA), 4,4',4''-tris[N-(3-메틸페닐(methylphenyl))-N-페닐아미노(phenylamino)]-트리페닐아민(약칭:MTDATA), 1,3,5-tris[N,N-di(m-톨릴(tolyl))아미노]벤젠(약칭:m-MTDAB), N,N'-디페닐-N,N'-bis(3-메틸페닐)-1,1'-비페닐-4,4'-디아민(약칭:TPD), 4,4'-bis[N-(1-나프틸(naphthyl))-N-페닐아미노]비페닐(약칭:NPB), 4,4'-bis{N-[4-di(m-톨릴)아미노]페닐-N-페닐아미노}비페닐(약칭:DNTPD), 및 4,4',4''-tris(N-카바졸릴(carbazolyl))트리페닐아민(약칭:TCTA) 등이 있지만, 이것들에 한정되지 않는다. 또한 전술한 화합물 중에서도, TDATA, MTDATA, m-MTDAB, TPD, NPB, DNTPD, 및 TCATA 등으로 대표되는 방향족 아민 화합물은 홀 캐리어를 쉽게 발생하며, 제1 유기 화합물로서 적합한 화합물 그룹이다.

다른 한편으로, 제1 무기 화합물은 제3 유기 화합물에 전자를 주기 쉬운 물질이면 어떤 물질이라도 좋으며, 다양한 금속 산화물 또는 금속 질화물이 사용될 수 있다. 그러나, 주기표의 제4족 내지 제12족의 어느 하나에 속하는 천이 금속을 갖는 천이 금속 산화물은 전자 수용성을 쉽게 제공하기 때문에 적합하다. 구체적으로, 천이 금속 산화물은 산화 티탄, 산화 지르코늄, 산화 바나지움(vanadium), 산화 몰리브덴, 산화 텅스텐, 산화 레니움(rhenium), 산화 루테니움(ruthenium), 및 산화 아연을 포함한다. 또한 상술한 금속 산화물 중에서도, 주기표 제4족 내지 제8족의 어느 하나에 속하는 천이 금속을 각각 갖는 많은 천이 금속 산화물은 높은 전자 수용성을 가지며, 바람직한 화합물 그룹이다. 특히, 산화 바나지움, 산화 몰리브덴, 산화 텅스텐, 산화 레니움은 진공증착이 가능해 취급하기 쉽기 때문에 적합하다.

또, 제1 층(804)은, 상술한 유기 화합물과 무기 화합물의 조합을 각각 포함하는 층을, 복수 적층해서 형성해도 좋고, 또는 다른 유기 화합물 혹은 다른 무기 화합물을 더 포함해도 좋다.

다음에는, 제3 층(802)에 대해서 설명한다. 제3 층(802)은 제2 층(803)에 전자를 수송하는 기능을 맡은 층이며, 적어도 제3 유기 화합물과, 제3 유기 화합물에 대하여 전자 공급성을 나타내는 제3 무기 화합물(전자 제공자로서 기능)을 포함한다. 중요한 것은 제3 무기 화합물이 제3 유기 화합물과 혼합된다는 점뿐만 아니라 제3 유기 화합물(전자 제공자로서 기능)에 대하여 전자 공급성을 나타낸다는 점이다. 이러한 구성에 의해 본래 고유의 캐리어가 거의 없는 제3 유기 화합물에 많은 홀 캐리어가 발생하여, 매우 뛰어난 전자 주입성 및/또는 수송성을 제공한다.

따라서, 제3 층(802)은 무기 화합물을 혼합함으로써 얻을 수 있을 것으로 여겨지는 효과(예컨대, 내열성의 향상)뿐만 아니라, 우수한 도전성(특히, 제3 층(802)의 경우에는 전자 주입성 및 수송성)도 제공한다. 이 우수한 도전성은 서로 전자적으로 상호작용하지 않는 유기 화합물과 무기 화합물을 단순히 혼합한 종래의 전자 수송층으로부터 얻을 수 없는 이점이다. 이 이점에 의해, 이전보다도 더 많이 구동 전압을 낮출 수 있다. 또한, 구동 전압의 상승을 초래하지 않고 제3 층(802)을 두껍게 할 수 있기 때문에, 먼지 등에 기인하는 소자의 쇼트도 억제할 수 있다.

한편, 상기한 바와 같이 제3 유기 화합물에는 전자 캐리어가 발생하기 때문에, 제3 유기 화합물로서는 전자 수송성의 유기 화합물을 사용하는 것이 바람직하다. 전자 수송성의 유기 화합물로서는, 예를 들면 tris(8-퀴놀리놀라토(quinolinolato))

알루미늄(약칭:Alq₃), tris(4-메틸-8-퀴놀리놀라토)알루미늄(약칭:Almq₃), bis(10-히드록시벤조(hydroxybenzo)[h]퀴놀리놀라토)베릴리움(beryllium)(약칭:BeBq₂), bis(2-메틸-8-퀴놀리놀라토)(4-페닐페놀라토(phenylphenolato))-알루미늄(약칭:BAIq), bis[2-(2'-히드록시페닐)벤조사졸라토(benzoxazolato)]아연(약칭:ZnBOX) 또는 bis[2-(2'-히드록시페닐)벤조치아졸라토(benzothiazolato)]아연(약칭:Zn(BTZ)₂), 바소페난트롤린(bathophenanthroline)(약칭:BPhen), 바토크프로인(bathocuproin)(약칭:BCP), 2-(4-비페닐릴(biphenyl))-5-(4-tert-부틸페닐(butylphenyl))-1,3,4-옥사디아졸(oxadiazole)(약칭:PBD), 1,3-bis[5-(4-tert-부틸페닐)-1,3,4-옥사디아졸-2-yl]벤젠(약칭:OXD-7), 2,2',2''-(1,3,5-벤젠트리일(benzenetriyl))-tris(1-페닐-1H-벤지미다졸(benzimidazole))(약칭:TPBI), 3-(4-비페닐릴)-4-페닐-5-(4-tert-부틸페닐)-1,2,4-트리아졸(triazole)(약칭:TAZ), 및 3-(4-비페닐릴)-4-(4-에틸페닐)-5-(4-tert-부틸페닐)-1,2,4-트리아졸(약칭:p-EtTAZ)을 포함하지만, 이것들에 한정되지 않는다. 또한 상술한 화합물 중에서도, Alq₃, Almq₃, BeBq₂, BAIq, Zn(BOX)₂, 및 Zn(BTZ)₂로 대표되는 방향환(aromatic ring)을 포함하는 킬레이트 배위자(chelate ligand)를 각각 갖는 킬레이트 금속 착체(chelate metal complexes)와, BPhen 및 BCP로 대표되는 페난트롤린(phenanthroline) 골격을 각각 갖는 유기 화합물과, PBD 및 OXD-7로 대표되는 옥사디아졸 골격을 각각 갖는 유기 화합물은 전자 캐리어를 쉽게 발생하며, 제3 유기 화합물로서 적합한 화합물그룹이다.

다른 한편으로, 제3 무기 화합물은 제3 유기 화합물에 전자를 주기 쉬운 물질이면 어떤 물질이라도 좋으며, 다양한 금속 산화물 또는 금속질화물이 사용될 수 있다. 그러나, 알칼리 금속 산화물, 알카라인 토류 금속 산화물, 희토류(rare-earth) 금속 산화물, 알칼리 금속 질화물, 알카라인 토류 금속 질화물, 및 희토류 금속 질화물은 전자 공급성을 쉽게 제공하기 때문에 적합하다. 구체적으로, 상술한 산화물의 예로는 산화 리튬, 산화 스트론튬(strontium), 산화 바리움(barium), 산화 에르븀(erbium), 질화 리튬, 질화 마그네슘, 질화 칼슘, 질화 이트륨(yttrium), 및 질화 란탄늄(lanthanum)을 들 수 있다. 특히, 산화 리튬, 산화 바리움, 질화 리튬, 질화 마그네슘, 및 질화 칼슘은 진공증착이 가능해서 취급하기 쉽기 때문에, 적합하다.

또, 제3 층(802)은 상술한 유기 화합물과 무기화합물의 조합을 적용한 층을 복수 적층해서 형성해도 좋고, 또한 다른 유기 화합물 혹은 다른 무기 화합물을 더 포함해도 좋다.

다음에, 제2 층(803)에 관하여 설명하기로 한다. 제2 층(803)은 발광 기능을 맡는 층이며, 발광성의 제2 유기 화합물을 포함한다. 또한 제2 무기 화합물을 포함해도 좋다. 제2 층(803)은 다양한 발광성의 유기 화합물과 무기화합물을 이용하여 형성할 수 있다. 그러나, 제2 층(803)은, 제1 층(804) 혹은 제3 층(802)과 비교해서 전류가 흐르기 어렵다고 생각되기 때문에, 제2 층(803)의 막 두께는 10~100nm 정도가 바람직하다.

제2 유기 화합물로서는 발광성의 유기 화합물이면 특별하게 한정되지 않으며, 제2 유기 화합물의 예로는 9,10-di(2-나프틸(naphthyl))안트라센(anthracene)(약칭:DNA), 9,10-di(2-나프틸)-2-tert-부틸안트라센(butylanthracene)(약칭:t-BuDNA), 4,4'-bis(2,2-디페닐비닐)비페닐(약칭:DPVBi), 코마린(coumarin)30, 코마린6, 코마린 545, 코마린 545T, 페릴렌(perylene), 루프렌(rubrene), 페리프란텐(periflanthene), 2,5,8,11-tetra(tert-부틸)페릴렌(약칭:TBP), 9,10-디페닐안트라센(약칭:DPA), 4-(디시아노메틸렌(dicyanomethylene))-2-메틸-[p-(디메틸아미노)스티릴(styryl)]-4H-피란(pyran)(약칭:DCM1), 4-(디시아노메틸렌)-2-메틸-6-[2-(줄롤리딘(julolidine)-9-yl)에텐yl(ethenyl)]-4H-피란(약칭:DCM2), 및 4-(디시아노메틸렌)-2,6-bis[p-(디메틸아미노)스티릴]-4H-피란(약칭:BisDCM)등을 들 수 있다. 또한, bis[2-(4',6'-디플루오로페닐(difluorophenyl))피리디나토(pyridinato)-N,C²] 이리듐(iridium)(피콜리나테(picolate))(약칭:FIrpic), bis{2-[3',5''-bis(트리플루오로메틸(trifluoromethyl)페닐)피리디나토-N,C²] 이리듐(피콜리나테)(약칭:Ir(CF₃ppy)₂(pic)), tris(2-페닐피리디나토(phenylpyridinato)-N,C²)이리듐(약칭:Ir(ppy)₃), bis(2-페닐피리디나토-N,C²)이리듐(아세틸라세토나테(acetylacetonate))(약칭:Ir(ppy)₂(acac)), bis[2-(2'-티에닐(thienyl))피리디나토(pyridinato)-N,C³]이리듐(아세틸라세토나테)(약칭:Ir(thp)₂(acac)), bis(2-페닐퀴놀리나토(phenylquinolinato)-N,C²)이리듐(아셀틸라세토나테)(약칭:Ir(pq)₂(acac)), 및 bis[2-(2'-벤조시에닐(benzothieryl))피리디나토-N,C³]이리듐(아셀틸라세토나테)(약칭:Ir(btp)₂(acac)) 등의 인광을 방출할 수 있는 화합물을 사용할 수도 있다.

더 나아가서, 제2 층(803)에 대하여 싱글릿(singlet) 발광 재료뿐만 아니라, 금속 착체 등을 포함하는 트리플릿(triplet) 발광 재료를 이용해도 좋다. 예를 들면, 적색의 발광성 화소, 녹색의 발광성 화소 및 청색의 발광성 화소 중, 휘도가 반으로 감소하는 시간이 비교적 짧은 적색의 발광성 화소를 트리플릿 발광 W재료로 형성하고, 나머지를 싱글릿 발광 재료로 형성한다. 트리플릿 발광 재료는 발광 효율이 좋아서, 같은 휘도를 얻는 데도 소비전력이 적은 특징이 있다. 즉, 트리플릿 발광 재

료를 적색 화소에 사용했을 경우에는, 발광소자에 흐르는 전류량이 적으므로, 신뢰성을 향상시킬 수 있다. 저소비전력화를 위해서, 적색의 발광성 화소와 녹색의 발광성 화소를 트리플릿 발광 재료로 형성하고, 청색의 발광성 화소를 싱글릿 발광 재료로 형성해도 좋다. 시감도가 높은 녹색의 발광소자도 트리플릿 발광 재료로 형성함으로써 보다 저소비전력화를 달성할 수 있다.

또한, 제2 층(803)은 상술한 발광을 나타내는 제2 유기 화합물뿐만 아니라, 또 다른 유기 화합물이 첨가되어 있어도 좋다. 첨가될 수 있는 유기 화합물로서는, 상술한 TDATA, MTDATA, m-MTDAB, TPD, NPB, DNTPD, TCTA, Alq₃, Almq₃, BeBq₂, BAq, Zn(BOX)₂, Zn(BTZ)₂, BPhen, BCP, PBD, OXD-7, TPBI, TAZ, p-EtTAZ, DNA, t-BuDNA, 및 DPVBi 외에도, 4,4'-bis(N-카바졸릴(carbazolyl))-비페닐(약칭:CBP) 및 1,3,5-tris[4-(N-카바졸릴)-페닐]벤젠(약칭:TCBP)을 사용할 수 있지만, 이것들에 한정되지 않는다. 또, 상술한 제2 유기 화합물 이외에 첨가되는 유기 화합물은 제2 유기 화합물을 효율적으로 발광시키기 위해서, 제2 유기 화합물의 여기 에너지보다도 큰 여기 에너지를 가지며, 제2 유기 화합물보다도 더 많이 첨가되는 것이 바람직하다(그것에 의해, 제2 유기 화합물의 농도 소광(concentration quenching)을 막을 수 있다). 또한, 다른 기능으로서 첨가된 유기 화합물은 제2 유기 화합물과 함께 발광을 나타내도 좋다.

제2 층(803)은 서로 다른 발광 파장대를 갖는 발광층들을 각 화소마다 형성함으로써 컬러 표시를 행하는 구성을 가져도 좋다. 전형적으로는, R(빨강), G(초록), B(파랑)의 각 색에 대응하는 발광층을 형성한다. 이 경우에도, 화소의 광 방사 측에 그 발광 파장대의 빛을 투과하는 필터를 설치함으로써 색 순도(color purity)를 향상시키고, 화소부의 경면화(반사)를 방지할 수 있다. 필터를 설치함으로써, 종래 필요했던 원 편광판 등을 생략하는 것이 가능해지고, 더 나아가서 발광층으로부터 방사되는 광의 손실을 없앨 수 있다. 또한, 사방(斜方)으로 화소부(표시 화면)을 보았을 경우에 발생하는 색조의 변화를 저감할 수 있다.

제2 층(803)의 재료로서는 저분자계 발광 재료 혹은 고분자계 발광 재료를 사용해도 좋다. 고분자계 유기 발광 재료는 저분자계 재료보다 물리적 강도가 더 높고, 소자의 내구성도 높다. 또한, 고분자계 유기 발광 재료는 도포에 의해 형성될 수 있고, 소자의 제작도 비교적 용이하다.

발광 색은 발광층을 형성하는 재료에 의존하여 결정되므로, 그 발광층에 대한 재료를 적절히 선택함으로써 원하는 발광을 나타내는 발광소자를 형성할 수 있다. 발광층의 형성에 사용할 수 있는 고분자계의 전계발광 재료로서는 폴리파라페닐렌-비닐렌(polyparaphenylene-vinylene)계 물질, 폴리파라페닐렌계 물질, 폴리티오펜(polythiophene)계 물질, 혹은 폴리플루오렌(polyfluorene)계 물질을 사용할 수 있다.

폴리파라페닐렌 비닐렌계 물질로는 폴리(파라페닐렌비닐렌)[PPV]의 유도체, 예컨대 폴리(2,5-디알콕시(dialkoxy)1,4-페닐렌비닐렌)[RO-PPV]; 폴리(2-(2'-에틸-헥소시(hexoxy))-5-메소시(methoxy)-1,4-페닐렌비닐렌)[MEH-PPV]; 폴리(2-(디알콕시페닐)-1,4-페닐렌비닐렌)[ROPh-PPV] 등을 사용할 수 있다. 폴리파라페닐렌계 물질로서는 폴리파라페닐렌[PPP]의 유도체, 예컨대 폴리(2,5-디알콕시-1,4-페닐렌)[RO-PPP]; 폴리(2,5-디헥소시-1,4-페닐렌) 등을 사용할 수 있다. 폴리티오펜계 물질로서는 폴리티오펜[PT]의 유도체, 예컨대 폴리(3-알킬티오펜(alkylthiophene))[PAT]; 폴리(3-헥실티오펜(hexylthiophen))[PHT]; 폴리(3-시클로헥실티오펜(cyclohexylthiophen))[PCHT]; 폴리(3-시클로헥실-4-메틸티오펜(methylthiophene))[PCHMT]; 폴리(3,4-디시클로헥실티오펜(dicyclohexylthiophene))[PDCHT]; 폴리[3-(4-옥틸페닐(octylphenyl))-티오펜[POPT]; 폴리[3-(4-옥틸페닐)-2,2비티오펜(bithiophene)[PTOPT] 등을 사용할 수 있다. 폴리플루오렌(polyfluorene)계 물질로는 폴리플루오렌[PF]의 유도체, 예컨대 폴리(9,9-디알킬플루오렌(dialkylfluorene))[PDAF]; 폴리(9,9-디옥틸플루오렌(dioctylfluorene))[PDOF] 등을 사용할 수 있다.

제2 무기 화합물로서는 제2 유기 화합물의 발광을 소광하기 쉽지 않은 무기화합물이면 어떤 것이든 좋으며, 다양한 금속 산화물이나 금속질화물을 사용할 수 있다. 특히, 주기표 제13족 또는 제14족에 속하는 금속을 각각 갖는 금속 산화물은 제2 유기 화합물의 발광을 소광하기 쉽지 않기 때문에 바람직하며, 구체적으로 산화 알루미늄, 산화 갈륨, 산화 규소, 및 산화 게르마늄이 적합하다. 그러나, 이 제2 무기 화합물은 이것들에 한정되지 않는다.

또한, 제2 층(803)은 상술한 유기 화합물과 무기화합물의 조합을 적용한 층을 복수 적층해서 형성해도 좋으며, 또한 다른 유기 화합물 혹은 다른 무기화합물을 더 포함해도 좋다.

상기와 같은 재료로 형성된 발광소자는 순방향으로 바이어스됨으로써 발광한다. 발광소자로 형성된 표시장치의 화소는 단순한 매트릭스 방식 또는 액티브 매트릭스 방식으로 구동될 수 있다. 아무튼, 개개의 화소는 어떤 특정한 타이밍에서 순방향 바이어스를 인가해서 발광시키는 것이지만, 그 화소는 어떤 일정 기간 동안 비발광 상태가 된다. 이 비발광 시간에 역방향의 바이어스를 인가하는 것으로 발광소자의 신뢰성을 향상시킬 수 있다. 발광소자에서는, 일정 구동 조건 하에서 발광강

도가 저하하는 열화 모드 혹은 화소 내에서 비발광 영역이 확대되어 겹으로 보기에 휘도가 저하하는 열화 모드가 있다. 그러나, 순방향 및 역방향으로 바이어스를 인가하는 교류적인 구동을 행함으로써 열화의 진행을 늦출 수 있어, 발광 장치의 신뢰성을 향상시킬 수 있다. 추가적으로, 디지털 구동과 아날로그 구동 어느 쪽이나 적용 가능하다.

밀봉기판에 칼라 필터(착색층)를 형성해도 좋다. 칼라 필터(착색층)는 증착법 혹은 액적(droplet) 토출법에 의해 형성될 수 있다. 칼라 필터(착색층)를 사용하면, 고선명 표시를 행할 수도 있다. 칼라 필터(착색층)에 의해 각 RGB의 발광 스펙트럼에 있어서 브로드한(broad) 피크를 날카롭게 보정할 수 있기 때문이다.

단색을 나타내는 재료를 형성하고, 컬러 필터와 색 변환층을 조합함으로써 전체(full) 컬러 표시를 행할 수 있다. 칼라 필터(착색층) 혹은 색 변환층은 예를 들면 제2 기관(밀봉기관) 상에 형성되고, 기관에 부착해도 좋다.

물론, 단색 발광의 표시를 행해도 좋다. 예를 들면, 단색 발광을 이용하여 에어리어 컬러(area color) 형태의 표시장치를 형성해도 좋다. 에어리어 컬러 형태는 패시브 매트릭스형의 표시부가 적합하며, 주로 문자나 기호를 표시할 수 있다.

제1 전극층(870) 및 제2 전극층(850)의 재료는 일함수를 고려해서 선택할 필요가 있다. 제1 전극층(870) 및 제2 전극층(850)은 화소 구성에 의존하여 어느 것이든 양극 또는 음극이 될 수 있다. 이 실시예에서, 구동용 박막 트랜지스터가 p-형 도전성을 갖는 경우에, 도 18a와 같이 제1 전극층(870)을 양극으로, 제2 전극층(850)을 음극으로 사용하는 것이 바람직하다. 또한 구동용 TFT는 n-형 도전성을 갖기 때문에, 도 18b와 같이 제1 전극층(870)을 음극으로, 제2 전극층(850)을 양극으로 사용하는 것이 바람직하다. 제1 전극층(870) 혹은 제2 전극층(850)에 사용할 수 있는 재료에 대해서 서술한다. 양극으로서 기능하는 제1 전극층(870)과 제2 전극층(850) 중 하나에 대해서는 큰 일함수를 갖는 재료(구체적으로 4.5eV 이상의 일함수를 갖는 재료)를 사용하는 것이 바람직하고, 음극으로서 기능하는 제1 전극층과 제2 전극층(850) 중 하나에 대해서는 작은 일함수를 갖는 재료(구체적으로는 3.5eV이하의 일함수를 갖는 재료)를 사용하는 것이 바람직하다. 그러나, 제1 층(804)과 제3 층(802)은 홀 주입 및/혹은 수송특성, 및 전자주입 및/혹은 수송특성이 뛰어나기 때문에, 어느 것이든 제1 전극층(870) 혹은 제2 전극층(850)은 일함수에 거의 제한을 받지 않으며, 제1 전극층(870) 혹은 제2 전극층(850)에 대하여 다양한 재료를 사용할 수 있다.

제2 전극층(850)은 광 투과성을 갖는다. 그 경우, 구체적으로 투명 도전막을 사용하면 좋다. 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화 규소를 첨가한 인듐 주석 산화물(ITSO) 등을 사용할 수 있다. 또한 금속막을 사용하는 경우에도 금속 막을 얇게 (바람직하게는, 대략 5nm~30nm정도) 만들어서 빛을 투과시킴으로써 제2 전극층(850)로부터 빛을 방출할 수 있다. 또한 제2 전극층(850)에는, 티탄, 텅스텐, 니켈, 금, 백금, 은, 알루미늄, 마그네슘, 칼슘, 혹은 리튬을 포함하는 도전막, 그 금속들의 합금을 포함하는 도전막 등을 사용할 수 있다. 또한, 제1 전극층(870) 및 제2 전극층(850)은 폴리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막과 상술한 투명 도전막의 적층으로 형성되어도 좋다. 제2 전극층(850)에 투명 도전막인 ITO 혹은 ITSO를 사용할 경우, benzoxazole 유도체(BzOs) 등에 Li를 첨가한 BzOs-Li막 위에 형성해도 좋다.

또, 제1 전극층(870)이나 제2 전극층(850)의 종류를 변경함으로써 본 발명에 따른 발광소자는 여러가지 베리에이션(variations)을 갖는다.

도 18b는 전계발광층(860)이 제1 전극층(870)측으로부터 제3 층(802), 제2 층, 제1 층(804)의 순으로 구성되어 있는 경우를 나타낸다.

상술한 바와 같이, 본 발명에 다른 발광 소자에서, 제1 전극층(870)과 제2 전극층(850) 사이에 개재된 층은 유기 화합물과 무기 화합물이 혼합된 전계발광층(860)으로 이루어져 있다. 그리고, 유기 화합물과 무기 화합물을 혼합함으로써, 유기 화합물과 무기 화합물 중 어느 하나만으로부터 획득할 수 없는 높은 캐리어 주입 및/혹은 캐리어 수송성이라고 하는 기능을 제공하는 층(즉, 제1 층(804) 및 제3 층(802))이 설치된 신규의 유기-무기 복합형의 발광소자다. 또한, 제1 층(804)과 제3 층(802)은 반사 전극으로 기능하는 제1 전극층(870)측에 설치된 경우, 특히 유기 화합물과 무기 화합물이 복합된 층일 필요가 있으며, 제2 전극층(850)측에 설치된 경우에는, 유기 화합물만 혹은 무기 화합물만을 포함해도 좋다.

또, 전계발광층(860)은 유기 화합물과 무기화합물이 혼합된 층이지만, 전계발광층(860)을 형성하는 방법으로서의 공지된 다양한 방법이 사용될 수 있다. 예를 들면, 공지된 방법로서는 유기 화합물과 무기화합물 양쪽을 저항 가열에 의해 증발시켜, 코-이베퍼레이션(co-evaporation) 방법이 있다. 또한, 코-이베퍼레이션(co-evaporation)에 대해서는, 유기 화합물을 저항 가열에 의해 증발시키는 한편, 무기 화합물을 전자 빔(EB)에 의해 증발시켜도 좋다. 또한, 공지된 방법으로서 유기 화합물을 저항 가열에 의해 증발시키고 동시에, 무기 화합물을 스퍼터링하고, 양쪽을 동시에 퇴적하는 방법도 있다. 게다가, 습식법에 의해 증착을 수행해도 좋다.

또한, 제1 전극층(870) 및 제2 전극층(850)에 관해서도 마찬가지로, 저항 가열에 의한 증착법, EB 증착법, 스퍼터링, 습식법 등을 사용할 수 있다.

도 1b의 표시장치는, 기관(620) 위에, 저지막(621a), 저지막(621b), 박막 트랜지스터(625), 게이트 절연층(622), 절연층(623), 절연층(626), 절연층(627), 층간막(628), 층간막(636), 분리벽으로서 기능하는 절연층(629), 제1 전극층(630), 투명 도전막(635), 전계발광층(631), 제2 전극층(632), 보호막(633)을 포함한다. 박막 트랜지스터(625)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역을 가지는 반도체층; 게이트 절연층(622); 2층의 적층구조인 게이트 전극층; 소스 전극층; 및 드레인 전극층을 포함한다. 소스 전극층 또는 드레인 전극층은 제1 전극층(630)과 접하도록 반도체층의 불순물 영역에 접속되어 있다.

도 1b의 표시장치에 있어서의 발광 소자(634)는 제1 전극층(630), 투명 도전막(635), 전계발광층(631), 및 제2 전극층(632)으로 구성되어 있다. 제1 전극층(630)과 투명 도전막(635)은 적층 구조를 형성한다. 제1 전극층(630)로서는 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막을 사용한다. 투명 도전막(635)로서는 ITSO막을 사용한다. 도 1b에 나타난 바와 같이 투명 도전막(635)을 적층하면, 제1 전극층(630)을 보호할 수 있으므로, 수율을 향상시킬 수 있다. 또, 제2 전극층(632)에는 투광성을 갖도록 박막화된 은박막을 사용한다.

도 1b의 다른 구성은 도 1a와 같은 방법으로 같은 재료를 사용하여 제작하면 된다. 또한 도 1B의 표시장치에서, 층간막(628)은 질화 산화 규소막이며, 층간막(636)은 질화 티탄막이다. 이 층간막(628)과 층간막(636)을 절연층(627)과 제1 전극층(630) 사이에 형성함으로써, 절연층(627)과 제1 전극층(630)과의 밀착성을 향상시킬 수 있다. 또한, 질화 티탄막은 정전 대책으로서의 역할도 수행할 수 있다. 층간막(628)으로서 사용하는 질화 산화 규소막과 질화 티탄막 사이에, 절연층(627)으로 사용하는 알칼기를 포함하는 산화 규소막을 얇은 두께로 형성해도 된다.

이상과 같이, 본 발명을 적용하면, 신뢰성이 높은 표시장치를 간단한 방법으로 제작할 수 있다. 따라서, 고선명, 고화질 표시장치를 저비용으로 높은 수율로 제조할 수 있다.

[실시예 2]

본 실시예에 따른 표시장치의 제작 방법을 도 2a 내지 도 7b, 도 16a 내지 도 16c, 및 도 17a 및 도 17b를 참조하여 상세하게 설명한다.

도 16a는 본 발명에 따른 표시 패널의 구조를 평면도이며, 절연 표면을 갖는 기관(2700) 위에 화소(2702)를 매트릭스로 배열시킨 화소부(2701), 주사선측 입력단자(2703), 신호선측 입력 단자(2704)가 형성되어 있다. 화소 수는 다양한 규격에 따라 예를 들면, XGA의 경우에는 1024×768×3(RGB), UXGA의 경우에는 1600×1200×3(RGB), 풀 스펙 하이 비전 디스플레이(full spec high vision display)에 사용하는 경우에는 1920×1080×3(RGB)에 따라 설정되어도 된다.

화소(2702)는 주사선측 입력 단자(2703)로부터 연장하는 주사선과, 신호선측 입력 단자(2704)로부터 연장하는 신호선이 교차함으로써 매트릭스 형태로 배열된다. 화소(2702) 각각은 스위칭 소자와 그것에 접속된 화소 전극층을 구비한다. 스위칭 소자의 대표적인 일 예는 TFT이다. TFT의 게이트 전극층측이 주사선에 접속되고, 그것의 소스 혹은 드레인측이 신호선에 접속됨으로써, 개개의 화소를 외부로부터 입력된 신호에 의해 독립적으로 제어할 수 있다.

TFT는 그 주요한 구성요소로서, 반도체층, 게이트 절연층 및 게이트 전극층을 갖는다. 반도체층에 형성된 소스 및 드레인 영역에 접속된 배선층이 더 구비된다. 기관측으로부터 반도체층, 게이트 절연층 및 게이트 전극층이 설치된 톱 게이트형과, 기관측으로부터 게이트 전극층, 게이트 절연층 및 반도체층이 설치된 바텀(bottom) 게이트형 등이 대표적으로 알려져 있지만, 본 발명에서는 상기 구조의 어떤 것을 이용해도 좋다.

도 16a는 주사선 및 신호선에 입력되는 신호를 외부 구동회로에 의해 제어하는 표시 패널의 구성을 나타내지만, 도 17a에 나타난 바와 같이 COG(Chip on Glass)방식에 의해 드라이브 IC 2751을 기관(2700) 위에 설치해도 된다. 또 다른 방식으로, 도 17b에 나타나 있는 바와 같은 TAB(Tape Automated Bonding)방식을 이용해도 좋다. 드라이브 IC는 단결정 반도체 기관 혹은 글래스 기관 위에 형성되어도 좋으며 그 회로는 TFT로 형성된다. 도 17a 및 도 17b에 있어서, 드라이브 IC 2751은 FPC(Flexible printed circuit)(2750)에 접속된다.

더 나아가서, 화소에 설치된 TFT를 결정성 반도체를 사용하여 형성하는 경우에, 도 16b에 나타난 바와 같이 주사선측 구동회로(3702)를 기관(3700) 위에 집적화해도 된다. 도 16b에 있어서, 화소부(3701)는 신호선측 입력 단자(3704)와 접속

한 도 16a와 같은 외부 구동회로에 의해 제어된다. 화소에 설치된 TFT를 이동도가 높은 다결정(미결정) 반도체, 단결정 반도체 등으로 형성하는 경우에는, 도 16c는 화소부(4701), 주사선 구동회로(4702), 및 신호선 구동회로(4704)를 기판(4700) 위에 집적화할 수 있다.

절연 표면을 갖는 기판(100) 위의 저지막으로서, 스퍼터링법과, PVD법(Physical Vapor Deposition)과, 감압 CVD법(LPCVD법) 또는 플라즈마 CVD법 등의 CVD법(Chemical Vapor Deposition) 등으로 질화 산화 규소막(SiNO)을 10~200nm(바람직하게는 50~100nm)의 두께를 갖는 저지막(101a)으로서 형성하고, 산화 질화 규소막(SiON)을 50~200nm(바람직하게는 100~150nm)의 두께를 갖는 저지막(101b)으로서 형성한다. 본 실시예에서는, 플라즈마 CVD법을 이용하여 저지막(101a)과 저지막(101b)을 형성한다. 기판(100)으로서서는 글래스 기판, 석영 기판, 실리콘 기판, 금속 기판, 또는 스테인레스 기판의 표면에 절연막이 형성된 것을 이용해도 된다. 또한, 본 실시예의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판을 이용해도 되고, 필름과 같은 가요성 기판을 이용해도 된다. 플라스틱 기판으로서서는 PET(polyethylene terephthalate), PEN(polyethylene naphthalate), 혹은 PES(polyether sulfone)을 사용할 수 있고, 가요성 기판으로서서는 아크릴 등의 합성수지를 사용할 수 있다.

저지막으로서서는 단층 혹은 2층 또는 3층의 적층 구조에서 산화 규소, 질화 규소, 산화 질화 규소, 질화 산화 규소 등을 사용할 수 있다. 또, 산화 질화 규소는 산소의 조성비가 질소의 조성비보다 큰 물질을 가지며, 질소를 포함하는 산화 규소라고도 칭할 수 있다. 마찬가지로, 질화 산화 규소는 질소의 조성비가 산소의 조성비보다 큰 물질을 가지며, 산소를 포함하는 질화 규소라고도 칭할 수 있다. 본 실시예에서는, 기판 위에 SiH₄, NH₃, N₂O, N₂ 및 H₂을 반응 가스로서 사용하여 질화 산화 규소막을 50nm의 두께로 형성하고, SiH₄ 및 N₂O를 반응 가스로서 사용하여 산화 질화 규소막을 100nm의 두께로 형성한다. 또, 질화 산화 규소막을 140nm의 두께로 형성하고, 산화 질화 규소막을 100nm의 두께로 형성해도 된다.

다음에, 저지막에 반도체막을 형성한다. 반도체막은 25~200nm(바람직하게는 30~150nm)의 두께로 공지된 수단(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해 형성하면 된다. 본 실시예에서는 비정질 반도체막을 레이저 조사에 의해 결정화함으로써 형성된 결정성 반도체막을 사용하는 것이 바람직하다.

반도체막을 형성하는 재료로서는 시란(silane)이나 저메인(germane)으로 대표되는 반도체 재료 가스를 사용하여 기상 증착법이나 스퍼터링법으로 제작되는 비정질 반도체(이하, "amorphous semiconductor : AS"라고 칭함), 비정질 반도체를 광 에너지나 열 에너지를 이용해서 결정화시킴으로써 형성된 다결정 반도체, 또는 세미 아모포스 반도체(semi-amorphous semiconductor; 미결정(microcrystal)이라고도 함, 이하 "SAS"라고 칭함) 등을 사용할 수 있다.

SAS는 비정질과 결정구조(단결정과 다결정을 포함)의 중간적인 구조를 가지며, 자유 에너지적으로 안정한 제3의 상태를 가지는 반도체이다. 또한, SAS는 단거리 순서와 격자 왜곡을 가지는 결정 반도체이며, 적어도 막중의 일부의 영역에는 0.5~20nm의 직경을 갖는 그레인(grain)이 분산되어 있다. 규소를 주성분으로 포함하는 경우에는 SAS의 Raman 스펙트럼이 520cm⁻¹보다도 저파수측으로 쉬프트된다. X-선 회절에 의해 SAS 막에서는 규소 결정 격자에서 유래되는 (111) 및 (220)의 회절 피크가 관측된다. 세미 아모포스 반도체막은 땀글링 본드(dangling bond)의 중화제로서 수소 또는 할로젠을 적어도 1 atom% 또는 그 이상을 포함한다. SAS는 글로우 방전(glow discharge)(플라즈마 CVD)으로 규화물 기체를 적층함으로써 형성된다. 규화물 기체로서는 SiH₄뿐만 아니라 Si₂H₆, SiH₂Cl₂, SiHC1₃, SiCl₄, SiF₄ 등을 사용한다. 또한, F₂와 GeF₄을 혼합시켜도 된다. 이 규화물 기체는 H₂ 또는 H₂과 He, Ar, Kr 및 Ne 중 하나 혹은 복수종의 희기 가스(rare gas) 원소를 혼합한 가스로 희석되어도 된다. 규화물 기체는 대략 0.1~133 Pa의 압력에서, 그리고 1~120MHz의 전원 주파수에서, 바람직하게는 13~60MHz의 고주파수에서 2~1000배의 희석율로 희석되는 것이 바람직하다. 기판 가열 온도는 300℃이하, 바람직하게는 100~250℃가 바람직하다. 그 막에서의 불순물 원소로서 산소, 질소, 탄소 등의 대기성분의 불순물은 1×10²⁰cm⁻³이하로 하는 것이 바람직하다. 특히, 산소농도는 5×10¹⁹cm⁻³이하, 더 바람직하게는 1×10¹⁹cm⁻³이하가 되도록 하는 것이 바람직하다. 또한 헬륨(helium), 아르곤(argon), 크립톤(krypton), 또는 네온(neon) 등의 희기 가스 원소가 SAS에 혼합되면, 격자 왜곡을 증가시켜 안정성이 향상됨으로써, 양호한 SAS를 형성할 수 있다. 또 반도체막으로서 불소계 가스로 형성된 SAS층 위에 수소계 가스로 형성된 SAS층을 적층해도 된다.

대표적인 비정질 반도체로서는 수소화 아모포스 실리콘을 사용해도 되며, 결정성 반도체로서는 폴리실리콘 등을 사용해도 된다. 폴리실리콘(다결정 실리콘)은 800℃이상의 프로세스 온도에서 형성되는 폴리실리콘을 주재료로서 사용하여 형성된 소위 고온 폴리실리콘이나, 600℃이하의 프로세스 온도에서 형성되는 폴리실리콘을 주재료로서 사용하여 형성된 소위 저온 폴리실리콘, 결정화를 촉진하는 원소 등을 첨가해 결정화시킨 폴리실리콘 등을 포함한다. 물론, 상술한 바와 같이, 세미 아모포스 반도체 또는 반도체막의 일부에 결정 상을 포함하는 반도체를 사용할 수도 있다.

반도체막에 결정성 반도체막을 사용할 경우에, 그 결정성 반도체막은 공지된 방법(레이저 결정화법, 열 결정화법, 또는 결정화를 조장하는 니켈 등의 원소를 사용한 열 결정화법 등)에 의해 형성되어도 된다. 또한, SAS인 미결정 반도체는 레이저 조사에 의해 결정화되어, 결정성을 향상시킬 수도 있다. 결정화를 조장하는 원소를 사용하지 않는 경우에는, 비정질 반도체막에 레이저 광을 조사하기 전에 질소 분위기 하에 500℃에서 1시간 비정질 반도체 막을 가열하여 수소를 꺼냄으로써 수소 농도가 1×10^{20} atomic/cm³ 이하로 된다. 비정질 반도체막이 많은 수소를 포함하면, 레이저 광 조사에 의해 비정질 반도체막이 파괴될 수도 있다. 결정화를 위한 가열 처리는 가열 노, 레이저 조사, 램프로부터 방출된 광의 조사(또는 램프 어닐링이라고도 칭함) 등을 사용하여 행해져도 된다. 가열 방법으로는 가열된 가스를 사용하는 GRTA(Gas Rapid Thermal Anneal)법과 램프를 사용하는 LRTA(Lamp Rapid Thermal Anneal)법 등의 RTA법을 사용한다.

비정질 반도체막에 금속원소를 유입하는 방법은 금속 원소를 비정질 반도체막의 표면 상에 혹은 그 내부에 형성하는 한 특별하게 한정되지 않는다. 예를 들면 스퍼터링법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함), 흡착법, 금속염의 용액을 도포하는 방법을 사용할 수 있다. 이들 중, 용액을 사용하는 방법은 간편해서, 금속 원소의 농도 조정이 용이하다고 하는 점에서 유용하다. 또한, 비정질 반도체막의 표면의 습윤성을 개선하고, 비정질 반도체막의 표면 전체에 수용액을 확산시키기 위해서, 산소 분위기에서 UV 광 조사, 열 산화법, 히드록시 방사(radical)을 포함하는 오존수 또는 과산화 수소에 의한 처리 등에 의해 산화막을 형성하는 것이 바람직하다.

결정화 시에 큰 그레인 결정을 얻기 위해서, 연속 발진이 가능한 고체 레이저의 기본파의 제2~제4 고조파가 사용되는 것이 바람직하다. 대표적으로는, Nd : YVO₄ 레이저(기본파 1064nm)의 제2 고조파(532nm)과 제3 고조파(355nm)를 사용한다. 구체적으로는, 연속 발진 형태의 YVO₄ 레이저로부터 방출되는 레이저 광을 비선형 광학 소자를 사용하여 고주파로 변환하여, 출력 수 W이상의 레이저 광을 얻는다. 바람직하게는 광학계에 의해 조사면 상에 사각형 또는 타원형으로 레이저 광을 형성하여, 반도체 막에 조사한다. 이때의 에너지 밀도는 0.001~100 MW/cm² 정도(바람직하게는 0.1~10 MW/cm²)이 필요하다. 이 반도체 막에 0.5~2,000 cm/sec 정도(바람직하게는 10~200cm/sec)의 주사 속도로 레이저 광을 조사한다.

레이저 빔의 형상은 선형인 것이 바람직하다. 그 결과, 스루풋(throughput)을 향상시킬 수 있다. 또한, 반도체 막에 레이저를 입사각 θ ($0 < \theta < 90^\circ$)로 조사시킴으로써 레이저의 간섭을 방지할 수 있다.

이러한 레이저와 반도체 막을 상대적으로 주사함으로써, 레이저 조사가 실현될 수 있다. 또, 레이저 조사에 있어서, 빔을 정밀하게 오버랩하고 레이저 조사를 시작하는 위치 및 종료하는 위치를 제어하기 위해서, 마커(marker)를 형성할 수도 있다. 마커는 비정질 반도체 막과 동시에 기판 상에 형성되면 된다.

또, 레이저로서는 연속 발진 또는 펄스 발진의 기체 레이저, 고체 레이저, 구리 증기 레이저 또는 금 증기 레이저 등을 사용할 수 있다. 기체 레이저는 엑시머 레이저, Ar 레이저, Kr 레이저, He-Cd 레이저 등을 포함하고, 고체 레이저는 YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, Y₂O₃ 레이저, 글래스 레이저, 루비 레이저, 알렉산드라이트(alexandrite) 레이저, Ti, 사파이어 레이저 등을 포함한다.

또한, 일반적으로 사용되고 있는 몇십~몇백 Hz의 주파수대보다도 현저하게 높은 주파수대를 갖는, 0.5 MHz 이상의 주파수에서의 펄스 레이저를 이용하여 레이저 결정화를 수행해도 된다. 레이저 광의 조사와 반도체 막의 고화 간의 시간은 펄스 레이저에서는 몇십~몇백 nsec라고 말해지고 있다. 따라서 상기 주파수대를 사용함으로써 이전의 펄스에 의해 반도체 막을 용융하고나서 반도체 막을 고화할 때까지의 기간 동안 레이저 광의 다음 펄스를 반도체 막에 조사할 수 있다. 따라서, 반도체막 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 레이저 빔의 주사 방향으로 연속적으로 성장한 결정립을 갖는 반도체 막이 형성된다. 구체적으로는, 주사 방향으로 10~30 μ m의 폭을 가지며 주사 방향에 대하여 수직인 방향으로 1~5 μ m의 폭을 갖는 결정립의 집합을 형성할 수 있다. 상기 주사 방향을 따라 길게 연장된 단결정의 결정립을 형성함으로써, 적어도 박막 트랜지스터의 채널 방향에는 거의 결정 경계를 가지고 있지 않는 반도체막을 형성할 수 있다.

또한, 반도체 막에 회기 가스나 질소 등의 불활성 가스 분위기에서 레이저 광을 조사해도 된다. 따라서, 레이저 조사에 의한 반도체 표면의 거칠함을 방지할 수 있고, 계면 준위 밀도의 변화에 의한 문턱전압의 변화를 방지할 수 있다.

비정질 반도체막을 열처리와 레이저 광 조사의 조합에 의해 결정해도 되고, 혹은 열처리와 레이저 광 조사 중 하나를 여러 번 수행해도 된다.

본 실시예에서는 저지막(101b) 위에 비정질 반도체막을 형성하고 비정질 반도체막을 결정화시킴으로써 결정성 반도체막을 형성한다. 비정질 반도체막으로서는, SiH_4 , H_2 의 반응 가스에 의해 형성되는 비정질 규소를 사용한다. 본 실시예에 있어서, 저지막(101a), 저지막(101b), 비정질 반도체막은 같은 챔버 내에서 진공을 파괴하지 않고 330°C의 동일 온도에서 반응 가스를 변경시킴으로써 연속적으로 형성된다.

비정질 반도체막 위에 형성된 산화막을 제거한 후, 산소 분위기에서의 UV 광 조사, 열 산화법, 히드록시 방사를 포함하는 오존수 또는 과산화 수소에 의한 처리 등에 의해 산화막을 1~5 nm의 두께로 형성한다. 본 실시예에서는 결정화를 조장하는 원소로서 Ni를 사용한다. Ni 초산염의 10 ppm을 함유한 수용액을 스핀 코팅법으로 도포한다.

본 실시예에서는, 열처리를 RTA법에 의해 750°C에서 3분간 행한 후, 반도체막 위에 형성된 산화막을 제거하고, 레이저를 조사한다. 비정질 반도체막은 상술한 결정화 처리에 의해 결정화되어, 결정성 반도체막을 형성한다.

금속 원소를 사용한 결정화를 수행했을 경우, 금속 원소를 저감 또는 제거하기 위해서 게터링(gettering) 공정을 실행한다. 본 실시예에서는, 비정질 반도체막을 게터링 싱크(gettering sink)로서 사용하여 금속 원소를 포획한다. 우선, 결정성 반도체막 위에 산소 분위기에서의 UV 광 조사, 열 산화법, 히드록시 방사를 포함하는 오존수에 의한 처리 또는 과산화 수소에 의한 처리 등에 의해 산화막을 형성한다. 또한, 플라즈마 CVD법(본 실시예에 있어서의 조건 350W 및 35Pa)을 이용하여 비정질 반도체막을 50nm의 두께로 형성한다.

그 후에 RTA법에 의해 744°C에서 3분간 열처리를 행하여, 금속원소를 저감 또는 제거한다. 열처리는 질소 분위기에서 행해도 된다. 그리고, 게터링 싱크로서의 비정질 반도체막 및 비정질 반도체막 위에 형성된 산화막을 불산 등으로 제거함으로써, 금속 원소가 저감 또는 제거된 결정성 반도체막(102)을 얻을 수 있다(도 2a 참조). 본 실시예에서는, 게터링 싱크로서의 비정질 반도체막을 TMAH(Tetramethyl Ammonium Hydroxide)을 이용하여 행한다.

이러한 방법으로 형성된 반도체막에 대하여, 박막 트랜지스터의 문턱전압을 제어하기 위해서 미량의 불순물 원소(붕소 또는 인)의 도핑을 행해도 된다. 이 불순물 원소의 도핑은 결정화 전의 비정질 반도체막에 대하여 행해져도 된다. 비정질 반도체막에 대하여 불순물 원소를 도핑하면, 그 후의 결정화를 위한 가열 처리에 의해 불순물이 활성화된다. 또한, 도핑에서 발생된 결함등도 향상될 수 있다.

다음에, 결정성 반도체막(102)을 마스크를 이용하여 패터닝한다. 본 실시예에서는 결정성 반도체막(102) 위에 형성된 산화막을 제거한 후에, 새롭게 산화막을 형성한다. 그리고, 포토 마스크를 형성하고 포토리소그래픽법을 사용하여 패터닝하여, 반도체층(103), 반도체층(104), 반도체층(105), 및 반도체층(106)을 형성한다.

패터닝 시의 에칭 공정은 플라즈마 에칭(드라이 에칭) 또는 웨트 에칭의 어느 쪽을 채용해도 된다. 하지만, 대면적 기판을 처리하는 경우에는 플라즈마 에칭이 더 적합하다. 에칭 가스로서는, CF_4 , NF_3 , Cl_2 또는 BCl_3 등의 불소계 가스 또는 염소계 가스를 사용하여, He와 Ar 등의 불활성 가스를 적당하게 부가해도 된다. 또한, 대기압 방전에 의해 에칭 공정을 사용하는 경우에는, 국소적인 방전도 가능해서, 기판의 전체면 위에 마스크층을 형성할 필요가 없다.

본 발명에 있어서, 배선층 또는 전극층을 형성하는 도전층, 소정의 패턴을 형성하기 위한 마스크층 등을 액적 토출법과 같은 선택적으로 패턴을 형성할 수 있는 방법으로 형성해도 된다. 액적 토출법(그것의 시스템에 따른 잉크젯법이라고도 칭함)에서, 특정한 목적으로 준비된 조성물의 액적을 선택적으로 토출(분출)해서 소정의 패턴(도전층, 절연층 등)을 형성할 수 있다. 이 경우에, 피형성 영역에 습윤성 및 밀착성을 제어하는 처리를 행해도 된다. 또한, 패턴을 전사 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린 인쇄 및 오프셋 인쇄 등 패턴을 형성하는 방법)등도 사용할 수 있다.

본 실시예에 있어서, 마스크로서 에폭시 수지, 아크릴 수지, 페놀 수지, 노볼락(novolac) 수지, 멜라민(melamine) 수지, 우레탄 수지 등의 수지 재료를 사용한다. 또한, 벤조사이클로부텐(Benzocyclobutene), 파리렌(parylene), 플레어(flare), 및 투과성을 가지는 폴리이미드 등의 유기재료; 실록산(siloxane) 폴리머 등의 중합으로 형성된 화합물 재료; 수용성 호모 폴리머와 수용성 혼성 중합체를 포함하는 조성물 재료등을 사용할 수도 있다. 또는, 감광제를 포함하는 시판의 레지스트 재료를 이용해도 좋다. 예를 들면, 노볼락 수지와 감광제인 나프토키논디아지드(naphthoquinonediazide)화합물을 포함하는 대표적인 포지티브형 레지스트; 네카티브형 레지스트인 베이스 수지, 디페닐시란디올(diphenylsilanediol), 및 산 발생제 등을 이용해도 된다. 액적 토출법을 사용할 경우, 어떤 재료의 표면 장력과 점도는 용매의 농도를 조정하거나 계면 활성제등을 부가함으로써 적당하게 조정된다.

반도체층(103), 반도체층(104), 반도체층(105), 및 반도체층(106)을 덮는 게이트 절연층(107)을 형성한다. 게이트 절연층(107)은 플라즈마 CVD법 또는 스퍼터링법에 의해 10~150nm의 두께를 갖는 규소를 포함하는 절연막으로 형성된다. 게이트 절연층(107)은 질화 규소, 산화 규소, 산화 질화 규소, 질화 산화 규소로 대표되는 규소의 산화물 재료 또는 질화물 재료 등의 공지된 재료로 형성되어도 되고, 적층 또는 단층이도 된다. 또한, 절연층은 질화 규소막, 산화 규소막, 및 질화 규소막을 포함하는 적층 또는 산화 질화 규소막의 단층 또는 2층의 적층을 가져도 된다. 바람직하게는, 치밀한 막질을 갖는 질화 규소막을 사용한다. 또한, 반도체층과 게이트 절연층 사이에, 1~100nm의 두께로, 바람직하게는 1~10nm의 두께로, 더 바람직하게는 2~5nm의 두께로 얇은 산화 규소막을 형성해도 된다. GRTA(gas rapid thermal annealing)법, LRTA(lamp rapid thermal annealing)법 등을 이용하여 반도체 영역의 반도체 표면을 산화하여, 얇은 산화 규소막을 형성한다. 또, 낮은 막 형성 온도에서 적은 게이트 리크 전류를 갖는 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희기 가스 원소를 반응 가스에 부가하고, 순서대로 형성되는 절연막 중에 혼입시켜도 된다. 본 실시예에서는, 게이트 절연층(107)로서 115nm의 두께로 산화 질화 규소막을 형성한다.

다음에, 게이트 절연층(107) 위에 게이트 전극층으로서 작용하는 제1 도전막(108)과, 100~400nm의 두께를 갖는 제2 도전막(109)을 적층한다(도 2b 참조). 제1 도전막(108) 및 제2 도전막(109)은 스퍼터링법, 증착법, CVD법 등의 공지된 방법으로 형성될 수 있다. 제1 도전막(108) 및 제2 도전막(109)은 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd)로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 형성된다. 또한, 제1 도전막(108) 및 제2 도전막(109)로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 혹은 AgPdCu 합금을 이용해도 된다. 또한, 이 도전막은 2층 구조에 한정되지 않고, 예를 들면 50nm의 두께를 갖는 텅스텐막, 500nm의 두께를 갖는 알루미늄과 실리콘의 합금막(Al-Si), 30nm의 두께를 갖는 질화 티탄 막을 순차적으로 적층한 3층 구조를 가져도 된다. 또한, 3층 구조의 경우에는, 제1 도전막의 텅스텐 대신에 질화 티타늄을 이용해도 되고, 제2 도전막의 알루미늄과 실리콘의 합금막(Al-Si) 대신에 알루미늄과 티탄의 합금막(Al-Ti)을 이용해도 되며, 제3 도전막의 질화 티탄 대신에 티탄막을 이용해도 된다. 또한, 단층 구조이여도 된다. 본 실시예에서는 제1 도전막(108)으로서 질화 탄탈(TaN)을 30nm의 두께로 형성하고, 제2 도전막(109)로서 텅스텐(W)을 370nm의 두께로 형성한다.

다음에, 포토리소그래픽법에 의해 레지스트를 이용하여 마스크(110a), 마스크(110b), 마스크(110c), 마스크(110d), 및 마스크(110f)를 형성하고, 제1 도전막(108) 및 제2 도전막(109)을 패터닝하여 제1 게이트 전극층(121), 제1 게이트 전극층(122), 제1 게이트 전극층(124), 제1 게이트 전극층(125), 및 제1 게이트 전극층(126)과, 도전층(111), 도전층(112), 도전층(114), 도전층(115), 및 도전층(116)을 형성한다(도 2c 참조). ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법으로 에칭 조건(코일형의 전극층에 인가되는 전력량, 기관축의 전극층에 인가되는 전력량, 기관축의 전극 온도 등)을 적절하게 조절함으로써, 제1 게이트 전극층(121), 제1 게이트 전극층(122), 제1 게이트 전극층(124), 제1 게이트 전극층(125) 및 제1 게이트 전극층(126)과, 도전층(111), 도전층(112), 도전층(114), 도전층(115) 및 도전층(116)을 원하는 테이퍼 형상을 갖도록 에칭할 수 있다. 또한, 테이퍼 형상의 각도 등은 마스크(110a), 마스크(110b), 마스크(110d), 및 마스크(110f)의 형상에 의해서도 제어될 수 있다. 또, 에칭용 가스로서는 Cl_2 , BCl_3 , $SiCl_4$ 혹은 CCl_4 등을 대표로 하는 염소계 가스, CF_4 , CF_5 , SF_6 혹은 NF_3 등을 대표로 하는 불소계 가스 또는 O_2 를 적당하게 사용할 수 있다. 본 실시예에서는 CF_5 , Cl_2 , O_2 를 포함하는 에칭용 가스를 이용하여 제2 도전막(109)을 에칭하고, 그 후에 연속해서 CF_5 와 Cl_2 를 포함하는 에칭용 가스를 이용하여 제1 도전막(108)을 에칭한다.

다음에, 마스크(110a), 마스크(110b), 마스크(110d), 마스크(110e) 및 마스크(110f)를 이용하여 도전층(111), 도전층(112), 도전층(114), 도전층(115), 및 도전층(116)을 패터닝한다. 이때, 도전층을 형성하는 제2 도전막(109)과 제1 게이트 전극층을 형성하는 제1 도전막(108)의 높은 선택비의 에칭 조건에서 도전층을 에칭한다. 이 에칭에 의해, 도전층(111), 도전층(112), 도전층(114), 도전층(115), 및 도전층(116)을 에칭하여 제2 게이트 전극층(131), 제2 게이트 전극층(132), 제2 게이트 전극층(134), 제2 게이트 전극층(135), 및 제2 게이트 전극층(136)을 형성한다. 본 실시예에서는, 도전층(163)이 테이퍼 형상을 가지고 있지만, 그 테이퍼 각도는 제1 게이트 전극층(121), 제1 게이트 전극층(122), 제1 게이트 전극층(124), 제1 게이트 전극층(125), 및 제1 게이트 전극층(126)의 것보다 크다. 또, 테이퍼 각도는 제1 게이트 전극층, 제2 게이트 전극층, 도전층의 표면에 대한 측면의 각도이다. 따라서, 테이퍼 각도를 90°로 증가시키면, 도전층은 수직인 측면을 가지며, 테이퍼 형상을 갖지 않는다. 본 실시예에서는 Cl_2 , SF_6 , O_2 의 에칭 가스를 사용하여 제2 게이트 전극층을 형성한다.

본 실시예에서는 제1 게이트 전극층, 도전층, 및 제2 게이트 전극층을 테이퍼 형상을 갖도록 형성하므로, 2층의 게이트 전극층 양쪽이 테이퍼 형상을 가지고 있다. 그러나, 본 발명은 거기에 한정되지 않고, 게이트 전극층들의 일층이 테이퍼 형상

을 가지며, 다른 층은 이방성 에칭에 의해 형성된 수직한 측면을 가지고 있다. 본 실시예와 같이, 테이퍼 각도는 적층된 게이트 전극층 간에 서로 달라도 좋고 동일해도 좋다. 테이퍼 형상을 가짐으로써, 그 위에 적층되는 막의 피복성이 향상되고 결합이 경감됨으로써 신뢰성이 향상된다.

이상의 공정에 의해, 주변 구동회로 영역(204)에 제1 게이트 전극층(121) 및 제2 게이트 전극층(131)으로 형성된 게이트 전극층(117), 제1 게이트 전극층(122) 및 제2 게이트 전극층(132)으로 형성된 게이트 전극층(118)을 형성할 수 있고, 화소 영역(206)에는 제1 게이트 전극층(124) 및 제2 게이트 전극층(134)으로 형성된 게이트 전극층(127), 제1 게이트 전극층(125) 및 제2 게이트 전극층(135)으로 형성된 게이트 전극층(128), 제1 게이트 전극층(126) 및 제2 게이트 전극층(136)으로 형성된 게이트 전극층(129)을 형성할 수 있다(도 2d 참조). 본 실시예에서는 게이트 전극층을 드라이 에칭에서 형성하지만, 습식 에칭을 사용해도 된다.

게이트 전극층을 형성할 때의 에칭 공정에 의해, 게이트 절연층(107)이 어느 정도 에칭되어 두께가 줄어든다.

게이트 전극층의 폭을 얇게 형성함으로써, 고속 동작이 가능한 박막 트랜지스터를 형성할 수 있다. 게이트 전극층의 폭을 채널 방향으로 얇게 형성하는 2가지의 방법을 이하 설명하기로 한다.

제1 방법은 게이트 전극층의 마스크를 형성한 후, 마스크를 폭방향으로 에칭, 애싱 등에 의해 슬립하게 하고, 그 후에 폭이 얇은 마스크를 형성하는 것이다. 이렇게 폭이 얇은 마스크를 사용함으로써, 게이트 전극층을 폭이 얇은 형상으로 형성할 수 있다.

다음에, 제2 방법은 일반적인 마스크를 형성한 후에, 그 마스크를 이용하여 게이트 전극층을 형성하는 것이다. 다음에, 게이트 전극층을 폭방향으로 사이드 에칭해서 얇게 만든다. 따라서, 폭이 얇은 게이트 전극층을 형성할 수 있다. 이상의 공정으로, 채널길이가 짧은 박막 트랜지스터를 형성할 수 있어, 고속 동작이 가능한 박막 트랜지스터를 제작할 수 있다.

다음에, 게이트 전극층(117), 게이트 전극층(118), 게이트 전극층(127), 게이트 전극층(128), 게이트 전극층(129)을 마스크로서 사용하여, n-형의 도전성을 부여하는 불순물 원소(151)를 첨가하여, 제1 n형 불순물 영역(140a), 제1 n형 불순물 영역(140b), 제1 n형 불순물 영역(141a), 제1 n형 불순물 영역(141b), 제1 n형 불순물 영역(142a), 제1 n형 불순물 영역(142b), 제1 n형 불순물 영역(142c), 제1 n형 불순물 영역(143a), 및 제1 n형 불순물 영역(143b)을 형성한다(도 3a 참조). 본 실시예에서는, 불순물 원소를 포함하는 도핑 가스로서 포스핀(PH₃)(PH₃에 도핑 가스로서 수소(H₂)를 희석하고, PH₃의 조성 비율은 5%)을 사용하여, 80sccm의 가스 유량, 54μA/cm의 빔 전류, 50kV의 가속 전압, 및 7.0×10¹³ions/cm²의 도우즈량으로 도핑을 행한다. 여기에서는, 제1 n형 불순물 영역(140a), 제1 n형 불순물 영역(140b), 제1 n형 불순물 영역(141a), 제1 n형 불순물 영역(141b), 제1 n형 불순물 영역(142a), 제1 n형 불순물 영역(142b), 제1 n형 불순물 영역(142c), 제1 n형 불순물 영역(143a), 및 제1 n형 불순물 영역(143b)에 n형 도전성을 부여하는 불순물 원소가 1×10¹⁷~5×10¹⁸/cm³정도의 농도로 포함되도록 도핑을 행한다. 본 실시예에서는 n형 도전성을 부여하는 불순물 원소로서 인(P)을 사용한다.

본 실시예에서는, 불순물 영역이 게이트 절연층을 통해서 게이트 전극층과 접치는 영역을 Lov 영역으로 표시하고, 불순물 영역이 게이트 절연층을 통해서 게이트 전극층과 접치지 않는 영역을 Loff 영역으로 표시한다. 도 3a에서는, 불순물 영역을 해칭과 공백으로 했다. 이것은, 공백에 불순물 원소가 첨가되지 않는다는 것을 의미하는 것이 아니고, 이 영역의 불순물 원소의 농도 분포가 마스크와 도핑 조건을 반영한다는 것을 나타낸다. 또, 이것은 본 명세서의 다른 도면에 있어서도 같다.

다음에, 반도체층(103), 반도체층(105)의 일부, 반도체층(106)을 덮는 마스크(153a, 153b, 153c, 및 153d)를 형성한다. 마스크(153a, 153b, 153c, 153d)와, 제2 게이트 전극층(132)을 마스크로서 사용하여, n형 도전성을 부여하는 불순물 원소(152)를 첨가하여, 제2 n형 불순물 영역(144a), 제2 n형 불순물 영역(144b), 제3 n형 불순물 영역(145a), 제3 n형 불순물 영역(145b), 제2 n형 불순물 영역(147a), 제2 n형 불순물 영역(147b), 제2 n형 불순물 영역(147c), 제3 n형 불순물 영역(148a), 제3 n형 불순물 영역(148b), 제3 n형 불순물 영역(148c), 제3 n형 불순물 영역(148d)을 형성한다. 본 실시예에서는, 불순물 원소를 포함하는 도핑 가스로서 PH₃(PH₃에 도핑 가스로서 수소(H₂)를 희석하고, PH₃의 조성 비율은 5%)을 사용하여 80sccm의 가스 유량, 540μA/cm의 빔 전류, 70kV의 가속 전압, 및 5.0×10¹⁵ ions/cm²에서 도핑을 행한다. 여기에서는, 제2 n형 불순물 영역(144a, 144b) 각각이 5×10¹⁹~5×10²⁰/cm³정도의 농도에서 불순물 원소를 포함하도록 도핑을 행한다. 제3 n형 불순물 영역(145a, 145b)은 제3 n형 불순물 영역(148a, 148b, 148c, 148d)과 같은 정도 또는 조금 높은 농도에서 n형 도전성을 부여하는 불순물 원소를 포함하도록 형성된다. 또한, 반도체층(104)에 채널 형성 영역(146)을 형성하고, 반도체층(105)에 채널 형성 영역(149a, 149b)을 형성한다(도 3b 참조).

제2 n형 불순물 영역(144a, 144b, 147a, 147b, 147c)은 고농도 n형 불순물 영역이며, 소스 및 드레인으로서 기능한다. 한편, 제3 n형 불순물 영역(145a, 145b, 148a, 148b, 148c, 148d)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역으로서 기능한다. 게이트 절연층(107)을 통해서 제1 게이트 전극층(122)과 오버랩된 n형 불순물 영역(145a, 145b)은 Lov 영역이며, 드레인 근방의 전계를 완화하고, 핫 캐리어에 의한 온 전류의 열화를 억제할 수 있다. 그 결과, 고속 동작이 가능한 박막 트랜지스터를 형성할 수 있다. 한편, 제3 n형 불순물 영역(148a, 148b, 148c, 148d)는 게이트 전극층(127, 128)으로 오버랩되지 않는 Loff 영역에 형성되므로, 드레인 근방의 전계를 완화해서 핫 캐리어 주입에 의한 열화를 막는 동시에, 오프 전류를 저감한다. 그 결과, 신뢰성이 높고, 저소비전력의 반도체장치를 제작할 수 있다.

다음에, 마스크(153a, 153b, 153c 및 153d)를 제거하고, 반도체층(103, 105)을 덮는 마스크(155a, 155b)를 형성한다. 마스크(155a, 155b)와, 게이트 전극층(117 및 129)을 마스크로서 사용하여 p형 도전성을 부여하는 불순물 원소(154)를 첨가함으로써, 제1 p형 불순물 영역(160a, 160b, 163a, 163b), 제2 p형 불순물 영역(161a, 161b, 164a, 164b)을 형성한다(도 7c 참조). 본 실시예에서는, 불순물 원소로서 붕소(B)를 사용하므로, 불순물 원소를 포함하는 도핑 가스로서 디보란(diborane; B₂H₆)(B₂H₆에 도핑 가스로서 수소(H₂)를 희석하고, B₂H₆의 조성 비율은 5%)을 사용하여, 70sccm의 가스 유량, 180μA/cm의 빔 전류, 80kV의 가속 전류, 2.0×10¹⁵ ions/cm²의 도우즈량에서 도핑을 행한다. 여기에서는, 제1 p형 불순물 영역(160a, 160b, 163a, 163b)과, 제2 p형 불순물 영역(161a, 161b, 164a, 164b)이 p형 도전성을 부여하는 불순물 원소를 1×10²⁰~5×10²¹/cm³ 정도의 농도에서 포함하도록 도핑을 행한다. 본 실시예에서는, 제2 p형 불순물 영역(161a, 161b, 164a, 164b)은 게이트 전극층(117 및 129)의 형상을 반영하여, 자기 정합적으로 제1 p형 불순물 영역(160a, 160b, 163a, 163b)보다 저농도 불순물 원소를 포함하도록 형성한다. 또한, 반도체층(103)에 채널 형성 영역(162)을 형성하고, 반도체층(106)에 채널 형성 영역(165)을 형성한다(도 3c 참조).

제2 n형 불순물 영역(144a, 144b, 147a, 147b, 147c)은 고농도 n형 불순물 영역이며, 소스 및 드레인으로서 기능한다. 한편, 제2 p형 불순물 영역(161a, 161b, 164a, 164b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain)영역으로서 기능한다. 게이트 절연층(107)을 통해서 제1 게이트 전극층(121, 126)과 오버랩된 제2 p형 불순물 영역(161a, 161b, 164a, 164b)은 Lov 영역이며, 드레인 근방의 전계를 완화하고, 핫 캐리어에 의한 온 전류의 열화를 억제할 수 있다.

마스크(155a, 155b)을 O₂ 애싱 또는 레지스트 박리액으로 제거함으로써, 산화막도 제거한다. 그 후에, 게이트 전극층의 측면을 덮도록, 절연막, 소위 측벽을 형성해도 좋다. 측벽은 플라즈마 CVD법 및 감압 CVD(LPCVD)법을 이용하여 규소를 포함하는 절연막으로 형성될 수 있다.

불순물 원소를 활성화하기 위해서 가열 처리, 강한 광 조사, 또는 레이저 광 조사를 행해도 된다. 활성화와 동시에, 게이트 절연층에의 플라즈마 데미지나 게이트 절연층과 반도체층과의 계면에서의 플라즈마 데미지를 회복할 수 있다.

다음에, 게이트 전극층과 게이트 절연층을 덮는 층간 절연층을 형성한다. 본 실시예에서는, 절연막(167 및 168)의 적층구조를 사용한다(도 4a 참조). 절연막(167)으로서 질화 산화 규소막을 100nm의 두께로 형성하고, 절연막(168)로서 산화 질화 절연막을 900nm의 두께로 형성하여, 적층 구조를 형성한다. 또한, 산화 질화 규소막을 30nm의 두께로 형성하고, 질화 산화 규소막을 140nm의 두께로 형성하며, 산화 질화 규소막을 800nm의 두께로 형성함으로써, 3층의 적층 구조를 채용해도 된다. 본 실시예에서는, 절연막(167 및 168)을 저지막과 같이 플라즈마 CVD법을 이용하여 연속적으로 형성한다. 절연막(167, 168)은 상기 재료에 한정되는 것이 아니라, 플라즈마 CVD법에 의해 형성된 질화 규소막, 질화 산화 규소막, 산화 질화 규소막, 산화 규소막이어도 좋다. 다른 한편으로는, 다른 규소를 포함하는 절연막을 단층 또는 3층 이상의 적층구조로서 사용해도 된다.

또한, 질소 분위기 하에 300~550℃에서 1~12시간 동안 열처리를 행하여, 반도체층을 수소화한다. 바람직하게는, 400~500℃에서 행한다. 이 공정에 따르면, 층간 절연층으로서의 절연막(167)에 포함되는 수소에 의해 반도체층의 덩그링 본드를 중단할 수 있다. 본 실시예에서는, 410℃에서 1시간 동안 가열 처리를 행한다.

절연막(167 및 168)은 질화 알루미늄(AIN), 산화 질화 알루미늄(AION), 질소가 산소 함유량보다도 많은 질화 산화 알루미늄(AINO), 산화 알루미늄, 다이아몬드와 같은 탄소(DLC), 질화 탄소막(CN) 및 무기 절연성 재료를 포함하는 다른 물질로부터 선택된 재료로 형성될 수도 있다. 더 나아가서, 실록산(siloxane) 물질도 사용될 수 있다. 실록산 물질은 Si-O-Si 결합을 포함하는 수지에 대응한다는 것에 유념해야 한다. 실록산은 실리콘(Si)과 산소(O)의 결합의 골격구조를 갖는다. 치환기로서는 적어도 수소를 포함하는 유기 그룹(예컨대 알킬기와 방향족 탄화 수소) 또는 불소 그룹을 사용한다. 다른 한편

으로는, 적어도 수소를 포함하는 유기계와 불소계를 치환기로서 사용할 수도 있다. 또한, 유기 절연성 재료로서는, 폴리이미드, 아크릴, 폴리이미드, 폴리이미드 아미드, 레지스트, 벤조시클로부텐(benzocyclobutene), 폴리시라잔(polysilazane)을 사용할 수도 있다. 도포법에 의해 형성된 평탄성이 좋은 도포막을 이용해도 된다.

다음에, 레지스트의 마스크를 이용하여 절연막(167, 168), 및 게이트 절연층(107)에 반도체층에 도달하는 콘택트 홀(개구부)을 형성한다. 에칭은 사용하는 재료의 선택비에 따라 일 회 행해지거나 여러 번 행해져도 된다. 본 실시예에서는, 질화 산화 규소막으로서의 절연막(167) 및 게이트 절연층(107) 사이에서 선택비를 얻을 수 있는 조건에서, 제1 에칭을 행하여, 절연막(168)을 제거한다. 다음에, 제2 에칭에 의해, 절연막(167) 및 게이트 절연층(107)을 제거하고, 소스 영역 또는 드레인 영역으로서의 제1 p형 불순물 영역(160a, 160b, 163a, 163b)과 제2 n형 불순물 영역(144a, 144b, 147a, 147b)에 도달하는 개구부를 형성한다. 본 실시예에서는, 제1 에칭을 습식 에칭에 의해 행하며, 제2 에칭을 드라이 에칭에 의해 행한다. 습식 에칭의 에칭액으로서, 불소 수소 암모늄 또는 불화 암모늄을 포함하는 혼합 용액과 같은 불산계 용액을 사용하면 된다. 에칭용 가스로서는, $C1_2$, BCl_3 , $SiCl_4$ 혹은 CCl_4 등으로 대표되는 염소계 가스, CF_4 , SF_6 혹은 NF_3 등으로 대표되는 불소계 가스 또는 O_2 을 적절하게 사용할 수 있다. 또, 에칭용 가스에 불활성 가스를 첨가해도 된다. 첨가되는 불활성 원소로서는, He, Ne, Ar, Kr, Xe로부터 선택된 하나 또는 복수종의 원소를 사용할 수 있다.

개구부를 덮도록 도전막을 형성하고, 도전막을 에칭해서 각 소스 영역 또는 드레인 영역의 일부와 전기적으로 접속되는 소스 전극층 또는 드레인 전극층(169a), 소스 전극층 또는 드레인 전극층(169b), 소스 전극층 또는 드레인 전극층(170a), 소스 전극층 또는 드레인 전극층(170b), 소스 전극층 또는 드레인 전극층(171a), 소스 전극층 또는 드레인 전극층(171b), 소스 전극층 또는 드레인 전극층(172a), 소스 전극층 또는 드레인 전극층(172b)을 형성한다. 소스 전극층 또는 드레인 전극층은 PVD법, CVD법, 증착법 등에 의해 도전막을 형성한 후, 원하는 형상으로 에칭함으로써 형성될 수 있다. 또한, 액적 토출법, 인쇄법, 전계 도금법 등에 의해, 소정의 장소에 선택적으로 도전층을 형성할 수 있다. 또한, 리플로우법 및 다마신법을 이용할 수도 있다. 소스 전극층 또는 드레인 전극층은 Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Si, Ge, Zr, Ba등으로부터 선택된 금속 또는 합금 또는 그 금속 질화물로서 형성된다. 또한, 이들의 적층 구조를 사용해도 된다. 본 실시예에서는, 티탄(Ti)을 60nm의 두께로 형성하고, 질화 티탄막을 40nm의 두께로 형성하며, 알루미늄을 700nm의 두께로 형성하고, 티탄(Ti)을 200nm의 두께로 형성해서 적층구조를 형성한 후에, 원하는 형상으로 패터닝된다.

이상의 공정에서, 주변 구동회로 영역(204)에서는 Lov 영역에 p형 불순물 영역을 갖는 p채널 박막 트랜지스터(173), Lov 영역에 n채널 불순물 영역을 갖는 n채널 박막 트랜지스터(174)가 형성될 수 있고, 화소 영역(206)에서는 Loff 영역에 n형 불순물 영역을 갖는 다채널형의 n채널 박막 트랜지스터(175), Lov 영역에 p형 불순물 영역을 갖는 p채널 박막 트랜지스터(176)가 형성될 수 있는 액티브 매트릭스 기판을 제작할 수 있다(도 4b 참조).

그리고, 액티브 매트릭스 기판은 자발광 소자를 갖는 발광장치, 액정소자를 갖는 액정표시장치, 그 밖의 표시장치에 사용될 수 있다. 또, CPU(Central Processing Unit)로 대표되는 각종 프로세서나 ID칩을 내장한 카드 등의 반도체 장치에 액티브 매트릭스 기판이 사용될 수 있다.

본 발명은 이 실시예에 한정되지 않으며, 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조, 채널 형성 영역이 두개 형성되는 더블 게이트 구조 혹은 채널 형성 영역이 세개 형성되는 트리플 게이트 구조를 가져도 된다. 또한, 주변 구동회로 영역의 박막 트랜지스터도, 싱글 게이트 구조, 더블 게이트 구조 혹은 트리플 게이트 구조를 가져도 된다.

또, 본 발명은 이 실시예에서 기술한 박막 트랜지스터의 제작방법에 한정되지 않지만, 톱 게이트형(플래너형), 바텀 게이트형(역으로 스테거형), 혹은 초채널 영역의 상하에 게이트 절연막을 통해서 2개의 게이트 전극층이 배치된 듀얼 게이트형이나 그 밖의 구조에도 적용될 수 있다.

다음에, 제2 층간 절연층으로서 절연층(181)을 형성하고, 절연층(181)과 제1 전극층(396)과의 사이에 층간막(180)을 형성한다(도 5a 참조). 도 5a 내지 도 5c는 표시장치의 제작 공정을 나타내며, 스크라이빙에 의해 분리되는 영역(201), FPC가 부착되는 외부 단자 접속 영역(202), 주변부의 배선을 안내하는 영역(203), 주변 구동회로 영역(204), 화소 영역(206)을 제공한다. 배선 영역(203)에는 배선(179a, 179b)이 형성되고, 외부 단자 접속 영역(202)에는, 외부 단자와 접속되는 단자 전극층(178)이 형성된다.

층간막(180) 및 절연층(181)은 산화 규소, 질화 규소, 산화 질화 규소, 질화 산화 규소, 질화 알루미늄(AIN), 산화 질화 알루미늄(AION), 질소 함유량이 산소함유량보다도 많은 질화 산화 알루미늄(AINO), 산화 알루미늄, 다이아몬드와 같은 탄소(DLC), 질소 함유 탄소막(CN), PSG(인 글래스), BPSG(붕소 인 글래스), 알루미늄산화물, 그 밖의 무기 절연성 재료를 포함하는 물질로부터 선택된 재료를 사용하여 형성될 수 있다. 또한, 실록산 재료(무기 실록산 또는 유기 실록산)를 사용할

수도 있다. 감광성 또는 비감광성 유기 절연성 재료로서는 예를 들면 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로부텐(benzocyclobutene), 폴리실라잔(polysilazane), 저유전율인 low-k 재료를 사용할 수 있다.

본 실시예에서는, 평탄화를 위해 층간 절연층으로서 내열성 및 절연성 및 평탄화율이 높은 층을 필요로 하기 때문에, 절연층(181)은 스�핀 코팅법 등의 도포법을 사용하여 형성되는 것이 바람직하다. 본 실시예에서는, 층간막(180)은 절연층(181)과 제1 전극층(396) 간의 밀착성을 향상시키는 기능을 갖는다. 절연층(181) 위에 질화 산화 규소막과 질화 티탄 막을 적층해서 층간막(180)을 형성한다. CVD법을 이용하여 산화 질화 규소막을 50nm의 두께로 형성하고, 질화 티탄 막을 10nm의 두께로 형성한다. 이 층간막(180)에 의해, 절연층(181)과 제1 전극층(396) 간의 밀착성이 향상되므로, 제작되는 표시장치의 신뢰성 및 제품 비율도 향상된다.

본 실시예에서는, 절연층(181)의 재료로서는 실록산 재료로 코팅된 막을 사용한다. 소성한 후의 막은 알킬기를 포함하는 산화 규소막(SiO_x)(x=1, 2)이라고 칭할 수 있다. 이 알킬기를 포함하는 산화 규소막(SiO_x)은 300℃ 이상의 가열 처리에도 견딜 수 있다.

층간막(180)과 절연층(181)을 형성하기 위해, 딥(dip) 스프레이 도포, 닥터 나이프, 롤 코터(roll coater), 커튼 코더, 나이프 코터, CVD법, 증착법 등을 사용할 수 있다. 또한, 액적 토출법에 의해 층간막(180)과 절연층(181)을 형성해도 좋다. 액적 토출법을 사용했을 경우에는 재료액을 절약할 수 있다. 또한, 액적 토출법과 같이 패턴을 전사 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

다음에, 도 5b에 도시한 바와 같이, 제2 층간 절연층으로서 기능하는 절연층(181) 및 층간막(180) 내에 개구부를 형성한다. 층간막(180) 및 절연층(181)은 접속 영역(미도시), 배선 영역(203), 외부 단자 접속영역(202), 분리 영역(201) 등에서는 넓은 지역으로 에칭할 필요가 있다. 그러나, 화소 영역(206)에서의 개구부의 면적은 접속 영역 등의 개구부의 면적보다 매우 작고, 미세하게 된다. 따라서, 화소 영역에 개구부 형성을 위한 포토리소그래피 공정과 접속 영역에 개구부를 형성하기 위한 포토리소그래피 공정을 수행함으로써 에칭 조건의 마진을 넓힐 수 있다. 그 결과, 제품 수율을 향상시킬 수 있다. 또, 에칭 조건의 마진을 넓힘으로써, 화소 영역에 컨택트 홀을 고정밀도로 형성할 수 있다.

구체적으로는, 접속 영역, 배선 영역(203), 외부 단자 접속 영역(202), 분리영역(201), 주변 구동회로 영역(204)의 일부에 부분적으로 형성된 층간막(180) 및 절연층(181)에 큰 면적을 갖는 개구부를 형성한다. 그 때문에, 화소영역(206), 접속 영역의 일부, 및 주변 구동회로 영역(204)의 일부에 형성된 층간막(180) 및 절연층(181)을 덮도록 마스크를 형성한다. 에칭은 병행 평판 RIE(reactive ion etching)장치나 ICP 에칭 장치를 사용할 수 있다. 또, 에칭 시간은, 배선층이나 제1 층간 절연층이 오버 에칭되는 정도로 설정된다. 이렇게 제1 층간 절연층이 오버 에칭되는 정도로 에칭 시간을 설정함으로써, 기판 내의 막 두께 편차와 에칭물의 편차를 저감할 수 있다. 이렇게 하여, 외부단자 접속영역(202)에는 개구부(183)이 각각 형성된다.

그 후에 화소 영역(206) 내의 층간막(180) 및 절연층(181)에 미세한 개구부, 즉 컨택트 홀을 형성한다(도 5c 참조). 이때, 화소영역(206) 및 주변 구동회로 영역(204), 화소영역(206)을 덮도록 마스크를 형성한다. 마스크는 화소영역(206)에 개구부를 형성하기 위한 마스크이며, 그것의 소정의 장소에 미세한 개구부가 설치된다. 이러한 마스크로서는 예를 들면 레지스트 마스크를 사용할 수 있다.

그리고, 병행 평판 RIE 장치를 이용하여, 층간막(180) 및 절연층(181)을 에칭한다. 또, 에칭 시간은 배선층이나 제1 층간 절연층이 오버 에칭되는 정도로 설명하면 된다. 이렇게 배선층이나 제1 층간 절연층이 오버 에칭되는 정도로 에칭 시간을 설정함으로써, 기판 내의 막두께 편차와, 에칭물의 편차를 저감할 수 있다.

또, 에칭 장치에 ICP 장치를 이용해도 좋다. 이상의 공정에서, 화소영역(206)에 소스 전극층 또는 드레인 전극층(172a)에 도달하는 개구부(184)를 형성한다. 또한, 소스 전극층 또는 드레인 전극층은 많은 박막이 적층되어 있어 층 두께가 큰 영역에 형성될 수 있다. 본 실시예의 박막 트랜지스터로서는, 소스 전극층 또는 드레인 전극층을 게이트 전극층 위에 형성하는 것이 바람직하다. 이 경우, 개구부(184)를 깊게 형성할 필요가 없기 때문에, 개구부 형성 공정을 단축할 수 있어, 제어성도 향상시킬 수 있다. 또한, 개구부에 형성되는 전극층도 각도가 큰 개구부를 넓게 피복할 필요가 없기 때문에, 전극층을 피복성 좋게 형성할 수 있어, 신뢰성도 향상시킬 수 있다.

본 실시예에서는, 배선 영역(203), 외부단자 접속영역(202), 분리영역(201), 주변 구동회로 영역(204)의 일부를 덮으며 화소영역(206)에 소정의 개구부를 갖는 마스크를 이용하여 층간막(180) 및 절연층(181)을 에칭하는 경우를 설명했지만, 본

발명은 이것에 한정되지 않는다. 예를 들면, 접속 영역 내의 개구부의 면적은 크기 때문에, 에칭하는 양이 많다. 이러한 면적이 큰 개구부는 여러 번 에칭해도 된다. 또한 그 밖의 개구부보다 깊은 개구부를 형성하는 경우에도 마찬가지로 여러 번 에칭해도 된다.

본 실시예에서는, 층간막(180) 및 절연층(181) 내의 개구부의 형성을 도 5b 및 도 5c에 도시한 바와 같이 여러 번에 행하지만, 한 번의 에칭 공정을 수행해도 된다. 이 경우, ICP 장치를 사용하여 ICP 파워 7000W, 바이어스 파워 1000W, 압력 0.8Pa, 에칭 가스로서 240sccm의 CF₄와 160sccm의 O₂으로 에칭을 수행한다. 바이어스 파워는 1000~4000W가 바람직하다. 이때, 한 번의 에칭 공정으로 개구부를 형성할 수 있기 때문에 공정이 간략화되는 이점을 얻는다.

다음에 소스 또는 드레인 전극층(172a)과 접하도록 제1 전극층(396)(또는 화소 전극이라고 칭함)을 형성한다.

본 실시예에서는, 표시 소자로서 발광 소자를 사용하고, 발광소자로부터 방출되는 광을 제2 전극층(189)측으로부터 추출한다. 따라서, 제1 전극층(185)이 반사성을 갖는다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막을 형성하고, 원하는 형상으로 에칭하여 제1 전극층(396)을 형성한다. 본 실시예에서는, 층간막(180)에 질화 산화 규소막과 질화 티탄 막의 적층을 사용한다. 질화 티탄 막은 도전성을 갖고 있기 때문에, 제1 전극층(396)을 패터닝할 때에 동시에 층간막(180)도 패터닝한다.

본 발명에 있어서는, 반사 전극층인 제1 전극층(396)에, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막을 사용한다. 본 실시예에서는, 제1 전극층(396)에, Al(Mo)막을 사용한다. 제1 전극층(396)의 두께는 20~200nm, 바람직하게는 35~100nm이면 된다. 본 실시예에서는, 스퍼터링법을 이용하여 Al(Mo)을 35nm의 두께로 형성한다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 열 처리를 행해도 결정화되기 어려워, 막 표면의 평탄성은 양호하다. 또한, 가시광선 영역 부근에 있어서의 광에 대한 반사성도 높고, 광 반사도 효율적으로 행할 수 있다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 유독성이 없어 인체나 환경에 대하여 안전하다고 하는 뛰어난 이점도 있다(도 6a 참조).

몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막에 있어서는, 몰리브덴 또는 티탄의 조성비가 7.0 atomic%보다 큰 것이 바람직하다. 또한 몰리브덴 또는 티탄의 조성비가 20 atomic%이하인 경우에는, 가시광선 영역 부근에서의 광에 대한 반사율이 높다고 하는 이점이 있다. Al(C)막에 있어서는, 막 중의 탄소의 조성비가 0.1 atomic%~10 atomic%, 바람직하게는 1 atomic%미만이 좋다. 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막에 있어서는, 탄소의 양이 미량이어도 효과가 있어, 막 중의 탄소의 조성비는 0.3 atomic%이하, 또는 0.1 atomic%이하로도 된다.

제1 전극층(396) 위에 ITO막 또는 ITSO막 등의 투명 도전막을 형성해도 좋다. ITSO 막은 인듐 주석 산화물에 1~10%의 산화 규소(SiO₂)를 첨가한 타깃을 사용하여, Ar 가스의 유량을 120sccm, O₂ 가스의 유량을 5sccm, 압력을 0.25Pa, 전력을 3.2kW로 해서 스퍼터링법에 의해 ITSO막을 185nm의 두께로 형성하면 된다. 제1 전극층(396)은 그 표면이 평탄화되도록 CMP법 또는 포러스(porous)재료를 이용해서 제1 전극층(396)을 세정해서 연마해도 된다. 또 CMP법을 사용하여 연마한 후에, 제1 전극층(396)의 표면에 자외선 조사, 산소 플라즈마 처리 등을 행해도 된다.

제1 전극층(396)을 형성한 후에, 열 처리를 행해도 된다. 이 열 처리에 의해, 제1 전극층(396) 내에 포함되는 수분이 방출된다. 따라서, 제1 전극층(396)으로부터 탈가스(degasification) 등이 생기지 않는다. 제1 전극층 위에 수분에 의해 열화되기 쉬운 발광 재료를 형성해도, 발광 재료는 열화되지 않으므로, 신뢰성이 높은 표시장치를 제작할 수 있다. 본 실시예에서는, 제1 전극층(396)에 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막을 사용하므로, 소성을 행해도 결정화되기 어려워, 아모포스(amorphous) 상태를 그대로 유지한다. 따라서, 유기 화합물을 포함하는 층이 얇더라도 제1 전극층(396)은 평탄성이 높아 제2 전극층과의 쇼트가 발생하기 어렵다.

본 실시예에서는 절연층(186, 187a, 187b)에 감광성의 폴리이미드를 사용한다. 또, 절연층(186, 187a, 187b)을 절연층(181)과 동일한 재료와 동일한 공정을 사용하여 형성하면, 제조 비용을 삭감할 수 있다. 또한, 증착 장치나 에칭 장치 등을 사용하여 공통으로 비용을 줄일 수 있다(도 6b 참조).

니켈을 포함하는 알루미늄 합금은 제1 전극층(396)의 일부를 덮는 분리벽으로서 기능하는 절연층(186)을 형성할 때에 사용되는 현상액 등의 화학액에 대하여 내성이 낮다. 그러나, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하

는 알루미늄 합금을 갖는 막은 내성이 높다. 따라서, 제작 공정에서 표면의 감소 또는 표면의 거칠함 등의 불량 발생이 어려움으로, 양호한 표면 상태를 유지할 수 있어, 그 위에 형성되는 전계발광층(188)도 안정적으로 형성할 수 있으며, 표시 장치의 신뢰성도 높아질 수 있다.

산화 규소, 질화 규소, 산화 질화 규소, 산화 알루미늄, 질화 알루미늄, 또는 산화 질화 알루미늄 등의 무기 절연성 물질, 또는 아크릴산(acrylic acid), 메타크리르산(methacrylic acid) 및 이것들의 유도체, 폴리이미드, 방향족 폴리이미드, 폴리벤지미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 실록산 수지 재료 등의 절연재료를 사용하여 절연층(186)을 형성한다. 다른 한편으로는, 아크릴 혹은 폴리이미드 등의 감광성 또는 비감광성 재료를 이용하여 절연층(186)을 형성해도 된다. 절연층(186)은 곡률 반경이 연속적으로 변화되는 형상을 갖는 측면을 갖는 것이 바람직하다. 따라서, 그 위에 형성된 전계발광층(188) 및 제2 전극층(189)의 피복성이 향상된다.

패터닝에 의해 단차를 갖도록 가공된 층간막(180) 및 절연층(181)의 단부는 가파르게 경사져 있다. 따라서, 그 위에 적층된 제2 전극층(189)의 피복성이 좋지 않다. 그러므로, 개구부 주변의 단차를 절연층(186)으로 덮어 단차를 완만하게 함으로써 그 위에 적층된 제2 전극층(189)의 피복성을 향상시킬 수 있다. 접속 영역에 있어서, 제2 전극층과 동일한 공정을 통해서 그리고 동일한 재료로 형성되는 배선층은 게이트 전극층과 동일한 공정을 통해서 그리고, 동일한 재료로 형성되는 배선층과 전기적으로 접속된다.

또한 신뢰성을 향상시키기 위해서, 전계발광층(188)의 형성 전에 진공 가열을 행해서 탈 가스화를 행하는 것이 바람직하다. 예를 들면, 기판에 포함되는 가스를 제거하기 위해서 감압 분위기나 불활성 가스 분위기 하에 200~400℃, 바람직하게는 250~350℃에서 열 처리를 행하는 것이 바람직하다. 또 기판을 대기에 노출시키지 않고 진공 증착법이나 감압 상태의 액적 토출법에 의해 전계발광층(188)을 형성하는 것이 바람직하다. 이 열 처리에 의해 제1 전극층이 되는 도전막이나 절연층(분리벽)에 포함된 또는 부착된 수분을 방출할 수 있다. 이 열 처리는 진공을 파괴하지 않고 진공 챔버 내에 기판을 수송할 수 있는 한, 이전 가열 공정과 결합될 수 있다. 따라서, 이전 열 처리를 절연층(분리벽) 형성 후에 한 번만 행해야 한다. 여기에서는, 층간 절연막과 절연층(분리벽)을 고 내열성의 물질을 사용하여 형성함으로써, 신뢰성 향상을 위한 열 처리 공정을 충분히 행할 수 있다.

제1 전극층(396) 위에는 전계발광층(188)이 형성된다. 또, 도 1a 및 도 1b에는 하나의 화소만이 도시되어 있지만, 본 실시예에서는 R(빨강), G(초록), B(파랑)의 각 색에 대응하는 전계 전극층을 분리해서 형성한다. 전계발광층(188)은 실시예 1에 도시한 바와 같이 제작하면 되고, 제1 전극층(396) 위에는 유기 화합물과 무기 화합물을 혼합함으로써, 각각 단독으로만 수득할 수 없는 높은 캐리어 주입성 및 높은 캐리어 수송성의 기능을 갖는 층이 사용된다.

적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료(저분자 또는 고분자 재료 등)은, 액적 토출법에 의해 형성될 수 있다.

다음에, 전계발광층(188) 위에 도전막으로 형성된 제2 전극층(189)이 설치된다. 제2 전극층(189)로서는 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이것들의 합금 MgAg, MgIn, AlLi 및 CaF₂ 또는 CaN)을 사용하면 된다. 이렇게 해서, 제1 전극층(185), 전계발광층(188) 및 제2 전극층(189)으로 형성된 발광소자(190)가 형성된다.

도 7b에 나타난 본 실시예의 표시장치에 있어서, 발광소자(190)로부터 방출된 광은 제2 전극층(189)측으로부터 방사되어, 도 7b의 화살표 방향으로 출사된다.

제2 전극층(189)을 덮도록 패시베이션막을 만드는 것은 효과적이다. 패시베이션막은 질화 규소, 산화 규소, 산화 질화 규소(SiON), 질화 산화 규소(SiNO), 질화 알루미늄(AIN), 산화 질화 알루미늄(AION), 질소 함유량이 산소 함유량보다도 많은 질화 산화 알루미늄(AINO) 또는 산화 알루미늄, 또는 다이아몬드와 같은 탄소(DLC), 질화 탄소막(CN)을 포함하는 절연막의 단층 혹은 적층으로 형성될 수도 있다. 실록산 재료가 사용되어도 된다.

이 때, 피복성(coverage)이 좋은 패시베이션막을 형성하는 것이 바람직하고, 탄소막, 특히 DLC막을 사용하는 것이 효과적이다. 실온에서 100℃까지의 온도 범위에서 적층될 수 있는 DLC막은 내열성이 낮은 전계발광층(188) 상에 용이하게 형성될 수 있다. DLC 막은 플라즈마 CVD법(대표적으로는 RF 플라즈마 CVD법, 마이크로파 CVD법, 전자 사이클로트론 공명(ECR)CVD법, 열 필라멘트 CVD법 등), 연소법, 스퍼터링법, 이온빔 증착법, 레이저 증착법 등에 의해 형성될 수 있다. 반응 가스로서는 수소 가스와 탄화 수소계의 가스(예를 들면 CH₄, C₂H₂, C₆H₆ 등)를 사용하여, 글로우 방전에 의해 이온

화하며, 마이너스의 자기 바이어스 전압이 인가되는 캐소드에 이온을 가속 충돌시킨다. 또한 CN막은 반응 가스로서 C₂H₂ 가스와 N₂ 가스를 이용하여 형성하면 된다. DLC 막은 산소에 대한 블로킹(blocking) 효과가 높아, 전계발광층(188)의 산화를 억제하는 것이 가능하다. 그 때문에 이 후의 밀봉공정 전에 전계발광층(188)이 산화되는 문제를 방지할 수 있다.

본 실시예에서 제작한 표시장치의 화소영역의 평면도는 도 11에 도시되어 있다. 도 11에서, 화소는 박막 트랜지스터(51), 박막 트랜지스터(52), 발광소자(190), 게이트 배선층(53), 소스 및 드레인 배선층(54), 전원선(55)을 포함한다.

이와 같이 발광소자(190)가 형성된 기관(100)과 밀봉기관(195)을 씰링재(sealing material; 192)로 단단히 고정하여, 발광소자를 밀봉한다(도 7a 및 도 7b 참조). 본 발명의 표시장치에서는, 씰링재(192)와 절연층(186)을 접하지 않도록 따로 따로 형성한다. 이렇게 씰링재와, 절연층(186)을 서로 분리시켜서 형성하면, 절연층(186)에 흡습성이 높은 유기재료를 사용한 절연재료를 이용해도, 수분이 쉽게 침투되지 않아, 발광소자의 열화를 방지할 수 있고, 표시장치의 신뢰성을 향상시킬 수 있다. 씰링재(192)로서는 대표적으로 가시광선 경화성 수지, 자외선 경화성 수지 또는 열 경화성 수지를 사용하는 것이 바람직하다. 예를 들면 비스페놀(bisphenol)-A형 액상 수지, 브로민(bromine) 함유 에폭시 수지, 비스페놀-F형 수지, 비스페놀-AD형 수지, 페놀형 수지, 크레졸형 수지, 노보락(novorac)형 수지, 시클로알리파틱(cycloaliphatic) 에폭시 수지, Epi-Bis형(Epichlorohydrin-Bisphenol) 에폭시 수지, 글리시딜 에스테르 수지, 글리시딜 아민(glycidyl amine) 수지, 복소환식(heterocyclic) 에폭시 수지, 변성 에폭시 수지 등을 사용할 수 있다. 또, 씰링재로 둘러 싸여진 영역에는 충전재(193)를 충전해도 되며, 질소 분위기 하에서 밀봉 함으로써 질소 등을 봉입해도 된다. 본 실시예에서는 하면 방사형을 사용하기 때문에, 충전재(193)는 투광성을 가질 필요가 없다. 그러나, 충전재(193)를 투과해서 광을 추출하는 경우에는, 충전재가 투광성을 필요로 한다. 대표적으로는 가시광선 경화, 자외선 경화 또는 열 경화의 에폭시 수지를 사용하면 된다. 이상의 공정에 의해서, 본 실시예에서의 발광소자를 사용한 표시 기능을 갖는 표시장치가 완성된다. 또 충전재는 액상 상태의 충전재를 떨어뜨림으로써 표시장치 내에 충전된다.

디스펜서 방식을 채용한 적하 주입법을 도 26을 참조하여 설명한다. 도 26에 도시한 적하 주입법은 제어장치(40), 촬영수단(42), 헤드(43), 충전재(33), 마커(35), 마커(45), 배리어층(34), 씰링재(32), TFT 기관(30), 대향 기관(20)을 포함한다. 씰링재(32)에 의해 형성된 페루프에서의 헤드(43)로부터 충전재(33)을 1회 또는 여러번 떨어뜨린다. 충전재의 점성이 높은 경우에는, 연속적으로 충전재가 토출되어, 파괴없이 형성 영역에 부착된다. 한편, 충전재의 점성이 낮은 경우에는, 도 26에 도시한 바와 같이 간헐적으로 충전재가 토출되어 떨어진다. 이때, 씰링재(32)와 충전재(33)가 반응하는 것을 막기 위해서, 배리어층(34)을 설치해도 좋다. 계속해서, 진공 중에서 기관을 서로 부착한 후에, 자외선 경화를 행하여, 충전재를 충전시킨다. 이 충전재로서는 흡습성을 가지는 물질을 사용하면, 더 흡습 효과를 얻을 수 있어, 소자의 열화를 막을 수 있다.

EL 표시 패널 내에는 수분에 의한 열화를 막기 위해서, 건조제가 설치된다. 본 실시예에서는, 건조제가 화소부를 둘러싸도록 밀봉 기관에 형성된 오목부에 설치되어, 얇은 디자인을 방해하지 않는다. 또한, 게이트 배선층에 대응하는 영역에도 건조제를 형성하여, 습습 면적을 크게 함으로써, 수분을 효율적으로 흡수할 수 있다. 또한, 발광하지 않는 게이트 배선층 위에 건조제를 형성하기 때문에, 광 추출 효율을 저하시키는 일도 없다.

글래스 기관으로 발광소자를 밀봉하지만, 커버재로 기계적으로 발광소자를 밀봉하는 방법, 열 경화성 수지 또는 자외선 경화성 수지로 발광소자를 밀봉하는 방법, 또는 금속 산화물, 질화물 등의 배리어 능력이 높은 박막으로 발광소자를 밀봉하는 방법 중 어느 하나를 사용한다. 커버재로서는 글래스, 세라믹스, 플라스틱 혹은 금속을 사용할 수 있지만, 커버재 측에 광을 방사시키는 경우에는 투광성이 있는 재료를 사용한다. 또한, 커버재와 발광소자가 형성된 기관은 열 경화성 수지 또는 자외선 경화성 수지 등의 씰링재를 이용하여 부착되므로, 열 처리 또는 자외선 조사 처리를 사용하여 수지를 경화시켜서 밀폐 공간을 형성한다. 이 밀폐 공간 안에는 산화 발리움으로 대표되는 흡습재를 제공하는 것도 효율적이다. 이 흡습재는 씰링재와 접해서, 발광소자로부터의 광을 방해하지 않도록 분리벽 위나 주변부에 제공되어도 된다. 또한, 커버재와 발광소자가 형성된 기관 간의 공간을 열 경화성 수지 혹은 자외선 경화성 수지로 충전하는 것도 가능하다. 이 경우, 열 경화성 수지 혹은 자외선 경화성 수지 내에 산화 발리움으로 대표되는 흡습재를 첨가하는 것도 효율적이다.

도 12는, 본 실시예에서 제작된 도 1a 및 도 1b의 표시장치를 나타낸다. 소스 전극층 또는 드레인 전극층은 서로 직접 접해서 접촉되어 있지 않지만, 배선층을 통해서 접촉되어 있다. 도 12의 표시장치에 있어서, 발광소자를 구동하는 박막 트랜지스터의 소스 전극층 또는 드레인 전극층은 제1 전극층(395)과 전기적으로 접촉되어 있다. 또한 도 12에서, 배선층(199) 위에 접하도록 제1 전극층(395)을 일부 적층해도 된다. 다른 한편으로, 먼저 제1 전극층(395)을 형성하고, 제1 전극층(395) 위에 접하도록 배선층(199)을 형성해도 된다.

본 실시예에서, 외부 단자 접속 영역(202)에서는, 단자 전극층(178)에 이방성 도전층(196)을 통해서 FPC(194)을 접속하여, 외부와 전기적으로 접속한다. 또 표시장치의 평면도인 도 7a에 도시한 바와 같이, 본 실시예에서 제작되는 표시장치는 신호선 구동회로를 포함하는 주변 구동회로 영역(204), 주변 구동회로 영역(209) 이외에, 주사선 구동회로를 갖는 주변 구동회로 영역(207, 208)을 포함한다.

본 실시예에서는, 상기와 같은 회로가 형성되지만, 본 발명은 이것에 한정되지 않는다. 주변 구동회로로서는 IC칩을 전술한 COG 방식이나 TAB 방식에 의해 실장해도 된다. 또한 게이트 선 구동회로, 소스 선 구동회로는 한 개 혹은 복수 개로 설치되어 된다.

본 발명의 표시장치에 있어서, 화면 표시의 구동 방법은 특별하게 제한되지 않으며, 점 순차 구동 방법, 선 순차 구동 방법, 면 순차 구동 방법 등을 사용해도 된다. 대표적으로는, 선 순차 구동 방법이 사용될 수 있으며, 시분할 계조 구동 방법과 면적 계조 구동 방법을 적절하게 사용해도 된다. 또한, 표시장치의 소스 선에 입력되는 영상신호는 아날로그 신호 혹은 디지털 신호이어도 좋다. 적절하게는, 영상 신호에 따라 구동회로 등을 설계하면 된다.

또한, 디지털 비디오 신호를 사용하는 표시장치는 화소에 입력되는 정전압(CV) 혹은 정전류(CC) 비디오 신호를 채용한다. 정전압(CV) 비디오 신호는 발광소자에 인가되는 정전압(CVCV)과 발광소자에 인가되는 정전류(CVCC)를 포함한다. 또한 정전류(CC) 비디오 신호는 발광소자에 인가되는 정전압(CCCV)과 발광소자에 인가되는 정전류(CCCC)를 포함한다.

본 발명을 적용하면, 간단한 공정으로 신뢰성이 높은 표시장치를 제작할 수 있다. 따라서, 고선명, 고화질의 표시장치를 저비용으로 높은 수율로 제조할 수 있다.

[실시예 3]

본 발명의 실시예를 도 8 내지 도 10을 참조하여 설명한다. 본 실시예는 실시예 1에서 제작한 표시장치에서, 제2 층간 절연층을 형성하지 않은 예를 기술한다. 따라서, 동일 부분 및 같은 기능을 갖는 부분의 반복 설명은 생략한다.

실시예 1에서 나타난 바와 같이, 기판(100) 상에 p채널형 박막 트랜지스터(173), n채널형 박막 트랜지스터(174), n채널형 박막 트랜지스터(175), p채널형 박막 트랜지스터(176), 및 절연막(168)을 형성한다. 각 박막 트랜지스터에는 반도체층의 소스 영역 또는 드레인 영역에 접속되는 소스 전극층 또는 드레인 전극층이 형성된다. 화소 영역(206)에 설치된 p채널형 박막 트랜지스터(176)에서의 소스 전극층 또는 드레인 전극층(172b)에 접해서 제1 전극층(395)을 형성한다(도 8a 참조).

제1 전극층(395)은 화소전극으로서 기능하고, 실시예 2에 있어서의 제1 전극층(396)과 같은 재료와 공정으로 형성되어도 된다. 본 실시예에서도 실시예 1와 같이 제2 전극층을 통해서 빛을 추출하여, 반사 전극으로서 기능하는 Al(Mo)막을 제1 전극층(395)에 사용해서 패터닝한다.

제1 전극층(395)의 단부 및 박막 트랜지스터를 덮도록 절연층(186)을 형성한다(도 8b 참조). 본 실시예에서는 절연층(186)에 아크릴을 사용한다. 제1 전극층 위에 전계발광층(188)을 형성하고, 그 위에 제2 전극층(189)을 적층함으로써 발광소자(190)를 형성한다. 기판(100)은 쉘링재(192)에 의해 밀봉기판(195)에 부착되며, 표시 장치 내에는 충전재(193)가 충전된다(도 9 참조). 본 발명의 표시장치에 있어서, 쉘링재(192)와 절연층(186)을 서로 접하지 않도록 분리해서 형성한다. 이렇게 쉘링재와 절연층(186)을 분리해서 형성하면, 절연층(186)에 흡습성이 높은 유기 재료를 사용한 절연 재료를 이용해도, 수분이 발광소자로 침입하기 어려워져, 발광소자의 열화를 방지할 수 있으면서, 표시장치의 신뢰성을 향상시킬 수 있다.

또 도 10에 나타난 표시장치에서는 제1 전극층(395)을 p채널형 박막 트랜지스터(176)와 접속하도록 소스 또는 드레인 전극층(172b)을 형성하기 전에, 절연막(168) 위에 선택적으로 형성한다. 이 경우, 소스 또는 드레인 전극층(172b)은 제1 전극층 위에 소스 또는 드레인 전극층(172b)을 적층함으로써 제1 전극층(395)과 접속된다. 제1 전극층(395)이 소스 또는 드레인 전극층(172b)을 형성하기 전에 형성되면, 평탄 영역에 제1 전극층(395)을 형성할 수 있다. 따라서, CMP 등의 연마 처리도 충분히 행할 수 있으므로 피복성이 좋은 이점이 있다.

본 발명을 적용하면, 신뢰성이 높은 표시장치를 제작할 수 있다. 따라서, 고선명, 고화질의 표시장치를 제조할 수 있는 다.

[실시예 4]

본 발명의 실시예를 도 13a 내지 도 13c를 사용하여 설명한다. 본 실시예에서는, 실시예 1에 따라 제조된 표시장치에서 박막 트랜지스터의 게이트 전극층이 서로 다른 구조를 갖는 다른 예에 대해서 기술한다. 따라서, 동일부분 및 같은 기능을 갖는 부분의 반복 설명은 생략한다.

도 13a 내지 13c는, 표시장치의 제조공정을 나타내며, 도 4b에 나타난 실시예 1의 표시장치와 대응한다.

도 13a에 있어서, 주변 구동회로 영역(214)에는 박막 트랜지스터(273, 274)가 설치되며, 화소영역(216)에는 박막 트랜지스터(275, 276)가 설치된다. 도 13a에 있어서의 박막 트랜지스터의 게이트 전극층은 2층 도전막의 적층으로 형성되어, 상층의 게이트 전극층이 하층의 게이트 전극층보다 폭이 좁도록 패터닝된다. 하층의 게이트 전극층은 테이퍼 형상을 가지고 있지만, 상층의 게이트 전극층은 테이퍼 형상을 가지지 않는다. 이렇게, 게이트 전극층은 테이퍼 형상을 가지고 있어도 좋고, 혹은 측면 각도의 형상이 테이퍼 형상을 갖는 일없이 수직하게 된다.

도 13b에 있어서, 주변 구동회로 영역(214)에는 박막 트랜지스터(373, 374)가 설치되며, 화소영역(216)에는 박막 트랜지스터(375, 376)가 설치된다. 도 13b에 있어서의 박막 트랜지스터의 게이트 전극층도 2층 도전막의 적층으로 형성되며, 상층의 게이트 전극층과 하층의 게이트 전극층은 연속적인 테이퍼 형상을 갖는다.

도 13c에 있어서, 주변 구동회로 영역(214)에는 박막 트랜지스터(473, 474)가 설치되며, 화소영역(216)에는 박막 트랜지스터(475, 476)가 설치된다. 도 13c에 있어서의 박막 트랜지스터의 게이트 전극층은 단층 구조와 테이퍼 형상을 갖는다. 이렇게 게이트 전극층은 단층 구조를 가져도 된다.

도 13c에 있어서의 표시장치는, 게이트 절연층이 게이트 절연층(477)과 게이트 절연층(477) 위에 선택적으로 설치된 또 다른 게이트 절연층(478)을 포함한다. 이렇게, 게이트 절연층(478)은 게이트 전극층 아래에 선택적으로 설치되어도 되며, 그 단부는 테이퍼 형상을 가져도 된다. 도 13c에 있어서, 게이트 절연층(478)의 단부 혹은 그 위에 형성되는 게이트 전극층의 단부는 테이퍼 형상을 갖지만, 단차를 갖도록 불연적으로 형성되어도 된다.

이상과 같이, 게이트 전극층은 그 구성과 형상에 따라 여러가지 구조를 가질 수 있다. 따라서 그것에 의해 제작되는 표시장치도 여러가지 구조를 갖는다. 반도체층에서의 불순물 영역의 구조 및 농도 분포는 게이트 전극층을 마스크로서 사용하여 자기정합적으로 불순물 영역을 형성하는 경우에, 게이트 전극층의 구조에 따라 변한다. 상술한 것을 고려해서 설계를 행하면 원하는 기능을 갖는 박막 트랜지스터를 제작할 수 있다.

본 실시예는 실시예 1 내지 3의 어느 하나와 조합해서 구현될 수 있다.

[실시예 5]

이하, 주사선측 입력 단자부와 신호선측 입력 단자부에 보호 다이오드가 설치된 방식에 대해서 도 15를 참조하여 설명한다. 도 15에 있어서, 화소(2702)에는 TFT(501, 502), 용량소자(504) 및 발광소자(503)가 설치된다. 이들 TFT는 실시예 1과 같은 구성을 갖는다.

신호선측 입력 단자부에는, 보호 다이오드(561, 562)가 설치된다. 이 보호 다이오드는 TFT(501, 502)와 같은 공정으로 제작되어, 게이트와 드레인 및 소스 중 하나가 다이오드로서 동작하도록 접속된다. 도 14는 도 15의 평면도의 등가회로를 나타낸다.

보호 다이오드(561)는 게이트 전극층, 반도체층, 및 배선층을 포함한다. 보호 다이오드(562)도 같은 구조다. 이들 보호 다이오드에 접속된 공통 전위선(554, 555)은 게이트 전극층과 같은 층으로 형성된다. 따라서, 배선층과 전기적으로 접속하기 위해서는, 절연층에 콘택트 홀을 형성할 필요가 있다.

절연층 내의 콘택트홀은 마스크층을 형성하고 에칭을 적용함으로써 형성되는게 좋다. 이 경우, 대기압 방전의 에칭을 적용하면, 국소적인 방전도 가능해서, 기판의 전체 면에 마스크층을 형성할 필요가 없다.

신호 배선층은 소스 및 드레인 배선층(505)과 같은 층으로 형성된다. 신호 배선층과 소스 또는 드레인층은 서로 접속된다.

주사 신호선측의 입력 단자부도 같은 구성이다. 보호 다이오드(563)은 게이트 전극층, 반도체층 및 배선층을 포함한다. 보호 다이오드(564)도 같은 구조다. 이들 보호 다이오드와 접속된 공통 전위선(556, 557)은 소스 전극층 및 드레인 전극층과 같은 층으로 형성된다. 입력 단에 설치된 보호 다이오드를 동시에 형성할 수 있다. 또, 보호 다이오드는 이 실시예에 나타난 위치에 배치되도록 한정되지 않지만, 구동회로와 화소 사이에 배치되어도 된다.

[실시예 6]

본 발명에 따라 형성된 표시장치에 의해 텔레비전 장치를 완성할 수 있다. 도 27은 텔레비전 장치(본 실시예에서는 EL 텔레비전 장치)의 주요한 구성을 나타내는 블럭도이다. 표시 패널은 도 16a에서 나타난 것과 같은 구성으로서 화소부(701)만 형성되며 주사선측 구동회로(703)과 신호선측 구동회로(702)가 도 17b와 같은 TAB 방식에 의해 설치되는 경우; 혹은 주사선측 구동회로(703)과 신호선측 구동회로(702)가 도 17a와 같은 COG 방식에 의해 설치되는 경우; 도 16b에 나타난 바와 같이 TFT를 SAS로 형성하고, 화소부(701)와 주사선측 구동회로(703)를 기판 위에 집적화되도록 형성하며, 신호선측 구동회로(702)를 별도로 드라이브 IC로서 설치하는 경우; 또 도 16c와 같이 화소부(701)와 신호선측 구동회로(702)와 주사선측 구동회로(703)를 기판 상에 집적화되도록 형성하는 경우 등이 있지만, 어떤 형태로도 형성될 수 있다.

외부 회로의 다른 구성은 영상 신호의 입력측에, 튜너에 의해 수신된 신호 중 영상신호를 증폭하는 영상 신호 증폭회로(705)와, 거기에서 출력되는 신호를 빨강, 초록, 파란 각 색에 대응한 색 신호로 변환하는 영상 신호처리 회로(706)와, 그 영상신호를 드라이브 IC의 입력 수단으로 변환하기 위한 콘트롤 회로(707) 등을 포함한다. 콘트롤 회로(707)는 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동의 경우에는, 신호선측에 신호 분할 회로(708)를 설치하여, 입력 디지털 신호를 m개로 분할해서 제공한다.

튜너(704)로부터 수신된 신호 중, 음성신호는 음성 신호 증폭회로(709)에 전송되며, 그 출력은 음성 신호 처리 회로(710)를 통해서 스피커(713)에 공급된다. 제어회로(711)는 수신국(수신 주파수) 혹은 음량의 제어 정보를 입력부(712)로부터 수신하여, 튜너(704) 혹은 음성 신호 처리 회로(710)로 신호를 송출한다.

표시 모듈을 도 20a 및도 20b에 도시한 바와 같이 새시(chassis)에 내장함으로써, 텔레비전 장치를 완성할 수 있다. FPC가 도 1에 도시한 바와 같이 부착되는 표시 패널을 일반적으로는 EL 표시 모듈이라고 한다. 따라서, 도 1과 같은 EL 표시 모듈을 사용하면, EL 텔레비전 장치를 완성할 수 있다. 표시 모듈을 사용하여 주 화면(2003)이 형성되며, 부속 설비로서는 스피커부(2009), 조작 스위치 등이 구비된다. 이렇게, 본 발명에 따라 텔레비전 장치를 완성할 수 있다.

또한, 웨이브판이나 편광판을 이용하여 외부로부터 입사되는 빛의 반사광을 차단해도 된다. 윗면 방사형 표시장치의 경우에는, 분리벽이 되는 절연층을 착색해 블랙 매트릭스로서 사용해도 좋다. 이 분리벽은 액적 토출법 등에 의해서도 형성될 수 있으며, 안료계의 흑색 수지, 폴리이미드 등의 수지 재료에, 카본 블랙 등을 혼합시켜 사용해도 되며, 그거의 적층 구조에서도 좋다. 액적 토출법에 의존하여, 서로 다른 재료를 동일한 영역에 여러 번 토출하여, 분리벽을 형성해도 된다. 웨이브판으로서 1/4 혹은 1/2의 웨이브판을 사용하여, 빛을 제어할 수 있도록 설계하면 된다. 그 구성으로서는, TFT 소자 기판, 발광소자, 밀봉기판(밀봉재), 웨이브판(1/4 혹은 1/2 웨이브 판), 편광판이 순서대로 적층되어, 발광소자로부터 방사된 빛은 이것들을 통과해서 편광판측에서 외부로 방사된다. 이 웨이브판이나 편광판은 빛이 방사되는 쪽에 설치되어도 되고, 빛이 양면으로부터 방사되는 양면 방사형의 표시장치이면 양쪽에 설치되어도 된다. 또한, 편광판의 외측에 반사 방지막을 설치해도 된다. 이에 따라 보다 고선명 및 정밀한 화상을 표시할 수 있다.

도 20a에 나타난 바와 같이, 새시(2001)에 표시소자를 이용한 표시용 패널(2002)을 내장한다. 수신기(2005)에 의해 일반의 텔레비전 방송의 수신뿐만 아니라, 모뎀(2004)을 통해서 유선 또는 무선으로 통신 네트워크에 접속함으로써 일방향(송신자에게서 수신자로) 또는 쌍방향(송신자와 수신자 간, 또는 수신자 간)으로 정보통신을 행할 수 있다. 텔레비전 장치의 조작은 새시에 내장된 스위치 또는 리모트 컨트롤 조작기(2006)에 의해 행해지는 것이 가능해서, 주요한 몸체로부터 분리된다. 이 리모트 컨트롤 장치에도 출력 정보를 표시하는 표시부(2007)가 설치되어도 된다.

또한, 텔레비전 장치에도 주 화면(2003) 이외에 서브 화면(2008)을 제2 표시용 패널로서 형성함으로써 채널, 음량 등을 표시하는 구성이 부가적으로 설치되어도 된다. 이 구성에 있어서, 주 화면(2003)을 시야각이 뛰어난 EL 표시용 패널로 형성하고, 서브 화면을 저소비전력으로 서브 화면을 표시할 수 있는 액정 표시용 패널로 형성해도 된다. 또한 저소비전력화를 우선하기 위해서는, 주 화면(2003)을 액정 표시용 패널로 형성하고, 서브 화면을 EL 표시용 패널로 형성하며, 서브 화면을 점멸시킬 수 있는 구성으로 해도 좋다. 본 발명에 따르면, 많은 TFT나 전자부품을 이용해도 이러한 대형 기판을 이용하여 신뢰성이 높은 표시장치를 제작할 수 있다.

도 20b는 예를 들면 20~80인치의 대형 표시부를 갖는 텔레비전 장치를 나타내며, 새시(2010), 조작부인 키보드부(2012), 표시부(2011), 스피커부(2013) 등을 포함한다. 본 발명은 표시부(2011)의 제작에 적용된다. 도 20b는 탄력성이 있는 물질을 표시부에 사용하기 때문에, 표시부가 만곡된 텔레비전 장치를 나타낸다. 이렇게 표시부의 형상을 자유롭게 설계할 수 있으므로, 원하는 형상의 텔레비전 장치를 제작할 수 있다.

본 발명에 따르면, 간단한 공정으로 표시장치를 형성하므로, 제작비용을 절감할 수 있다. 따라서 본 발명을 적용하면 큰 화면 표시부를 갖는 텔레비전 장치라도 저비용으로 형성될 수 있다. 따라서 고성능, 고신뢰성의 텔레비전 장치를 높은 수율로 제작할 수 있다.

물론, 본 발명은 텔레비전 장치에 한정되지 않으며, PC의 모니터를 비롯해 철도역이나 공항 등에서의 정보 표시판이나, 거리의 광고 표시판 등의 큰 면적을 갖는 표시 매체에도 다양한 용도로 적용할 수 있다.

[실시예 7]

본 실시예를 도 21a 및 도 12b를 사용하여 설명한다. 본 실시예는 실시예 1 내지 9에 따라 제작된 표시장치를 갖는 패널을 사용한 모듈의 예를 기술한다.

도 21a에 나타난 정보 단말 모듈은 인쇄 회로 기판(946)에 컨트롤러(901), 중앙처리장치(CPU;902), 메모리(911), 전원회로(903), 음성처리회로(929) 및 송수신회로(904) 및 저항, 버퍼, 용량소자 등의 다른 소자를 설치한다. 또한, 패널(900)이 플렉시블 인쇄 회로(FPC;908)를 통해서 인쇄 회로(946)에 접속된다.

패널(900)은 각 화소가 발광소자를 갖는 화소부(905)와, 화소부(905)에서 화소를 선택하는 제1 주사선 구동회로(906a) 및 제2 주사선 구동회로(906b)와, 선택된 화소에 비디오 신호를 공급하는 신호선 구동회로(907)를 포함한다.

인쇄 회로 기판(946)에 설치된 인터페이스(I/F; 909)를 통해서 각종 신호가 입출력된다. 또한 안테나와 신호를 송수신하기 위한 안테나용 포토(910)가 인쇄 회로 기판(946)에 설치된다.

또, 패널(900)에 인쇄 회로 기판(946)이 FPC(908)를 통해서 접속되지만, 본 발명은 이 구성에 한정되지 않는다. COG (Chip on Glass)방식을 사용하여, 컨트롤러(901), 음성처리회로(929), 메모리(911), CPU(902) 또는 전원회로(903)를 패널(900)에 직접 설치해도 된다. 더 나아가서, 인쇄 회로 기판(946)에는, 용량소자, 버퍼 등의 각종 소자를 설치하여, 전원 전압이나 신호에 노이즈가 발생하는 것을 방지하고, 신호 상승 시간이 느려지게 된다.

도 21b는 도 21a에 나타난 모듈의 블럭도이다. 이 모듈(999)은 메모리(911)로서 VRAM(932), DRAM(925), 플래쉬 메모리(926) 등을 포함한다. VRAM(932)는 패널에 표시되는 화상의 데이터를 가지며, DRAM(925)은 화상 데이터 또는 음성 데이터를 가지며, 플래시 메모리는 각종 프로그램을 갖는다.

전원회로(903)는 패널(900), 컨트롤러(901), CPU(902), 음성처리회로(929), 메모리(911), 송수신회로(931)에 인가되는 전원전압을 생성한다. 또 패널의 스펙에 따라 전원회로(903)에 전류원을 구비하는 경우도 있다.

CPU(902)는 제어 신호 생성회로(920), 디코더(921), 레지스터(922), 연산 회로(923), RAM(924), CPU용의 인터페이스(935) 등을 포함한다. 인터페이스(935)를 통해서 CPU(902)에 입력되는 각종 신호는 일단 레지스터(922)에 보유된 후에, 연산 회로(923), 디코더(921) 등으로 입력된다. 연산 회로(923)에서는 입력된 신호에 근거해 연산을 행하고, 각종 명령의 장소를 지정한다. 한편 디코더(921)에 입력된 신호는 디코드되어, 제어 신호 생성회로(920)에 입력된다. 제어 신호 생성회로(920)는 입력된 신호에 근거하여 각종 명령을 포함하는 신호를 생성하며, 연산 회로(923)에 의해 지정된 장소, 구체적으로는 메모리(911), 송수신회로(931), 음성처리회로(929), 컨트롤러(901) 등에 전송한다.

메모리(911), 송수신회로(931), 음성처리회로(929), 컨트롤러(901)는 각각 수신된 명령을 따라 동작한다. 이하 그 동작에 대해서 간단하게 설명한다.

입력 수단(930)으로부터 입력된 신호는 인터페이스(909)를 통해서 인쇄 회로 기판(946)에 설치된 CPU(902)로 전송된다. 제어신호 생성회로(920)는 포인팅 장치, 키보드 등의 입력 수단(930)으로부터 전송된 신호에 근거하여 VRAM(932)에 저장된 화상 데이터를 소정의 포맷으로 변환하고, 컨트롤러(901)에 그 데이터를 전송한다.

컨트롤러(901)는 패널의 스펙에 따라 CPU(902)로부터 전송된 화상 데이터를 포함하는 신호를 처리한 후에, 패널(900)에 그 신호를 공급한다. 또 컨트롤러(901)는 전원회로(903)로부터 입력된 전원전압 및 CPU(902)로부터 입력된 각종 신호를 바탕으로, Hsync 신호, Vsync 신호, 클럭신호 CLK, 교류전압(AC Cont), 스위칭 신호 L/R를 생성하고, 패널(900)에 그 신호들을 공급한다.

송수신회로(904)는 안테나(933)에 의해 전파로서 송수신되는 신호를 처리한다. 구체적으로 송수신회로(904)는 아이솔레이터, 밴드 패스 필터, VCO(Voltage Controlled Oscillator), LPF(Low Pass Filter), 커플러, 바룬(balun) 등의 고주파 회로를 포함한다. 송수신회로(904)에 의해 송수신되는 신호 중 음성 정보를 포함하는 신호가 CPU(902)의 명령에 따라 음성 처리회로(929)로 전송된다.

CPU(902)의 명령에 따라 전송된 음성 데이터를 포함하는 신호는 음성처리회로(929)에 의해 음성신호로 복조되어, 스피커(928)로 전송된다. 또 마이크로폰(927)으로부터 전송된 음성신호는 음성처리회로(929)에 의해 변조되어, CPU(902)의 명령에 따라 송수신회로(904)로 전송된다.

컨트롤러(901), CPU(902), 전원회로(903), 음성처리회로(929), 메모리(911)을, 본 실시예의 패키지로써 설치할 수 있다. 본 실시예는 아이솔레이터, 밴드 패스 필터, VCO(Voltage Controlled Oscillator), LPF(Low Pass Filter), 커플러, 바룬 등의 고주파 회로 이외에도 어떤 회로에도 적용할 수 있다.

[실시예 8]

본 실시예를 도 21a 내지 도 22를 참조하여 설명한다. 도 22는 실시예 8에 따라 제작된 모듈을 포함하는 무선 소형 전화기(휴대전화)의 한 예를 나타낸다. 탈착 가능한 패널(900)은 하우징(1001)에 내장되어 모듈(999)과 쉽게 일체화될 수 있다. 하우징(1001)의 형상 및 사이즈는 전자기기에 따라 적절하게 변경될 수 있다.

패널(900)이 고정된 하우징(1001)은 인쇄 회로 기판(946)에 탑재되어 모듈로서 완성된다. 인쇄 회로 기판(946)은 컨트롤러, CPU, 메모리, 전원회로, 및 저항, 버퍼, 용량소자 등의 다른 소자들을 내장한다. 또한, 마이크로폰(994) 및 스피커(995)를 포함하는 음성처리회로, 송수신회로 등의 신호처리회로(993)를 구비한다. 패널(900)은 FPC(908)을 통해서 인쇄 회로 기판(946)에 접속된다.

이러한 모듈(999), 입력 수단(998), 및 배터리(997)는 하우징(996) 내에 수납된다. 패널(900)의 화소부는 하우징(996) 내에 형성된 통로창로부터 보여지도록 배치된다.

도 22에 나타난 하우징(996)은 전화기의 외관 형상의 일례를 나타낸다. 그러나, 본 실시예에 따른 전자 기기는 그 기능이 나 용도에 따라 다양한 방식으로 변경할 수 있다. 이하에 나타내는 실시예에서, 그 방식의 일례를 설명한다.

[실시예 9]

본 발명을 적용하고, 여러가지 표시장치를 제작 할 수 있다. 즉 그것들 표시장치를 표시부에 짜 넣은 여러가지 전자기기에 본 발명을 적용할 수 있다.

이와 같은 전자기기로서는 비디오 카메라 또는 디지털 카메라 등의 카메라, 프로젝터, 헤드 마운트 디스플레이(고글형 디스플레이), 카 네비게이션, 카 스테레오, PC, 게임 기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화 또는 전자서적 등), 기록 매체를 구비한 화상 재생장치(구체적으로는 Digital Versatile Disc(DVD)등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치)등을 포함한다. 그것들의 예를 도 19a 내지 도 19d에 나타낸다.

도 19a는 컴퓨터를 나타내며, 본체(2101), 새시(2102), 표시부(2103), 키보드(2104), 외부 접속 포트(2105), 포인팅 마우스(2106) 등을 포함한다. 본 발명에 따르면, 컴퓨터가 소형화되고 화소가 미세화되어도, 신뢰성이 높은 고화질의 화상을 표시할 수 있는 컴퓨터를 완성할 수 있다.

도 19b는 기록 매체를 구비한 화상 재생장치(구체적으로는 DVD 재생장치)를 나타내며, 본체(2201), 새시(2202), 표시부 A(2203), 표시부 B(2204), 기록 매체(DVD 등)판독부(2205), 조작 키(2206), 스피커부(2207) 등을 포함한다. 표시부 A(2203)는 주로 화상정보를 표시하고, 표시부 B(2204)는 주로 문자정보를 표시한다. 본 발명에 따르면, 화상 재생 장치가 소형화되고, 화소가 미세화되어도 신뢰성이 높은 고화질의 화상을 표시할 수 있는 화상 재생장치를 완성할 수 있다.

도 19c는 휴대전화를 나타내며, 본체(2301), 음성 출력부(2302), 음성 입력부(2303), 표시부(2304), 조작 스위치(2305), 안테나(2306) 등을 포함한다. 본 발명에 따르면, 휴대전화가 소형화되고 화소가 미세화되어도, 신뢰성이 높은 고화질의 화상을 표시할 수 있는 휴대전화를 완성할 수 있다.

도 19d는 비디오 카메라를 나타내며, 본체(2401), 표시부(2402), 새시(2403), 외부 접속 포트(2404), 리모트 컨트롤 수신부(2405), 수상부(2406), 배터리(2407), 음성 입력부(2408), 접안경(2409), 조작 키(2410) 등을 포함한다. 본 발명에 따르면, 비디오 카메라가 소형화되고 화소가 미세화되어도, 신뢰성이 높은 고화질의 화상을 표시할 수 있는 비디오 카메라를 완성할 수 있다. 본 실시예에는 상기한 실시예와 자유롭게 조합할 수 있다.

[예 1]

본 실시예에서는 전극층으로서 사용하는 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막의 특성을 측정된 결과를 나타낸다.

알루미늄의 타깃 위에 칩 모양의 몰리브덴, 티탄, 또는 탄소를 준비해서 스퍼터링하여 몰리브덴을 포함하는 알루미늄 합금을 갖는 막(Al(Mo)), 티탄을 포함하는 알루미늄 합금을 갖는 막(Al(Ti)), 탄소를 포함하는 알루미늄 합금을 갖는 막(Al(C))을 증착한다. 증착 조건은 전력 1.5~2kW, 압력 0.4Pa, 아르곤 가스 유량 50sccm이다. 시료는 Al(Mo)막 중의 몰리브덴의 조성비, Al(Ti)막 중의 티탄의 조성비, Al(C)막 중의 탄소의 조성비를 각각 변화시키고, 각 시료의 특성을 조사한다.

우선, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막의 반사율을 측정한다. 시료로서는 몰리브덴의 조성비가 18.3 atomic%, 22.2 atomic%, 30.0 atomic%, 45.3 atomic%, 및 56.6 atomic%인 5종의 Al(Mo)막; 티탄의 조성비가 8.7 atomic%, 10.3 atomic%, 14.9 atomic%, 30.6 atomic%, 38.9 atomic%인 5종의 Al(Ti)막; 4종의 Al(C)막 중 2종이 1 atomic% 미만의 탄소의 조성비를 갖고, 다른 종이 1.7 atomic% 및 3.5 atomic%의 탄소의 조성비를 갖는 4종의 Al(C)막; 순 알루미늄막(도 23a 내지 도 23에서는 pure-Al이라고 칭함)을 사용한다. 또, 시료는 증착 후에 300℃에서 1시간 동안 가열된다. 이 가열 공정은 실제의 공정을 상정하여 반사 전극을 형성한 후 주로 행해진다. 도 23a는 Al(Mo)의 시료의 각 파장에 대한 반사율을 나타내고, 도 23b는 Al(Ti)의 시료의 각 파장에 대한 반사율을 나타내며, 도 23c는 Al(C)의 시료의 각 파장에 대한 반사율을 나타낸다.

도 23a에 있어서, 원형은 순 알루미늄 막을 나타내며, 삼각형은 18.3 atomic%의 몰리브덴을 포함하는 Al(Mo)의 측정치를 나타내고, 사각형은 22.2 atomic%의 몰리브덴을 포함하는 Al(Mo)의 측정치를 나타내며, 마름모꼴은 30.0 atomic%의 몰리브덴을 포함하는 Al(Mo)의 측정치를 나타내고, X자형은 45.3 atomic%의 몰리브덴을 포함하는 Al(Mo)의 측정치를 나타내며, 십자형은 56.6 atomic%의 몰리브덴을 포함하는 Al(Mo)의 측정치를 나타낸다. 마찬가지로, 도 23b에 있어서, 원형은 순 알루미늄 막을 나타내고, 삼각형은 8.7 atomic%의 티탄을 포함하는 Al(Ti)의 측정치를 나타내며, 사각형은 10.3 atomic%의 티탄을 포함하는 Al(Ti)의 측정치를 나타내고, 마름모꼴은 14.9 atomic%의 티탄을 포함하는 Al(Ti)의 측정치를 나타내며, X자형은 30.6 atomic%의 티탄을 포함하는 Al(Ti)의 측정치를 나타내고, 십자형은 38.9 atomic%의 티탄을 포함하는 Al(Ti)의 측정치를 나타낸다. 도 23c에 있어서, 원형은 순 알루미늄 막을 나타내고, 삼각형과 사각형은 1 atomic%미만의 탄소를 포함하는 Al(C)의 측정치를 나타내며, 마름모꼴은 1.7 atomic%의 탄소를 포함하는 Al(C)의 측정치를 나타내고, X자형은 3.5 atomic%의 탄소를 포함하는 Al(C)의 측정치를 나타낸다. 삼각형으로 표시된 막은 탄소의 조성비가 1 atomic% 미만이어도 사각형으로 표시된 막보다 탄소를 적게 포함한다. 또한 반사율을 측정하는 시료는 200nm의 두께를 갖는다.

도 23a, 23b, 23c에 도시한 바와 같이, 순 알루미늄 막의 반사율은 대략 450nm보다 작은 파장에서 감소하지만, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막의 대부분에 있어서는 가시광선 영역 부근의 파장에서의 반사율이 거의 일정하며 반사율의 저하도 없다. 따라서, 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막은 반사율의 파장에 의존하지 않기 때문에 가시광선 영역에서 일정한 반사율을 유지할 수 있어, 반사 전극으로서 효율적으로 발광소자로부터 방사되는 광을 반사할 수 있다. 또한 그 막은 광을 흡수하기 어렵기 때문에, 열이 그 내부에서 모여지기 어렵다. 따라서, 열에 의한 발광소자의 열화도 막을 수 있어, 표시장치의 신뢰성을 향상시킬 수 있다. 따라서, 그러한 표시장치는 옥외 등의 강한 빛에서 사용되어도 성능의 저하없이 충분하게 활용될 수 있다. 또한 막 중의 몰리브덴, 티탄, 탄소의 조성비를 증가시키면, 반사율이 저하된다. 그 막을 반사 전극으로서 사용하는 경우에는 광 반사 효율을 고려하여, Al(Mo)막에서는 몰리브덴의 조성비가 22.2 atomic%이하인 것이 바람직하고, Al(Ti)막에서는 티탄의 조성비가 14.9 atomic%이하인 것이 바람직하며, Al(C)막에서는 1.7 atomic%이하인 것이 바람직하다.

다음에 각 시료의 막 표면의 요철의 최대 고저 차(Peak-Valley value(P-V 값))을 측정한다. 그 측정은 원자력 현미경(AFM:Atomic Force Microscope)을 사용하여 행해지고, 측정범위는 $2\mu\text{m}\times 2\mu\text{m}$ 이다. 도 24a는 Al(Mo)막 중의 몰리브덴 조성비의 P-V 값의 변화를 나타내며, 도 24b는 Al(Ti)막 중의 티탄 조성비에 따른 P-V 값의 변화를 나타낸다. 또, 도 24b에 있어서, 원형은 티탄과 탄소를 포함하는 알루미늄 합금을 갖는 막을 나타내며, 그 막 중의 티탄 조성비는 2.7 atomic%이고, 그 막중의 탄소 조성비는 1 atomic%이하이다. 또한 도 24a 및 도 24b는 Al(Mo)막과 Al(Ti)막의 표면을 측정된 결과를 나타낸다. 각각의 Al(Mo)막과 Al(Ti)막 위에 산화 규소를 포함하는 산화 인듐 주석막(ITSO막)을 형성한다. ITSO막의 각 표면의 상층의 P-V 값을 측정된 결과는 도 25a 및 도 25b에 도시되어 있다. 또 P-V 값을 측정된 각 시료의 두께는 35nm이다.

도 24a에서, 각 시료의 측정된 P-V 값은 순 알루미늄 막이 17.51nm, 18.3 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 4.421nm, 22.2 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 3.711nm, 30.0 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 1.738nm, 45.3 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 0.9358nm, 56.6 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 0.8159nm이다. 도 24b에서, 각 시료의 측정된 P-V 값은 순 알루미늄 막이 17.51nm, 8.7 atomic%의 티탄을 포함하는 Al(Ti)막이 8.239nm, 10.3 atomic%의 티탄을 포함하는 Al(Ti)막이 5.887nm, 14.9 atomic%의 티탄을 포함하는 Al(Ti)막이 5.75nm, 30.6 atomic%의 티탄을 포함하는 Al(Ti)막이 1.981nm, 38.9 atomic%의 티탄을 포함하는 Al(Ti)막이 2.493nm, 티탄과 탄소를 포함하는 알루미늄 합금을 갖는 막이 1.46nm이다.

도 25a에서, ITSO막의 각 표면의 상층의 측정된 P-V 값은 18.3 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 1.143nm, 22.2 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 2.32nm, 30.0 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 2.144nm, 45.3 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 2.109nm, 56.6 atomic%의 몰리브덴을 포함하는 Al(Mo)막이 1.603nm이다. 도 25b에서, ITSO막의 각 표면의 상층의 측정된 P-V 값은 8.7 atomic%의 티탄을 포함하는 Al(Ti)막이 8.137nm, 10.3 atomic%의 티탄을 포함하는 Al(Ti)막이 6.407nm, 14.9 atomic%의 티탄을 포함하는 Al(Ti)이 6.005nm, 30.6 atomic%의 티탄을 포함하는 Al(Ti)막이 5.178nm, 38.9 atomic%의 티탄을 포함하는 Al(Ti)막이 2.635nm이다.

순 알루미늄 막의 표면의 P-V 값은 Al(Mo)막, Al(Ti)막, 티탄과 탄소를 포함하는 알루미늄 합금을 갖는 막의 표면의 P-V 값보다 2배 이상 크고, 순 알루미늄 막의 표면은 평탄성이 나쁘다. 한편, Al(Mo)막, Al(Ti)막, 티탄과 탄소를 포함하는 알루미늄 합금을 갖는 막은 그것의 P-V 값이 낮기 때문에 그 막 표면의 평탄성이 좋다. 또한 몰리브덴, 티탄, 및 탄소 중 적어도 하나 또는 그 이상을 포함하는 알루미늄 합금을 갖는 막 중에 포함되는 몰리브덴 또는 티탄의 조성비가 커짐에 따라, P-V 값이 낮아지는 경향이 있다. 또한 티탄과 탄소를 포함하는 알루미늄 합금을 갖는 막의 P-V 값은 티탄의 조성비가 2.7 atomic%이어도 1.46nm정도로 낮다. 따라서, 탄소를 첨가하면 표면의 평탄성이 향상되는 효과가 있는 것을 확인할 수 있다.

또한 순 알루미늄 막과 Al(C)막(막 중의 탄소의 조성비가 1 atomic%미만)을 형성한다. 300°C에서 소성된 막의 표면 상태를 조사하기 위해서, X-선 회절계(XRD:X-ray diffractometer)에 의해 결정성이 측정된다. (111)의 회절 피크의 피크 강도가 순 알루미늄 막에서는 4341 CPS인 것에 대해, Al(C)막에서는 684 CPS와 순 알루미늄 막의 약 7분의 1이다. 따라서, 순 알루미늄 막에서는 결정화가 촉진되기 때문에 결정성이 높다. 반면에, Al(C)막에 있어서는 결정화가 억제되기 때문에, 결정성이 낮다. 그 결과, 낮은 결정성에 의해서 Al(C)막의 표면 평탄성이 좋다고 생각된다.

발명의 효과

이상의 측정 결과로부터, 알루미늄에 몰리브덴, 티탄, 및 탄소로부터 선택된 하나 또는 그 이상을 첨가함으로써 높은 반사율을 얻을 수 있으며 막 표면의 평탄성을 향상시킬 수 있다는 것을 확인할 수 있다. 이러한 막을 표시장치의 반사 전극에 사용하면, 발광소자로부터의 광의 효율도 양호해서, 전극표면의 거칠함에 의한 불량도 감소시키는 신뢰성 높은 표시장치를 제작할 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에 형성되며, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 구비하며,
상기 발광소자는 제1 전극 및 제2 전극과, 상기 제1 전극과 상기 제2 전극 사이에 개재된 전계발광층을 포함하고,
상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 것을 특징으로 하는 표시 장치.

청구항 2.

기관 상에 형성되며, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 구비하며,

상기 발광소자는 제1 전극, 상기 제1 전극 위에 형성된 투광성의 도전막, 상기 투광성의 도전막 위에 형성된 전계발광층, 및 상기 전계발광층 위에 형성된 제2 전극을 포함하고,

상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 것을 특징으로 하는 표시 장치.

청구항 3.

기관 상에 형성되며, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 위에 형성된 절연층;

상기 절연층 위에 형성된 층간막; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 구비하며,

상기 발광소자는 제1 전극 및 제2 전극과, 상기 제1 전극과 상기 제2 전극 사이에 개재된 전계발광층을 포함하고,

상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 것을 특징으로 하는 표시 장치.

청구항 4.

기관 상에 형성되며, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 위에 형성된 절연층;

상기 절연층 위에 형성된 층간막; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 구비하며,

상기 발광소자는 제1 전극, 상기 제1 전극 위에 형성된 투광성의 도전막, 상기 투광성의 도전막 위에 형성된 전계발광층, 및 상기 전계발광층 위에 형성된 제2 전극을 포함하고,

상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하며,

상기 층간막은 상기 제1 전극 아래에만 형성되는 것을 특징으로 하는 표시 장치.

청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 전극에서의 몰리브덴 또는 티탄의 조성비가 7.0 atomic%보다 많은 것을 특징으로 하는 표시 장치.

청구항 6.

제 5 항에 있어서,

상기 제1 전극에서의 몰리브덴 또는 티탄의 조성비가 20 atomic%보다 적은 것을 특징으로 하는 표시 장치.

청구항 7.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 전극에서의 탄소의 조성비가 0.1~10 atomic%인 것을 특징으로 하는 표시 장치.

청구항 8.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 전극은 반사성을 가지며, 상기 제2 전극은 투광성을 갖는 것을 특징으로 하는 표시 장치.

청구항 9.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 전계발광층은 상기 제1 전극에 접해서 유기 화합물과 무기 화합물을 포함하는 층을 갖는 것을 특징으로 하는 표시 장치.

청구항 10.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 전극은 합금인 것을 특징으로 하는 표시 장치.

청구항 11.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 표시장치는 컴퓨터, 화상 재생장치, 휴대전화, 비디오 카메라 및 텔레비전 중 적어도 하나에 내장되는 것을 특징으로 하는 표시 장치.

청구항 12.

기관 상에, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터를 형성하는 단계; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 형성하는 단계를 구비하며;

상기 발광소자는 제1 전극 및 제2 전극과, 상기 제1 전극과 상기 제2 전극 사이에 개재된 전계발광층을 포함하고,

상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 13.

기관 상에, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터를 형성하는 단계; 및

상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 전기적으로 접속되는 발광소자를 형성하는 단계를 구비하며,

상기 발광소자는 제1 전극, 상기 제1 전극 위에 형성된 투광성의 도전막, 상기 투광성의 도전막 위에 형성된 전계발광층, 및 상기 전계발광층 위에 형성된 제2 전극을 포함하고,

상기 제1 전극은 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 14.

기관 상에, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 위에 절연층을 형성하는 단계;

상기 절연층 위에 층간막을 형성하는 단계; 및

상기 절연층 및 층간막에 상기 소스 전극과 상기 드레인 전극 중 적어도 하나에 도달하는 개구부를 형성하는 단계;

상기 개구부 및 상기 층간막 위에, 상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 접하도록 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 도전막을 형성하는 단계;

상기 도전막 및 상기 층간막을 패터닝하여 제1 전극을 형성하는 단계;

상기 제1 전극층 위에 전계발광층을 형성하는 단계; 및

상기 전계발광층 위에 제2 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 15.

기관 상에, 반도체층, 게이트 절연층, 게이트 전극, 및 소스 전극과 드레인 전극 중 적어도 하나를 갖는 박막 트랜지스터를 형성하는 단계;

상기 박막트랜지스터 위에 절연층을 형성하는 단계;

상기 절연층 위에 층간막을 형성하는 단계;

상기 절연층 및 상기 층간막에 상기 소스 전극과 상기 드레인 전극 중 적어도 하나에 도달하는 개구부를 형성하는 단계;

상기 개구부 및 상기 층간막 위에, 상기 소스 전극과 상기 드레인 전극 중 적어도 하나와 접하도록 알루미늄과, 몰리브덴, 티탄, 및 탄소 중 적어도 하나를 포함하는 제1 도전막을 형성하는 단계;

상기 제1 도전막 위에 제2 도전막을 형성하는 단계;

상기 제1 도전막, 상기 제2 도전막, 및 상기 층간막을 패터닝하여 제1 전극을 형성하는 단계;

상기 제1 전극 위에 전계발광층을 형성하는 단계; 및

상기 전계발광층 위에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 16.

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제1 전극은 몰리브덴 또는 티탄의 조성비가 7.0 atomic%보다 많도록 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 제1 전극은 몰리브덴 또는 티탄의 조성비가 20 atomic%보다 적도록 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 18.

상기 제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제1 전극은 탄소의 조성비가 0.1~10 atomic%을 갖도록 형성되는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 19.

상기 제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제1 전극은 반사성을 가지며, 상기 제2 전극은 투광성을 갖는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 20.

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 전계발광층은 상기 제1 전극에 접해서 유기 화합물과 무기 화합물을 포함하는 층을 갖는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 21.

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제1 전극은 합금인 것을 특징으로 하는 표시 장치의 제조방법.

청구항 22.

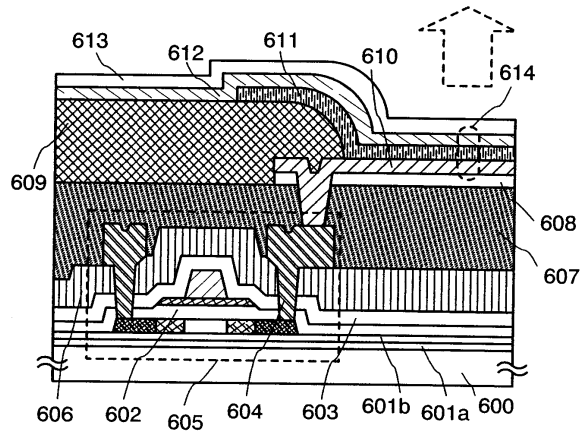
제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 표시장치는 컴퓨터, 화상 재생장치, 휴대전화, 비디오 카메라 및 텔레비전 중 적어도 하나에 내장되는 것을 특징으로 하는 표시 장치의 제조방법.

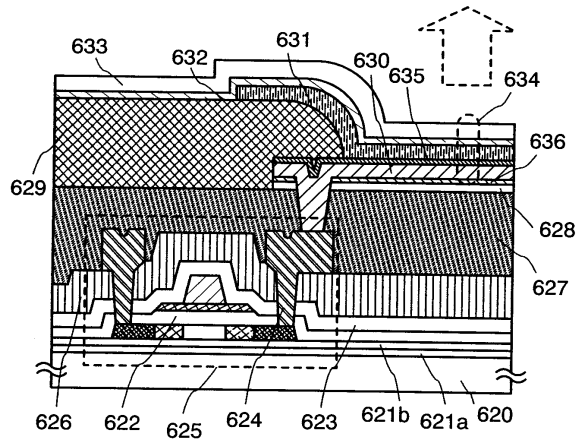
도면

도면1

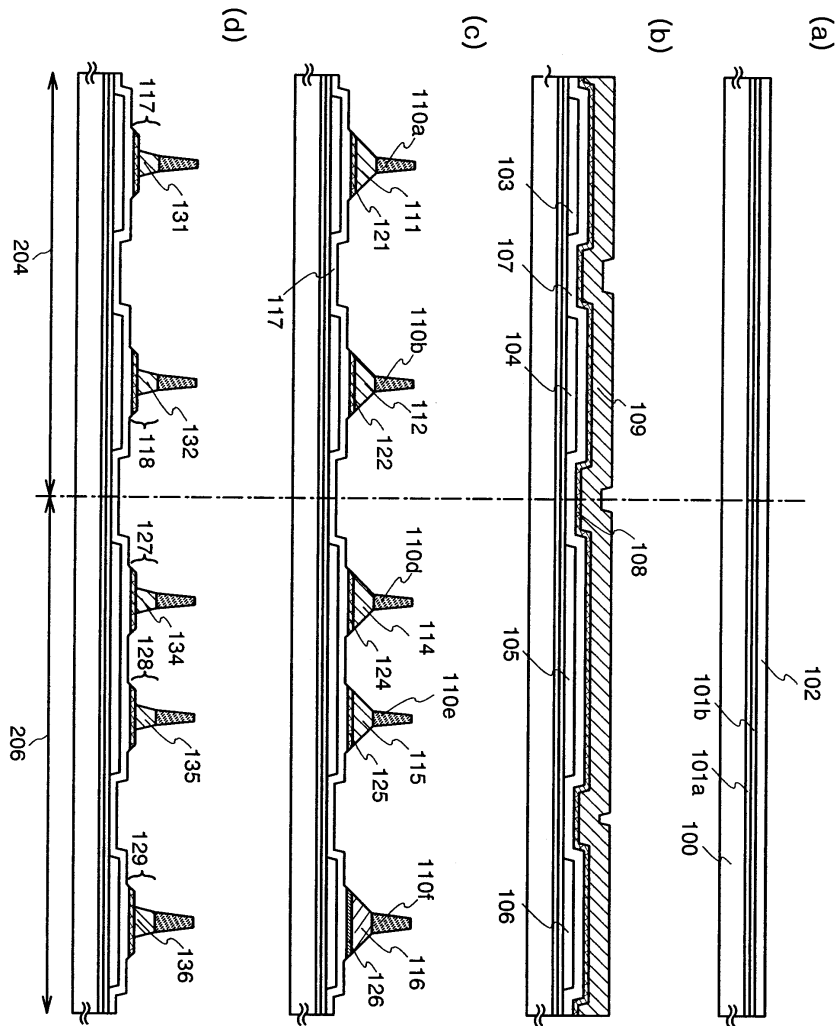
(a)



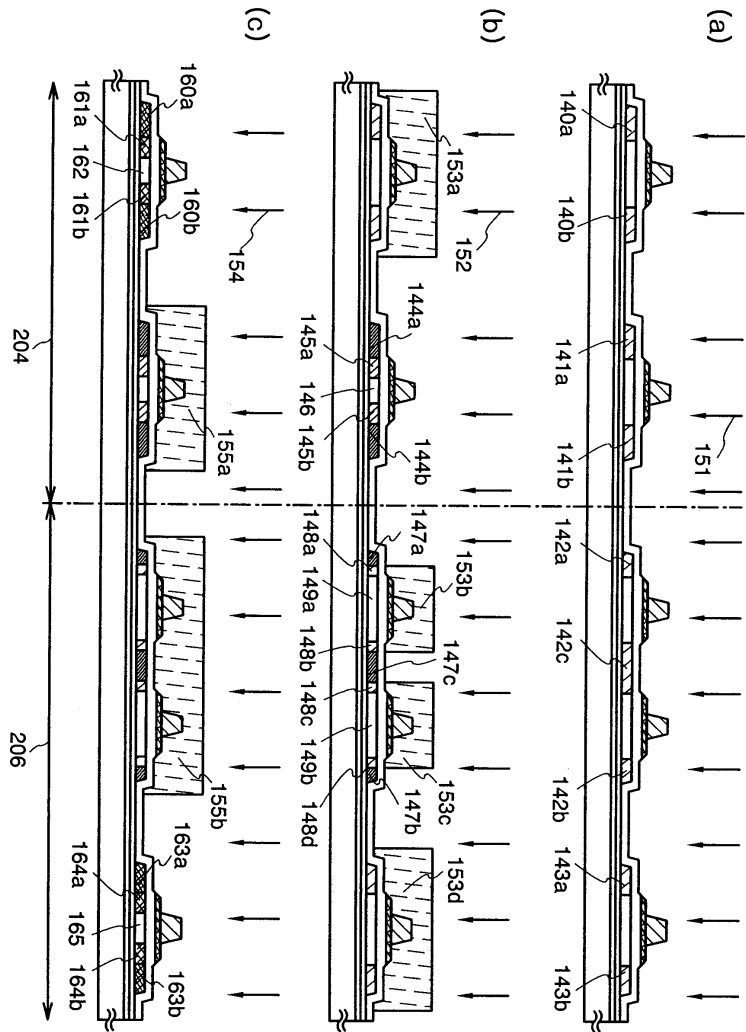
(b)



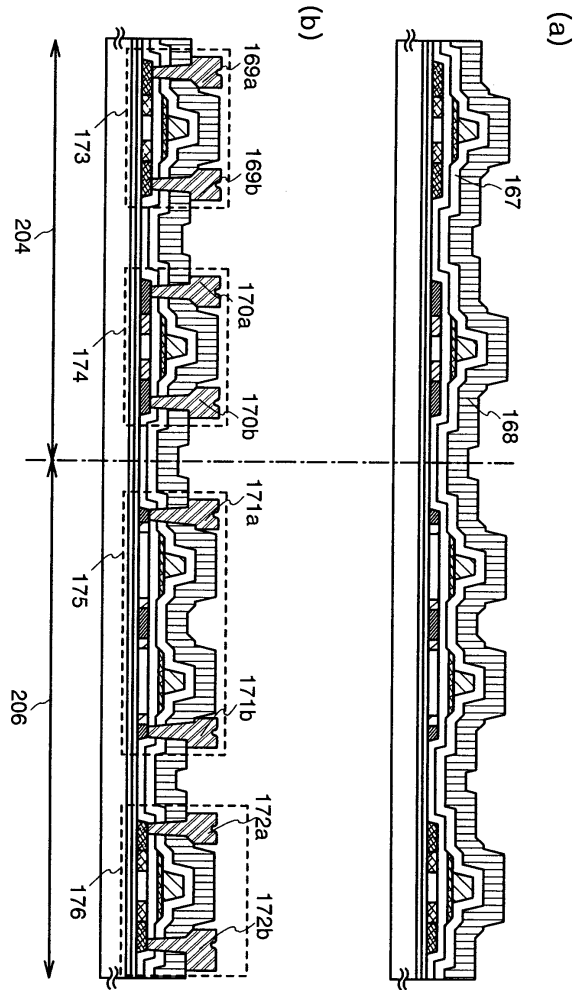
도면2



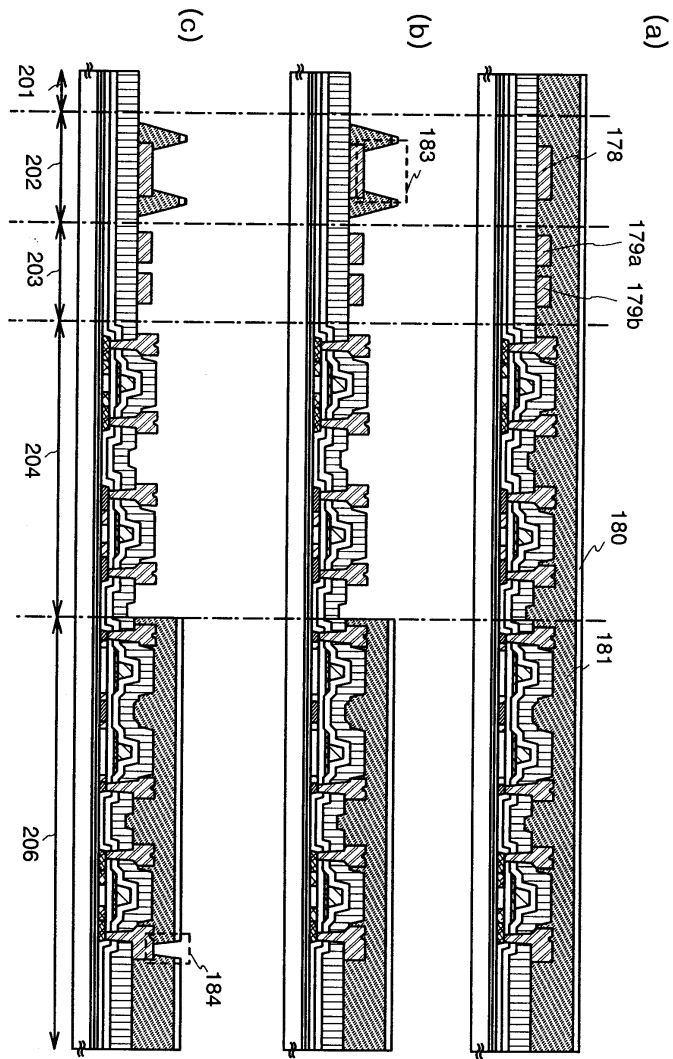
도면3



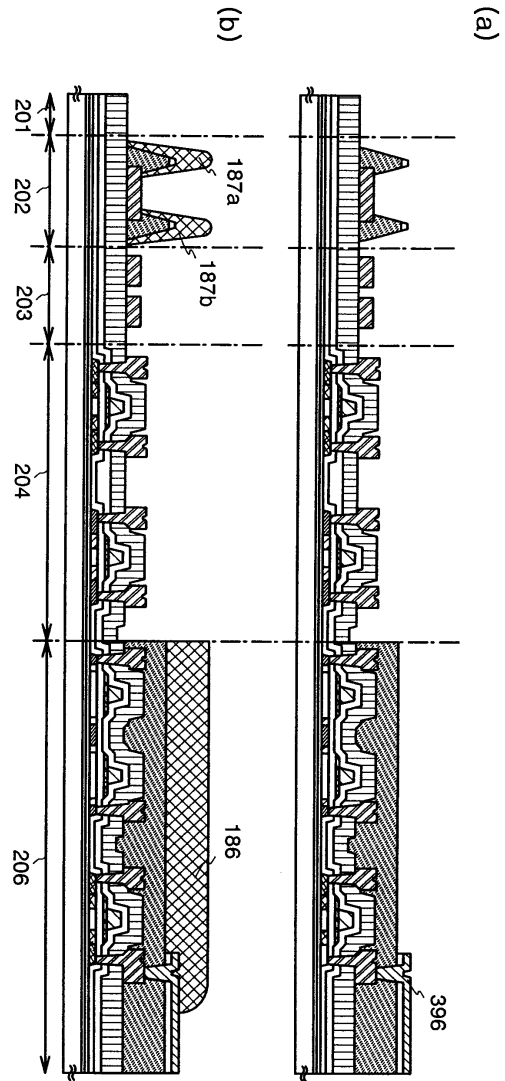
도면4



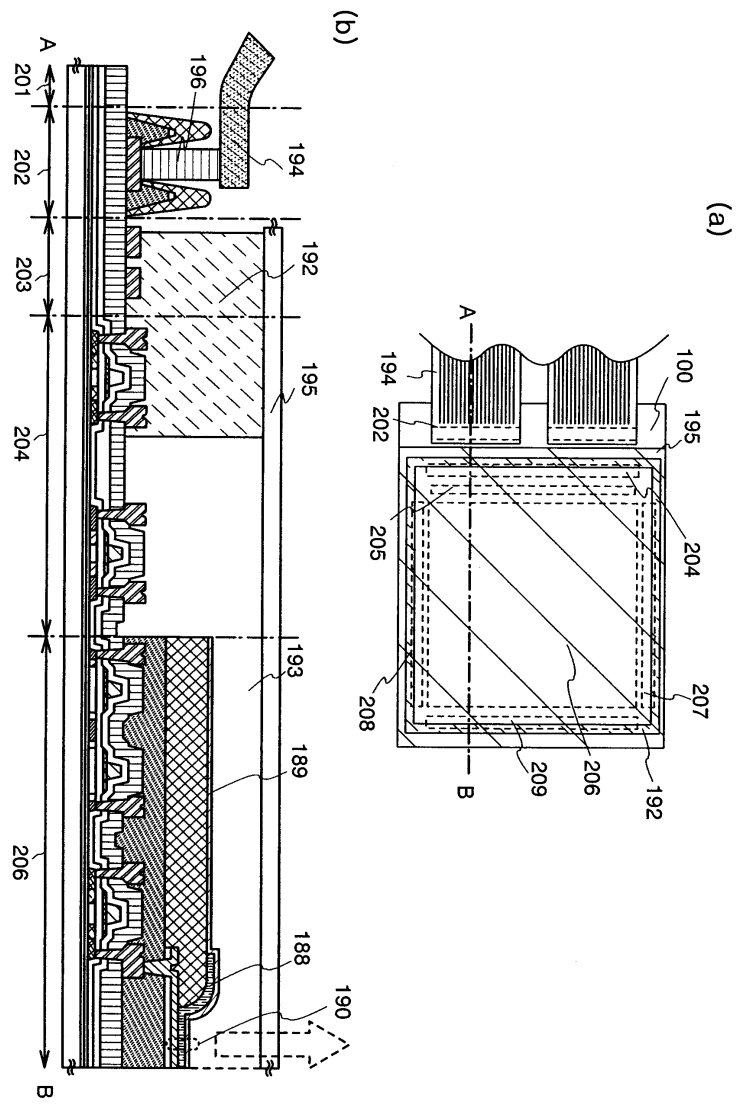
도면5



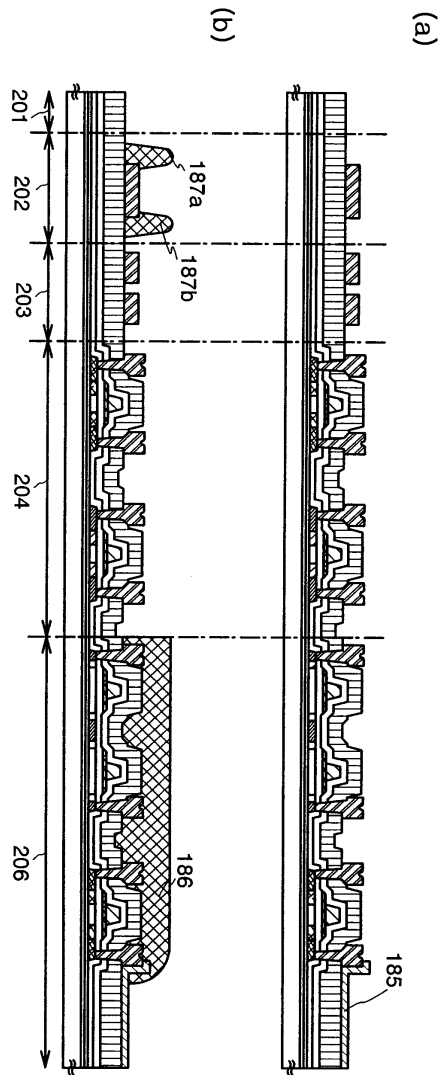
도면6



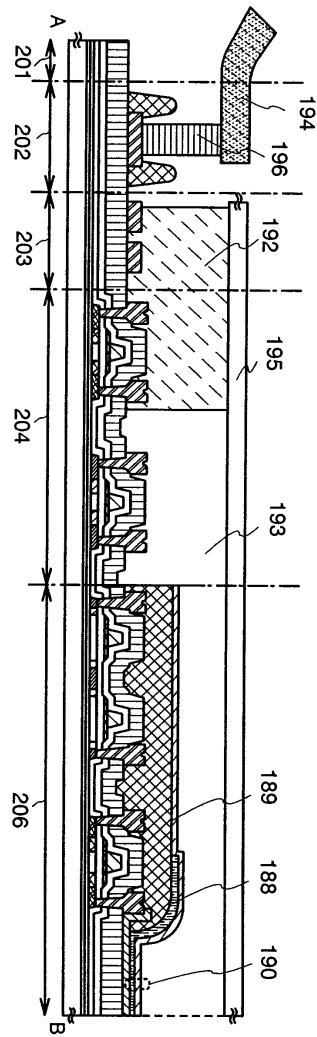
도면7



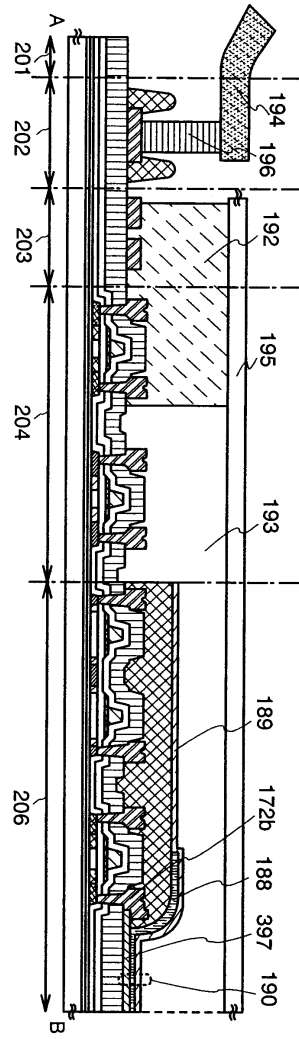
도면8



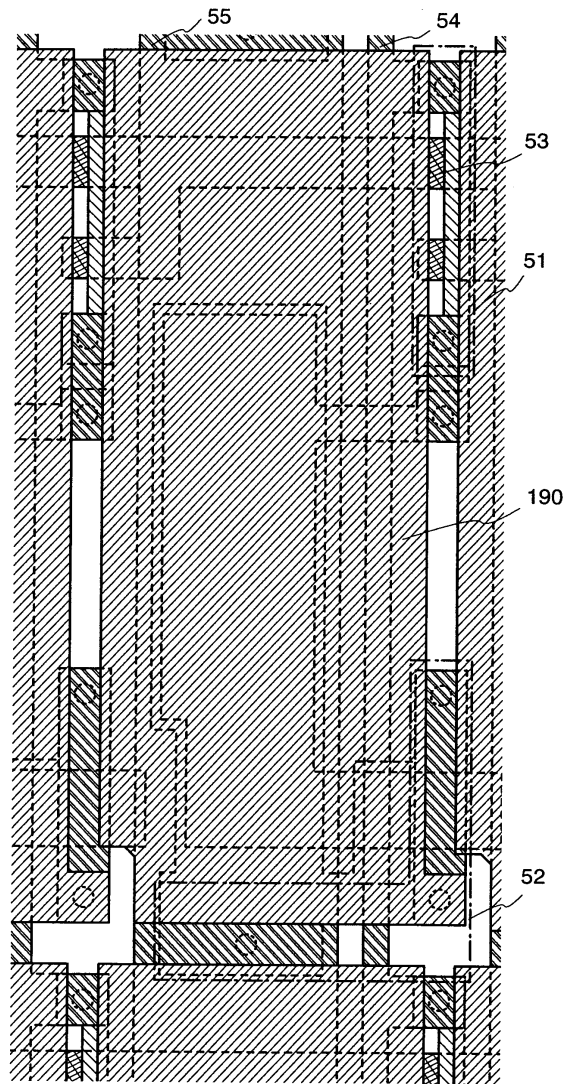
도면9



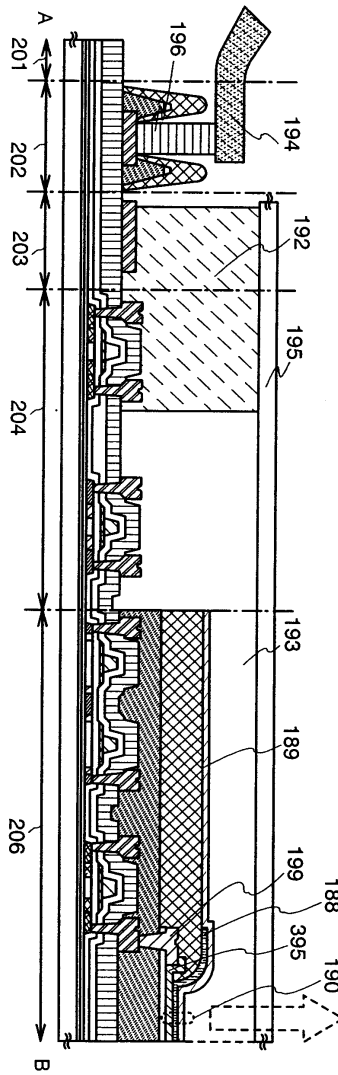
도면10



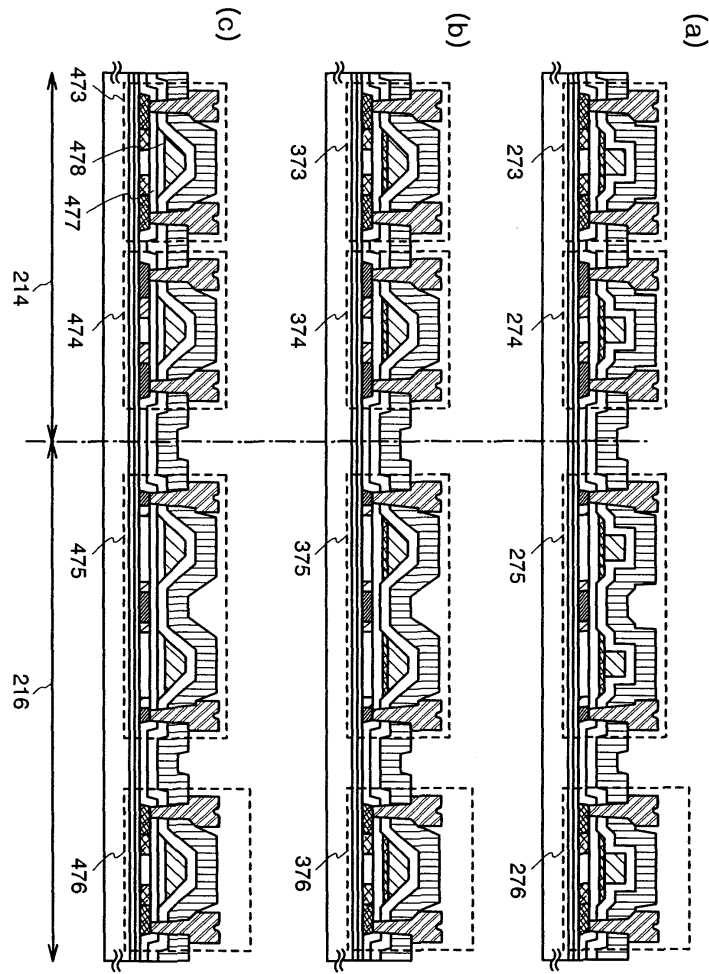
도면11



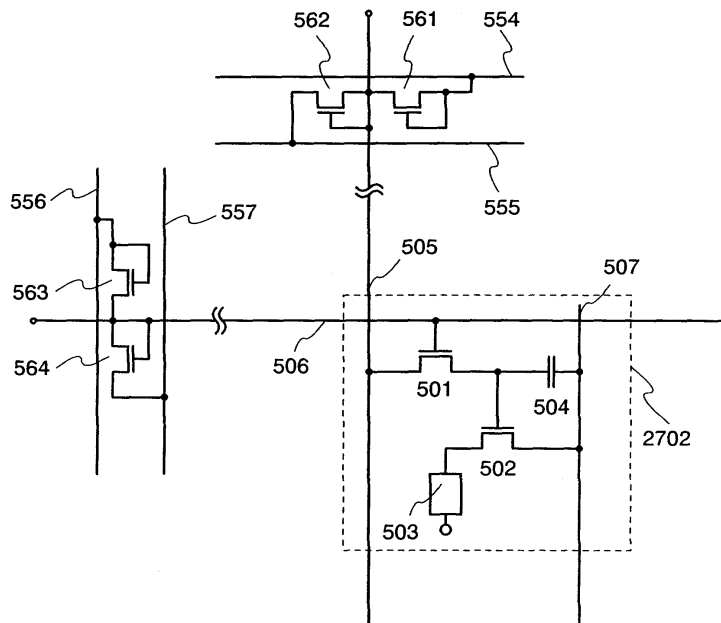
도면12



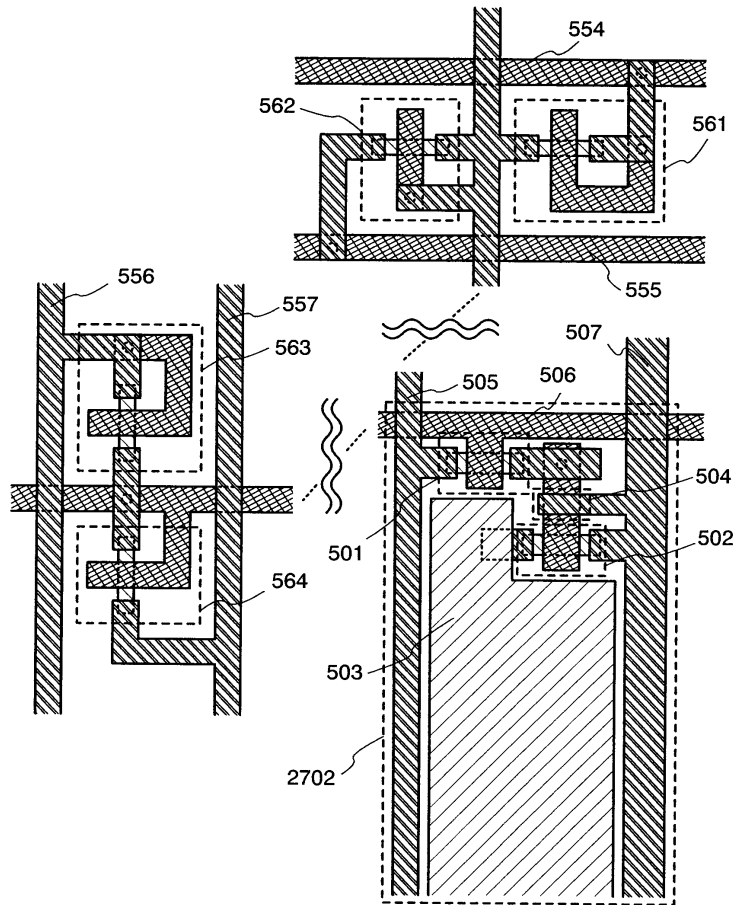
도면13



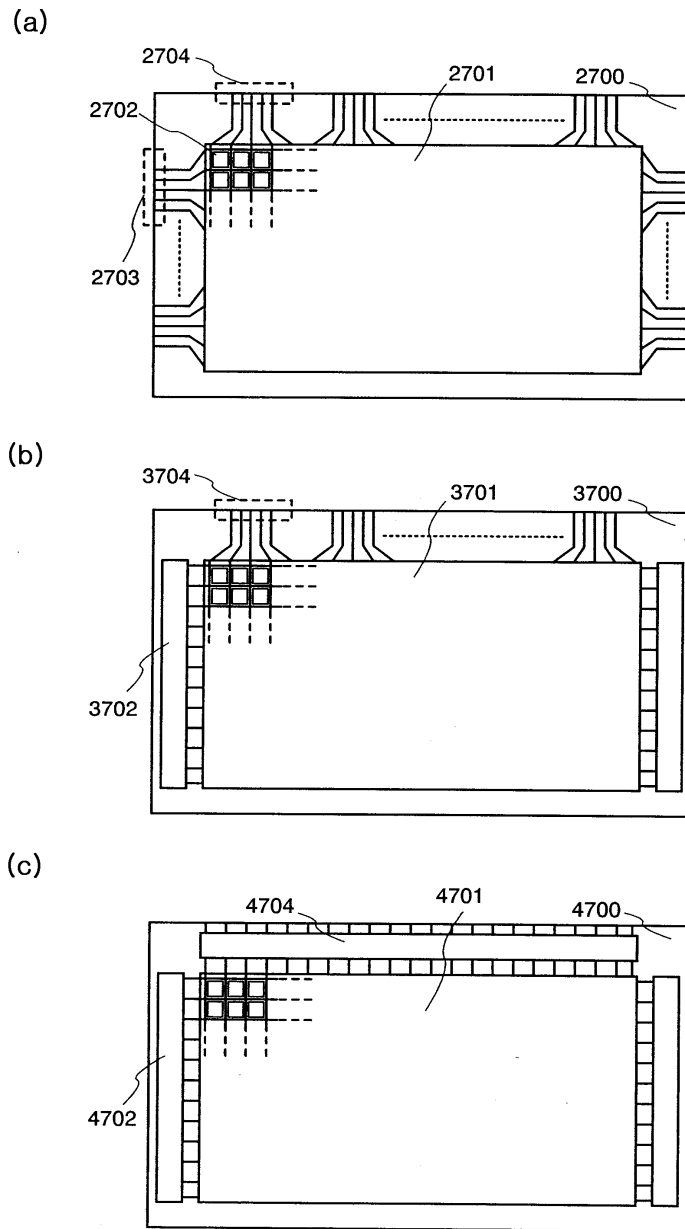
도면14



도면15

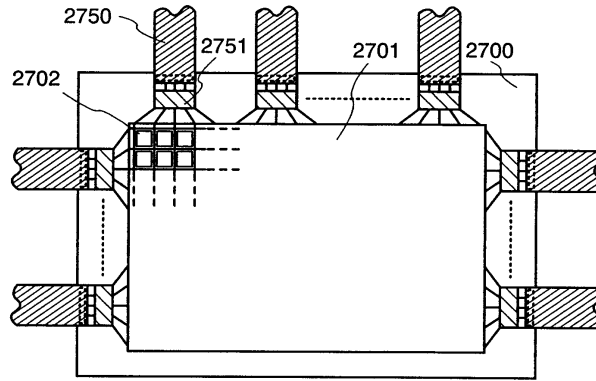


도면16

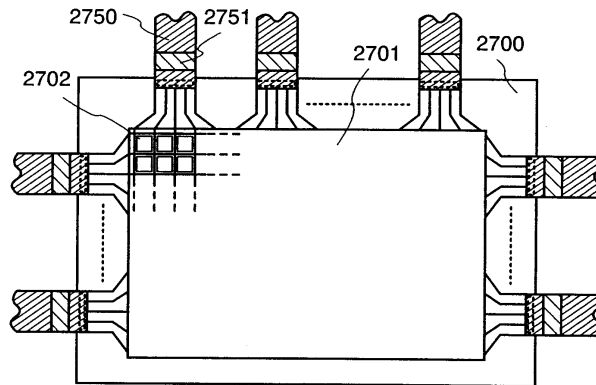


도면17

(a)

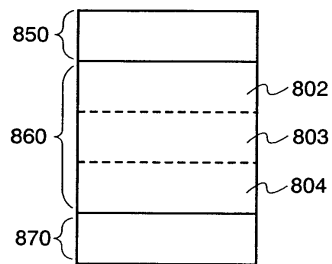


(b)

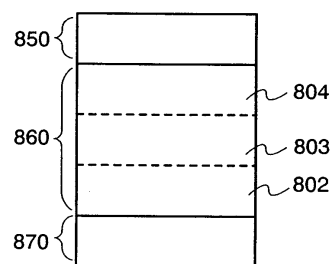


도면18

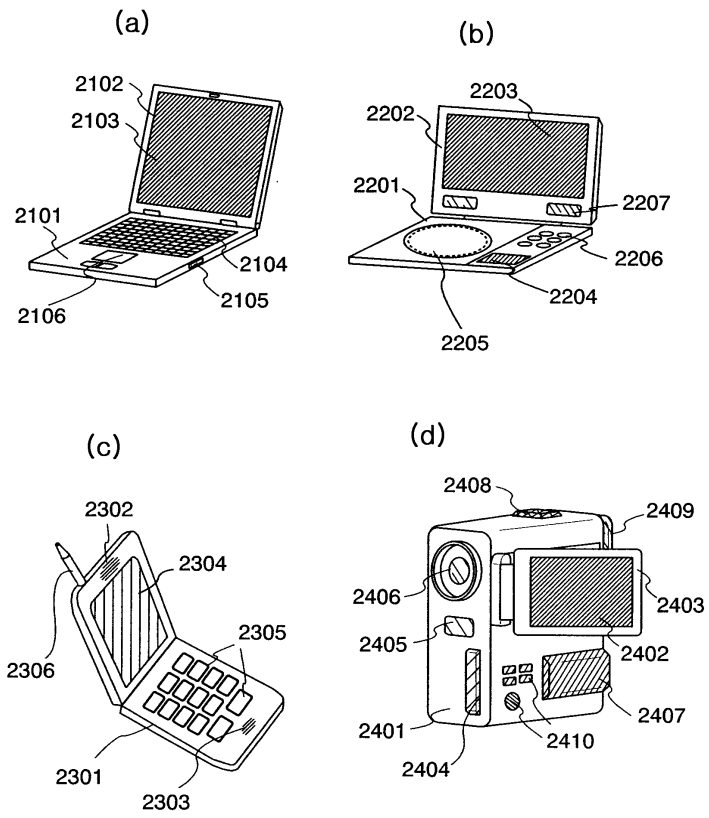
(a)



(b)

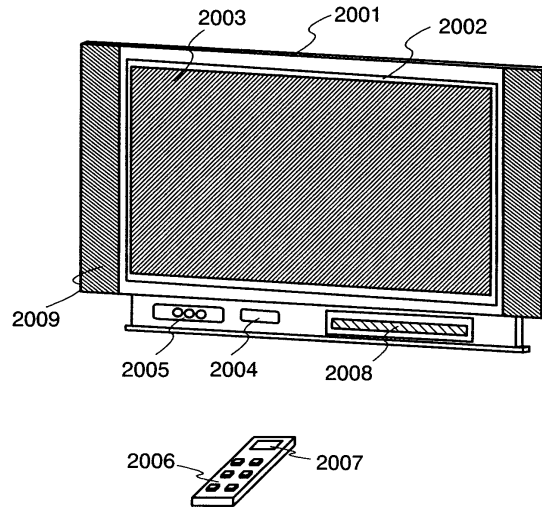


도면19

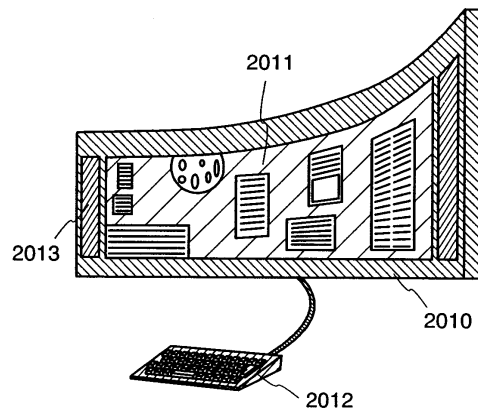


도면20

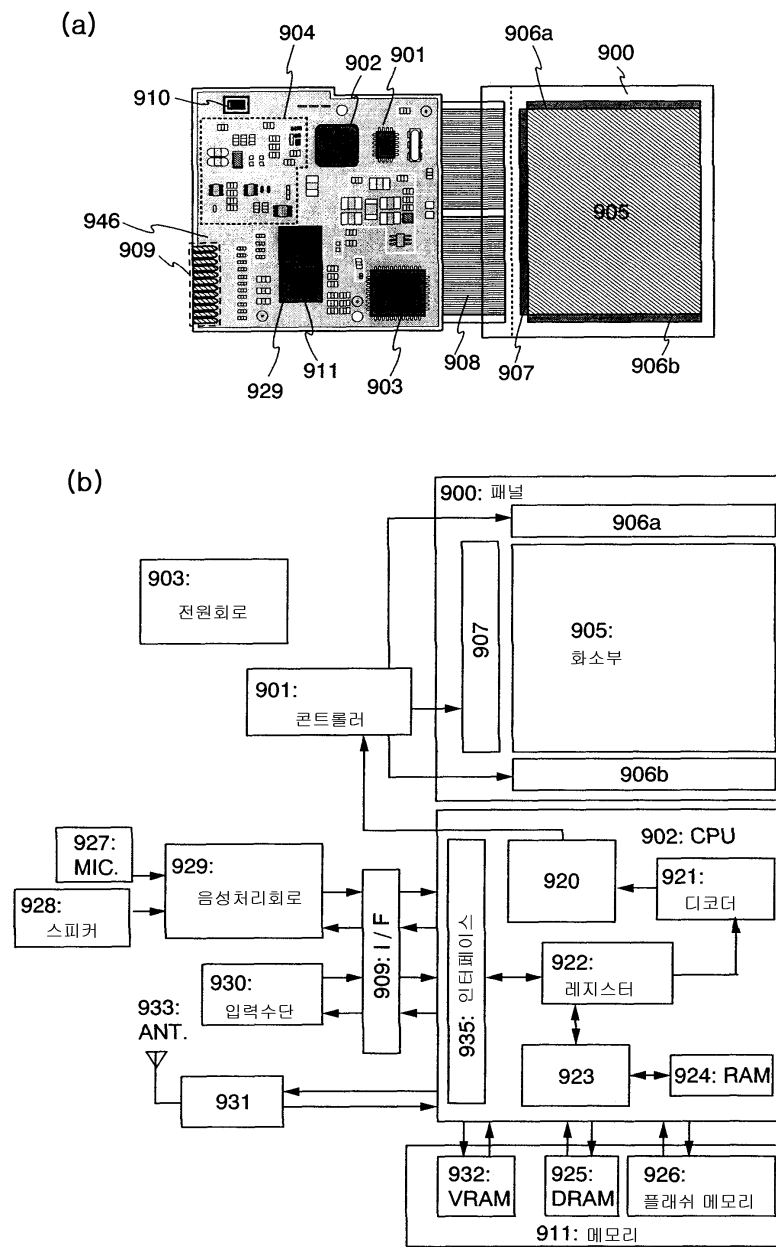
(a)



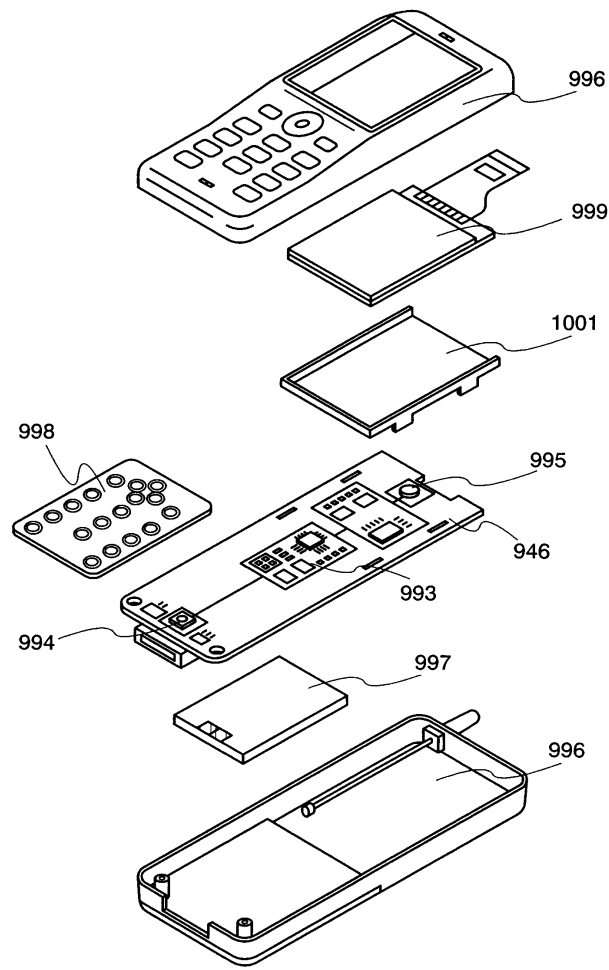
(b)



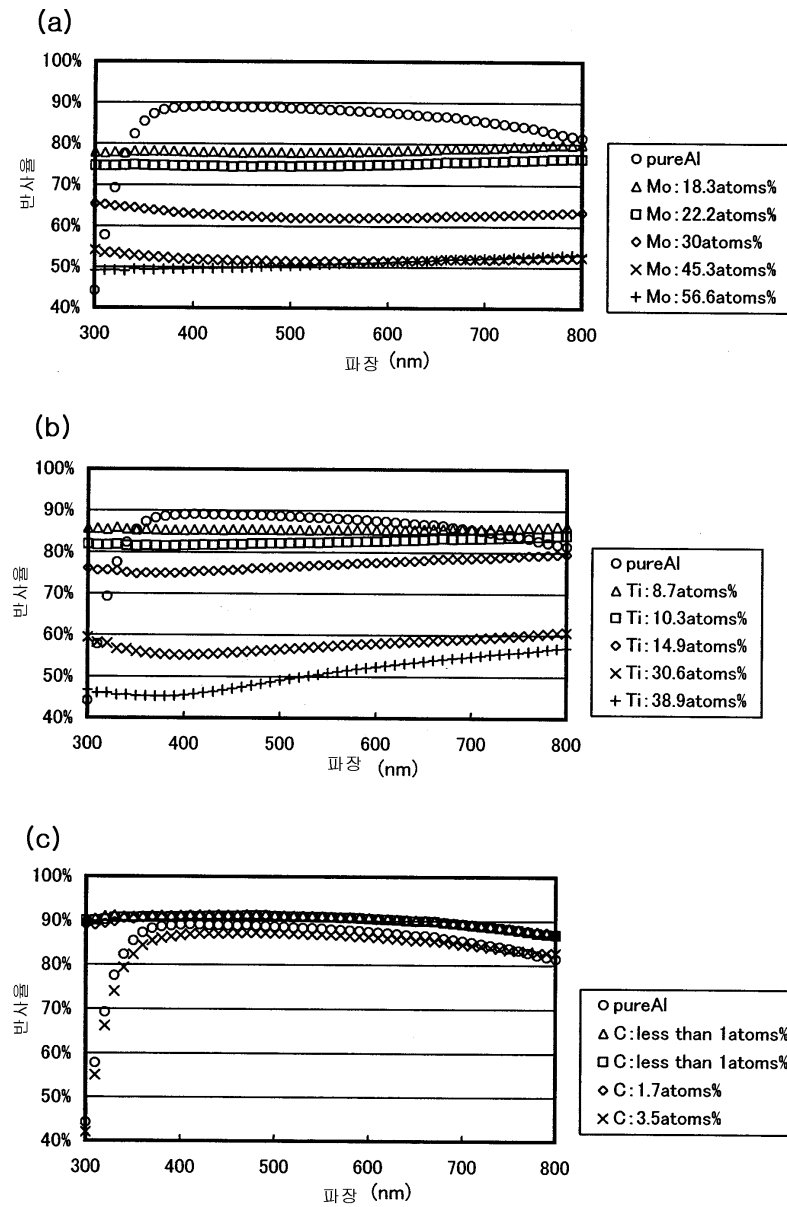
도면21



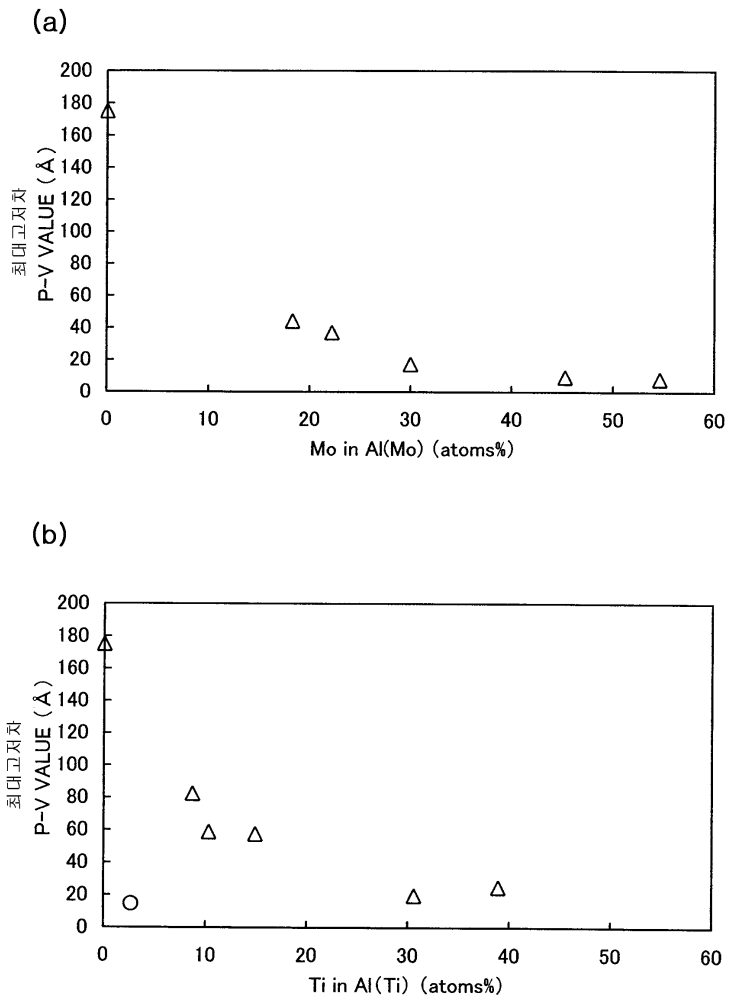
도면22



도면23

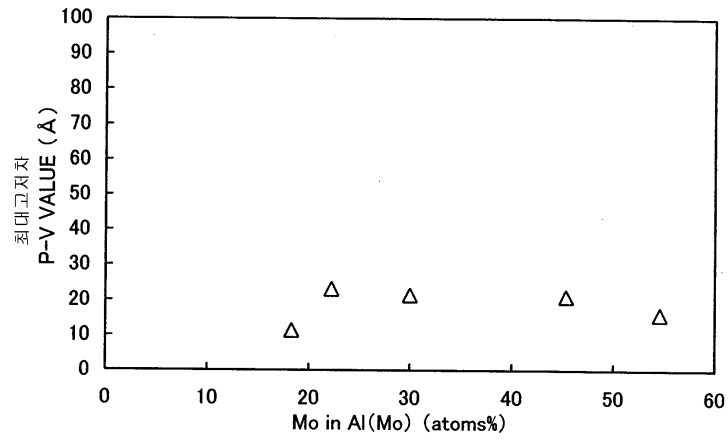


도면24

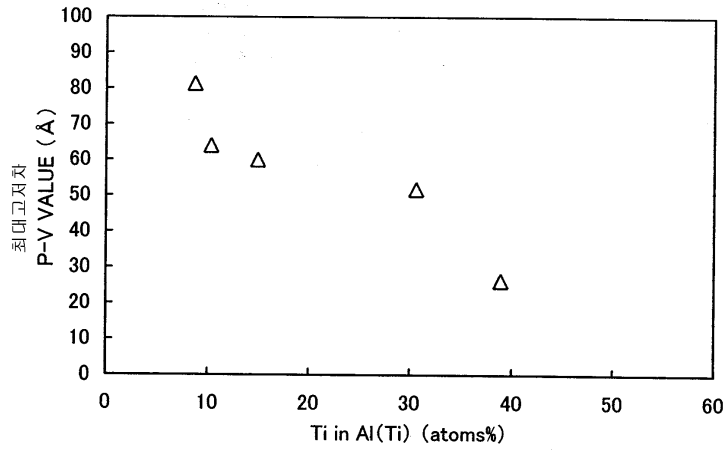


도면25

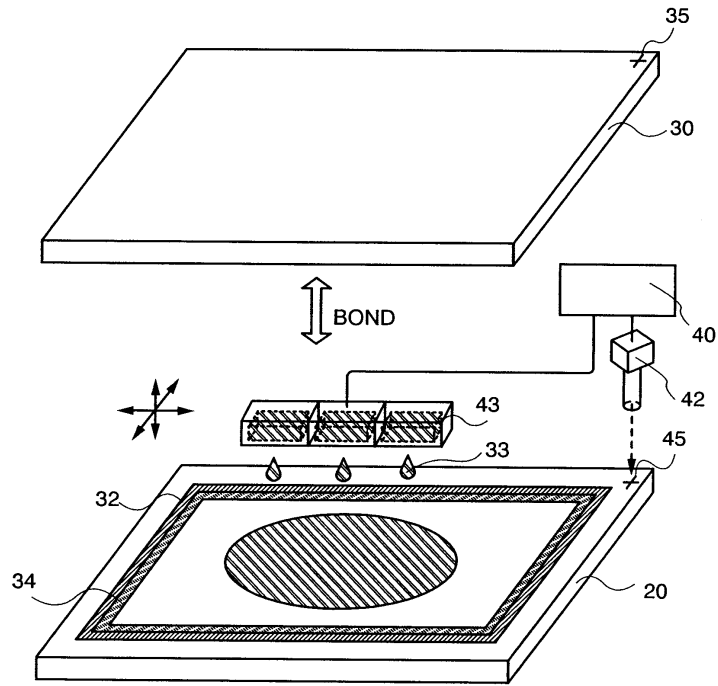
(a)



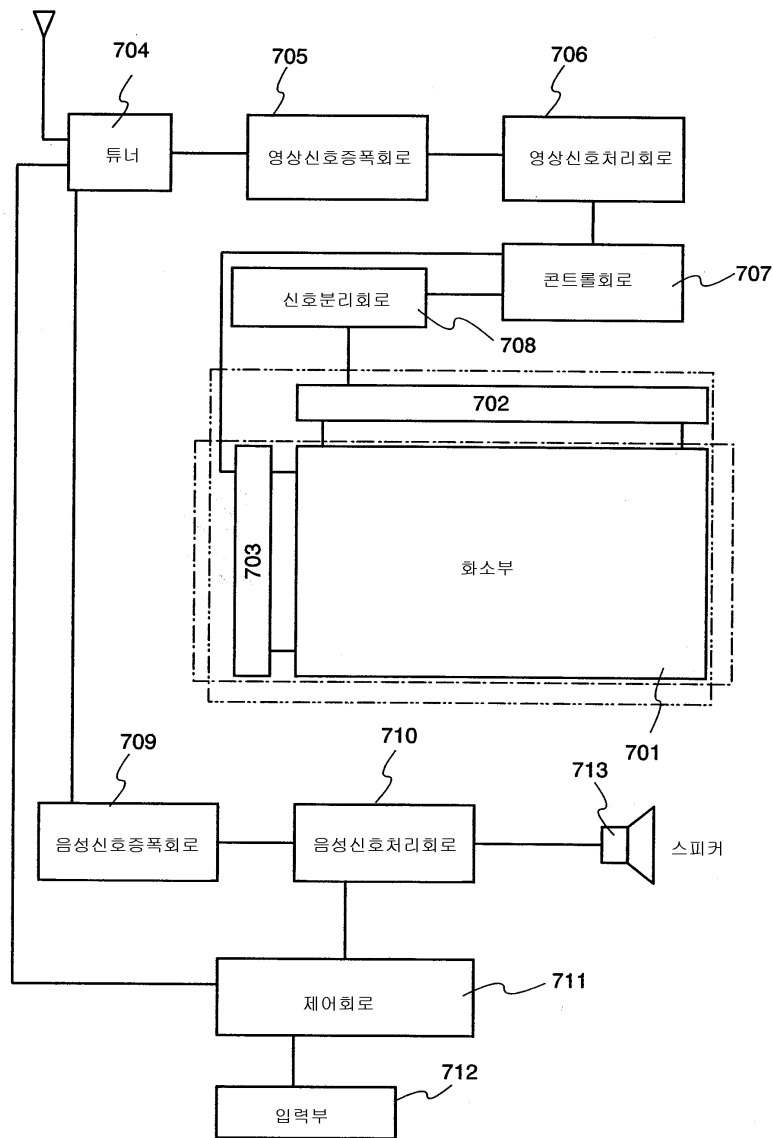
(b)



도면26



도면27

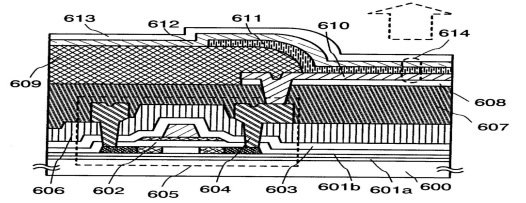


专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020060052371A	公开(公告)日	2006-05-19
申请号	KR1020050103667	申请日	2005-11-01
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	AKIMOTO KENGO 아키토켄코 MARUYAMA HOTAKA 마루야마호타카 SONE NORIHITO 소네노리히토 IKEDA HISAO 이케다히사오 SAKATA JUNICHIRO 사카타주니치로 SEO SATOSHI 세오사토시		
发明人	아키토켄코 마루야마호타카 소네노리히토 이케다히사오 사카타주니치로 세오사토시		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L27/3258 H01L2251/5315 H01L51/5206 H01L27/1214 H01L51/5052 H01L27/124 H01L51/5218		
代理人(译)	LEE HWA我		
优先权	2004320381 2004-11-04 JP		
其他公开文献	KR101217111B1		
外部链接	Espacenet		

摘要(译)

本发明涉及低成本，低成本的目的，制造具有高可靠性的显示装置。确实如此。本发明的显示装置包括：包含电致发光层的层是包含在电致发光层上形成的透光的第二电极层的有机化合物和无机化合物；以及包含第一电极层的铝合金铝，以及钛和碳中的至少一种或多种。显示装置，电致发光和电极。

(a)



(b)

