

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

|                                        |                                                    |
|----------------------------------------|----------------------------------------------------|
| (51) 。 Int. Cl.<br>G09G 3/30 (2006.01) | (11) 공개번호 10-2006-0048447<br>(43) 공개일자 2006년05월18일 |
|----------------------------------------|----------------------------------------------------|

|                           |                       |
|---------------------------|-----------------------|
| (21) 출원번호 10-2005-0053284 | (22) 출원일자 2005년06월21일 |
|---------------------------|-----------------------|

|            |                    |             |        |
|------------|--------------------|-------------|--------|
| (30) 우선권주장 | JP-P-2004-00183486 | 2004년06월22일 | 일본(JP) |
|------------|--------------------|-------------|--------|

|          |                                       |
|----------|---------------------------------------|
| (71) 출원인 | 로무 가부시킴가이샤<br>일본 교토시 우교구 사이잉 미조사키쵸 21 |
|----------|---------------------------------------|

|          |                                                                                                                               |
|----------|-------------------------------------------------------------------------------------------------------------------------------|
| (72) 발명자 | 야구마 히로시<br>일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21<br>아베 신이치<br>일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21<br>코바야시 마사토<br>일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21 |
|----------|-------------------------------------------------------------------------------------------------------------------------------|

|          |     |
|----------|-----|
| (74) 대리인 | 황의인 |
|----------|-----|

심사청구 : 있음

## (54) 유기 E L 구동 회로 및 유기 E L 디스플레이 장치

### 요약

유기 EL 구동 회로는 정전압 리셋을 위하여 소정의 정전압을 생성하는 리셋 전압 발생 회로와, 상기 리셋 전압 발생 회로의 출력과 유기 EL 디스플레이 패널의 단자 핀과의 사이에 제공되며, 상기 타이밍 컨트롤 신호, 상기 타이밍 컨트롤 신호와 동등한 리셋 컨트롤 신호, 상기 신호들에 동기하여 리셋 기간에 생성된 리셋 펄스와 그외 펄스, 상기 펄스 중 하나에 의해 온/오프 제어된 리셋 스위치와, 정전압 리셋을 위한 전압으로서 상기 유기 EL 구동 회로에 인접하여 배열되며 유기 EL 구동 회로와 동일한 회로 구성을 갖는 다른 유기 EL 구동 회로에 소정의 정전압을 출력하는 출력 단자를 포함한다.

### 대표도

도 1

### 명세서

### 도면의 간단한 설명

도 1은 본 발명의 실시형태에 따른 유기 EL 구동 회로가 적용된 유기 EL 디스플레이 패널의 블록 회로도.

도 2는 정전압 리셋에 대한 타이밍 차트.

도 3은 본 발명의 다른 실시예에 따른 유기 EL 구동 회로가 적용된 유기 EL 디스플레이 패널의 블록 회로도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL 구동 회로 및 이 유기 EL 구동 회로를 이용한 유기 EL 디스플레이 장치에 관한 것이다. 보다 상세하게는 전류 계조(tone) 시스템에 의해 구동된 구동 회로 IC들 사이에서 저계조 영역의 디스플레이 스크린상에서 휘도 불균일을 감소시킬 수 있는 유기 EL 구동 회로 IC 및 이 유기 EL 구동 회로 IC를 이용한 유기 EL 디스플레이 장치에 관한 것이다.

패시브 매트릭스형 유기 EL 소자를 구동하고, 유기 EL 소자의 애노드와 캐소드를 접지시켜서 상기 유기 EL 소자를 리셋하는 구동 회로가 JPH9-232074A에 기술되어 있다.

한편, D/A 변환 회로에 의해 데이터 라인을 구동하는 액정 디스플레이 장치의 구동 회로가 공지되어 있다. 이와 같은 액정 디스플레이 장치의 복수의 구동 회로가 액티브 매트릭스형 유기 EL 디스플레이 패널의 픽셀 회로에 적용되고 상기 디스플레이 패널에 하우징된 경우에, 유기 EL 디스플레이 패널을 소형화하는 것이 JP2000-276108A에 기재된 바와 같이 어렵다.

그러나, 액티브 매트릭스형 유기 EL 디스플레이 패널을 구동하는 유기 EL 구동 회로가 상기 디스플레이 패널의 외부에 제공된 경우에, 상기 유기 EL 디스플레이 패널의 소형화가 어느 정도까지는 달성될 수 있다. 이러한 경우에, 구동 전류의 기록은 일반적으로 수백 pF인, 픽셀 회로의 캐패시터 각각을 0.1 $\mu$ A 내지 10 $\mu$ A 정도의 구동 전류로 충전함으로써 실행된다. 그러나, 액티브 매트릭스형 유기 EL 디스플레이 패널의 휘도가 계조(tone)적으로 제어되는 것인 경우에, 최소 전류값이 약 1nA 내지 30nA인 고정밀도의 구동 전류가 요구된다. 상기 구동 전류의 유동 방향은 싱크형과 소스형의 두 종류가 있다. 전원 라인 + Vcc의 전압은 상기 유기 EL 디스플레이 패널이 패시브 매트릭스형이나 액티브 매트릭스형인 것과는 관계없이, 통상 약 10V 내지 20V이다.

또한, 디스플레이 스크린의 저계조 영역에서의 휘도 불균일이 사람의 시각 감도로 인해 눈에 띄게 되는 경향에 있다. 상기 저계조 영역에서의 구동 전류는 작아지게 되고, 용량성 부하인 캐패시터 또는 유기 EL 소자가 구동되는 경우에, 발광에 기여하지 않는 상기 구동 전류의 일부는 부하를 초기 충전함으로써 소모된다. 그러므로, 구동 전류의 차에 따른 발광을 충분히 얻을 수 없게 되고, 이에 따라 휘도 불균일이 일어나게 된다. 이러한 사실의 측면에서, 상기 전압 구동 시스템이 저계조 영역에 있어서 전류 구동 시스템에 대체하여 제안되고 있다.

그러나, 전압 구동 회로가 전류 계조 시스템의 구동 회로로서 사용되는 경우에, 상기 구동 회로의 회로 크기가 대응적으로 증가되는 문제가 있다. 또한, 전류 싱크형 디스플레이 패널에서, 유기 EL 디스플레이 패널의 픽셀 회로의 캐패시터를 리셋하기 위한 전압이 전원 라인 + Vcc의 전압의 부근에 있게 된다. 그러므로, 구동 회로 IC 사이의 리셋 전압의 변동이 일어나기 쉽게 되고, 그 결과 저계조 영역의 구동 회로 IC 사이에서의 경계 구역에서 휘도차가 현저하게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전류 계조 시스템에 의해 구동된 구동 회로 IC 사이에서의 저계조 영역의 디스플레이 스크린상에서 휘도 불균일을 감소시킬 수 있는 유기 EL 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 상기 유기 EL 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하는 것이다.

### 발명의 구성 및 작용

상술한 목적을 달성하기 위하여, 본 발명에 따르면, 하나의 수평 라인에 대한 스캔(scan) 기간에 상당하는 디스플레이 기간과 수평 스캔의 귀선 기간에 상당하는 리셋 기간을 포함하고, 소정의 주파수를 갖는 타이밍 컨트롤 신호의 리셋 기간에 유기 EL 디스플레이 패널의 단자 핀을 통하여 유기 EL 소자 또는 픽셀 회로의 캐패시터를 리셋하기 위한 유기 EL 구동 회로 IC로서, 상기 유기 EL 소자 또는 캐패시터를 정전압으로 리셋하기 위한 소정의 정전압을 발생하는 리셋 전압 발생 회로와, 상기 리셋 전압 발생 회로의 출력과 상기 단자 핀과의 사이에 제공되며, 상기 타이밍 컨트롤 신호, 상기 타이밍 컨트롤

신호와 동등한 리셋 컨트롤 신호, 상기 신호에 동기하여 상기 리셋 기간에 생성된 리셋 펄스나 그외 펄스, 또는 상기 펄스 중 하나에 의해 온/오프 제어되는 복수의 리셋 스위치와, 상기 유기 EL 구동 회로 IC와 동일한 구성을 갖고 정전압 리셋을 위한 전압으로서 유기 EL 구동 회로 IC에 인접하여 제공된 다른 구동 회로 IC에 소정의 정전압을 출력하기 위한 출력 단자를 구비한다.

본 발명에 따른 리셋 전압 발생 회로가 제공되고, 정전압 리셋을 위한 소정의 정전압이 상기 구동 회로 IC 중 하나에서부터 상기 한 구동 회로 IC에 인접하여 배열된 다른 구동 회로 IC로 전송될 수 있기 때문에, 복수의 구동 회로 IC의 리셋 전압을 실질적으로 동등하게 할 수 있다.

그 결과, 상기 하나의 구동 회로 IC와 이에 인접한 다른 구동 회로 IC와의 사이의 경계 구역에서 리셋 전압차가 실질적으로 없고, 이에 따라 상기 유기 EL 디스플레이 패널의 인접하는 단자 핀이 다른 구동 회로 IC에 의해 구동되는 경우에도, 상기 구동 전류가 적은 저계조 영역에서의 구동 회로 IC의 경계 구역내에서 구동 전류차로 인한 휘도 불균일을 감소시킬 수 있다.

그 결과, 전류 계조식 시스템을 통하여 상기 구동 회로 IC 사이의 저계조 영역에서 디스플레이 스크린상에서의 휘도 불균일을 감소시킬 수 있다.

도 1에서, 참조 부호 10은 액티브 매트릭스형 유기 EL 디스플레이 장치를 나타내고, 참조 부호 11, 12, 13은 유기 EL 구동 회로를 각각 갖는 구동 회로 IC를 나타낸다.

상기 구동 회로 IC(11 내지 13)의 유기 EL 구동 회로는 동일한 회로 구성을 갖고 있으며, 인접하여 배열됨으로써 컬럼 방향으로 배열된 유기 EL 디스플레이 패널(9)의 단자 핀을 균일하게 구동한다. 상기 3개의 구동 회로 IC의 각각은 정전압 리셋 회로를 포함한다.

상기 정전압 리셋 회로는 리셋 전압 발생 회로(1), 아날로그 스위치(2), 리셋 스위치 SW로 구성되며, 컨트롤 회로(8)에 의해 출력된 프리차지 펄스 PR에 의해 동작한다.

상기 구동 회로 IC(12 및 13) 사이에 배열된 상기 구동 회로 IC(11)는 마스터 드라이버이며, 상기 구동 회로 IC(12 및 13)은 슬레이브 드라이버이다. 상기 슬레이브 구동 회로 IC(12 및 13)은 상기 마스터 구동 회로 IC(11)에 의해 공급된 픽셀 회로의 캐패시터를 리셋하기 위한 리셋 전압에 응답하여, 상기 할당된 단자 핀에 접속된 상기 픽셀 회로의 캐패시터 각각을 리셋한다.

도 3에 도시된 다른 실시형태에서, 마스터 구동 회로 IC는 후술하는 바와 같이, 상기 슬레이브 구동 회로 IC(12 및 13)에 상기 리셋 전압보다 낮은 정전압을 공급하여, 상기 슬레이브 구동 회로 IC(12 및 13)의 각각에 상기 정전압보다 높은 리셋 전압을 생성한다.

## 실시예 1

도 1에서, 상기 구동 회로 IC(11 내지 13)의 각각은 리셋 전압 발생 회로(1), 아날로그 스위치(2), 리셋 전압 출력 라인(3), 유기 EL 디스플레이 패널(9)의 각 단자 핀에 대응하여 제공된 복수의 전류원(4), 출력단 전류원으로서의 복수의 D/A 변환 회로(5)를 구비한다.

각 D/A 변환 회로(5)는 기준 전류 분배 회로(전류원(4)만 도시함)에 의해 분배된 기준 전류  $I_{ref}$ 를 공급받고, 싱크 구동 전류  $i$ 를 출력한다. 이에 따라 생성된 구동 전류는 각각의 단자 핀에 공급된다.

상기 기준 전류 분배 회로는 기준 전류 발생 회로(도시하지 않음)에 의해 생성된 기준 전류  $I_{ref}$ 를 각각의 D/A 변환 회로(5)에 분배한다. 상기 기준 전류 분배 회로의 전류원(4)은 대응하는 상기 D/A 변환 회로(5)에 분배된 기준 전류  $I_{ref}$ 를 출력하기 위한 출력 회로에 상당한다.

상기 각각의 D/A 변환 회로(5)는 커런트 미러 회로로 구성된 전류 스위칭형의 D/A 변환 회로이고, 상기 기준 전류  $I_{ref}$ 와 디스플레이 데이터 레지스터(6)로부터 공급된 디스플레이 데이터 DAT에 응답하여, 상기 기준 전류  $I_{ref}$ 를 디스플레이 데이터값으로 증폭함으로써, 매회 디스플레이 휘도에 따른 구동 전류(싱크 전류)  $i$ 를 생성한다.

상기 D/A 변환 회로(5)의 출력 전류는 컬럼(데이터 라인)측상에서 출력 단자  $P1 \cdots Pi \cdots Pn$ 을 통하여 액티브 매트릭스형 유기 EL 디스플레이 패널(9)의 픽셀 회로(9a)에 각각 송출된다. 상기 각 픽셀 회로(9a)에 내장된 캐패시터 C는 상기 D/A 변환 회로(5)의 출력 전류에 의해 각각 충전된다. 그 결과, 상기 픽셀 회로(9a)의 유기 EL 소자(9b)는 캐패시터 C의 충전 전압에 상응하는 구동 전류  $i$ 에 의해 각각 구동된다.

또한, 참조 부호 7, 8은 MPU, 컨트롤 회로를 각각 나타낸다. 상기 디스플레이 데이터 레지스터(6)의 디스플레이 데이터 DAT는 MPU(7)에 세트된다. 상기 구동 회로 IC(11 내지 13)의 출력 단자  $P1 \cdots Pi \cdots Pn$ 에 대응하는 유기 EL 디스플레이 패널(9)의 데이터 라인(컬럼 라인)의 단자 핀은  $Xa \cdots Xi \cdots Xn, X2a \cdots X2i \cdots X2n, X3a \cdots X3i \cdots X3n$ 로 나타낸다.

R, G, B 주 컬러를 이용한 컬러 디스플레이에서, 상기 전류원(4)과 상기 D/A 변환 회로(5)는 R, G, B 컬러 각각의 단자 핀에 제공된다. 이하의 기술에서, 실시형태는 컬러가 본 발명에 직접적으로 관련되지 않기 때문에, R, G, B 컬러 중 어느 하나에 대한 유기 EL 구동 회로에 대하여 기술될 것이다.

참조 부호 11a 및 11b는 각각 구동 회로 IC(11)의 입력/출력 단자(I/O 단자)를 나타낸다. 상기 I/O 단자(11a 및 11b)는 상기 인접하는 구동 회로 IC(12 및 13) 중 한 쪽에 대응하여 구동 회로 IC(11)의 대향하는 쪽에 제공된다.

또한, I/O 단자(12a, 12b)와 I/O 단자(13a, 13b)는 구동 회로 IC(12 및 13)에 각각 제공된다. 상기 I/O 단자(11a 내지 13a, 11b 내지 13b)는 직사각형의 구동 회로 IC 각각의 4개 측면에 배열된 구동 회로 IC의 단자 핀 중에서 선택된다. 즉, 상기 I/O 단자는 인접하여 배열된 구동 회로 IC의 마주하는 측면에 배열되며, 실질적으로 대응하는 위치에 배열된 단자 핀 중에서 선택된다.

상기 I/O 단자(11a 내지 13a, 11b 내지 13b)는 각 구동 회로 IC(11 내지 13)에서 리셋 전압 출력 라인(3)에 의해 함께 접속된다.

상기 구동 회로 IC(11)의 I/O 단자(11b)는 외부의 배선 라인(14)을 통하여 상기 구동 회로 IC(11)에 인접하여 배열된 구동 회로 IC(12)의 I/O 단자(12a)에 접속된다. 상기 구동 회로 IC(12)의 I/O 단자(12b)는 외부의 배선 라인(15)을 통하여 상기 구동 회로 IC(11)에 인접하여 배열된 구동 회로 IC(13)의 I/O 단자(13a)에 접속된다.

상기 구동 회로 IC(11 내지 13)의 리셋 전압 발생 회로(1)의 출력 단자는 아날로그 스위치(2)를 통하여 상기 리셋 전압 출력 라인(3)에 각각 접속된다. 상기 출력 단자  $P1 \cdots Pi \cdots Pn$ 에 대응하여 제공된 리셋 스위치 SW(아날로그 스위치)의 한 단은 상기 출력 단자  $P1 \cdots Pi \cdots Pn$ 에 각각 접속되고, 상기 리셋 스위치 SW의 다른 단은 리셋 전압 출력 라인(3)에 공통으로 접속된다.

상기 리셋 전압 발생 회로(1)는 OP 앰프(operational amplifier)(OP)(1a)와, D/A 변환 회로(D/A)(1b)와, 데이터 레지스터(1c)로 구성된다.

OP 앰프(1a)는 전원 라인 + Vcc로부터의 전력 공급으로 동작할 수 있는 비-반전형의 증폭기이며, 상기 (+) 입력에 공급된 상기 D/A 변환 회로(1b)의 출력 전압을 소정의 증폭율로 증폭함으로써 상기 리셋 전압 출력 라인(3)에 리셋 전압 VRS를 출력한다. 상기 OP 앰프(1a)의 출력은 상기 리셋 전압 출력 라인(3)의 중앙에 실질적으로 위치된 접속점에서 발생된다(도 1 참조). 상기 OP 앰프(1a)의 (-) 입력은 기준 저항을 통하여 전원 라인 + Vcc에 접속된다. 상기 전원 라인 + Vcc의 전압은 5V 내지 20V 정도이고, 상기 리셋 전압 VRS는 전원 라인 + Vcc보다 약간 또는 수 V만큼 낮은 전압이다.

상기 D/A 변환 회로(1b)는 저항-분할 사다리형의 D/A 변환 회로의 형태이다. 상기 D/A 변환 회로(1b)는 상기 데이터 레지스터(1c)에 세트된 MPU(7)로부터 상기 데이터를 변환함으로써 상기 리셋 전압 VRS를 생성한다. 그러므로, 상기 리셋 전압 VRS의 프로그램형 조정이 상기 데이터 레지스터(1c)에 세트된 상기 데이터에 따라 완료될 수 있다.

또한, 상기 MPU(7)는 전원이 온으로 되는 동시에 상기 데이터 레지스터(1c)에 상기 리셋 전압을 생성하기 위한 데이터를 세트한다. 상기 데이터는 MPU(7)의 내부의 비휘발성 메모리에 저장된다.

상기 구동 회로 IC(11 내지 13)의 리셋 스위치 SW는 상기 입력 단자(11c), 입력 단자(12c), 입력 단자(13c)를 통하여 상기 구동 회로 IC(11 내지 13)에 공급된 프리차지 펄스 PR(도 2(c) 참조)의 "H" 기간(프리차지 기간) 동안에 온 상태로 유지된다.

다. 상기 구동 회로 IC(11)의 OP 앰프(1a)는 상기 프리차지 펄스 PR이 "H" 상태로 있는 동안에 안정한 동작 상태를 지속하여 리셋 전압 VRS를 생성한다. 또한, 상기 구동 회로 IC(11)의 OP 앰프(1a)는 상기 프리차지 펄스 PR이 "L" 상태로 있는 동안에 아이들링(idling) 상태로 유지된다(도 2(c) 참조).

또한, 상기 프리차지 펄스 PR은 상기 프리차지 펄스가 "H" 상태로 있는 프리차지 기간에 마스터 구동 회로 IC(11)의 입력 단자(11d)에 공급되어서 아날로그 스위치(2)를 온 상태로 지속시킨다. 상기 프리차지 펄스 PR은 상기 슬레이브 구동 회로 IC(12 및 13)의 입력 단자(12d, 13d)에 공급되지 않는다. 그러므로, 상기 슬레이브 구동 회로 IC의 아날로그 스위치는 상기 프리차지 펄스 PR이 "H" 상태로 있는 동안에 오프 상태로 유지된다.

또한, 상기 프리차지 펄스 PR은 상기 액티브 매트릭스형의 유기 EL 디스플레이 패널내에서 리셋 기간 RT에 생성된 리셋 펄스이다. 상기 프리차지 기간 또는 리셋 기간 RT(도 2(a) 참조)에서, 리셋의 대상으로 되는 하나의 수평 라인에 대한 유기 EL 소자(9b)의 캐소드측은 접지된다.

상기 구동 회로 IC(11)의 아날로그 스위치(2)는 상기 프리차지 펄스 PR이 "H" 상태로 있는 동안에 온으로 유지되고, 상기 리셋 전압 출력 라인(3)을 상기 리셋 전압 VRS에 세트한다. 그 결과, 상기 리셋 전압 VRS는 상기 프리차지 펄스 PR이 "H" 상태로 있는 동안에 온으로 있는 상기 리셋 스위치 SW를 통하여 상기 구동 회로 IC(11)의 출력 단자  $P1 \cdots Pi \cdots Pn$ 에 출력된다. 또한, 상기 리셋 전압 VRS는 상기 I/O 단자(11a 및 11b), 배선 라인(14 및 15)을 통하여 상기 리셋 전압 출력 라인(3)에 공급된다.

그 결과, 상기 리셋 전압 VRS는 상기 구동 회로 IC(12 및 13)의 출력 단자  $P1 \cdots Pi \cdots Pn$ 에도 공급된다. 그러므로, 하나의 수평 라인에 대한 상기 유기 EL 디스플레이 패널(9)의 단자 핀이 상기 리셋 전압 VRS에 동시에 세트되고, 이에 따라 하나의 수평 라인에 대한 상기 픽셀 회로(9a)의 캐패시터 C가 상기 리셋 전압 VRS에 동시에 리셋된다.

또한, 이와 같은 경우에 상기 구동 회로 IC(12 및 13)의 아날로그 스위치(2)는 오프 상태로 있기 때문에, 상기 구동 회로 IC(12 및 13)의 리셋 전압 발생 회로(1)는 리셋 동작에 기여하지 않는다.

상기 액티브 매트릭스형의 유기 EL 디스플레이 패널에서, 상기 프리차지 펄스 PR과 상기 리셋 컨트롤 펄스 RS가 동시에 상승하지만, 도 2(a) 및 도 2(c)에 도시된 바와 같이, 상기 프리차지 펄스 PR의 폭이 상기 리셋 컨트롤 펄스 RS의 폭보다 좁고 짧다. 상기 리셋 기간 RT에서, 상기 픽셀 회로(9a)의 캐패시터 C에서 구동 전류를 기록하기 위한 기록 개시 펄스 WR(도 2(d) 참조)은 상기 프리차지 펄스 PR의 "H" 상태가 종료된 후에 생성된다. 상기 기록 개시 펄스 WR에 의해, 상기 구동 전류  $i$ (도 2(e) 참조)는 전압값으로서 상기 픽셀 회로(9a)의 캐패시터에 각각 기록되고, 상기 리셋 기간 RT는 기록이 완료된 때에 종료된다.

도 2(a)에 도시된 상기 리셋 컨트롤 펄스 RS는 하나의 수평 라인에 대한 스캔 기간에 해당하는 디스플레이 기간 D를 수평 스캔의 귀선 기간에 해당하는 리셋 기간 RT로부터 분리하기 위하여 소정의 주파수를 갖는 타이밍 컨트롤 신호이다. 상기 기록 개시 펄스가 패시브 매트릭스형의 유기 EL 디스플레이 패널에서 불필요하기 때문에, 상기 리셋 컨트롤 펄스 RS는 일반적으로 리셋 펄스로서 동작한다. 이와 같은 경우에, 상기 구동 회로 IC(11)의 아날로그 스위치(2)와 리셋 스위치 SW는 상기 리셋 컨트롤 펄스 RS가 "H" 상태로 있는 기간 동안에 온이다. 상기 패시브 매트릭스형의 유기 EL 디스플레이 패널에서, 상기 액티브 매트릭스형의 유기 EL 디스플레이 패널(9)의 라인  $Xa \cdots Xi \cdots Xn$ ,  $X2a \cdots X2i \cdots X2n$ ,  $X3a \cdots X3i \cdots X3n$ 은 상기 유기 EL 소자가 직접적으로 접속된 컬럼 라인으로서 동작한다. 상기 패시브 매트릭스형의 유기 EL 디스플레이 패널의 구동 전류  $i$ 는 상기 액티브 매트릭스형의 유기 EL 디스플레이 패널(9)의 구동 전류  $i$ 보다 크다. 상기 패시브 매트릭스형의 유기 EL 디스플레이 패널은 상술한 바와 상기 리셋 전압을 제외하고 상기 액티브 매트릭스형의 유기 EL 디스플레이 패널(9)과 실질적으로 동일하다.

그 결과, 상기 구동 회로 IC(11 내지 13)의 출력 단자  $P1 \cdots Pi \cdots Pn$ 은 OP 앰프(1a)로부터 출력된 정전압 VRS를 동시에 공급받는다. 또한, 상기 픽셀 회로(9a)의 캐패시터 C는 정전압으로 리셋되고, 그 후에 상기 구동 전류가 기록된다.

또한, 상기 패시브 매트릭스형의 유기 EL 디스플레이 패널에서, 하나의 수평 라인에 대한 유기 EL 소자는 컬럼 라인을 통하여 정전압 VRS에 직접 리셋된다. 그러므로, 상기 구동 전류  $i$ 가 방전되는 경우에, 상기 리셋 전압 VRS는 전지 전위를 기준으로 하여 상기 유기 EL 소자가 발광하는 전압보다 낮은 소정의 정전압이 된다.

상기 도 1에 도시된 실시예에서, 마스터 구동 회로 IC(11)는 슬레이브 구동 회로 IC(12 및 13) 사이에 배열된다. 상기 OP 앰프(1a)의 출력 전압이 상기 세트 전압 출력 라인(3)의 실질적인 중앙 위치에 위치된 접속점에서 생성되기 때문에, 하나의 수평 라인의 컬럼 방향의 중앙 부분에 배열된 픽셀 회로(9a)의 캐패시터 C의 리셋 전압의 특성은 하나의 수평 라인의

컬럼 핀에 대하여 다소 높으며 양 말단 부분에서 약간 낮다. 그러나, 상기 리셋 전압은 실질적으로 전체가 평탄하다. 그러므로, 구동 전류가 작은 저계조 영역에서 상기 구동 특성(각 출력 단자의 구동 전류)에 다소 차이가 있는 경우에도, 상기 구동 회로 IC의 경계 구역에서 실질적으로 심각한 리셋 전압차는 없게 된다. 따라서, 인접하는 단자 핀이 다른 구동 회로 IC에 의해 구동되는 경우에도, 상기 구동 회로 IC의 경계 구역에서 휘도 불균일이 감소된다.

## 실시예 2

도 3은 본 발명의 다른 실시형태의 블록 회로도이다. 도 3에서, 상기 마스터 구동 회로 IC(11)는 리셋 전압 VRS보다 낮은 정전압 VC를 상기 슬레이브 구동 회로 IC(12 및 13)에 출력한다.

도 3의 구동 회로 IC(11, 12, 13) 각각의 리셋 전압 발생 회로(100)는 도 1에 도시된 상기 리셋 전압 발생 회로(1)의 OP 앰프(1a)와 D/A 변환 회로(1b)와의 사이에 버퍼 앰프(볼티지 팔로워 OP 앰프)(1d)를 구비한다.

본 실시형태에서, 도 1에 도시된 리셋 전압 출력 라인(3) 각각은 정전압 출력 라인(3a)과 리셋 스위치 접속 라인(3b)으로 분할된다. 상기 정전압 출력 라인(3a)은 도 1의 리셋 전압 출력 라인(3)과 동일하게, 상기 인접하는 구동 회로 IC에 정전압 VC를 출력하는 I/O 단자에 접속된다. 상기 리셋 스위치 접속 라인(3b)은 상기 리셋 스위치 SW의 한 단을 공통으로 접속하고 다른 단을 상기 출력 단자 P1 · · · Pi · · · Pn에 각각 접속한다.

상기 버퍼 앰프(1d) 각각의 출력 단자는 상기 아날로그 스위치(2)를 통하여 상기 정전압 출력 라인(3a)에 접속되고, 상기 버퍼 앰프(1d)의 출력은 (-) 입력에 입력된다. 상기 버퍼 앰프(1d)는 (+) 입력에 공급된 D/A 변환 회로(1b)의 출력 전압을 소정 증폭율로 증폭하고, 상기 정전압 출력 라인(3a)에 상기 정전압 VC를 출력한다. 상기 정전압 VC는 도 1에 도시된 실시형태에서의 상기 리셋 전압 VRS보다 작다. 그러므로, 다른 구동 회로 IC에 송출될 대상인 전압은 보다 낮은 전압으로 제한되고, 상기 구동 회로 IC 각각에 하우징된 OP 앰프(1a)의 구동 능력은 도 1에 도시된 실시형태에 비해 낮게 된다.

상기 OP 앰프(1a)는 상기 정전압 출력 라인(3a)과 리셋 스위치 접속 라인(3b)과의 사이에 제공된다. 즉, 상기 버퍼 앰프(1d)의 출력 단자와 상기 OP 앰프(1a)의 (+) 입력이 상기 정전압 출력 라인(3a)에 접속되고, 상기 OP 앰프(1a)의 출력이 상기 리셋 스위치 접속 라인(3b)에 접속된다.

이에 따라, 상기 구동 회로 IC(11)의 버퍼 앰프(1d)로부터의 정전압 VC는 상기 정전압 출력 라인(3a)과 상기 구동 회로 IC(11)의 I/O 단자(11a 및 11b)를 통하여 상기 구동 회로 IC(12 및 13)의 정전압 출력 라인(3a)에 송출된다. 상기 구동 회로 IC(11 내지 13)의 OP 앰프(1a)는 상기 정전압 출력 라인(3a)의 정전압 VC에 의해 구동되어서 상기 리셋 전압 VRS를 생성한다.

도 3에 도시된 실시형태에 따라, 도 1에 도시된 리셋 전압 발생 회로(1)와 같이 높은 리셋 전압 VRS를 전송하는 것이 요구되지 않으며, 각각의 구동 회로 IC에 하우징된 OP 앰프(1a)의 개별 동작에 의해 상기 리셋 전압 VRS를 생성한다. 그 결과, 대응적으로 각 OP 앰프(1a)의 구동 능력을 억제할 수 있다.

상술된 바와 같이, 본 발명의 실시형태에서 상기 I/O 단자(11a 내지 13a, 11b 내지 13b)는 측면에 배열된 상기 구동 회로 IC의 대향하는 측면에 제공되고, 이를 반드시 상기 구동 회로 IC의 대향하는 측면의 대향 위치에 제공할 필요는 없다.

상술된 실시형태에서 상기 프리차지 펄스 PR이 "H"로 될 때에 리셋 동작이 실행되지만, 상기 프리차지 펄스가 상기 리셋 기간 RT에서 "L"이 될 때에 상기 리셋 동작을 개시할 수도 있다. 또한, 상술된 실시형태에서 상기 프리차지 펄스 PR이 리셋 펄스로서 사용되었으나, 상기 펄스 중 하나에 동기하여 상기 리셋 기간 RT에 발생된 리셋 컨트롤 펄스 RS, 타이밍 컨트롤 펄스 또는 그외 펄스가 상기 리셋 펄스로서 사용되기도 있다.

또한, 상기 예에서는 상기 액티브 매트릭스형의 유기 EL 디스플레이 패널의 픽셀 회로의 캐패시터가 리셋되는 것으로 기술되었으나, 패시브 매트릭스형의 유기 EL 디스플레이 패널의 유기 EL 소자의 단자 전압이 정전압으로 리셋되는 경우에도 본 발명에 적용될 수 있다.

상술한 실시형태에서, 3개의 구동 회로 IC가 상기 유기 EL 디스플레이 장치에 제공되었으나, 상기 구동 회로 IC(12)의 이전에 다른 슬레이브 구동 회로 IC를 추가하고, 상기 추가된 슬레이브 구동 회로 IC의 I/O 단자에 외부 배선을 통하여 상기 구동 회로 IC(12)의 I/O 단자(12a)를 접속하는 것이 가능하다. 이와 같은 경우에, 상기 마스터 구동 회로 IC(11)의 리셋 전압 VRS는 상기 구동 회로 IC(12)의 리셋 전압 출력 라인(3)(정전압 출력 라인(3a))을 통하여 추가된 슬레이브 구동 회로 IC에 전송된다. 동일하게, 상기 구동 회로 IC(13)의 이후에 다른 슬레이브 구동 회로 IC를 추가할 수 있다.

그러므로, 본 발명은 4개 이상의 구동 회로 IC가 유기 EL 디스플레이 패널의 컬럼축상에 제공되는 경우에 적용될 수 있다. 물론, 상기 구동 회로 IC의 수는 2이어도 된다.

본 발명에서는 상기 정전압 리셋을 위한 전압을 생성하는 소정의 증폭율을 갖는 OP 앰프가 사용되었으나, 모든 일반적인 증폭기를 사용해도 된다.

또한, 상술한 실시형태에서는 D/A 변환 회로가 출력단 전류원으로서 사용되었으나, 출력단으로서 커런트 미러 회로와 같은 전류원을 추가로 제공하고, 상기 D/A 변환 회로의 출력 전류에 의해 상기 출력단 전류원을 구동하는 것이 가능하다.

또한, 상술한 실시형태에서는 픽셀 회로가 P채널 MOS 트랜지스터를 주체로 구성되었으나, N채널 MOS 트랜지스터 또는 N채널 MOS 트랜지스터와 P채널 MOS 트랜지스터의 조합으로 구성되어도 된다.

### 발명의 효과

본 발명에 따르면, 전류 계조 시스템에 의해 구동된 구동 회로 IC 사이에서의 저계조 영역의 디스플레이 스크린상에서 휘도 불균일을 감소시킬 수 있는 유기 EL 구동 회로 및 상기 유기 EL 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

하나의 수평 라인에 대한 스캔 기간에 상당하는 디스플레이 기간과 수평 스캔의 귀선 기간에 상당하는 리셋 기간을 포함하고 소정의 주파수를 갖는 타이밍 컨트롤 신호의 상기 리셋 기간에서 유기 EL 디스플레이 패널의 단자 핀을 통하여 유기 EL 소자 또는 픽셀 회로의 캐패시터를 리셋하기 위한 유기 EL 구동 회로 IC에 있어서,

상기 유기 EL 소자 또는 캐패시터를 정전압으로 리셋하기 위한 소정의 정전압을 생성하는 리셋 전압 발생 회로;

상기 리셋 전압 발생 회로의 출력과 상기 단자 핀과의 사이에 제공되며, 상기 타이밍 컨트롤 신호, 상기 타이밍 컨트롤 신호와 동등한 리셋 컨트롤 신호, 이들 신호에 동기하여 상기 리셋 기간에 생성된 리셋 펄스나 그외 펄스, 또는 상기 펄스 중 한 신호에 의해 온/오프 제어되는 복수의 리셋 스위치; 및

상기 유기 EL 구동 회로 IC와 동일한 회로 구성을 갖고 정전압 리셋을 위한 전압으로서 유기 EL 구동 회로 IC에 인접하여 제공된 다른 구동 회로 IC에 상기 소정의 정전압을 출력하기 위한 출력 단자를 구비하는 것을 특징으로 하는 유기 EL 구동 회로 IC.

#### 청구항 2.

제1항에 있어서,

상기 유기 EL 디스플레이 패널은 복수의 단자 핀을 갖고,

상기 유기 EL 구동 회로 IC는 평면에서 직사각형이고,

상기 출력 단자는 입력/출력 단자이며, 상기 인접하는 구동 회로 IC의 한 측면에 대응하여 상기 직사각형 유기 EL 구동 회로 IC의 대향하는 측면에 제공되고,

상기 리셋 전압 발생 회로는 소정의 전압을 생성하기 위한 증폭기를 포함하고,

복수의 상기 리셋 스위치는 복수의 상기 단자 핀 중 적어도 복수의 단자 핀에 대응하여 제공되고,

복수의 상기 리셋 스위치는 상기 하나의 신호에 따라 동시에 온으로 되는 것을 특징으로 하는 유기 EL 구동 회로 IC.

### 청구항 3.

제2항에 있어서,

상기 유기 EL 구동 회로 IC의 대향하는 측면에 제공된 상기 입력/출력 단자는 상기 유기 EL 구동 회로 IC내에 제공된 배선 라인에 의해 접속되고,

상기 증폭기의 출력은 임의의 스위치 회로를 통하여 상기 배선 라인에 접속되고,

상기 하나의 신호는 리셋 펄스이고,

상기 임의의 스위치 회로는 복수의 상기 리셋 스위치와 함께 상기 리셋 펄스에 의해 온으로 되는 것을 특징으로 하는 유기 EL 구동 회로 IC.

### 청구항 4.

제3항에 있어서,

상기 증폭기의 출력 단자는 상기 임의의 스위치 회로를 통하여 상기 배선 라인의 실질적인 중앙 위치에 접속되고,

상기 유기 EL 구동 회로 IC는 마스터 구동 회로 IC로서의 유기 EL 구동 회로 IC의 입력/출력 단자를 통하여 슬레이브 구동 회로 IC로서의 상기 인접하는 구동 회로 IC의 입력/출력 단자 중 하나에 상기 소정의 전압을 출력하는 것을 특징으로 하는 유기 EL 구동 회로 IC.

### 청구항 5.

제4항에 있어서,

상기 유기 EL 구동 회로 IC 및 상기 다른 인접하는 구동 회로 IC는 실질적으로 동일한 회로 구성을 갖고,

상기 다른 인접하는 슬레이브 구동 회로 IC의 임의의 스위치 회로는 오프로 유지되는 것을 특징으로 하는 유기 EL 구동 회로 IC.

### 청구항 6.

제5항에 있어서,

복수의 상기 단자 핀은 출력단 전류원에 접속되고,

상기 출력단 전류원은 상기 유기 EL 소자 또는 상기 픽셀 회로의 캐패시터에 구동 전류를 각각 공급하고,

상기 증폭기는 OP(operational) 앰프이고,

상기 리셋 펄스는 프리차지 펄스이고,

상기 소정의 전압은 리셋 전압인 것을 특징으로 하는 유기 EL 구동 회로 IC.

## 청구항 7.

제6항에 있어서,

상기 리셋 전압 발생 회로는 제1 D/A 변환 회로를 포함하고,

상기 출력단 전류원은 제2 D/A 변환 회로로 구성되고,

D/A 변환을 위한 데이터는 상기 제1 D/A 변환 회로에 세트되고,

상기 OP 앰프는 기준 저항을 통하여 전원 + Vcc에 접속되며, 상기 제1 D/A 변환 회로에 의해 D/A 변환된 전압에 응답하여 상기 리셋 전압을 생성하고,

상기 제2 D/A 변환 회로는 디스플레이 데이터를 D/A 변환하여 상기 구동 전류를 생성하는 것을 특징으로 하는 유기 EL 구동 회로 IC.

## 청구항 8.

제7항에 있어서,

상기 리셋 전압 발생 회로는 상기 제1 D/A 변환 회로와 상기 OP 앰프와의 사이에 제공된 버퍼 앰프를 포함하고,

상기 버퍼 앰프는 상기 제1 D/A 변환 회로로부터의 전압에 응답하여, 상기 임의의 스위치 회로를 통해 상기 배선 라인과 상기 OP 앰프에 상기 전압을 공급하고,

상기 OP 앰프는 상기 버퍼 앰프로부터의 전압에 응답하여 상기 리셋 전압을 생성하는 것을 특징으로 하는 유기 EL 구동 회로 IC.

## 청구항 9.

제8항에 있어서,

상기 버퍼 앰프로부터의 전압은 상기 리셋 전압보다 낮은 것을 특징으로 하는 유기 EL 구동 회로 IC.

## 청구항 10.

제6항에 있어서,

상기 유기 EL 디스플레이 패널은 액티브 매트릭스형이고,

상기 리셋 전압은 상기 픽셀 회로의 캐패시터의 전압을 리셋하는 것을 특징으로 하는 유기 EL 구동 회로 IC.

## 청구항 11.

하나의 수평 라인에 대한 스캔 기간에 상당하는 디스플레이 기간과 수평 스캔의 귀선 기간에 상당하는 리셋 기간을 포함하고 소정의 주파수를 갖는 타이밍 컨트롤 신호의 상기 리셋 기간에서 유기 EL 디스플레이 패널의 단자 핀을 통하여 유기 EL 소자 또는 픽셀 회로의 캐패시터를 리셋하기 위한 복수의 유기 EL 구동 회로 IC를 갖는 유기 EL 디스플레이 패널에 있어서,

상기 유기 EL 구동 회로 IC의 각각은 상기 유기 EL 소자 또는 상기 캐패시터를 정전압으로 리셋하기 위한 소정의 정전압을 생성하는 리셋 전압 발생 회로와, 상기 리셋 전압 발생 회로의 출력과 상기 단자 핀과의 사이에 제공되며, 상기 타이밍 컨트롤 신호, 상기 타이밍 컨트롤 신호와 동등한 리셋 컨트롤 신호, 상기 신호에 동기하여 상기 리셋 기간에 생성된 리셋 펄스나 그외 펄스, 또는 상기 펄스 중 하나의 신호에 의해 온/오프 제어되는 복수의 리셋 스위치를 포함하고,

복수의 상기 유기 EL 구동 회로 IC는 인접하여 배열되며, 상기 유기 EL 구동 회로 IC 중 적어도 하나가 리셋을 위한 전압으로서 다른 유기 EL 구동 회로 IC 중 하나에 상기 소정의 정전압을 출력하기 위한 출력 단자를 갖고, 상기 하나의 유기 EL 구동 회로 IC는 정전압 리셋을 위한 전압으로서 입력 단자에 공급된 상기 소정의 전압을 수용하는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 12.

제11항에 있어서,

복수의 상기 구동 회로 IC는 적어도 두개의 구동 회로 IC이고,

상기 두개의 구동 회로 IC 중 어느 하나의 입력 단자와 다른 구동 회로 IC의 출력 단자는 상호 인접하여 제공되며 외부에 접속되는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 13.

제12항에 있어서,

상기 유기 EL 디스플레이 패널은 복수의 단자 핀을 갖고,

상기 유기 EL 구동 회로 IC는 평면에서 직사각형이고,

상기 출력 단자는 입력/출력 단자이며, 상기 인접하는 구동 회로 IC의 한 측면에 대응하여 상기 직사각형 유기 EL 구동 회로 IC의 대향하는 측면에 제공되고,

상기 리셋 전압 발생 회로는 소정의 전압을 생성하기 위한 증폭기를 포함하고,

상기 유기 EL 구동 회로 IC의 리셋 스위치는 복수의 상기 단자 핀 중 적어도 복수의 단자 핀에 대응하여 제공되고,

복수의 상기 리셋 스위치는 상기 한 신호에 따라 동시에 온으로 되는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 14.

제13항에 있어서,

상기 유기 EL 구동 회로 IC 각각의 대향하는 측면에 제공된 입력/출력 단자는 상기 유기 EL 구동 회로 IC내에 제공된 배선 라인에 의해 접속되고,

상기 증폭기의 출력은 임의의 스위치 회로를 통하여 상기 배선 라인에 접속되고,

상기 하나의 신호는 리셋 펄스이고,

상기 임의의 스위치 회로는 복수의 상기 리셋 스위치와 함께 상기 리셋 펄스에 의해 온으로 되는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 15.

제14항에 있어서,

복수의 상기 유기 EL 구동 회로 IC 중 적어도 하나의 상기 증폭기의 출력 단자는 상기 임의의 스위치 회로를 통하여 상기 배선 라인의 실질적인 중앙 위치에 접속되고,

상기 유기 EL 구동 회로 IC는 마스터 구동 회로 IC로서의 유기 EL 구동 회로 IC의 입력/출력 단자를 통하여 슬레이브 구동 회로 IC로서의 상기 인접하는 구동 회로 IC의 입력/출력 단자 중 하나에 상기 소정의 전압을 출력하는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 16.

제15항에 있어서,

상기 구동 회로 IC의 수는 3개이며, 중앙에 배열된 상기 구동 회로 IC 중 하나는 상기 구동 회로 IC의 입력/출력 단자를 통하여 나머지 2개의 구동 회로 IC 각각의 입력/출력 단자 중 하나에 상기 소정의 전압을 공급하는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 17.

제16항에 있어서,

상기 중앙의 구동 회로 IC의 입력/출력 단자는 외부 배선 라인을 통하여 상기 나머지 2개의 구동 회로 IC 각각의 입력/출력 단자 중 하나에 각각 접속되는 것을 특징으로 하는 유기 EL 디스플레이 패널.

## 청구항 18.

제17항에 있어서,

상기 출력단 전류원은 복수의 상기 리셋 스위치에 접속된 단자 핀에 각각 접속되고,

상기 출력단 전류원은 상기 단자 핀에 접속된 상기 유기 EL 소자 또는 상기 픽셀 회로의 캐패시터에 구동 전류를 각각 공급하고,

상기 증폭기는 OP 앰프이고,

상기 리셋 펄스는 프리차지 펄스이고,

상기 소정의 전압은 리셋 전압인 것을 특징으로 하는 유기 EL 디스플레이 패널.

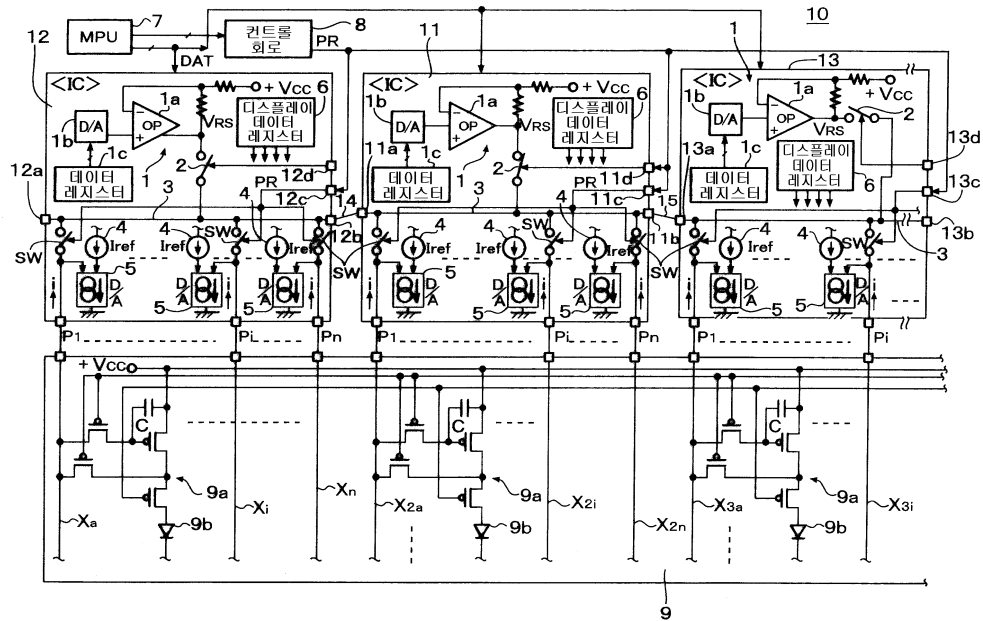
## 청구항 19.

제18항에 있어서,

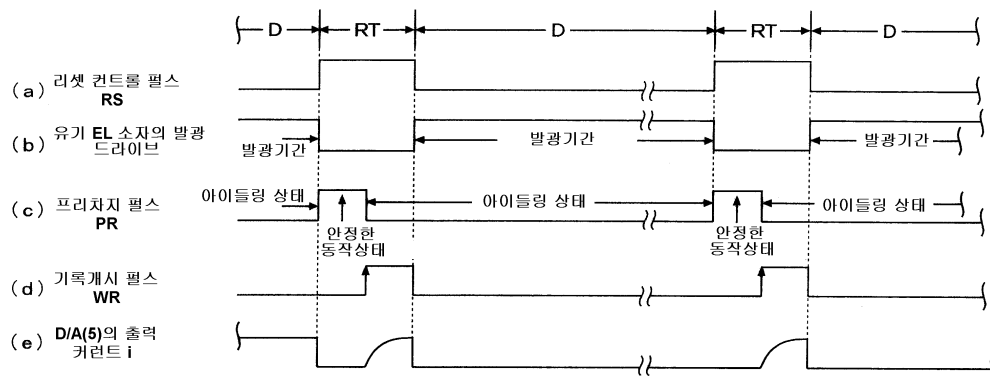
상기 3개의 유기 EL 구동 회로 IC는 실질적으로 동일한 회로 구성을 갖는 것을 특징으로 하는 유기 EL 디스플레이 패널.

도면

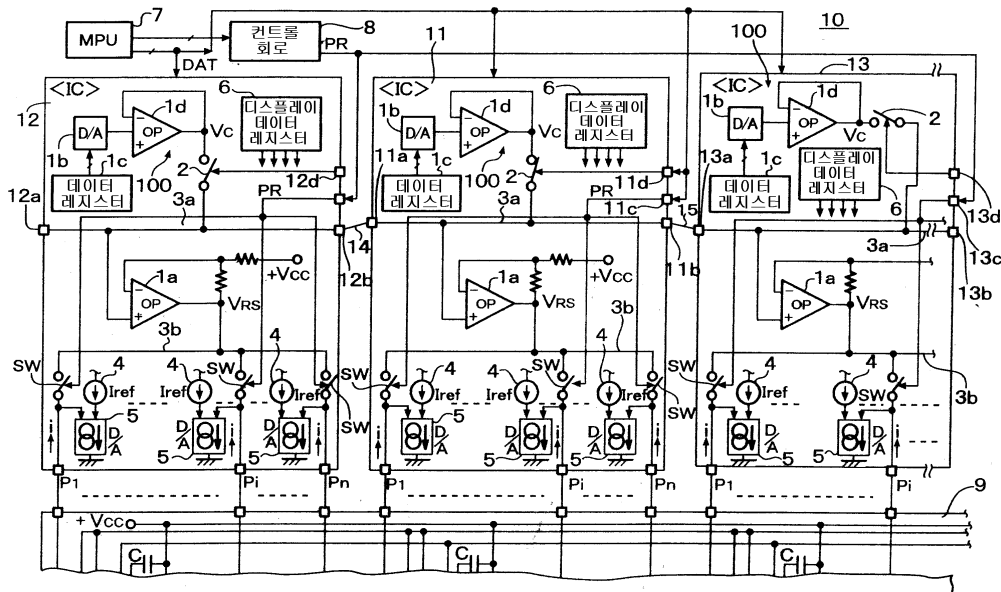
도면1



도면2



도면3



|                |                                                                                  |         |            |
|----------------|----------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机EL驱动电路和有机EL显示装置                                                                |         |            |
| 公开(公告)号        | <a href="#">KR1020060048447A</a>                                                 | 公开(公告)日 | 2006-05-18 |
| 申请号            | KR1020050053284                                                                  | 申请日     | 2005-06-21 |
| [标]申请(专利权)人(译) | 罗姆股份有限公司<br>罗穆亚尔德是部分株式会社                                                         |         |            |
| 申请(专利权)人(译)    | 罗穆亚尔德株式会社                                                                        |         |            |
| 当前申请(专利权)人(译)  | 罗穆亚尔德株式会社                                                                        |         |            |
| [标]发明人         | YAGUMA HIROSHI<br>야구마히로시<br>ABE SHINICHI<br>아베신이치<br>KOBAYASHI MASATO<br>코바야시마사토 |         |            |
| 发明人            | 야구마히로시<br>아베신이치<br>코바야시마사토                                                       |         |            |
| IPC分类号         | G09G3/30 G09G3/32                                                                |         |            |
| CPC分类号         | G09G2310/0251 G09G2300/0861 G09G3/3233 G09G2300/0842 G09G2320/0233 G09G3/3283    |         |            |
| 优先权            | 2004183486 2004-06-22 JP                                                         |         |            |
| 其他公开文献         | KR100641441B1                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                        |         |            |

## 摘要(译)

有机EL驱动电路设置在复位电压产生电路之间，用于产生用于复位恒定电压的预定恒定电压和有机EL显示板的端子引脚，并用于输出时序控制信号，复位控制信号，其等于控制信号，复位脉冲和在与信号同步的复位周期中产生的另一个脉冲，复位开关由一个脉冲控制开/关，并且输出端子设置在电路附近并且输出预定的恒定电压到具有与有机EL驱动电路相同的电路配置的另一个有机EL驱动电路。 1

