



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월18일

(11) 등록번호 10-1503823

(24) 등록일자 2015년03월12일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-7023317

(22) 출원일자(국제) 2009년03월17일

심사청구일자 2014년01월28일

(85) 번역문제출일자 2010년10월19일

(65) 공개번호 10-2010-0124338

(43) 공개일자 2010년11월26일

(86) 국제출원번호 PCT/US2009/001679

(87) 국제공개번호 WO 2009/117090

국제공개일자 2009년09월24일

(30) 우선권주장

JP-P-2008-070550 2008년03월19일 일본(JP)

(56) 선행기술조사문헌

WO2007066550 A1*

WO2001054107 A1

US20060022305 A1

US20070018078 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

글로벌 오엘이디 테크놀로지 엘엘씨

미국 버지니아 20171 헌턴 스위트 330 13873 파크
센터 로드

(72) 발명자

카와베 카즈요시

일본 도쿄 101-0062 치요다쿠 케이디엑스 오차노
미즈빌딩 2-9 칸다스루가다이

(74) 대리인

석혜선, 김용인

전체 청구항 수 : 총 2 항

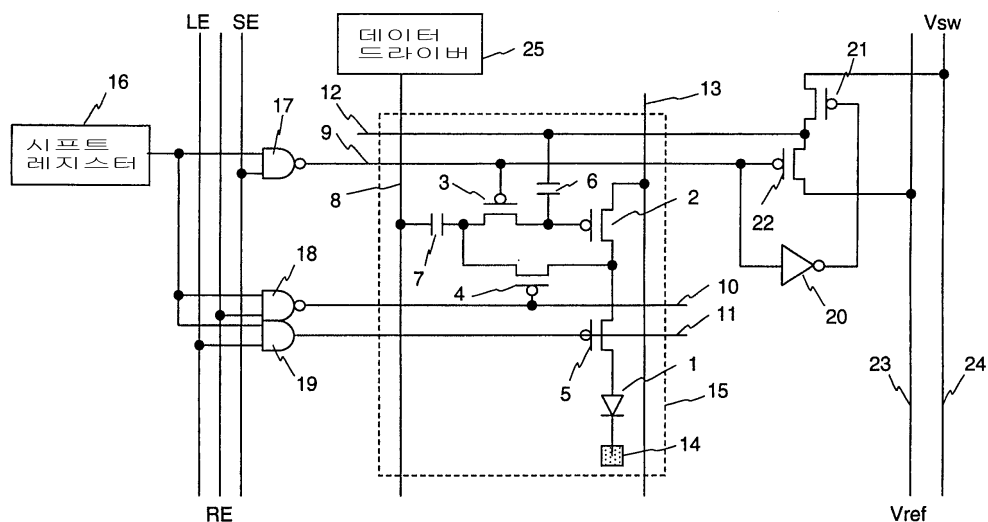
심사관 : 조기덕

(54) 발명의 명칭 PWM 제어를 가지는 OLED 디스플레이 패널

(57) 요약

구동 트랜지스터(2)에 PWM 드라이브를 적용하는 디스플레이 패널을 제공한다. 구동 트랜지스터는 게이트 전압에 따라 전류를 공급하며, 전류는 발광 소자를 조명하기 위해 발광 소자(1)에 공급된다. 저장 커패시터(6)의 하나의 단부는 구동 트랜지스터의 게이트에 연결되며, 이의 다른 단부는 스위프 라인(12)에 연결된다. 상승 위상 및 하강 위상을 교대로 반복하는 삼각파는, 발광 소자의 광 방출을 제어하기 위해, 게이트 전압에 따라 구동 트랜지스터의 온 주기를 제어하기 위해 스위프 라인에 공급된다.

대표도 - 도4



특허청구의 범위

청구항 1

삭제

청구항 2

매트릭스로 배열된 픽셀들을 가지는 디스플레이 패널로서,

각각의 픽셀은:

데이터 라인에 연결된 하나의 단부를 가지는 결합 커패시터;

선택 라인에 연결된 게이트 및 결합 커패시터의 다른 단부에 연결된 하나의 단부를 가지는 선택 트랜지스터;

게이트 전압에 따라 전류를 공급하는, 선택 트랜지스터의 다른 단부에 연결된 게이트를 가지는, 구동 트랜지스터;

구동 트랜지스터로부터 공급된 전류에 의해 광을 방출하며 구동 트랜지스터의 드레인에 연결되어 있는 발광 소자;

구동 트랜지스터 및 발광 소자의 연결점에 연결된 하나의 단부, 결합 커패시터 및 선택 트랜지스터의 연결점에 연결된 또다른 단부, 및 리셋 라인에 연결된 게이트를 가지는 리셋 트랜지스터;

구동 트랜지스터의 게이트에 연결된 하나의 단부 및 스위프 라인에 연결된 다른 단부를 가지는 저장 커패시터;

리셋 트랜지스터 및 선택 트랜지스터가 켜지는 턴온(turn on) 수단; 및

발광을 제어하기 위해 게이트 전압에 따라 구동 트랜지스터의 온 주기를 제어하기 위해 스위프 라인(i)으로 상승 위상 및 하강 위상을 교대로 반복하는 삼각파를 적용하기 위한 수단을 포함하며,

전류가 흐르고 구동 트랜지스터의 특성에 대응하는 전압이 결합 커패시터로 기록되도록 구동 트랜지스터는 다이오드 연결되며, 이때, 리셋 트랜지스터를 끄는 상태에서, 선택 트랜지스터가 켜지고 데이터 라인의 전압은 결합 커패시터를 경유하여 저장 커패시터로 기록되는 디스플레이 패널.

청구항 3

제 2 항에 있어서,

발광 제어 트랜지스터는 리셋 트랜지스터 및 구동 트랜지스터의 드레인의 연결점과, 발광 소자 사이에 배열되어 있으며,

리셋 트랜지스터가 켜지는 경우, 발광 제어 트랜지스터가 켜지는 디스플레이 패널.

명세서

기술분야

[0001] 본 발명은 매트릭스로 배열된 픽셀들을 가지는 디스플레이 패널에 관한 것이다.

배경기술

[0002] 유기 EL 디스플레이가 자가-발광이므로, 이들은 자연 이미지(natural image) 등을 디스플레이하는 텔레비전과 같은 비디오 응용에 이들을 적합하게 하는, 높은 콘트라스트 및 빠른 응답을 나타낸다. 일반적으로, 유기 EL 소자는 트랜지스터와 같은 제어 소자에 의해 구동되며, 다중 톤(tone)은 방출 주기를 변화시키도록 정전압을 가지는 트랜지스터를 구동하거나 또는 데이터에 따라 정전류를 가지는 트랜지스터를 구동함으로써 실현된다.

[0003] 정전류를 가지는 구동 트랜지스터의 경우에, 이들이 포화 영역에서 사용됨에 따라, 이동성 및 역치와 같은 트랜지스터들의 특성에서의 변화는 유기 EL 소자를 통해 흐르는 전류에서의 변화를 야기하며, 이는 디스플레이에서 불균일성을 가져온다. 이와 같이, JP 2007-79599A는 정전압을 가지는 선형 영역에서 트랜지스터를 디지털방식으

로 구동함으로써 디스플레이에서의 불균일성을 감소하는 방법을 개시하고 있다.

[0004] 그러나, JP 2007-79599A에 개시된 예에 따르면, 유기 EL 소자에 직렬로 연결된 구동 트랜지스터에서, 게이트 단자 및 드레인 단자는 리셋 트랜지스터에 의해 다이오드 연결되며, 리셋 트랜지스터가 켜지는 경우더라도, 구동 트랜지스터의 게이트 전위는 리셋 트랜지스터로부터의 누설 전류 때문에 변한다. JP 2007-79599A는 리셋 트랜지스터에만 LLD(Lightly Doped Drain)의 도입 및 리셋 트랜지스터로서 n-채널 트랜지스터의 사용을 포함하는, 누설 전류의 문제를 해결하기 위한 예들을 개시하고 있다. 그러나, 이들 측정은 트랜지스터의 제조 공정을 복잡하게 하며, 이는 비용 감소를 어렵게 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 내용에 포함되어 있음.

과제의 해결 수단

[0006] 본 발명의 태양에 따른 디스플레이 패널은 매트릭스로 배열된 픽셀들을 가진다. 각각의 픽셀은, 게이트 전압에 따라 전류를 공급하는 구동 트랜지스터, 구동 트랜지스터로부터 공급된 전류에 의해 광을 방출하는 발광 소자, 및 구동 트랜지스터의 게이트에 연결된 하나의 단부 및 스위프 라인에 연결된 다른 단부를 가지는 저장 커패시터를 포함한다. 교대로 상승 위상 및 하강 위상을 반복하는 삼각파는 각각의 픽셀의 발광을 제어하기 위해 게이트 전압에 따라 구동 트랜지스터의 온 주기를 제어하기 위해 스위프 라인으로 공급된다.

[0007] 본 발명의 또다른 태양에 따른 디스플레이 패널은 매트릭스로 배열된 픽셀들을 가지며, 각각의 픽셀은: 데이터 라인에 연결된 하나의 단부를 가지는 결합 커패시터; 선택 라인에 연결된 게이트 및 결합 커패시터의 다른 단부에 연결된 하나의 단부를 가지는 선택 트랜지스터; 게이트 전압에 따라 전류를 공급하며, 선택 트랜지스터의 다른 단부에 연결된 게이트를 가지는 구동 트랜지스터; 구동 트랜지스터로부터 공급된 전류에 의해 광을 방출하며 구동 트랜지스터의 드레인에 연결되어 있는 발광 소자; 구동 트랜지스터 및 발광 소자의 연결점에 연결된 하나의 단부, 결합 커패시터 및 선택 트랜지스터의 연결점에 연결된 또다른 단부, 및 리셋 라인에 연결된 게이트를 가지는 리셋 트랜지스터; 및 구동 트랜지스터의 게이트에 연결된 하나의 단부 및 스위프 라인에 연결된 다른 단부를 가지는 저장 커패시터를 포함한다. 리셋 트랜지스터 및 선택 트랜지스터가 켜지는 경우, 구동 트랜지스터는 전류가 흐르고 구동 트랜지스터의 특성에 대응하는 전압이 결합 커패시터로 기록되도록 다이오드 연결된다. 이때, 리셋 트랜지스터를 끄는 상태에서, 선택 트랜지스터가 켜지고 데이터 라인의 전압은 결합 커패시터를 경유하여 저장 커패시터로 기록되며, 상승 위상 및 하강 위상을 교대로 반복하는 삼각파는 발광을 제어하기 위해 게이트 전압에 따라 구동 트랜지스터의 온 주기를 제어하기 위해 스위프 라인에 공급된다.

[0008] 또한 바람직하게는, 발광 제어 트랜지스터는 리셋 트랜지스터 및 구동 트랜지스터의 드레인의 연결점과, 발광 소자 사이에 배열되어 있으며, 리셋 트랜지스터가 켜지는 경우, 발광 제어 트랜지스터가 켜진다.

발명의 효과

[0009] 본 발명에 따르면, 방출 주기는 제어될 수 있으며, 또한 전류는 이미지 데이터를 따라 효과적으로 제어될 수 있다. 또한, 리셋 트랜지스터의 드레인이 선택 트랜지스터를 경유하여 구동 트랜지스터의 게이트에 연결됨에 따라, 구동 트랜지스터의 게이트 전압에 대한 리셋 트랜지스터로부터 누설 전류의 영향은 제어될 수 있다.

도면의 간단한 설명

[0010] 도 1은 픽셀 회로의 구성을 나타내는 다이어그램이다.

도 2는 데이터가 기록되는 경우 개별 라인들의 상태를 나타내는 다이어그램이다.

도 3은 스위핑(sweeping)을 설명하는 다이어그램이다.

도 4는 스위프 펄스(sweep pulse)를 인가하기 위한 회로를 나타내는 다이어그램이다.

도 5a는 스위프 펄스를 인가하기 위한 타이밍의 일 예를 나타내는 다이어그램이다.

도 5b는 스위프 펄스를 인가하기 위한 타이밍의 또다른 예를 나타내는 다이어그램이다.

도 6은 스위프 펄스를 인가하기 위한 회로의 또다른 예를 나타내는 다이어그램이다.

도 7은 디스플레이 패널의 구성을 나타내는 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명의 실시예는 도면을 참고로 하여 설명될 것이다.

[0012] 도 1은 일 실시예에 따른 디스플레이에서의 픽셀(15)의 예시적 구성을 나타낸다. 픽셀(15)은 유기 EL 소자(1), 구동 트랜지스터(2), 선택 트랜지스터(3), 리셋 트랜지스터(4), 발광 제어 트랜지스터(5), 저장 커패시터(6), 및 결합 커패시터(7)를 포함한다. P-형 박막 트랜지스터가 모든 트랜지스터에 채택되어 있음을 유의해야 한다.

[0013] 구동 트랜지스터(2)는 이의 소스 단자가 모든 픽셀에 공유된 전력원 라인(13)에 연결되며, 이의 드레인 단자는 발광 제어 트랜지스터(5)의 소스 단자 및 리셋 트랜지스터(4)의 소스 단자에 연결되고, 이의 게이트 단자는 선택 트랜지스터(3)의 소스 단자 및 저장 커패시터(6)의 하나의 단부에 연결되도록 구성되며, 저장 커패시터(6)의 다른 단부는 스위프 라인(12)에 연결된다. 선택 트랜지스터(3)의 게이트 단자는 선택 라인(9)에 연결되며, 드레인 단자는 결합 커패시터(7)의 하나의 단부 및 리셋 트랜지스터(4)의 드레인 단자에 연결되고, 결합 커패시터(7)의 다른 단부는 데이터 라인(8)에 연결된다. 리셋 트랜지스터(4)의 게이트 단자는 리셋 라인(10)에 연결된다. 발광 제어 트랜지스터(5)의 게이트 단자는 발광 제어 라인(11)에 연결되며, 이의 드레인 단자는 유기 EL 소자(1)의 애노드에 연결된다. 유기 EL 소자(1)의 캐소드는 모든 픽셀에 의해 공유된 캐소드 전극(14)에 연결된다.

[0014] 도 2는 픽셀(15)을 구동하기 위한, 데이터 라인(8), 선택 라인(9), 리셋 라인(10), 및 발광 제어 라인(11)으로 입력되기 위한 신호 파형을 나타낸다. 먼저, 블랙 레벨 전위(V_b)가 데이터 라인(8)에 공급되는 경우, 선택 라인(9) 및 리셋 라인(4)은 로우 레벨로 돌려지며, 선택 트랜지스터(3) 및 리셋 트랜지스터(4)가 켜진다. 이에 의해, 구동 트랜지스터(2)의 드레인 단자 및 게이트 단자는 연결되어(다이어드-연결되어), 전류는 발광 제어 트랜지스터(5)를 경유하여 유기 EL 소자(1)를 통해 흐른다. 이때, 발광 제어 라인(11)이 하이 레벨로 돌려지는 경우, 발광 제어 트랜지스터(5)는 꺼진다. 이에 의해, 유기 EL 소자를 통해 흐르는 전류는 리셋 트랜지스터(4)를 경유하여 결합 커패시터(7)로 흐르고, 또한 전류가 흐르지 않는 방향(전압이 증가하는 방향)으로 구동 트랜지스터(2)의 게이트 전위를 시프트(shift)하기 위해 선택 트랜지스터(3)를 경유하여 저장 커패시터(6)로 흐른다. 이에 의해, 구동 트랜지스터(2)의 게이트 전위는 역치 전위(V_{th})에 의해 전력원 라인(13)의 전원 전위(V_{dd})보다 낮은 전위($V_{dd}-V_{th}$) 근처로 수렴한다.

[0015] 이후, 리셋 라인(10)이 하이 레벨로 돌려지는 경우, 구동 트랜지스터(2)의 게이트 전위는 결합 커패시터(7) 및 저장 커패시터(6)에 의해 $V_{dd}-V_{th}$ 로 유지된다. 이 상태에서, 화이트 레벨 전위 $V_w(<V_b)$ 가 데이터 라인(8)에 공급되는 경우, 구동 트랜지스터(2)의 게이트 전위(V_g)는 $V_g=V_{dd}-V_{th}-C_c(C_c+C_s)*(V_b-V_w)$ 가 되며, 여기서 C_c 는 결합 커패시터(7)의 커패시턴스를 나타내며, C_s 는 저장 커패시터(6)의 커패시턴스를 나타낸다. C_c 가 C_s 보다 충분히 크다는 가정하에서, $V_g=V_{dd}-V_{th}-(V_b-V_w)$ 이다. 따라서, 구동 트랜지스터(2)의 게이트 전위로, V_{th} 는 화이트 레벨과 블랙 레벨 사이의 차이를 오프셋하기 위해 자동으로 인가된다.

[0016] 데이터의 기록이 끝나는 경우, 선택 라인(9)은 하이 레벨로 돌려지며, 게이트 전위는 다음에 선택될 때까지 저장 커패시터(6)에 저장된다.

[0017] 선택 트랜지스터(3) 및 리셋 트랜지스터(4)가 비선택 주기 동안 오프(off)되더라도, 누설 전류는 리셋 트랜지스터(4)에서 야기될 것 같다. 이는, 블랙 레벨 V_b 가 픽셀(15)로의 이미지 데이터로서 기록된다면, 게이트 전위 V_g 가 $V_{dd}-V_{th}$ 가 되기 때문이며, 거의 어떠한 전류도 유기 EL 소자(1)를 통해 흐르지 않아, 비록 리셋 트랜지스터(4)의 소스 단자의 전위가 캐소드 전위 V_{SS} 근처의 전위로 강하하더라도, 이의 드레인 전위는 $V_{dd}-V_{th}$ 로 유지한다. 이와 같이, 리셋 트랜지스터(4)의 드레인과 소스의 전위차는 크다.

[0018] 픽셀(15)에서, 선택 트랜지스터(3)가 리셋 트랜지스터(4)의 드레인 단자와 구동 트랜지스터(2)의 게이트 단자 사이에 배열된 경우, 드레인 전위가 리셋 트랜지스터(4)의 누설 전류 때문에 강하하더라도, 강하는 구동 트랜지스터(2)의 게이트 전위에 영향을 미치지 않아, 기록된 게이트 전위는 유지된다.

[0019] 도 3은 이미지 데이터가 기록된 이후 스위프 라인에 인가되기 위한 스위프 펄스를 나타낸다. 데이터가 기록된 이후, 삼각파는 도 3에 도시된 바와 같이 스위프 라인(12)으로 입력된다. 이에 의해, 구동 트랜지스터(2)의 게이트 전위는 저장 커패시터(6)를 경유하여 스위프 라인(12)과 같은 동일한 방식으로 변한다. 데이터가 기록되는 경우 전원 전위 V_{dd} 가 스위프 라인(12)에 공급된다면, $V_{th}+(V_b-V_w)$ 의 전위차는 저장 커패시터(6)로 기록될 수 있다. 스위프 라인(12)의 전위(스윙 전위)가 V_{sw} 라는 가정 하에서, 구동 트랜지스터(2)의 게이트 전위(V_g)는 $V_g=V_{sw}-V_{th}-(V_b-$

V_w)에 따라 변한다. 스위치 전위 V_{sw} 가 $V_{dd}+(V_b-V_w)$ 인 경우, 구동 트랜지스터(2)의 게이트 전위는 $V_{dd}-V_{th}$ 가 된다. 이와 같이, 차(V_b-V_w)가 더 클수록, 블랙아웃(black) 주기는 더 짧게 되며(방출 주기는 더 길게 된다) 그리고 차가 더 작을수록, 블랙아웃 주기는 더 길게 된다(방출 주기는 더 짧게 된다). 다시 말하면, 방출 주기는 화이트 레벨과 블랙 레벨 입력 사이의 데이터 차(V_b-V_w)에 의해 제어될 수 있다.

[0020] 따라서, 화이트 레벨 V_w 로서 픽셀의 밝기에 대응하는 데이터 전압을 공급함으로써, 픽셀은 데이터에 대응하는 주기 동안 광을 방출한다. 이와 같이, 방출 주기를 제어하기 위한 PWM 제어는 밝기 데이터에 의해 수행되며, 구동 트랜지스터(2)의 V_{th} 는 또한 동시에 보상된다. 또한, 디지털 구동의 경우에, 블랙 레벨 V_b 및 화이트 레벨 V_w 모두는 데이터 전압으로서 공급된다. 비록 화이트 레벨 V_w 가 일정하더라도, 또한 이 경우에도 각각의 구동 트랜지스터(2)의 V_{th} 를 보상하는 것이 가능하다.

[0021] 도 4는 데이터 라인(8), 선택 라인(9), 리셋 라인(10), 및 픽셀(15)의 발광 제어 라인(11)으로 제어 신호를 공급하기 위한 주변 회로들의 예를 나타낸다. 일반적으로, 적어도 하나의 시프트 레지스터(16)는 개별 라인들에 제공되며, 선택된 데이터는 가장 높은 라인에서 낮은 라인으로 순차적으로 시프트된다. 시프트 레지스터(16)의 출력 단자는 선택 가능 회로(17), 리셋 가능 회로(18), 및 발광 가능 회로(19)의 각각의 입력 단자에 연결된다. 선택 가능 회로(17)의 또다른 입력 단자는 선택 가능 라인(SE)에 연결되며, 리셋 가능 회로(18)의 또다른 입력 단자는 리셋 가능 라인(RE)에 연결되며, 발광 가능 회로(19)의 또다른 입력 단자는 발광 가능 라인(LE)에 연결된다.

[0022] 하이 레벨의 선택된 데이터가 시프트 레지스터(16)에서 저장되는 경우 선택 가능 라인(SE)이 하이 레벨로 돌려진다면, 선택 라인(9)은 로우가 되며 선택된다. 그 때, 리셋 가능 라인(RE)이 하이 레벨로 돌려진다면, 리셋 라인(10)은 로우가 되어, 구동 트랜지스터(2)의 드레인 단자 및 게이트 단자는 연결되며, 이에 의해 전류는 유기 EL 소자(1)로 흐른다.

[0023] 이때, 발광 가능 라인(LE)이 하이 레벨로 돌려지도록 블랙 레벨 전위(V_b)가 데이터 드라이버(25)로 데이터 라인(8)으로 공급되는 경우, 발광 제어 라인(11)은 하이가 되며, 유기 EL 소자(1)로 흐르는 전류는 중단되며, 역치 전위 V_{th} 는 저장 커패시터(6) 및 결합 커패시터(7)로 기록된다. 리셋 가능 라인(RE)이 로우 레벨로 돌려지는 경우, 리셋 라인(10)은 하이가 되며, 역치 전위(V_{th})는 저장 커패시터(6) 및 결합 커패시터(7)에 저장된다. 이때, 이미지 데이터(V_w)가 데이터 드라이버(25)로부터 데이터 라인(8)으로 공급되는 경우, V_{th} 가 정정된 데이터는 구동 트랜지스터(2)의 게이트 단자로 기록된다.

[0024] 이때, 시프트 레지스터(16)에 저장된, 하이 레벨의 선택된 데이터가 다음 단계로 시프트되고 로우 레벨의 데이터가 이 안에 저장되는 경우, 선택 가능 라인(SE), 리셋 가능 라인(RE) 및 발광 가능 라인(LE)의 상태에 관계없이, 선택 가능 회로(17), 리셋 가능 회로(18) 및 발광 가능 회로(19)에 의해 각각, 선택 라인(9)은 하이 레벨로 돌려지고, 리셋 라인(10)은 하이 레벨로 돌려지며, 발광 제어 라인(11)은 로우 레벨로 돌려져, 픽셀(15)에 기록된 데이터는 저장된다.

[0025] 이 기록 동작에서, 선택 라인(9)이 선택되고 로우 레벨로 돌려지는 경우, 스위치 라인(12)은, 스위치(22)에 의해, $V_{ref}(V_{dd})$ 가 공급되는 기준 전위 라인(23)에 연결된다. 동시에, 선택 라인(9)의 낮은 전위가 스위치(21)를 켜도록 인버터(20)에 의해 역전되는 경우, 스위치 라인(12)은 스위치 전위 V_{sw} 가 공급되는 스위치 전위 라인(24)으로부터 차단된다.

[0026] 기록 동작이 끝나는 경우, 선택 라인(9)은 하이가 되고, 스위치(22)가 꺼짐에 따라, 스위치 라인(12)은 기준 전위 라인(23)으로부터 차단되고, 스위치(21)는 인버터(20)에 의해 역전된 신호에 의해 켜지며, 이에 의해 스위치 라인(12)은 스위치 전위 라인(24)에 연결된다. 따라서, 스위치 라인(12)은 기록의 시간에만 고정되며, 기록이 끝나는 경우, 스위칭을 재시작하기 위한 동작을 반복할 것이다.

[0027] 본 실시예에서, 방출 주기는 스위치 펄스에 의해 제어된다. 구동 트랜지스터(2)가 포화 영역에 있다면, 구동 트랜지스터(2)에서 흐르는 전류량은 아날로그 데이터 전압에 의해 제어되고 방출 주기는 스위치 펄스에 의해 제어된다. 그러나, 구동 트랜지스터(2)가 선형 영역에 있다면, 방출 주기가 디지털 방식으로 제어됨에 따라, 트랜지스터의 특성에 의해 가해진 영향은 감소된다. 이와 같이, 디스플레이에서의 불균일성은 이 태양으로도 감소될 수 있다.

[0028] 도 5a에 도시된 바와 같이, 스위칭에 의한 방출 제어는 도 4에 도시된 주변 회로의 사용에 의해 하나의 프레임 주기 동안 수행될 수 있거나, 또는 스위칭에 의해 제어된 기록 주기 및 방출 주기가 분리되도록 도 5b에 도시된 바와 같이 2 개의 주기로 분할될 수 있다. 도 5b에 도시된 바와 같이, 스위치 펄스는 기록 주기 동안 픽셀에서 광

을 방출하지 않기 위해, 데이터가 기록되는 동안 기록 주기에서 하이 레벨로 유지되며, 스위프 펄스의 레벨은 기록 주기가 끝나는 경우 떨어진다. 기록 주기에서, 데이터 라인(8)에 공급되려는 데이터 전위 V_w' 가 $V_w + \Delta V_{sw}$ 가 되도록 스위프 펄스의 진폭 ΔV_{sw} 가 오프셋으로서 화이트 레벨 V_w 에 추가된다면, 구동 트랜지스터(2)의 게이트 전위 V_g 는 $V_g = V_{dd} - V_{th} - (V_b - V_w) + \Delta V_{sw}$ 가 된다. ΔV_{sw} 가 $(V_b - V_w)$ 보다 더 크다면, 픽셀은 기록 주기 동안 광을 방출하지 않는다. 스위프 펄스의 레벨이 방출 주기에서 떨어짐에 따라, 광 방출이 시작하며, 방출 주기는 $(V_b - V_w)$ 에 비례하여 제어된다. 기록 주기 및 스위프 주기가 도 5b에 도시된 바와 같이 분리되어 있는 경우에, 도 4에 도시된 스위치(21, 22), 인버터(20) 및 기준 전위 라인(23)은 도 6에 도시된 바와 같이 생략될 수 있다. 따라서, 기록 주기에서 $V_{ref}(V_{dd})$ 에서 일정한 스위프 전위를 유지하는 동안 방출 주기에서 삼각파를 발생하는 것이 요건이다.

[0029] 또한, 발광 제어 트랜지스터(5)는 도 6의 픽셀(15)에서와 같이 생략될 수 있다. 이 경우에, 발광 제어 라인(11), 발광 가능 회로(19), 및 발광 가능 라인(LE)은 또한 생략될 수 있어, 그래서 픽셀 회로 및 주변 회로는 간단해진다. 그러나, 발광 제어 트랜지스터(5)를 생략한다면, 선택 트랜지스터(3) 및 리셋 트랜지스터(4)가 켜지는 경우, 저장 커패시터(6) 및 결합 커패시터(7)로 기록되려는 전위는 구동 트랜지스터(2)의 역치 전위(V_{th})가 아니라 유기 EL 소자(1) 및 다이오드-연결된 구동 트랜지스터(2)에 의해 나누어진 리셋 전위이다. 리셋 전위는 또한 전술한 것들과 거의 동일한 이점을 제공하는, 구동 트랜지스터(2)의 특성에 대응하는 전위이다.

[0030] 광을 방출하기 위해 리셋 전위를 기록한 이후 이미지 데이터를 기록하고 스위프 라인(12)을 스위프하기 위한 절차는 동일하다. 또한, 광 방출은, 스위치(21, 22) 및 인버터(20)에 의해, 스위프 라인(12)이 광을 방출하는 시간과 라인을 선택하는 시간 사이에 연결되는 전위를 스위칭함으로써 도 5a에 도시된 바와 같이 하나의 프레임 주기에서 스위프 펄스를 제어함으로써 수행될 수 있다.

[0031] 상승 위상(up phase) 및 하강 위상(down phase)이 교대로 반복되는 한, 스위프 펄스는 반드시 완벽한 삼각파가 아니다. 상승 위상 및 하강 위상의 기울기는 반드시 일정하지 않으며, 상승 위상과 하강 위상 사이에서 다를 수 있다. 또한, 정전압의 주기는 피크(peak) 근처에 존재할 수 있다. 또한, 아래 방향으로 볼록한 파형으로, 방출 주기 및 블랙아웃 주기는 반전될 수 있다.

[0032] 도 7은 디스플레이 패널의 전체 구성을 나타낸다. 데이터 신호 및 타이밍 신호는 데이터 드라이버(25)에 공급되며, 행 방향으로 데이터 라인(8)에 적당하게 공급되며, 이의 각각은 개별 픽셀에 대응하여 배열된다. 시프트 레지스터(16)를 통합하는, 수직 드라이버(26)는 선택 라인(19) 및 리셋 라인(10)의 전압을 적시에 제어한다. 선택 라인(9)의 각각 및 리셋 라인(10)의 각각은 개별 픽셀 라인에 대응하여 제공된다. 또한, 스위프 펄스는 스위프 펄스 발생 회로(27)에서 발생되며, 각각의 픽셀에 공급된다. 픽셀이 매트릭스로 배열되어 있는 영역이 디스플레이 영역(28)이다.

[0033] 위의 예에서 유기 EL 소자가 발광 소자로서 채택되어 있더라도, 전류 구동 유형의 다른 발광 소자가 또한 사용될 수 있다.

부호의 설명

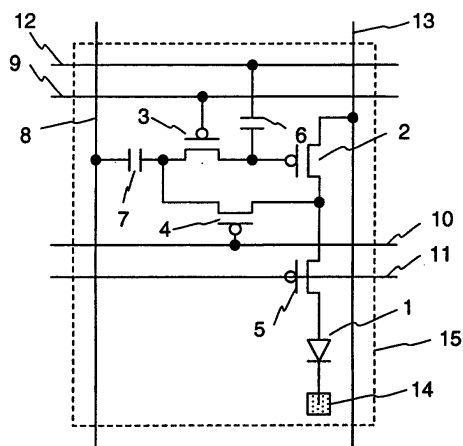
[0034]

- 1 소자
- 2 구동 트랜지스터
- 3 선택 트랜지스터
- 4 리셋 트랜지스터
- 5 발광 제어 트랜지스터
- 6 저장 커패시터
- 7 결합 커패시터
- 8 데이터 라인
- 10 리셋 라인
- 11 발광 제어 라인
- 12 스위프 라인
- 13 전원 라인

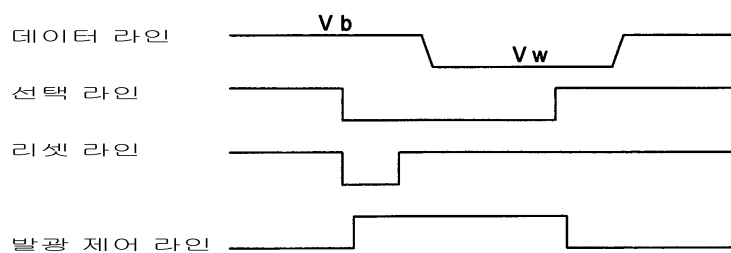
- 14 캐소드 전극
- 15 픽셀
- 16 시프트 레지스터
- 17 선택 가능 회로
- 18 리셋 가능 회로
- 19 발광 가능 회로
- 20 인버터
- 21 스위치
- 22 스위치
- 23 기준 전위 라인
- 24 스윙 전위 라인
- 25 데이터 드라이버
- 26 수직 드라이버
- 27 스윙 펄스 발생 회로
- 28 디스플레이 영역

도면

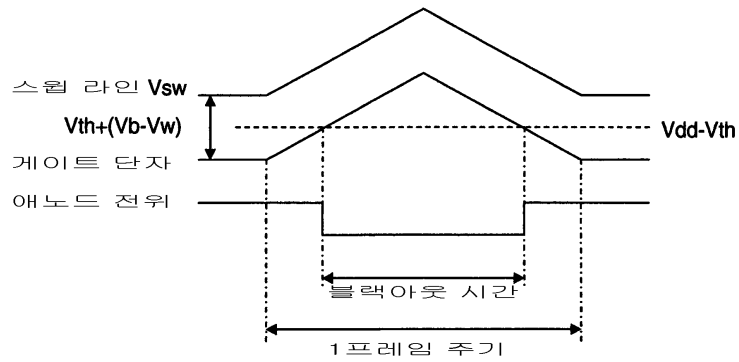
도면1



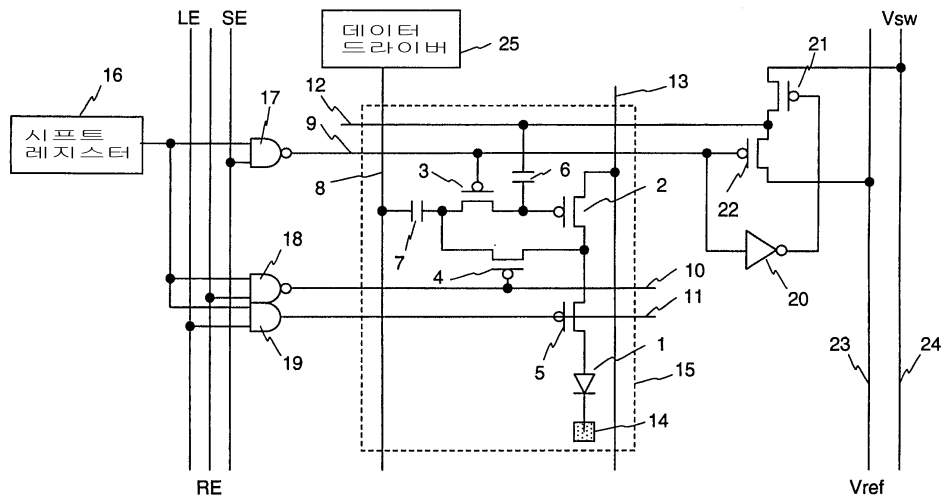
도면2



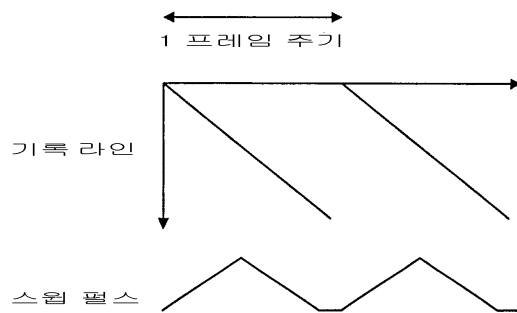
도면3



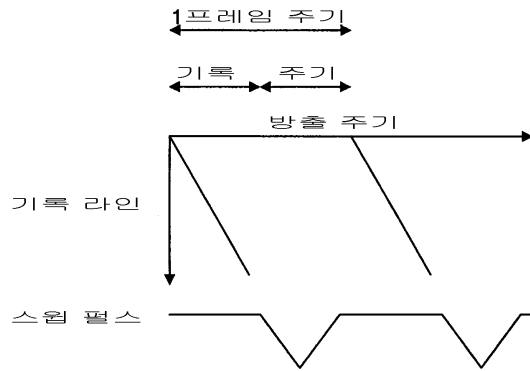
도면4



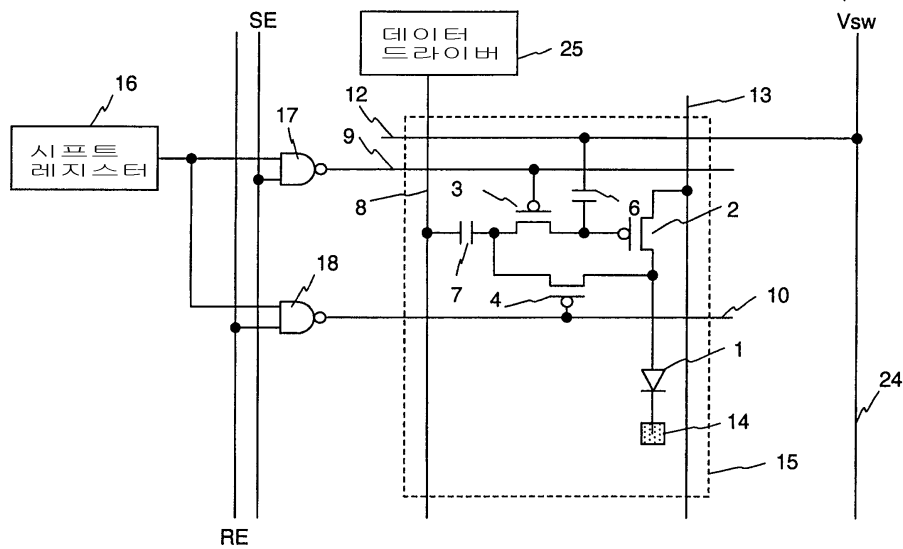
도면5a



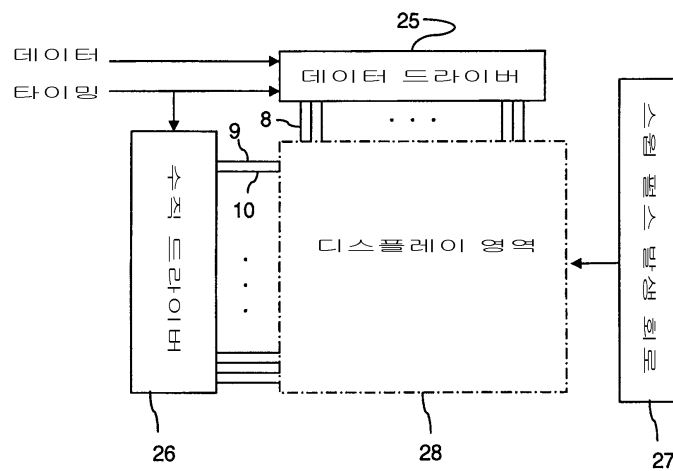
도면5b



도면6



도면7



专利名称(译)	OLED显示面板，带PWM控制		
公开(公告)号	KR101503823B1	公开(公告)日	2015-03-18
申请号	KR1020107023317	申请日	2009-03-17
[标]申请(专利权)人(译)	全球OLED TECH		
申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
当前申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
[标]发明人	KAWABE KAZUYOSHI 카와베카즈요시		
发明人	카와베카즈요시		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3258 G09G3/2014 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0876 G09G2310/066 G09G2320/043		
代理人(译)	Gimyongin		
优先权	2008070550 2008-03-19 JP		
其他公开文献	KR1020100124338A		
外部链接	Espacenet		

摘要(译)

提供将PWM驱动施加到驱动晶体管(2)的显示面板。根据驱动晶体管是栅极电压，提供电流并且将电流提供给发光器件(1)以照射发光器件。存储电容器(6)的一端连接到驱动晶体管的栅极，另一端连接到扫描线(12)。为了使上升相和三角波依次重复降低相位控制发光器件的发光，将栅极电压提供给扫描线，以便根据扫描线控制驱动晶体管的导通周期。栅极电压。

