



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년05월17일
G09G 3/30 (2006.01)	(11) 등록번호	10-0719665
G09G 3/20 (2006.01)	(24) 등록일자	2007년05월11일

(21) 출원번호	10-2006-0023691	(65) 공개번호
(22) 출원일자	2006년03월14일	(43) 공개일자
심사청구일자	2006년03월14일	

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 신동용
 서울특별시 관악구 봉천1동 969-37

(74) 대리인 신영무

(56) 선행기술조사문헌	
JP10011011 A	JP2005031522 A
KR1020050100888 A	KR1020060099597 A

심사관 : 천대식

전체 청구항 수 : 총 27 항

(54) 데이터 구동회로와 이를 이용한 유기 전계발광 표시장치

(57) 요약

본 발명의 제 1측면은, n개의 채널에 각각 데이터 신호를 출력하는 데이터 구동회로에 있어서, 데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부와; 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부와; 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부를 포함함을 특징으로 하는 데이터 구동회로를 제공한다.

이와 같은 본 발명에 의하면, 데이터 구동부에 포함되는 쉬프트 레지스터들 및 래치들을 PMOS 트랜지스터들로만 구성하기 때문에 패널에 실장 가능하고, 이에 따라 제조비용을 절감할 수 있는 장점이 있다.

대표도

도 4

특허청구의 범위

청구항 1.

n개의 채널에 각각 데이터 신호를 출력하는 데이터 구동회로에 있어서,

데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부와;

상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부와;

상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부를 포함함을 특징으로 하는 데이터 구동회로.

청구항 2.

제 1항에 있어서,

상기 쉬프트 레지스터부는 캐스케이드로 연결된 2n개의 쉬프트 레지스터(S/R1 내지 S/R2n)로 구성됨을 특징으로 하는 데이터 구동회로.

청구항 3.

제 2항에 있어서,

상기 제 1쉬프트 레지스터(S/R1)는 데이터 신호를 입력받고, 제 2 내지 제 2n 쉬프트 레지스터(S/R2 ~ S/R2n)는 이전 쉬프트 레지스터의 출력 신호를 입력받음을 특징으로 하는 데이터 구동회로.

청구항 4.

제 2항에 있어서,

상기 다수의 쉬프트 레지스터 중 기수번째 쉬프트 레지스터의 경우 제1클럭단자(clk)로 제 1클럭신호(CLK)를 입력받고, 제 2클럭단자(/clk)로 제 2클럭신호(/CLK)를 입력받으며, 우수번째 쉬프트 레지스터의 경우 제1클럭단자(clk)로 제 2클럭신호(/CLK)를 입력받고, 제 2클럭단자(/clk)로 제 1클럭신호(CLK)를 입력받음을 특징으로 하는 데이터 구동회로.

청구항 5.

제 2항에 있어서,

상기 각각의 쉬프트 레지스터는,

입력신호를 공급받으며 게이트전극이 제 1클럭단자와 접속되는 제 1트랜지스터와,

제 2클럭단자와 출력단 사이에 접속되고, 게이트 전극이 상기 제 1트랜지스터의 제 2전극과 연결되는 제 2트랜지스터와,

제 1클럭단자와 제 2전원 사이에 접속되는 제 3트랜지스터 및 제 4트랜지스터와,

제 1전원과 출력단 사이에 접속되는 제 5트랜지스터와,

상기 제 2트랜지스터의 게이트전극과 제 2전극 사이에 접속되는 커패시터가 포함되어 구성됨을 특징으로 하는 데이터 구동회로.

청구항 6.

제 1항에 있어서,

상기 제 1래치부 및 제 2래치부는 상기 쉬프트 레지스터부를 구성하는 $2n$ 개의 쉬프트 레지스터의 출력 중 i 수번째 쉬프트 레지스터의 출력을 각각 입력으로 하는 n 개의 래치들로 구성됨을 특징으로 하는 데이터 구동회로.

청구항 7.

제 6항에 있어서,

상기 각 래치는, 입력신호(in)를 저장한 뒤 이를 출력하는 전달부(transfer unit)와, 상기 입력신호를 저장한 뒤 이를 반전하여 출력하는 반전부(inversion unit)와, 풀업 트랜지스터 및 풀다운 트랜지스터로 구성되어 상기 전달부 및 반전부에서 출력되는 신호를 선택하여 최종 출력하는 버퍼부(buffer unit)로 구성됨을 특징으로 하는 데이터 구동회로.

청구항 8.

제 7항에 있어서,

상기 각 래치는, 입력신호(in)를 입력 받고, 제 1클럭단자에 게이트가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1클럭단자에 게이트가 접속되고, 제 1전원(VDD) 및 제 1노드(N1) 사이에 연결된 제 2PMOS 트랜지스터(M2)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드(N1)에 연결된 제 3PMOS 트랜지스터(M3)와; 상기 제 1클럭단자에 게이트가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 연결된 제 5PMOS 트랜지스터(M5)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트가 접속되고, 제 1클럭단자 및 제 2노드(N2) 사이에 접속된 제 6PMOS 트랜지스터(M6)와; 제 2노드에 게이트가 접속되고, 제 2클럭단자와 제 3노드(N3) 사이에 연결된 제 8PMOS 트랜지스터(M8)과; 상기 제 1노드(N2)에 게이트가 접속되고, 상기 제 2전원(VSS) 및 출력단(OUT) 사이에 접속된 제 9PMOS 트랜지스터(M9)와; 상기 제 3노드(N3)에 게이트가 접속되고, 상기 제 1전원(VDD) 및 출력단(OUT) 사이에 접속된 제 10PMOS 트랜지스터(M10)이 포함됨을 특징으로 하는 데이터 구동회로.

청구항 9.

제 8항에 있어서,

상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 제 1노드(N1) 사이에 연결된 제 1캐패시터(C1)와; 상기 제 2노드(N2) 및 제 3노드(N3) 사이에 연결된 제 4캐패시터(C4)가 더 포함됨을 특징으로 하는 데이터 구동회로.

청구항 10.

제 8항에 있어서,

상기 제 1노드(N1) 및 상기 제 2전원(VSS) 사이에 연결된 제 2캐패시터(C2)와; 상기 제 3노드(N3) 및 상기 제 2전원(VSS) 사이에 접속된 제 4캐패시터(C5)가 더 포함됨을 특징으로 하는 데이터 구동회로.

청구항 11.

제 6항에 있어서,

상기 제 1 래치부는 상기 쉬프트 레지스터부로부터 입력받는 제 1 입력기간에 해당하는 데이터를 동시에 출력하고, 상기 제 2 래치부는 상기 쉬프트 레지스터부로부터 입력받는 제 2 입력기간에 해당하는 데이터를 동시에 출력함을 특징으로 하는 데이터 구동회로.

청구항 12.

제 6항에 있어서,

상기 제 1 래치부에 구비된 각각의 래치들은 제 1 인에이블 신호(EN1) 및 제 2 인에이블 신호(EN2)를 입력받으며, 상기 제 2 래치부에 구비된 각각의 래치들은 제 3 인에이블 신호(EN3) 및 제 4 인에이블 신호(EN4)를 입력받음을 특징으로 하는 데이터 구동회로.

청구항 13.

제 12항에 있어서,

상기 제 1 인에이블 신호(EN1) 및 제 2 인에이블 신호(EN2)는 각각 데이터 신호 중 a1 내지 an이 입력되는 제 1 입력기간에 대해 로우 레벨 및 하이 레벨을 유지하고, 상기 데이터 신호 중 b1 내지 bn이 입력되는 제 2 입력기간에 대해서는 반대로 하이 레벨 및 로우 레벨을 유지함을 특징으로 하는 데이터 구동회로.

청구항 14.

제 13항에 있어서,

상기 제 1 래치부는 상기 제 1 인에이블 신호(EN1) 및 제 2 인에이블 신호(EN2)가 각각 하이 레벨 및 로우 레벨로 입력되는 제 2 입력기간 동안 상기 제 1 입력기간에 해당하는 데이터(a1 내지 an)를 동시에 출력함을 특징으로 하는 데이터 구동회로.

청구항 15.

제 12항에 있어서,

상기 제 3 인에이블 신호(EN3) 및 제 4 인에이블 신호(EN4)는 각각 데이터 신호 중 b1 내지 bn이 입력되는 제 2 입력기간에 대해 로우 레벨 및 하이 레벨을 유지하고, 상기 데이터 신호 중 c1 내지 cn이 입력되는 제 3 입력기간에 대해서는 반대로 하이 레벨 및 로우 레벨을 유지함을 특징으로 하는 데이터 구동회로.

청구항 16.

제 14항에 있어서,

상기 제 2 래치부는 상기 제 3 인에이블 신호(EN3) 및 제 4 인에이블 신호(EN4)가 각각 하이 레벨 및 로우 레벨로 입력되는 제 3 입력기간 동안 상기 제 2 입력기간에 해당하는 데이터(b1 내지 bn)를 동시에 출력함을 특징으로 하는 데이터 구동회로.

청구항 17.

제 12항에 있어서,

상기 제 1인에이블 신호(EN1)은 상기 제 1입력기간 중 $2n-1$ 쉬프트 레지스터(S/R $2n-1$)에 의해 a1이 출력되는 기간에만 로우레벨을 출력토록 함을 특징으로 하는 데이터 구동회로.

청구항 18.

제 12항에 있어서,

상기 제 3인에이블 신호(EN3)은 상기 제 2입력기간 중 $2n-1$ 쉬프트 레지스터(S/R $2n-1$)에 의해 b1이 출력되는 기간에만 로우레벨을 출력토록 함을 특징으로 하는 데이터 구동회로.

청구항 19.

제 12항에 있어서,

상기 제 2인에이블 신호(EN2)의 로우레벨과 상기 제 4인에이블 신호(EN4)의 로우레벨이 서로 중첩되지 않게 제공됨을 특징으로 하는 데이터 구동회로.

청구항 20.

제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부와;

제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부와;

제 1인에이블 신호(EN1) 및 상기 제 1쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 1래치부와;

제 2인에이블 신호(EN2) 및 상기 제 2쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 2래치부가 포함됨을 특징으로 하는 데이터 구동회로.

청구항 21.

제 20항에 있어서,

상기 제 1쉬프트 레지스터부 각각 캐스케이드로 연결된 n개의 쉬프트 레지스터(S/R1 내지 S/Rn)로 구성되며, 제 1쉬프트 레지스터(S/R1)는 각각 제 1스타트 펄스(SP1)를 입력받고, 제 2 내지 제 n 쉬프트 레지스터(S/R2 ~ S/R2n)는 이전 쉬프트 레지스터의 출력 신호를 입력받음을 특징으로 하는 데이터 구동회로.

청구항 22.

제 20항에 있어서,

상기 제 2쉬프트 레지스터부 각각 캐스케이드로 연결된 n 개의 쉬프트 레지스터($S/R1$ 내지 S/Rn)로 구성되며, 제 1쉬프트 레지스터($S/R1$)는 각각 제 2스타트 펄스($SP2$)를 입력받고, 제 2 내지 제 n 쉬프트 레지스터($S/R2 \sim S/R2n$)는 이전 쉬프트 레지스터의 출력 신호를 입력받음을 특징으로 하는 데이터 구동회로.

청구항 23.

제 21항 또는 제 22항에 있어서,

상기 각각의 쉬프트 레지스터는,

입력신호를 공급받으며 게이트전극이 제 1클럭단자와 접속되는 제 1트랜지스터와,

제 2클럭단자와 출력단 사이에 접속되고, 게이트 전극이 상기 제 1트랜지스터의 제 2전극과 연결되는 제 2트랜지스터와,

제 1클럭단자와 제 2전원 사이에 접속되는 제 3트랜지스터 및 제 4트랜지스터와,

제 1전원과 출력단 사이에 접속되는 제 5트랜지스터와,

상기 제 2트랜지스터의 게이트전극과 제 2전극 사이에 접속되는 커패시터가 포함되어 구성됨을 특징으로 하는 데이터 구동회로.

청구항 24.

제 20항에 있어서,

상기 제 1래치부는 다수의 래치들(Latch1_1 내지 Latch1_n)로 구성되며, 상기 각 래치들은 상기 제 1쉬프트 레지스터부 으로부터의 샘플링 펄스 및 제 1인에이블 신호($EN1$)를 입력받아 제 1입력기간을 통해 입력되는 데이터($a1$ 내지 an)를 동시에 출력함을 특징으로 하는 데이터 구동회로.

청구항 25.

제 20항에 있어서,

상기 제 2래치부는 다수의 래치들(Latch2_1 내지 Latch2_n)로 구성되며, 상기 각 래치들은 상기 제 2쉬프트 레지스터부 으로부터의 샘플링 펄스 및 제 2인에이블 신호($EN2$)를 입력받아 제 2입력기간을 통해 입력되는 데이터($b1$ 내지 bn)를 동시에 출력함을 특징으로 하는 데이터 구동회로.

청구항 26.

디지털 방식으로 구동되는 유기 발광 표시장치에 있어서,

주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와,

데이터선들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하기 위한 데이터 구동부와,

상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며,

상기 데이터 구동부는,

데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부와; 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부와; 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부를 포함함을 특징으로 하는 유기 전계발광 표시장치.

청구항 27.

디지털 방식으로 구동되는 유기 발광 표시장치에 있어서,

주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와,

데이터선들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하기 위한 데이터 구동부와,

상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며,

상기 데이터 구동부는,

제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부와; 제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부와; 제 1인에이블 신호(EN1) 및 상기 제 1쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 1래치부와; 제 2인에이블 신호(EN2) 및 상기 제 2쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 2래치부가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터, 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 관한 것으로, 특히 피모스 형태의 트랜지스터들로 구성되어 디지털 구동 시 적용할 수 있도록 한 쉬프트 레지스터, 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기 전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

이와 같은 유기 전계발광 표시장치는 매트릭스 형태로 배열된 화소들과, 화소들과 접속된 데이터선들을 구동하기 위한 데이터 구동부와, 화소들과 접속된 주사선들을 구동하기 위한 주사 구동부를 구비한다.

데이터 구동부는 수평기간마다 데이터에 대응하는 데이터신호를 공급함으로써 화소들에서 소정의 화상이 표시되게 한다. 주사 구동부는 수평기간마다 주사신호를 순차적으로 공급함으로써 데이터신호가 공급될 화소들을 선택한다.

한편, 유기 전계발광 표시장치가 대형 패널로 갈수록 사이즈, 무게 및 제조비용을 절감하기 위하여 데이터 구동부가 패널에 실장되어야 한다. 하지만, 종래의 데이터 구동부 및 데이터 구동부의 구성요소인 쉬프트 레지스터는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성되기 때문에 패널에 실장되기 곤란했다. 따라서, 피모스(PMOS)로 구성되어 패널에 실장될 수 있는 데이터 구동부가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 피모스 형태의 트랜지스터들로 구성되어 디지털 구동 시 적용할 수 있도록 한 쉬프트 레지스터, 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1측면은, n개의 채널에 각각 데이터 신호를 출력하는 데이터 구동회로에 있어서, 데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부와; 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부와; 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부를 포함함을 특징으로 하는 데이터 구동회로를 제공한다.

또한, 본 발명의 제 2측면은, 제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부와; 제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부와; 제 1인에이블 신호(EN1) 및 상기 제 1쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 1래치부와; 제 2인에이블 신호(EN2) 및 상기 제 2쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 2래치부가 포함됨을 특징으로 하는 데이터 구동회로를 제공한다.

또한, 본 발명의 제 3측면은, 디지털 방식으로 구동되는 유기 발광 표시장치에 있어서, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와, 데이터선들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하기 위한 데이터 구동부와, 상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며, 상기 데이터 구동부는, 데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부와; 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부와; 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부를 포함함을 특징으로 하는 유기 전계발광 표시장치를 제공한다.

또한, 본 발명의 제 4측면은, 디지털 방식으로 구동되는 유기 발광 표시장치에 있어서, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와, 데이터선들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하기 위한 데이터 구동부와, 상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며, 상기 데이터 구동부는, 제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부와; 제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부와; 제 1인에이블 신호(EN1) 및 상기 제 1쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 1래치부와; 제 2인에이블 신호(EN2) 및 상기 제 2쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 2래치부가 포함됨을 특징으로 하는 유기 전계발광 표시장치를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 13을 참조하여 상세히 설명하면 다음과 같다.

도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 도면이다.

도 1을 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(20)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(20)로 공급한다.

데이터 구동부(20)는 한 프레임에 포함된 복수의 서브 프레임 기간마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터신호는 화소(40)가 발광할 수 있는 제 1 데이터신호와 화소(40)가 발광되지 않는 제 2 데이터신호로 나뉘어 진다. 다시 말하여, 데이터 구동부(20)는 각각의 서브 프레임 기간마다 화소(40)의 발광 여부를 제어하는 제 1 데이터신호 또는 제 2 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

주사 구동부(10)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급되면 화소들(40)이 라인별로 순차적으로 선택되고, 선택된 화소(40)들은 데이터선들(D1 내지 Dm)로부터 공급되는 제 1 데이터신호 또는 제 2 데이터신호를 공급받는다.

화소부(30)는 외부로부터 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받은 화소들(40) 각각은 주사신호가 공급될 때 데이터신호(제 1 데이터신호 또는 제 2 데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다.

도 2는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 한 프레임을 간략하게 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 한 프레임이 8개의 서브 프레임으로 나누어지는 것으로 도시하였지만 본 발명이 이에 한정되는 것은 아니다.

도 2를 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치의 한 프레임(1F)은 다수의 서브 프레임(SF1 내지 SF8)으로 분할되어 구동된다. 그리고, 각각의 서브 프레임(SF1 내지 SF8)은 주사기간과 발광기간으로 나누어 구동된다.

주사기간 동안에는 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급된다. 그리고, 주사기간 동안에는 데이터선들(D1 내지 Dm)로 주사신호와 동기되도록 데이터신호가 공급된다. 즉, 주사기간 동안에는 데이터신호에 대응하여 켜질 화소들(40)이 선택된다.

발광기간 동안에는 주사기간 동안 공급된 데이터신호에 대응하여 화소들(40)이 발광 또는 비발광 된다. 여기서, 주사기간은 각각의 서브 프레임(SF1 내지 SF8) 동안 동일하게 설정되는 반면 발광기간은 각각의 서브 프레임(SF1 내지 SF8)에서 상이하게 설정된다. 예를 들어, 발광기간은 각각의 서브 프레임(SF1 내지 SF8)에서 2^0 , 2^1 , 2^2 , 2^3 , 2^4 , 2^5 , 2^6 , 2^7 의 비율로 기간이 증가된다. 즉, 본 발명에서 화소들(40)은 한 프레임에 포함된 각각의 서브 프레임(SF1 내지 SF8)에서 발광 또는 비발광 되면서 소정 계조의 화상을 표시한다.

한편, 본 발명에서 한 프레임(1F)에 포함된 각각의 서브 프레임(SF1 내지 SF8)은 다양한 형태로 변경될 수 있다. 예를 들어, 각각의 서브 프레임(SF1 내지 SF8)에 리셋기간이 추가될 수 있다. 또한, 각각의 서브 프레임(SF1 내지 SF8)의 발광기간도 다양하게 변경될 수 있다.

도 3은 도 1에 도시된 화소의 구조를 나타내는 도면이다. 도 3에서는 설명의 편의성을 위하여 n번째 주사선(Sn) 및 m번째 데이터선(Dm)과 접속된 화소(40)를 도시하기로 한다.

도 3을 참조하면, 본 발명의 화소는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)의 발광여부를 제어하기 위한 화소회로(42)를 구비한다.

유기 발광 다이오드(OLED)의 애노드전극은 화소회로(42)에 접속되고, 캐소드전극은 제 2 전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(42)로부터 공급되는 전류에 대응하여 서브 프레임(SF1 내지 SF8) 단위로 발광 또는 비발광 된다.

화소회로(42)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)의 발광 여부를 제어한다. 이를 위해, 화소회로(42)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선(Sn)의 사이에 접속되는 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(C)를 구비한다.

제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터의 일측단자에 접속된다. 이와 같은 제 1트랜지스터(M1)는 서브 프레임(SF1 내지 SF8) 각각의 주사기간 동안 주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)으로 공급되는 데이터신호를 스토리지 커패시터(C)로 공급한다. 한편, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다.

제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(C)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(C)의 다른측단자 및 제 1전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(C)에 저장된 전압에 대응하여 유기 발광 다이오드(OLED)의 발광 및 비발광 여부를 제어한다. 예를 들어, 제 2트랜지스터(M2)는 스토리지 커패시터(C)에 제 1데이터신호에 대응되는 전압이 충전되는 경우 유기 발광 다이오드(OLED)가 발광될 수 있도록 소정의 전류를 공급한다. 그리고, 제 2트랜지스터(M2)는 스토리지 커패시터(C)에 제 2데이터신호에 대응되는 전압이 충전되는 경우 유기 발광 다이오드(OLED)가 비발광될 수 있도록 전류를 공급하지 않는다.

도 4는 본 발명의 제 1실시예에 의한 데이터 구동회로를 나타내는 블록도이고, 도 5는 도 4에 도시된 데이터 구동회로의 구동방법을 나타내는 파형도이다.

단, 상기 데이터 구동회로는 n개의 채널을 구비하는 것으로 가정한다.

도 4을 참조하면, 본 발명의 실시예에 의한 데이터 구동회로는 데이터를 입력받고, 상기 입력받은 데이터를 쉬프트 하여 출력하는 쉬프트 레지스터부(80)와; 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터를 동시에 출력하는 제 1래치부(90)와; 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터를 동시에 출력하는 제 2래치부(100)를 포함하여 구성된다.

상기 쉬프트 레지스터부(80)는 캐스케이드로 연결된 2n개의 쉬프트 레지스터(S/R1 내지 S/R2n)로 구성되는 것으로, 제 1 쉬프트 레지스터(S/R1)는 데이터 신호를 입력받고, 제 2 내지 제 2n 쉬프트 레지스터(S/R2 ~ S/R2n)는 이전 쉬프트 레지스터의 출력 신호를 입력받는다.

또한, 상기 각각의 쉬프트 레지스터는 제 1클럭신호(CLK) 및 제 2클럭신호(CLK)를 입력받는데, 단, 기수번째 쉬프트 레지스터의 경우 제1클럭단자(c1k)로 제 1클럭신호(CLK)를 입력받고, 제 2클럭단자(c2k)로 제 2클럭신호(/CLK)를 입력받으며, 우수번째 쉬프트 레지스터의 경우 제1클럭단자(c1k)로 제 2클럭신호(/CLK)를 입력받고, 제 2클럭단자(c2k)로 제 1클럭신호(CLK)를 입력받는다.

도 6은 도 4에 도시된 쉬프트 레지스터부에 구비된 쉬프트 레지스터의 회로 구성을 나타내는 도면이다.

도 6을 참조하면, 본 발명의 실시예에 의한 쉬프트 레지스터(S/R)는 입력신호(데이터 신호 또는 이전단 출력신호)를 공급받으며 게이트전극이 제 1클럭단자와 접속되는 제 1트랜지스터(M1)와, 제 2클럭단자와 출력단(out) 사이에 접속되고, 상기 제 1트랜지스터(M1)의 제 2전극과 연결되는 제 2트랜지스터(M2)와, 제 1클럭단자와 제 2전원(VSS) 사이에 접속되는 제 4트랜지스터(M4) 및 제 3트랜지스터(M3)와, 제 1전원(VDD)과 출력단자(out) 사이에 접속되는 제 5트랜지스터(M5)와, 제 2트랜지스터(M2)의 게이트전극과 제 2전극 사이에 접속되는 커패시터(C1)를 구비한다.

여기서, 제 1트랜지스터(M1) 내지 제 5트랜지스터(M5)는 PMOS로 형성된다. 또한, 상기 제 1전원(VDD)은 제 2전원(VSS)보다 높은 전압값으로 설정된다. 단, 상기 제 2전원(VSS)는 접지전압(GND)일 수 있다.

제 1트랜지스터(M1)의 제 1전극은 입력신호 즉, 데이터 신호 또는 이전단 출력신호를 공급받는다. 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 1클럭단자에 접속되고, 제 2전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 1클럭단자로 공급되는 제 1클럭신호(CLK) 또는 제 2클럭신호(/CLK)에 대응하여 턴-온 또는 턴-오프된다.

제 2트랜지스터(M2)의 게이트전극은 제 1노드(N1)에 접속되고, 제 1전극은 제 2클럭단자에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 출력단자(out)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 1노드(N1)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

제 3트랜지스터(M3)의 제 1전극은 제 2노드(N2)에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 1클럭단자에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 1클럭단자로 공급되는 제 1 클럭신호(CLK) 또는 제 2클럭신호(CLK)에 대응하여 턴-온 또는 턴-오프된다.

제 4트랜지스터(M4)의 제 1전극은 제 1클럭단자에 접속되고, 제 2전극은 제 2노드(N2)에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 제 1노드(N1)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 제 1노드(N1)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

제 5트랜지스터(M5)의 제 1전극은 제 1전원(VDD)에 접속되고, 제 2전극은 출력단자(out)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 제 2노드(N2)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 제 2노드(N2)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

커패시터(C1)는 제 2트랜지스터(M2)의 게이트전극과 제 2전극 사이에 접속된다. 이와 같은 커패시터(C1)는 제 1트랜지스터(M1)가 턴-온되었을 때 제 1노드(N1)로 인가되는 입력신호에 대응되는 전압을 충전한다.

도 6에 도시된 쉬프트 레지스터(S/R)가 제 1쉬프트 레지스터(S/R1)임을 가정하여 동작과정을 설명하기로 한다.

먼저, 제 1클럭신호(CLK)가 로우레벨, 제 2클럭신호(/CLK)가 하이레벨이고, 로우레벨의 입력신호 즉, 제 1입력기간에 입력되는 최초 a1 데이터 신호가 로우 레벨임을 가정하면, 로우레벨의 제 1클럭신호(CLK)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 입력신호가 제 1노드(N1)로 공급된다. 이 경우, 제 2트랜지스터(M2) 및 제 4트랜지스터(M4)가 턴-온된다.

제 4트랜지스터(M4)가 턴-온되면 로우레벨의 제 1클럭신호(CLK)가 제 2노드(N2)로 입력된다. 그리고, 제 3트랜지스터(M3)가 턴-온되면 제 2전원(VSS)이 제 2노드(N2)로 입력된다. 이 경우, 제 5트랜지스터(M5)가 턴-온되어 제 1전원(VDD)의 전압이 출력단자(out)로 공급된다. 한편, 제 2트랜지스터(M2)가 턴-온되면 하이레벨의 제 2클럭신호(/CLK)가 출력단자(out)로 공급된다.

이때, 커패시터(C1)에는 제 1노드(N1)와 출력단자(out)의 차에 대응되는 전압이 충전된다. 다시 말하여, 입력신호의 로우 전압과 제 1전원(VDD)의 차에 대응되는 전압이 커패시터(C1)에 충전된다.

이후, 제 1클럭신호(CLK)가 하이레벨, 제 2클럭신호(/CLK)가 로우레벨로 전환되고 입력신호의 공급이 중단되는 것으로 가정하면, 하이레벨의 제 1클럭신호(CLK)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-오프된다. 이때, 제 1노드(N1)는 커패시터(C1)에 충전된 전압에 대응하여 로우레벨로 설정된다. 그러면, 제 2트랜지스터(M2)가 턴-온되어 출력단자(out)의 전압이 제 2클럭신호(/CLK)의 로우레벨의 전압으로 하강된다. 즉, 도 5에 도시된 바와 같이 입력신호로서의 데이터 신호(a1)가 출력된다.

한편, 제 1노드(N1)의 전압이 로우레벨로 설정되면 제 4트랜지스터(M4)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 하이레벨의 제 1클럭신호(CLK)가 제 2노드(N2)로 공급되어 제 5트랜지스터(M5)가 턴-오프된다.

이후, 제 2클럭신호(/CLK)가 하이레벨, 제 1클럭신호(CLK)가 로우레벨로 전환되면, 로우레벨의 제 1클럭신호(CLK)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-온된다. 제 3트랜지스터(M3)가 턴-온되면 제 2노드(N2)로 제 2전원(VSS)의 전압이 공급되어 제 5트랜지스터(M5)가 턴-온되고, 이에 따라 출력단자(out)로 제 1전원(VDD)의 전압이 공급된다.

그리고, 제 1트랜지스터(M1)가 턴-온되면 하이레벨의 전압이 제 1노드(N1)로 공급된다. 그러면, 커패시터(C1)는 전압을 충전하지 않는다. 따라서, 다음번 클럭신호들(CLK1, CLK2)의 위상이 반전되어도 제 2트랜지스터(M2) 및 제 4트랜지스터(M4)는 턴-오프 상태를 유지하고, 이에 따라 쉬프트 레지스터(S/R)는 하이 상태의 출력을 유지한다.

또한, 상기 제 1 및 제 2클럭신호가 하이 레벨에서 소정부분 오버랩되어 제공되는 경우에는 상기 제 1, 2클럭신호(CLK1, CLK2)가 하이레벨에서 오버랩된 만큼 쉬프트 레지스터의 각 출력이 시간 간격을 두고 출력됨을 특징으로 한다.

결과적으로 상기 도 5에 도시된 쉬프트 레지스터중 기수번째 쉬프트 레지스터는 제 1클럭신호(CLK)가 로우 레벨, 제 2클럭신호(/CLK)가 하이 레벨일 때 프리차지 구간으로서 하이 레벨을 출력하며, 제 1클럭신호(CLK)가 하이 레벨, 제 2클럭신호(/CLK)가 로우 레벨일 때 이전 구간에 입력되어 저장된 입력 신호와 동일한 파형을 출력하는 동작을 수행한다.

또한, 우수번째 쉬프트 레지스터들은 제 2클럭신호(/CLK)가 로우 레벨, 제 1클럭신호(CLK)가 하이 레벨일 때 프리차지 구간으로서 하이 레벨을 출력하며, 제 2클럭신호(/CLK)가 하이 레벨, 제 1클럭신호(CLK)가 로우 레벨일 때 이전 구간에 입력되어 저장된 입력 신호와 동일한 파형을 출력하는 동작을 수행한다.

단, 상기 제 1클럭신호(CLK) 및 제 2클럭신호(/CLK)가 모두 하이레벨일 경우에는 하이 레벨을 출력하여 쉬프트 레지스터의 각 출력에 시간 간격을 두게 된다.

도 5 및 도 6을 참조하여 제 1쉬프트 레지스터(S/R1)에 의한 출력신호(S[1])를 설명하면, 먼저 제 1입력기간에 최초 데이터 신호(a1)가 입력되는 경우 제 2클럭신호(/CLK)가 로우레벨이고, 제 1클럭신호(CLK)가 하이레벨인 구간에서 상기 데이터신호(a1)가 출력되며, 상기 제 2클럭신호(/CLK)가 하이레벨이고, 제 1클럭신호(CLK)가 로우레벨인 구간은 프리차지 구간으로서 하이 레벨을 출력한다. 또한, 제 1 및 제 2클럭신호가 모두 하이레벨인 구간에서 역시 하이레벨을 출력한다.

이 후 데이터 신호(a2) 내지 데이터 신호(an)가 입력되는 경우에도 도 5에 도시된 바와 같이 소정 간격을 두고 상기 데이터 신호들(a1 내지 an)을 출력한다.

반면에 제 2쉬프트 레지스터(S/R2)는 우수번째 쉬프트 레지스터이고, 상기 제 1쉬프트 레지스터(S/R1)의 출력 신호를 입력받으므로, 상기 제 1쉬프트 레지스터(S/R1)으로부터 데이터 신호(a1)가 입력되는 경우 제 1클럭신호(CLK)가 로우레벨이고, 제 2클럭신호(/CLK)가 하이레벨인 구간에서 상기 데이터신호(a1)가 출력되며, 상기 제 1클럭신호(CLK)가 하이레벨이고, 제 2클럭신호(/CLK)가 로우레벨인 구간은 프리차지 구간으로서 하이레벨을 출력한다. 또한, 제 1 및 제 2클럭신호가 모두 하이레벨인 구간에서 역시 하이레벨이 출력된다.

이 후 데이터 신호(a2) 내지 데이터 신호(an)가 입력되는 경우에도 도 13에 도시된 바와 같이 소정 간격을 두고 상기 데이터신호들(a2 내지 an)을 출력한다.

상기와 같은 동작은 나머지 기수번째 쉬프트 레지스터(S/R3 ~ S/R2n-1)들과, 우수번째 쉬프트 레지스터(S/R4 ~ S/R2n)도 동일하게 수행되어 도 5에 도시된 바와 같은 파형을 출력한다.

단, 이는 n개의 채널에 대한 데이터 신호 중 제 1입력 기간에 입력된 데이터 신호들(a1 내지 an)이 출력되는 동작을 설명한 것이며, 이와 동일한 동작을 통해 n개의 채널에 대한 데이터 신호 중 제 2입력 기간에 입력된 데이터 신호(b1 내지 bn)들도 도 5에 도시된 바와 같이 출력된다.

이에 제 1래치부(90) 및 제 2래치부(100)는 상기 쉬프트 레지스터부(80)를 구성하는 2n개의 쉬프트 레지스터의 출력 중 기수번째 쉬프트 레지스터의 출력(S[1] 내지 S[2n-1])을 각각 입력으로 하는 n개의 래치들로 구성된다.

단, 상기 제 1래치부(90)는 상기 쉬프트 레지스터부로부터 입력받는 제 1입력기간에 해당하는 데이터(a1 내지 an)를 동시에 출력하는 역할을 하고, 상기 제 2래치부(100)는 상기 쉬프트 레지스터부로부터 입력받는 제 2입력기간에 해당하는 데이터(b1 내지 bn)를 동시에 출력하는 역할을 한다.

이에 따라 도 4에 도시된 데이터 구동회로는 도 5에 도시된 바와 같이 제 1입력기간에 해당하는 데이터(a1 내지 an)가 제 1래치부(90)를 통해 동시에 출력된 다음 제 2입력기간에 해당하는 데이터(b1 내지 bn)가 제 2래치부(100)를 통해 동시에 출력된다.

이를 위해 상기 제 1래치부(90)에 구비된 n개의 래치들 중 제 1래치(Latch 1_1)는 제 1쉬프트 레지스터(S/R1)의 출력(S[1])을 입력으로 하며, 제 2래치(Latch 1_2)는 제 3쉬프트 레지스터(S/R3)의 출력(S[3])을 입력으로 하고, 제 n래치(Latch 1_n)는 제 2n-1쉬프트 레지스터(S/R2n-1)의 출력(S[2n-1])을 입력으로 한다.

또한, 이와 동일하게 상기 제 2래치부(100)에 구비된 n개의 래치들 중 제 1래치(Latch 2_1)는 제 1쉬프트 레지스터(S/R1)의 출력(S[1])을 입력으로 하며, 제 2래치(Latch 2_2)는 제 3쉬프트 레지스터(S/R3)의 출력(S[3])을 입력으로 하고, 제 n래치(Latch 2_n)는 제 2n-1쉬프트 레지스터(S/R2n-1)의 출력(S[2n-1])을 입력으로 한다.

단, 상기 제 1래치부(90)에 구비된 각각의 래치들(Latch 1_1 내지 Latch 1_n)은 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 입력받으며, 이 경우 기수번째, 우수번째 래치의 구분없이 제1클럭단자(clk)로 제 1인에이블 신호(EN1)를 입력받고, 제 2클럭단자(/clk)로 제 2인에이블 신호(EN2)를 입력받는다.

또한, 상기 제 2래치부(100)에 구비된 각각의 래치들(Latch 2_1 내지 Latch 2_n)은 제 3인에이블 신호(EN3) 및 제 4인에이블 신호(EN4)를 입력받으며, 이 경우 기수번째, 우수번째 래치의 구분없이 제1클럭단자(clk)로 제 3인에이블 신호(EN3)를 입력받고, 제 2클럭단자(/clk)로 제 4인에이블 신호(EN4)를 입력받는다.

이 때, 상기 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)는 각각 데이터 신호 중 a1 내지 an이 입력되는 제 1입력기간에 대해 로우 레벨 및 하이 레벨을 유지하고, 상기 데이터 신호 중 b1 내지 bn이 입력되는 제 2입력기간에 대해서는 반대로 하이 레벨 및 로우 레벨을 유지한다.

여기서, 상기 제 1래치부(90)는 도 5에 도시된 바와 같이 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)가 각각 하이 레벨 및 로우 레벨로 출력되는 제 2입력기간 동안 상기 제 1입력기간에 해당하는 데이터(a1 내지 an)를 동시에 출력한다.

또한, 상기 제 3인에이블 신호(EN3) 및 제 4인에이블 신호(EN4)는 각각 데이터 신호 중 b1 내지 bn이 입력되는 제 2입력기간에 대해 로우 레벨 및 하이 레벨을 유지하고, 상기 데이터 신호 중 c1 내지 cn이 입력되는 제 3입력기간에 대해서는 반대로 하이 레벨 및 로우 레벨을 유지한다.

여기서, 상기 제 2래치부(100)는 도 5에 도시된 바와 같이 제 3인에이블 신호(EN3) 및 제 4인에이블 신호(EN4)가 각각 하이 레벨 및 로우 레벨로 출력되는 제 3입력기간 동안 상기 제 2입력기간에 해당하는 데이터(b1 내지 bn)를 동시에 출력한다.

단, 상기 제 2인에이블 신호(EN2)의 로우레벨과 상기 제 4인에이블 신호(EN4)의 로우레벨이 서로 중첩되지 않게 제공됨을 특징으로 한다.

도 7은 도 4에 도시된 제 1래치부 및 제 2래치부에 구비된 래치의 회로 구성을 나타내는 도면이고, 도 8은 도 7에 도시된 래치의 동작을 나타내는 파형도이다.

단, 상기 래치의 동작 설명을 보다 용이하게 하기 위해 상기 래치에 인에이블 신호들 대신 클럭신호들이 입력되는 것으로 한다.

도 7을 참조하면, 본 발명의 실시예에 의한 래치는, 입력신호(in)를 저장한 뒤 이를 출력하는 전달부(transfer unit)와, 상기 입력신호를 저장한 뒤 이를 반전하여 출력하는 반전부(inversion unit)와, 풀업 트랜지스터 및 풀다운 트랜지스터로 구성되어 상기 전달부 및 반전부에서 출력되는 신호를 선택하여 최종 출력하는 버퍼부(buffer unit)로 구성된다.

보다 구체적으로 상기 래치는, 입력신호(in)를 입력 받고, 제 1클럭단자에 게이트가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1클럭단자에 게이트가 접속되고, 제 1전원(VDD) 및 제 1노드(N1) 사이에 연결된 제 2PMOS 트랜지스터(M2)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드(N1)에 연결된 제 3PMOS 트랜지스터(M3)와; 상기 제 1클럭단자에 게이트가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 연결된 제 5PMOS 트랜지스터(M5)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트가 접속되고, 제 1클럭단자 및 제 2노드(N2) 사이에 접속된 제 6PMOS 트랜지스터(M6)와; 제 2노드에 게이트가 접속되고, 제 2클럭단자와 제 3노드(N3) 사이에 연결된 제 8PMOS 트랜지스터(M8)과; 상기 제 1노드(N2)에 게이트가 접속되고, 상기 제 2전원(VSS) 및 출력단(OUT) 사이에 접속된 제 9PMOS 트랜지스터(M9)와; 상기 제 3노드(N3)에 게이트가 접속되고, 상기 제 1전원(VDD) 및 출력단(OUT) 사이에 접속된 제 10PMOS 트랜지스터(M10)이 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 제 1노드(N1) 사이에 연결된 제 1캐패시터(C1)와; 상기 제 1노드(N1) 및 상기 제 2전원(VSS) 사이에 연결된 제 2캐패시터(C2)와; 상기 제 2노드(N2) 및 제 3노드(N3) 사이에 연결된 제 4캐패시터(C4)와; 상기 제 3노드(N3) 및 상기 제 2전원(VSS) 사이에 접속된 제 5캐패시터(C5)가 더 포함되어 구성된다.

상기 제 1캐패시터(C1)는 데이터 저장 캐패시터이고, 제 2 및 제 4, 제 5캐패시터(C2, C4, C5)는 프리차지 캐패시터이다. 단, 상기 제 2캐패시터(C2) 및 제 5캐패시터(C5)는 도시된 바와 같이 별도의 캐패시터를 구비하지 아니하고, 트랜지스터의 기생 캐패시턴스를 이용할 수 있으므로 생략이 가능하다.

도 7에 도시된 래치의 회로 구성에서는 설명의 편의를 위해 상기 제 2 및 제 5캐패시터(C2, C5)가 구비되는 것으로 한다.

도시된 바와 같이 상기 입력신호(in)를 저장한 뒤 이를 출력하는 전달부(transfer unit)는 제 1, 2, 3 PMOS 트랜지스터(M1, M2, M3) 및 제 1, 2 캐패시터(C1, C2)로 구성되고, 상기 입력신호를 저장한 뒤 이를 반전하여 출력하는 반전부(inversion unit)는 제 1, 5, 6, 8 PMOS 트랜지스터(M1, M5, M6, M8) 및 제 4, 5 트랜지스터(C4, C5)로 구성되고, 상기 전달부 및 반전부에서 출력되는 신호를 선택하여 최종 출력하는 버퍼부(buffer unit)는 제 9, 10 PMOS 트랜지스터(M9, M10)로 구성된다.

또한, 상기 제 2전원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 접지(GND) 되어 구성될 수도 있다.

이하, 도 7 및 도 8을 참조하여 본 발명의 실시예에 의한 래치의 동작 즉, 상기 래치를 구성하는 전달부, 반전부, 출력부의 동작을 설명하면 다음과 같다.

단, 상기 제 1클럭단자로 도 8에 도시된 제 1클럭신호(CLK)가 입력되고, 제 2클럭단자로 제 2클럭신호(/CLK)가 입력되는 것으로 설명하나, 실제로는 제 1래치부(90)에 구비된 래치의 경우에는 상기 제 1클럭단자로 제 1인에이블 신호(EN1)가 입력되고, 제 2클럭단자로 제 2인에이블 신호(EN2)가 입력되며, 제 2래치부(100)에 구비된 래치의 경우에는 상기 제 1클럭단자로 제 3인에이블 신호(EN3)가 입력되고, 제 2클럭단자로 제 4인에이블 신호(EN4)가 입력된다.

먼저 제 1클럭신호(CLK)가 로우 레벨, 제 2클럭신호(/CLK)가 하이 레벨, 입력신호(in)가 로우 레벨인 제 1구간(T1)에서의 동작을 보면, 상기 전달부에서는 M1, M2가 턴온되며, 상기 M1의 턴온에 의해 로우레벨의 입력신호가 M3의 게이트에 전달되므로 상기 M3도 턴온된다.

따라서, 상기 C1에는 상기 입력신호와 상기 M3의 소스를 통해 입력되는 제 2클럭신호(/CLK)의 차이에 해당하는 전압이 저장되고, 상기 C2에는 상기 M2의 턴온에 의해 제 1전원(VDD)이 저장된다.

또한, 상기 반전부에서는 M1의 턴온에 의해 로우레벨의 입력신호가 M6의 게이트에 전달되어 상기 M6가 턴온되고, 상기 M5도 턴온되어 상기 제 2노드(N2)에는 로우레벨의 전압(제 1클럭신호(CLK) 또는 제 2전원(VSS))이 형성된다.

이에 M8도 턴온되고 상기 제 3노드(N3)에는 하이레벨의 전압(제 2클럭신호(/CLK))이 형성되며, 상기 제 3노드(N3)에 연결된 C5에는 하이레벨의 전압이 저장되고, 상기 C4에는 제 2노드(N2)와 제 3노드(N3) 간의 차이에 해당하는 전압 즉, 입력신호(in)와 상관없는 전압이 저장된다.

또한, 상기 전달부의 C2에 제 1전원(VDD)이 저장되고, 상기 반전부의 C5에 제 2클럭신호에 의한 하이레벨 전압이 저장되어 상기 버퍼부의 M9 및 M10은 모두 턴 오프되며, 상기 쉬프트 레지스터의 출력단(OUT)은 하이 임피던스(high impedance) 상태가 되어 이전 구간의 출력을 유지한다.

즉, 상기 제 1구간(T1)에서 상기 래치는 이전 구간의 출력을 유지하는 하이 임피던스 상태가 된다.

다음으로 제 1클럭신호(CLK)가 하이 레벨, 제 2클럭신호(/CLK)가 로우 레벨, 입력신호(in)가 로우 레벨인 제 2구간(T2)에서의 동작을 보면, 상기 전달부에서는 M1, M2가 턴오프되고, 상기 제 1구간(T1)을 통해 상기 C1에 저장된 전압에 의해 M3는 턴온된다.

이에 따라, 상기 M3의 소스로 입력되는 로우 레벨의 제 2클럭신호(/CLK)가 제 1노드에 전달되어 상기 C2에는 상기 제 2클럭신호에 해당하는 전압(로우레벨)이 저장된다.

또한, 상기 반전부에서는 M1, M5, M6이 턴오프되고, C4에 기저장된 전압에 의해 M8이 턴온되어 상기 제 3노드(N3)에는 하이레벨의 전압(제 2클럭신호(/CLK))이 형성되며, 상기 제 3노드(N3)에 연결된 C5에는 하이레벨의 전압이 저장된다.

또한, 상기 전달부의 C2에 로우 레벨의 전압이 저장되고, 상기 반전부의 C5에 하이레벨의 전압이 저장되므로 상기 버퍼부의 M9은 턴온되고, M10은 턴오프되며, 이에 따라 상기 쉬프트 레지스터의 출력단(OUT)으로는 상기 M9에 의해 로우레벨의 제 2전원(VSS)가 출력된다.

즉, 상기 제 2구간(T2)에서 상기 래치는 도 8에 도시된 바와 같이 로우레벨의 신호를 출력하는 상태가 된다.

다음으로 제 1클럭신호(CLK)가 로우 레벨, 제 2클럭신호(/CLK)가 하이 레벨, 입력신호(in)가 하이 레벨인 제 3구간(T3)에서의 동작을 보면, 상기 전달부에서는 M1, M2가 턴온되며, 상기 M1의 턴온에 의해 하이레벨의 입력신호가 M3의 게이트에 전달되므로 상기 M3는 턴오프된다.

따라서, 상기 C1에는 상기 입력신호와 상기 M2의 소스를 통해 입력되는 제 1전원(VDD)의 차이에 해당하는 전압이 저장되고, 상기 C2에는 상기 M2의 턴온에 의해 제 1전원(VDD)이 저장된다.

또한, 상기 반전부에서는 상기 M41 턴온에 의해 하이레벨의 입력신호가 M6의 게이트에 전달되어 상기 M6가 턴오프되나, 상기 M5는 턴온되어 상기 제 2노드(N2)에는 로우레벨의 전압(제 2전원(VSS))이 형성되며, 이에 따라 상기 M8도 턴온된다.

반면에 상기 M8의 턴온에 의해 상기 제 3노드(N3)에는 하이레벨의 전압(제 2클럭신호(/CLK))이 형성된다.

따라서, 상기 C4에는 제 2노드(N2)와 제 3노드(N3) 간의 차이에 해당하는 전압 즉, 입력신호(in)와 상관없는 전압이 저장된다.

또한, 상기 전달부의 C2에 제 1전원(VDD)이 저장되고, 상기 반전부의 C5에 하이레벨 전압이 저장되어 상기 버퍼부의 M9 및 M10은 모두 턴 오프되며, 상기 쉬프트 레지스터의 출력단(OUT)은 하이 임피던스(high impedance) 상태가 되어 이전 구간의 출력을 유지한다.

즉, 상기 제 3구간(T3)에서 상기 래치는 이전 구간(T2)의 출력을 유지하는 하이 임피던스 상태가 된다.

마지막으로 제 1클럭신호(CLK)가 하이 레벨, 제 2클럭신호(/CLK)가 로우 레벨, 입력신호(in)가 하이 레벨인 제 4구간(T4)에서의 동작을 보면, 상기 전달부에서는 M1, M2가 턴오프되고, 상기 제 3구간(T3)을 통해 상기 C1에 저장된 전압에 의해 M3는 턴오프되어 결과적으로 상기 전달부에 구비된 M1, M2, M3가 모두 턴오프된다.

또한, 상기 반전부에서는 M1, M5, M6이 턴오프되고, C4에 기저장된 전압에 의해 M8이 턴온되어 상기 제 3노드(N3)에는 로우레벨의 전압(제 2클럭신호(/CLK))이 형성되며, 상기 제 3노드(N3)에 연결된 C5에는 로우레벨의 전압이 저장된다.

또한, 상기 전달부의 M1, M2, M3가 모두 턴 오프되어 C2가 플로팅 상태가 되고, 상기 반전부의 C5에 로우레벨의 전압이 저장되므로 상기 버퍼부의 M9은 턴오프되고, M10은 턴온되며, 이에 따라 상기 쉬프트 레지스터의 출력단(OUT)으로는 상기 M10에 의해 하이레벨의 제 1전원(VDD)이 출력된다.

즉, 상기 제 4구간(T4)에서 상기 래치는 도 8에 도시된 바와 같이 하이레벨의 신호를 출력하는 상태가 된다.

결과적으로 도 7의 회로 구성을 갖는 래치는 제 1클럭신호(CLK)가 로우 레벨, 제 2클럭신호(/CLK)가 하이 레벨일 때 하이 임피던스(high impedance) 출력 상태 즉, 이전 구간의 출력을 유지하며, 제 1클럭신호(CLK)가 하이 레벨, 제 2클럭신호(/CLK)가 로우 레벨일 때 로우 또는 하이 레벨 출력 상태 즉, 이전 구간에 입력되어 저장된 입력 신호와 동일한 파형을 출력하는 3-Stage 출력 상태를 갖음을 특징으로 한다.

즉, 상기 제 1래치부(90)에 구비된 래치들(Latch 1_1 ~ Latch 1_n)은 제 1클럭단자로 입력되는 제 1인에이블 신호(EN1)가 로우 레벨, 제 2클럭단자로 입력되는 제 2인에이블 신호(EN2)가 하이 레벨일 때 하이 임피던스(high impedance) 출력 상태 즉, 이전 구간의 출력을 유지하며, 제 1인에이블 신호(EN1)가 하이 레벨, 제 2인에이블 신호(EN2)가 로우 레벨일 때 이전 구간에 입력되어 저장된 입력 신호와 동일한 파형을 출력하는 동작을 수행한다.

또한, 상기 제 2래치부(100)에 구비된 래치들(Latch 2_1 ~ Latch 2_n)은 제 1클럭단자로 입력되는 제 3인에이블 신호(EN3)가 로우 레벨, 제 2클럭단자로 입력되는 제 4인에이블 신호(EN4)가 하이 레벨일 때 하이 임피던스(high impedance) 출력 상태 즉, 이전 구간의 출력을 유지하며, 제 3인에이블 신호(EN3)가 하이 레벨, 제 4인에이블 신호(EN4)가 로우 레벨일 때 이전 구간에 입력되어 저장된 입력 신호와 동일한 파형을 출력하는 동작을 수행한다.

도 5 및 도 7을 참조하여 먼저 제 1래치부(90)의 동작을 설명하면, n개의 채널에 대한 각각의 데이터 신호(a1 내지 an) 입력되고, 상기 a1 내지 an 데이터 신호가 기수번째 쉬프트 레지스터들을 통해 출력(S[1] 내지 S[2n-1])되는 제 1입력기간 중 2n-1 쉬프트 레지스터(S/R2n-1)에 의해 a1이 출력될 때까지 기간에 대해서는 도 5에 도시된 바와 같이 상기 제 1인에이블 신호(EN1)가 로우레벨을 유지하고, 상기 제 2인에이블 신호(EN2)가 하이레벨을 유지하여 하이 임피던스 상태로서의 출력을 한다. 즉, 이전 구간의 출력을 유지하면서 상기 기수번째 쉬프트 레지스터들로부터 각 채널에 대한 데이터 신호(a1 내지 an)를 입력받아 이를 저장한다.

그 다음, 상기 2n-1 쉬프트 레지스터(S/R2n-1)에 의해 a1이 출력된 이후에 상기 제 1인에이블 신호(EN1)이 하이레벨, 제 2인에이블 신호(EN2)가 로우레벨이 될 때 상기 저장된 데이터 신호에 해당하는 전압을 동시에 출력하게 된다.

즉, 제 1래치(Latch 1_1)은 제 1인에이블 신호(EN1)이 로우레벨, 제 2인에이블 신호가 하이레벨로 제공되는 기간 동안 도시된 바와 같이 an 데이터를 저장하고, 그 후 상기 제 1인에이블 신호(EN1)이 하이레벨, 제 2인에이블 신호(EN2)가 로우레벨이 될 때 상기 저장된 데이터 신호(an)에 해당하는 전압을 출력한다.

마찬가지로 제 2 내지 제 n래치(Latch 1_2 ~ Latch 1_n)은 제 1인에이블 신호(EN1)이 로우레벨, 제 2인에이블 신호가 하이레벨로 제공되는 기간 동안 도시된 바와 같이 각각 an-1 내지 a1 데이터를 저장하고, 그 후 상기 제 1인에이블 신호(EN1)이 하이레벨, 제 2인에이블 신호(EN2)가 로우레벨이 될 때 상기 저장된 데이터 신호(an-1 내지 a1)에 해당하는 상기 전압을 동시에 출력하게 된다.

다음으로 도 5 및 도 7을 참조하여 제 2래치부(100)의 동작을 설명하면, n개의 채널에 대한 각각의 데이터 신호(b1 내지 bn) 입력되고, 상기 b1 내지 bn 데이터 신호가 기수번째 쉬프트 레지스터들을 통해 출력(S[1] 내지 S[2n-1])되는 제 2입력기간 중 2n-1 쉬프트 레지스터(S/R2n-1)에 의해 b1이 출력될 때까지 기간에 대해서는 도 5에 도시된 바와 같이 상기 제 3인에이블 신호(EN3)가 로우레벨을 유지하고, 상기 제 4인에이블 신호(EN4)가 하이레벨을 유지하여 하이 임피던스 상태로서의 출력을 한다. 즉, 이전 구간의 출력을 유지하면서 상기 기수번째 쉬프트 레지스터들로부터 각 채널에 대한 데이터 신호(b1 내지 bn) 입력받아 이를 저장한다.

그 다음, 상기 2n-1 쉬프트 레지스터(S/R2n-1)에 의해 b1이 출력된 이후에 상기 제 3인에이블 신호(EN3)이 하이레벨, 제 4인에이블 신호(EN4)가 로우레벨이 될 때 상기 저장된 데이터 신호에 해당하는 전압을 동시에 출력하게 된다.

즉, 제 1래치(Latch 2_1)은 제 3인에이블 신호(EN3)이 로우레벨, 제 4인에이블 신호(EN4)가 하이레벨로 제공되는 기간 동안 도시된 바와 같이 bn 데이터를 저장하고, 그 후 상기 제 3인에이블 신호(EN3)이 하이레벨, 제 4인에이블 신호(EN4)가 로우레벨이 될 때 상기 저장된 데이터 신호(bn)에 해당하는 전압을 출력한다.

마찬가지로 제 2 내지 제 n래치(Latch 2_2 ~ Latch 2_n)은 제 3인에이블 신호(EN3)이 로우레벨, 제 4인에이블 신호가 하이레벨로 제공되는 기간 동안 도시된 바와 같이 각각 bn-1 내지 b1 데이터를 저장하고, 그 후 상기 제 3인에이블 신호(EN3)이 하이레벨, 제 4인에이블 신호(EN4)가 로우레벨이 될 때 상기 저장된 데이터 신호(bn-1 내지 b1)에 해당하는 상기 전압을 동시에 출력하게 된다.

결과적으로 상기 제 1래치부(90)는 도 5에 도시된 바와 같이 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)가 각각 하이 레벨 및 로우 레벨로 입력되는 제 2입력기간 동안 상기 제 1입력기간에 해당하는 데이터(a1 내지 an)를 동시에 출력하고, 상기 제 2래치부(100)는 도 5에 도시된 바와 같이 제 3인에이블 신호(EN3) 및 제 4인에이블 신호(EN4)가 각각 하이 레벨 및 로우 레벨로 출력되는 제 3입력기간 동안 상기 제 2입력기간에 해당하는 데이터(b1 내지 bn)를 동시에 출력한다.

도 9는 본 발명의 다른 실시예에 의한 데이터 구동회로의 구동방법을 나타내는 파형도이다.

단, 이는 도 5에 도시된 실시예와 비교할 때 제 1인에이블 신호(EN1) 및 제 3인에이블 신호(EN3)가 변경되어 입력되는 점 이외에는 모두 동일하므로 그 구체적인 동작에 대해서는 설명을 생략토록 한다.

앞서 도 5의 실시예의 경우 제 1입력기간 중 $2n-1$ 쉬프트 레지스터(S/R_{2n-1})에 의해 a1이 출력될 때까지 기간에 대해서 상기 제1인에이블 신호(EN1)가 지속적으로 로우레벨을 유지하도록 하고 있으나, 실제로 각 래치가 저장하려는 데이터는 상기 $2n-1$ 쉬프트 레지스터(S/R_{2n-1})에 의해 a1이 출력될 당시의 각 기수번째 쉬프트 레지스터에서 출력되는 데이터 신호이므로 도 9에 도시된 실시예에서는 상기 제 1입력 기간 중 $2n-1$ 쉬프트 레지스터(S/R_{2n-1})에 의해 a1이 출력되는 기간에만 로우레벨을 출력토록 하여 상기 래치의 데이터 저장 캐패시터 즉, C1을 계속 충전 방전함으로써 발생하는 소비전력을 감소하도록 함을 특징으로 한다.

이와 마찬가지로 제 2입력기간 중 $2n-1$ 쉬프트 레지스터(S/R_{2n-1})에 의해 b1이 출력되는 기간에만 제 3인에이블 신호(EN3)가 로우레벨을 출력토록 한다.

도 10은 본 발명의 제 2실시예에 의한 데이터 구동회로를 나타내는 블록도이고, 도 11는 도 10에 도시된 데이터 구동회로의 구동방법을 나타내는 파형도이다.

단, 상기 데이터 구동회로는 n개의 채널을 구비하는 것으로 가정한다.

도 10을 참조하면, 본 발명의 실시예에 의한 데이터 구동회로는, 제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부(110)와; 제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부(120)와; 제 1인에이블 신호(EN1) 및 상기 제 1쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 1래치부(130)와; 제 2인에이블 신호(EN2) 및 상기 제 2쉬프트 레지스터부로부터의 샘플링 펄스를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터를 동시에 출력하는 제 2래치부(140)가 포함되어 구성된다.

상기 제 1쉬프트 레지스터부(110)는 각각 캐스케이드로 연결된 n개의 쉬프트 레지스터(S/R_1 내지 S/R_n)로 구성되는 것으로, 제 1쉬프트 레지스터(S/R_1)는 각각 제 1스타트 펄스(SP1)를 입력받고, 제 2 내지 제 n 쉬프트 레지스터($S/R_2 \sim S/R_{2n}$)는 이전 쉬프트 레지스터의 출력 신호를 입력받는다.

또한, 상기 제 1쉬프트 레지스터부(110)의 쉬프트 레지스터들은 제 1클럭신호(CLK) 및 제 2클럭신호(/CLK)를 입력받는데, 단, 기수번째 쉬프트 레지스터의 경우 제 1클럭단자(c1k)로 제 1클럭신호(CLK)를 입력받고, 제 2클럭단자(/c1k)로 제 2클럭신호(/CLK)를 입력받으며, 우수번째 쉬프트 레지스터의 경우 제 1클럭단자(c1k)로 제 2클럭신호(/CLK)를 입력받고, 제 2클럭단자(/c1k)로 제 1클럭신호(CLK)를 입력받는다.

이와 마찬가지로 제 2쉬프트 레지스터부(120)는 각각 캐스케이드로 연결된 n개의 쉬프트 레지스터(S/R_1 내지 S/R_n)로 구성되는 것으로, 제 1쉬프트 레지스터(S/R_1)는 각각 제 2스타트 펄스(SP2)를 입력받고, 제 2 내지 제 n 쉬프트 레지스터($S/R_2 \sim S/R_{2n}$)는 이전 쉬프트 레지스터의 출력 신호를 입력받는다.

또한, 상기 제 2쉬프트 레지스터부(120)의 쉬프트 레지스터들은 제 3클럭신호(CLK) 및 제 4클럭신호(/CLK)를 입력받는데, 단, 기수번째 쉬프트 레지스터의 경우 제 1클럭단자(c1k)로 제 3클럭신호(CLK)를 입력받고, 제 2클럭단자(/c1k)로 제 4클럭신호(/CLK)를 입력받으며, 우수번째 쉬프트 레지스터의 경우 제 1클럭단자(c1k)로 제 4클럭신호(/CLK)를 입력받고, 제 2클럭단자(/c1k)로 제 3클럭신호(CLK)를 입력받는다.

이 때, 상기 제 1 및 제 3클럭신호가 서로 동일하고, 제 2 및 제 4클럭신호가 서로 동일할 수 있다.

상기 제 1 및 제 2쉬프트 레지스터부(110, 120)를 구성하는 각각의 쉬프트 레지스터는 앞서 도 6에 도시된 회로와 동일하며, 따라서 그 구체적인 동작 설명은 생략토록 한다.

즉, 상기 제 1 및 제 2 쉬프트 레지스터부는 도 11에 도시된 바와 같이 각각 제 1입력기간에 해당하는 샘플링 펄스(sap1_1 내지 sap1_n)를 순차적으로 출력하고, 제 2입력기간에 해당하는 샘플링 펄스(sap2_1 내지 sap2_n)를 순차적으로 출력하는 역할을 한다.

이에 상기 제 1쉬프트 레지스터부(110)에서 출력되는 샘플링 펄스들(sap1_1 내지 sap1_n)은 제 1래치부(130)에 구비된 각각의 래치들(Latch1_1 내지 Latch1_n)으로 입력되고, 상기 제 2쉬프트 레지스터부(120)에서 출력되는 샘플링 펄스들(sap2_1 내지 sap2_n)은 제 2래치부(140)에 구비된 각각의 래치들(Latch2_1 내지 Latch2_n)으로 입력된다.

여기서, 상기 제 1래치부(130) 및 제 2래치부(140)에 구비된 각각의 래치들은 앞서 도 7에 도시된 회로와 동일하므로 그 동작에 대한 설명은 생략하기로 한다.

단, 상기 제 1래치부(130)에 구비된 각 래치들(Latch1_1 내지 Latch1_n)은 상기 제 1쉬프트 레지스터부(110)으로부터의 샘플링 펄스 및 도 11에 도시된 바와 같은 파형의 제 1인에이블 신호(EN1)를 입력받아 상기 제 1입력기간을 통해 입력되는 데이터(a1 내지 an)를 동시에 출력하는 동작을 한다.

즉, 도 11을 참조하면, 상기 제 1래치부(130)에 구비된 제 1래치(Latch1_1)은 제 1샘플링 신호(sap1_1)이 로우레벨, 제 1인에이블 신호(EN1)가 하이레벨로 제공되는 기간 동안 a1 데이터를 저장하고, 그 후 상기 제 1인에이블 신호(EN1)이 로우레벨이 될 때 상기 저장된 데이터 신호(a1)에 해당하는 전압을 출력한다.

마찬가지로 제 2 내지 제 n래치(Latch1_2 ~ Latch1_n)은 각각 제 2 내지 제 n샘플링 신호(sap1_2 내지 sap1_n)이 로우레벨, 제 1인에이블 신호(EN1)가 하이레벨로 제공되는 기간 동안 a2 내지 an 데이터를 저장하고, 그 후 상기 제 1인에이블 신호(EN1)이 로우레벨이 될 때 상기 저장된 데이터 신호(a2 내지 an)에 해당하는 전압을 도 11에 도시된 바와 같이 동시에 출력한다.

또한, 상기 제 2래치부(140)에 구비된 각 래치들(Latch2_1 내지 Latch2_n)은 상기 제 2쉬프트 레지스터부(120)으로부터의 샘플링 펄스 및 도 11에 도시된 바와 같은 파형의 제 2인에이블 신호(EN2)를 입력받아 상기 제 2입력기간을 통해 입력되는 데이터(b1 내지 bn)를 동시에 출력하는 동작을 한다.

즉, 도 11을 참조하면, 상기 제 2래치부(140)에 구비된 제 1래치(Latch2_1)은 제 1샘플링 신호(sap2_1)이 로우레벨, 제 2인에이블 신호(EN2)가 하이레벨로 제공되는 기간 동안 b1 데이터를 저장하고, 그 후 상기 제 2인에이블 신호(EN2)이 로우레벨이 될 때 상기 저장된 데이터 신호(b1)에 해당하는 전압을 출력한다.

마찬가지로 제 2 내지 제 n래치(Latch2_2 ~ Latch2_n)은 각각 제 2 내지 제 n샘플링 신호(sap2_2 내지 sap2_n)이 로우레벨, 제 2인에이블 신호(EN2)가 하이레벨로 제공되는 기간 동안 b2 내지 bn 데이터를 저장하고, 그 후 상기 제 1인에이블 신호(EN1)이 로우레벨이 될 때 상기 저장된 데이터 신호(b2 내지 bn)에 해당하는 전압을 도 11에 도시된 바와 같이 동시에 출력한다.

도 12는 본 발명의 제 3실시예에 의한 데이터 구동회로를 나타내는 블록도이다.

단, 이는 앞서 도 10에 도시된 본 발명의 제 2실시예와 그 구성 및 동작이 동일하나, 각 채널당 3개의 데이터 신호 즉, 적(R), 녹(G), 청(B) 데이터가 인가됨에 그 차이가 있다.

즉, 제 1클럭신호, 제 2클럭신호 및 제 1스타트펄스를 공급받아 제 1입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 1쉬프트 레지스터부(110)와; 제 3클럭신호, 제 4클럭신호 및 제 2스타트펄스를 공급받아 제 2입력기간에 해당하는 샘플링 펄스를 순차적으로 출력하는 제 2쉬프트 레지스터부(120)가 구비되고, 상기 제 1래치부(130) 및 제 2래치부(140)에 구비된 각각의 래치가 3*n개 구비됨을 특징으로 하며, 그 이외에는 앞서 설명한 데이터 구동회로의 구성 및 동작과 동일하므로 그 구체적인 설명은 생략하도록 한다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 쉬프트 레지스터, 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 의하면 데이터 구동부에 포함되는 쉬프트 레지스터들 및 래치들을 PMOS 트랜지스터들로만 구성하기 때문에 패널에 실장 가능하고, 이에 따라 제조비용을 절감할 수 있는 장점이 있다. 또한, 본 발명에서는 데이터신호로써 제 1데이터신호 또는 제 2데이터신호를 공급하기 때문에 디지털 구동의 유기 전계발광 표시장치에 적용 가능하다.

도면의 간단한 설명

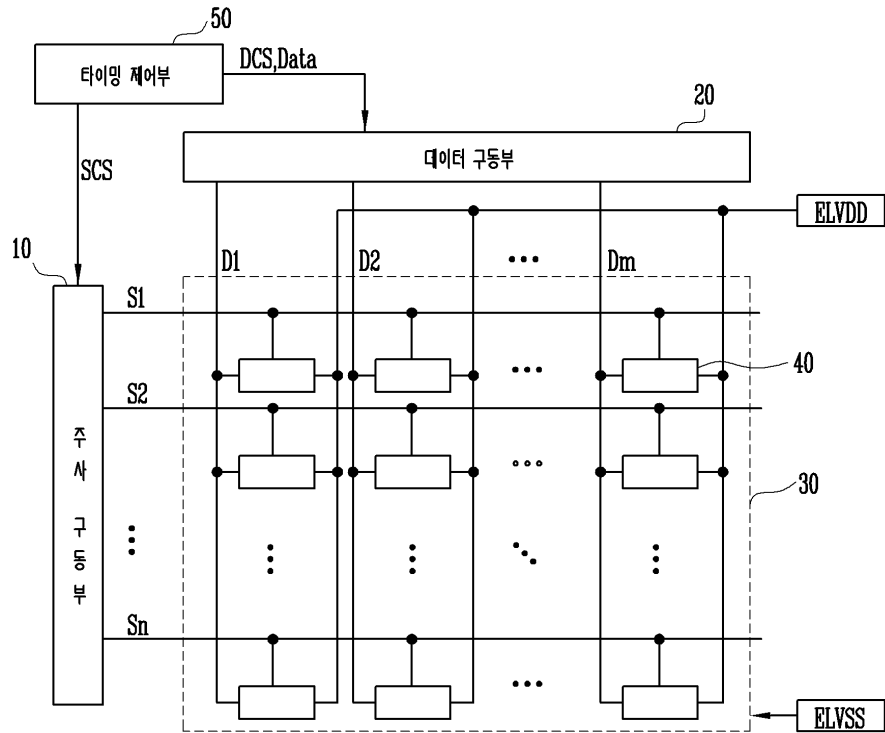
- 도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 도면.
 도 2는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 한 프레임을 나타내는 도면.
 도 3은 도 1에 도시된 화소의 실시예를 나타내는 도면.
 도 4는 본 발명의 제 1 실시예에 의한 데이터 구동회로를 나타내는 블록도.
 도 5는 도 4에 도시된 데이터 구동회로의 구동방법을 나타내는 파형도.
 도 6은 도 4에 도시된 쉬프트 레지스터부에 구비된 쉬프트 레지스터의 회로 구성을 나타내는 도면.
 도 7은 도 4에 도시된 제 1 래치부 및 제 2 래치부에 구비된 래치의 회로 구성을 나타내는 도면.
 도 8은 도 7에 래치의 동작을 나타내는 파형도.
 도 9는 본 발명의 다른 실시예에 의한 데이터 구동회로의 구동방법을 나타내는 파형도.
 도 10은 본 발명의 제 2 실시예에 의한 데이터 구동회로를 나타내는 블록도.
 도 11는 도 10에 도시된 데이터 구동회로의 구동방법을 나타내는 파형도.
 도 12는 본 발명의 제 3 실시예에 의한 데이터 구동회로를 나타내는 블록도.

<도면의 주요 부분에 대한 부호의 설명>

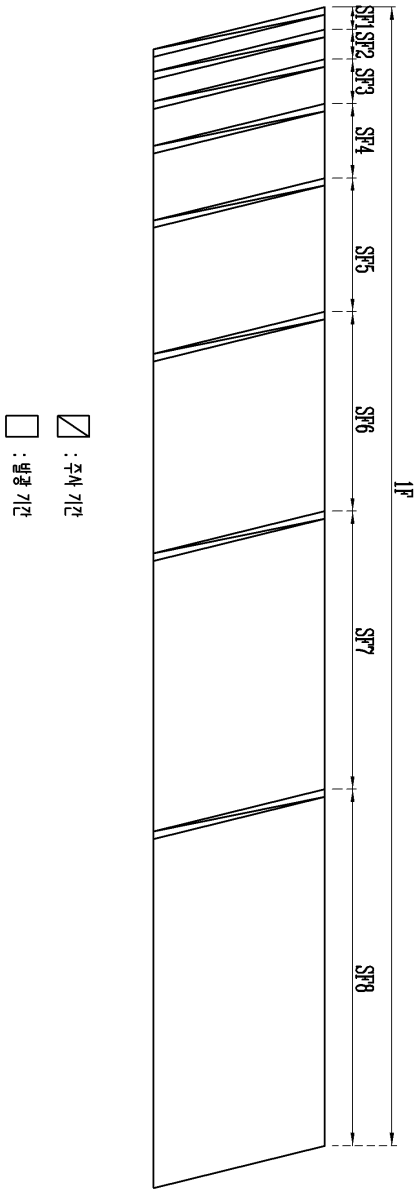
- 10 : 주사 구동부 20 : 데이터 구동부
 30 : 화소부 40 : 화소
 42 : 화소회로 50 : 타이밍 제어부
 80 : 쉬프트 레지스터부 90, 130 : 제 1 래치부
 100, 140 : 제 2 래치부
 110 : 제 1 쉬프트 레지스터부 120 : 제 2 쉬프트 레지스터부

도면

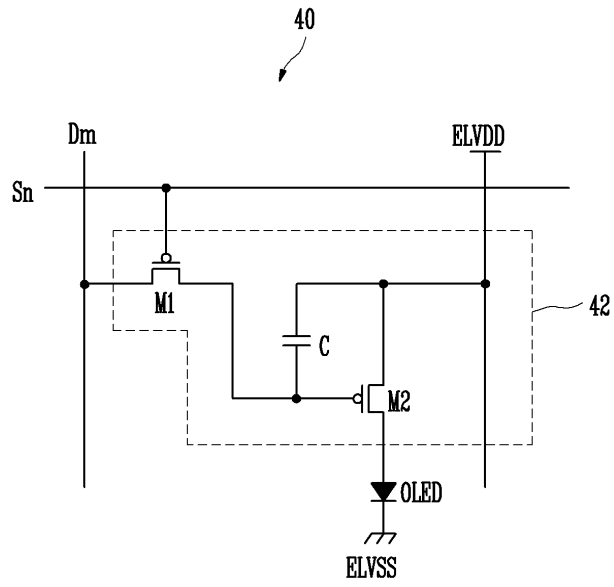
도면1



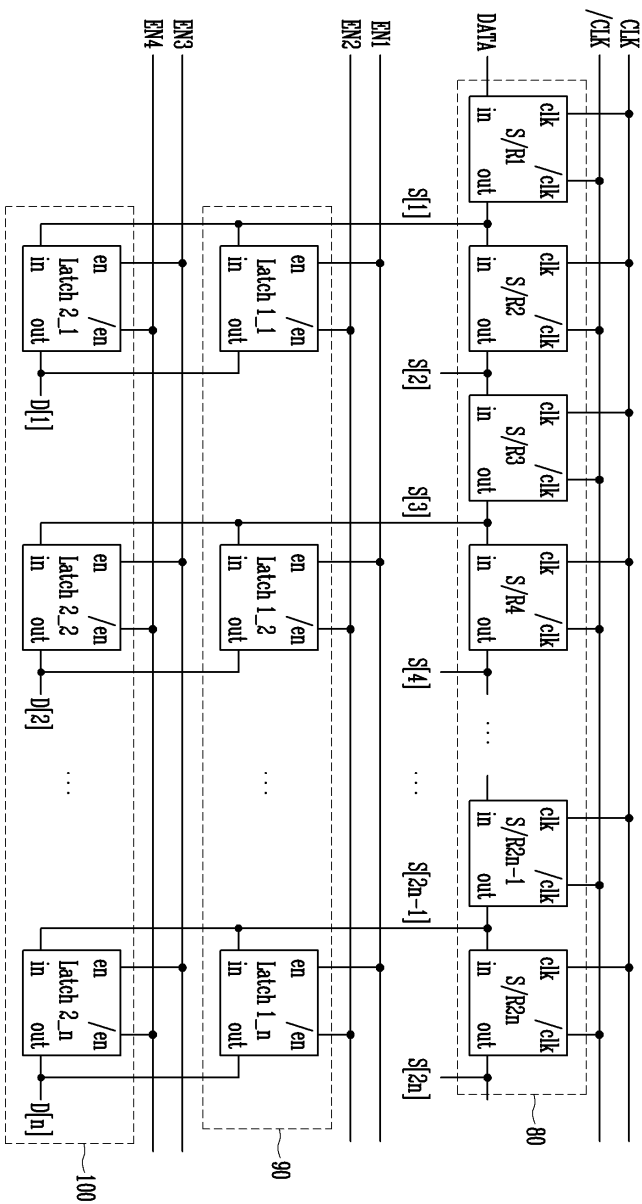
도면2



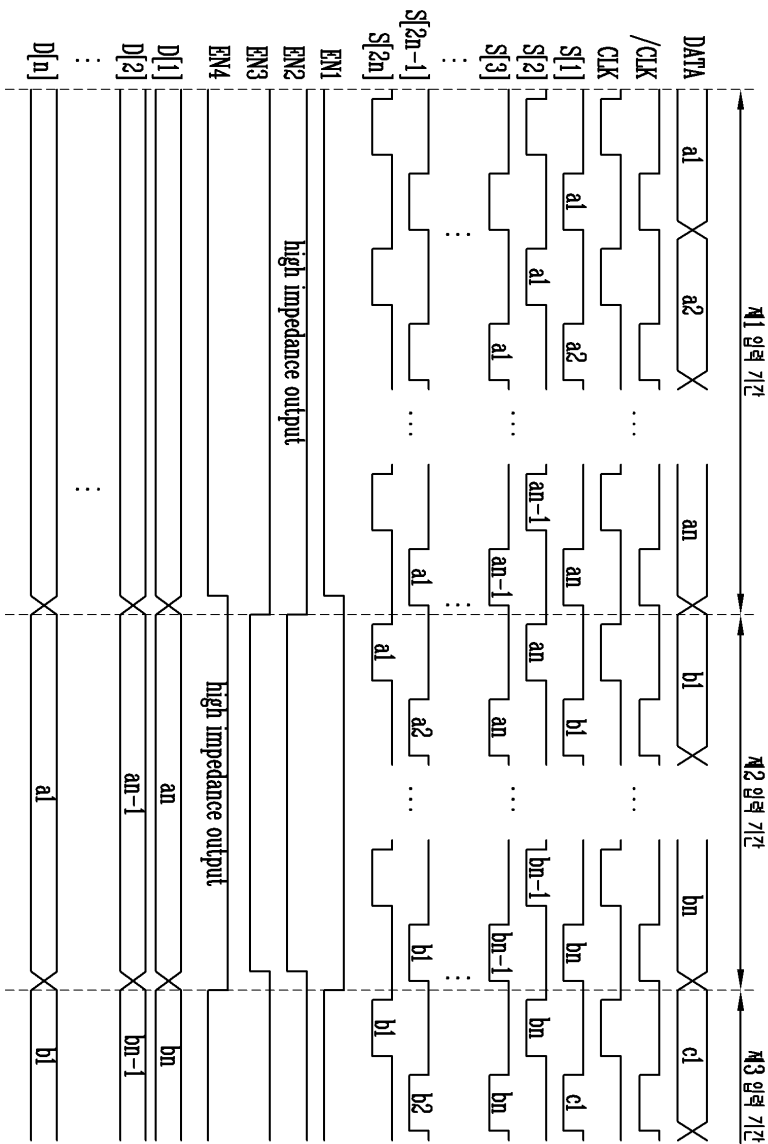
도면3



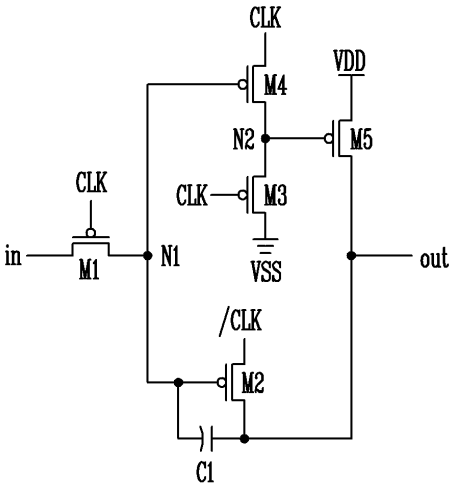
도면4



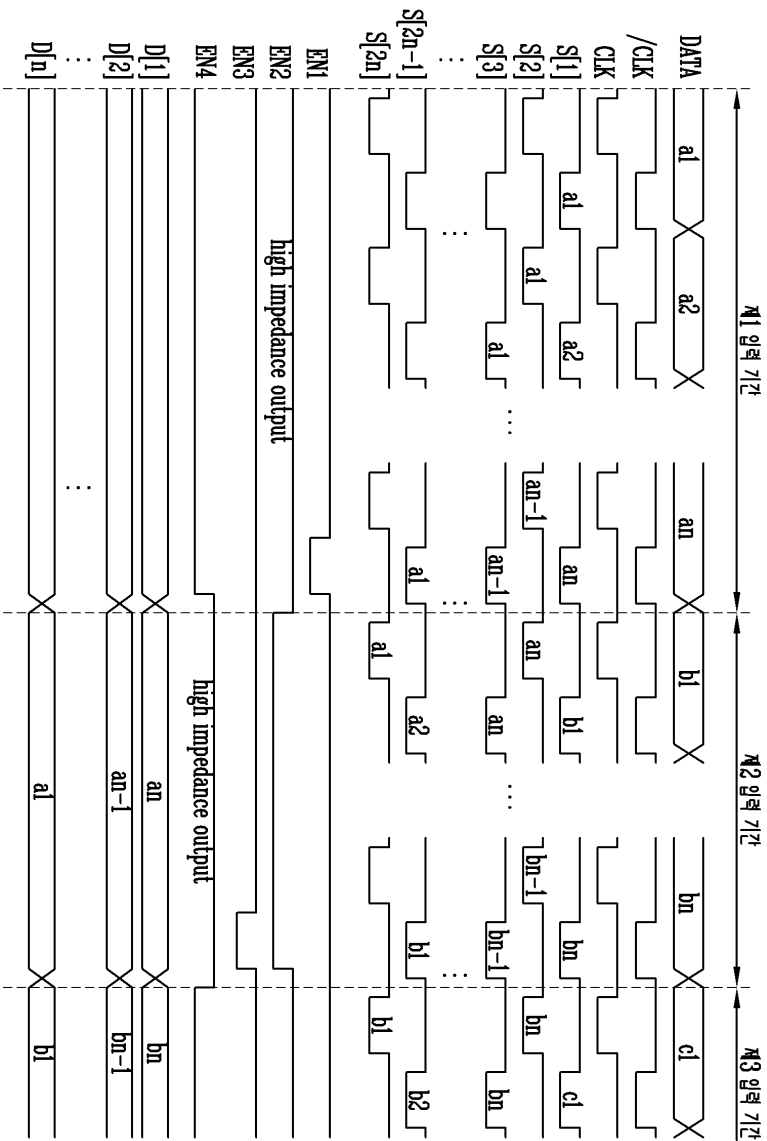
도면5



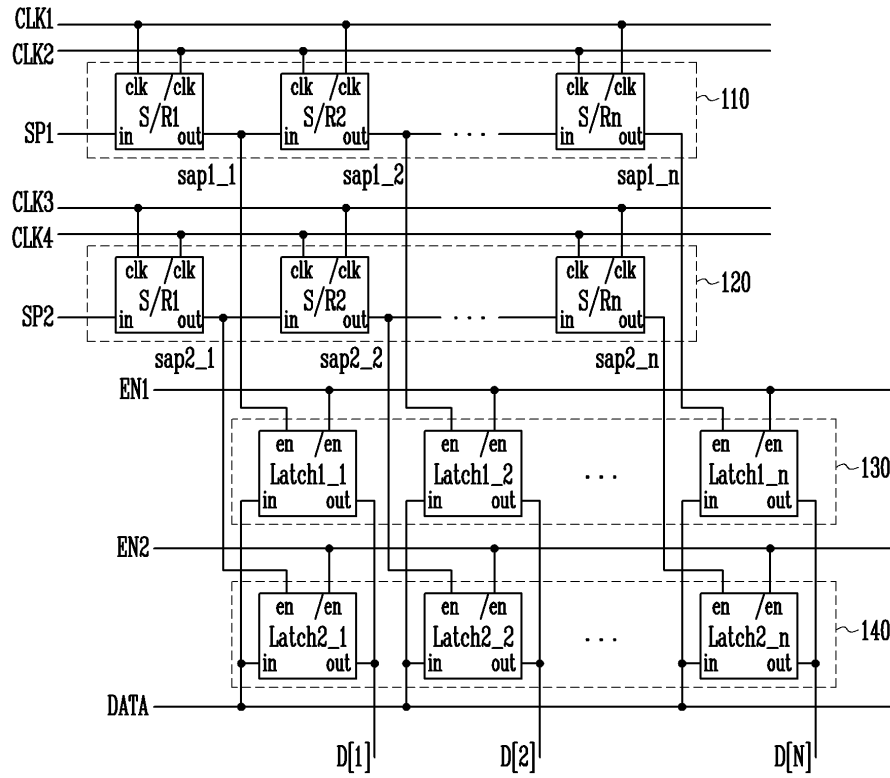
도면6



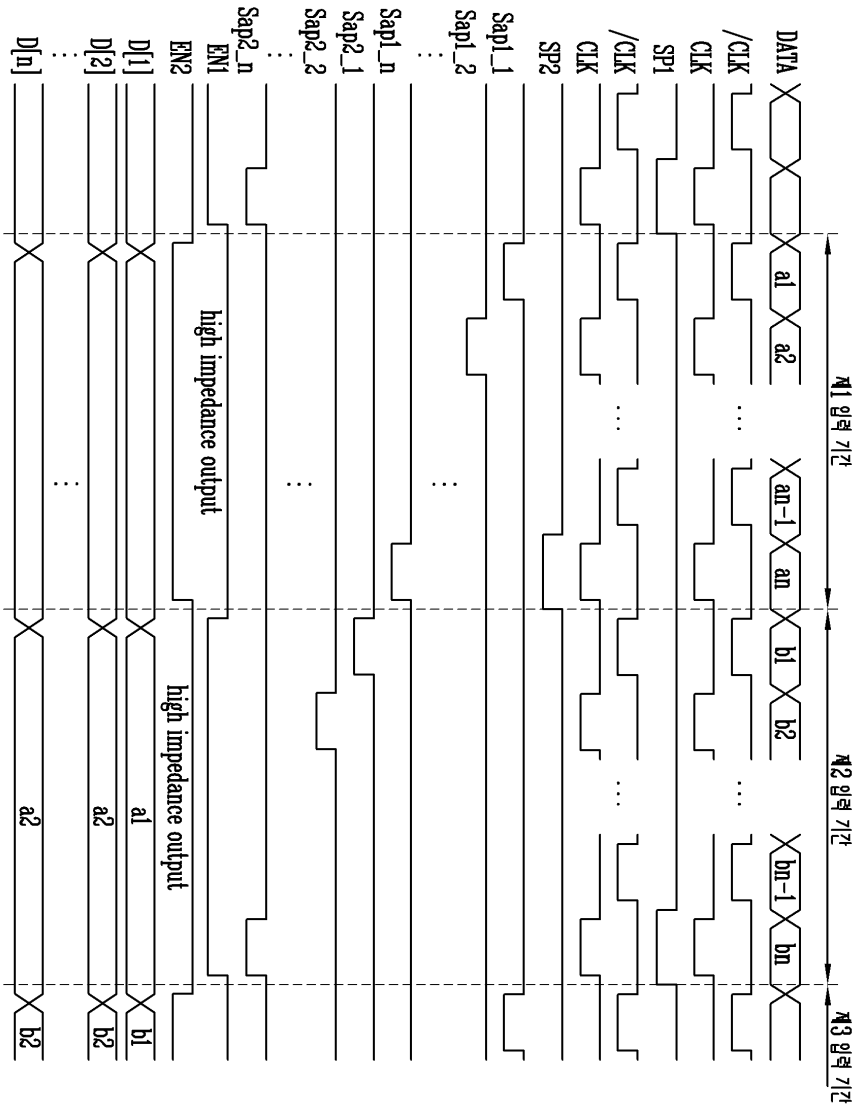
도면9



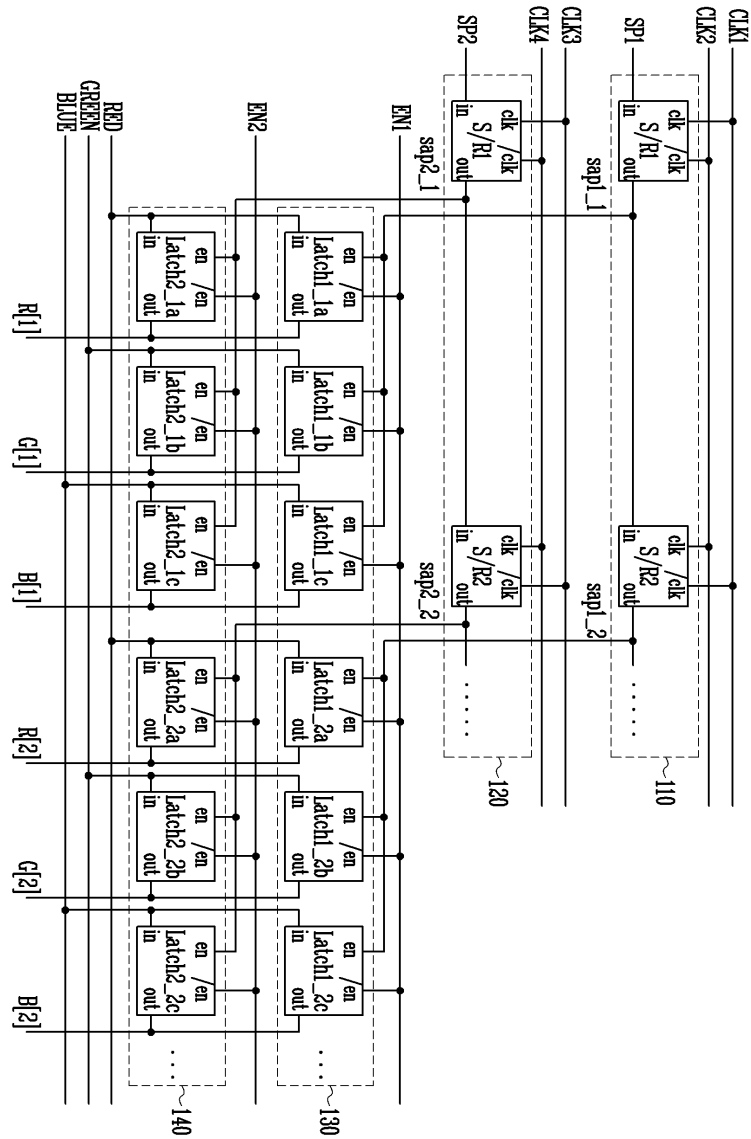
도면10



도면11



도면12



专利名称(译)	数据驱动电路和使用其的有机电致发光显示装置		
公开(公告)号	KR100719665B1	公开(公告)日	2007-05-17
申请号	KR1020060023691	申请日	2006-03-14
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN 신동용		
发明人	신동용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0842 G11C19/184 G09G2310/0286 G09G2310/0294 G09G3/3258 G09G3/2022 G09G3/3291		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

本发明的第一方面提供了数据驱动电路，其中输入数据作为数据驱动电路输出相应的数据信号到n个通道，并且其特征在于如上所述地移位输入数据并包括移位晶体管部分输出，第一锁存单元和第二锁存单元。第一锁存单元同时输出与从移位晶体管部分输入的第一输入周期相对应的数据。第二锁存单元同时输出来自移位晶体管部分的第二输入器输入之间的数据。由于包括并因此降低了制造成本，因此包括在根据本发明的数据驱动器中的移位寄存器和锁存器可以降低制造成本，因此可以安装在面板中。

