

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년09월15일
G09G 3/30 (2006.01)	(11) 등록번호	10-0624114
	(24) 등록일자	2006년09월07일

(21) 출원번호	10-2005-0070395	(65) 공개번호
(22) 출원일자	2005년08월01일	(43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	정보용 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 김새별

(54) 유기전계발광장치의 주사구동장치

요약

유기전계발광장치에 주사 신호를 공급하기 위한 주사구동장치가 개시된다. 주사구동장치는 동일한 전도 타입을 가지는 다수의 트랜지스터들로 이루어진다. 각각의 주사 신호를 발생하기 위해 주사구동장치는 클럭 신호 또는 반전된 클럭 신호에 동기되어 입력 신호를 샘플링하는 다수의 샘플링부를 가지며, 인접한 샘플링부의 출력 신호들을 논리 연산하여 주사 신호를 생성하는 OR 게이트 및 NAND 게이트를 가진다. 상기 OR 게이트 및 NAND 게이트는 동일한 전도 타입의 트랜지스터들로 구성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 주사구동장치를 도시한 블록도이다.

도 2는 본 발명의 바람직한 실시예에 따라 다수의 샘플링부들을 도시한 회로도이다.

도 3은 본 발명의 바람직한 실시예에 따라 상기 도 2에 도시된 인버터를 도시한 회로도이다.

도 4는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 OR 게이트를 도시한 회로도이다.

도 5는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 NAND 게이트를 도시한 회로도이다.

도 6은 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 주사구동장치의 동작을 설명하기 위한 타이밍도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 제1 샘플링부 110 : 제1 OR 게이트

120 : 제2 샘플링부 130 : 제1 NAND 게이트

140 : 제3 샘플링부 150 : 제2 OR 게이트

200 : 제1 스위칭부 220 : 제2 스위칭부

240 : 능동 부하 선택부 260 : 능동 부하

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광장치의 주사구동장치에 관한 것으로, 더욱 상세하게는 동일한 전도 타입의 트랜지스터로 이루어진 주사구동장치에 관한 것이다.

주사구동장치는 능동 매트릭스 타입의 유기전계발광장치에 주사 신호를 공급한다. 주사 신호의 공급에 의해 유기전계발광장치를 구성하는 화소는 선택되고, 선택된 화소에 데이터 신호가 인가된다. 데이터 신호가 인가된 화소는 데이터 신호를 저장하고, 저장된 데이터 신호에 따라 발광 동작을 수행한다.

상기 주사구동장치는 반도체 제조 공정에 의해 단결정 실리콘 기판상에 형성된다. 단결정 실리콘 기판상에 형성된 주사구동장치는 다수의 화소에 전기적으로 연결된다.

또한, 최근에는 주사구동장치를 유기전계발광장치가 형성되는 유기 기판상에 형성하는 SOP(System On Panel) 기술이 사용되기도 한다. 유기전계발광장치와 동일한 기판상에 주사구동장치가 형성되기 위해 상기 주사구동장치는 화소를 구성하는 트랜지스터와 동일한 전도 타입을 가지는 것이 바람직하다. 동일한 전도 타입을 가지는 주사구동장치는 그 회로가 복잡한 경우, 만족스러운 특성을 가질 수 없으며 제조 공정이 복잡해진다.

따라서, 동일한 전도 타입을 가지는 주사구동장치는 간단한 회로 구성을 가질 것이 요구된다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 동일한 전도 타입을 가지는 다수의 트랜지스터들로 구성된 주사구동장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 반전된 클럭 신호에 동기하여 입력 신호를 샘플링하기 위한 제1 샘플링부; 클럭 신호에 동기하여 상기 제1 샘플링부의 출력 신호를 샘플링하기 위한 제2 샘플링부; 상기 반전된 클럭 신호에 동기하여 상기 제2 샘플링부의 출력 신호를 샘플링하기 위한 제3 샘플링부; 상기 제1 샘플링부의 출력 신호 및 상기 제2 샘플링부의 출력 신호를 논리합 연산하여 제1 주사 신호를 생성하기 위한 OR 게이트; 및 상기 제2 샘플링부의 출력 신호 및 상기 제3 샘플링부의 출력 신호를 NAND 연산하여 제2 주사 신호를 생성하기 위한 NAND 게이트를 포함하는 주사구동장치를 제공한다.

또한, 본 발명의 상기 목적은, 제1 클럭 신호에 동기하여 개시 신호를 샘플링하기 위한 제1 샘플링부; 상기 제1 클럭 신호와 반전된 관계를 가지는 제2 클럭 신호에 동기하여 상기 제1 샘플링부의 출력을 샘플링하기 위한 제2 샘플링부; 상기 제1

클럭 신호에 동기하여 상기 제2 샘플링부의 출력을 샘플링하기 위한 제3 샘플링부; 상기 제2 샘플링부의 입력 신호 및 출력 신호에 대한 논리합 연산을 수행하여 홀수 주사 신호를 발생하기 위한 OR 게이트; 및 상기 제3 샘플링부의 입력 신호 및 출력 신호에 대한 NAND 연산을 수행하여 짝수 주사 신호를 발생하기 위한 NAND 게이트를 포함하며, 상기 제1 샘플링부, 상기 제2 샘플링부, 상기 제3 샘플링부, 상기 OR 게이트 및 상기 NAND 게이트를 구성하는 트랜지스터는 동일한 전도 타입인 것을 특징으로 하는 주사구동장치의 제공을 통해서도 달성될 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

실시예

도 1은 본 발명의 바람직한 실시예에 따른 주사구동장치를 도시한 블록도이다.

도 1을 참조하면, 본 실시예에 따른 주사구동장치는 다수의 샘플링부들(100,120,140,160), 인접한 샘플링 회로부들의 출력에 대한 논리 연산을 수행하는 OR 게이트(110,150) 및 NAND 게이트(130)를 가진다.

제1 샘플링부(100)는 개시 신호 IN을 수신하고, 반전된 클럭신호 /CLK를 수신한다. 개시 신호 IN은 반전된 클럭신호 /CLK의 하강 에지에서 샘플링된다. 샘플링된 신호는 반전되어 출력 신호 OUT1이 된다. 따라서, 제1 샘플링부(100)의 출력 신호 OUT1은 반전된 클럭 /CLK의 하강 에지에서 샘플링되고, 반전되어 출력된다. 상기 제1 샘플링부(100)의 출력은 제1 OR 게이트(110) 및 제2 샘플링부(120)에 입력된다.

제2 샘플링부(120)는 제1 샘플링부(100)의 출력 신호 OUT1을 수신한다. 또한, 제2 샘플링부(120)는 클럭 신호 CLK를 수신한다. 제2 샘플링부(120)에 입력된 신호 OUT1은 클럭 신호 CLK의 하강 에지에서 샘플링되고, 반전되어 출력 신호 OUT2를 형성한다. 또한, 제2 샘플링부(120)의 출력 신호 OUT2는 제1 OR 게이트(110), 제1 NAND 게이트(130) 및 제3 샘플링부(140)에 입력된다.

제1 OR 게이트(110)는 신호 OUT1 및 OUT2에 대한 논리합 연산을 수행하여 제1 주사 신호 SCAN[1]을 형성한다.

제3 샘플링부(140)는 제2 샘플링부(120)의 출력 신호 OUT2를 수신한다. 또한, 제3 샘플링부(140)에는 반전된 클럭 신호 /CLK가 인가된다. 제3 샘플링부(140)는 반전된 클럭 신호 /CLK의 하강 에지에서 출력 신호 OUT2를 샘플링하고, 이를 반전하여 출력 신호 OUT3을 형성한다. 제3 샘플링부(140)의 출력 신호 OUT3은 제1 NAND 게이트(130), 제2 OR 게이트(150) 및 제4 샘플링부(160)에 입력된다.

상기 제1 NAND 게이트(130)는 출력 신호들 OUT2 및 OUT3을 수신하고, 수신된 신호들에 대한 NAND 연산을 수행하여 제2 주사 신호 SCAN[2]를 발생한다.

제4 샘플링부(160)는 제3 샘플링부(140)의 출력 신호 OUT3을 수신한다. 또한, 제4 샘플링부(160)에는 클럭 신호 CLK가 인가된다. 상기 제4 샘플링부(160)는 클럭 신호 CLK의 하강 에지에서 출력 신호 OUT3을 샘플링하고, 이를 반전하여 출력 신호 OUT4를 형성한다. 제4 샘플링부(160)의 출력 신호 OUT4는 제2 OR 게이트(150), 제2 NAND 게이트 및 제5 샘플링부에 인가된다.

제2 OR 게이트(150)는 출력 신호 OUT3 및 OUT4를 수신하고, 수신된 신호들에 대한 논리합 연산을 수행하여 제3 주사 신호 SCAN[3]을 발생한다.

즉, 제1 OR 게이트(110)는 제2 샘플링부(120)의 출력 및 입력에 대한 논리합 연산을 수행하며, 제1 NAND 게이트(130)는 제3 샘플링부(140)의 입력 및 출력에 대한 NAND 연산을 수행한다. 또한, 제2 OR 게이트(150)는 제4 샘플링부(160)의 입력 및 출력에 대한 논리합 연산을 수행한다. 이를 정리하면, 홀수번째 주사 신호를 발생하는 OR 게이트는 짝수번째 샘플링부의 입력 및 출력에 대한 논리합 연산을 수행하여 홀수번째 주사 신호를 발생한다. 또한, 짝수번째 주사 신호를 발생하는 NAND 게이트는 홀수번째 샘플링부의 입력 및 출력에 대한 NAND 연산을 수행하여 짝수번째 주사 신호를 형성한다.

도 2는 본 발명의 바람직한 실시예에 따라 다수의 샘플링부들을 도시한 회로도이다.

도 2를 참조하면, 각각의 샘플링부는 트랜지스터와 상기 트랜지스터에 연결된 인버터를 가진다.

예컨대, 제1 샘플링부(100)는 개시 신호 IN을 수신하는 트랜지스터 Q1 및 상기 트랜지스터 Q1에 연결된 제1 인버터(105)를 가진다. 또한, 트랜지스터 Q1의 게이트 단자에는 반전된 클럭 신호 /CLK가 인가된다. 상기 트랜지스터 Q1은 반전된 클럭 신호 /CLK에 의해 온/오프 동작을 수행한다. 또한, 상기 트랜지스터 Q1은 반전된 클럭 신호 /CLK 또는 클럭 신호 CLK에 의해 개시 신호 IN을 상기 제1 인버터(105)에 전달하므로, 트랜지스터 Q1 대신에 전송 게이트가 사용될 수 있다. 상기 도 2에서 다수의 트랜지스터들이 PMOS로 구성된 것으로 도시되었으나 트랜지스터들은 NMOS로 구성될 수도 있다.

반전된 클럭 신호 /CLK의 로우 레벨에서 트랜지스터 Q1은 턴온되고, 턴온된 트랜지스터 Q1을 통해 개시 신호 IN은 제1 인버터(105)에 전달된다. 트랜지스터 Q1은 클럭 신호 /CLK의 로우 레벨에서 턴온되므로 상기 트랜지스터 Q1은 반전된 클럭 신호 /CLK의 하강 에지에서 개시 신호 IN을 샘플링한다. 샘플링된 신호를 제1 인버터에 의해 반전되고, 출력 신호 OUT1을 형성한다. 상기 출력 신호 OUT1은 제2 샘플링부(120)의 입력 신호가 된다.

제2 샘플링부(120)는 상기 제1 샘플링부(100)와 동일한 구성을 가진다. 다만, 입력되는 신호는 제1 샘플링부(100)의 출력 신호인 OUT1이며, 트랜지스터 Q2는 클럭 신호 CLK에 의해 온/오프 동작을 수행한다. 즉, 클럭 신호 CLK의 로우 레벨에서 출력 신호 OUT1은 샘플링되고, 제2 인버터(125)에서 반전되어 출력 신호 OUT2를 형성한다.

제3 샘플링부(140) 및 제4 샘플링부(160) 또한 제1 샘플링부(100)와 동일한 구성을 가진다. 다만 제3 샘플링부(140)는 제2 샘플링부(120)의 출력 신호인 OUT2를 수신하고, 트랜지스터 Q3의 온/오프 동작을 제어하는 반전된 클럭 신호 /CLK에 따라 출력 신호 OUT2를 샘플링하고, 샘플링된 신호를 제3 인버터(145)를 통해 반전하여 출력 신호 OUT3을 형성한다. 또한, 제4 샘플링부(160)는 트랜지스터 Q4 및 제4 인버터(165)를 구비한다. 트랜지스터 Q4의 게이트 단자에는 클럭 신호 CLK가 인가되고, 클럭 신호 CLK의 하강 에지에서 제3 샘플링부(140)의 출력 신호 OUT3은 샘플링된다. 샘플링된 신호는 제4 인버터(165)를 통해 반전되고, 출력 신호 OUT4로 형성된다. 또한, 상기 도 2에서 각각의 인버터는 래치로 구성될 수 있다.

또한, 상기 도 2에서 홀수번째 샘플링부에는 반전된 클럭 신호 /CLK가 인가되며, 짝수번째 샘플링부에는 클럭 신호 CLK가 인가됨을 알 수 있다. 이외에도 홀수번째 샘플링부에는 클럭 신호 CLK가 인가되고, 짝수번째 샘플링부에는 반전된 클럭 신호 /CLK가 인가될 수도 있으며, 각각의 트랜지스터는 NMOS일 수도 있다.

도 3은 본 발명의 바람직한 실시예에 따라 상기 도 2에 도시된 인버터를 도시한 회로도이다.

도 3을 참조하면, 상기 인버터는 3개의 트랜지스터들 Q31, Q32 및 Q33을 가진다.

트랜지스터 Q31은 양의 전원 레일 Vpos 와 출력 단자 사이에 연결된다. 또한, 트랜지스터 Q31의 게이트 단자에는 인버터의 입력 신호가 인가된다.

트랜지스터 Q32는 음의 전원 레일 Vneg 와 트랜지스터 Q33의 게이트 단자 사이에 연결된다. 상기 트랜지스터 Q32의 게이트 단자는 음의 전원 레일 Vneg에 연결되므로, 상기 트랜지스터 Q32는 다이오드 연결된 구조를 가진다.

트랜지스터 Q33은 인버터의 출력 단자와 음의 전원 레일 Vpos사이에 연결된다. 상기 트랜지스터 Q33의 게이트 단자는 트랜지스터 Q32에 연결된다.

인버터의 입력 신호 INinv가 로우 레벨인 경우, 트랜지스터 Q31은 턴온된다. 또한, 다이오드 연결된 트랜지스터 Q32 및 트랜지스터 Q33은 턴온된다. 상기 트랜지스터 Q31의 W/L이 상기 트랜지스터 Q33의 W/L보다 크게 형성됨이 바람직하다. 턴온된 트랜지스터 Q31에 의해 출력 신호 OUTinv는 하이 레벨을 유지한다. 또한, 상기 트랜지스터 Q33은 능동 부하로 동작한다.

인버터의 입력 신호 INinv가 하이 레벨인 경우, 트랜지스터 Q31은 턴오프된다. 또한, 트랜지스터 Q33은 다이오드 연결된 트랜지스터 Q32에 의해 턴온되어 출력 신호 OUTinv는 로우 레벨을 유지한다.

또한, 상기 도 3에서 도시된 인버터는 다양한 형태로 변형되어 구성될 수 있다.

도 4는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 OR 게이트를 도시한 회로도이다.

도 4를 참조하면, 트랜지스터 Q41은 양의 전원 레일 Vpos 및 제1 노드 N1 사이에 연결된다. 상기 트랜지스터 Q41의 게이트 단자에는 OR 게이트의 입력 신호 INor1이 인가된다.

트랜지스터 Q42는 제1 노드 N1 및 제2 노드 N2 사이에 연결된다. 또한, 상기 트랜지스터 Q42의 게이트 단자에는 OR 게이트의 입력 신호 INor2가 인가된다.

트랜지스터들 Q43 및 Q44는 상기 트랜지스터들 Q41 및 Q42의 능동 부하로서 작용한다. 먼저, 트랜지스터 Q43은 음의 전원 레일 Vneg 및 트랜지스터 Q44의 게이트 단자 사이에 연결된다. 또한, 트랜지스터 Q43의 게이트 단자는 음의 전원 레일 Vneg에 연결되어, 다이오드 연결된 구성을 가진다. 트랜지스터 Q44는 제2 노드 N2 및 음의 전원 레일 Vneg 사이에 연결된다. 또한, 트랜지스터 Q44의 게이트 단자는 다이오드 연결된 트랜지스터 Q43에 연결된다.

트랜지스터 Q45는 양의 전원 레일 Vpos 및 OR 게이트의 출력 단자 사이에 연결된다. 또한, 트랜지스터 Q45의 게이트 단자는 제2 노드 N2에 연결된다.

트랜지스터들 Q46 및 Q47은 상기 트랜지스터 Q45의 능동 부하로서 작용한다. 먼저, 트랜지스터 Q46은 음의 전원 레일 Vneg 및 트랜지스터 Q47의 게이트 단자 사이에 연결된다. 또한, 트랜지스터 Q46의 게이트 단자는 음의 전원 레일 Vneg에 연결되어 다이오드 연결된 구성을 가진다. 또한, 트랜지스터 Q47은 OR 게이트의 출력단자와 음의 전원 레일 Vneg 사이에 연결된다. 상기 트랜지스터 Q47의 게이트 단자는 다이오드 연결된 트랜지스터 Q46에 연결된다.

상기 트랜지스터들 Q41, Q42, Q43 및 Q44는 NOR 게이트로서 동작한다. 특히 트랜지스터들 Q43 및 Q44는 NOR 게이트의 능동 부하로서 동작한다. 또한, 트랜지스터들 Q45, Q46 및 Q47은 인버터로서 동작한다. 특히, 트랜지스터들 Q46 및 Q47은 인버터의 능동 부하로서 동작한다.

먼저, 2개의 입력 신호 INor1 및 INor2 중 어느 하나 또는 2개의 입력 모두가 하이 레벨을 가지는 경우, 양의 전원 레일 Vpos와 제2 노드 N2 사이의 전기적인 연결은 차단된다. 또한, 능동 부하인 트랜지스터 Q44에 의해 제2 노드 N2는 로우 레벨을 가진다. 로우 레벨을 가지는 제2 노드 N2의 신호에 의해 트랜지스터 Q45는 턴온되고, 출력 신호 OUTor는 하이 레벨을 가진다.

또한, 2개의 입력 신호 INor1 및 INor2가 로우 레벨을 가지는 경우, 양의 전원 레일 Vpos와 제2 노드 N2 사이는 전기적으로 연결되고, 제2 노드 N2에는 하이 레벨의 신호가 인가된다. 하이 레벨을 가지는 제2 노드 N2의 신호에 의해 트랜지스터 Q45는 턴오프된다. 따라서, 능동 부하인 트랜지스터 Q47에 의해 출력 신호 OUTor는 로우 레벨을 가진다.

상술한 바에 따라 상기 도 4에 도시된 회로는 논리합 연산을 수행함을 알 수 있다.

도 5는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 NAND 게이트를 도시한 회로도이다.

도 5를 살펴보면, 상기 NAND 게이트는 2개의 스위칭부들, 능동 부하 및 상기 능동 부하 선택부를 가진다. 또한, 실시의 형태에 따라 상기 NAND 게이트는 커패시터를 더 가질 수도 있다.

제1 스위칭부는 양의 전원 레일과 제1 노드 ND1 사이에 연결된다. 상기 제1 스위칭부는 서로 마주보며 연결된 2개의 트랜지스터들 Q51 및 Q52를 가진다. 즉, 트랜지스터 Q51의 2개의 전극들은 트랜지스터 Q52의 2개의 전극들과 각각 연결된다. 또한, 트랜지스터 Q51의 게이트 단자에는 입력 신호 INnand1이 인가되고, 트랜지스터 Q52의 게이트 단자에는 입력 신호 INnand2가 인가된다.

제2 스위칭부는 제1 노드 ND1 및 제2 노드 ND2 사이에 연결된다. 제2 스위칭부는 서로 마주보며 연결된 2개의 트랜지스터들 Q53 및 Q54를 가진다. 즉, 트랜지스터 Q53의 2개의 전극들은 트랜지스터 Q54의 2개의 전극들과 각각 연결된다. 또한, 트랜지스터 Q53의 게이트 단자에는 입력 신호 INnand1이 인가되고, 트랜지스터 Q54의 게이트 단자에는 입력 신호 INnand2가 입력된다.

능동 부하 선택부는 제2 노드 ND2 및 음의 전원 레일 Vneg 사이에 연결되고, 2개의 트랜지스터들 Q55 및 Q56으로 구성된다. 트랜지스터 Q55는 제2 노드 ND2와 트랜지스터 Q56 사이에 연결되고, 반전된 입력 신호 /INnand1에 의해 온/오프

동작을 수행한다. 또한, 트랜지스터 Q56은 트랜지스터 Q55와 음의 전원 레일 Vneg 사이에 연결된다. 상기 트랜지스터 Q56의 게이트 단자에는 반전된 입력 신호 /INnand2가 입력되며, 반전된 입력 신호 /INnand2에 의해 상기 트랜지스터 Q56은 온/오프 동작을 수행한다.

능동 부하는 트랜지스터 Q57을 가진다. 상기 트랜지스터 Q57은 제1 노드 ND1 과 음의 전원 레일 Vneg 사이에 연결된다. 또한, 상기 트랜지스터 Q57의 게이트 단자에는 제1 노드 ND2의 신호가 인가된다.

커패시터 C는 제1 노드 ND1 및 제2 노드 ND2 사이에 연결된다. 상기 커패시터 C는 제1 노드 ND1의 출력 신호 OUTnand의 출력 레벨을 일정 기간 유지하는 역할을 수행한다.

먼저, 2개의 입력 신호들 INnand1 및 INnand2 중 어느 하나 또는 2개의 입력 신호들이 로우 레벨을 가지는 경우, 제1 스위칭부 및 제2 스위칭부는 턴온된다. 따라서, 제1 노드 ND1 및 제2 노드 ND2는 하이 레벨을 가진다. 또한, 능동 부하 선택부를 구성하는 2개의 트랜지스터들 Q55 및 Q56 중 적어도 하나의 트랜지스터는 반전된 입력 신호들 /INnand1 및 /INnand2에 의해 턴오프된다. 따라서, 제2 노드 ND2 및 음의 전원 레일 Vneg 사이의 전기적 연결은 차단된다. 또한, 트랜지스터 Q57의 게이트 단자와 소스 단자는 실질적으로 동일한 레벨을 가지므로 트랜지스터 Q57은 턴오프된다. 결국, 제1 스위칭부를 통해 제1 노드로 하이 레벨의 신호가 전달되고, 출력 신호 OUTnand는 하이 레벨을 유지한다.

계속해서, 2개의 입력 신호들 INnand1 및 INnand2가 하이 레벨을 가지는 경우, 제1 스위칭부 및 제2 스위칭부는 턴오프된다. 따라서, 양의 전원 레일 Vpos로부터 제1 노드 ND1까지의 전기적 경로는 차단되고, 제1 노드 ND1로부터 제2 노드 ND2까지의 전기적 경로 또한 차단된다. 2개의 반전된 입력 신호들 /INnand1 및 /INnand2는 로우 레벨을 가지므로, 능동 부하 선택부는 턴온된다. 즉, 제2 노드 ND2와 음의 전원 레일 Vneg 사이에는 전기적 경로가 형성된다. 상기 턴온된 능동 부하 선택부에 의해 제2 노드 ND2가 가지는 신호의 레벨은 음의 전원 레일 Vneg와 실질적으로 동일하다. 또한, 제2 노드 ND2의 신호 레벨에 의해 능동 부하인 트랜지스터 Q57은 턴온되고, 출력 신호 OUTnand는 로우 레벨을 유지한다.

상기 도 3, 도 4 및 도 5에서 양의 전원 레일 Vpos 및 음의 전원 레일 Vneg는 서로 동일한 것으로 도시되었으나, 인버터에 사용되는 전원 레일들, OR 게이트에 사용되는 전원 레일들 및 NAND 게이트에 사용되는 전원 레일들은 서로 다를 수도 있다. 즉, 각각의 전원 레일들은 서로 다른 레벨과 전원을 사용할 수도 있다.

도 6은 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 주사구동장치의 동작을 설명하기 위한 타이밍도이다.

도 6 및 도 1을 참조하면, 반전된 클럭 신호 /CLK의 제1 주기의 하강 에지에서 개시 신호 IN은 샘플링된다. 샘플링된 개시 신호 IN은 제1 샘플링부에서 반전된다. 반전된 클럭 신호 /CLK의 하강 에지 및 로우 레벨에서 개시 신호 IN은 하이 레벨을 유지하므로 제1 샘플링부의 출력 신호 OUT1은 제1 주기 동안 로우 레벨을 유지한다. 상기 출력 신호 OUT1은 제1 OR 게이트 및 제2 샘플링부에 입력된다.

제2 샘플링부는 클럭 신호 CLK의 제1 주기의 하강 에지에서 신호 OUT1을 샘플링한다. 샘플링된 신호 OUT1은 제2 샘플링부에서 반전된다. 클럭 신호 CLK의 제1 주기의 하강 에지 및 로우 레벨에서 신호 OUT1은 로우 레벨을 유지하므로 제2 샘플링부의 출력 신호 OUT2는 클럭 신호 CLK의 제1 주기 로우 레벨부터 제2 주기 하이 레벨 동안 하이 레벨을 유지한다. 상기 제2 샘플링부의 출력 신호 OUT2는 제1 OR 게이트, 제1 NAND 게이트 및 제3 샘플링부에 입력된다.

제3 샘플링부는 반전된 클럭 신호 /CLK의 제2 주기 하강 에지에서 신호 OUT2를 샘플링한다. 샘플링된 신호 OUT2는 제3 샘플링부에서 반전된다. 반전된 클럭 신호 /CLK의 제2 주기 하강 에지 및 로우 레벨에서 신호 OUT2는 하이 레벨을 가지므로 제3 샘플링부의 출력 신호 OUT3은 반전된 클럭 신호 /CLK의 제2 주기에서 로우 레벨을 유지한다.

제2 샘플링부의 입력 신호인 제1 샘플링부의 출력 신호 OUT1 및 제2 샘플링부의 출력 신호 OUT2는 제1 OR 게이트에서 논리합 연산된다. 따라서, 클럭 신호 CLK의 제1 주기 하이 레벨에서 로우 레벨을 가지는 제1 주사 신호 SCAN[1]이 형성된다.

또한, 제3 샘플링부의 입력 신호 OUT2 및 제3 샘플링부의 출력 신호 OUT3은 제1 NAND 게이트에서 논리 연산된다. 따라서, 클럭 신호 CLK의 제1 주기 로우 레벨에서 로우 레벨을 가지는 제2 주사 신호 SCAN[2]가 형성된다.

제4 샘플링부의 입/출력 신호들 및 이들에 대한 제2 OR 게이트에 의해 클럭 신호 CLK의 제2 주기 하이 레벨에서 로우 레벨을 가지는 제3 주사 신호 SCAN[3]이 형성된다.

즉, 홀수 주사 신호들 SCAN[1,3,5,...]는 짝수번째 샘플링부 및 상기 짝수번째 샘플링부의 입/출력 신호들에 대한 논리합 연산에 의해 발생하고, 짝수 주사 신호들 SCAN[2,4,6,...]은 홀수번째 샘플링부 및 상기 홀수번째 샘플링부의 입/출력 신호들에 대한 NAND 연산에 의해 발생된다.

또한, 본 실시예에서는 클럭 신호 CLK 및 개시 신호 IN의 인가 형태에 따라, 홀수 주사 신호들 SCAN[1,3,5,...]을 NAND 연산에 의해 형성하고, 짝수 주사 신호들 SCAN[2,4,6,...]을 논리합 연산에 의해 형성할 수 있다.

또한, 본 실시예에서는 샘플링부, OR 게이트 및 NAND 게이트가 PMOS로 이루어진 것으로 도시되었으나, NMOS로도 구성할 수 있다. 다만, 주사구동장치를 이루는 모든 트랜지스터들은 동일한 전도 타입을 가짐이 바람직하다. 또한, 화소를 구성하는 트랜지스터의 전도 타입과 동일한 전도 타입을 가짐이 더욱 바람직하다.

상술한 바와 같이, 주사구동장치는 동일한 전도 타입을 가진 트랜지스터들로 구성되며, 간단한 회로 구성을 가진다. 따라서, 주사구동장치는 SOP(System On Panel)을 이용하여 화소들이 형성된 기판 상에 용이하게 구현될 수 있다.

발명의 효과

상기와 같은 본 발명에 따르면, 동일한 전도 타입을 가지는 트랜지스터들을 이용하여 주사구동장치를 구성할 수 있다. 또한, 주사구동장치는 간단한 회로 구성을 가지게되어, 기판 상에 용이하게 구현될 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

반전된 클럭 신호에 동기하여 입력 신호를 샘플링하기 위한 제1 샘플링부;

클럭 신호에 동기하여 상기 제1 샘플링부의 출력 신호를 샘플링하기 위한 제2 샘플링부;

상기 반전된 클럭 신호에 동기하여 상기 제2 샘플링부의 출력 신호를 샘플링하기 위한 제3 샘플링부;

상기 제1 샘플링부의 출력 신호 및 상기 제2 샘플링부의 출력 신호를 논리합 연산하여 제1 주사 신호를 생성하기 위한 OR 게이트; 및

상기 제2 샘플링부의 출력 신호 및 상기 제3 샘플링부의 출력 신호를 NAND 연산하여 제2 주사 신호를 생성하기 위한 NAND 게이트를 포함하는 주사구동장치.

청구항 2.

제1항에 있어서, 상기 각각의 샘플링부, OR 게이트 및 NAND 게이트는 동일한 전도 타입을 가지는 트랜지스터들을 가지는 것을 특징으로 하는 주사구동장치.

청구항 3.

제2항에 있어서, 상기 제1 샘플링부 또는 제3 샘플링부는,

상기 반전된 클럭 신호의 하강 에지에서 입력 신호를 샘플링하기 위한 제1 트랜지스터; 및

상기 제1 트랜지스터의 출력을 반전하기 위한 제1 인버터를 가지는 것을 특징으로 하는 주사구동장치.

청구항 4.

제3항에 있어서, 상기 제2 샘플링부는,

상기 클럭 신호의 하강 에지에서 입력 신호를 샘플링하기 위한 제2 트랜지스터; 및

상기 제2 트랜지스터의 출력을 반전하기 위한 제2 인버터를 가지는 것을 특징으로 하는 주사구동장치.

청구항 5.

제4항에 있어서, 상기 제1 인버터 또는 제2 인버터는,

양의 전원 레일과 출력 단자 사이에 연결되고, 입력 신호를 수신하는 제1 트랜지스터;

음의 전원 레일에 연결되고, 다이오드 연결된 구성을 가지는 제2 트랜지스터; 및

상기 출력 단자와 상기 음의 전원 레일 사이에 연결되고, 상기 제2 트랜지스터의 전압에 따라 온/오프 동작을 수행하기 위한 제3 트랜지스터를 포함하는 것을 특징으로 하는 주사구동장치.

청구항 6.

제4항에 있어서, 상기 OR 게이트는,

양의 전원 레일과 제1 노드 사이에 연결되고, 제1 입력 신호에 따라 온/오프 동작을 수행하기 위한 제1 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결되고, 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제2 트랜지스터;

음의 전원 레일에 연결되고, 다이오드 연결된 구성을 가지는 제3 트랜지스터;

상기 제2 노드와 상기 음의 전원 레일 사이에 연결되고, 상기 제3 트랜지스터의 전압에 따라 온/오프 동작을 수행하기 위한 제4 트랜지스터;

상기 양의 전원 레일과 출력 단자 사이에 연결되고, 상기 제2 노드의 전압에 따라 온/오프 동작을 수행하기 위한 제5 트랜지스터;

상기 음의 전원 레일에 연결되고, 다이오드 연결된 구성을 가지는 제6 트랜지스터; 및

상기 출력 단자와 상기 음의 전원 레일 사이에 연결되고, 상기 제6 트랜지스터의 전압에 따라 온/오프 동작을 수행하기 위한 제7 트랜지스터를 포함하는 것을 특징으로 하는 주사구동장치.

청구항 7.

제4항에 있어서, 상기 NAND 게이트는,

양의 전원 레일과 출력 단자인 제1 노드 사이에 연결되고, 제1 입력 신호 또는 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제1 스위칭부;

상기 제1 노드와 제2 노드 사이에 연결되고, 상기 제1 입력 신호 또는 상기 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제2 스위칭부;

상기 제2 노드와 음의 전원 레일 사이에 연결되고, 상기 반전된 제1 입력 신호 및 반전된 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 능동 부하 선택부; 및

상기 제1 노드와 상기 음의 전원 레일 사이에 연결되고, 상기 제2 노드의 전압에 따라 온/오프 동작을 수행하기 위한 능동 부하를 포함하는 것을 특징으로 하는 주사구동장치.

청구항 8.

제7항에 있어서, 상기 NAND 게이트는 상기 제1 노드와 상기 제2 노드 사이에 출력 신호의 레벨을 일정 기간 유지하기 위한 커패시터를 더 포함하는 것을 특징으로 하는 주사구동장치.

청구항 9.

제1 클럭 신호에 동기하여 개시 신호를 샘플링하기 위한 제1 샘플링부;

상기 제1 클럭 신호와 반전된 관계를 가지는 제2 클럭 신호에 동기하여 상기 제1 샘플링부의 출력을 샘플링하기 위한 제2 샘플링부;

상기 제1 클럭 신호에 동기하여 상기 제2 샘플링부의 출력을 샘플링하기 위한 제3 샘플링부;

상기 제2 샘플링부의 입력 신호 및 출력 신호에 대한 논리합 연산을 수행하여 홀수 주사 신호를 발생하기 위한 OR 게이트; 및

상기 제3 샘플링부의 입력 신호 및 출력 신호에 대한 NAND 연산을 수행하여 짝수 주사 신호를 발생하기 위한 NAND 게이트를 포함하며, 상기 제1 샘플링부, 상기 제2 샘플링부, 상기 제3 샘플링부, 상기 OR 게이트 및 상기 NAND 게이트를 구성하는 트랜지스터는 동일한 전도 타입인 것을 특징으로 하는 주사구동장치.

청구항 10.

제9항에 있어서, 상기 제1 샘플링부 또는 제3 샘플링부는,

상기 제1 클럭 신호의 하강 에지에서 입력 신호를 샘플링하기 위한 제1 트랜지스터; 및

상기 제1 트랜지스터의 출력을 반전하고 저장하기 위한 제1 래치를 가지는 것을 특징으로 하는 주사구동장치.

청구항 11.

제10항에 있어서, 상기 제2 샘플링부는,

상기 제2 클럭 신호의 하강 에지에서 입력 신호를 샘플링하기 위한 제2 트랜지스터; 및

상기 제2 트랜지스터의 출력을 반전하고 저장하기 위한 제2 래치를 가지는 것을 특징으로 하는 주사구동장치.

청구항 12.

제11항에 있어서, 상기 OR 게이트는,

양의 전원 레일과 제1 노드 사이에 연결되고, 제1 입력 신호에 따라 온/오프 동작을 수행하기 위한 제1 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결되고, 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제2 트랜지스터;

음의 전원 레일에 연결되고, 다이오드 연결된 구성을 가지는 제3 트랜지스터;

상기 제2 노드와 상기 음의 전원 레일 사이에 연결되고, 상기 제3 트랜지스터의 전압에 따라 온/오프 동작을 수행하기 위한 제4 트랜지스터;

상기 양의 전원 레일과 출력 단자 사이에 연결되고, 상기 제2 노드의 전압에 따라 온/오프 동작을 수행하기 위한 제5 트랜지스터;

상기 음의 전원 레일에 연결되고, 다이오드 연결된 구성을 가지는 제6 트랜지스터; 및

상기 출력 단자와 상기 음의 전원 레일 사이에 연결되고, 상기 제6 트랜지스터의 전압에 따라 온/오프 동작을 수행하기 위한 제7 트랜지스터를 포함하는 것을 특징으로 하는 주사구동장치.

청구항 13.

제12항에 있어서, 상기 NAND 게이트는,

양의 전원 레일과 출력 단자인 제1 노드 사이에 연결되고, 제1 입력 신호 또는 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제1 스위칭부;

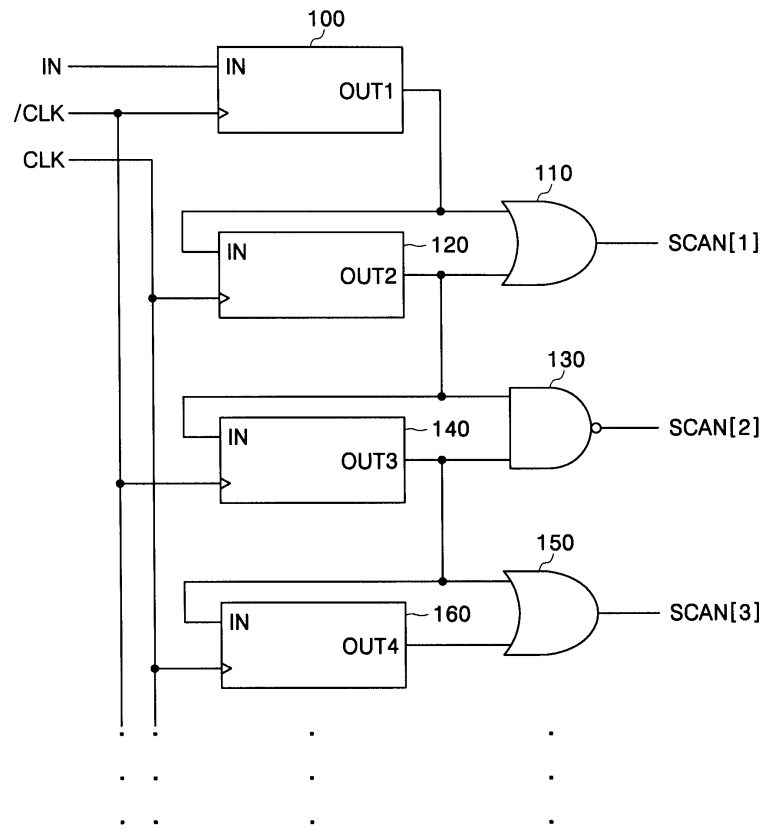
상기 제1 노드와 제2 노드 사이에 연결되고, 상기 제1 입력 신호 또는 상기 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 제2 스위칭부;

상기 제2 노드와 음의 전원 레일 사이에 연결되고, 상기 반전된 제1 입력 신호 및 반전된 제2 입력 신호에 따라 온/오프 동작을 수행하기 위한 능동 부하 선택부; 및

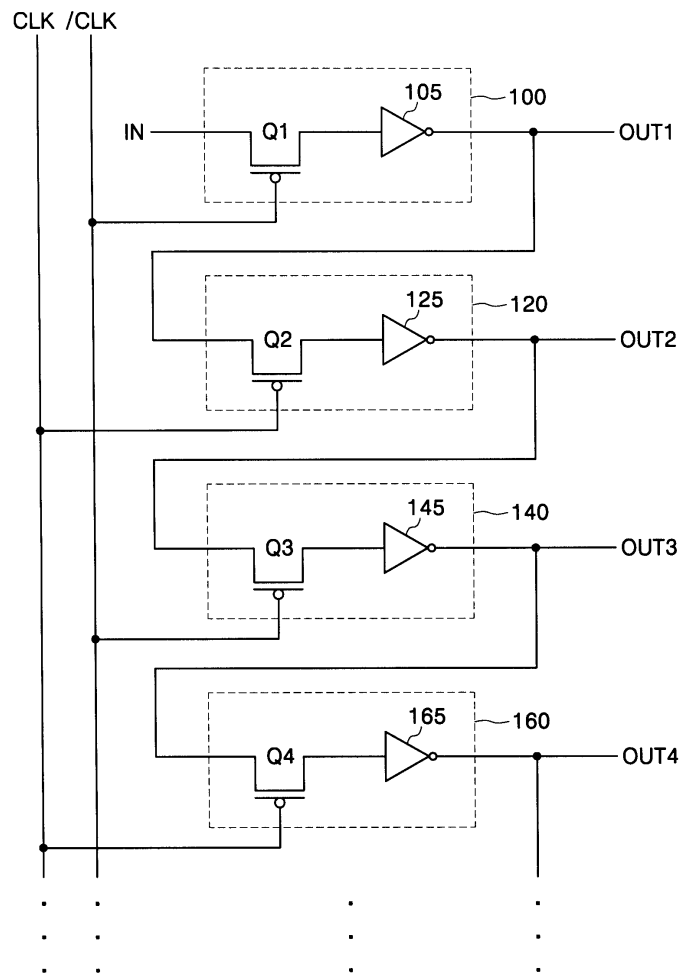
상기 제1 노드와 상기 음의 전원 레일 사이에 연결되고, 상기 제2 노드의 전압에 따라 온/오프 동작을 수행하기 위한 능동 부하를 포함하는 것을 특징으로 하는 주사구동장치.

도면

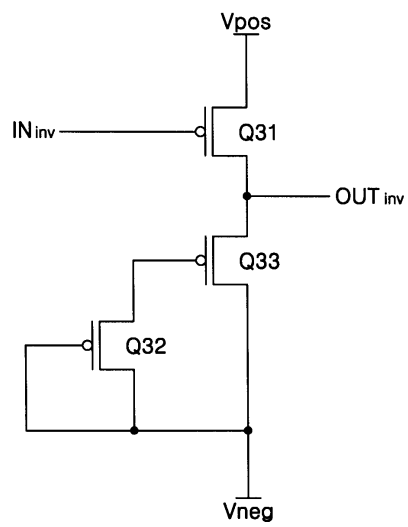
도면1



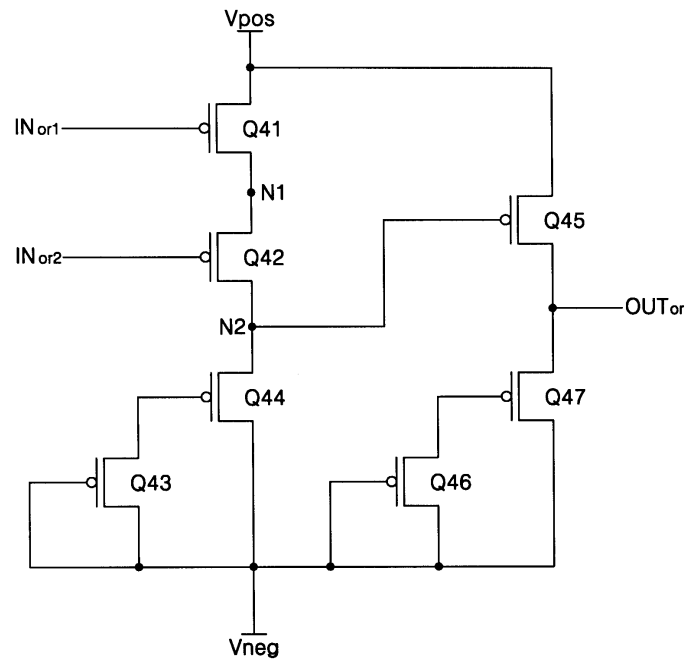
도면2



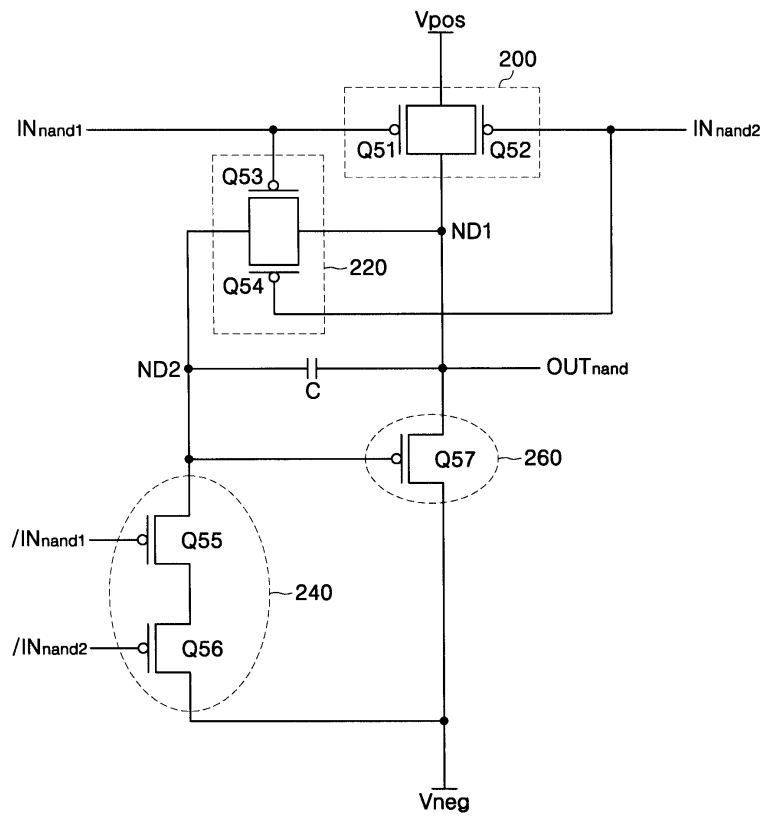
도면3



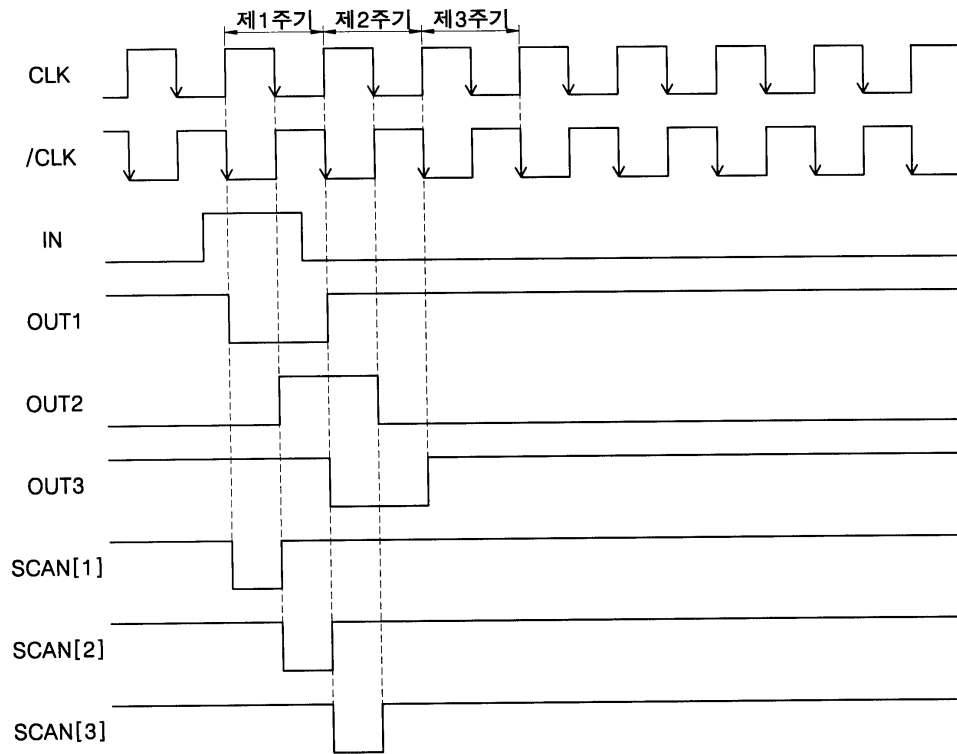
도면4



도면5



도면6



专利名称(译)	有机电致发光器件的扫描驱动装置		
公开(公告)号	KR100624114B1	公开(公告)日	2006-09-15
申请号	KR1020050070395	申请日	2005-08-01
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BO YONG		
发明人	CHUNG BO YONG		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0408 G09G3/3266		
代理人(译)	PARK , 常树		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机EL（电致发光）器件的扫描驱动装置，通过使用相同导电类型的晶体管使电路简单，并且容易在基板上形成扫描驱动装置。组成：有机EL器件的扫描驱动器件包括第一采样单元（100），与反相时钟信号（/CLK）同步地对输入信号进行采样；第二采样单元（120）与时钟信号（CLK）同步地对第一采样单元的输出信号（OUT1）进行采样；第三采样单元（140）与反相时钟信号同步地对第二采样单元的输出信号（OUT2）进行采样；或门（110,150）通过对第一和第二采样单元的输出信号进行或运算产生第一扫描信号（SCAN & 1sqb; 1 & rsqb; ）；NAND门（130）通过对第二和第三采样单元的输出信号进行NAND操作来产生第二扫描信号（SCAN & 1qqb; 2 & rsqb; ）。

