(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/32

(11) 공개번호 특2003-0071631
(43) 공개일자 2003년09월06일

(21) 출원번호 10-2003-0012237
(22) 출원일자 2003년02월27일

(30) 우선권주장 JP-P-2002-00056555 2002년03월01일 일본(JP)
JP-P-2002-00256232 2002년08월30일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 이누카이,카즈타카
일본,가나가와켄243-0036,아쓰기시,하세398,가부시키가이샤한도오따이에네루기켄큐쇼내

(74) 대리인 이병호

심사청구 : 없음

(54) 디스플레이 디바이스, 발광 디바이스, 및 전자 장비

요약

OLED 요소 구동기 전류들의 분산이 충분히 억제되는 것을 목적으로서 취하는 AM-LED 디스플레이 디바이스가 제공된다. 본 발명은 화소들에 데이터 전류의 기입 동안 복수의 트랜지스터들을 병렬 접속 상태로 하고 발광 요소들이 광을 방출할 땐 복수의 트랜지스터들을 직렬 접속 상태로 한다. 결국, 동일 화소 내 구동기 요소를 구성하는 복수의 트랜지스터들 간에 분산이 존재할지라도, 분산의 영향이 크게 억제될 수 있으므로 실용상에 문제를 야기할 정도의 화소들에 걸친 방출광의 밝기의 불균일성이 방지될 수 있다.

대표도

도 6

색인어

디스플레이 디바이스, 화소, 트랜지스터, 발광.

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 2a 및 도 2b는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 3a 및 도 3b는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 4a 및 도 4b는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 5a 및 도 5b는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소 내 전류 경로들을 도시한 도면.

도 6은 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소의 평면 레이아웃을 도시한 도면.

도 7a 내지 도 7c는 본 발명의 디스플레이 디바이스 및 발광 디바이스를 도시한 도면.

도 8a 및 도 8b는 구동기 요소를 구성하는 트랜지스터들의 특성들을 도시한 도면.

도 9a 내지 도 9h는 본 발명의 디스플레이 디바이스 및 발광 디바이스가 적용되는 전자 장비를 도시한 도면.

도 10a 및 도 10b는 공지의 디스플레이 디바이스 및 공지의 발광 디바이스의 화소를 도시한 도면.

도 11a 내지 도 11d는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 12a 내지 도 12e는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 13a 내지 도 13d는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 14a 내지 도 14c는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 15a 내지 도 15d는 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 16은 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소를 도시한 도면.

도 17a 및 도 17b는 구동기 요소를 구성하는 트랜지스터들의 특성들이 변경된 경우들에 있어서의 본 발명의 발광 디바이스의 디스플레이 밝기를 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

11:화소 12,13,14:스위치

15:구동기 16:캐패시터

20:트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

1. 발명의 분야

본 발명은 발광 디바이스 및 디스플레이 디바이스에 관한 것이다. 또한, 본 발명은 발광 디바이스 혹은 디스플레이 디바이스가 장착된 전자 장비에 관한 것이다. 이 명세서에서 사용되는 발광 디바이스라는 용어는 발광 요소로부터 방출되는 광을 이용하는 디바이스들을 지칭한다. 발광 요소들의 예들은 유기 발광 다이오드(OLED) 요소들, 무기 물질 발광 다이오드 요소들, 전계방출 발광 요소들(FED 요소들) 등을 포함한다. 이 명세서에서 사용되는 디스플레이 디바이스라는 용어는 복수의 화소들이 매트릭스 형상으로 배열되고, 이미지 정보가 시각적으로 전송되는, 즉 디스플레이하는 디바이스들을 지칭한다.

2. 관련 기술의 설명

이미지들 및 화상들의 디스플레이를 수행하는 디스플레이 디바이스들의 중요 성이 최근에 계속하여 증대되어 오고 있다. 고화질, 얇은 크기, 경량 등, 이들의 잇점들에 기인하여, 액정 요소들을 사용함으로써 이미지의 디스플레이를 수행하는 액정 디스플레이 디바이스들이 이를테면 휴대전화들 및 개인용 컴퓨터들 등의 각종 유형들의 디스플레이 디바이스들에 광범하게 이용된다.

한편으로, 발광 요소들을 사용하는 디스플레이 디바이스들 및 발광 디바이스들의 개발이 또한 진보되고 있다. 광범위의 영역에 걸쳐 많은 서로 상이한 유형들의 물질들, 이를테면 유기 물질들, 무기 물질들, 박막 물질들, 벌크 물질들, 및 분산된 물질들 등을 사용하는 요소들이 발광 요소들로서 존재한다.

유기 발광 다이오드들(OLED)은 모든 유형들의 디스플레이 디바이스들에 유망한 것으로 현재 보여지는 전형적인 발광 요소들이다. 발광 요소들로서 OLED 요소들을 사용하는 OLED 디스플레이 디바이스들은 기존의 액정 디스플레이 디바이스들보다 얇고 가벼우며, 또한, 동적인 이미지 디스플레이, 넓은 시야각, 및 저전압 구동에 적합한 고 응답 속도 등의 특성들을 갖고 있다. 그러므로 휴대전화들 및 휴대 정보 단말들(PDA)에서 텔레비전들, 모니터들, 등에 이르는 광범하게 다양한 응용들이 예상된다. OLED 디스플레이 디바이스들은 차세대 디스플레이들로서 주목받고 있다.

특히, 능동 매트릭스(AM) OLED 디스플레이 디바이스들은 수동 매트릭스(PM)형 디스플레이들로는 어려운 고해상(대량의 화소들), 고선명(미세 피치), 및 대형 화면 디스플레이를 할 수 있다. 또한, AM-OLED 디스플레이 디바이스들은 수동 매트릭스 OLED들보다는 낮은 전력 소비로 높은 신뢰성을 가지므로 이들이 실용화될 가능성이 매우 강하다.

OLED 요소들은 애노드, 캐소드, 및 애노드와 캐소드 사이에 개재된 유기 화합물 함유층으로 구성된다. 통상 OLED 요소로부터 방출되는 광의 밝기는 대략 OLED 요소 내에서 흐르는 전류량에 비례한다. 화소 OLED 요소의 발광 밝기를 제어하는 구동기 트랜지스터는 AM-OLED 디스플레이 디바이스 화소들 내 OLED 요소와 직렬로 삽입된다.

AM-OLED 디스플레이 디바이스들에서 이미지들을 디스플레이하기 위한 구동 방법들로서는 전압 입력 방법들 및 전류 입력 방법들이 존재한다. 전압 입력 방법은 전압 값 데이터 비디오 신호가 입력 비디오 신호로서 화소들에 입력되는 방법이다. 반면에, 전류 입력 방법은 전류 값 비디오 신호가 입력 비디오 신호로서 화소들에 입력되는 방법이다.

비디오 신호 전압은 통상 전압 입력 방법에서 화소 구동기 트랜지스터의 게이트 전극에 직접 인가된다. OLED 요소들이 일정 전류에서 광을 방출할 때 화소들 각각에 걸쳐 구동기 트랜지스터들의 전기적 특성에 균일성이 없는 분산이 있다면, 화소들 각각의 OLED 요소 구동기 전류에 분산이 나타날 것이다. OLED 요소 구동기 전류에서의 분산은 OLED 요소들로부터 방출되는 광의 밝기의 분산으로 된다. OLED 요소들에 의해 방출되는 광의 밝기에서의 분산은 샌드스톰 상태 혹은 카펫과 같은 패턴 불균등이 전체 화면에 걸쳐 보여지기 때문에 디스플레이 되는 화질을 감소시킨다. 제조공정에 따라, 스트라이프 형상의 불균등이 또한 발견된다.

특히, 낮은 발광 효율을 갖고 있는 현재 사용될 수 있는 OLED 요소들이 발 광 디바이스로서 적용될 때 충분히 큰 밝기를 얻기 위해서는 비교적 큰 전류가 필요하다. 결국, 낮은 전류 용량을 갖고 있는 비정질 실리콘 박막 트랜지스터들(TFT)을 구동기 트랜지스터들로서 사용하기는 어렵다. 그러므로 다결정질의 실리콘(다결정실리콘) TFT들이 구동기 트랜지스터들로서 사용된다. 그러나, 다결정실리콘에 있어서는 결정 그레인 경계들에서 결함들 등의 원인들에 기인하여 TFT의 전기적 특성에 분산들이 나타날 수 있어 문제가 있다.

전류 입력 방법은 이러한 유형의 전압 입력 방법에서 일어나는 OLED 요소 구동기 전류에서의 분산을 방지하기 위해 하나의 유효한 수단으로서 사용될 수 있다. 전류 입력 방법에 있어서는 통상 비디오 신호 데이터 전류 값이 저장되고, 저장된 전류 값과 동일하거나 이의 수 배(1미만의 것들을 포함하여 정의 실수 배들)의 전류가 OLED 요소 구동기 전류로서 공급된다.

전류 입력 방법의 AM-OLED 디스플레이 디바이스의 화소 회로의 전형적인 공지의 예를 도 10a에 도시하였다(비-특허 문헌 1 참조). 참조부호 516은 OLED 요소를 나타낸다. 이 화소 회로는 전류 미러 회로를 사용한다. 비디오 신호 데이터 전류 값들은 전류 미러를 구성하는 두 개의 트랜지스터들이 동일한 전기적 특성을 갖고 있는 한, 정확하게 저장될 수 있다. 서로 상이한 화소들의 구동기 트랜지스터들의 전기적 특성에 분산이 있을지라도, OLED 요소들에 의해 방출되는 광의 밝기에서의 분산은 동일 화소 내 두 개의 트랜지스터들 각각이 동일한 전기적 특성을 갖는 한 방지될 수 있다.

전류 입력 방법의 AM-OLED 디스플레이 디바이스의 화소 회로의 또 다른 전형 적인 공지의 예를 도 10b에 도시하였다(비-특허 문헌 2 참조). 참조부호 611은 OLED 요소를 나타낸다. 이 화소 회로는 비디오 신호에 대응하는 전압이 구동기 트랜지스터의 게이트 전극에 기입될 때 구동기 트랜지스터 자체의 드레인 전극과 게이트 전극 간에 단락회로를 갖는다. 비디오 신호 데이터 전류가 이 상태에서 흐르게 되어 게이트 전극은 전기적으로 절연된다. 이와 같이 행함

으로써, 구동기 트랜지스터들이 포화영역에서 동작된다면, 기입 동안 데이터 전류와 동일한 값을 갖는 전류가 구동기 트랜지스터들에 의해 OLED 요소에 공급된다. 그러므로, 각 화소의 구동기 트랜지스터들의 전기적 특성에 분산이 존재할지라도, OLED 요소들에 의해 방출되는 광의 밝기에서의 분산이 방지될 수 있다.

[비-특허 문헌 1] Yumoto, A., 등, Proc. Asia Display/IDW '01, 1395-1398 페이지(2001).

[비-특허 문헌 2] Hunter, I. M., 등, Proc. AM-LCD 2000, 249-252 페이지(2000).

전술한 바와 같이 도 10a 및 도 10b에서 데이터 전류 값은 정확하게 저장될 수 있어야 하는데, 그러나 후술하는 바와 같이 중대한 문제들이 있다.

먼저, 도 10a의 화소회로에 있어서의 문제는 전류 미러를 구성하는 두 개의 트랜지스터들(512, 513)이 동일한 전기적 특성을 가져야 한다는 전제조건이 있다는 것이다. 설계시 고려한다면, 기판 상에 인접하여 두 트랜지스터들을 제조하는 것이 가능하고, 분산이 어느 정도까지는 감소될 수 있다. 그러나, 허용가능한 범위를 초과하는 임계전압 및 전계효과 이동도와 같은 TFT들의 전기적 특성의 분산은 결정 그레인 경계들에 결함들 등의 원인들에 기인하여 통상 현재의 다결정실리콘에 잔존해 있다.

구체적으로, 예를 들면, 64 계조 이미지가 디스플레이 된다면, 밝기를 1% 정도의 범위 내에서 유지하는 것이 필요하게 된다. 그러나, 도 10a의 화소회로로 1%의 정밀도로 데이터 전류 값들을 저장하는 것은 현재 통상 사용 중의 다결정실리콘으로는 달성하기가 어렵다. 즉, 불규칙성이 없이 전체 화면에 걸쳐 충분히 균일하고 고품질의 디스플레이 이미지는 도 10a의 화소회로를 사용하는 것만에 의해서는 달성될 수 없다.

다음에, OLED 요소가 광을 방출할 때 화소에 기입되는 비디오 신호 데이터 전류가 OLED 요소 구동기 전류와 동일한 값을 갖는다는 사실은 도 10b의 화소회로에서는 문제이다. 두 전류들이 동일한 값들을 가져야 한다는 사실은 AM-OLED 디스플레이 디바이스를 제조할 때 실제로는 매우 엄격한 사양이다.

구체적으로, 대량의 기생용량 및 기생 저항이 실제 AM-OLED 디스플레이 디바이스 내 신호 라인들 등에 존재한다. 결국, 비디오 신호 데이터 전류를 OLED 요소구동기 전류보다 크게 하기 위한 단계들을 취하는 것이 빈번히 필요하게 된다. 특히, 비디오 신호 데이터 전류가 계조 표현을 위해 아날로그 값으로 되는 경우들에 있어서는 암(dark) 부분들의 비디오 신호 데이터 전류를 기입하는 것은 극히 어렵게 된다.

발명이 이루고자 하는 기술적 과제

발명의 요약

본 발명은 전술의 문제점들에 비추어 행해졌다. 먼저, 본 발명의 목적은, 화소에 기입되는 비디오 신호 데이터 전류와, OLED 요소 발광 동안 OLED 요소 구동기 전류 간 비가 도 10b의 화소회로와는 달리 '1'의 값으로 고정되지 않는 AM-OLED 디스플레이 디바이스를 제공하는 것이다. 다음에, 본 발명은 도 10a의 화소회로와는 달리, 동일 화소 내에 인접하여 배치된 트랜지스터들 간에도, 전기적 특성의 분산이 어느 정도까지는 남아있게 하는 것이 가능하다는 사실을 전제로 한다. 그러므로, 본 발명의 또 다른 목적은 도 10a와 같은 전류미러를 사용하는 화소회로들에 비해 OLED 요소 구동기 전류의 분산이 충분히 제지되는 AM-OLED 디스플레이 디바이스를 제공하는 것이다.

OLED 요소들 이외의 요소들을 사용하는 디스플레이 디바이스들 및 발광 디바이스들에 전류로 구동되는 요소들을 사용할 때 본 발명의 구성이 효과적으로 이용될 수 있음에 유의한다.

전술한 목적들을 해결하기 위해서, 본 발명은 AM 디스플레이 디바이스 혹은 발광 디바이스의 각 화소 내 배치된 구동기 요소들이 복수의 트랜지스터들로 구성되고, 복수의 트랜지스터들은 데이터 전류가 화소에 기입될 때 병렬 접속상태로 되고, 복수의 트랜지스터들은 발광 요소가 광을 방출할 때 직렬 접속상태로 되는 것을 특징으로 한다.

OLED 요소들 이외의 요소들을 사용하는 디스플레이 디바이스들 및 발광 디바이스들에 전류로 구동되는 요소들을 사용할 때 본 발명의 구성이 이용될 수 있음에 유의한다.

본 발명의 이러한 유형의 디스플레이 디바이스 혹은 발광 디바이스의 화소 구성의 개요를 도 1a 및 도 1b를 사용하여 설명한다. 도 1a는 복수의 화소들을 구비한 화소부 내 제j 행 및 제i 열에 배치된 화소(11)를 도시한 것이다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 스위칭 기능을 갖는 제1 스위치(12), 스위칭 기능을 갖는 제2 스위치(13), 스위칭 기능을 갖는 제3 스위치(14), 구동기 요소(15), 캐패시터 요소(16), 및 발광 요소(17)를 구비한다. 캐패시터 요소(16)가 배치되는 노드의 기생용량이 큰 것들 등의 경우들엔 캐패시터 요소(16)를 형성하는 것이 항시

필요한 것은 아님에 유의한다.

통상 OLED 요소는 발광 요소로서 적용되므로 이 명세서에선 발광 요소를 표현하는 기호로서 다이오드 기호가 사용될 수도 있다. 그러나, 다이오드 특성은 발광 요소에선 필요하지 않으며, 본 발명은 다이오드 특성을 갖는 발광 요소들로 한정되지 않는다. 또한, 이 명세서에서 발광 요소들은 전류로 구동되는 디스플레이 요소들일 수 있고, 요소들이 방출 광에 기인하여 디스플레이 기능을 갖는 것은 필요하지 않다. 예를 들면, 전압 값들이 아닌 전류 값들에 의해 제어될 수 있는 액정과 같은 광 셔터들은 이 명세서에서 발광 요소들의 범주에 포함된다.

한 반도체 요소, 혹은 트랜지스터와 같은 스위칭 기능을 갖는 복수의 반도체 요소들을 제1 스위치(12), 제2 스위치(13), 및 제3 스위치(14)에 사용할 수 있다. 트랜지스터들과 같은 복수의 반도체 요소들을 유사하게 구동기 요소(15)에 사용할 수도 있다. 제1 스위치(12) 및 제2 스위치(13)의 온 및 오프 상태들은 제1 주사라 인(Gaj)으로부터 부여된 신호들에 의해 결정된다. 제1 스위치(12) 및 제2 스위치(13)는 스위칭 요소들로서 기능하는 것으로 충분하므로, 사용되는 반도체 요소들의 도전형에 어떠한 특정의 제한도 두어지지 않는다.

제1 신호라인(Si)과 구동기 요소(15) 간에 배치된 제1 스위치(12)는 화소(11)에의 신호 기입을 제어하는 역할을 행함에 유의한다. 또한, 제2 스위치(13)는 전원라인(Vi)과 구동기 요소(15) 간에 배치되고, 전원라인에서 화소(11)로 전류의 공급을 제어한다.

도 1a의 화소(11) 내에 제4 스위치(18) 및 제2 주사라인(Gbj)을 추가로 배치하는 경우를 도 1b에 도시하였다. 한 반도체 요소, 혹은 트랜지스터와 같은 스위칭 기능을 갖는 복수의 반도체 요소들을 제4 스위치(18)에 사용할 수 있다. 제4 스위치(18)의 온 및 오프 상태들은 제2 주사라인(Gbj)으로부터 부여된 신호들에 의해 결정된다. 제1 스위치(12) 및 제2 스위치(13)는 스위칭 요소들로서 기능하는 것으로 충분하므로, 사용되는 반도체 요소들의 도전형에 어떠한 특정의 제한도 두어지지 않는다.

제4 스위치(18)는 화소(11)에 대한 초기화 요소로서 역할하는 것에 유의한다. 캐패시터 요소(16)에 저장되는 전기전하는 제4 스위치가 턴 온 하고, 구동기 요소(15)가 턴 오프 하고, 또한 발광 요소(17)에 의한 발광이 중지되면 방면된다.

본 발명은 구동기 요소(15)가 복수의 트랜지스터들로 구성되고, 복수의 트랜지스터들 간 접속이 비디오 신호 데이터 전류가 화소(11)에 기입되는 경우들에 병렬접속으로 되고, 혹은 전류가 발광 요소(17)에 흘러 이에 따라 광을 방출하는 경 우들엔 직렬접속으로 되는 것을 특징으로 한다. 도 1a 및 도 1b에서 주사라인(Gaj)으로부터의 신호들에 의한 제1 스위치(12) 및 제2 스위치(13)의 온 오프 제어는 병렬 접속상태와 직렬 접속상태 간 구동기 요소(15) 내 복수의 트랜지스터들을 스위칭하는 수단이 된다.

도 1c 및 도 1d에 제4 트랜지스터들(20a, 20b, 20c, 20d)을 사용함으로써 구동기 요소(15)를 구성하는 경우에 화소(11)의 예들을 도시하였다. 화소(11) 내 전류 경로를 이하 설명한다.

도 1c는 화소(11)에 데이터 전류를 기입하는 경우를 도시한 것이고, 도 1d는 광을 방출하는 발광 요소의 경우를 도시한 것이다. 제1 스위치(12), 제2 스위치(13), 구동기 요소(15), 발광 요소(17), 신호라인(Si), 및 전원라인(Vi) 이외의 요소들은 도 1c 및 도 1d에 도시되지 않은 것에 유의한다.

먼저 데이터 전류가 화소(11)에 기입되는 경우를 설명한다. 제1 스위치(12) 및 제2 스위치(13)는 도 1c에서 제1 주사라인(Gaj)으로부터 부여된 신호에 기인하여 턴 온 한다. 이에 따라 구동기 요소(15) 내 각 트랜지스터는 다이오드 접속 상태로 되고, 모든 트랜지스터들은 병렬 접속상태로 상호 접속된다. 전원라인(Vi)으로부터 제2 스위치(13), 구동기 요소(15), 및 제1 스위치(12)를 통해 신호라인(Si)으로의 전류경로가 존재한다. 이 때 전류 값(I_W)은 비디오 신호의 데이터 전류 값이고, 신호 라인 구동기 회로에 의해 신호라인(Si)에 출력되는 소정의 전류 값이다.

발광 요소(17)가 광을 방출하는 경우를 다음에 설명한다. 제1 스위치(12) 및 제2 스위치(13)는 도 1d에서 제1 주사라인(Gaj)으로부터 부여되는 신호에 의해 턴 오프 된다. 이에 따라 구동기 요소(15) 내 트랜지스터들 각각은 직렬 접속 상태로 상호 접속된다. 전원라인(Vi)에서 트랜지스터들(20a, 20b, 20c, 20d)를 통해 발광 요소(17)로의 전류경로가 존재한다. 이 때 발광 요소(17)에 의해 방출되는 광의 밝기는 전류 값(I_E)에 의해 결정된다.

전술한 바와 같이, 구동기 요소(15)를 구성하는 트랜지스터들(20a 내지 20d)은 화소에의 데이터 전류의 기입 동안에 본 발명에서 병렬로 사용된다(도 1c 참조). 또한, 구동기 요소(15)를 구성하는 트랜지스터들(20a 내지 20d)은 화소(11)의 발광 요소(17)에 전류가 흐를 때, 즉 발광 요소가 구동될 때 직렬로 사용된다(도 1d 참조). 그러므로, 트랜지스터들(20a 내지 20d)의 전기적 특성이 동일하다고 한다면, 기입 동안의 전류 값(I_W)은 발광 요소 구동 동안에 전류 값(I_E)의 16배(4^2 배)가 된다. 일반적으로, 구동기 요소(15)를 구성하는 트랜지스터들의 수를 n이라 하면, 모든 트랜지스터들이 동일한 전기적 특성을 갖는다는 조건하에서, 비디오 신호 기입 동안 전류 값(I_W)과 발광 요소 구동 동안

전류 값(I_E) 간에 식(1)에 나타낸 관계식이 성립된다.

$$I_W = n^2 \times I_E \quad (1)$$

여기서, n은 바람직하게는 3 내지 5이다. 엄밀히 식(1)이 성립하기 위해서, 구동기 요소(15)를 구성하는 모든 트랜지스터들이 동일한 전기적 특성을 가져야만 하는 조건이 있음에 유의한다. 그러나, 실제로는, 트랜지스터들의 전기적 특성에 상호 분산들의 약간의 양을 포함하는 경우들에도, 근사적으로 성립되는 것처럼 식(1)을 취급하는 것이 가능하다.

이에 따라, 본 발명은 구동기 요소(15)가 복수의 트랜지스터들로 구성되고, 따라서 화소(11)에 비디오 신호 전류를 기입하는 경우들에 그리고 광을 방출하는 발광 요소의 경우들에 복수의 트랜지스터들 간의 접속을 병렬과 직접 간에 전환시킴으로써 기입 동안의 전류 값(I_W)과, 발광 요소 구동 동안의 전류 값(I_E)을 임의로 설정할 수 있는 것을 특징으로 한다.

또한, 본 발명은 구동기 요소(15)를 구성하는 트랜지스터들 각각의 전기적 특성들에 약간의 상호간의 차이들의 영향이 발광 요소 구동 전류(I_E)에 반영되는 것으로부터 크게 감소될 수 있는 것이 또한 특징이다. 이이 구체적인 예를 취하여 실시형태에서 설명한다.

도 10a의 것과 같은 전류 미러를 사용하는 화소회로로서도, 화소 내 두 개의 트랜지스터들에 동일한 전기적 특성들이 요구된다는 문제가 있다. 그러나, 동일 화소 내 트랜지스터들이라도 본 발명에서 약간 서로 상이한 전기적 특성들을 갖는 것을 이미 전제로 하였다. 즉, 본 발명은 본 발명이 트랜지스터들의 특성의 분산들에 대해 허용오차를 갖는 점에서 전류 입력 방법 전류 미러들을 사용하는 화소회로들에 비해 우수하다. 결국, 결정 그레인 경계들에 결함들 등에 의해 야기되는 다결정실리콘 TFT들의 전기적 특성의 분산들이 존재할지라도 실용화할 수 있는 수준까지 발광 요소 구동기 전류(I_E)를 균일하게 하는 것이 가능해진다.

본 발명의 디스플레이 디바이스 및 발광 디바이스는 복수의 화소들이 구비된 디스플레이 디바이스들이다. 화소들 각각은 발광 요소 및 복수의 트랜지스터들을 구비한 디스플레이 디바이스들이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는, 최소한, 구동기 요소 내 복수의 트랜지스터들이 병렬로 접속되는 상태, 및 구동기 요소 내 복수의 트랜지스터들이 직렬로 접속되는 상태를 만들 수 있는 수단을 포함하는 것을 특징으로 한다. 이 명세서에서 사용되는 발광 디바이스라는 용어는 발광 요소로부터 방출되는 광을 이용하는 디바이스들을 지칭한다. 발광 요소들의 예들은 유기 발광 다이오드(OLED) 요소들, 무기물질 발광 다이오드 요소들, 및 전계방출 발광 요소들(FED 요소들)을 포함한다. 이 명세서에서 사용되는 디스플레이 디바이스라는 용어는 복수의 화소들이 매트릭스 형상으로 배열되고, 이미지 정보가 시각적으로 전송되는, 즉 디스플레이 하는 디바이스들을 지칭한다.

도 1a 및 도 1b와는 다른 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소구조의 개요를 도 11a 및 도 11b를 사용하여 설명한다. 도 11a는 복수의 화소들을 구비한 화소부 내 제j 행 및 제i 열에 배치된 화소(11)를 도시한 것이다. 도 11a의 화소(11)는, 예를 들면, 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 제3 주사라인(Gcj), 제4 주사라인(Gdj), 제1 스위치(312), 제2 스위치(313), 제3 스위치(314), 제4 스위치(318), 구동기 요소(315), 캐패시터 요소(316), 발광 요소(317), 및 대향 전극(319)을 구비한다. 그러나, 제1 스위치, 제2 스위치, 제3 스위치, 제4 스위치, 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 제3 주사라인(Gcj), 제4 주사라인(Gdj), 등을 구비한 구조가 약간 변경될지라도, 실제로는 동일한 디바이스가 얻어질 수 있다. 이러한 것의 일 예가 도 11b이다. 제4 스위치가 제거되었으며, 제3 주사라인은 도 11b에서 제2 주사라인에 통합되었다. 이것은 도 11a와 실제로 동일하며, 어떤 특정의 제한의 없을 때는 도 11a에 포함되는 것으로서 취해진다. 초기화 요소들과 같은 성분들을 추가하는 경우들도 유사하게 취급된다.

캐패시터 요소(316)가 배치되는 노드의 기생용량이 큰 경우들 등에는 도 11a 및 도 11b에 캐패시터 요소(316)가 항시 분명하게 형성되어야 할 필요는 없음에 유의한다.

단일의 반도체 요소, 혹은 트랜지스터들과 같은 스위칭 기능을 갖는 복수의 반도체 요소들을 제1 스위치(312), 제2 스위치(313), 제3 스위치(314) 및 제4 스위치(318)에 사용할 수 있다. 트랜지스터들과 같은 복수의 반도체 요소들을 유사하게 구동기 요소(315)에 사용할 수도 있다. 제1 스위치(312), 제2 스위치(313), 제3 스위치(314), 제4 스위치(318), 및 구동기 요소(315)에 사용되는 반도체 요소들의 도전형(n채널, p채널)에 어떠한 특정한 제한도 없다. 이것은 대개는 n채널 및 p채널형들 모두가 사용될 수 있기 때문이며, 구체적인 적용예들에서 명시된 도전형이 다른 도전형보다 더 바람직한 경우들이 있다.

제1 주사라인(Gaj)으로부터 부여된 신호는 제1 스위치(312)가 온인지 오프인 지를 판정한다. 유사하게, 제2 주사라인(Gbj)으로부터 신호는 제2 스위치(313)가 온인지 오프인지를 판정하며, 제3 주사라인(Gcj)으로부터 신호는 제3 스위치(314)가 온인지 오프인지를 판정하며, 제4 주사라인(Gdj)으로부터 신호는 제4 스위치(318)가 온인지 오프인지를 판정한다. 물론, 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 제3 주사라인(Gcj), 제4 주사라인(Gdj) 모두가 존재할 필요

는 없고, 어떤 주사라인은 도 11b에 명백하게 한 바와 같이 다른 주사라인들에 조합될 수도 있다.

제1 스위치(312)는 도 1a에서 신호라인(Si)과 구동기 요소(315) 사이에 배치되고, 화소(11)에의 신호 기입을 제어하는 역할을 행한다. 또한, 제2 스위치(313) 및 제4 스위치(318)는 전원라인(Vi)과 구동기 요소(315) 사이에 배치되고, 전원라인(Vi)에서 화소(11)로 전류의 공급의 온 및 오프 제어를 수행한다. 제3 스위치(314)는 구동기 요소(315)와 발광 요소(317) 사이에 배치되고, 구동기 요소(315)에서 발광 요소(317)로 전류의 공급의 온 및 오프 제어를 수행한다.

본 발명에서, 구동기 요소(315)는 복수의 트랜지스터들로 구성되고, 복수의 트랜지스터들은 비디오 신호 데이터 전류가 화소(11)에 기입될 때 병렬로 접속된다. 복수의 트랜지스터들은 전류가 발광 요소(317)에 흐를 때 직렬로 접속되어, 광이 방출된다. 도 11a에서 주사라인들(Gaj, Gbj, Gcj, Gdj)로부터의 신호들을 사용하여 제1 스위치, 제2 스위치, 제3 스위치, 제4 스위치의 온 및 오프 상태들을 제어함으로써, 구동기 요소(315) 내 복수의 트랜지스터들을 병렬 접속상태로, 또한 직렬 접속상태로 되게 하는 것이 가능해진다.

구동기 요소(315)가 4개의 트랜지스터들(320a, 320b, 320c, 320d)로 구성되는 경우의 예로서 도 11c 및 도 11d에 화소(11)가 도시되었다. 화소(11) 내 전류 경로들을 이하 설명한다.

도 11c는 화소(11)에 데이터 전류를 기입하는 경우를 도시한 것이고, 도 11d는 광을 방출하는 발광 요소의 경우를 도시한 것이다. 도 11c에서, 4개의 트랜지스터들(320a, 320b, 320c, 320d)은 병렬 접속상태에 있는 반면, 4개의 트랜지스터들(320a, 320b, 320c, 320d)은 도 11d에서 직렬 접속상태에 있다. 도 11c 및 도 11d의 도시에서 제1 스위치(312), 제2 스위치(313), 구동기 요소(315), 발광 요소(317), 소스 신호라인(Si), 전원라인(Vi) 이외의 요소 및 배선들은 생략되었음에 유의한다.

먼저 화소(11)에 데이터 전류를 기입하는 경우를 설명한다. 각각, 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 의해 도 11c에서 제1 스위치(312) 및 제2 스위치(313)가 턴 온 된다. 이에 따라 구동기 요소(315) 내 트랜지스터들 각각은 다이오드 접속 상태로 되고, 이에 따라 트랜지스터들은 상호간에 병렬 접속 상태로 된다. 제3 스위치(314) 및 제4 스위치(318)는 각각 제3 주사라인(Gcj) 및 제4 주사라인(Gdj)으로부터 입력되는 신호들에 의해 턴 오프 한다. 전원라인(Vi)이 고 전위를 가질 때, 전원라인(Vi)에서, 제2 스위치(313), 구동기 요소(315), 및 제1 스위치(312)를 통해 신호라인(Si)으로의 전류 경로가 존재한다. 전원라인(Vi)이 저 전위를 갖는다면 그 반대가 당연히 존재한다. 이 때 전류 값(I_W)은 비디오 데이터 전류의 값이고, 신호 라인 구동기 회로로부터 신호라인(Si)에 출력되는 소정의 전류 값이다.

다음에 발광 요소(317)를 광을 방출하도록 한 경우를 설명한다. 제1 스위치(312) 및 제2 스위치(313)는 도 11d에서, 각각, 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)으로부터 부여된 신호들에 의해 턴 오프 된다. 이에 따라, 구동기 요소(315) 내 트랜지스터들은 상호간에 직렬 접속상태로 된다. 제3 스위치(314) 및 제4 스위치(318)는 각각 제3 주사라인(Gcj) 및 제4 주사라인(Gdj)으로부터 부여된 신호들에 기인하여 턴 오프 한다. 전원라인(Vi)이 고 전위일 때, 전원라인(Vi)에서, 트랜지스터들(310a, 320b, 320c, 320d)을 통해 발광 요소(317)로의 전류 경로가 존재한다. 전원라인(Vi)이 저 전위를 갖는다면 그 반대가 당연히 존재한다. 이 때 전류 값(I_E)은 발광 요소(317)에 의해 방출된 광의 밝기를 결정한다.

구동기 요소(315)를 구성하는 트랜지스터들(320a, 320b, 320c, 320d)은 본 발명에서 화소에 데이터 전류를 기입할 때 병렬로 사용된다(도 11c 참조). 반면, 구동기 요소(315)를 구성하는 트랜지스터들(320a, 320b, 320c, 320d)은 화소(11)의 발광 요소(317)에 전류가 흐를 때, 즉 발광 요소가 구동될 때 직렬로 사용된다(도 11d 참조). 그러므로 기입 동안 전류 값(I_W)은, 트랜지스터들(320a, 320b, 320c, 320d)의 전기적 특성들이 동일한 것으로 가정하면, 발광 요소가 구동되었을 때 전류 값(I_E)의 16(4^2) 배가 된다. 일반적으로, 구동기 요소(15)를 구성하는 트랜지스터들의 수를 n이라 하면, 모든 트랜지스터들이 동일한 전기적 특성을 갖는다는 조 건하에서, 비디오 신호 기입 동안의 전류 값(I_W)과 발광 요소 구동 동안의 전류 값(I_E) 간에 식(1)에 나타낸 관계식이 성립된다.

발명의 구성 및 작용

바람직한 실시예들의 상세한 설명

[실시형태 1]

본 발명의 디스플레이 디바이스의 화소 및 발광 디바이스의 개요를 도 1a 내지 도 1d를 사용하여 위에서 다루었다. 본 발명의 디스플레이 디바이스의 화소 및 발광 디바이스의 구체적인 예를 도 2a 내지 도 4b를 사용하여 실시형태 1에서 설명한다. 간단하게 하기 위해서, 구동기 요소(15)를 구성하는 트랜지스터들의 수인 n이 2 내지 4인 경우들을 예로서 제공한다.

제1 예를 도 2a를 사용하여 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 2a에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 주사 라인(Gaj), 트랜지스터들(21 내지 26), 캐패시터 요소(27), 및 발광 요소(28)를 구비한다. 도 2a에 도시한 화소(11)는 도 1a에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. p채널인 트랜지스터들(21, 22)은 제1 스위치(12)에 대응한다. p채널인 트랜지스터(23)는 제2 스위치(13)에 대응하고, n채널인 트랜지스터(24)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(25, 26)은 구동기 요소(15)에 대응한다.

트랜지스터들(21 내지 24)의 각각의 게이트 전극은 주사 라인(Gaj)에 접속된다. 캐패시터(27)는 트랜지스터(25)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(25, 26)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(27)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 2a에 도시한 화소(11) 내 주사라인(Gaj)에 저 전위 신호가 보내져, 트랜지스터(24)가 턴 오프 하는 반면, 트랜지스터들(21 내지 23)은 턴 온 한다. 전류 경로에 근거하여 이 때 트랜지스터(25)와 트랜지스터(26) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(28)에 흐를 때는 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터(24)가 턴 온 하는 반면, 트랜지스터들(21 내지 23)은 턴 오프 한다. 전류 경로에 근거하여 이 때엔 트랜지스터(25)와 트랜지스터(26) 간에 직렬 접속 관계가 형성된다.

구동기 요소(15)의 트랜지스터(25)와 트랜지스터(26) 간 접속 관계의 전환은 도 2a의 예에서 주사라인(Gaj)만에 의해 제어된다. 또한, 제1 스위치는 단지 두 개의 트랜지스터들로 구성되고, 제2 스위치는 단지 하나의 트랜지스터로 구성되어, 구조는 최소 수의 트랜지스터들을 구비한다. 이에 따라, 주사라인들의 수 및 트랜지스터들의 수가 도 2a의 예에서 억제되므로, 이 구조는 큰 개구율을 확보하거나 발생되는 구조적 결함들의 비율을 감소시키는 것이 중요한 경우들에 적용할 수 있다.

다음에 도 2a와는 다른 예를 도 2b를 사용하여 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 2b에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 트랜지스터들(31 내지 39, 42), 캐패시터 요소(40), 및 발광 요소(41)를 구비한다. 도 2b에 도시한 화소(11)는 도 1b에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. p채널인 트랜지스터들(31 내지 34)은 제1 스위치(12)에 대응한다. p채널인 트랜지스터들(35, 36)은 제2 스위치(13)에 대응하고, n채널인 트랜지스터(37)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(38, 39)은 구동기 요소(15)에 대응한다. n채널인 트랜지스터(42)는 제4 스위치(18)에 대응한다.

트랜지스터들(31 내지 34)의 각각의 게이트 전극은 제1 주사 라인(Gaj)에 접속된다. 트랜지스터들(35 내지 37, 42)의 각각의 게이트 전극은 제2 주사 라인(Gbj)에 접속된다. 캐패시터 요소(40)는 트랜지스터(38)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(38, 39)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(40)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 2b에 도시한 화소(11) 내 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 트랜지스터들(31 내지 36)이 턴 온 하는 반면, 트랜지스터들(37, 42)은 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터(38)와 트랜지스터(39) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(41)에 흐를 때는 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터들(31 내지 36)이 턴 오프 하는 반면, 트랜지스터들(37, 42)은 턴 오프 한다. 전류 경로에 근거하여 이 때엔 트랜지스터(38)와 트랜지스터(39) 간에 직렬 접속 관계가 형성된다.

구동기 요소(15)의 트랜지스터(38)와 트랜지스터(39) 간 접속 관계의 전환은 도 2b의 예에서 제1 주사라인(Gaj)과 제2 주사라인(Gbj)에 의해 제어된다. 그러나, 제2 주사라인(Gbj)에 의해 제어되는 트랜지스터들은 모두가 신호라인(Si)에 접속되지 않는다. 또한, 광을 방출하기 위해 발광 요소(41)에 전류가 흐를 것인지 여부는 제1 주사라인(Gaj)의 전위에 상관없이 제2 주사라인(Gbj)의 전위만에 의해 제어될 수 있는 특성이 있다. 그러므로 발광 요소(41)가 광을 방출하는 시간량은 데이터 전류 기입의 시간 이외의 시간에서 제1 주사라인(Gaj)과 무관한 신호들을 제2 주사라인(Gbj)에 보냄으로써 임의로 제어될 수 있다.

이것은 중간 계조 표현이 시간 계조 방법에 의해 수행되는 경우들엔 극히 중요하다. 이것은 시간 계조 방법이 다결정 실리콘 TFT 구동기 회로를 구비한 AM-OLED에 적용되는 경우들에 있어서 열(column) 주사시간 동안엔 발광을 정지시키는 수단이 없이는 충분한 복수 계조 디스플레이가 어렵기 때문이다. 또한, 이것은 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서(예를 들어, 홀드형 디스플레이들 특유의 동적 왜곡들에 관해서는 Kurita, T., Proc. AM-LCD 2000, pp. 1-4(2000)를 참조한다) 임펄스 발광 등에의 적용에서, 아날로그 비디오 신호 데이터 전류를 사용하여 중간 계조 표현이 수행되는 경우들에 또한 유용하다.

또한, 도 2b의 예는 비디오 신호 데이터 전류의 저장이 매우 정확하게 수행되는 것이다. 도 2a의 예에서, 트랜지스터(25)는 데이터 전류 기입 동안엔 전원라 인(Vi)에 직접 접속되는 반면 트랜지스터(26)는 트랜지스터(23)를 통해 접속된다. 그러므로 트랜지스터(23)에 전압 강하량과 동일한 부정확성이 데이터 전류의 기입 동안에 일어난다. 한편, 도 2b에서 트랜지스터(38)는 트랜지스터(35)를 통해 전원라인(Vi)에 접속되고, 트랜지스터(39)는 트랜지스터(36)를 통해 전원라인(Vi)에 접속된다. 각각 트랜지스터(35) 및 트랜지스터(36)에 의해 야기되는 전압 강하들이 거의 동일하다면, 비디오 신호 데이터 전류의 저장은 매우 정확하게 수행될 수 있다.

다음에 도 3a를 사용하여 제3 예를 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 3a에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 트랜지스터들(51 내지 57, 60), 캐패시터 요소(58), 및 발광 요소(59)를 구비한다. 도 3a에 도시한 화소(11)는 도 1b에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. n채널인 트랜지스터들(51 내지 53)은 제1 스위치(12)에 대응한다. n채널인 트랜지스터(54)는 제2 스위치(13)에 대응하고, p채널인 트랜지스터(55)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(56, 57)은 구동기 요소(15)에 대응한다. n채널인 트랜지스터(60)는 제4 스위치(18)에 대응한다.

트랜지스터들(51 내지 55)의 각각의 게이트 전극은 제1 주사 라인(Gaj)에 접속된다. 트랜지스터(60)의 게이트 전극은 제2 주사 라인(Gbj)에 접속된다. 캐패시터 요소(58)는 트랜지스터(56)의 게이트와 소스 간 전압을 저장하는 역할을 수행 한다. 트랜지스터들(56, 57)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(58)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 3a에 도시한 화소(11) 내 제1 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터들(51 내지 54)이 턴 온 하는 반면, 트랜지스터(55)는 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터(56)와 트랜지스터(57) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(59)에 흐를 때는 주사라인(Gaj)에 저 전위 신호가 보내져, 트랜지스터들(51 내지 54)이 턴 오프 하는 반면, 트랜지스터(55)는 턴 온 한다. 전류 경로에 근거하여 이 때엔 트랜지스터(56)와 트랜지스터(57) 간에 직렬 접속 관계가 형성된다.

전술한 기간 동안엔 제2 주사라인(Gbj)에 저 전위신호가 보내져 트랜지스터(60)가 턴 오프 함에 유의한다.

발광 요소(59)가 광을 방출하는 시간량은 도 2b의 예의 경우와 유사하게 제2 주사라인(Gbj)에 보내진 신호에 의해 임의로 제어될 수 있다. 즉, 발광 요소(59)에 의한 발광 동안에 제2 주사라인(Gbj)에 고 전위 신호가 보내져 트랜지스터(60)이 턴 온 하면, 트랜지스터(56)이 턴 오프 하여 발광 요소(59)가 발광을 중지한다. 그러나, 일단 발광 요소(59)가 발광을 중지하게 되면, 발광 요소(59)는 비디오 신호 데이터 전류가 다시 기입되지 않으면 광을 방출하지 않을 것이며, 이것은 도 2b의 예와는 다르다.

발광 요소(59)가 광을 방출하는 시간량이 도 3a에 도시한 화소에서 임의로 제어될 수 있다는 사실의 특징들은 도 2b의 예와 유사하다. 즉, 시간 계조 방법에 의해 증간 계조 표현을 수행하는 것이 가능해진다. 또한, 이것은 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서 임펄스 발광 등에의 적용에서, 아날로그 비디오 신호 데이터 전류를 사용하여 중간 계조 표현이 수행되는 경우들에 또한 유용하다.

제1 스위치(12) 및 제2 스위치(13)의 트랜지스터들(51 내지 54), 및 제4 스위치(18)의 트랜지스터(60), 및 제3 스위치(14)의 트랜지스터(55)는 도 3a에 도시한 화소(11)에서 p채널이다. 이것은 도 2a 및 도 2b의 예들과는 다르다. 그러나, 이것은 단지 예이고, 스위치들 내 트랜지스터들의 채널 유형들은 이들 유형들로 특정하게 제한되지 않는다.

다음에 도 3b를 사용하여 제4 예를 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 3b에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 트랜지스터들(71 내지 82, 85), 캐패시터 요소(83), 및 발광 요소(84)를 구비한다. 도 3b에 도시한 화소(11)는 도 1b에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. p채널인 트랜지스터들(71 내지 75)은 제1 스위치(12)에 대응한다. p채널인 트랜지스터들(76 내지 78)은 제2 스위치(13)에 대응하고, n채널인 트랜지스터(79)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(80 내지 82)은 구동기 요소(15)에 대응한다. n채널인 트랜지스터(85)는 제4 스위치(18)에 대응한 다.

트랜지스터들(71 내지 75, 및 85)의 각각의 게이트 전극은 제1 주사 라인(Gaj)에 접속된다. 트랜지스터들(76 내지 79)의 게이트 전극은 제2 주사 라인(Gbj)에 접속된다. 캐패시터 요소(83)는 트랜지스터(80)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(80 내지 82)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(83)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 3b에 도시한 화소(11) 내 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 트랜지스터들(71 내지 78)이 턴 온 하는 반면, 트랜지스터들(79 내지 85)은 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터들(80 내지 82) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(84)에 흐를 때는 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터들(71 내지 78)이 턴 오프 하는 반면, 트랜지스터들(79, 85)은 턴 온 한다. 전류 경로에 근거하여 이 때엔 트랜지스터들(82 내지 82) 간에 직렬 접속 관계가 형성된다.

구동기 요소(15)의 트랜지스터들(80 내지 82)의 스위칭은 도 3b의 예에서는 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)을 사용함으로써 제어된다. 그러나, 제2 주사라인(Gbj)에 의해 제어되는 트랜지스터들은 신호라인(Si)에 접속되지 않는다. 또한, 광을 방출하기 위해 발광 요소(84)에 전류를 흐르게 할 것인지 여부는 제1 주사라인(Gaj)의 전위와는 관계없이 제2 주사라인(Gbj)의 전위만에 의해 제어될 수 있는 특성이 있다. 그러므로 발광 요소(84)가 광을 방출하는 시간량은 데이터 전류 기입의 시간 이외의 시간에서 제1 주사라인(Gaj)과 무관한 신호들을 제2 주사라인(Gbj)에 보냄으로써 임의로 제어될 수 있다. 이것은 도 2b의 예와 유사하다.

그러므로 발광 요소(84)가 광을 방출하는 시간량이 도 3b에 도시한 화소(11)에서 임의로 제어될 수 있기 때문에 다음의 잇점들이 얻어질 수 있다. 즉, 먼저, 시간 계조 방법을 사용함으로써 중간 계조 표현을 수행하는 것이 가능해진다. 또한, 중간 계조 표현은 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서 임펄스 발광 등에 적용에서 아날로그 비디오 신호 데이터 전류를 사용하여 수행된다.

다음에 도 4a를 사용하여 제5 예를 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 4a에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 트랜지스터들(91 내지 103, 106), 캐패시터 요소(104), 및 발광 요소(105)를 구비한다. 도 4a에 도시한 화소(11)는 도 1b에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. p채널인 트랜지스터들(91 내지 94)은 제1 스위치(12)에 대응한다. p채널인 트랜지스터(95 내지 94)는 제2 스위치(13)에 대응하고, n채널인 트랜지스터(99)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(100 내지 103)은 구동기 요소(15)에 대응한다. n채널인 트랜지스터(106)는 제4 스위치(18)에 대응한다.

트랜지스터들(91 내지 94)의 각각의 게이트 전극은 제1 주사 라인(Gaj)에 접 속된다. 트랜지스터들(95 내지 99)의 게이트 전극은 제2 주사 라인(Gbj)에 접속된다. 캐패시터 요소(104)는 트랜지스터(100)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(100 내지 103)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(104)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 4a에 도시한 화소(11) 내 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 트랜지스터들(91 내지 98)이 턴 온 하는 반면, 트랜지스터들(99 내지 106)은 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터들(100 내지 103) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(105)에 흐를 때는 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터들(91 내지 98)이 턴 오프 하는 반면, 트랜지스터들(99, 106)은 턴 온 한다. 전류 경로에 근거하여 이 때엔 트랜지스터들(100 내지 103) 간에 직렬 접속 관계가 형성된다.

구동기 요소(15)의 트랜지스터들(100 내지 103)의 스위칭은 도 4a의 예에서는 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)을 사용함으로써 제어된다. 그러나, 제2 주사라인(Gbj)에 의해 제어되는 트랜지스터들은 신호라인(Si)에 접속되지 않는다. 또한, 광을 방출하기 위해 발광 요소(105)에 전류를 흐르게 할 것인지 여부는 제1 주사라인(Gaj)의 전위와는 관계없이 제2 주사라인(Gbj)의 전위만에 의해 제어될 수 있는 특성이 있다. 그러므로 발광 요소(105)가 광을 방출하는 시간량은 데이터 전류 기입의 시간 이외의 시간에서 제1 주사라인(Gaj)과 무관한 신호들을 제2 주사라인(Gbj)에 보냄으로써 임의로 제어될 수 있다. 이것은 도 2b의 예와 유사하다.

그러므로 발광 요소(105)가 광을 방출하는 시간량이 도 4a에 도시한 화소(11)에서 제어될 수 있기 때문에 다음의 잇점들이 얻어질 수 있다. 즉, 먼저, 시간 계조 방법을 사용함으로써 중간 계조 표현을 수행하는 것이 가능해진다. 또한, 이것은 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서 임펄스 발광 등에 적용에서 아날로그 비디오 신호 데이터 전류를 사용하여 중간 계조 표현이 수행되는 경우들에 또한 유용하다.

다음에 도 4b를 사용하여 제6 예를 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 4b에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사 라인(Gaj), 제2 주사라인(Gbj), 트랜지스터들(111 내지 120, 122), 캐패시터 요소(123), 및 발광 요소(121)를 구비한다. 도 4b에 도시한 화소(11)는 도 1b에 도시한 화소(11)인데, 구체적으로 트랜지스터들로 도시되었다. p채널인 트랜지스터들(111 내지 113)은 제1 스위치(12)에 대응한다. p채널인 트랜지스터들(114, 115)은 제2 스위치(13)에 대응하고, n채널인 트랜지스터(116)는 제3 스위치(14)에 대응한다. p채널인 트랜지스터들(117 내지 120)은 구동기 요소(15)에

대응한다. p채널인 트랜지스터(122)는 제4 스위치(18)에 대응한다.

트랜지스터들(111 내지 116)의 각각의 게이트 전극은 제1 주사 라인(Gaj)에 접속된다. 트랜지스터(122)의 게이트 전극은 제2 주사 라인(Gbj)에 접속된다. 캐 패시터 요소(123)는 트랜지스터(117)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(117 내지 120)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서는 캐패시터 요소(123)를 형성하는 것이 항시 필요하지 않음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 4b에 도시한 화소(11) 내 제1 주사라인(Gaj)에 고 전위 신호가 보내져, 트랜지스터들(111 내지 115)이 턴 온 하는 반면, 트랜지스터(116)는 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터들(117 내지 120) 간에 병렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(121)에 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내져, 트랜지스터들(111 내지 115)이 턴 오프 하는 반면, 트랜지스터(116)는 턴 온 한다. 전류 경로에 근거하여 이 때엔 트랜지스터들(117 내지 120) 간에 직렬 접속 관계가 형성된다.

전술의 기간 동안에 제2 주사라인(Gbj)에 저 전위 신호가 보내져 트랜지스터(122)가 턴 오프 됨에 유의한다.

발광 요소(121)가 광을 방출하는 시간량은 도 2b의 예의 경우와 유사하게, 도 4b에 도시한 화소(11) 내 제2 주사라인(Gbj)에 보내진 신호에 의해 임의로 제어될 수 있다. 즉, 발광 요소(121)에 의한 발광 동안에 제2 주사라인(Gbj)에 고 전위 신호가 보내져 트랜지스터(122)가 턴 온 하면, 트랜지스터(117)가 턴 오프 하여 발광 요소(121)가 발광을 중지한다. 그러나, 일단 발광 요소(121)가 발광을 중지하게 되면, 발광 요소(121)는 비디오 신호 데이터 전류가 다시 기입되지 않으면 광 을 방출하지 않을 것이며, 이것은 도 2b의 예와는 다르다.

발광 요소(59)가 광을 방출하는 시간량이 도 4b에 도시한 화소에서 임의로 제어될 수 있다는 사실의 특징들은 도 2b의 예와 유사하다. 즉, 시간 계조 방법에 의해 증간 계조 표현을 수행하는 것이 가능해진다. 또한, 이것은 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서 임펄스 발광 등에의 적용에서, 아날로그 비디오 신호 데이터 전류를 사용하여 중간 계조 표현이 수행되는 경우들에 또한 유용하다.

각각이 서로 상이한 구조를 갖는 6 유형들의 화소(11)를 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소(11)의 예들로서 도 2a 내지 도 4b를 사용하여 설명하였다. 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소 구조는 이들 6 유형들로 제한되는 것은 아님에 유의한다.

[실시형태 2]

본 발명의 디스플레이 디바이스의 화소 및 발광 디바이스의 개요를 도 2a 내지 도 4d를 사용하여 위에서 다루었다. 실시형태 1과는 다른 본 발명의 디스플레이 디바이스의 화소 및 발광 디바이스의 구체적인 예를 도 12a 내지 도 16a를 사용하여 실시형태 2에서 설명한다. 구동기 요소(315)를 구성하는 트랜지스터의 수 n가 도 12a 내지 도 15d에서 3인 경우들에 대한 예들을 제공한다. n이 2인 예들은 도 16에 주어졌다.

제1 예를 도 12a 내지 도 12e를 사용하여 설명한다.

제j 행 및 제i 열에 배치된 화소(11)를 도 12a에 도시하였다. 화소(11)는 신호라인(Si), 전원라인(Vi), 제1 주사라인(Gaj), 제2 주사라인(Gbj), 구동기 요소(315), 제1 스위치(312), 제2 스위치(313), 제3 스위치(314), 제4 스위치(318), 캐패시터 요소(316), 및 발광 요소(317)를 구비한다. 도 12b에 도시한 화소(11)는 구체적으로 트랜지스터들로 도시된 도 12a의 화소(11)의 예이다.

도 12a와 도 12b 간의 대응 관계가 주어진다. n채널 트랜지스터들(371 내지 375)은 제1 스위치(312)에 대응한다. p채널 트랜지스터들(376 내지 378)은 제2 스위치(313)에 대응하고, n채널 트랜지스터(379)는 제3 스위치(314)에 대응하고, p형 트랜지스터(385)는 제4 스위치(318)에 대응한다. p형 트랜지스터(380 내지 382)는 구동기 요소(315)에 대응한다. 캐패시터 요소(383)는 캐패시터 요소(316)에 대응하고, 발광 요소(383)는 발광 요소(317)에 대응한다.

트랜지스터들(371 내지 375)의 각각의 게이트 전극은 제1 주사라인(Gaj)에 접속된다. 캐패시터 요소(383)는 트랜지스터(380)의 게이트와 소스 간 전압을 저장하는 역할을 수행한다. 트랜지스터들(380 내지 382)의 게이트 용량들이 큰 경우들, 노드의 기생 용량이 큰 경우들 등에 있어서 캐패시터 요소(383)가 특별히 형성되지 않을 수도 있음에 유의한다.

비디오 신호 데이터 전류의 기입 동안에는 도 12b에 도시한 화소(11) 내 제1 주사라인(Gaj)엔 고 전위 신호가 보내지고 제2 주사라인(Gbj)엔 저 전위 신호가 보내져, 트랜지스터들(371 내지 378)이 턴 온 하는 반면, 트랜지스터들(379, 385)은 턴 오프 한다. 전류 경로에 근거하여 이 때 트랜지스터들(380 내지 382) 간에 병 렬 접속 관계가 형성된다. 한편, 전류가 발광 요소(384)에 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)엔 고 전위

신호가 보내져, 트랜지스터들(371 내지 378)이 턴 오프 하는 반면, 트랜지스터들(379, 385)은 턴 온 한다. 전류 경로에 근거하여 이 때엔 트랜지스터(380)와 트랜지스터(382) 간에 직렬 접속 관계가 형성된다.

도 12a는 개념적으로는 도 12b를 포함하나 이들 둘은 동일하지 않다. 예를 들면, 제1 스위치(312)는 도 12b의 트랜지스터들(371 내지 375)을 구비한 구조 대신에 도 12c의 트랜지스터들(331 내지 334)을 가진 구조를 채택할 수도 있다. 또한, 제1 스위치(312)는 도 12d의 트랜지스터들(335 내지 339)을 구비한 구조, 혹은 도 112e의 트랜지스터들(341 내지 344)을 구비한 구조를 채택할 수도 있다. 도 12a의 제1 스위치(312)에 대해 도 12b 내지 도 21e의 구조들 중 어느 쪽을 특정하게 채택하더라도 이들은 실제로 동일하다고 할 수 있음에 유의한다. 그러므로 이하의 예들에서는 도 12a의 것들과 동일한 블록 기호들을 주로 사용한다.

제2 예는 도 13a 및 도 14c이다. 구동기 요소(315)를 구성하는 3개의 트랜지스터들을 접속하는 방법을 제외하고, 이들은 도 12a와 동일하다.

예를 들면, 도 13a 및 도 14c의 화소회로들 내 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 보내지는 신호들은 도 12a 내지 도 12e의 것들과 유사하다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류 가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 13a 및 도 14c는 구동기 요소(315)를 구성하는 3개의 트랜지스터들을 접속하는 데 사용되는 방법에서 도 12a와 다르다. 도 13a, 도 14c, 도 12a는 3개의 트랜지스터들이 소스 드레인 대칭을 갖고 있다면 각각이 동일한 성능(전기적 특성면에서 언제나)을 지닐 것으로 예상될 수 있다. 그러나, 소스 드레인 대칭이 없다면(전기적 특성면에서 언제나), 도 13a, 도 134c, 도 12a의 성능은 약간 다를 것이다. 이 경우, 병렬 접속 및 직렬 접속에서, 구동기 요소(315)를 구성하는 3개의 트랜지스터들 중 어느 하나의 소스 및 드레인(고 전위측 단자 및 저 전위측 단자)의 대용은 전혀 없으므로, 도 14c가 회로 성능 면에서 가장 바람직하다. 그러나, 한편으로, 회로 성능에서 약간 하위일 가능성을 갖는 도 13a 및 도 12a는 소 화소들에 레이아웃하였을 때 이들의 단순성에서 도 14c보다는 우수하다.

도 13b에 도시한 제3 예는 캐패시터 요소(316)의 접속위치에서만 도 13a와 다르다.

예를 들면, 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 보내지는 신호들은 도 13a의 것들과 유사하다.

예를 들면, 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 보내지는 신호들은 도 13a의 것들과 유사하다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보 내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 13b는 캐패시터 요소(316)가 접속되는 위치에서 도 13a와 다르다. 먼저, 캐패시터 요소(316)는 구동기 요소(315)를 구성하는 트랜지스터의 게이트와 소스 간 전압을 저장한다. 보다 정밀하게는, 구동기 요소(315)를 구성하는 3개의 트랜지스터들 중에서, 소스에 가장 가까운 측의 트랜지스터의 게이트와 소스 간 전압이 저장된다. 이러한 관점에서, 도 13b의 회로는 도 13a의 회로보다 더 신뢰할 수 있다고 할 수 있다.

도 13a의 회로에서 비디오 신호 데이터 전류의 기입 동안에 제2 스위치(313) 또한 턴 온 하고, 전류가 구동기 요소(317)에 흐를 때 제3 스위치(314)가 턴 온 함에 유의한다. 결국, 도 13a에서도, 전류가 발광 요소(317)에 흐를 때, 비디오 신호 데이터 전류의 기입 동안에 구동기 요소(315)를 구성하는 트랜지스터들의 게이트와 소스 간 전압이 재생성된다. 즉, 도 13a의 회로 및 도 13b의 회로는 이들이 구동기 요소(315)를 구성하는 트랜지스터들의 게이트-소스 전압을 저장하는 점에서 동일하다.

소 화소들에 레이아웃하는 경우에 단순성 관점에서, 도 13a가 일반적으로 도 13b보다 우수하다.

제4 예는 도 13c, 도 13d, 도 14a, 도 14b이다. 제1 스위치, 제2 스위치, 제3 스위치, 및 제4 스위치의 온/오프를 제어하는 방법은 도 13a와는 다르다.

먼저, 도 13c의 회로는 제1 스위치, 제2 스위치, 제3 스위치, 및 제4 스위치의 온/오프를 제어함에 있어, 4개의 주사라인들, 제1 주사라인(Gaj), 제2 주사라인(Gbj), 제2 주사라인(Gcj), 및 제4 주사라인(Gdj)을 사용한다.

비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj) 및 제4 주사라인(Gdj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj) 및 제3 주사라인(Gcj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj) 및 제4 주사라인(Gdj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj) 및 제3 주사라인(Gcj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 13a의 회로에서, 제1 주사라인(Gaj) 및 제4 주사라인(Gdj)을 하나의 라인으로 모으고, 제2 주사라인(Gbj) 및 제3 주사라인(Gcj)을 하나의 라인으로 모으는데, 그러나 각각은 도 13c의 회로에선 분리된 주사라인이다. 이것은 안정된 주사동작들을 이루는 데 있어서는 효과적이다. 반대로, 주사라인들의 수가 증가하므로 소 화소들에 레이아웃을 수행하기는 어렵다.

도 13d의 회로는 제1 주사라인(Gaj)만을 사용하여 제1 스위치, 제2 스위치, 제3 스위치 및 제4 스위치의 온/오프를 동시에 제어한다.

비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 13a의 회로에서 두 개의 주사라인들, 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)이 사용되는 반면, 도 13d의 회로에서는 2개가 하나의 주사라인으로 모아진다. 주사라인들의 수가 감소되는 양만큼 레이아웃이 소 화소들에 더 쉬워지게 되는 점에서 효과가 있다. 예를 들면, 전류가 발광 요소(317)에서 흐르는 시간량은 두 개의 주사라인들의 주사 타이밍을 위한 방법을 안출함으로써 제어될 수 없다.

도 14a의 회로는 제1 스위치, 제2 스위치, 제3 스위치, 및 제4 스위치를 턴 온 및 오프 하기 위한 제어가 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 의해 동시에 수행되는 점에서 도 13a의 회로와 동일하다. 그러나, 각각의 주사라인이 턴 온 혹은 오프 하는지 여부를 제어하기 위한 스위치들의 조합은 도 13a의 회로와는 다르다. 도 14a의 회로에서 제1 주사라인(Gaj)이 제1 스위치 및 제2 스위치를 제어하는 한편, 제2 주사라인(Gbj)은 제3 스위치 및 제4 스위치를 제어한다.

비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 14a의 회로는 비디오 신호 데이터 전류의 기입 동안 턴 온 하는 스위치, 및 전류가 발광 요소(317)에서 흐를 때 턴 온 하는 스위치가 서로 다른 주사라인들에 의해 턴 온 및 오프 하도록 제어하는 회로이다. 그러므로, 이 회로는 안정된 동작 관점에서 우수하다. 그러나, 도 13a의 회로가 제2 스위치(313) 및 제4 스위치(318)에 p채널 스위치들을 사용하는 반면, n채널 스위치들이 도 14a의 회로에 의해 사용된다. 그러므로, 도 14a의 회로에서 제1 주사라인(Gaj) 및 제2 주사라인(Gbj)의 고 전위 신호들은 도 13a의 회로에 사용되는 것들보다 높을 필요가 있다.

도 14b의 회로는 도 14a의 제1 스위치(312)를 분할한다. 즉, 도 14a의 제1 스위치(312) 내 구동기 요소를 구성하는 트랜지스터의 게이트 전압을 저장 및 해제하는 부분이 스위치(319)로서 분할된다. 그러므로 스위치(319)는 제3 주사라인(Gcj)을 사용함으로써 제1 스위치로부터 독립적으로 턴 온 및 오프 하도록 제어될 수 있다.

비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj) 및 제3 주사라인(Gcj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보 내져, 제1 스위치(312) 및 제2 스위치들(313, 319)이 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj) 및 제3 주사라인(Gcj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치들(313, 319)이 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

스위치(319)는 비디오 신호 데이터 전류를 기입할 때 도 14b의 회로의 제1 스위치(312)보다도 쉽게 턴 오프 될 수 있다. 그러므로, 동작을 안정화시키는 것이 가능하다. 반면, 주사라인들의 수가 증가되므로 소 화소들에 레이아웃이 어렵게 된다.

도 15a에서 구동기 요소를 구성하는 3개의 트랜지스터들은 제5 예에 해당하는 도 15a에서 n채널이다. 이 점이 도 13a와 다르다.

제1 주사라인(Gaj) 및 제2 주사라인(Gbj)에 보내지는 신호들은 도 13a의 것들과 유사하다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 15a는 캐패시터 요소(316)가 접속되는 위치에서 도 13a와 또한 다르다. 먼저, 캐패시터 요소(316)는 구동기 요소(315)를 구성하는 트랜지스터의 게이트와 소스 간 전압을 저장한다. 보다 정밀하게는, 구동기 요소(315)를 구성하는 3개의 트랜지스터들 중에서, 소스에 가장 가까운 측의 트랜지스터의 게이트와 소스 간 전압이 저장된다. 구동기 요소를 구성하는 3개의 트랜지스터들이 도 13a에서 p채널인 반면, 도 15a에서는 3개의 트랜지스터들이 n채널이다. 그러므로 캐패시터 요소(316)가 접속되는 위치는 도 13a의 것과는 다르다.

도 15a에서 구동기 요소를 구성하는 3개의 트랜지스터들은, 제조공정들에 기인하여 이상적인 트랜지스터 유형이 p채널이기보다는 n채널인 경우들에 있어서는 도 13a보다 효과적이다. 소 화소들에 레이아웃을 수행함에 있어 단순성의 관점에서, 도 13a가 일반적으로 도 15a보다 우수하다.

제6 예는 도 15b 및 도 15c이다. 비디오 신호 데이터 전류의 기입 동안 도 15b 및 도 15c의 구동기 요소에서 전류가 흐르는 방향은 지금까지 보인 예들의 방향과는 반대가 된다. 도 12a 내지 도 14c의 회로들에서, 비디오 신호 데이터 전류의 기입 동안에 제1 스위치(312)측이 저 전위이고, 제2 스위치(313)측이 고 전위이다. 그러나, 도 15b의 회로와 도 15c의 회로에서 비디오 신호 데이터 전류의 기입 동안에는 제1 스위치(312)측이 고 전위이고, 제2 스위치가(313)측이 저 전위이다. 전원라인(Vi)은 고 전위 전원라인이고, 전원라인(Vbi)은 저 전위 전원라인이다.

도 15b의 화소회로 내 주사라인들에 보내지는 신호들을 설명한다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313) 가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 15c의 화소회로 내 주사라인들에 보내지는 신호들을 설명한다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

제7 예는 도 15d이다. 도 15d의 회로에서 전류가 흐르는 방향은 지금까지 보인 예들의 방향과는 반대이다. 도 12a 내지 도 14c의 회로들에서, 비디오 신호 데이터 전류의 기입 동안에 제3 스위치(314)측이 저 전위이고, 제4 스위치(318)측이 고 전위이다. 그러나, 도 15d의 회로에서 비디오 신호 데이터 전류의 기입 동안에는 제3 스위치(314)측이 고 전위이고, 제4 스위치(318)측이 저 전위이다.

비디오 신호 데이터 전류의 기입 동안에 도 15d에서 구동기 요소에 전류가 흐르는 방향은 도 15b 및 도 15c의 것과는 동일한 방향이고 도 12a 내지 도 14c와는 반대이다.

도 15d에서, 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

도 15d는 발광 요소(317)의 캐소드측에 회로 배치의 경우들에 효과적이다.

구동기 요소(315)를 구성하는 트랜지스터들의 수 n이 3인 경우들에 대해 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소의 구체적인 예들을 도 12a 내지 도 15d를 사용하여 다루었다. n이 2인 경우의 예를, 구동기 요소(315)를 구성하는 트랜지스터 수 n이 3이 아닌 예로서 도 16을 사용하여 다음에 설명한다. 제1 스위치, 제2 스위치, 제3 스위치, 제4 스위치는 도 16에서 블록 기호가 아닌 트랜지스터들로 나타내었고, 도 12a 내지 도 15d와 유사하게 트랜지스터 접속들에 많은 변화가 가능하다.

도 15c의 화소회로 내 주사라인들에 보내지는 신호들을 설명한다. 비디오 신호 데이터 전류의 기입 동안에 제1 주사라인(Gaj)에 고 전위 신호가 보내지고 제2 주사라인(Gbj)에 저 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(

313)가 턴 온 하는 반면, 제3 스위치(314) 및 제4 스위치(318)가 턴 오프 한다. 전류가 발광 요소(317)에서 흐를 때는 제1 주사라인(Gaj)에 저 전위 신호가 보내지고 제2 주사라인(Gbj)에 고 전위 신호가 보내져, 제1 스위치(312) 및 제2 스위치(313) 가 턴 오프 하는 반면, 제3 스위치(314) 및 제4 스위치(318)는 턴 온 한다.

제1 스위치는 2개의 트랜지스터들로 구성되고, 제2 스위치는 도 16의 예에서 하나의 트랜지스터를 사용하여 구성되는데, 이것은 최소 수의 트랜지스터들이 사용됨을 의미한다. 구동기 요소(315)의 트랜지스터들(325, 326) 간 접속 관계의 전환은 주사라인(Gaj)에 의해 제어된다.

비디오 신호 데이터 전류의 기입 동안에 주사라인(Gaj)에 저 전위 신호가 보내져, 트랜지스터들(321, 322)을 포함하는 제1 스위치(312) 및 트랜지스터(323)를 포함하는 제2 스위치(313)가 턴 온 하는 반면, 트랜지스터(324)를 포함하는 제3 스위치(314)가 턴 오프 한다. 전류가 발광 요소(328)에서 흐를 때는 제1 주사라인(Gaj)에 고 전위 신호가 보내내져, 제1 스위치(312) 및 제2 스위치(313)가 턴 오프 하는 반면, 제3 스위치(314)는 턴 온 한다.

도 16의 예에서는 주사라인들의 수와 트랜지스터들의 수가 작게 유지되므로 도 16은 큰 개구율을 확보하거나 발생되는 구조적 결함들의 비율을 감소시키는 데 중점을 두는 경우들에 적합하다.

본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소(11)의 예들을 도 12a 내지 도 16을 사용하여 설명하였다. 그러나, 본 발명의 디스플레이 디바이스 및 발광 디바이스의 화소 구조들은 이들 구조들로 한정되지 않는다.

[실시형태 3]

화소(11)를 구동하는 방법을 실시형태 2에서 설명한다. 도 4b에 도시한 화소는 예로서 취해진 것으로 도 5a 및 도 5b를 사용하여 설명한다.

먼저 비디오 신호 기입 동작과 발광 동작을 설명한다.

화소(11)의 주변에 형성된 주사라인 구동기 회로(도면에 도시없음)로부터 출력되는 신호에 의해 제j 행의 제1 주사라인(Gaj)이 먼저 선택된다. 즉, 저 전위(L레렙) 신호가 제1 주사라인(Gaj)에 출력되고, 트랜지스터들(111 내지 116)의 게이트 전극들이 저 전위(L레벨)가 된다. p채널인 트랜지스터들(111 내지 115)이 이 때 턴 온 하는 반면 n채널인 트랜지스터(116)가 턴 오프 한다. 화소(11)의 주변에 형성된 신호라인 구동기 회로(도면들에 도시없음)로부터 화소(11)에 비디오 신호 데이터 전류(I_W)가 제i 열의 신호라인(Si)을 통해 입력된다.

트랜지스터들(111 내지 113)이 턴 온 하였을 때 트랜지스터들(117 내지 120)은 드레인 및 게이트가 트랜지스터들 각각에서 단락이 되는 다이오드 접속 상태로 된다. 즉, 화소(11)는 4개의 다이오드들이 병렬로 접속된 회로로 동등하게 된다. 이 상태에서 전류(I_W)가 전원라인(Vi)과 신호라인(Si) 간에 흐른다(도 5a 참조).

병렬로 접속된 4개의 다이오드들에서 흐르는 전류(I_W)가 정상상태로 된 후에, 제1 주사라인(Gaj)은 고 전위(H 레벨)로 설정된다. 이에 따라 트랜지스터들(111 내지 113)은 턴 오프 되어, 비디오 신호 데이터 전류(I_W)가 화소에 저장된다.

제1 주사라인(Gaj)이 고 전위(H 레벨)가 되어 n채널 트랜지스터(116)가 턴 온 되었을 때 p채널 트랜지스터들(115 내지 115)이 턴 오프 된다. 트랜지스터들(117 내지 120) 간 접속이 직렬 상태로 재구성된다. 이 때 트랜지스 터(120)를 포화상태에서 동작하게 전압 조건들을 미리 설정하였다면 구동기 요소는 고정된 전류(I_E)를 발광 요소에 공급한다.

고정된 전류(I_E)의 값은 비디오 신호 데이터 전류(I_W)의 값의 대략 1/16이다. 이것은 구동기 요소가 실시형태 3에서 4개의 트랜지스터들을 사용하여 구성되기 때문이다. 일반적으로, 전류(I_E)는 구동기 요소가 n개의 트랜지스터들을 사용하여 구성된 경우 비디오 신호 데이터 전류(I_W)의 대략 $1/n^2$ 이 될 것이다.

기입 데이터 전류(I_W)는 발광 요소의 구동기 전류(I_E)의 값의 대략 16배일 경우 실시형태 3에서 큰 값으로 될 수 있다. 발광 요소 구동기 전류(I_E) 정도의 매우 작은 전류를 기생 용량 등에 기인하여 화소에 직접적으로 원활하게 기입하기가 어려울지라도, 비디오 신호 데이터 전류(I_W)의 기입이 가능해진다.

중간 계조들을 표현하는 방법으로서 실시형태 3에서 아날로그 비디오 방법이 채용될 수도 있고 디지털 비디오 방법 또한 채용될 수 있음에 유의한다. 아날로그 전류로 변환된 데이터 전류(I_W)는 아날로그 비디오 방법에서 비디오 신호 데이터 전류로서 사용된다. 디지털 비디오 방법에 있어서는 전류에 관한 표준으로서 취해진 단지 하나의 데이터 전류(I_W)만으로 유닛 밝기가 준비된다. 계조들을 표현하기 위해서 시간에 걸쳐 유닛 밝기들이 부가되는 시간 계조 방법의 사용이 편리하다(디지털 시간 계조 방법). 대안으로, 계조들을 표현하기 위해서 표면적에 걸쳐 유닛 밝 기가 부가되는 표면적 계조 방법 혹은 시간 계조 방법과 표면적 계조 방법을 조합한 방법에 의해 디지털 비디오 방법이 수

행될 수도 있다.

또한, 아날로그 비디오 방법과 디지털 비디오 방법 간 어느 방법이 채용되든 관계없이 실시형태 3에서는 비디오 신호 데이터 전류(I_W)를 제로로 설정할 필요가 있다. 그러나, 비디오 신호 데이터 전류(I_W)가 제로로 설정되었을 때 발광 요소에 의해 방출되는 광의 밝기는 제로이므로, 화소에 I_W를 정확하게 기입 및 저장하는 것은 필요하지 않다. 그러므로 구동기 요소의 트랜지스터들(117 내지 120)이 턴 오프 하게 되는 게이트 전압이 이 경우에 신호라인(Si)에 직접 출력될 수도 있다. 즉, 비디오 신호는 전류 값이 아닌 전압 값에 의해 출력될 수 있다.

다음에 발광을 정지시키는 동작을 설명한다.

화소(11)의 주변에 형성된 또 다른 주사 구동기 회로(도면들에 도시없음)로부터 출력되는 신호에 의해 먼저 제j 행의 제2 주사라인(Gbj)이 선택된다. 즉, 저 전위(L레벨) 신호가 제2 주사라인(Gbj)에 출력된다. p채널 트랜지스터(22)의 게이트 전극은 저 전위(L 레벨)가 되어, 트랜지스터(122)는 온 상태로 된다.

이에 따라 트랜지스터(117)의 소스와 게이트가 단락되어, 트랜지스터(117)가 턴 오프 된다. 결국 발광 요소(121)에의 전류 공급이 차단되어 발광이 중지된다.

이에 따라 한 행을 주사하는 시간량에 어떠한 제약 없이도, 발광 요소(121)가 광을 방출하는 시간량을 임의로 제어하는 것이 가능해진다. 이것의 가장 큰 잇점은 중간 계조 표현이 시간 계조 방법에 의해 쉽게 수행될 수 있다는 것이다. 또 한, 홀드형 디스플레이들 특유의 동적 왜곡들을 중지시키기 위해서 임펄스 발광 등에 적용에서 아날로그 비디오 신호 데이터 전류를 사용하여 중간 계조 표현이 수행되는 경우들에도 잇점들이 있다.

[실시형태 4]

본 발명의 디스플레이 디바이스 및 발광 디바이스 내 화소의 평면 레이아웃(상측면도)의 예가 실시형태 4에서 제공된다. 이 예의 화소회로는 도 3b에 도시한 화소회로이다.

제j 행 및 제i 열의 화소(11)를 도 6에 도시하였다. 도 6에서 이중쇄선으로 둘러싸인 영역은 화소(11)에 해당한다. 점이 찍힌 패턴 영역은 다결정실리콘막이다. 우측으로 기울인 라인들, 및 우측으로 기울인 2중 라인들 각각은 분리된 층들의 도전막들(금속막들)을 나타낸다. X-형상의 표시들은 층간 접속점들을 나타낸다. 체크무늬의 패턴 영역(86)은 발광 요소(54)의 애노드에 해당한다.

트랜지스터들(71 내지 75)은 제1 주사라인(Gaj) 밑에 형성된다. 트랜지스터들(76 내지 79)은 제2 주사라인(Gbj) 밑에 형성된다. 캐패시터 요소(83)는 전원라인(Vi) 밑에 형성된다.

구동기 요소를 구성하는 3개의 트랜지스터들(80 내지 82)은 동일한 크기로 서로 인접하여 형성된다. 그러므로, 처음부터, 동일 화소 내 트랜지스터들(80 내지 82) 간 분산이 커지게 되는 경향은 없다. 본 발명의 '병렬 기입, 직렬 구동' 구조는 구동기 요소를 형성하는 복수의 트랜지스터들 간에 원래 존재하는 분산의 영향을 추가로 감소시키는 수단이다. 그러므로 구동기 요소에서 사용되는 복수의 트랜지스터들이 시작부터 감소된 분산을 갖는다면 본 발명의 효과가 크게 이용될 수 있다. 발광 요소들에 의해 방출되는 광의 밝기의 분산은 훨씬 덜 현저하게 된다.

구동기 요소를 구성하는 복수의 트랜지스터들 간에 원래 존재하는 분산을 가능한 한 작게 하는 것은 디스플레이 디바이스 및 발광 디바이스의 구동기 전압을 감소시키는 관점에서 바람직하다. 구동기 요소를 구성하는 복수의 트랜지스터들 간에 원래 존재하는 분산이 크다면, 복수의 트랜지스터들의 L/W 비를 크게 하여 구동기 요소의 동작점 전압을 증가시키는 것이 필요하다. 그러므로 디스플레이 디바이스 및 발광 디바이스의 구동기 전압은 감소될 수 없다. 이것은 전력보전이 강력히 요망되는 휴대장비에 사용되는 디스플레이 디바이스들 및 발광 디바이스들에 있어선 매우 중요하게 된다.

본 발명의 디스플레이 디바이스 및 발광 디바이스를 제조하는 방법에 대해서 JP 2001-343933A 등을 참조할 수 있음에 유의한다. 구동기 요소를 구성하는 복수의 트랜지스터들에서 소스와 드레인이 대칭을 갖는 것이 바람직하지만 대칭은 반드시 필수인 것은 아니다.

또한, 트랜지스터들(80 내지 82) 등의 활성층들이 다결정실리콘막으로 형성된다면, 먼저 비정질 실리콘막을 형성한 후 다결정화 공정을 수행하는 것이 현재 일반적이다. 다결정화는 레이저 조사, SPC(고체 상태 성장), 혹은 레이저 조사 및 SPC의 조합 등의 방법에 의해 수행될 수 있다. 마이크로결정화가 광을 주사할 때 선형 형상 레이저광을 조사하여 수행되는 경우들에 있어 레이저광 세기와 주사속도에 불규칙을 극히 작게 하지 않는다면, 다결정실리콘막에 선형 형상의 불규칙이 나타날 것이며, 이에 따라 선형 형상 불규칙이 트랜지스터 특성에 나타날 것이다.

트랜지스터 특성에 선형 형상 불규칙을 감소시키기 위해서, 구동기 요소를 구성하는 트랜지스터들의 배열방향에 관하여 레이저광 주사방향에 대한 방법이 채용될 수 있다. 레이저광 주사는 본 발명의 디스플레이 디바이스 및 발광 디바이스 제조 공정에서 수직방향이거나, 수평방향이거나, 대각방향일 수 있다. 또한, 레이저 광 주사는 본 발명의 디스플레이 디바이스 및 발광 디바이스 제조 공정에서 수직 방향 및 수평 방향으로 2회 수행될 수도 있고, 위쪽 우측에서 아래쪽 좌측으로 아래로 경사진 대각 방향과 위쪽 좌측에서 아래쪽 우측으로 아래로 경사진 대각방향으로 2회 수행될 수 있다. 레이저 광 주사는 x방향과 y방향으로 도 6의 레이아웃에서 2회 수행된다.

[실시형태 5]

본 발명의 디스플레이 디바이스 및 발광 디바이스의 구조의 예를 도 7a 내지 도 7c를 사용하여 실시형태 5에서 설명한다. 내부 화소구조가 아닌, 디바이스의 일반적인 구조의 예를 설명한다.

본 발명의 디스플레이 디바이스 및 발광 디바이스는 기판 상에 복수의 화소들이 매트릭스 형상으로 배열되는 화소부(1802)를 구비한다. 신호라인 구동기 회로(1803), 제1 주사라인 구동기 회로(1804), 및 제2 주사라인 구동기 회로(805)는 화소부(1802)의 주변부에 배치된다. 전력 및 신호들은 외부로부터 FPC(1806)을 통해 신호라인 구동기 회로(1803) 및 주사라인 구동기 회로들(1804, 1805)에 공급된다.

신호라인 구동기 회로(1803), 및 주사라인 구동기 회로들(1804, 1805)은 도 7a의 예에서 일체로 되어 있지만 그러나 본 발명은 이러한 구조로 한정되지 않는다. 예를 들면, 신호라인 구동기 회로(1803), 및 주사라인 구동기 회로들(1804, 1805)은 생략될 수도 있다.

제1 주사라인 구동기 회로(1804) 및 제2 주사라인 구동기 회로(1805)의 예들을 도 7b를 사용하여 설명한다. 주사라인 구동기 회로들(1804, 1805)은 도 7b에서 시프트 레지스터(1821) 및 버퍼 회로(1822)를 각각 구비한다.

도 7b의 회로 동작을 설명한다. 시프트 레지스터(1821)는 클럭신호(G-CLK), 클럭 반전된 신호(G-CLKb), 및 시작 펄스 신호(G-SP)에 따라 순차로 펄스들을 출력한다. 펄스들은 버퍼회로(1822)에 의해 전류 증폭되고, 이후 이들은 주사라인들에 입력된다. 이에 따라 주사라인들은 한번에 한 행이 선택된 상태로 된다.

레벨 시프터는 또한 필요할 때 버퍼회로(1822) 내에 배치될 수도 있음에 유의한다. 레벨 시프터는 전압 증폭을 변경할 수 있다.

다음에 신호라인 구동기 회로(1803)의 예를 도 7c를 사용하여 설명한다. 도 7c에 도시한 신호라인 구동기 회로(1803)는 시프트 레지스터(1831), 제1 래치회로(1832), 제2 래치회로(1833), 및 전압 전류 변환기 회로(1834)를 구비한다.

도 7c의 회로의 동작을 설명한다. 도 7c의 회로는 중간 계조들을 디스플레이 하는 방법으로서 디지털 시간 계조 방법을 채용할 때 사용된다.

시프트 레지스터(1831)는 클럭 신호(S-CLK), 클럭 반전 신호(S-CLKb) 및 시작 펄스 신호(S-SP)에 따라 펄스들을 순차로 제1 래치회로(1832)에 출력한다. 제1 래치회로(1832)의 각 열은 펄스 타이밍에 따라 디지털 비디오 신호를 연속하여 독입한다. 비디오 신호의 독입이 제1 래치회로(1832) 내 마지막 열을 통해 종료되었을 때, 제2 래치회로(1833)에 래치펄스가 입력된다. 이어서, 제1 래치회로(1832)의 각 열에 기입된 비디오 신호는 래치 펄스에 의해 제2 래치회로(1833)의 각 열에 한번에 전송된다. 이어서, 제2 래치회로(1833)에 전송된 비디오 신호는 전압 전류 변환기 회로(1834)에서 적합한 형상 변환 처리되어 화소들에 전송된다. 비디오 신호 내 온 데이터는 전류 형태로 변환되고, 오프 데이터는 전류 증폭이 되면서 이의 전압 형태로 남겨진다. 펄스 래치 후에, 시프트 레지스터(1831) 및 제1 래치회로(1832)는 비디오 신호의 다음 행을 독입하도록 동작하고 전술의 동작들이 반복된다.

도 7c의 신호라인 구동기 회로(1803)의 구조는 예이며, 아날로그 계조 방법이 채용된다면 또 다른 구조가 사용될 수도 있다. 또한, 디지털 시간 계조 방법이 채용된다면 다른 구조들이 사용될 수도 있다.

[실시형태 6]

본 발명의 효과를 도 8a 및 도 8b와, 도 17a 및 도 17b를 사용하여 실시형태 6에서 설명한다. 설명을 간단하게 하기 위해서, 구동기 요소를 구성하는 트랜지스터들의 수가 2인 경우의 예를 설명한다. 도 2a에 도시한 바와 같은 구체적인 화소회로 구조를 취한다. (정 방향 및 부 방향이 도 8a 및 도 8b와 도 17a 및 도 17b에 적합하게 설정되었다. 정 방향 및 부 방향은 트랜지스터들이 p채널인 경우엔 바뀌게 됨에 유의한다). 또한, 도 8a 및 도 8b의 트랜지스터들의 특성곡선은 간단하게 하기 위해서 이상적인 곡선으로 설정되었고, 따라서 실제 트랜지스터들에 있어선 약간 상이하다. 예를 들면, 채널 길이 변동은 제로이다.

트랜지스터 소스의 전위를 기준으로서 취하고, 게이트 전위는 V_g로서 취해지고, 드레인 전위는 V_d로서 취해지며, 소스와 드레인 간에 흐르는 전류는 I_d로서 취해진다. 도 8a 및 도 8b에 곡선들(801 내지 804)은 어떤 고정된 게이트 전위(V_g) 하에 I_d-V_d 특성곡선들이다. 굵은 일점쇄선 곡선(805)은 구동기 요소를 구성하는 두 개의 트랜지스터들 중 하나에 대해서 게이트와 드레인을 단락시킴으로써 V_g 및 V_d가 동일한 조건 하에서 I_d-V_d 변화들을 도시한 것이다. 즉, 굵은 일점쇄선 곡선(805)는 트랜지스터에 특정한 전기적 특성들(전계효과 이동도, 임계전압 값)을 반영한다. 유사하게, 굵은 이점쇄선 곡선(806)은 구동기 요소를 구성하는 두 개의 트랜지스터들 중 다른 하나에 대해서 게이트와 드레인을 단락시킴으로써 V_g 및 V_d가 동일한 조건 하에서 I_d-V_d 변화들을 도시한 것이다.

도 8a 및 도 8b는 구동기 요소를 구성하는 두 개의 트랜지스터들이 서로 상 이한 전기적 특성을 갖는 경우들에 있어서 본 발명의 '병렬 기입, 직렬 구동' 구조에 기인하여 발광 요소 구동기 전류에서 일어나는 것을 그래픽으로 조사한 것이다. 도 8a는 두 개의 트랜지스터들 간에 전계효과 이동도 차가 특히 큰 경우의 예이다. 도 8b는 두 개의 트랜지스터들 간에 임계전압 값 차가 특히 큰 경우의 예이다. 각 경우에 있어서의 발광 요소 구동기 전류를 결론으로서 삼각형 화살표들의 삼각형 화살 기호(807)의 길이로 나타내었다. 이들을 이하 간략히 설명한다.

먼저, 굵은 일점쇄선 곡선(805)에 대응하는 것으로, 트랜지스터들(38, 39)의 특성곡선들이 모두 동일한 경우를 고찰한다.

도 2b의 트랜지스터들(31 내지 36)은 데이터 전류의 기입 동안에 턴 온 한다. 구동기 요소를 구성하는 두 개의 트랜지스터들(38, 39)의 게이트 및 드레인은 턴 온 한 트랜지스터들(31 내지 34)에 기인하여 단락된다. 그러므로, 트랜지스터들(38, 39)의 동작점은 굵은 일점쇄선 곡선(805) 상의 점이 되고 어떤 점은 데이터 전류 값(I_W)에 의해 결정된다. 동작점은 여기서는 곡선들(805, 801)의 교점으로서 취해진다. 즉, 곡선들(805, 801)의 교점의 수직축 값(I_d)의 두 배가 데이터 전류 값(I_W)으로서 취해진다.

도 2b의 트랜지스터들(31 내지 36)은 발광 요소가 광을 방출할 때 턴 오프 하는 반면 트랜지스터들(37, 42)은 턴 온 한다. 트랜지스터들(38, 39)의 게이트 전위들은 트랜지스터들(31 내지 34)이 턴 온 하므로 데이터 전류 기입 동안 이들의 값들 그대로 유지된다. 트랜지스터(39)는 발광 요소가 광을 방출할 때 포화영역에 서 동작하며, 트랜지스터(38)는 비포화 영역에서 동작한다. 발광 요소에 의한 발광 동안에 트랜지스터(38)의 I_d-V_d 곡선은 곡선(801)으로 나타나고, 트랜지스터(39)의 I_d-V_d 특성은 곡선(803)으로 나타난다.

도 8a에 각각의 점선 화살표 표시는 종좌표 상의 길이와 동일하다. 발광 요소에 의한 발광 동안에, 트랜지스터(38)의 동작점은 좌측 점선 화살표의 우측끝과 곡선(801) 사이의 접촉점이다. 발견할 발광 요소의 구동기 전류(I_E)는 점선 화살표의 종좌표, 즉 삼각형 화살표들의 실선 삼각형 화살표(807)의 길이이다. 유사한 정보가 도 8b에 또한 제공되고, 발견할 발광 요소의 구동기 전류(I_E)는 삼각형 화살표들의 실선 삼각형 화살표(807)의 길이임에 유의한다. 트랜지스터(38)의 특성곡선 및 트랜지스터(39)의 특성곡선이 동일하다면, 발견할 결과적인 발광 요소 구동기 전류(I_E)는 데이터 전류 값(I_W)의 1/4이 된다.

다음에, 트랜지스터(38)의 특성 곡선이 굵은 이점쇄선 곡선(806)에 대응하고, 트랜지스터(39)의 특성 곡선은 굵은 일점쇄선 곡선(805)에 대응함에 유의한다. 데이터 전류 값(I_W)은 트랜지스터(38, 39)의 특성곡선들 모두가 곡선(805)에 대응하는 전술의 경우와 동일하다.

도 2b의 구동기 요소를 구성하는 두 개의 트랜지스터들(38, 39) 각각의 게이트 및 드레인은 데이터 전류 기입 동안에 단락된다. 그러므로 트랜지스터(38)의 동작점은 굵은 이점쇄선 곡선(806) 상에 있고, 트랜지스터(39)의 동작점은 굵은 일 점쇄선 곡선(805) 상에 있다. 트랜지스터(38)의 동작의 종좌표와 트랜지스터(39)의 동작점의 종좌표와의 합이 데이터 전류 값(I_W)이다. 그러므로 트랜지스터(38)의 동작점은 곡선들(806, 802)의 교점이 된다. 트랜지스터(39)의 동작점은 트랜지스터(38)의 동작점의 횡좌표와 동일하고, 곡선(805) 상의 점이 된다.

도 2b의 트랜지스터들(31 내지 34)은 발광 요소가 광을 방출할 때 턴 오프 하므로 트랜지스터들(38, 39)의 게이트 전위들은 데이터 전류 기입 동안 이들의 값들 그대로 유지된다. 트랜지스터(39)는 발광 요소가 광을 방출할 때 포화영역에서 동작하며, 트랜지스터(38)는 비포화 영역에서 동작한다. 발광 요소에 의한 발광 동안에 트랜지스터(38)의 I_d-V_d 곡선은 곡선(802)으로 나타난다.

도 8a에 각각의 점선 화살표 표시는 종좌표 상의 길이와 동일하다. 이중쇄선 화살표들의 상기 그룹은 굵은 이점쇄선 곡선(806)이 트랜지스터(38)의 특성곡선에 해당하고, 굵은 일점쇄선 곡선(805)이 현재 고찰 중의 트랜지스터(39)의 특성곡선에 대응하게 되는 경우이다. 발광 요소에 의한 발광 동안에, 트랜지스터(38)의 동작점은 좌측의 이중쇄선 화살표의 우측 끝과 곡선(802) 사이의 접촉점이다. 발견할 발광 요소의 구동기 전류(I_E)는 점선 화살표의 종좌표, 즉 삼각형 화살표들의 점선 삼각형 화살표(좌측)(807)의 길이이다. 유사한 정보가 도 8b에 또한 제공되고, 발견할 발광 요소의 구동기 전류(I_E)는 삼각형 화살표들의 점선 삼각형 화살표(좌측)(807)의 길이임에 유의한다.

또한, 굵은 일점쇄선 곡선(805)이 트랜지스터(38)의 특성곡선에 대응하고, 굵은 이점쇄선 곡선(806)이 트랜지스터(39)의 특성곡선에 대응하는 다른 경우의 조사가 유사하게 수행될 수 있다. 상세한 것을 여기서는 다루지 않으나, 결과들은 발견할 발광 요소 구동기 전류(I_E)가 도 8a 및 도 8b에서 삼각형 화살표들의 점선 삼각형 화살표(우측)(807)의 길이가 됨을 나타낸다.

또한, 굵은 일점쇄선 곡선(805)이 트랜지스터들(38, 39)의 특성곡선에 대응하는 경우가 유사하게 조사될 수 있다. 결과들은 발견할 발광 요소 구동기 전류(I_E)가 도 8a 및 도 8b에서 삼각형 화살표들의 짧은 점선 화살표(807)의 길이가 됨을 나타낸다.

구동기 요소를 구성하는 트랜지스터들(38, 39)의 특성들의 분산들이 발광 요소 구동기 전류(I_E)에 어떻게 반영되는가의 윤곽을 도 8a 및 도 8b에서 삼각형 화살표들의 삼각형 화살표들(807)의 길이들로부터 알 수 있다.

도 8a 및 도 8b에서 협각의 화살표들(808)과 광각의 화살표들(809)을 비교를 위해 사용한다. 참조부호 808로 나타낸 협각 화살표들은 화소 회로가 전류 입력 방법의 전류 미러를 사용할 때 전술한 바와 유사하게 조사를 수행한 결과이다. 즉, 협각 화살표들은 전류 미러의 두 개의 트랜지스터들 간에 전술한 바와 유사한 특성들의 분산들이 존재할 때 발광 요소 구동기 전류(I_E)에 일어나는 것을 나타낸다. 광각 화살표들(809)은 전압 입력 방법 화소회로의 경우에 대해 유사한 조사를 수행한 결과이다. 즉, 광각 화살표들은 서로 상이한 화소들의 발광 요소 구동기 트랜지스터들 간에 전술한 바와 유사한 특성의 분산들이 존재할 때 발광 요소 구동 기 전류(I_E)에 일어나는 것을 나타낸다.

다음의 점은 도 8a 및 도 8b에서 삼각형 화살표들(807), 협각 화살표들(808), 및 광각 화살표들(809)을 비교함으로써 이해될 수 있다.

먼저, 삼각형상의 화살표들(807), 협각 화살표들(808)에 있어서, 발광 요소 구동기 전류(I_E)는 동일 화소 내 두 개의 트랜지스터들의 특성에 분산이 없다면, 트랜지스터들의 특성곡선이 곡선(805)이든 곡선(806)이든 간에 일정하게 된다. 즉, 전류 입력 방법의 전류 미러를 사용하는 두 화소회로들, 및 본 발명의 '병렬 기입, 직렬 구동' 화소회로에 대해서 전체 기판에 걸쳐 트랜지스터 특성이 일정할 필요가 없다. 동일 화소 내 두 개의 트랜지스터들 간에 특성 분산을 감소시키기에 충분하다. 이 점은 전압 입력 방법의 화소 회로에 비해 극히 우수하다.

그러나, 동일 화소들 내 두 개의 트랜지스터들 간에 특성의 분산들이 존재하면, 발광 요소 구동기 전류(I_E)의 분산은 협각 화살표들(808)로 나타낸 바와 같이 크게 된다. 즉, 동일 화소 내 두 개의 트랜지스터들 간 특성 분산의 영향이 전류 입력 방법의 전류 미러를 사용하는 화소회로에 강하게 나타난다. 극단적인 경우들에 있어서는 발광 요소 구동기 전류(I_E)가 전압 입력 방법 화소 회로에서 발견되는 것보다 커지게 될 위험이 있다. 이러한 점에서, 동일 화소 내 두 개의 트랜지스터들 간 특성 분산의 영향은 본 발명의 '병렬 기입, 직렬 구동' 화소회로에 의해 크게 억제된다. 현재의 디시플레이 디바이스들 및 발광 디바이스들에 있어서, 전체 기판에 걸쳐 트랜지스터 특성의 분산은 동일 화소 내의 것보다 더 심각하다. 그러 므로 동일 화소 내 두 개의 트랜지스터들 간 특성의 분산들은 본 발명의 '병렬 기입, 직렬 구동' 화소 회로'와 유사한 정도로 억제된다면 실제로는 문제가 되지 않는다.

도 17a 및 도 17b는 전류 입력 방법 전류 미러를 사용하는 화소 회로와 본 발명의 '병렬 기입, 직렬 구동' 화소 회로를 비교하는 예를 도시한 것이다. 먼저, 동일 화소 내 두 개의 트랜지스터들 중 한 트랜지스터는 도 17a 및 도 17b에서 표준 값 특성들에 고정된다. 전계효과 이동도(uFE)의 표준값은 100으로서 취해지며, 임계값(Vth)의 표준 값은 3V로서 취해진다. 동일 화소 내 다른 트랜지스터의 특성에 대한 서로 상이한 값들에 걸쳐 발광의 밝기의 값을 시뮬레이트하였다. 전계효과 이동도(uFE)에 대한 값들은 80 내지 120의 범위 내에서 변경되었으며, 임계값(Vth)에 대한 값들은 2.5V에서 3.5V로 변경되었다. 발광에 대한 밝기 값은 동일 화소 내 두 개의 트랜지스터들이 표준 값 특성을 가질 때 밝기 값이 제로가 되도록 표준화되었으며, 밝기 값은 화소 턴 오프 되었을 때 -100이다.

도 17a는 전류 입력 방법 전류 미러를 사용하는 화소 회로의 경우에 대한 것이고, 도 17b는 본 발명의 '병렬 기입, 직렬 구동' 화소회로의 경우에 대한 것이다. 동일 화소 내 두 개의 트랜지스터들 간 특성 분산은 제조공정들에 크게 의존한다. 그러나, 현재의 표준 제조 공정들에 있어서, 도 17a 및 도 17b에 도시한 바와 같이 전계효과 이동도(uFE)에 대한 값과 임계값(Vth)에 대한 값은 통상적인 것이다. 일반적으로, 전류 입력 방법 전류 미러를 사용하는 화소회로의 경우에 ±25% 정도의 디스플레이 불균일성이 나타날 가능성이 있음을 알 수 있다. 반면, 본 발명의 '병렬 기입, 직렬 구동' 화소회로에 의한 실제 사용에 있어 허용 가능한 범위 내에서 디스플레이 불균일성이 억제될 수 있음을 알 수 있다.

편의상 트랜지스터 구조의 파라미터들에 대한 실재적인 임의의 값들을 사용하여 도 17a 및 도 17b의 시뮬레이션들이 수행되었음에 유의한다. 트랜지스터 구조의 파라미터들을 변경함으로써 동작하는 트랜지스터의 동작전압을 가변시킴으로써, 동작전압이 높아짐에 따라 밝기 분산들이 감소됨을 알 수 있다.

구동기 요소를 구성하는 트랜지스터들의 수 n이 2인 경우의 예에 대한 본 발명의 효과를 실시형태 6에서 설명한다. 그러나, 구동기 요소를 구성하는 트랜지스터들의 수 n이 3 이상인 경우에 대해서도 유사한 결과들이 수립된다. TFT

특성들의 분산들을 감소시키는 효과는 구동기 요소를 구성하는 트랜지스터들의 수 n이 증가함에 따라 약해짐에 유의한다. 반대로, 본 발명의 출원인들은 OLED 요소들의 강 방출 특성들과 더불어, 현재 제조될 수 있는 다결정실리콘 TFT 기판의 기판 및 특성들(TFT 특성 외에, 배선들의 전기적 저항 및 기생 용량 등을 포함하는)을 고찰할 때, 본 발명이 AM-OLED 디스플레이 디바이스에 적용되는 경우들에 있어서는 데이터 전류 값(I_W)를 발광 요소 구동기 전류(I_E)의 5배 이상으로 되게 하는 것이 바람직함을 알았다. 그러므로 구동기 요소를 구성하는 트랜지스터들의 수 n을 3 내지 5 정도로 설정하는 것은 높은 효용 값을 갖는다. 디스플레이 디바이스 응용 및 구동방법에 따라 n의 다른 값들로 높은 효용이 달성될 수 있는 경우들이 있다.

또한, 트랜지스터 특성에 대한 이상적인 값들이 실시형태 6에서 사용된다는 사실 외에, 기생 저항, 직렬로 접속된 트랜지스터들에 대한 온 저항, 등은 무시된다. 실제로는, 이들은 어떤 영향을 미친다. 그러나, 이것은 본 발명의 '병렬 기입, 직렬 구동'이 디스플레이 불균일성을 억압하는 데 효과적이라는 사실을 바꾸지는 않는다.

[실시형태 7]

실시형태 7에서는 본 발명의 디스플레이 디바이스들 및 발광 디바이스들이 장착된 전자 장비 등을 예시한다.

본 발명의 디스플레이 디바이스들 및 발광 디바이스들이 장착된 전자 장비의 예들은 모니터들, 비디오 카메라들, 디지털 카메라들, 고글형 디스플레이들(헤드 장착형 디스플레이들), 항법 시스템들, 오디오 재생 디바이스들(자동차 오디오들, 오디오 컴포넌트들, 등), 노트북형 개인용 컴퓨터들, 게임기들, 휴대 정보 단말들(이동형 컴퓨터들, 이동전화들, 휴대 게임기들, 및 전자책들, 등), 기록매체를 장착한 이미지 재생 디바이스들(구체적으로, 디지털 다기능 디스크(DVD) 등과 같은 기록매체를 재생할 수 있고 이들의 이미지를 디스플레이할 수 있는 디스플레이를 갖춘 디바이스들), 등을 포함한다. 특히, 종종 대각방향으로부터 화면이 보여지는 전자 장비에 대해, 넓은 시야각이 중요한 것으로서 간주되기 때문에, 발광 디바이스가 바람직하게 사용된다. 이들 전자 장비의 구체적인 예들을 도 9에 도시하였다.

도 9a는 이 예에서 프레임(2001), 지지 베이스(2002), 디스플레이부(2003), 스피커부(2004), 비디오 입력 단말(2005), 등으로 구성된 모니터이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2003)에 사용될 수 있다. 발광 디바이스가 발광형일 때는 백라이트가 필요없고 이에 의해서 액정 디스플레이 디바이스보다 얇은 디스플레이부를 얻을 수 있다. 모니터라는 용어는 이를테면 개인용 컴퓨터들과 같은 정보를 디스플레이하기 위한 디스플레이 디바이스, TV 방송을 수신하기 위한 디스플레이 디바이스 및 광고용의 디스플레이 디바이스 모두를 포함함에 유의한다.

도 9b는 이 예에서 본체(2101), 디스플레이부(2102), 이미지 수신부(2103), 조작 키들(2104), 외부 접속 포트(2105), 셔터(2106), 등으로 구성되는 디지털 스틸 카메라이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2102)에 사용될 수 있다.

도 9c는 이 예에서 본체(2201), 프레임(2202), 디스플레이부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등으로 구성되는 노트북형 개인용 컴퓨터이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2203)에 사용될 수 있다.

도 9d는 이 예에서 본체(2301), 디스플레이부(2302), 스위치(2303), 조작키들(2304), 적외부(2305), 등으로 구성되는 이동형 컴퓨터이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2302)에 사용될 수 있다.

도 9e는 이 예에서 본체(2401), 프레임(2402), 디스플레이부 A(2403), 디스플레이부 B(2404), 기록매체(이를테면 DVD) 독입부(2405), 조작 키들(2406), 스피 커부(2407) 등으로 구성되는 기록매체(구체적으로, DVD 재생 디바이스)를 구비한 휴대 이미지 재생 디바이스이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부 A(2303) 및 디스플레이부 B(2404)에 사용될 수 있다. 기록매체를 구비한 재생 디바이스들은 가정용의 게임기들 등을 포함함에 유의한다.

도 9f는 이 예에서 본체(2501), 디스플레이부(2502), 암(2503) 등으로 구성되는 고글형 디스플레이(헤드 장착형 디스플레이)이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2502)에 사용될 수 있다.

도 9g는 이 예에서 본체(2601), 디스플레이부(2602), 프레임(2603), 외부 접속 포트(2604), 원격 제어 수신부(2605), 이미지 수신부(2606), 밧데리(2607), 오디오 입력부(2608), 조작 키들(2609), 아이피스 부(2610), 등으로 구성되는 비디오 카메라이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2602)에 사용될 수 있다.

도 9h는 이 예에서 본체(2701), 프레임(2702), 디스플레이부(2703), 오디오 입력부(2704), 오디오 출력부(2705), 조작키들(2706), 외부 접속부(2707), 안테나(2708) 등으로 구성되는 이동전화이다. 본 발명의 디스플레이 디바이스 및 발광 디바이스는 디스플레이부(2703)에 사용될 수 있다. 흑색의 배경 상에 백색의 문자들을 디스플레이함으로써, 디

스플레이부(2703)는 이동전화의 전력소비를 억제할 수 있음에 유의한다.

발광 요소들의 발광 세기는 미래에 증가될 수 있고, 본 발명의 디스플레이 디바이스 및 발광 디바이스로부터 출력되는 이미지 정보를 포함하는 광은 렌드 등 에 의해 확대되어 투사될 수 있고, 이에 의해서 전방형 프로젝터들 혹은 후방형 프로젝터들에 투사되는 광을 사용하는 것이 가능함에 유의한다.

전술한 바와 같이, 본 발명의 적용 범위는 넓으므로 임의의 분야의 전자 장비 등에 본 발명을 사용하는 것이 가능하다.

능동 매트릭스 디스플레이 디바이스 및 발광 디바이스 내 각 화소에 배치된 구동기 요소들은 본 발명에서 복수의 트랜지스터들로 구성된다. 복수의 트랜지스터들은 화소들의 데이터 전류의 기입 동안에 병렬 접속상태로 되고, 복수의 트랜지스터들은 발광 요소들이 광을 방출할 때 직렬 접속상태로 된다. 이에 따라, 구동기 요소를 구성하는 복수의 트랜지스터들의 접속상태는 병렬과 직렬 간에 적합하게 전환된다. 결과적으로 다음의 효과들이 나타난다.

먼저, 동일 화소 내 구동기 요소를 구성하는 복수의 트랜지스터들에서도 분산들이 없다면, 방출된 광의 밝기에 불균일성이 전체 디스플레이 화면에 걸쳐 나타내는 디스플레이 질에 매우 큰 결함이 회피될 수 있다. 즉, 트랜지스터들의 전기적 특성은 전체 기판에 걸쳐 보았을 때 상당량의 분산을 갖고 있다. 이러한 분산은 발광 요소 구동기 전류(I_E)에 반영되고, 전체 디스플레이 화면에 걸쳐 방출 광의 밝기에 불균일성이 방지될 수 있다. 전체 디스플레이 화면에 걸쳐 방출 광의 밝기에 불균일성은 동일 화소 내 전류 미러의 두 트랜지스터들에 분산이 없다면, 도 10a의 전류 미러를 사용하는 화소 회로들에서 또한 방지될 수 있음에 유의한다. 그러므로 본 발명은 도 10a에 것들과 같은 전류 미러들을 사용하는 화소 회로들의 경우들과 유사한 효과를 갖는다.

그러나, 방출 광의 밝기는 10a에 것들과 같은 전류 미러들을 사용하는 화소 회로에서 동일 화소 내 두 개의 트랜지스터들 간에 분산이 존재한다면 화소들마다 서로 상이함이 방지될 수 없다. 이러한 점에서, 한 화소 내 구동 요소를 구성하는 복수의 트랜지스터들에 걸쳐 분산들이 존재할지라도, 분 발명의 경우에 분산들의 영향이 크게 억제될 수 있고, 그러므로 실제 사용 동안 문제들을 야기시킬 수 있을 정도의 화소들에 걸친 방출 광의 밝기에 불균일성이 방지될 수 있다.

또한, 화소들에 걸친 방출 광의 밝기의 분산이 도 10b의 화소 회로의 경우에 방지될 수 있다. 그러나, 발광 요소들에 의한 발광 동안에 화소 기입 데이터 전류(I_W)와 발광 요소 구동기 전류(I_E)의 비들은 도 10b의 화소 회로에 대한 이상적인 값들을 갖추어야 한다. 이것은 실제로는 극히 심각한 제약이다. 본 발명에 의해서, 구동기 요소를 구성하는 트랜지스터들은 복수로 분할되고, 따라서 화소들에 기입되는 화소 기입 데이터 전류(I_W)를 발광 요소 구동기 전류(I_E)보다 크게 하는 것이 가능하다.

본 발명은 전술한 바와 같은 잇점들을 가지며, 따라서 실제적인 능동 매트릭스 디스플레이 디바이스들 및 발광 디바이스들을 제조하는 중요한 기술이다.

발명의 효과

화소에 기입되는 비디오 신호 데이터 전류와, OLED 요소 발광 동안 OLED 요 소 구동기 전류 간 비가 도 10b의 화소 회로와는 달리 '1'의 값으로 고정되지 않는 AM-OLED 디스플레이 디바이스가 제공된다. 또한 전류미러를 사용하는 화소회로들에 비해 OLED 요소 구동기 전류의 분산이 충분히 제지되는 AM-OLED 디스플레이 디바이스가 제공된다.

(57) 청구의 범위

청구항 1.

화소를 포함하는 디스플레이 디바이스에서, 상기 화소는,

복수의 트랜지스터들; 및

상기 복수의 트랜지스터들 간 접속상태를 직렬 접속 상태 및 병렬 접속 상태 중 하나로 전환하는 수단을 포함하는, 디스플레이 디바이스.

청구항 2.

적어도 하나의 화소를 포함하는 디스플레이 디바이스에서, 상기 적어도 하나의 화소는,

복수의 트랜지스터들을 포함하는 구동기 요소를 포함하고,

상기 복수의 트랜지스터들은 상기 화소가 디스플레이를 수행할 때 전류가 흐르도록 직렬 접속 상태로 되고,

상기 복수의 트랜지스터들은 데이터가 상기 화소에 기입될 때 전류가 흐르도록 병렬 접속 상태로 되는, 디스플레이 디바이스.

청구항 3.
적어도 하나의 화소를 포함하는 디스플레이 디바이스에서, 상기 적어도 하나의 화소는,

각각이 게이트, 드레인, 및 소스를 구비한 것인, 제 1 트랜지스터, 제 2 트랜지스터, 마지막 트랜지스터를 포함하는 복수의 트랜지스터들을 포함하는 구동기 요소를 포함하고,

상기 제 1 트랜지스터의 상기 드레인 및 상기 제 2 트랜지스터의 상기 소스는 접속되고,

상기 화소가 디스플레이를 수행할 때 전류가 상기 복수의 트랜지스터들 내 상기 제 1 트랜지스터의 상기 소스에서 상기 마지막 트랜지스터의 상기 드레인으로 직렬로 흐르며,

데이터가 상기 화소에 기입될 때 전류가 상기 복수의 트랜지스터들에서 병렬로 흐르는, 디스플레이 디바이스.

청구항 4.
적어도 하나의 화소를 포함하는 디스플레이 디바이스에서, 상기 적어도 하나의 화소는,

발광 요소;

각각이 게이트, 드레인, 및 소스를 구비한 것인, 제 1 트랜지스터, 제 2 트랜지스터, 마지막 트랜지스터를 포함하는 복수의 트랜지스터들을 포함하는 구동기 요소; 및

상기 복수의 트랜지스터들의 각각의 게이트가 상기 공통의 노드에 접속되는 공통 노드를 포함하고,

상기 복수의 트랜지스터들에서 상기 제 1 트랜지스터의 상기 드레인 및 상기 제 2 트랜지스터의 상기 소스는 접속되고,

상기 구동기 요소의 상기 복수의 트랜지스터들의 상기 마지막 트랜지스터의 상기 드레인은 상기 발광 요소에 접속되고,

상기 화소의 상기 발광 요소가 광을 방출할 때 전류가 상기 복수의 트랜지스터들 내 상기 제 1 트랜지스터의 상기 소스에서 상기 마지막 트랜지스터의 상기 드레인으로 직렬로 흐르며,

데이터가 상기 화소에 기입될 때 전류가 상기 제 1 트랜지스터에서 상기 소스에서 상기 드레인으로 흐르고 전류가 상기 제 2 트랜지스터에서 상기 드레인에서 상기 소스로 흐르도록, 전류가 병렬로 흐르는, 디스플레이 디바이스.

청구항 5.
제 4 항에 있어서, 상기 구동 요소 내 상기 복수의 트랜지스터들의 각각의 게이트, 상기 복수의 트랜지스터들의 기수의 트랜지스터의 각각의 드레인, 및 상기 복수의 트랜지스터들의 우수의 트랜지스터들의 각각의 소스는 데이터가 상기 화소에 기입될 때 모두 접속되며, 소정의 비디오 신호 데이터 전류가 상기 구동기 요소 내 상기 복수의 트랜지스터들에서 흐르며, 전류 저장이 수행되는, 디스플레이 디바이스.

청구항 6.
발광 디바이스에 있어서,

신호라인;

주사라인;

전원라인;

발광 요소;

게이트 전극을 각각 구비한 n 개의(n은 2 이상의 자연수) 트랜지스터들을 포 함하는 구동 수단으로서, 상기 n 개의 트랜지스터들은 직렬로 접속되고 상기 n 개의 트랜지스터들 각각의 상기 게이트 전극들은 공통 접속된, 상기 구동 수단;

상기 구동수단과 상기 신호라인 간에 배치된 제 1 스위칭 수단;

상기 구동수단과 상기 전원라인 간에 배치돈 제 2 스위칭 수단;

상기 구동수단과 상기 발광 요소 간에 배치된 제 3 스위칭 수단을 포함하고,

상기 n 개의 트랜지스터들은 병렬로 접속되고 이를 통해 전류는 신호가 상기 화소에 입력될 때 흐르며,

상기 n 개의 트랜지스터들은 직렬로 접속되고 이를 통해 전류는 전류가 상기 발광 요소에 흐를 때 흐르는, 발광 디바이스.

청구항 7.
발광 디바이스에 있어서,

신호라인;

주사라인;

전원라인;

발광 요소;

각각이 게이트 전극을 구비한 n개의(n은 2 이상의 자연수) 트랜지스터들을 포함하는 구동 수단으로서, 상기 n개의 트랜지스터들은 직렬로 접속되고 상기 n개의 트랜지스터들 각각의 상기 게이트 전극들은 공통 접속된 상기 구동 수단;

상기 n 개의 트랜지스터들의 게이트 전위를 유지하는 캐패시터;

상기 구동 수단과 상기 신호라인 간에 배치된 제 1 스위칭 수단;

상기 구동 수단과 상기 전원라인 간에 배치된 제 2 스위칭 수단;

상기 구동 수단과 상기 발광 요소 간에 배치된 제 3 스위칭 수단을 포함하고,

상기 n 개의 트랜지스터들은 병렬로 접속되고 이를 통해 전류(I_W)는 신호가 상기 화소에 입력될 때 흐르며,

상기 n 개의 트랜지스터들은 직렬로 접속되고 이를 통해 전류(I_E)는 전류가 상기 발광 요소에 흐를 때 흐르며,

상기 전류(I_W) 및 전류(I_E)는 $I_W = n^2 \times I_E$ 를 만족하는, 발광 디바이스.

청구항 8.
발광 디바이스에 있어서,

신호라인;

제 1 주사라인 및 제 2 주사라인;

전원라인;

발광 요소;

각각이 게이트 전극을 구비한 n 개의(n 은 2 이상의 자연수) 트랜지스터들을 포함하는 구동 수단으로서, 상기 n 개의 트랜지스터들은 직렬로 접속되고 상기 n 개의 트랜지스터들 각각의 상기 게이트 전극들은 공통 접속된, 상기 구동 수단;

상기 구동 수단과 상기 신호라인 간에 배치된 제 1 스위칭 수단;

상기 구동 수단과 상기 전원라인 간에 배치된 제 2 스위칭 수단;

상기 구동 수단과 상기 발광 요소 간에 배치된 제 3 스위칭 수단; 및

상기 구동 수단과 상기 전원라인 간에 배치된 제 4 스위칭 수단을 포함하고,

상기 n 개의 트랜지스터들은 병렬로 접속되고 이를 통해 전류는 신호가 상기 화소에 입력될 때 흐르며,

상기 n 개의 트랜지스터들은 직렬로 접속되고 이를 통해 전류는 전류가 상기 발광 요소에 흐를 때 흐르는, 발광 디바이스.

청구항 9.
발광 디바이스에 있어서,

신호라인;

제 1 주사라인 및 제 2 주사라인;

전원라인;

발광 요소;

각각이 게이트 전극을 구비한 n 개의(n은 2 이상의 자연수) 트랜지스터들을 포함하는 구동 수단으로서, 상기 n 개의 트랜지스터들은 직렬로 접속되고 상기 n 개의 트랜지스터들 각각의 상기 게이트 전극들은 공통 접속된, 상기 구동 수단;

상기 n 개의 트랜지스터들의 게이트 전위를 유지하는 캐패시터;

상기 구동 수단과 상기 신호라인 간에 배치된 제 1 스위칭 수단;

상기 구동 수단과 상기 전원라인 간에 배치된 제 2 스위칭 수단;

상기 구동 수단과 상기 발광 요소 간에 배치된 제 3 스위칭 수단; 및

상기 구동 수단과 상기 전원라인 간에 배치된 제 4 스위칭 수단을 포함하고,

상기 n 개의 트랜지스터들은 병렬로 접속되고 이를 통해 전류(I_W)는 신호가 상기 화소에 입력될 때 흐르며,

상기 n 개의 트랜지스터들은 직렬로 접속되고 이를 통해 전류(I_E)는 전류가 상기 발광 요소에 흐를 때 흐르며,

상기 전류(I_W) 및 전류(I_E)는 $I_W = n^2 \times I_E$ 를 만족하는, 발광 디바이스.

청구항 10.
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 전류 값 시스템의 비디오 데이터가 상기 신호라인을 통해 상기 화소에 입력되는, 발광 디바이스.

청구항 11.
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 데이터 전류가 상기 신호라인을 통해 상기 화소에 입력되는, 발광 디바이스.

청구항 12.
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 발광 요소에 흐르는 전류량은 상기 캐패시터에 저장된 전하에 의해 결정되는, 발광 디바이스.

청구항 13.

제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 제 1 스위칭 수단 및 상기 제2 스위칭 수단이 턴 온 되었을 때만 데이터 전류가 상기 화소에 입력되는, 발광 디바이스.

청구항 14.
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 제 3 스위칭 수단이 턴 온 되었을 때만 전류가 상기 발광 요소에 공급되는, 발광 디바이스.

청구항 15.
제 6 항 또는 제 7 항에 있어서, 상기 주사라인으로부터의 신호는 상기 제 1 내지 제 3 스위칭 수단이 턴 온 혹은 오프 하였는지 여부를 판정하는, 발광 디바이스.

청구항 16.
제 6 항 또는 제 7 항에 있어서, 상기 제 1 내지 제 3 스위칭 수단 각각은 적어도 하나의 트랜지스터를 구비한, 발광 디바이스.

청구항 17.
제 8 항 또는 제 9 항에 있어서, 상기 제 1 주사라인 및 상기 제 2 주사라인 중 하나로부터의 신호는 상기 제 1 스위칭 수단, 상기 제 2 스위칭 수단, 상기 제 3 스위칭 수단, 및 상기 제 4 스위칭 수단은 턴 온 혹은 오프 하였는지 여부를 판정하는, 발광 디바이스.

청구항 18.
제 8 항 또는 제 9 항에 있어서, 상기 제 1 스위칭 수단, 상기 제 2 스위칭 수단, 상기 제 3 스위칭 수단, 및 상기 제 4 스위칭 수단은 각각이 적어도 하나의 트랜지스터를 구비한, 발광 디바이스.

청구항 19.
복수의 화소들을 포함하는 디스플레이 디바이스에서, 상기 복수의 화소들 각 각은,

발광 요소 및 복수의 트랜지스터들을 포함하는 구동기 요소; 및

상기 구동기 요소 내 상기 복수의 트랜지스터들을 병렬 접속 상태 및 직렬 접속 상태로 되게 하는 수단을 포함하는, 디스플레이 디바이스.

청구항 20.
복수의 화소들을 포함하는 디스플레이 디바이스에서, 상기 복수의 화소들 각각은,

발광 요소;

각각이 게이트, 소스 및 드레인을 구비한 복수의 트랜지스터들을 포함하는 구동기 요소;

캐패시터 요소;

상기 구동기 요소 내 상기 복수의 트랜지스터들을 병렬 접속 상태 및 직렬 접속 상태로 되게 하는 수단을 포함하고,

상기 병렬 접속 상태에서 그리고 상기 직렬 접속 상태에서, 상기 캐패시터 요소는 직렬 접속 상태일 때 소스 측에 가장 가까이 위치한, 상기 복수의 트랜지스터들 중에서, 상기 트랜지스터의 상기 게이트와 상기 소스 간에 배치되는, 디스플레이 디바이스.

청구항 21.
복수의 화소들을 포함하는 디스플레이 디바이스에서, 상기 복수의 화소들 각각은,

발광 요소; 및

구동기 요소를 포함하고,

데이터가 상기 화소들 중 하나에 기입될 때 상기 구동기 요소에 기입 데이터 전류가 흐르고,

상기 화소들 중 한 화소의 상기 발광 요소가 광을 방출할 때 상기 구동기 요소에 발광 요소 구동기 전류가 흐르며;

상기 기입 데이터 전류는 상기 발광 요소 구동기 전류의 9 배 이상 및 상기 발광 요소 구동기 전류의 25 배 이하의 크기를 갖는, 디스플레이 디바이스.

청구항 22.
복수의 화소들을 포함하는 디스플레이 디바이스에서, 상기 복수의 화소들 각각은,

발광 요소; 및

복수의 트랜지스터들을 포함하는 구동기 요소를 포함하고,

상기 구동기 요소의 상기 복수의 트랜지스터들은 데이터가 상기 화소들 중 한 화소에 기입될 때 기입 데이터 전류가 흐르도록 직렬 접속 상태로 되고,

상기 구동기 요소의 상기 복수의 트랜지스터들은 상기 화소들 중 한 화소의 상기 발광 요소가 광을 방출할 때 발광 요소 구동기 전류가 흐르도록 병렬 접속 상태로 되고,

상기 기입 데이터 전류는 상기 발광 요소 구동기 전류의 9 배 이상 및 상기 발광 요소 구동기 전류의 25배 이하의 크기를 갖는, 디스플레이 디바이스.

청구항 23.
복수의 화소들을 포함하는 디스플레이 디바이스에서, 상기 복수의 화소들 각각은,

발광 요소;

각각이 게이트, 소스 및 드레인을 구비한 복수의 트랜지스터들을 포함하는 구동기 요소;

캐패시터 요소를 구비하고;

상기 구동기 요소 내 상기 복수의 트랜지스터들은 데이터가 상기 화소에 기입될 때 병렬 접속 상태로 되어 기입 데이터 전류가 흐르고,

상기 구동기 요소 내 상기 복수의 트랜지스터들은 상기 화소의 상기 발광 요소가 광을 방출할 때 직렬 접속 상태로 되어 발광 요소 전류가 흐르고,

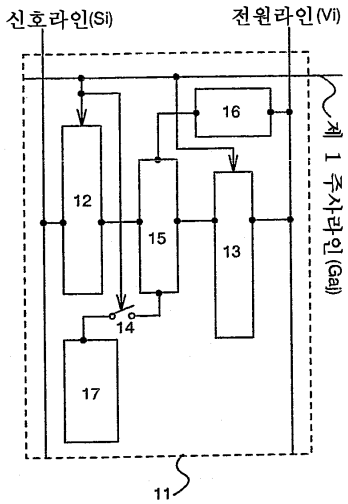
상기 병렬 접속 상태에서 그리고 상기 직렬 접속 상태에서, 상기 캐패시터 요소는 직렬 접속 상태일 때 소스 측에 가장 가까이 위치한, 상기 복수의 트랜지스터들 중에서의 상기 트랜지스터의 상기 게이트와 상기 소스 간에 배치되는, 디스플레이 디바이스.

청구항 24.
제 1 항, 제 2 항, 제 3 항, 제 4 항, 제 19 항, 제 20 항, 제 21 항, 제 22 항, 및 제 23 항 중 어느 한 항에 있어서, 상기 디스플레이 디바이스는 모니터, 디지털 카메라, 개인용 컴퓨터, 이동형 컴퓨터, 이미지 재생 디바이스, 고글형 디스플레이, 비디오 카메라, 및 이동전화로 구성된 그룹 중에서 선택된 적어도 하나에 탑재되는, 디스플레이 디바이스.

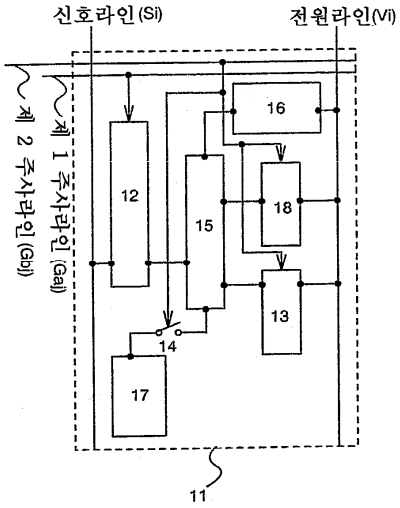
청구항 25.
제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 발광 디바이스는 모니터, 디지털 카메라, 개인용 컴퓨터, 이동형 컴퓨터, 이미지 재생 디바이스, 고글형 디스플레이, 비디오 카메라, 및 이동전화로 구성된 그룹 중에서 선택된 적어도 하나에 탑재되는, 발광 디바이스.

도면

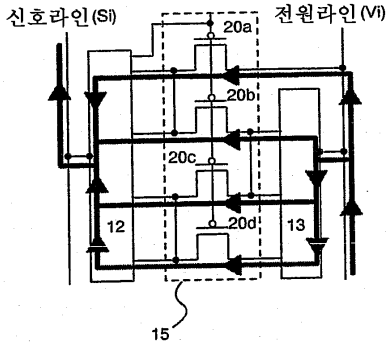
도면1a



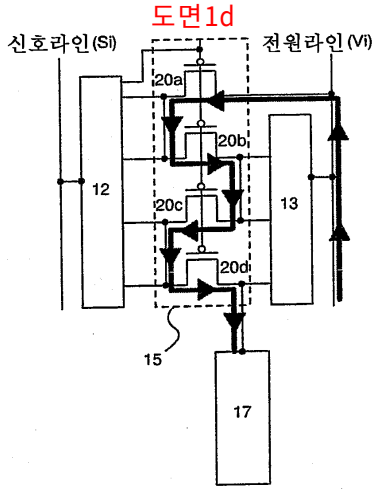
도면1b



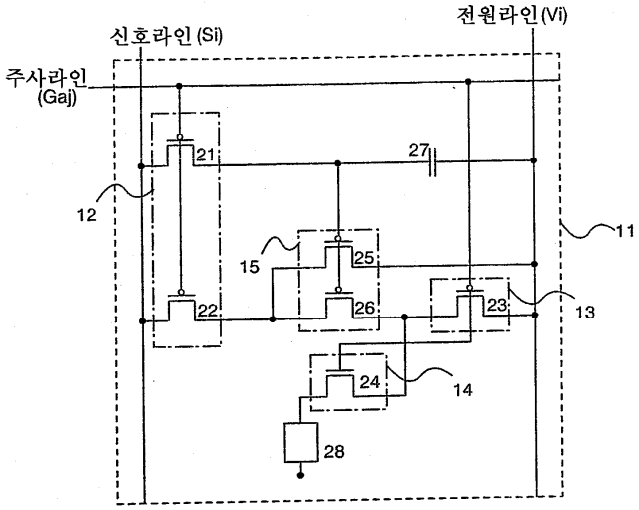
도면1c



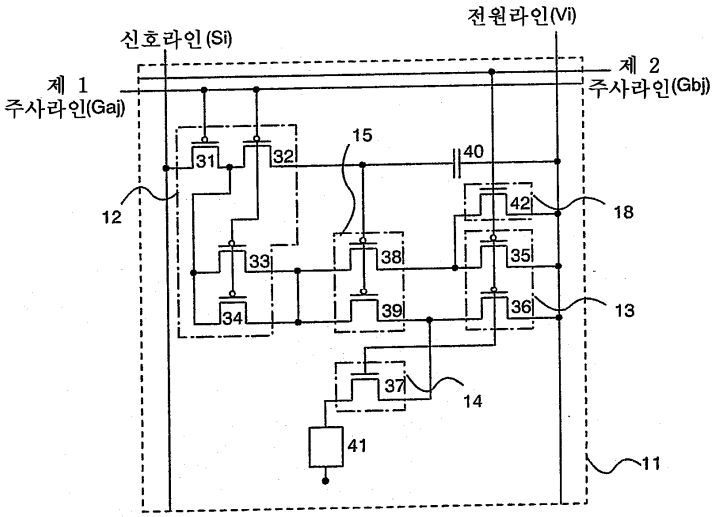
도면1d



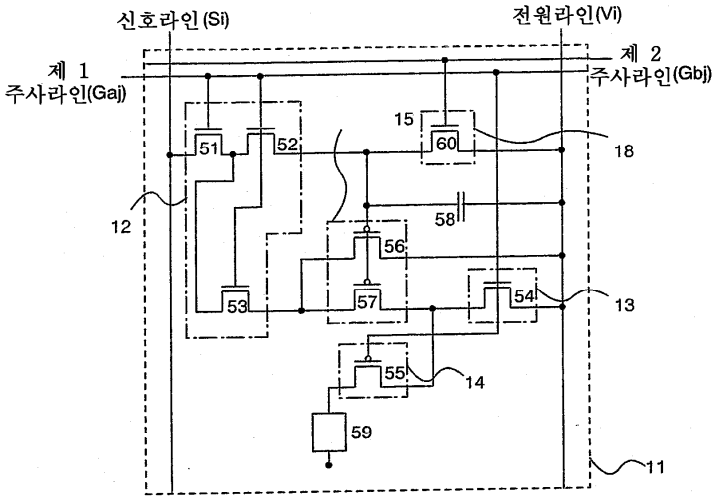
도면2a



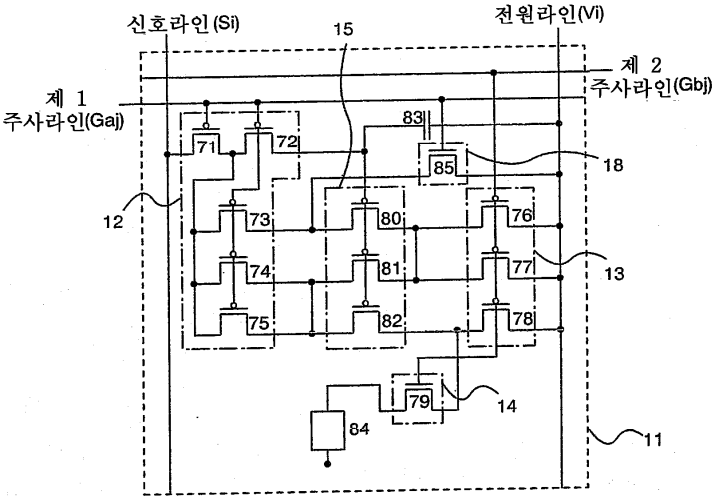
도면2b



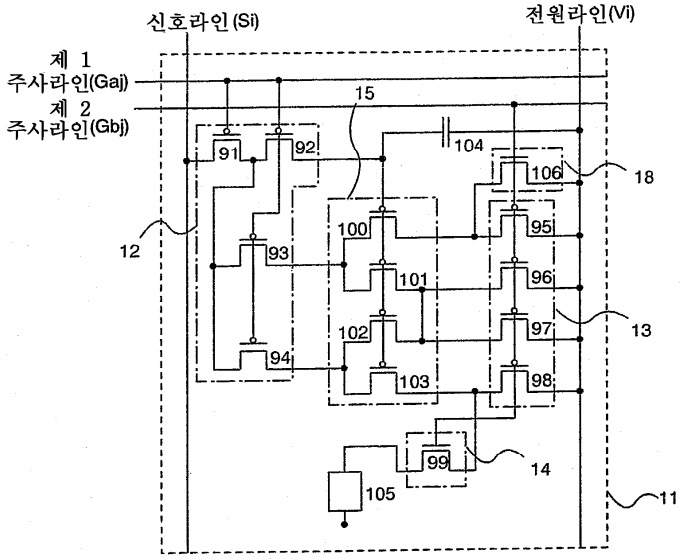
도면3a



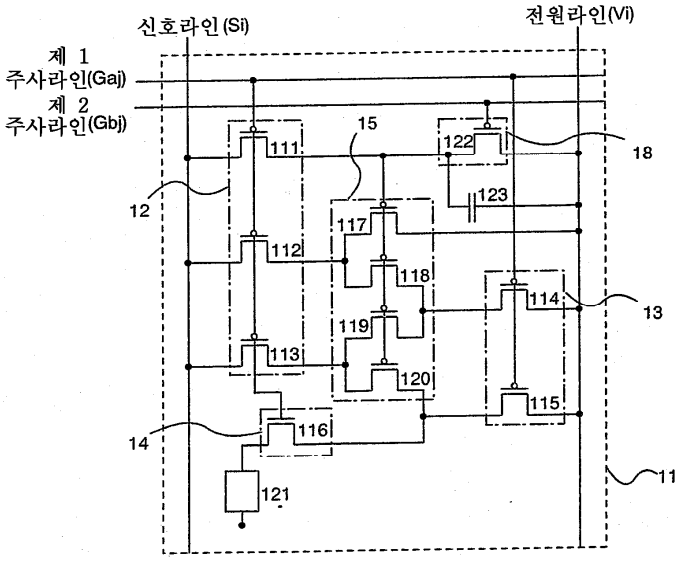
도면3b



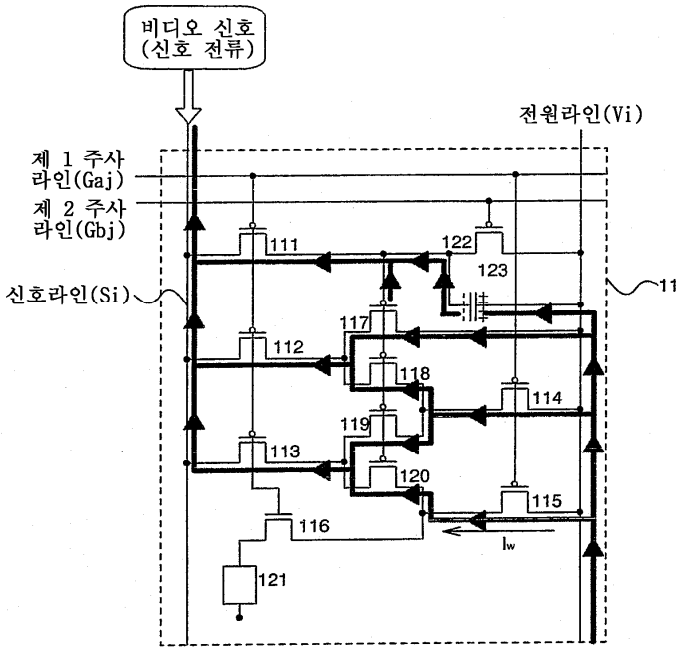
도면4a



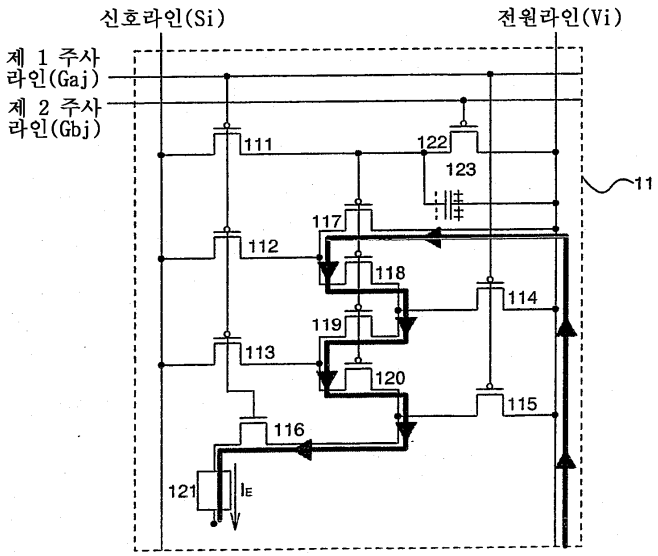
도면4b



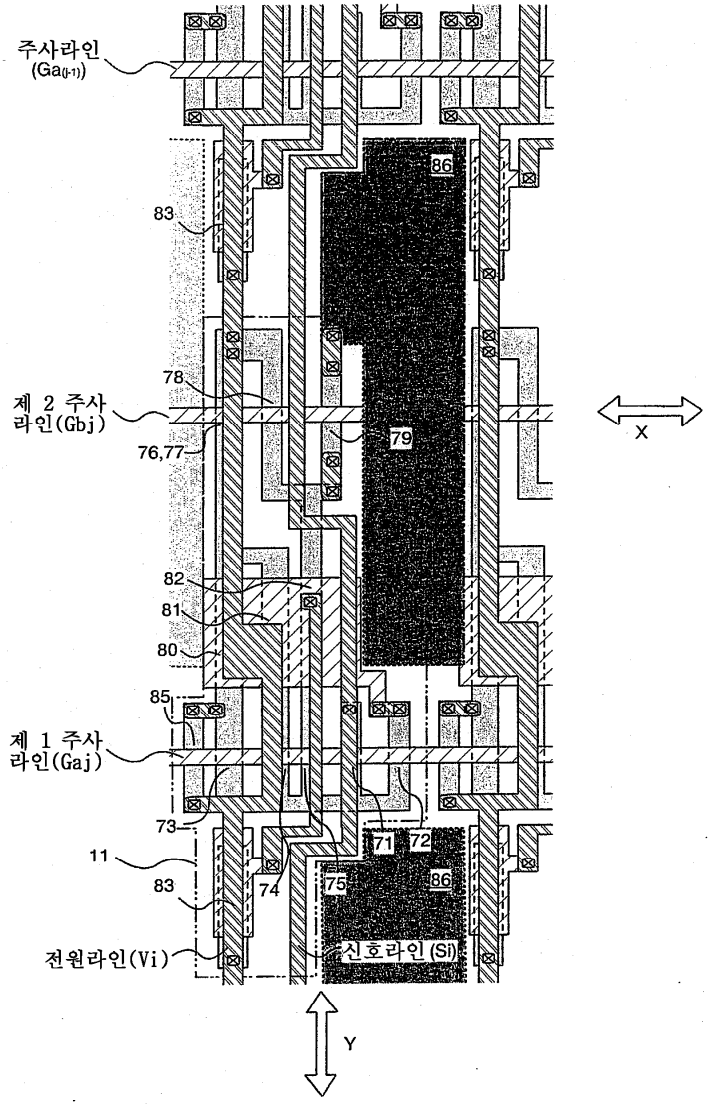
도면5a



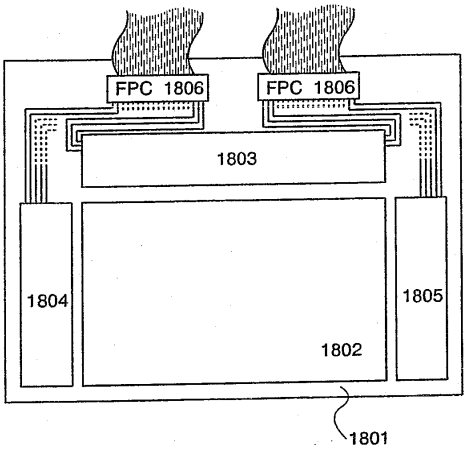
도면5b



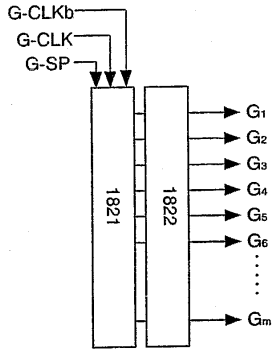
도면6


주사라인
(Ga(j-1))
86
83
78
제 2 주사
라인(Gbj)
76,77
79
X
82
81
80
85
제 1 주사
라인(Gaj)
73
71
72
11
83
74
75
86
전원라인(Vi)
신호라인 (Si)
Y

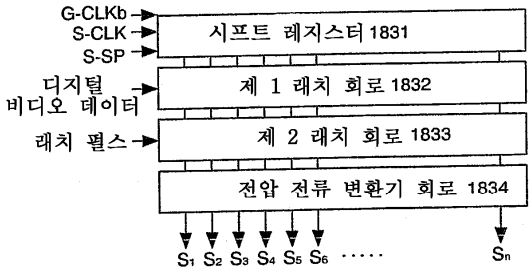
도면7a


FPC 1806
FPC 1806
1803
1804
1805
1802
1801

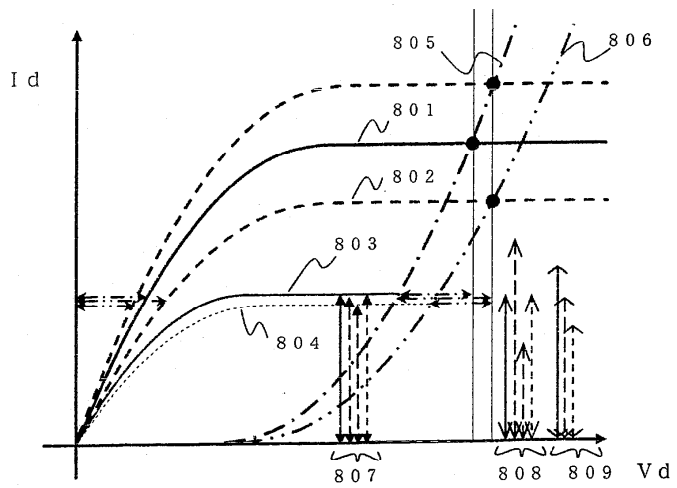
도면7b



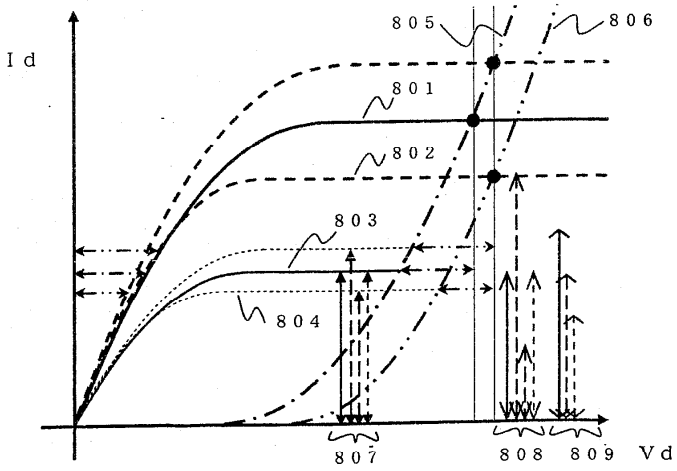
도면7c



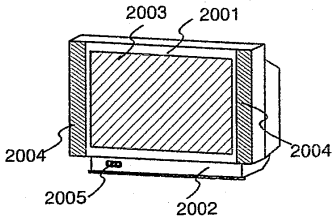
도면8a



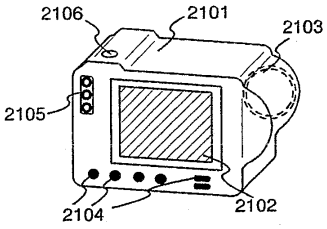
도면8b



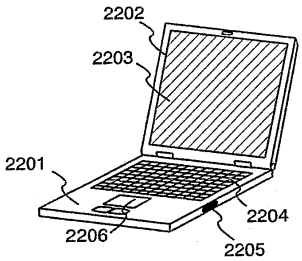
도면9a



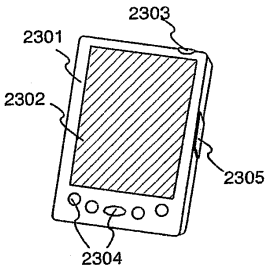
도면9b



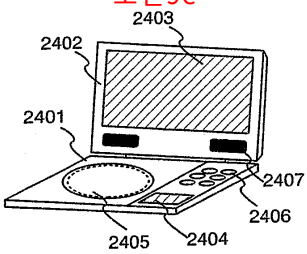
도면9c



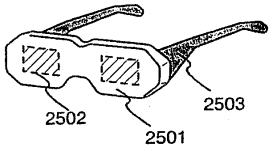
도면9d



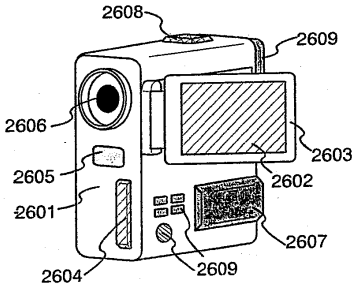
도면9e



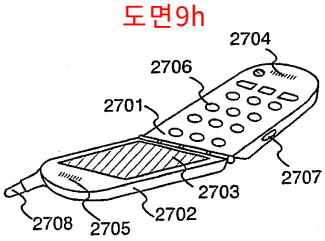
도면9f



도면9g

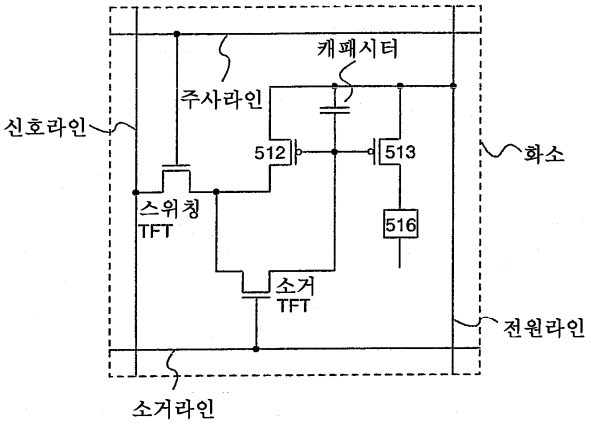


도면9h



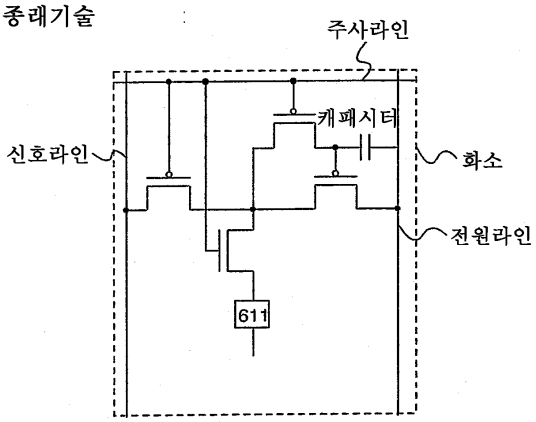
도면10a

종래기술

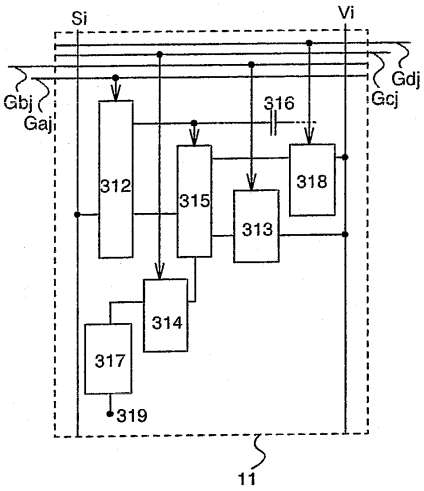


도면10b

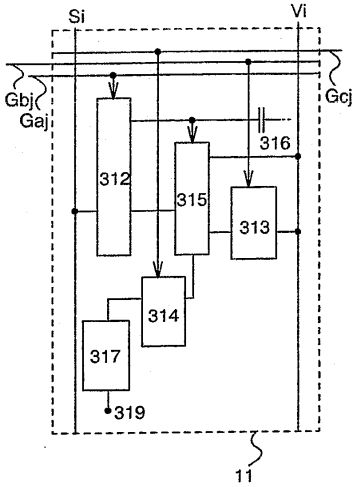
종래기술



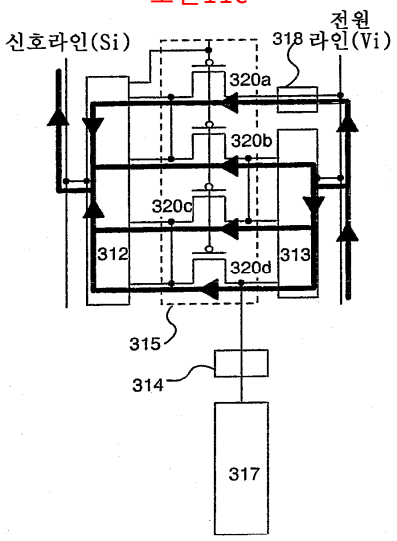
도면11a



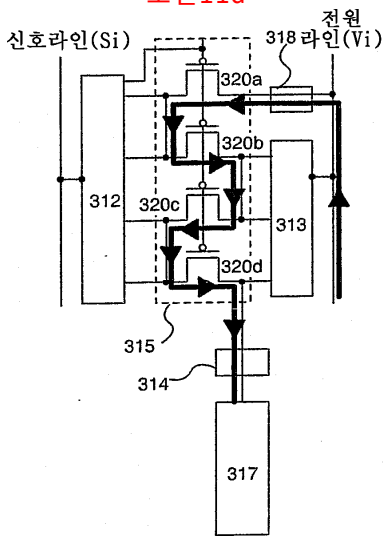
도면11b



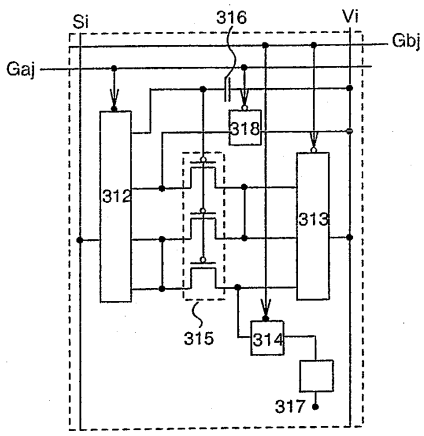
도면11c



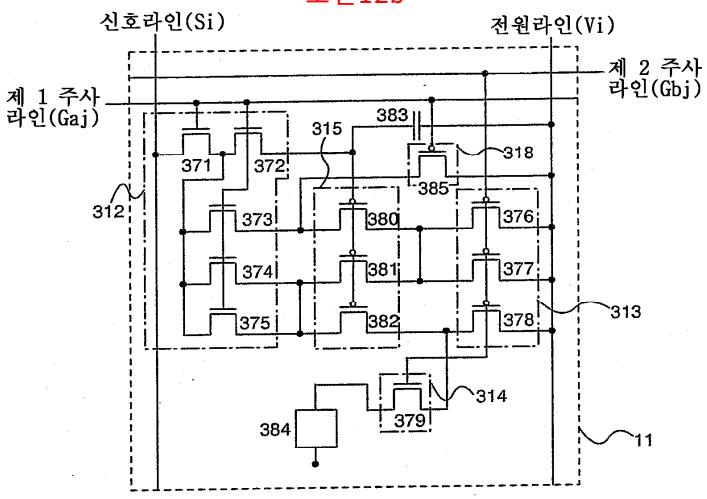
도면11d



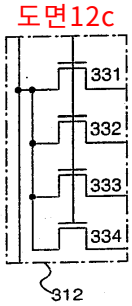
도면12a



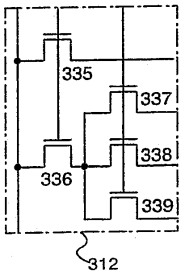
도면12b



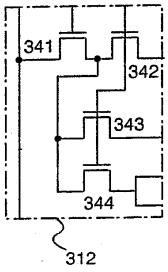
도면12c



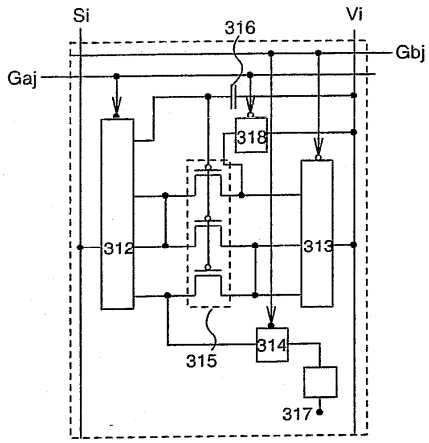
도면12d



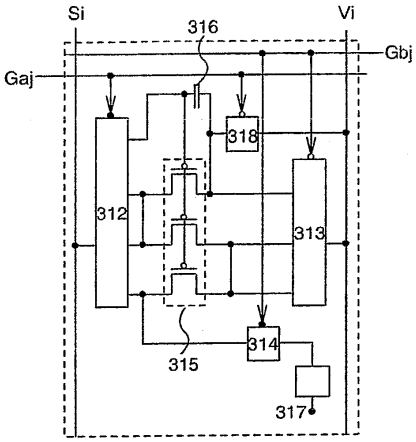
도면12e



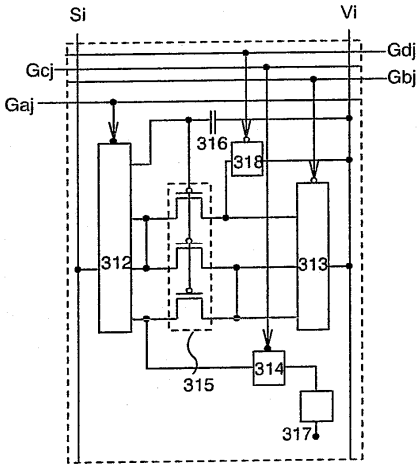
도면13a



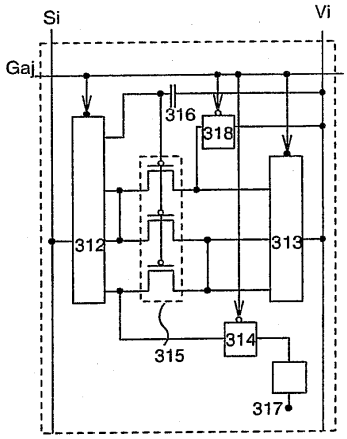
도면13b



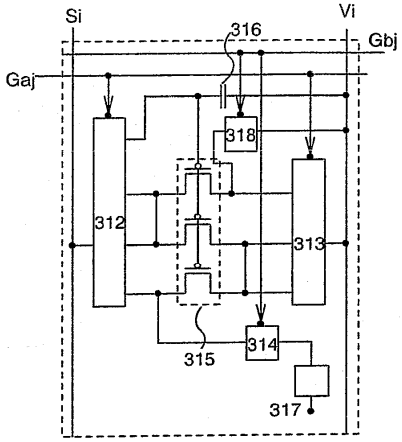
도면13c



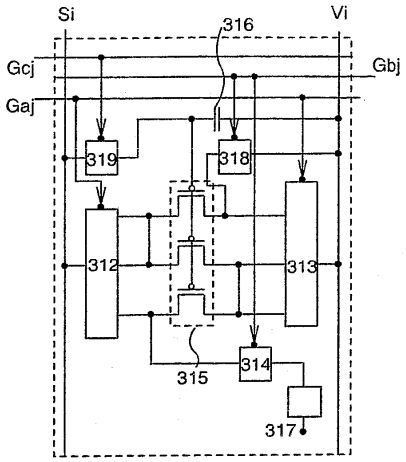
도면13d



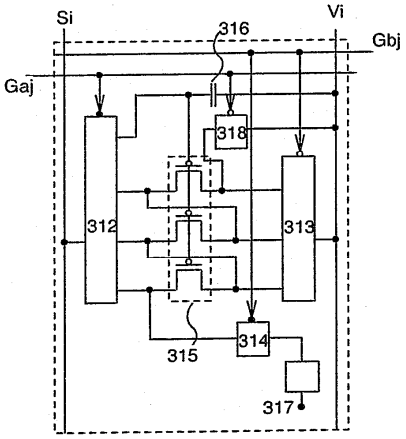
도면14a



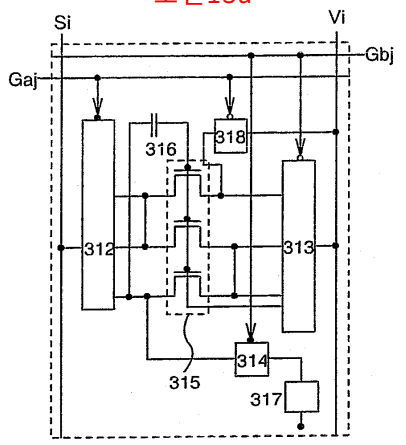
도면14b



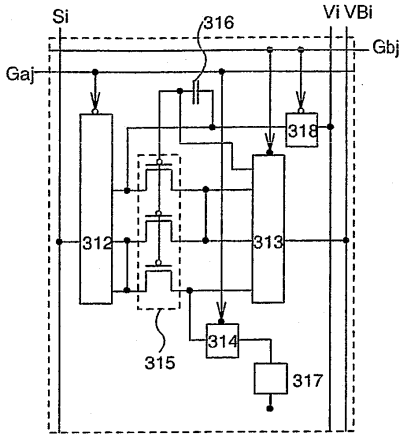
도면14c



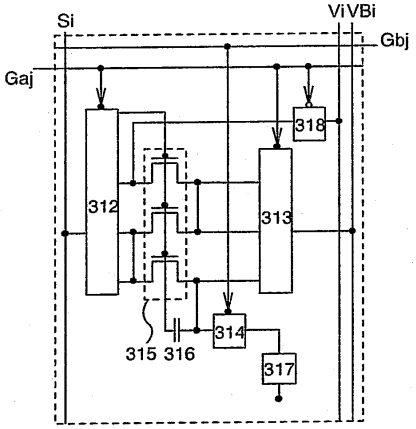
도면15a



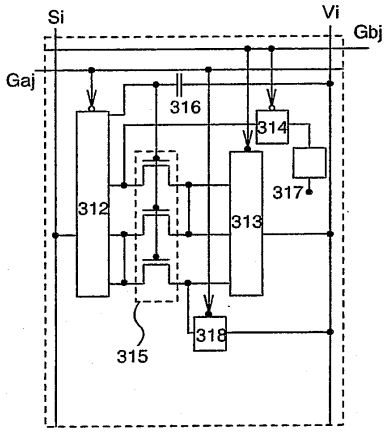
도면15b



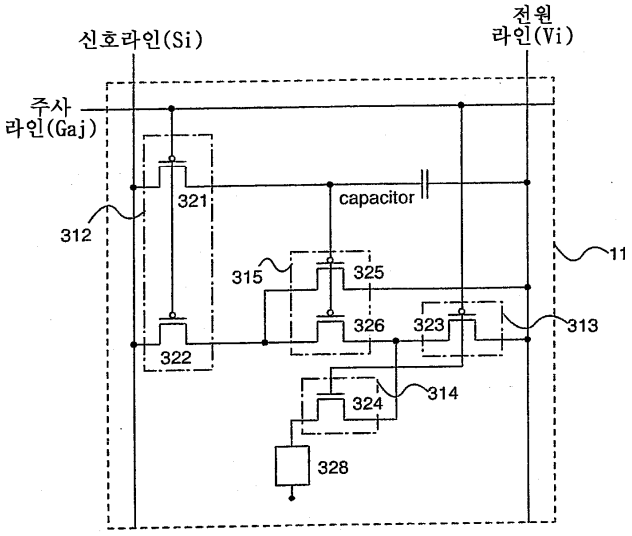
도면15c



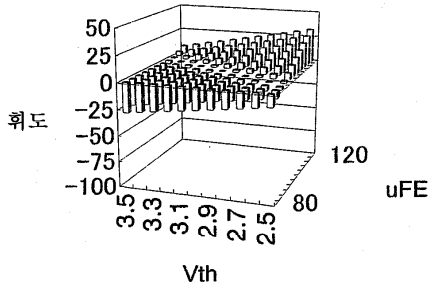
도면15d



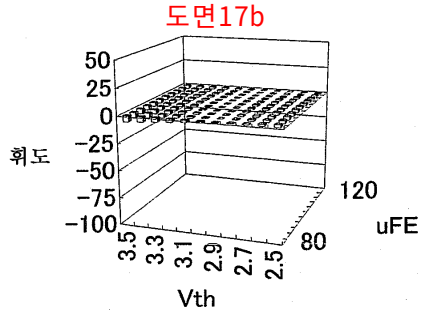
도면16



도면17a



도면17b



专利名称(译)	显示设备，发光设备和电子设备		
公开(公告)号	KR1020030071631A	公开(公告)日	2003-09-06
申请号	KR1020030012237	申请日	2003-02-27
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	INUKAI KAZUTAKA		
发明人	INUKAI,KAZUTAKA		
IPC分类号	G09G3/32		
CPC分类号	G09G2310/061 G09G2300/0842 G09G2300/0408 G09G2320/0252 G09G2300/0847 G09G3/3241 G09G2300/0417 G09G3/3266 G09G2300/0426 G09G3/3283 G09G2300/0861 G09G3/325 G09G2300/0809 G09G2320/0233		
代理人(译)	孙某TAE YOUNG 李昌勋		
优先权	2002256232 2002-08-30 JP 2002056555 2002-03-01 JP		
其他公开文献	KR100952318B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种AM-LED显示装置，其目的在于充分抑制OLED元件移动性流变酶的分散。本发明涉及用于在像素中记录数据电流的多个晶体管的并联连接条件。确实如此。当发光器件发光时，多个晶体管处于串联连接状态。总之，在包括驱动器装置内的相同像素的多个晶体管之间存在色散。因此，由于可以抑制分散的影响，因此可以防止跨越在效用上引起问题的程度的像素上的发光的亮度的不均匀性。显示装置，像素，写入数据电流，发光元件驱动电流，。