



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월11일
(11) 등록번호 10-1611618
(24) 등록일자 2016년04월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0122219
(22) 출원일자 2009년12월10일
심사청구일자 2014년10월15일
(65) 공개번호 10-2010-0067623
(43) 공개일자 2010년06월21일
(30) 우선권주장
JP-P-2008-315466 2008년12월11일 일본(JP)
(56) 선행기술조사문헌
JP2003271095 A*
KR1020080060169 A
US20080252626 A1
KR1020080084603 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 제이올레드
일본국 도쿄도 치요다쿠 칸다니시키쵸 3쵸메 23번
치
(72) 발명자
이이다 유키히토
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내
아사노 미츠루
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내
타네다 타카유키
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내
(74) 대리인
최달용

전체 청구항 수 : 총 5 항

심사관 : 조기덕

(54) 발명의 명칭 표시 장치, 표시 장치의 구동 방법 및 전자 기기

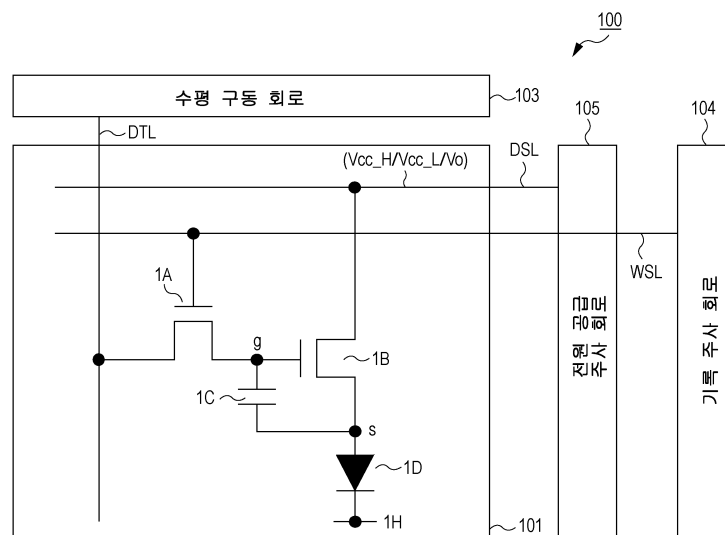
(57) 요약

과제

구동용 트랜지스터의 게이트와 유기 EL 소자의 애노드가 화소 내에서 전기적으로 쇼트한 경우라도, 휘도 변동에
어리어가 선형상의 결함으로서 시인되지 않도록 할 것.

(뒷면에 계속)

대표도 - 도10



해결 수단

본 발명은, 유기 EL 소자(1D), 기록 트랜지스터(1A), 구동 트랜지스터(1B), 보존 용량(1C)을 구비하는 화소가 행렬형상으로 배치되는 구성에 있어서, 전단의 화소행의 구동 기간 내에서 주사선에 주사 신호가 제공되는 동안, 신호선(DTL)에 영상 신호 기준 전위를 주고, 자체화소에서의 구동 트랜지스터(1B)의 임계치 보정을 행함에 있어서, 유기 EL 소자(1D)의 소등 시작부터 전원 공급선(DSL)에 고전위(V_{cc_H})가 제공될 때까지의 기간 내에서, 전원 공급선(DSL)에 제공되는 전위를 영상 신호 기준 전위(V_o)로 설정하는 전위 설정 기간을 마련한 표시 장치이다.

명세서

청구범위

청구항 1

유기 EL(Electro Luminescence) 소자의 애노드 전극과 구동 트랜지스터의 소스 전극이 접속되고, 상기 구동 트랜지스터의 게이트 전극과 기록 트랜지스터의 소스 전극 또는 드레인 전극이 접속되고, 상기 구동 트랜지스터의 게이트-소스 전극 사이에 보존 용량이 접속되는 회로 구성을 포함하는 화소가 행렬형상으로 배치된 화소 어레이부와,

상기 화소 어레이부의 화소행마다 배선되고, 상기 기록 트랜지스터의 게이트 전극에 대해 주사 신호를 제공하는 주사선과,

상기 화소 어레이부의 화소행마다 배선되고, 상기 구동 트랜지스터의 드레인 전극에 대해 제 1 전위, 해당 제 1 전위보다도 낮은 제 2 전위 또는 영상 신호 기준 전위를 선택적으로 제공하는 전원 공급선과,

상기 화소 어레이부의 화소열마다 배치되고, 상기 기록 트랜지스터의 드레인 전극 또는 소스 전극에 대해 영상 신호와 상기 영상 신호 기준 전위를 선택적으로 제공하는 신호선을 구비하고,

전단의 화소행의 구동 기간 내에서 상기 주사선에 주사 신호가 제공되는 동안, 상기 신호선에 상기 영상 신호 기준 전위를 제공하고, 자체화소에서의 상기 구동 트랜지스터의 임계치 보정을 행하는 임계치 보정 기간과,

상기 화소의 유기 EL 소자의 소등 시작부터 상기 임계치 보정 기간의 시작까지의 동안, 상기 구동 트랜지스터의 소스 전극의 전위를 상기 제 2 전위로 설정하는 임계치 보정 준비 기간을 가지며,

상기 소등 시작부터 상기 전원 공급선에 상기 제 1 전위가 제공될 때까지의 기간 내에서 상기 임계치 보정 준비 기간 내의 도중까지, 상기 전원 공급선에 제공되는 전위를 상기 영상 신호 기준 전위로 설정하는 전위 설정 기간이 마련되어 있는 것을 특징으로 하는 표시 장치.

청구항 2

제 1항에 있어서,

상기 임계치 보정 기간의 시작의 직전에 상기 전원 공급선에 상기 제 1 전위가 제공되는 것을 특징으로 하는 표시 장치.

청구항 3

전기광학 소자와, 영상 신호를 기록하는 기록 트랜지스터와, 상기 기록 트랜지스터에 의해 기록된 상기 영상 신호를 보존하는 보존 용량과, 상기 보존 용량에 보존된 상기 영상 신호에 의거하여 상기 전기광학 소자를 구동하는 구동 트랜지스터를 포함하는 화소가 행렬형상으로 배치된 화소 어레이부와;

상기 화소 어레이부의 화소행마다 배선되고, 상기 기록 트랜지스터에 대해 주사 신호를 제공하는 주사선과;

상기 화소 어레이부의 화소행마다 배선되고, 상기 구동 트랜지스터의 드레인 전극에 대해 제 1 전위, 해당 제 1 전위보다도 낮은 제 2 전위 또는 영상 신호 기준 전위를 선택적으로 제공하는 전원 공급선; 및

상기 화소 어레이부의 화소열마다 배치되고, 상기 기록 트랜지스터에 대해 영상 신호와 상기 영상 신호 기준 전위를 선택적으로 제공하는 신호선을 구비하고,

전단의 화소행의 구동 기간 내에서 상기 주사선에 주사 신호가 제공되는 동안, 상기 신호선에 상기 영상 신호 기준 전위를 제공하고, 자체화소에서의 상기 구동 트랜지스터의 임계치 보정을 행하는 임계치 보정 기간과,

상기 화소의 유기 EL 소자의 소등 시작부터 상기 임계치 보정 기간의 시작까지의 동안, 상기 구동 트랜지스터의 소스 전극의 전위를 상기 제 2 전위로 설정하는 임계치 보정 준비 기간을 가지며,

상기 소등 시작부터 상기 전원 공급선에 상기 제 1 전위가 제공될 때까지의 기간 내에서 상기 임계치 보정 준비 기간 내의 도중까지, 상기 전원 공급선에 제공되는 전위를 상기 영상 신호 기준 전위로 설정하는 전위 설정 기간이 마련되어 있는 것을 특징으로 하는 표시 장치.

청구항 4

유기 EL(Electro Luminescence) 소자의 애노드 전극과 구동 트랜지스터의 소스 전극이 접속되고, 상기 구동 트랜지스터의 게이트 전극과 기록 트랜지스터의 소스 전극 또는 드레인 전극이 접속되고, 상기 구동 트랜지스터의 게이트-소스 전극 사이에 보존 용량이 접속되는 회로 구성을 포함하는 화소가 행렬형상으로 배치된 화소 어레이부와;

상기 화소 어레이부의 화소행마다 배선되고, 상기 기록 트랜지스터의 게이트 전극에 대해 주사 신호를 제공하는 주사선과;

상기 화소 어레이부의 화소행마다 배선되고, 상기 구동 트랜지스터의 드레인 전극 또는 소스 전극에 대해 제 1 전위, 해당 제 1 전위보다도 낮은 제 2 전위 또는 영상 신호 기준 전위를 선택적으로 제공하는 전원 공급선과;

상기 화소 어레이부의 화소열마다 배치되고, 상기 기록 트랜지스터의 드레인 전극에 대해 영상 신호와 상기 영상 신호 기준 전위를 선택적으로 제공하는 신호선을 구비하는 표시 장치를 구동하는 표시 장치의 구동 방법에 있어서,

전단의 화소행의 구동 기간 내에서 상기 주사선에 주사 신호가 제공되는 동안, 상기 신호선에 상기 영상 신호 기준 전위를 제공하고, 자체화소에서의 상기 구동 트랜지스터의 임계치 보정을 행하는 임계치 보정 기간과,

상기 화소의 유기 EL 소자의 소등 시작부터 상기 임계치 보정 기간의 시작까지의 동안, 상기 구동 트랜지스터의 소스 전극의 전위를 상기 제 2 전위로 설정하는 임계치 보정 준비 기간과,

상기 소등 시작부터 상기 전원 공급선에 상기 제 1 전위가 제공될 때까지의 기간 내에서 상기 임계치 보정 준비 기간 내의 도중까지, 상기 전원 공급선에 제공되는 전위를 상기 영상 신호 기준 전위로 설정하는 전위 설정 기간이 마련되어 있는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 5

본체 하우징에 표시 장치를 구비하는 전자 기기에 있어서,

상기 표시 장치는:

유기 EL(Electro Luminescence) 소자의 애노드 전극과 구동 트랜지스터의 소스 전극이 접속되고, 상기 구동 트랜지스터의 게이트 전극과 기록 트랜지스터의 소스 전극 또는 드레인 전극이 접속되고, 상기 구동 트랜지스터의 게이트-소스 전극 사이에 보존 용량이 접속되는 회로 구성을 포함하는 화소가 행렬형상으로 배치된 화소 어레이부와;

상기 화소 어레이부의 화소행마다 배선되고, 상기 기록 트랜지스터의 게이트 전극에 대해 주사 신호를 제공하는 주사선과;

상기 화소 어레이부의 화소행마다 배선되고, 상기 구동 트랜지스터의 드레인 전극에 대해 제 1 전위, 해당 제 1 전위보다도 낮은 제 2 전위 또는 영상 신호 기준 전위를 선택적으로 제공하는 전원 공급선; 및

상기 화소 어레이부의 화소열마다 배치되고, 상기 기록 트랜지스터의 드레인 전극 또는 소스 전극에 대해 영상 신호와 상기 영상 신호 기준 전위를 선택적으로 제공하는 신호선을 구비하고,

전단의 화소행의 구동 기간 내에서 상기 주사선에 주사 신호가 제공되는 동안, 상기 신호선에 상기 영상 신호 기준 전위를 제공하고, 자체화소에서의 상기 구동 트랜지스터의 임계치 보정을 행하는 임계치 보정 기간과,

상기 화소의 유기 EL 소자의 소등 시작부터 상기 임계치 보정 기간의 시작까지의 동안, 상기 구동 트랜지스터의 소스 전극의 전위를 상기 제 2 전위로 설정하는 임계치 보정 준비 기간과,

상기 소등 시작부터 상기 전원 공급선에 상기 제 1 전위가 제공될 때까지의 기간 내에서 상기 임계치 보정 준비 기간 내의 도중까지, 상기 전원 공급선에 제공되는 전위를 상기 영상 신호 기준 전위로 설정하는 전위 설정 기간이 마련되어 있는 것을 특징으로 하는 전자 기기.

청구항 6

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 표시 장치, 표시 장치의 구동 방법 및 전자 기기에 관한 것이다. 상세하게는, 전기광학 소자를 포함하는 화소가 행렬형상(매트릭스형상)으로 배치되어 이루어지는 평면형(플랫 패널형)의 표시 장치, 표시 장치의 구동 방법 및 전자 기기에 관한 것이다.

배경 기술

[0002] 근래, 화상 표시를 행하는 표시 장치의 분야에서는, 발광 소자를 포함하는 화소(화소 회로)가 행렬형상으로 배치되어 이루어지는 평면형의 표시 장치가 급속하게 보급되고 있다. 평면형의 표시 장치로서는, 예를 들면 유기 박막에 전계를 인가하면 발광하는 현상을 이용한 유기 EL(Electro Luminescence) 소자를 이용한 유기 EL 표시 장치가 개발되고, 상품화가 진행되어 있다.

[0003] 유기 EL 소자는, 10V 이하의 인가 전압으로 구동할 수 있기 때문에 저소비 전력이고, 또한 자발광 소자이기 때문에, 액정 표시 장치에 필수인 광원(백라이트)이 불필요하다는 특징이 있다. 또한, 유기 EL 소자의 응답 속도가 수 μ sec 정도로 매우 고속이기 때문에 동화 표시시의 잔상이 발생하지 않는다.

[0004] 유기 EL 표시 장치에서는, 액정 표시 장치와 마찬가지로, 그 구동 방식으로서 단순(패시브) 매트릭스 방식과 액티브 매트릭스 방식을 채택할 수 있다. 근래에는, 화소 회로 내에 능동소자, 예를 들면 절연 게이트형 전계효과 트랜지스터(일반적으로는, TFT(Thin Film Transistor ; 박막 트랜지스터))를 마련한 액티브 매트릭스 방식의 표시 장치의 개발이 왕성하게 행하여지고 있다.

[0005] 그런데, 일반적으로, 유기 EL 소자의 I-V 특성(전류-전압 특성)은, 시간이 경과하면 열화(이른바, 경시 열화)하는 것이 알려져 있다. 또한, 구동 트랜지스터의 임계치 전압(V_{th})이나, 구동 트랜지스터의 채널을 구성하는 반도체 박막의 이동도(이하, 「구동 트랜지스터의 이동도」라고 기술한다)(μ)가 경시적으로 변화하거나, 제조 프로세스의 편차에 의해 화소마다 다르거나 한다.

[0006] 그래서, 이들의 영향을 받는 일 없이, 유기 EL 소자의 발광 휘도를 일정하게 유지하도록 하기 위해, 유기 EL 소자의 특성 변동에 대한 보상 기능, 나아가서는 구동 트랜지스터의 임계치 전압(V_{th})의 변동에 대한 보정(이하, 「임계치 보정」이라고 기술한다)이나, 구동 트랜지스터의 이동도(μ)의 변동에 대한 보정(이하, 「이동도 보정」이라고 기술한다)의 각 보정 기능을 화소 회로의 각각에 갖게 하는 구성을 채택하고 있다(예를 들면, 일본 특개2006-133542호 공보 참조).

발명의 내용

해결 하고자하는 과제

[0007] 그러나, 종래의 화소 회로에서의 전위 설정에서는, 구동용 트랜지스터의 게이트와 애노드가 화소 내에서 쇼트한 경우에 결함 화소가 비발광이 될 뿐이 아니라, 그 전송 전단(前段) 몇몇 화소에서 휘도 변동 에어리어가 선형상(線狀)으로 시인(視認)된다는 문제점이 생긴다. 시인성의 관점에서, 비발광 화소는 표시 영역 내의 개수에 의한 규격을 마련하는 것이, 휘도 변동, 특히 휘도 상승은 예를 들어 1화소라도 허용되지 않는다. 특히 표시 영역에서 발생한 경우에는 선형상으로 시인된다는 문제가 생긴다.

[0008] 본 발명은, 구동용 트랜지스터의 게이트와 애노드가 화소 내에서 전기적으로 쇼트한 경우라도, 결함 화소가 비발광이 될 뿐, 휘도 변동 에어리어가 선형상의 결함으로서 시인되지 않도록 하는 것을 목적으로 한다.

과제 해결수단

[0009] 본 발명은, 유기 EL(Electro Luminescence) 소자의 애노드 전극과 구동 트랜지스터의 소스 전극이 접속되고, 구동 트랜지스터의 게이트 전극과 기록 트랜지스터의 소스 전극 또는 드레인 전극이 접속되고, 구동 트랜지스터의 게이트-소스 전극 사이에 보존 용량이 접속되는 회로 구성을 포함하는 화소가 행렬형상으로 배치된 화소 어레이부와, 화소 어레이부의 화소행마다 배선되고, 기록 트랜지스터의 게이트 전극에 대해 주사 신호를 제공하는 주사선과, 화소 어레이부의 화소행마다 배선되고, 구동 트랜지스터의 드레인 전극에 대해 제 1 전위와 해당 제 1

전위보다도 낮은 제 2 전위를 선택적으로 제공하는 전원 공급선과, 화소 어레이부의 화소열마다 배치되고, 기록 트랜지스터의 드레인 전극 또는 소스 전극에 대해 영상 신호와 영상 신호 기준 전위를 선택적으로 제공하는 신호선을 구비하고, 상기 화소의 유기 EL 소자의 소등 시작부터 전원 공급선에 제 1 전위가 제공될 때까지의 기간 내에서, 전원 공급선에 제공되는 전위를 영상 신호 기준 전위로 설정하는 전위 설정 기간이 마련되어 있는 표시 장치이다. 또한, 소등 시작부터 전원 공급선에 제 1 전위가 제공될 때까지의 기간 내에서 상기 전위 설정 기간을 마련하는 표시 장치의 구동 방법이다. 또한, 이 표시 장치를 본체 하우징에 마련한 전자 기기이다.

[0010] 이와 같은 본 발명에서는, 화소의 소등 시작부터 전원 공급선에 제 1 전위가 제공될 때까지의 기간 내에서, 전원 공급선에 제공되는 전위를 영상 신호 기준 전위로 설정하고 있기 때문에, 구동용 트랜지스터의 게이트 전극과 애노드 전극이 화소 내에서 전기적으로 쇼트한 경우라도, 전단의 화소행의 화소의 기준 전위를 일정하게 할 수 있다.

효 과

[0011] 본 발명에 의하면, 구동 트랜지스터의 게이트 전극과 애노드 전극이 전기적으로 쇼트한 경우에도, 결함 화소가 비발광이 될 뿐으로 멈추고, 휘도 변동 에어리어가 선형상으로 시인되는 것을 방지하는 것이 가능해진다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 본 발명을 실시하기 위한 최선의 형태(이하, 「실시 형태」라고 한다)에 관해 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0013] 1. 본 실시 형태의 전제가 되는 표시 장치(시스템 구성, 화소 회로, 회로 동작)

[0014] 2. 구동 트랜지스터의 게이트-애노드 사이가 쇼트한 경우의 문제점(등가 회로, 타이밍 파형도)

[0015] 3. 본 실시 형태의 구성예(화소 회로, 시스템 구성, 구동 방법)

[0016] 4. 적용예(전자 기기에의 각종 적용예)

[0017] <1. 본 실시 형태의 전제가 되는 표시 장치>

[0018] [시스템 구성]

[0019] 도 1은, 본 실시 형태의 전제가 되는 액티브 매트릭스형 표시 장치의 구성의 개략을 도시하는 시스템 구성도이다.

[0020] 여기서는, 한 예로서, 디바이스에 흐르는 전류치에 의하여 발광 휘도가 변화하는 전류 구동형의 전기광학 소자, 예를 들면 유기 EL 소자(유기 전계 발광 소자)를 화소(화소 회로)의 발광 소자로서 이용한 액티브 매트릭스형 유기 EL 표시 장치의 경우를 예로 들어 설명하는 것으로 한다.

[0021] 도 1에 도시하는 바와 같이, 유기 EL 표시 장치(100)는, 화소(PXLC)(101)가 행렬형상(매트릭스형상)으로 2차원 배치되어 이루어지는 화소 어레이부(102)와, 해당 화소 어레이부(102)의 주변에 배치되고, 각 화소(101)를 구동하는 구동부를 갖는 구성으로 되어 있다. 화소(101)를 구동하는 구동부로서는, 예를 들면, 수평 구동 회로(103), 기록 주사 회로(104) 및 전원공급 주사 회로(105)가 마련되어 있다.

[0022] 화소 어레이부(102)에는, m행n열의 화소 배열에 대해, 화소행마다 주사선(WSL-1 내지 WSL-m)과 전원 공급선(DSL-1 내지 DSL-m)이 배선되고, 화소열마다 신호선(DTL-1 내지 DTL-n)이 배선되어 있다.

[0023] 화소 어레이부(102)는, 통상, 유리 기판 등의 투명 절연 기판상에 형성되고, 평면형(플랫형)의 패널 구조로 되어 있다. 화소 어레이부(102)의 각 화소(101)는, 어모퍼스 실리콘 TFT(Thin Film Transistor; 박막 트랜지스터) 또는 저온 폴리실리콘 TFT를 이용하여 형성할 수 있다. 저온 폴리실리콘 TFT를 이용하는 경우에는, 수평 구동 회로(103), 기록 주사 회로(104) 및 전원공급 주사 회로(105)에 대해서도, 화소 어레이부(102)를 형성하는 표시 패널(기판)상에 실장할 수 있다.

[0024] 기록 주사 회로(104)는, 클록 펄스(ck)에 동기하여 스타트 펄스(sp)를 차례로 시프트(전송)하는 시프트 레지스터 등에 의해 구성되고, 화소 어레이부(102)의 각 화소(101)에의 영상 신호의 기록에 즈음하여, 주사선(WSL-1 내지 WSL-m)에 순차적으로 기록 펄스(주사 신호)(WS1 내지 WSm)를 공급함에 의해 화소 어레이부(102)의 각 화소(101)를 행 단위로 순번대로 주사(선순차 주사)한다.

- [0025] 전원공급 주사 회로(105)는, 클록 펄스(ck)에 동기하여 스타트 펄스(sp)를 차례로 시프트하는 시프트 레지스터 등에 의해 구성된다. 전원공급 주사 회로(105)는, 기록 주사 회로(104)에 의한 선순차 주사에 동기하여, 제 1 전위(Vcc_H)와 해당 제 1 전위(Vcc_H)보다도 낮은 제 2 전위(Vcc_L)로 전환되는 전원 공급선 전위(DS1 내지 DS_m)를 전원 공급선(DSL-1 내지 DSL-m)에 선택적으로 공급한다. 이로써, 화소(101)의 발광/비발광의 제어를 행한다.
- [0026] 수평 구동 회로(103)는, 신호 공급원(도시 생략)으로부터 공급되는 휘도 정보에 응한 영상 신호의 신호 전압(이하, 단지 「신호 전압」이라고 기술하는 경우도 있다)(Vsig)과 신호선 기준 전위(Vo)의 어느 한쪽을 적절히 선택하고, 신호선(DTL-1 내지 DTL-n)을 통하여 화소 어레이부(102)의 각 화소(101)에 대해 예를 들면 행 단위로 기록한다. 즉, 수평 구동 회로(103)는, 영상 신호의 신호 전압(Vin)을 행(라인) 단위로 기록하는 선순차 기록의 구동 형태를 채택하고 있다.
- [0027] 여기서, 신호선 기준 전위(Vo)는, 영상 신호의 신호 전압(Vin)의 기준이 되는 전압(예를 들면, 흑 레벨에 상당하는 전압)이다. 또한, 제 2 전위(Vcc_L)는, 신호선 기준 전위(Vo)보다도 낮은 전위, 예를 들면, 구동 트랜지스터의 임계치 전압을 Vth라고 할 때 Vo-Vth보다도 낮은 전위, 바람직하게는 Vo-Vth보다도 충분히 낮은 전위로 설정된다.
- [0028] [화소 회로]
- [0029] 도 2는, 화소(화소 회로)의 구체적인 구성예를 도시하는 회로도이다.
- [0030] 도 2에 도시하는 바와 같이, 화소(101)는, 디바이스에 흐르는 전류치에 응하여 발광 휘도가 변화하는 전류 구동형의 전기광학 소자, 예를 들면 유기 EL 소자(1D)를 발광 소자로서 구비하며, 해당 유기 EL 소자(1D)에 더하여, 구동 트랜지스터(1B), 기록 트랜지스터(1A) 및 보존 용량(1C)을 갖는 화소 구성, 즉 2개의 트랜지스터(Tr)와 하나의 용량 소자(C)로 이루어지는 2Tr/1C의 화소 구성으로 되어 있다.
- [0031] 이러한 구성의 화소(101)에서는, 구동 트랜지스터(1B) 및 기록 트랜지스터(1A)로서 N채널형의 TFT를 이용하고 있다. 단, 여기서의 구동 트랜지스터(1B) 및 기록 트랜지스터(1A)의 도전형의 조합은 한 예에 지나지 않고, 이들의 조합으로 한정되는 것이 아니다.
- [0032] 유기 EL 소자(1D)는, 모든 화소(101)에 대해 공통으로 배선된 공통 전원 공급선(1H)에 캐소드 전극이 접속되어 있다. 구동 트랜지스터(1B)는, 소스 전극이 유기 EL 소자(1D)의 애노드 전극에 접속되고, 드레인 전극이 전원 공급선(DSL)(DSL-1 내지 DSL-m)에 접속되어 있다.
- [0033] 기록 트랜지스터(1A)는, 게이트 전극이 주사선(WSL)(WSL-1 내지 WSL-m)에 접속되고, 한쪽의 전극(소스 전극/드레인 전극)이 신호선(DTL)(DTL-1 내지 DTL-n)에 접속되고, 다른쪽의 전극(드레인 전극/소스 전극)이 구동 트랜지스터(1B)의 게이트 전극에 접속되어 있다.
- [0034] 보존 용량(1C)은, 한쪽의 전극이 구동 트랜지스터(1B)의 게이트 전극에 접속되고, 다른쪽의 전극이 구동 트랜지스터(1B)의 소스 전극(유기 EL 소자(1D)의 애노드 전극)에 접속되어 있다.
- [0035] 2Tr/1C의 화소 구성의 화소(101)에 있어서, 기록 트랜지스터(1A)는, 기록 주사 회로(104)로부터 주사선(WSL)을 통하여 게이트 전극에 인가되는 주사 신호(WS)에 응답하여 도통 상태가 됨에 의해, 신호선(DTL)을 통하여 수평 구동 회로(103)로부터 공급되는 휘도 정보에 응한 영상 신호의 신호 전압(Vin) 또는 신호선 기준 전위(Vo)를 샘플링하여 화소(101) 내에 기록한다.
- [0036] 이 기록된 신호 전압(Vin) 또는 신호선 기준 전위(Vo)는, 구동 트랜지스터(1B)의 게이트 전극에 인가됨과 함께 보존 용량(1C)에 보존된다. 구동 트랜지스터(1B)는, 전원 공급선(DSL)(DSL-1 내지 DSL-m)의 전위(DS)가 제 1 전위(Vcc_H)에 있을 때에, 전원 공급선(DSL)으로부터 전류의 공급을 받아서, 보존 용량(1C)에 보존된 신호 전압(Vin)의 전압치에 응한 전류치의 구동 전류를 유기 EL 소자(1D)에 공급하고, 해당 유기 EL 소자(1D)를 전류 구동에 의해 발광시킨다.
- [0037] [유기 EL 표시 장치의 회로 동작]
- [0038] 다음에, 상기 구성의 유기 EL 표시 장치(100)의 회로 동작에 관해, 도 3의 타이밍 파형도를 기초로, 도 4 내지 도 6의 동작 설명도를 이용하여 설명한다. 또한, 도 4 내지 도 6의 동작 설명도에서는, 도면의 간략화를 위해, 기록 트랜지스터(1A)를 스위치의 심볼로 도시하고 있다. 또한, 유기 EL 소자(1D)는 용량 성분을 갖고 있기 때문에, 해당 EL 용량(1I)에 대해서도 도시하고 있다.

- [0039] 도 3의 타이밍 파형도에서는, 주사선(WSL)(WSL-1 내지 WSL-m)의 전위(기록 펄스)(WS)의 변화, 전원 공급선(DSL)(DSL-1 내지 DSL-m)의 전위(DS)(Vcc_H/Vcc_L)의 변화, 구동 트랜지스터(1B)의 게이트 전위(Vg) 및 소스 전위(Vs)의 변화를 나타내고 있다.
- [0040] (발광 기간)
- [0041] 도 3의 타이밍 파형도에서, 시각(t1) 이전은 유기 EL 소자(1D)가 발광 상태에 있다(발광 기간). 이 발광 기간에서는, 전원 공급선(DSL)의 전위(DS)가 제 1 전위(Vcc_H)에 있고, 또한, 기록 트랜지스터(1A)가 비도통 상태에 있다.
- [0042] 구동 트랜지스터(1B)는 포화 영역에서 동작하도록 설정되어 있기 때문에, 도 4의 A에 도시하는 바와 같이, 전원 공급선(DSL)으로부터 구동 트랜지스터(1B)를 통하여 해당 구동 트랜지스터(1B)의 게이트-소스 사이 전압(Vgs)에 응한 구동 전류(드레인-소스 사이 전류)(Ids)가 유기 EL 소자(1D)에 공급된다. 따라서, 유기 EL 소자(1D)가 구동 전류(Ids)의 전류치에 응한 휘도로 발광한다.
- [0043] (임계치 보정 준비 기간)
- [0044] 그리고, 시각(t1)이 되면, 선순차 주사의 새로운 필드로 들어가고, 도 4의 B에 도시하는 바와 같이, 전원 공급선(DSL)의 전위(DS)가 제 1 전위(이하, 「고전위」라고 기술한다)(Vcc_H)로부터, 신호선(DTL)의 신호선 기준 전위(Vo-Vth)보다도 충분히 낮은 제 2 전위(이하, 「저전위」라고 기술한다)(Vcc_L)로 전환된다.
- [0045] 여기서, 유기 EL 소자(1D)의 임계치 전압을 V_{el} , 공통 전원 공급선(1H)의 전위를 V_{cath} 로 할 때, 저전위(Vcc_L)를 $V_{cc_L} < V_{el} + V_{cath}$ 로 하면, 구동 트랜지스터(1B)의 소스 전위(Vs)가 저전위(Vcc_L)와 거의 동등하게 되기 때문에, 유기 EL 소자(1D)는 역바이어스 상태가 되어 소광(消光)한다.
- [0046] 다음에, 시각(t2)에서 주사선(WSL)의 전위(WS)가 저전위측부터 고전위측으로 천이함으로써, 도 4의 C에 도시하는 바와 같이, 기록 트랜지스터(1A)가 도통 상태가 된다. 이때, 수평 구동 회로(103)로부터 신호선(DTL)에 대해 신호선 기준 전위(Vo)가 공급되어 있기 때문에, 구동 트랜지스터(1B)의 게이트 전위(Vg)가 신호선 기준 전위(Vo)가 된다. 또한, 구동 트랜지스터(1B)의 소스 전위(Vs)는, 신호선 기준 전위(Vo)보다도 충분히 낮은 전위(Vcc_L)에 있다.
- [0047] 이때, 구동 트랜지스터(1B)의 게이트-소스 사이 전압(Vgs)은 $V_o - V_{cc_L}$ 이 된다. 여기서, $V_o - V_{cc_L}$ 이 구동 트랜지스터(1B)의 임계치 전압(V_{th})보다도 크지 않으면, 후술하는 임계치 보정 동작을 행할 수가 없기 때문에, $V_o - V_{cc_L} > V_{th}$ 가 되는 전위 관계로 설정할 필요가 있다. 이와 같이, 구동 트랜지스터(1B)의 게이트 전위(Vg)를 신호선 기준 전위(Vo)에, 소스 전위(Vs)를 저전위(Vcc_L)에 각각 고정하여(확정시켜서) 초기화하는 동작이 임계치 보정 준비의 동작이다.
- [0048] (1회째의 임계치 보정 기간)
- [0049] 다음에, 시각(t3)에서, 도 4의 D에 도시하는 바와 같이, 전원 공급선(DSL)의 전위(DS)가 저전위(Vcc_L)로부터 고전위(Vcc_H)로 전환되면, 구동 트랜지스터(1B)의 소스 전위(Vs)가 상승을 시작하고, 1회째의 임계치 보정 기간에 들어간다. 이 1회째의 임계치 보정 기간에서, 구동 트랜지스터(1B)의 소스 전위(Vs)가 상승함에 의해 구동 트랜지스터(1B)의 게이트-소스 사이 전압(Vgs)이 소정의 전위(V_{x1})가 되고, 이 전위(V_{x1})가 보존 용량(1C)에 보존된다.
- [0050] 계속해서, 이 수평 기간(1H)의 후반에 들어간 시각(t4)에서, 도 5의 A에 도시하는 바와 같이, 수평 구동 회로(103)로부터 신호선(DTL)에 대해 영상 신호의 신호 전압(V_{in})이 공급됨에 의해, 신호선(DTL)의 전위가 신호선 기준 전위(Vo)로부터 신호 전압(V_{in})으로 천이한다. 이 기간에서는, 다른 행의 화소에 대한 신호 전압(V_{in})의 기록이 행하여진다.
- [0051] 이때, 자체행의 화소에 대해 신호 전압(V_{in})의 기록이 행하여지지 않도록 하기 위해, 주사선(WSL)의 전위(WS)를 고전위측부터 저전위측으로 천이시켜, 기록 트랜지스터(1A)를 비도통 상태로 한다. 이로써, 구동 트랜지스터(1B)의 게이트 전극은 신호선(DTL)으로부터 분리되어 플로팅 상태가 된다.
- [0052] 여기서, 구동 트랜지스터(1B)의 게이트 전극이 플로팅 상태에 있을 때는, 구동 트랜지스터(1B)의 게이트-소스 사이에 보존 용량(1C)이 접속되어 있음에 의해, 구동 트랜지스터(1B)의 소스 전위(Vs)가 변동하면, 해당 소스 전위(Vs)의 변동에 연동하여(추종하여) 구동 트랜지스터(1B)의 게이트 전위(Vg)도 변동한다. 이것이 보존 용량(1C)에 의한 부트스트랩 동작이다.

- [0053] 시각(t4) 이후에도, 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승을 계속하고, V_{a1} 만큼 상승한다($V_s = V_o - V_{x1} + V_{a1}$). 이때, 부트스트랩 동작에 의해, 구동 트랜지스터(1B)의 소스 전위(V_s)의 상승에 연동하여, 게이트 전위(V_g)도 V_{a1} 만큼 상승한다($V_g = V_o + V_{a1}$).
- [0054] (2회째의 임계치 보정 기간)
- [0055] 시각(t5)에서 다음의 수평 기간으로 들어가고, 도 5의 B에 도시하는 바와 같이, 주사선(WSL)의 전위(WS)가 저전위측부터 고전위측으로 천이하고, 기록 트랜지스터(1A)가 도통 상태가 되는 동시에, 수평 구동 회로(103)로부터 신호선(DTL)에 대해 신호 전압(V_{in})에 대신하여 신호선 기준 전위(V_o)가 공급되고, 2회째의 임계치 보정 기간에 들어간다.
- [0056] 이 2회째의 임계치 보정 기간에서는, 기록 트랜지스터(1A)가 도통 상태가 됨으로써 신호선 기준 전위(V_o)가 기록되기 때문에, 구동 트랜지스터(1B)의 게이트 전위(V_g)가 재차 신호선 기준 전위(V_o)로 초기화된다. 이 때의 게이트 전위(V_g)의 저하에 연동하여 소스 전위(V_s)도 저하된다. 그리고 재차, 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승을 시작한다.
- [0057] 그리고, 이 2회째의 임계치 보정 기간에서, 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승함에 의해 구동 트랜지스터(1B)의 게이트-소스 사이 전압(V_{gs})이 소정의 전위(V_{x2})가 되고, 이 전위(V_{x2})가 보존 용량(1C)에 보존된다.
- [0058] 계속해서, 이 수평 기간의 후반에 들어간 시각(t6)에서, 도 5의 C에 도시하는 바와 같이, 수평 구동 회로(103)로부터 신호선(DTL)에 대해 영상 신호의 신호 전압(V_{in})이 공급됨에 의해, 신호선(DTL)의 전위가 오프셋 전압(V_o)으로부터 신호 전압(V_{in})으로 천이한다. 이 기간에서는, 다른 행(전회의 기록행의 다음의 행)의 화소에 대한 신호 전압(V_{in})의 기록이 행하여진다.
- [0059] 이때, 자체행의 화소에 대해 신호 전압(V_{in})의 기록이 행하여지지 않도록 하기 위해, 주사선(WSL)의 전위(WS)를 고전위측부터 저전위측으로 천이시키고, 기록 트랜지스터(1A)를 비도통 상태로 한다. 이로써, 구동 트랜지스터(1B)의 게이트 전극은 신호선(DTL)으로부터 분리되어 플로팅 상태가 된다.
- [0060] 시각(t6) 이후에도, 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승을 계속하고, V_{a2} 만큼 상승한다($V_s = V_o - V_{x1} + V_{a2}$). 이때, 부트스트랩 동작에 의해, 구동 트랜지스터(1B)의 소스 전위(V_s)의 상승에 연동하여, 게이트 전위(V_g)도 V_{a2} 만큼 상승한다($V_g = V_o + V_{a2}$).
- [0061] (3회째의 임계치 보정 기간)
- [0062] 시각(t7)에서 다음의 수평 기간에 들어가고, 도 5의 D에 도시하는 바와 같이, 주사선(WSL)의 전위(WS)가 저전위측부터 고전위측으로 천이하고, 기록 트랜지스터(1A)가 도통 상태가 되는 동시에, 수평 구동 회로(103)로부터 신호선(DTL)에 대해 신호 전압(V_{in})에 대신하여 신호선 기준 전위(V_o)가 공급되고, 3회째의 임계치 보정 기간에 들어간다.
- [0063] 이 3회째의 임계치 보정 기간에서는, 기록 트랜지스터(1A)가 도통 상태가 됨으로써 신호선 기준 전위(V_o)가 기록되기 때문에, 구동 트랜지스터(1B)의 게이트 전위(V_g)가 재차 신호선 기준 전위(V_o)로 초기화된다. 이 때의 게이트 전위(V_g)의 저하에 연동하여 소스 전위(V_s)도 저하된다. 그리고 재차, 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승을 시작한다.
- [0064] 구동 트랜지스터(1B)의 소스 전위(V_s)가 상승하고, 이윽고, 구동 트랜지스터(1B)의 게이트-소스 사이 전압(V_{gs})이 해당 구동 트랜지스터(1B)의 임계치 전압(V_{th})에 수속함에 의해, 해당 임계치 전압(V_{th})에 상당하는 전압이 보존 용량(1C)에 보존된다.
- [0065] 상술한 3회의 임계치 보정 동작에 의해, 화소 개개의 구동 트랜지스터(1B)의 임계치 전압(V_{th})이 검출되어 해당 임계치 전압(V_{th})에 상당하는 전압이 보존 용량(1C)에 보존되게 된다. 또한, 3회의 임계치 보정 기간에서, 전류가 오로지 보존 용량(1C)측으로 흐르고, 유기 EL 소자(1D)측으로는 흐르지 않도록 하기 위해, 유기 EL 소자(1D)가 걸오프 상태가 되도록 공통 전원 공급선(1H)의 전위(V_{cath})를 설정하여 두는 것으로 한다.
- [0066] (신호 기록 기간 & 이동도 보정 기간)
- [0067] 다음에, 시각(t8)에서 주사선(WSL)의 전위(WS)가 저전위측으로 천이함으로써, 도 6의 A에 도시하는 바와 같이, 기록 트랜지스터(1A)가 비도통 상태가 되고, 동시에, 신호선(DTL)의 전위가 오프셋 전압(V_o)으로부터 영상 신호

의 신호 전압(Vin)으로 전환된다.

- [0068] 기록 트랜지스터(1A)가 비도통 상태가 됨으로써, 구동 트랜지스터(1B)의 게이트 전극이 플로팅 상태가 되는데, 게이트-소스 사이 전압(Vgs)이 구동 트랜지스터(1B)의 임계치 전압(Vth)과 동등하기 때문에, 해당 구동 트랜지스터(1B)는 컷오프 상태에 있다. 따라서 구동 트랜지스터(1B)에 드레인-소스 사이 전류(Ids)는 흐르지 않는다.
- [0069] 계속해서, 시각(t9)에서, 주사선(WSL)의 전위(WS)가 고전위측으로 천이함으로써, 도 6의 B에 도시하는 바와 같이, 기록 트랜지스터(1A)가 도통 상태가 되어 영상 신호의 신호 전압(Vin)을 샘플링하여 화소(101) 내에 기록한다. 이 기록 트랜지스터(1A)에 의한 신호 전압(Vin)의 기록에 의해, 구동 트랜지스터(1B)의 게이트 전위(Vg)가 신호 전압(Vin)이 된다.
- [0070] 그리고, 영상 신호의 신호 전압(Vin)에 의한 구동 트랜지스터(1B)의 구동에 즈음하여, 해당 구동 트랜지스터(1B)의 임계치 전압(Vth)이 보존 용량(1C)에 보존된 임계치 전압(Vth)에 상당하는 전압과 상쇄됨에 의해 임계치 보정이 행하여진다. 임계치 보정의 원리에 관해서는 후술한다.
- [0071] 이때, 유기 EL 소자(1D)는 처음에 컷오프 상태(하이 임피던스 상태)에 있기 때문에, 영상 신호의 신호 전압(Vin)에 따르며 전원 공급선(DSL)으로부터 구동 트랜지스터(1B)에 흐르는 전류(드레인-소스 사이 전류(Ids))는 유기 EL 소자(1D)의 EL 용량(1I)에 흘러 들어가고, 따라서 해당 EL 용량(1I)의 충전이 시작된다.
- [0072] 이 EL 용량(1I)의 충전에 의해, 구동 트랜지스터(1B)의 소스 전위(Vs)가 시간의 경과와 함께 상승하여 간다. 이때 이미, 구동 트랜지스터(1B)의 임계치 전압(Vth)의 편차는 보정(임계치 보정)되어 있고, 구동 트랜지스터(1B)의 드레인-소스 사이 전류(Ids)는 해당 구동 트랜지스터(1B)의 이동도(μ)에 의존하게 된다.
- [0073] 이윽고, 구동 트랜지스터(1B)의 소스 전위(Vs)가 $V_0 - V_{th} + \Delta V$ 의 전위까지 상승하면, 구동 트랜지스터(1B)의 게이트-소스 사이 전압(Vgs)은 $V_{in} + V_{th} - \Delta V$ 가 된다. 즉, 소스 전위(Vs)의 상승분(ΔV)은, 보존 용량(1C)에 보존된 전압($V_{in} + V_{th} - \Delta V$)으로부터 공제되도록, 환언하면, 보존 용량(1C)의 충전 전하를 방전하도록 작용하고, 부귀환(負歸還)이 걸린 것으로 된다. 따라서 소스 전위(Vs)의 상승분(ΔV)은 부귀환의 귀환량이 된다.
- [0074] 이와 같이, 구동 트랜지스터(1B)에 흐르는 드레인-소스 사이 전류(Ids)를 해당 구동 트랜지스터(1B)의 게이트 입력에, 즉 게이트-소스 사이 전압(Vgs)으로 부귀환함에 의해, 구동 트랜지스터(1B)의 드레인-소스 사이 전류(Ids)의 이동도(μ)에 대한 의존성을 지우는, 즉 이동도(μ)의 화소마다의 편차를 보정하는 이동도 보정이 행하여진다.
- [0075] 보다 구체적으로는, 영상 신호의 신호 전압(Vin)이 높을수록 드레인-소스 사이 전류(Ids)가 커지기 때문에, 부귀환의 귀환량(보정량)(ΔV)의 절대치도 커진다. 따라서 발광 휘도 레벨에 응한 이동도 보정이 행하여진다. 또한, 영상 신호의 신호 전압(Vin)을 일정하게 한 경우, 구동 트랜지스터(1B)의 이동도(μ)가 클수록 부귀환의 귀환량(ΔV)의 절대치도 커지기 때문에, 화소마다의 이동도(μ)의 편차를 제거할 수 있다. 이동도 보정의 원리에 관해서는 후술한다.
- [0076] (발광 기간)
- [0077] 다음에, 시각(t10)에서 주사선(WSL)의 전위(WS)가 저전위측으로 천이함으로써, 도 6의 C에 도시하는 바와 같이, 기록 트랜지스터(1A)가 비도통 상태가 된다. 이로써, 구동 트랜지스터(1B)의 게이트 전극은 신호선(DTL)으로부터 분리되어 플로팅 상태가 된다.
- [0078] 구동 트랜지스터(1B)의 게이트 전극이 플로팅 상태가 되고, 그와 동시에, 구동 트랜지스터(1B)의 드레인-소스 사이 전류(Ids)가 유기 EL 소자(1D)에 흐르기 시작함에 의해, 유기 EL 소자(1D)의 애노드 전위는, 구동 트랜지스터(1B)의 드레인-소스 사이 전류(Ids)에 응하여 상승한다.
- [0079] 유기 EL 소자(1D)의 애노드 전위의 상승은, 즉 구동 트랜지스터(1B)의 소스 전위(Vs)의 상승과 다르 않다. 구동 트랜지스터(1B)의 소스 전위(Vs)가 상승하면, 보존 용량(1C)의 부트스트랩 동작에 의해, 구동 트랜지스터(1B)의 게이트 전위(Vg)도 연동하여 상승한다.
- [0080] 이때, 부트스트랩 게인이 1(이상치)이라고 가정한 경우, 게이트 전위(Vg)의 상승량은 소스 전위(Vs)의 상승량과 동등하게 된다. 그러므로, 발광 기간중 구동 트랜지스터(1B)의 게이트-소스 사이 전압(Vgs)은 $V_{in} + V_{th} - \Delta V$ 로 일정하게 유지된다. 그리고, 시각(t11)에서 신호선(DTL)의 전위가 영상 신호의 신호 전압(Vin)으로부터 신호선 기준 전위(V0)로 전환된다.
- [0081] 이상의 동작 설명으로부터 분명한 바와 같이, 본 예에서는, 신호 기록 및 이동도 보정이 행하여지는 1H기간과,

해당 1H기간에 선행하는 2H기간의, 합계 3H기간에 걸쳐서 임계치 보정 기간을 마련하고 있다. 이로써, 임계치 보정 기간으로서 충분한 시간을 확보할 수 있기 때문에, 구동 트랜지스터(1B)의 임계치 전압(V_{th})을 확실하게 검출하여 보존 용량(1C)에 보존하고, 임계치 보정 동작을 확실하게 행할 수 있다.

[0082] 또한, 임계치 보정 기간을 3H기간에 걸쳐서 마련하는 것으로 하였지만, 이것은 한 예에 지나지 않고, 신호 기록 및 이동도 보정이 행하여지는 1H기간에서 임계치 보정 기간으로서 충분한 시간을 확보할 수 있으면, 선행하는 수평 기간에 걸쳐서 임계치 보정 기간을 설정할 필요는 없고, 또한, 고정밀화에 수반하여 1H기간이 짧아지고, 임계치 보정 기간을 3H기간에 걸쳐서 마련하여도 충분한 시간을 확보할 수가 없으면, 4H기간 이상에 걸쳐서 임계치 보정 기간을 설정하는 것도 가능하다.

[0083] (정(正)바이어스 기간 및 임계치 보정 준비 기간이 마련되어 있는 경우)

[0084] 도 7은, 정바이어스 기간 및 임계치 보정 준비 기간을 설명하는 타이밍 파형도이다. 정바이어스 기간 및 임계치 보정 준비 기간은, 도 3에 도시하는 타이밍에 대해, 임계치 보정 기간(시각(t_3 내지 t_4))의 직전에 마련되어 있고, 기록 트랜지스터(1A)에 정바이어스가 걸린다. 여기서, 전원 공급선(DSL)이 저전위측으로 천이하고 있는 기간은 유기 EL 소자(1D)의 비발광(소등) 기간이 되어 발광 기간의 조정을 가능하게 하고 있다.

[0085] 임계치 보정 준비 기간에서는, 기록 트랜지스터(1A)에 정바이어스가 걸리면, 신호선(DTL)에 대해 신호선 기준 전위(V_0)가 공급되어 있기 때문에, 구동 트랜지스터(1B)의 게이트 전위(V_g)가 신호선 기준 전위(V_0)가 된다. 또한, 전원 공급선(DSL)에는 신호선 기준 전위(V_0)보다도 충분히 낮은 전위(V_{cc_L})가 인가되어 있기 때문에, 구동 트랜지스터(1B)의 소스 전위(V_s)는 전위(V_{cc_L})가 된다. 이와 같이, 임계치 보정 준비 기간에서는, 구동 트랜지스터(1B)의 게이트 전위(V_g)를 신호선 기준 전위(V_0)에, 소스 전위(V_s)를 저전위(V_{cc_L})에 각각 고정하여 초기화한다.

[0086] <2. 구동 트랜지스터의 게이트-애노드 사이가 쇼트한 경우의 문제점>

[0087] [등가 회로]

[0088] 도 8의 A는, 도 2에 도시한 화소 회로에서 구동 트랜지스터(1B)의 게이트(g)와 애노드(구동 트랜지스터(1B)의 소스)(s)가 전기적으로 쇼트한 경우의 등가 회로를 도시하는 것이다. 또한, 동작으로서는, 도 4의 C의 상태를 예로 하고 있다. 즉, 이 상태에서는, 전원 공급선(DSL)이 저전위(V_{cc_L})측으로 천이하고 있기 때문에, 유기 EL 소자(1D)의 애노드(s)의 전위도 V_{cc_L} 이 되어 있다.

[0089] 여기서, 구동 트랜지스터(1B)의 게이트(g)가 유기 EL 소자(1D)의 애노드(s)와 쇼트하고 있으면, 기록 트랜지스터(1A)가 온 상태인 때에, 영상 신호선(DTL)과 구동 트랜지스터(1B)의 게이트(g)와 애노드(s)가 도통 상태가 된다. 이로써, 영상 신호선(DTL)에 공급되고 있는 영상 신호 기준 전위(V_0)는 애노드 전위(V_{cc_L})에 인입(引入)되게 된다.

[0090] 도 8의 B는, 도 8의 A에 도시하는 쇼트가 생긴 때의 표시 상태를 도시하는 도면이다. 결함 화소, 즉 도 8의 A에 도시하는 바와 같이 구동 트랜지스터(1B)의 게이트(g)와 애노드(s)가 전기적으로 쇼트하고 있는 화소는 비발광이 된다. 또한, 전송 전단(前段)의 수(數)화소가 휘도 변동 에어리어가 된다. 휘도 상승 에어리어는 전송 방향에 의존하고, 반드시 전송 전단측에 발생한다.

[0091] [타이밍 파형도]

[0092] 도 9는, 도 8의 A의 결함이 생긴 때의 타이밍 파형도이다. 또한, 임계치 보정의 생각에 의거하여, 전원 공급선(DSL)의 저전위(V_{cc_L})는 영상 신호 기준 전위(V_0)에 대해 적어도 구동 트랜지스터(1B)의 임계치(V_{th})보다 낮은 전위로 설정된다. 이 타이밍 파형도에서는, V_{n-5} 내지 V_{n+1} 이 주사 라인 번호에 있어서의 주사선의 타이밍(상단)과 전원 공급선 전위(하단)를 각각 나타내고 있다. 또한, 결함 화소는 V_n 에 상당하고 있다. 또한, DTL에 영상 신호 전위를 나타내고 있다.

[0093] 도 9에 도시하는 바와 같이, (F) 내지 (I)의 기간에 결함 화소(V_n)의 전원 공급선(DSL)이 저전위측으로 천이하고 있고, 또한 주사선(WSL)이 고전위측으로 천이하면, 영상 신호선(DTL)에 공급되어 있는 전위가 애노드 전위(V_{cc_L})에 인입된다.

[0094] 그 결과, 화소(V_{n-4} 내지 V_{n-2})에서는, 영상 신호 전위 샘플링 직전의 영상 신호 기준 전위(V_0)가 V_{cc_L} 에 인입되기 때문에, 구동 트랜지스터(1B)의 게이트(g)에의 입력 진폭은 $V_{in}=V_{sig}-V_0$ 가 아니라 $V_{in}'=V_{sig}-V_{cc_L}$ 이 된다.

- [0095] 여기서, $V_0 > V_{cc_L}$ 이기 때문에, 화소(V_{n-4} 내지 V_{n-2})에는 증가적으로 고전폭이 기록되게 된다. 따라서 V_{n-4} 내지 V_{n-2} 는 휘도 상승을 일으키고, 선형상의 휘도 상승 에어리어로서 시인된다. 결합 화소(V_n)에 관해서는 구동 트랜지스터의 게이트(g)와 소스(s)가 동전위가 되기 때문에, 게이트 소스 사이 전압은 0V가 되고, 전류가 흐르지 않아 비발광이 된다.
- [0096] <3. 본 실시 형태의 구성예>
- [0097] [화소 회로]
- [0098] 도 10은, 본 실시 형태의 한 예를 도시하는 화소의 회로도이다. 화소 회로는, 유기 EL 소자(1D), 구동 트랜지스터(1B), 기록 트랜지스터(1A) 및 보존 용량(1C)을 갖는다.
- [0099] 구체적으로는, 유기 EL 소자(1D)의 애노드 전극과 구동 트랜지스터(1B)의 소스 전극이 접속되고, 구동 트랜지스터(1B)의 게이트 전극과 기록 트랜지스터(1A)의 소스 전극 또는 드레인 전극이 접속되어 있다. 또한, 구동 트랜지스터(1B)의 게이트-소스 전극 사이에 보존 용량(1C)이 접속된다.
- [0100] 신호선(DTL)은, 기록 트랜지스터(1A)의 드레인 전극 또는 소스 전극에 접속되어 있다. 또한, 기록 트랜지스터(1A)의 게이트 전극에는, 도시하지 않는 주사선이 접속되고, 소정의 타이밍이 제공된다. 전원 공급선(DSL)은, 구동 트랜지스터(1B)의 드레인 전극에 접속되어 있다.
- [0101] 이와 같은 화소 회로의 구성에 있어서, 본 실시 형태에서는, 유기 EL 소자(1D)의 소등 시작부터 전원 공급선(DSL)에 고전위(V_{cc_H})가 제공될 때까지의 시간 내에서, 전원 공급선(DSL)에 제공되는 전위를 영상 신호 기준 전위(V_0)로 설정하는 전위 설정 기간이 마련되어 있는 것이다. 이로써, 도 9의 (F) 내지 (I)의 기간에서도 영상 신호선(DTL)에 공급되어 있는 전위가 애노드 전위(V_{cc_L})에 인입되는 일은 없어지고, 전단의 화소에 관해 휘도 변동 에어리어의 발생을 방지하는 것이 가능해진다.
- [0102] [시스템 구성]
- [0103] 도 11은, 본 실시 형태의 한 예를 도시하는 시스템 구성도이다. 도 11에 도시하는 바와 같이, 유기 EL 표시 장치(100)는, 화소(PXLC)(101)가 행렬형상(매트릭스형상)으로 2차원 배치되어 이루어지는 화소 어레이부(102)와, 해당 화소 어레이부(102)의 주변에 배치되고, 각 화소(101)를 구동하는 구동부를 갖는 구성으로 되어 있다. 화소(101)를 구동하는 구동부로서는, 예를 들면, 수평 구동 회로(103), 기록 주사 회로(104) 및 전원공급 주사 회로(105)가 마련되어 있다.
- [0104] 화소 어레이부(102)에는, m행n열의 화소 배열에 대해, 화소행마다 주사선(WSL-1 내지 WSL-m)과 전원 공급선(DSL-1 내지 DSL-m)이 배선되고, 화소열마다 신호선(DTL-1 내지 DTL-n)이 배선되어 있다.
- [0105] 기록 주사 회로(104)는, 클록 펄스(ck)에 동기하여 스타트 펄스(sp)를 차례로 시프트(전송)하는 시프트 레지스터 등에 의해 구성되고, 화소 어레이부(102)의 각 화소(101)에의 영상 신호의 기록에 즈음하여, 주사선(WSL-1 내지 WSL-m)에 순차적으로 기록 펄스(주사 신호)(WS1 내지 WSm)를 공급함에 의해 화소 어레이부(102)의 각 화소(101)를 행 단위로 순번대로 주사(선순차 주사)한다.
- [0106] 전원공급 주사 회로(105)는, 클록 펄스(ck)에 동기하여 스타트 펄스(sp)를 차례로 시프트하는 시프트 레지스터 등에 의해 구성된다. 전원공급 주사 회로(105)는, 기록 주사 회로(104)에 의한 선순차 주사에 동기하여, 제 1 전위(V_{cc_H})와 해당 제 1 전위(V_{cc_H})보다도 낮은 제 2 전위(V_{cc_L})로 전환되는 전원 공급선 전위(DS1 내지 DSm)를 전원 공급선(DSL-1 내지 DSL-m)에 선택적으로 공급한다. 이로써, 화소(101)의 발광/비발광의 제어를 행한다.
- [0107] 수평 구동 회로(103)는, 신호 공급원(도시 생략)으로부터 공급되는 휘도 정보에 응한 영상 신호의 신호 전압(V_{sig})과 신호선 기준 전위(V_0)의 어느 한쪽을 적절히 선택하고, 신호선(DTL-1 내지 DTL-n)을 통하여 화소 어레이부(102)의 각 화소(101)에 대해 예를 들면 행 단위로 기록한다. 즉, 수평 구동 회로(103)는, 영상 신호의 신호 전압(V_{in})을 행(라인) 단위로 기록하는 선순차 기록의 구동 형태를 채택하고 있다.
- [0108] 본 실시 형태에서는, 화소(101)의 소등 시작부터 전원 공급선(DSL)에 고전위(V_{cc_H})가 제공될 때까지의 시간 내에서, 전원 공급선(DSL)에 제공되는 전위를 영상 신호 기준 전위(V_0)로 설정하는 전위 설정 기간을 마련하고 있다. 즉, 전원공급 주사 회로(105)는, 제 1 전위(V_{cc_H})와 해당 제 1 전위(V_{cc_H})보다도 낮은 제 2 전위(V_{cc_L})와의 전환에 더하여, 전위 설정 기간에서는 영상 신호 기준 전위(V_0)를 선택한 제어를 행하고 있다.
- [0109] 이로써, 도 9의 (F) 내지 (I)의 기간에도 영상 신호선(DTL)에 공급되어 있는 전위가 애노드 전위(V_{cc_L})에 인입

되는 일은 없고, 영상 신호 기준 전위(V_0)가 되고, 전단의 화소에 관해 휘도 변동 에어리어의 발생을 방지하는 것이 가능해진다.

[0110] [구동 방법]

[0111] 도 12는, 본 실시 형태에 관한 표시 장치의 구동 방법을 설명하는 타이밍 파형도이다. 도 12에 도시하는 타이밍 파형도는, 도 7에 도시하는 타이밍 파형도와 같이, 정바이어스 기간 및 임계치 보정 준비 기간이 마련된 것으로 되어 있다.

[0112] 도 12에 도시하는 타이밍 파형도에서, 도 7에 도시하는 타이밍 파형도와 다른 점은, 소등 기간의 시작부터 임계치 보정 기간의 시작까지의 사이에서, 전원 공급선(DSL)의 전위가 신호선 기준 전위(V_0)로 설정되는 전위 설정 기간이 마련되어 있는 점이다.

[0113] 즉, 정바이어스 기간 및 임계치 보정 준비 기간은, 도 3에 도시하는 타이밍에 대해, 임계치 보정 기간(시각(t_3 내지 t_4))의 직전에 마련되어 있고, 기록 트랜지스터(1A)에 정바이어스가 걸린다. 여기서, 전원 공급선(DSL)이 저전위측으로 천이하고 있는 기간은 유기 EL 소자(1D)의 비발광(소등) 기간이 되고 발광 기간의 조정을 가능하게 하고 있다.

[0114] 임계치 보정 준비 기간에서는, 기록 트랜지스터(1A)에 정바이어스가 걸리면, 신호선(DTL)에 대해 신호선 기준 전위(V_0)가 공급되어 있기 때문에, 구동 트랜지스터(1B)의 게이트 전위(V_g)가 신호선 기준 전위(V_0)가 된다.

[0115] 여기서, 도 7에 도시하는 타이밍 파형도에서는, 임계치 보정 준비 기간에서 전원 공급선(DSL)에는 신호선 기준 전위(V_0)보다도 충분히 낮은 전위(V_{cc_L})가 인가되어 있고, 구동 트랜지스터(1B)의 소스 전위(V_s)를 전위(V_{cc_L})로 하고 있다.

[0116] 그러나, 도 8에 도시하는 바와 같이 화소 회로에서 구동 트랜지스터(1B)의 게이트(g)와 애노드(s)가 전기적으로 쇼트하고 있으면, 임계치 보정 준비 기간에서 기록 트랜지스터(1A)가 온 상태인 때에, 신호선(DTL)의 전위가 소스 전위인 V_{cc_L} 로 인입되어 버린다. 이로써, 도 9의 (F) 내지 (I)의 기간에서, 결함 화소(V_n)의 전단에 있는 V_{n-4} 내지 V_{n-2} 가 휘도 상승을 일으키고, 선형상의 휘도 상승 에어리어로서 시인되는 문제가 발생한다.

[0117] 본 실시 형태에서는, 도 12에 도시하는 바와 같이, 소등 기간의 시작부터 임계치 보정 기간의 시작까지의 사이에 전위 설정 기간을 마련하고, 전위 설정 기간에서 전원 공급선(DSL)의 전위를 신호선 기준 전위(V_0)로 설정하고 있다. 이로써, 구동 트랜지스터(1B)의 게이트(g)와 애노드(s)가 전기적으로 쇼트하고 있어도, 임계치 보정 준비 기간에서 기록 트랜지스터(1A)가 온 상태인 때에, 신호선(DTL)의 전위가 소스 전위인 V_{cc_L} 로 인입되지 않고, 신호선 기준 전위(V_0)가 된다. 따라서 도 9의 (F) 내지 (I)의 기간에, 결함 화소(V_n)의 전단에 있는 V_{n-4} 내지 V_{n-2} 의 휘도 상승이 발생하지 않게 된다.

[0118] 여기서, 전위 설정 기간은, 소등 기간의 시작부터 임계치 보정 준비 기간의 도중까지로 하고 있다. 즉, 임계치 보정 기간의 시작의 직전에서 주사선(WSL)의 전위가 저전위측으로 천이하고, 기록 트랜지스터(1A)가 비도통 상태가 된 단계에서, 전원 공급선(DSL)의 전위를 영상 신호 기준 전위(V_0)로부터 저전위(V_{cc_L})로 설정하고 있다. 이로써, 임계치 보정 기간의 시작 직전에는, 구동 트랜지스터(1B)의 소스 전위(V_s)가 전위(V_{cc_L})로 초기화되어 있게 된다.

[0119] 도 13은, 본 실시 형태에 관한 표시 장치의 화소 전위 설정을 설명하기 위한 타이밍 파형도이다. 이 타이밍 파형도에서는, V_{n-5} 내지 V_{n+1} 이 주사 라인 번호에서의 주사선의 타이밍(상단)과 전원 공급선 전위(하단)를 각각 나타내고 있다. 또한, 결함 화소는 V_n 에 상당하고 있다. 또한, DTL에 영상 신호 전위를 나타내고 있다.

[0120] 본 실시 형태의 표시 장치에서는, 소등 기간의 시작부터 임계치 보정 기간의 시작까지의 사이에 전위 설정 기간을 마련하고, 전원 공급선 전위를 영상 신호 기준 전위(V_0)와 동전위로 하고 있다. 따라서 구동 트랜지스터(1B)의 게이트(g)와 애노드(s)가 전기적으로 쇼트하고 있는 결함 화소가 있어도, 도 13의 (F) 내지 (I)의 기간에서, 영상 신호 기준 전위(V_0)가 이것보다 저전위로 인입된 일이 없다. 이로써, 도 13의 (F) 내지 (I)의 기간에서, 결함 화소(V_n)의 전단에 있는 V_{n-4} 내지 V_{n-2} 의 휘도는 정상이 되고, 휘도 상승 에어리어의 발생을 방지하는 것이 가능해진다.

[0121] 또한, 소등시키기 위해서는 전원 공급선(DSL)의 저전위가 유기 EL 소자(1D)의 임계치 이하가 되는 것이 조건이기 때문에, 영상 신호 기준 전위(V_0)도 이 조건을 충족시키는 범위로 설정하게 된다.

[0122] 또한, 상기 실시 형태에서는, 화소(101)의 전기광학 소자로서, 유기 EL 소자를 이용한 유기 EL 표시 장치에 적

용한 경우를 예로 들어 설명하였지만, 본 발명은 이 적용예로 한정되는 것이 아니고, 디바이스에 흐르는 전류치에 응하여 발광 휘도가 변화하는 전류 구동형의 전기광학 소자(발광 소자)를 이용한 표시 장치 전반에 대해 적용 가능하다.

[0123] 또한, 화소(101)의 구성으로서, 2개의 트랜지스터(Tr)와 하나의 용량 소자(C)로 이루어지는 2Tr/1C의 화소 구성의 경우를 예로 하였지만, 본 발명은 이것으로 한정되지 않고, 예를 들면 4개의 트랜지스터(Tr)와 하나의 용량 소자(C)로 이루어지는 4Tr/1C의 화소 구성 등, 다른 화소 구성이라도 적용 가능하다.

[0124] <4. 적용예>

[0125] 이상 설명한 본 실시 형태에 관한 표시 장치는, 한 예로서, 도 14 내지 도 18에 도시하는 다양한 전자 기기에 적용된다. 예를 들면, 디지털 카메라, 노트북형 퍼스널 컴퓨터, 휴대 전화 등의 휴대 단말 장치, 비디오 카메라 등, 전자 기기에 입력된 영상 신호, 또는, 전자 기기 내에서 생성한 영상 신호를, 화상 또는 영상으로서 표시한 모든 분야의 전자 기기의 표시 장치에 적용하는 것이 가능하다.

[0126] 이와 같이, 모든 분야의 전자 기기의 표시 장치로서 본 실시 형태에 관한 표시 장치를 이용함에 의해, 표시 화상의 화질 향상을 도모할 수 있기 때문에, 각종의 전자 기기에 있어서, 양질의 화상 표시를 행할 수가 있는 이점이 있다.

[0127] 또한, 본 실시 형태에 관한 표시 장치는, 밀봉된 구성의 모듈 형상의 것도 포함한다. 예를 들면, 화소 어레이부(102)에 투명한 유리 등의 대향부에 부착되어 형성된 표시 모듈이 해당한다. 이 투명한 대향부에는, 컬러 필터, 보호막 등, 나아가서는, 상기한 차광막이 마련되어도 좋다. 또한, 표시 모듈에는, 외부로부터 화소 어레이부에의 신호 등을 입출력하기 위한 회로부나 FPC(플렉시블 프린트 서킷) 등이 마련되어 있어도 좋다.

[0128] 이하에, 본 실시 형태의 표시 장치가 적용되는 전자 기기의 구체적인 예에 관해 설명한다.

[0129] 도 14는, 본 실시 형태가 적용되는 텔레비전 세트의 외관을 도시하는 사시도이다. 본 적용예에 관한 텔레비전 세트는, 프런트 패널(108)이나 필터 유리(109) 등으로 구성되는 영상 표시 화면부(107)를 포함하고, 그 영상 표시 화면부(107)로서 본 실시 형태에 의한 표시 장치를 이용함에 의해 작성된다.

[0130] 도 15는, 본 실시 형태가 적용되는 디지털 카메라의 외관을 도시하는 사시도로서, A는 디지털 카메라의 정면에서 본 사시도, B는 디지털 카메라의 뒷면에서 본 사시도이다. 본 적용예에 관한 디지털 카메라는, 플래시용의 발광부(111), 표시부(112), 메뉴 스위치(113), 셔터 버튼(114) 등을 포함하고, 그 표시부(112)로서 본 실시 형태에 의한 표시 장치를 이용함에 의해 제작된다.

[0131] 도 16은, 본 실시 형태가 적용되는 노트북형 퍼스널 컴퓨터의 외관을 도시하는 사시도이다. 본 적용예에 관한 노트북형 퍼스널 컴퓨터는, 본체(121)에, 문자 등을 입력할 때 조작되는 키보드(122), 화상을 표시하는 표시부(123) 등을 포함하고, 그 표시부(123)로서 본 실시 형태에 의한 표시 장치를 이용함에 의해 제작된다.

[0132] 도 17은, 본 실시 형태가 적용되는 비디오 카메라의 외관을 도시하는 사시도이다. 본 적용예에 관한 비디오 카메라는, 본체부(131), 전방을 향한 측면에 피사체 촬영용의 렌즈(132), 촬영시의 스타트/스톱 스위치(133), 표시부(134) 등을 포함하고, 그 표시부(134)로서 본 실시 형태에 의한 표시 장치를 이용함에 의해 제작된다.

[0133] 도 18은, 본 실시 형태가 적용되는 휴대 단말 장치, 예를 들면 휴대 전화를 도시하는 외관도이고, A는 연 상태에서의 정면도, B는 그 측면도, C는 닫은 상태에서의 정면도, D는 좌측면도, E는 우측면도, F는 상면도, G는 하면도이다. 본 적용예에 관한 휴대 전화기는, 상측 하우징(141), 하측 하우징(142), 연결부(여기서는 힌지부)(143), 디스플레이(144), 서브 디스플레이(145), 픽처 라이트(146), 카메라(147) 등을 포함하고, 그 디스플레이(144)나 서브 디스플레이(145)로서 본 실시 형태에 의한 표시 장치를 이용함에 의해 제작된다.

[0134] 본 발명은 2008년 12월 11일자로 일본특허청에 특허출원된 일본특허원 제2008-315466호를 우선권으로 주장한다.

[0135] 당업자라면, 첨부된 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 상기 실시예에 대한 여러가지 수정예, 조합예, 부분조합예 및 변경예를 실시할 수 있을 것이다.

도면의 간단한 설명

[0136] 도 1은 본 발명의 전제가 되는 액티브 매트릭스형 유기 EL 표시 장치의 구성의 개략을 도시하는 시스템 구성도.

[0137] 도 2는 화소(화소 회로)의 구체적인 구성예를 도시하는 회로도.

- [0138] 도 3은 본 발명의 전제가 되는 액티브 매트릭스형 유기 EL 표시 장치의 동작 설명에 제공하는 타이밍 파형도.

[0139] 도 4는 본 발명의 전제가 되는 액티브 매트릭스형 유기 EL 표시 장치의 회로 동작의 설명도(그 1).

[0140] 도 5는 본 발명의 전제가 되는 액티브 매트릭스형 유기 EL 표시 장치의 회로 동작의 설명도(그 2).

[0141] 도 6은 본 발명의 전제가 되는 액티브 매트릭스형 유기 EL 표시 장치의 회로 동작의 설명도(그 3).

[0142] 도 7은 정바이어스 기간 및 임계치 보정 준비 시간을 설명하는 타이밍 파형도.

[0143] 도 8은 구동 트랜지스터의 쇼트에 의한 영향을 설명하는 도면.

[0144] 도 9는 결합이 생긴 때의 타이밍 파형도.

[0145] 도 10은 본 실시 형태의 한 예를 도시하는 화소의 회로도.

[0146] 도 11은 본 실시 형태의 한 예를 도시하는 시스템 구성도.

[0147] 도 12는 본 실시 형태에 관한 표시 장치의 구동 방법을 설명하는 타이밍 파형도.

[0148] 도 13은 본 실시 형태에 관한 표시 장치의 화소 전위 설정을 설명하기 위한 타이밍 파형도.

[0149] 도 14는 본 실시 형태가 적용되는 텔레비전 세트의 외관을 도시하는 사시도.

[0150] 도 15는 본 실시 형태가 적용되는 디지털 카메라의 외관을 도시하는 사시도로서, A는 디지털 카메라를 정면에서 본 사시도, B는 디지털 카메라를 뒷면에서 본 사시도.

[0151] 도 16은 본 실시 형태가 적용되는 노트북형 퍼스널 컴퓨터의 외관을 도시하는 사시도.

[0152] 도 17은 본 실시 형태가 적용되는 비디오 카메라의 외관을 도시하는 사시도.

[0153] 도 18은 본 실시 형태가 적용되는 휴대 전화기를 도시하는 외관도로서, A는 연 상태에서의 정면도, B는 그 측면도, C는 닫은 상태에서의 정면도, D는 좌측면도, E는 우측면도, F는 상면도, G는 하면도.

[0154] (도면의 주요 부분에 대한 부호의 설명)

[0155] 100 : 유기 EL 표시 장치 101 : 화소(화소 회로)

[0156] 102 : 화소 어레이부 103 : 수평 구동 회로

[0157] 104 : 기록 주사 회로 105 : 전원공급 주사 회로

[0158] 1A : 기록 트랜지스터 1B : 구동 트랜지스터

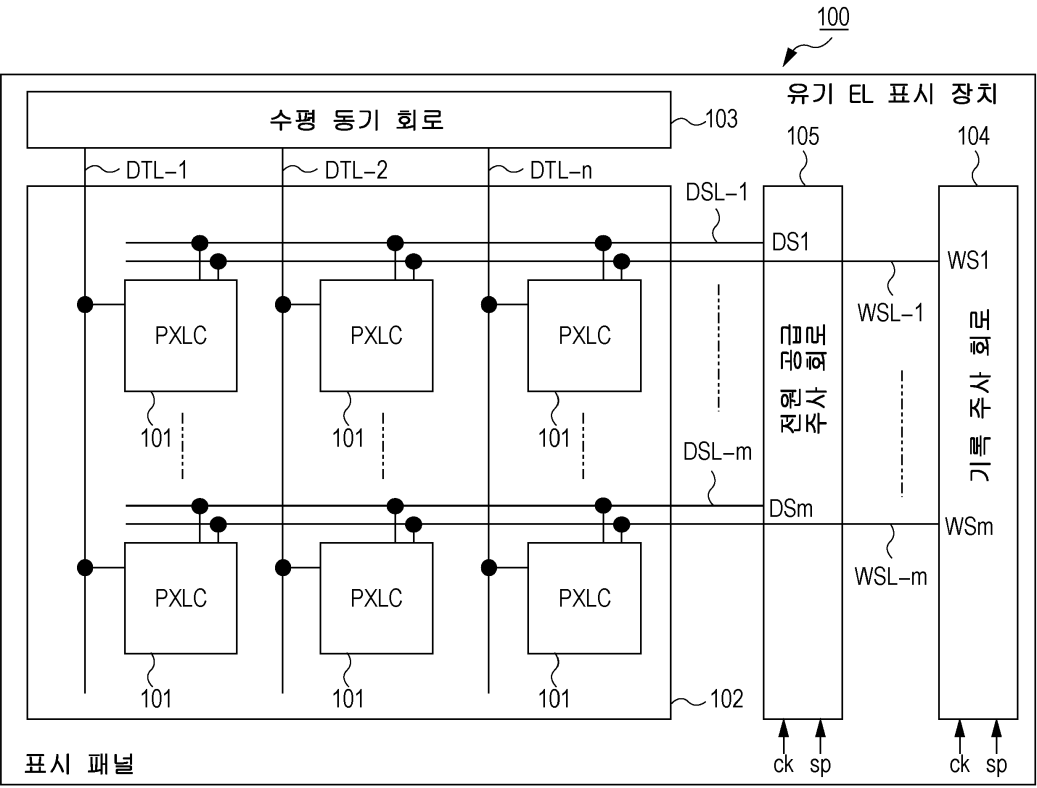
[0159] 1C : 보존 용량 1D : 유기 EL 소자

[0160] DSL-1 내지 DSL-m : 전원 공급선 DTL-1 내지 DTL-n : 신호선

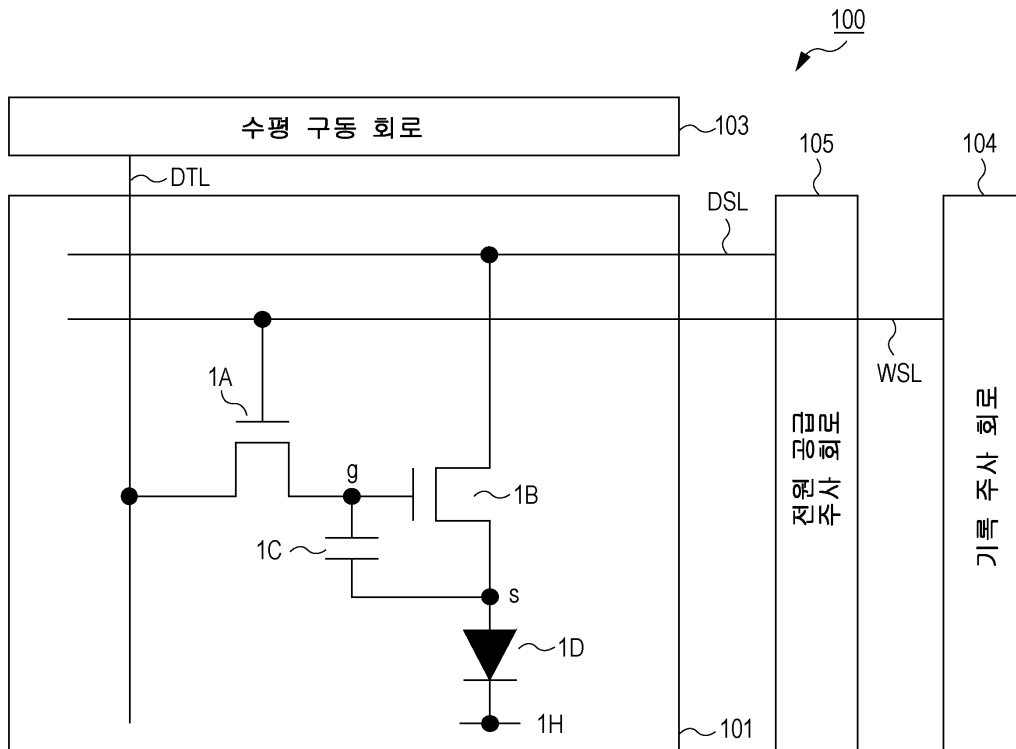
[0161] WSL-1 내지 WSL-m : 주사전

도면

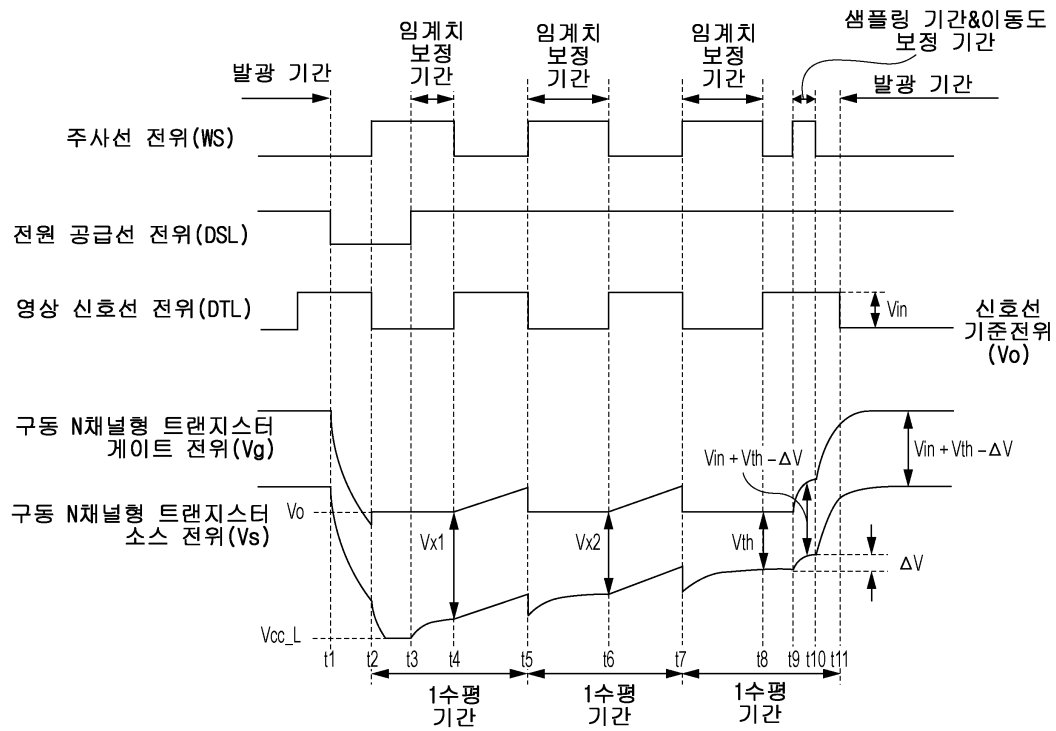
도면1



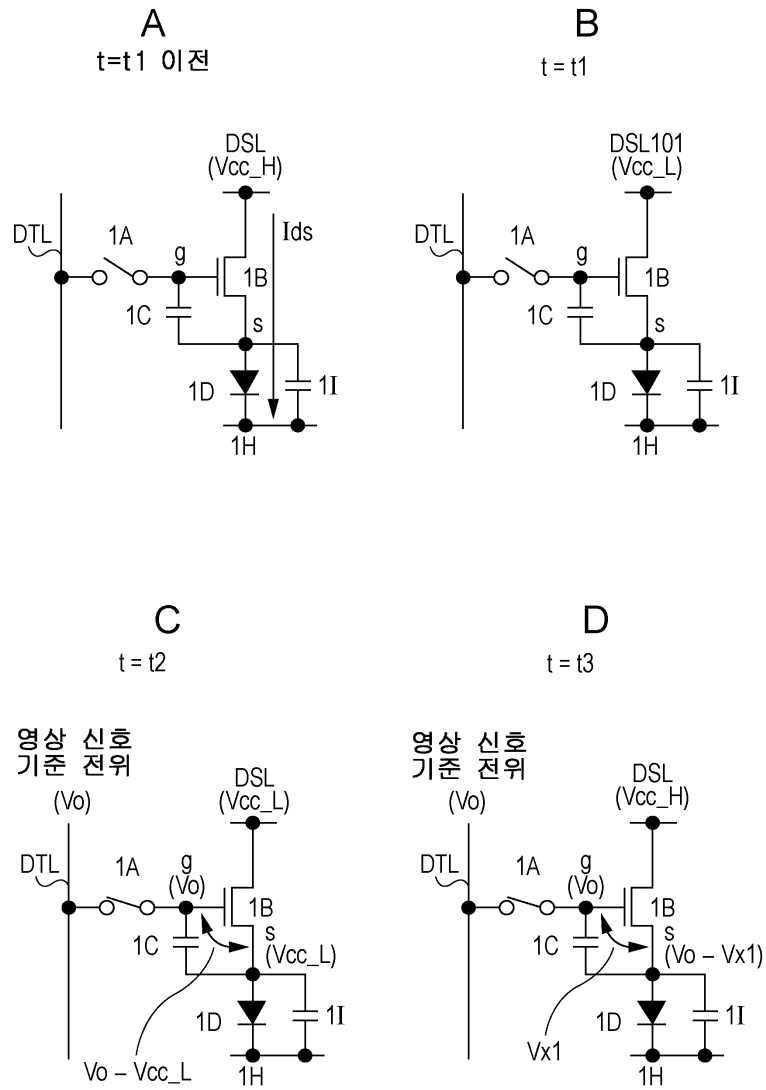
도면2



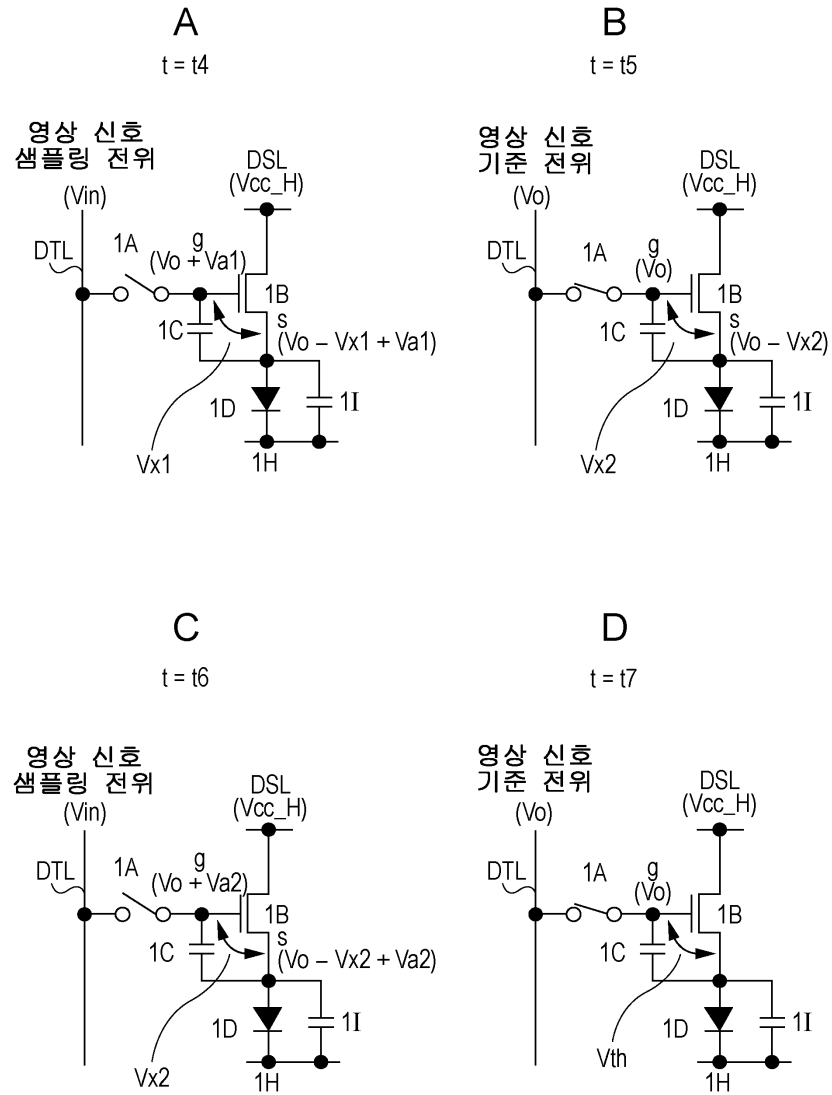
도면3



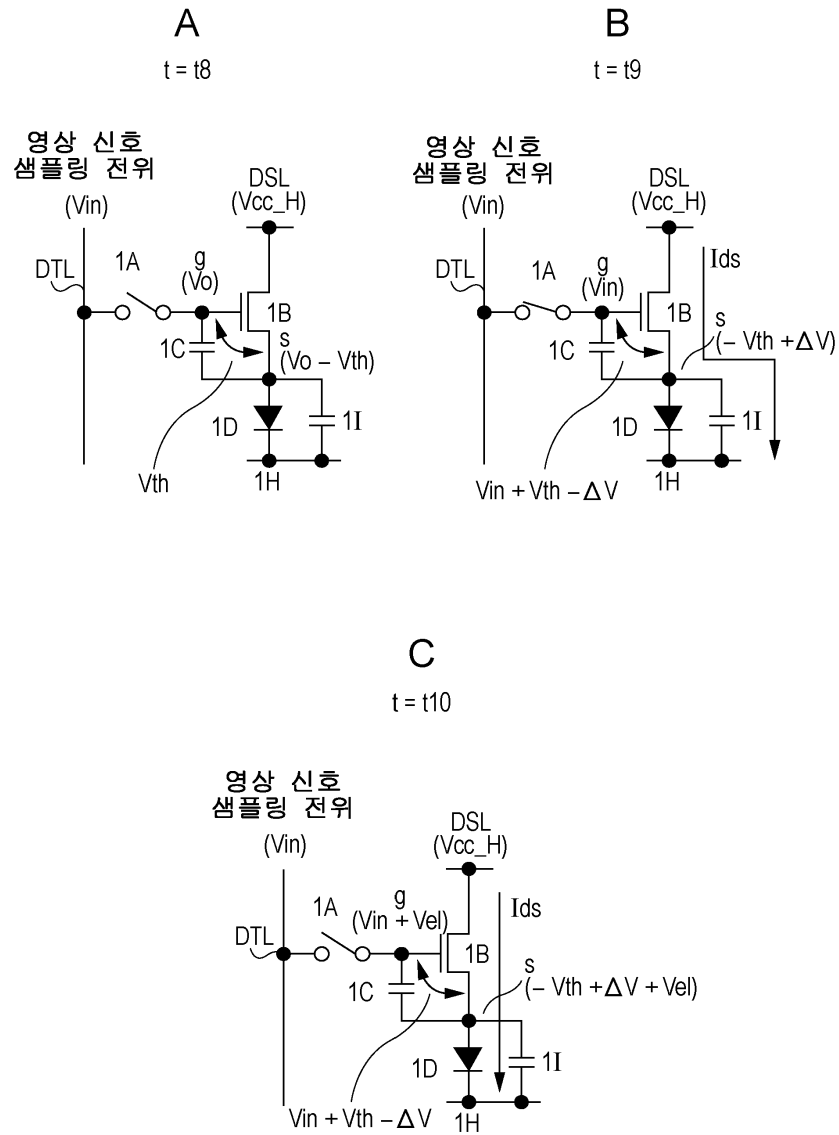
도면4



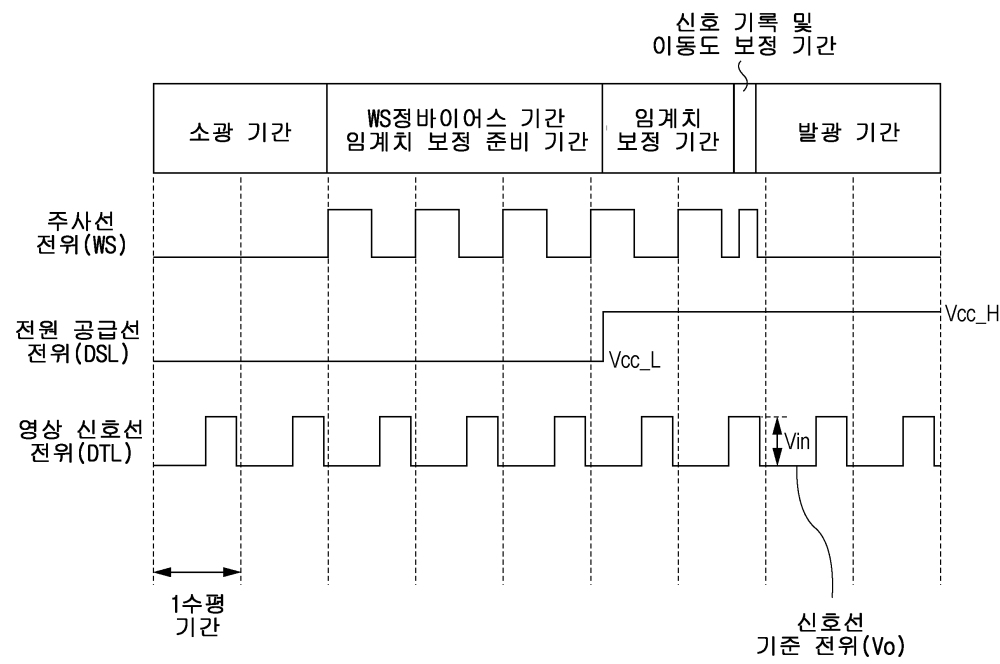
도면5



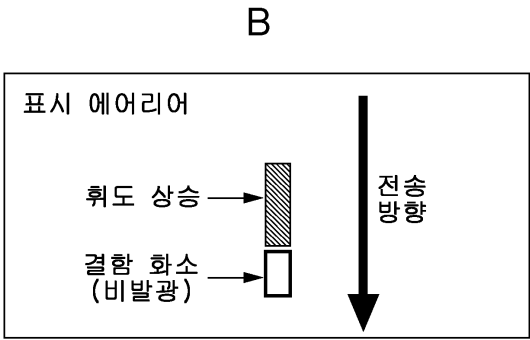
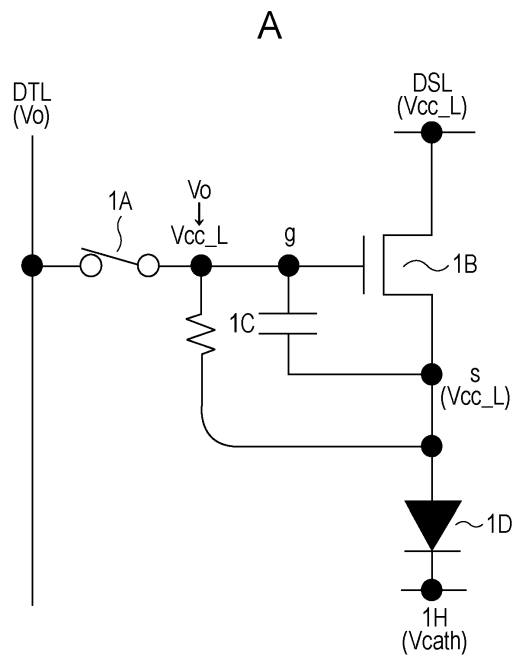
도면6



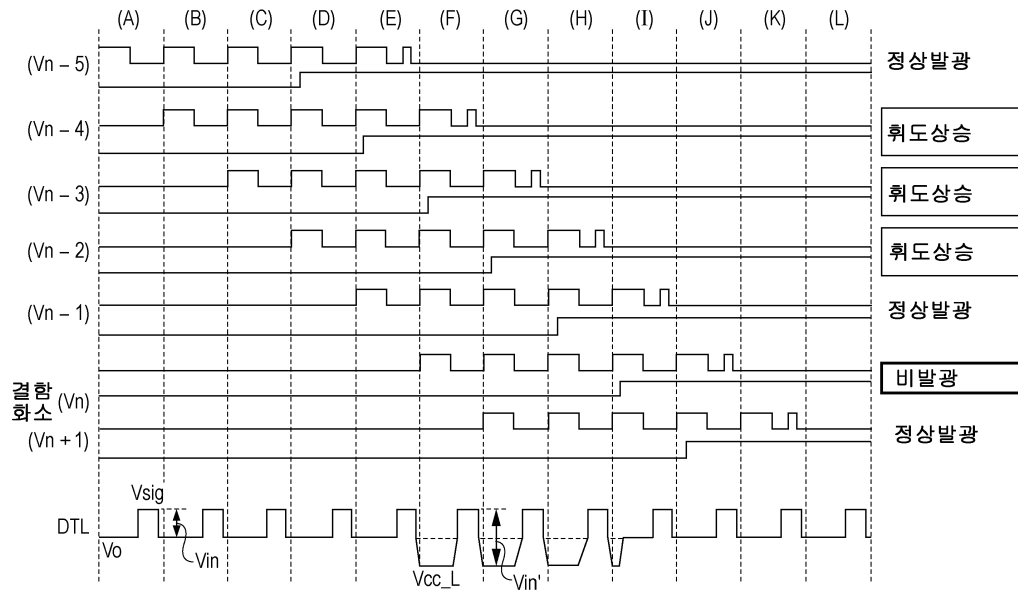
도면7



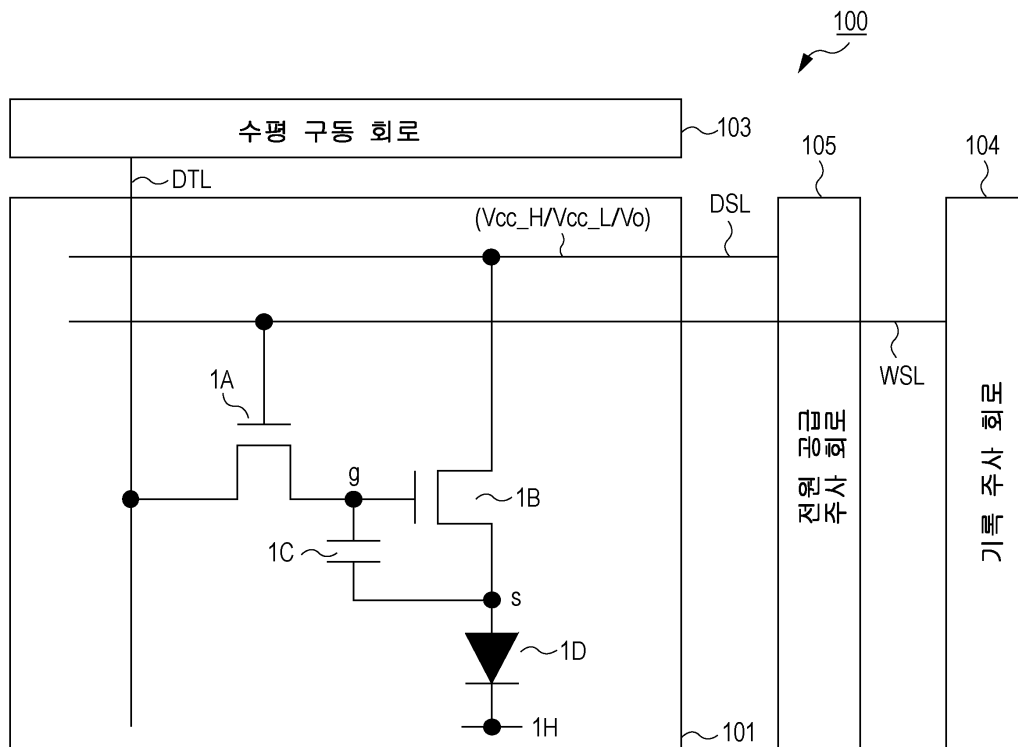
도면8



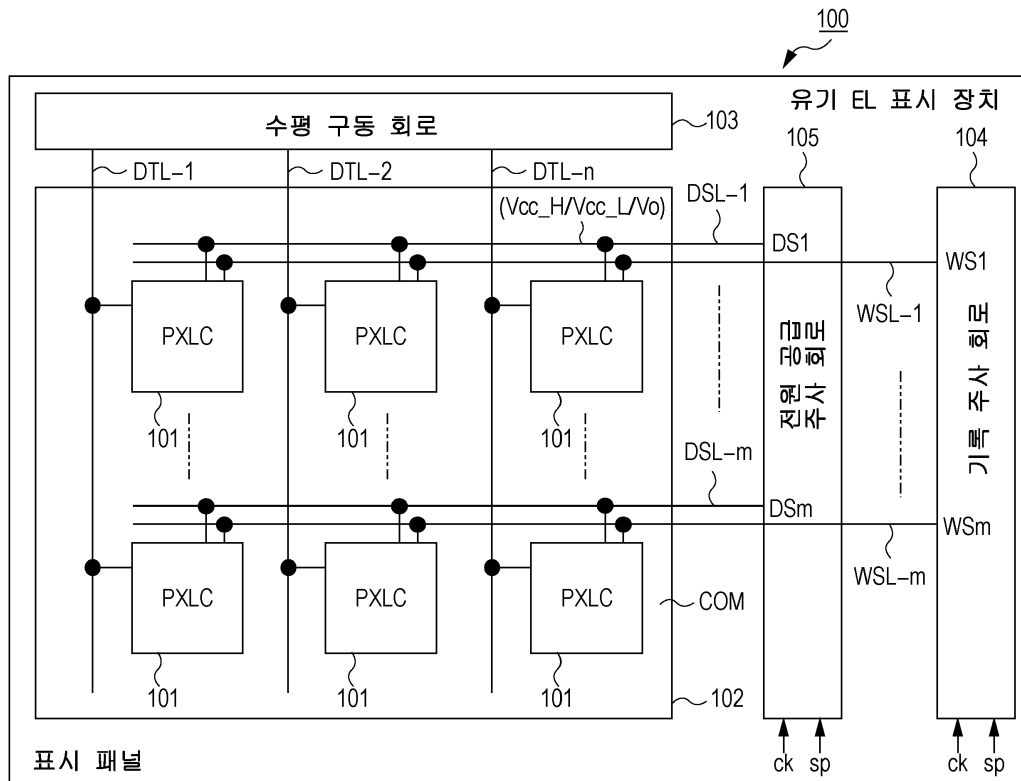
도면9



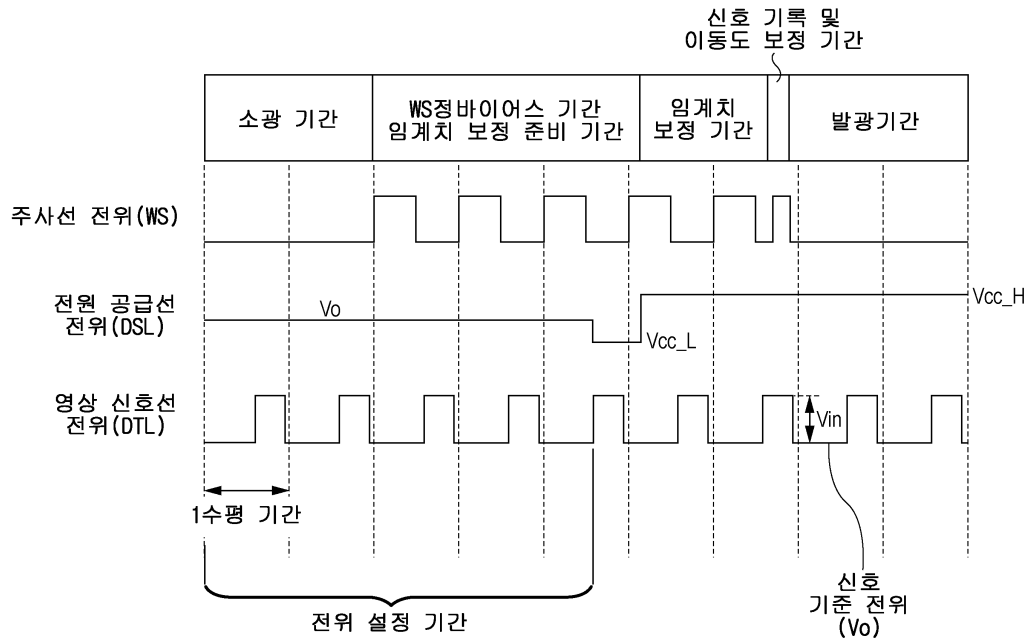
도면10



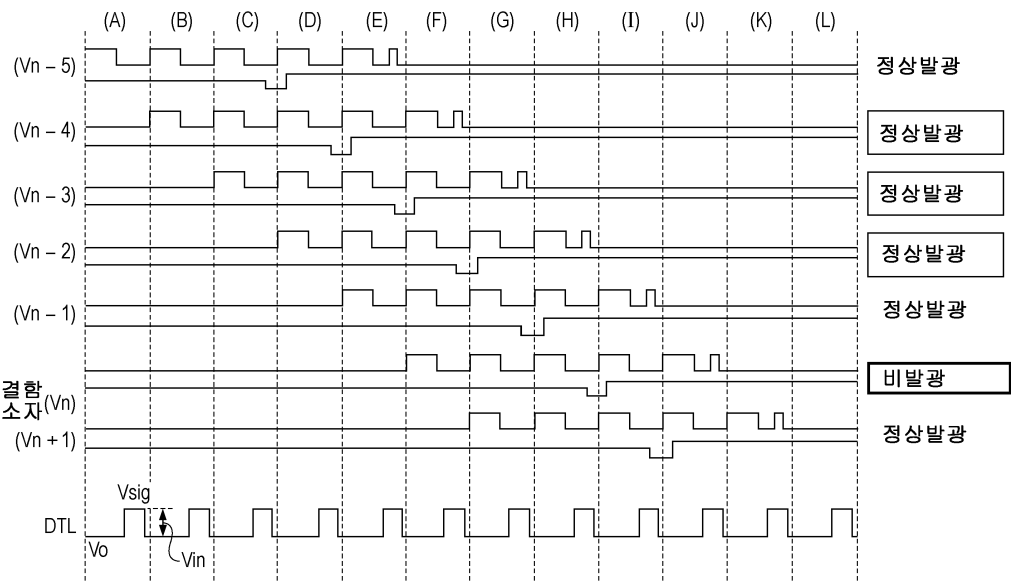
도면11



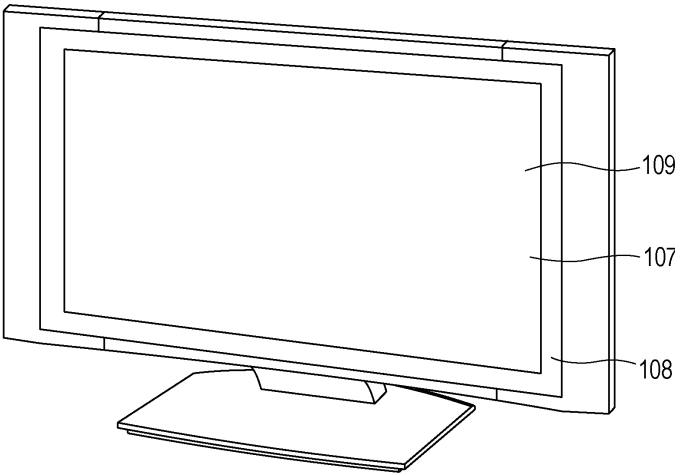
도면12



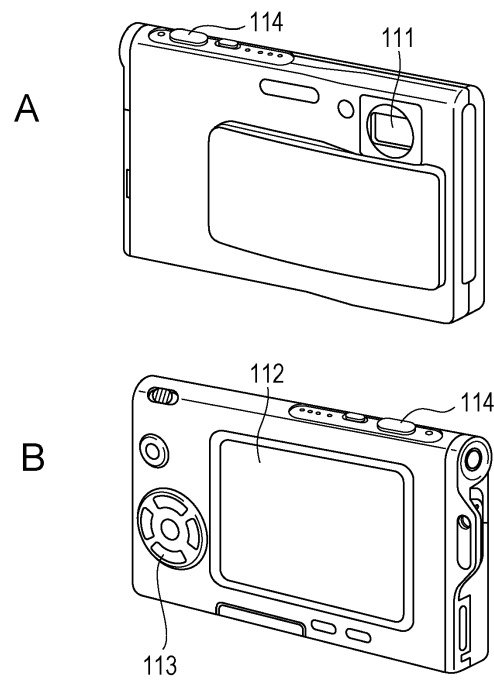
도면13



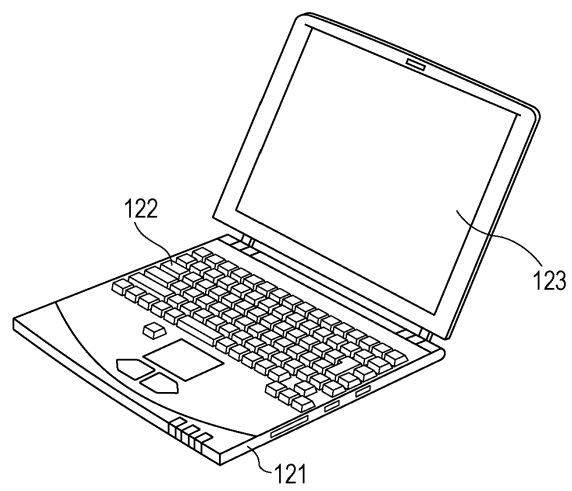
도면14



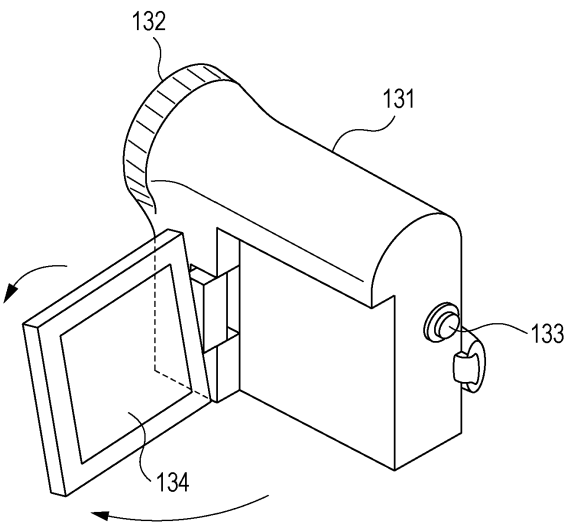
도면15



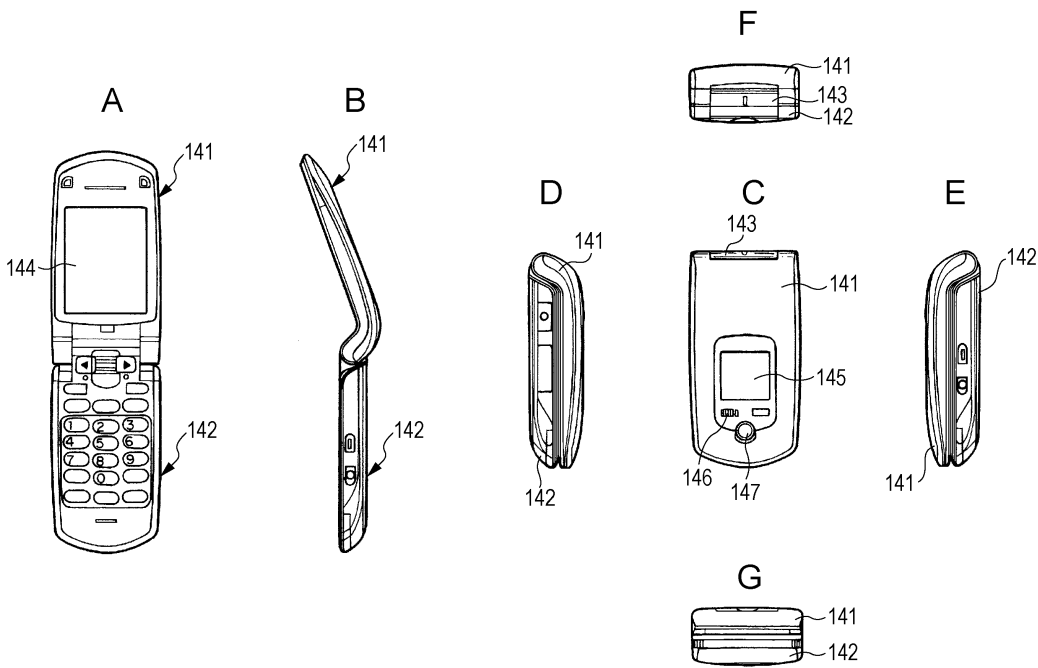
도면16



도면17



도면18



专利名称(译)	标题显示设备，显示设备的驱动方法和电子设备		
公开(公告)号	KR101611618B1	公开(公告)日	2016-04-11
申请号	KR1020090122219	申请日	2009-12-10
申请(专利权)人(译)	周杰伦红株式会社来		
当前申请(专利权)人(译)	周杰伦红株式会社来		
[标]发明人	IIDA YUKIHITO 이이다유키히토 ASANO MITSURU 아사노미츠루 TANEDA TAKAYUKI 타네다타카유키		
发明人	이이다유키히토 아사노미츠루 타네다타카유키		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/30 G09G3/20 G09G3/32 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0262 G09G2320/0233 G09G2320/043 G09G2320/046 G09G2330/08		
代理人(译)	用最甜		
优先权	2008315466 2008-12-11 JP		
其他公开文献	KR1020100067623A		
外部链接	Espacenet		

摘要(译)

问题 即使驱动晶体管的栅极和有机EL元件的阳极在像素中电短路，也不应将亮度波动区域识别为线性缺陷。这意味着解决 本发明的特征在于，在每个具有有机EL元件1D，记录晶体管1A，驱动晶体管1B和存储电容器1C的像素排列成矩阵的结构中，通过将扫描信号提供给扫描线同时将视频信号参考电位施加到信号线DTL，将自像素中的驱动晶体管1B的阈值电压设置为驱动晶体管1B的阈值电压，提供用于将提供给电源线DSL的电位设置为在将高电位Vcc_H提供给电源线DSL的时段内的视频信号参考电位Vo的电位设置时段。

