



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월14일
(11) 등록번호 10-1450889
(24) 등록일자 2014년10월07일

(51) 국제특허분류(Int. Cl.)
H05B 33/14 (2006.01) H05B 33/02 (2006.01)
(21) 출원번호 10-2008-0001812
(22) 출원일자 2008년01월07일
심사청구일자 2013년01월04일
(65) 공개번호 10-2009-0076068
(43) 공개일자 2009년07월13일
(56) 선행기술조사문헌
KR1020030057377 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정연식
경상북도 구미시 3공단2로 235, LG전자 디지털디스플레이 사업본부 (진평동)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 10 항

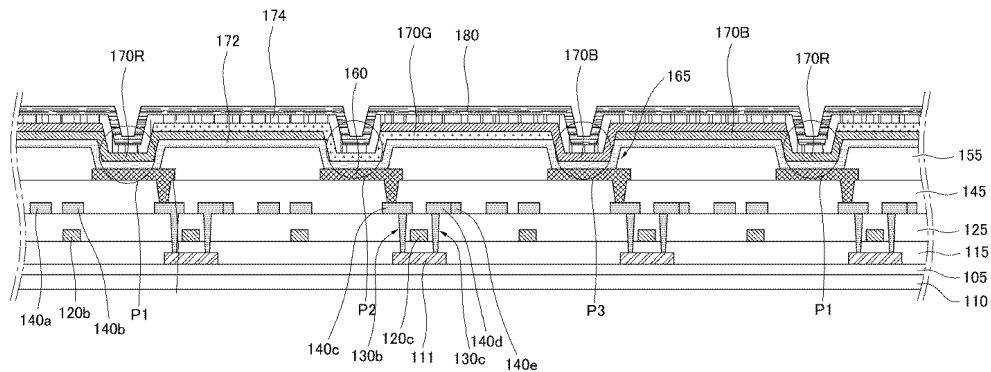
심사관 : 임민섭

(54) 발명의 명칭 전계발광표시장치

(57) 요약

본 발명의 일 실시예에 따른 전계발광표시장치는 각각 발광층을 포함하는 다수의 발광다이오드들 및 발광다이오드들 사이에 형성된 절연막을 포함하고, 인접하는 발광다이오드들의 발광층들이 절연막 상에서만 겹쳐 있을 수 있다.

대 표 도



특허청구의 범위

청구항 1

각각 발광층을 포함하는 다수의 발광다이오드들; 및
상기 발광다이오드들 사이에 형성된 절연막; 을 포함하고,
인접하는 상기 발광다이오드들의 발광층들이 상기 절연막 상에서만 겹쳐 있는 전계발광표시장치.

청구항 2

제 1 항에 있어서,
상기 절연막 상에서만 겹쳐있는 발광층은 제 1 발광층 및 제 2 발광층을 포함하고, 제 1 발광층 및 제 2 발광층은 서로 다른 색인 것을 특징으로 하는 전계발광표시장치.

청구항 3

제 1 항에 있어서,
상기 발광층 하부에는 정공주입층 또는 정공수송층 중 어느 하나 이상을 더 포함하는 전계발광표시장치.

청구항 4

제 1 항에 있어서,
상기 발광층 상에는 전자주입층 또는 전자수송층 중 어느 하나 이상을 더 포함하는 전계발광표시장치.

청구항 5

제 1 항에 있어서,
게이트 전극, 소스전극, 드레인 전극 및 반도체층을 포함하는 박막트랜지스터를 더 구비하는 것을 특징으로 하는 전계발광표시장치.

청구항 6

제 1 항에 있어서,
상기 절연막은 화소정의막인 것을 특징으로 하는 전계발광표시장치.

청구항 7

제 1 항에 있어서,
상기 발광층은 각각 인광물질 또는 형광물질 중 어느 하나로 이루어지는 것을 특징으로 하는 전계발광표시장치.

청구항 8

제 1 항에 있어서,
상기 절연막은 정테이퍼 형상인 것을 특징으로 하는 전계발광표시장치.

청구항 9

제 1 항에 있어서,
컬러필터를 더 포함하고,
상기 발광층은 백색 발광층인 것을 특징으로 하는 전계발광표시장치.

청구항 10

제 1 항에 있어서,

색변환 매질층을 더 포함하고, 상기 발광층은 청색 발광층인 것을 특징으로 하는 전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 디스플레이에 관한 것으로, 보다 상세하게는 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 정보통신기술의 발달로, 다양화된 정보화 사회의 요구에 따라, 전자 디스플레이의 수요가 증가되고 있고, 요구되는 디스플레이 또한 다양해지고 있다.

[0003] 이와 같이 다양화된 정보화 사회의 요구를 만족시키기 위하여, 전자 디스플레이소자는 고정세화, 대형화, 저가격화, 고성능화, 박형화, 소형화 등의 특성을 가질 것이 요구되고 있으며, 이를 위해, 기존의 음극선관(Cathode Ray Tube: CRT) 이외에 새로운 평판 디스플레이(Flat Panel Display: FPD) 소자가 개발되고 있다.

[0004] 특히, 통신 및 컴퓨터에 관련된 반도체와 디스플레이 등의 소재 개발이 각 분야의 기술 진보에 주요한 관건이 되고 있으며, 현재 사용되고 있는 여러 디스플레이 소자들 중에서 천연색 표시 소자로서의 응용면에서 주목 받고 있는 하나가 전계발광표시장치이다.

[0005] 전계발광표시장치는 액정표시장치와 같은 수광 형태의 소자에 비해 응답속도가 빠르고 자체발광 형태이므로 휘도가 우수하며, 구조가 간단하여 생산이 용이하고 경량박형의 장점을 가지고 있다.

[0006] 전계발광표시장치는 일반적으로 소자의 구동 중 흐르는 누설전류(leakage current)로 인하여 발광영역, 특히 발광층의 에지(edge) 부근에서 암점 또는 휘점이 발생하는 경우가 발생할 수 있다.

[0007] 상술한 암점 또는 휘점 등은 화상의 표현에 있어서 일부분만 밝게 발광하거나 어둡게 보여 디스플레이의 화질에 있어서 큰 결점이 되고 있다.

[0008] 따라서, 애노드, 발광층, 캐소드 등으로 이루어지는 발광영역(혹은 서브픽셀)에서의 누설전류의 흐름을 차단하여, 누설전류로 인한 전계발광표시장치의 상술한 결함을 해결하기 위한 다양한 연구들이 시도되고 있다.

발명의 내용

해결 하고자하는 과제

[0009] 본 발명이 해결하고자 하는 과제는 디스플레이 장치에 흐르는 누설전류를 차단함으로써 발광층, 특히 발광층의 에지 부근에서 발생하는 휘점 또는 암점 등의 불량을 방지하여 품질 및 수율을 높일 수 있는 전계발광표시장치를 제공함에 있다.

[0010] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0011] 본 발명의 일 실시예에 따른 전계발광표시장치는 각각 발광층을 포함하는 다수의 발광다이오드들 및 발광다이오드들 사이에 형성된 절연막을 포함하고, 인접하는 발광다이오드들의 발광층들이 절연막 상에서만 겹쳐 있을 수 있다.

- [0012] 또한, 절연막 상에서만 겹쳐있는 발광층은 제 1 발광층 및 제 2 발광층을 포함하고, 제 1 발광층 및 제 2 발광층은 색이 서로 다를 수 있다.
- [0013] 또한, 발광층 하부에는 정공주입층 또는 정공수송층 중 어느 하나 이상을 더 포함할 수 있다.
- [0014] 또한, 발광층 상에는 전자주입층 또는 전자수송층 중 어느 하나 이상을 더 포함할 수 있다.
- [0015] 또한, 게이트 전극, 소스전극, 드레인 전극 및 반도체층을 포함하는 박막트랜지스터를 더 구비할 수 있다.
- [0016] 또한, 절연막은 화소정의막일 수 있다.
- [0017] 또한, 발광층은 각각 인광물질 또는 형광물질 중 어느 하나로 이루어질 수 있다.
- [0018] 또한, 절연막은 정테이퍼 형상일 수 있다.
- 또한, 컬러필터를 더 포함하고, 발광층은 백색 발광층일 수 있다.
- 또한, 색변환 매질층을 더 포함하고, 발광층은 청색 발광층일 수 있다.

효 과

- [0019] 본 발명의 일 실시예에 따른 전계발광표시장치는 누설전류로 인한 발광영역의 휘점 및 암점의 발생을 방지하여 전계발광표시장치의 품질을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 후술하는 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 전계발광표시장치에 대하여 상세히 설명한다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 전계발광표시장치의 블록도이고, 도 2a내지 도 2b는 본 발명의 일 실시예에 따른 전계발광표시장치의 서브픽셀 회로의 일 예이다.
- [0023] 도 1을 참조하면, 본 발명의 일 실시예에 따른 전계발광표시장치는 표시패널(100), 스캔 구동부(200), 데이터 구동부(300) 및 제어부(400)를 포함한다.
- [0024] 표시패널(100)은 복수의 신호라인(S1~Sn, D1~Dm), 복수의 전원라인(미도시) 및 이들에 연결되어 매트릭스 형태로 배열된 복수의 서브픽셀(PX)을 포함한다.
- [0025] 복수의 신호라인(S1~Sn, D1~Dm)은 스캔신호를 전달하는 복수의 스캔라인(S1~Sn) 및 데이터 신호를 전달하는 데이터 라인(D1~Dm)을 포함하며, 각 전원라인(미도시)은 제 1 전원 전압(VDD)등을 각 서브픽셀(PX)에 전달할 수 있다.
- [0026] 여기서, 복수의 신호라인은 스캔라인(S1~Sn) 및 데이터 라인(D1~Dm)만을 포함하는 것으로 도시하고 설명하였지만, 이에 한정되는 것은 아니며, 구동방식에 따라 소거신호를 전달하는 소거라인(미도시)을 더 포함할 수도 있다.
- [0027] 그러나, 소거 신호가 사용되는 경우에도 소거 라인이 생략되는 것이 가능하다. 이러한 경우에는 소거 신호를 다른 라인으로 공급할 수 있다. 예를 들면, 도시하지는 않았지만, 표시 패널(100)에는 제 1전원 전압(VDD)을 공급하는 전원 라인이 더 포함되는 경우에, 소거 신호는 전원 라인을 통해 공급될 수도 있다.
- [0028] 도 2a를 참조하면, 서브픽셀(PX)은 스캔라인(Sn)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원 전압(VDD)의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2) 및 구동전류에 해당하는 빛을 발

광하는 발광 다이오드(OLED)를 포함할 수 있다.

[0029] 그리고, 서브픽셀은, 도 2b에 도시한 바와 같이, 스캔라인(Sn)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원전압의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2), 구동전류에 해당하는 빛을 발광하는 발광 다이오드(OLED) 및 소거 라인(En)으로부터의 소거 신호에 따라 커패시터에 저장된 데이터 신호를 소거하는 소거용 스위칭 박막 트랜지스터(T3)를 포함할 수 있다.

[0030] 도 2b에 도시한 픽셀 회로는 하나의 프레임을 복수개의 서브필드로 나누어 계조를 표현하는 디지털 구동 방식에 의하여 전계발광표시장치를 구동할 경우, 어드레스 시간보다 발광 시간이 작은 서브필드에 소거 신호를 공급함으로써 발광 시간을 조절할 수 있다. 따라서, 전계발광표시장치의 최소 휘도를 낮출 수 있는 장점이 있다.

[0031] 여기서, 본 발명의 일 실시예에 따른 전계발광표시장치의 구동전압, 즉, 제1 전원전압(VDD)과 제 2 전원전압(Vss)의 차는 표시패널의 크기 및 구동방식에 따라서 달라질 수 있는데, 구동전압의 크기는 다음과 같다.

[0032] <디지털 구동 방식>

	VDD-Vss (R)	VDD-Vss (G)	VDD-Vss (B)
S< 3인치	3.5~10 (V)	3.5~10(V)	3.5~12(V)
3인치<S<20인치	5~15(V)	5~15(V)	5~20(V)
20인치<S<	5~20(V)	5~20(V)	5~25(V)

[0034] S: 표시패널의 크기(단위: 인치)

[0035] <아날로그 구동 방식>

	VDD-Vss (R, G, B)
S< 3인치	4~20 (V)
3인치<S<20인치	5~25(V)
20인치<S<	5~30(V)

[0037] S: 표시패널의 크기(단위: 인치)

[0038] 다시 도 1을 참조하면, 스캔 구동부(200)는 표시패널(100)의 스캔라인(S1~Sn)에 연결되어, 제 1 박막트랜지스터(T1)를 턴온시킬 수 있는 스캔신호를 스캔라인(S1~Sn)에 각각 인가한다.

[0039] 데이터 구동부(300)는 표시패널(100)의 데이터 라인(D1~Dm)에 연결되어 출력 영상 신호(DAT)를 나타내는 데이터 신호를 데이터 라인(D1~Dm)에 인가한다. 이러한, 데이터 구동부(300)는 데이터 라인(D1~Dm)에 연결되는 적어도 하나의 데이터 구동 집적회로(integrated circuit, IC)를 포함할 수 있다.

[0040] 데이터 구동 IC는 차례로 연결되어 있는 쉬프트 레지스터(shift register), 래치(latch), 디지털-아날로그 변환부(DA-converter) 및 출력 버퍼(output buffer)를 포함할 수 있다.

[0041] 쉬프트 레지스터는 수평동기시작신호(STH)(또는 시프트 클럭신호)가 들어오면 데이터 클럭신호(HCLK)에 따라 출력 영상 신호(DAT)를 래치에 전달할 수 있다. 데이터 구동부(300)가 복수의 데이터 구동 IC를 포함하는 경우, 한 구동 IC의 시프트 레지스터는 시프트 클럭신호를 다음 구동 IC의 시프트 레지스터로 내보낼 수 있다.

[0042] 래치는 출력 영상 신호(DAT)를 기억하며, 기억하고 있는 출력 영상 신호(DAT)를 로드 신호(LOAD)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.

[0043] 디지털-아날로그 변환부는 출력 영상 신호(DAT)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.

[0044] 출력 버퍼는 디지털-아날로그 변환부로부터의 출력 전압을 데이터 신호로서 데이터 라인(D1~Dm)으로 출력하며,

이를 1 수평 주기(1H) 동안 유지한다.

- [0045] 제어부(400)는 스캔 구동부(200) 및 데이터 구동부(300)의 동작을 제어한다. 또한, 제어부(400)는 입력 영상 신호(R, G, B)를 감마변환하여 출력 영상 신호(DAT)를 생성하는 신호변환부(450)을 포함할 수 있다.
- [0046] 즉, 제어부(400)는 스캔 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 스캔 제어 신호(CONT1)를 스캔 구동부(200)로 출력하고, 데이터 제어 신호(CONT2)와 처리한 출력 영상 신호(DAT)를 데이터 구동부(300)로 출력한다.
- [0047] 또한, 제어부(400)는 외부의 그래픽 콘트롤러(미도시)로부터의 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 여기서, 입력 제어 신호의 예로는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0048] 이러한 구동장치(200, 300, 400) 각각은 적어도 하나의 집적 회로 칩의 형태로 표시패널(100) 위에 직접 장착되거나, 가요성 인쇄회로 필름(Flexible Printed Circuit Film)(미도시) 위에 장착되어 TCP(tape carrier package)의 형태로 표시패널(100)에 부착되거나, 별도의 인쇄회로기판(Printed Circuit Board)(미도시) 위에 장착될 수도 있다.
- [0049] 이와는 달리, 이들 구동장치(200, 300, 400)가 복수의 신호라인(S1~Sn, D1~Dm) 또는 박막 트랜지스터(T1, T2, T3) 등과 함께 표시패널(100)에 집적될 수도 있다.
- [0050] 또한, 구동장치(200, 300, 400)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로소자가 단일 칩 외부에 있을 수 있다.
- [0051] 도 3은 본 발명의 일 실시예에 따른 전계발광표시장치의 서브픽셀 평면 투시도이다.
- [0052] 도 3을 참조하면, 일 방향으로 배열된 스캔 라인(120a), 상기 스캔 라인(120a)과 수직하게 배열된 데이터 라인(140a) 및 상기 데이터 라인(140a)과 평행하게 배열된 전원 라인(140e)에 의해 정의되는 화소 영역 및 상기 화소 영역 외의 비화소 영역을 포함하는 기관(110)이 위치한다.
- [0053] 상기 화소 영역에는 스캔 라인(120a) 및 데이터 라인(140a)과 연결된 스위칭 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(T1) 및 전원 라인(140e)과 연결된 커패시터(Cst)와, 상기 커패시터(Cst) 및 전원 라인(140e)과 연결된 구동 박막 트랜지스터(T2)가 위치한다.
- [0054] 상기 커패시터(Cst)는 커패시터 하부전극(120b) 및 커패시터 상부전극(140b)을 포함할 수 있다.
- [0055] 상기 화소영역에는 상기 구동 박막 트랜지스터(T2)와 전기적으로 연결된 제 1 전극(160)과, 상기 제 1 전극(160) 상에 발광층(미도시) 및 제 2 전극(미도시)을 포함하는 서브픽셀이 위치한다.
- [0056] 상기 화소 영역은 스캔 라인(120a), 데이터 라인(140a) 및 전원 라인(140e)을 포함할 수 있다.
- [0057] 도 4a 내지 도 4b는 본 발명의 일 실시예에 따른 전계발광표시장치의 단면도이다.
- [0058] 먼저, 도 4a를 참조하면, 본 발명의 일 실시 예에 따른 전계발광표시장치를 보다 자세히 살펴보면 다음과 같다.
- [0059] 기관(110) 상에 버퍼층(105)이 위치한다. 상기 버퍼층(105)은 기관(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- [0060] 여기서, 상기 기관(110)은 유리, 플라스틱 또는 금속일 수 있다.
- [0061] 상기 버퍼층(105) 상에 반도체층(111)이 위치한다. 상기 반도체층(111)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다.
- [0062] 또한, 상기 반도체층(111)은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 상기 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- [0063] 상기 반도체층(111) 상에 게이트 절연막일 수 있는 제 1 절연막(115)이 위치한다. 상기 제 1 절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.
- [0064] 상기 제 1 절연막(115) 상에 상기 반도체층(111)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널 영역과 대

응되는 위치에 게이트 전극(120c)이 위치한다. 그리고, 상기 게이트 전극(120c)과 동일층 상에 스캔 라인(미도시) 및 커패시터 하부 전극(120b)이 위치한다.

- [0065] 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0066] 또한, 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- [0067] 예를 들면, 게이트 전극(120c)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0068] 상기 스캔 라인(미도시)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0069] 또한, 상기 스캔 라인(미도시)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- [0070] 예를 들면, 스캔 라인(미도시)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0071] 층간 절연막일 수 있는 제 2 절연막(125)은 상기 스캔 라인(120a), 커패시터 하부 전극(120b) 및 게이트 전극(120c)을 포함하는 기판(110) 상에 위치한다. 상기 제 2 절연막(125)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- [0072] 상기 제 2 절연막(125) 및 제 1 절연막(115) 내에 반도체층(120)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치한다.
- [0073] 상기 제 2 절연막(125) 및 제 1 절연막(115)을 관통하는 콘택홀들(130b, 130c)을 통하여 반도체층(111)과 전기적으로 연결되는 드레인 전극 및 소오스 전극(140c, 140d)이 화소 영역에 위치한다.
- [0074] 상기 드레인 전극 및 소오스 전극(140c, 140d)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0075] 또한, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0076] 그리고, 드레인 전극 및 소오스 전극(140c, 140d)과 동일층 상에 데이터 라인(140a), 커패시터 상부 전극(140b) 및 전원 라인(140e)이 위치할 수 있다.
- [0077] 상기 화소 영역에 위치하는 데이터 라인(140a), 전원 라인(140e)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 데이터 라인(140a) 및 전원 라인(140e)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0078] 또한, 상기 데이터 라인(140a) 및 전원 라인(140e)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0079] 특히, 상기 데이터 라인(140a) 및 전원 라인(140e)은 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0080] 제 3 절연막(145)은 상기 데이터 라인(140a), 커패시터 상부 전극(140b), 드레인 및 소오스 전극(140c, 140d)과 전원 라인(140e) 상에 위치한다. 상기 제 3 절연막(145)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 또한 실리콘 산화물 등의 무기물을 사용할 수도 있다.
- [0081] 이와는 달리, 상기 제 3 절연막(145)은 패시베이션막일 수 있으며, 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 또는 이들의 다중층일 수 있다.
- [0082] 제 3 절연막(145) 내에 드레인 및 소오스 전극(140c, 140d) 중 어느 하나를 노출시키는 비어홀(165)이

위치하며, 제 3 절연막(145) 상에 비어홀(165)을 통하여 드레인 및 소오스 전극(140c, 140d) 중 어느 하나와 전기적으로 연결되는 제 1 전극(160)이 위치한다.

- [0083] 상기 제 1 전극(160)은 애노드일 수 있다. 여기서, 전계발광표시장치의 구조가 배면 또는 양면발광일 경우에 상기 제 1 전극(160)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명한 물질로 이루어질 수 있다.
- [0084] 또한, 전계발광표시장치의 구조가 전면발광일 경우에 상기 제 1 전극(160)은 ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 층 하부에 알루미늄(Al), 은(Ag) 또는 니켈(Ni) 중 어느 하나로 이루어진 반사층을 더 포함할 수 있고, 이와 더불어, ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 두 개의 층 사이에 상기 반사층을 포함하는 다중층 구조를 가질 수 있다.
- [0085] 제 1 전극(160) 상에 인접하는 제 1 전극(160)들을 절연시키며, 제 1 전극(160)의 일부를 노출시키는 개구부(165)를 포함하는 제 4 절연막(155)이 위치한다. 제 4 절연막은 화소정의막(혹은 뱅크층)으로 정의될 수 있다. 또한, 상기 제 4 절연막은 정테이퍼 형상을 가질 수 있다.
- [0086] 제 1 전극(160) 및 제 4 절연막(155) 상에는 정공주입층 또는 정공수송층 중 적어도 어느 하나 이상을 포함하는 제 1 기능층(172)이 위치할 수 있다.
- [0087] 정공주입층 또는 정공수송층은 정공주입층, 정공수송층, 그 이후에 증착되는 발광층(170R, 170G, 170B), 전자주입층 및 전자수송층의 재료, 두께, 발광효율, 여기자의 생성위치 등 여러 요인에 따라 모두 형성되거나 둘 중 하나만 위치할 수도 있다. 또한 정공주입층과 정공수송층이 모두 형성되지 않을 수도 있다.
- [0088] 상기 정공주입층은 상기 제 1 전극(160)으로부터 발광층(170R, 170G, 170B)으로 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0089] 상기 정공수송층은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0090] 상기 정공주입층 및 정공수송층은 증발법 또는 스퍼터링법을 이용하여 형성할 수 있다.
- [0091] 이후에 설명하는 서브픽셀이라는 용어는 트랜지스터 및 각 전원라인 제 1 전극, 발광층 및 제 2 전극 등을 포함하여 독립된 영역으로서 빛을 발생시키는 최소단위의 의미보다는, 제 1 전극, 발광층 및 제 2 전극을 포함하는 발광다이오드의 개념으로 설명함을 미리 밝혀두는 바이다. 또한 발광다이오드는 정공수송층, 정공주입층, 전자주입층 및 전자수송층 중 적어도 어느 하나 이상을 포함할 수 있다.
- [0092] 여기서 제 1 발광다이오드(P1)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 1 발광다이오드(P1)를 둘러싸는 제 4 절연막(155) 상의 제 1 기능층(172) 상에는 제 1 발광층(170R)이 위치할 수 있다. 제 1 발광층(170R)은 도 4a에서 보는 바와 같이 제 1 발광다이오드(P1), 제 1 발광다이오드(P1)와 제 4 절연막(155)의 경계 부분 및 제 4 절연막(155) 상에 연결되어 증착될 수 있다.
- [0093] 제 2 발광다이오드(P2)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 1 발광다이오드(P1)를 둘러싸는 제 4 절연막(155) 상의 제 1 기능층(172) 및 제 1 발광층(170R) 상에는 제 2 발광층(170G)이 위치할 수 있다. 제 2 발광층(170G)은 도 4a에서 보는 바와 같이 제 2 발광다이오드(P2), 제 2 발광다이오드(P2)와 제 4 절연막(155)의 경계부분 및 제 4 절연막(155) 상에 연결되어 증착될 수 있다.
- [0094] 제 3 발광다이오드(P3)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 3 발광다이오드(P3)를 둘러싸는 제 4 절연막(155) 상의 제 1 발광층(170R) 및 제 2 발광층(170G) 상에는 제 3 발광층(170B)이 위치할 수 있다. 제 3 발광층(170B)은 도 4a에서 보는 바와 같이 제 3 발광다이오드(P3), 제 3 발광다이오드(P3)와 제 4 절연막(155)의 경계부분 및 제 4 절연막(155) 상에 연결되어 증착될 수 있다.
- [0095] 즉, 발광다이오드들(P1, P2, P3)에 각각의 발광층(170R, 170G, 170B)을 증착시키면서, 각각 다른 발광다이오드들(P1, P2, P3) 사이에 있는 제 4 절연막(155) 상에 도 4a와 같이 복수의 발광층(170R, 170G, 170B)을 함께 증착시킬 수 있다.

- [0096] 이때, 도면에 따른 구조는 발광층을 증착시킴에 있어서, 제 1 발광층(170R), 제 2 발광층(170G), 제 3 발광층(170B)의 순서로 적층시킴에 따라 나타날 수 있다. 여기서 제 1 발광층(170R)은 적색, 제 2 발광층(170G)은 녹색, 제 3 발광층(170B)은 청색일 수 있다. 또한 본 구조는 상술한 적색/녹색/청색 발광층의 순서대로 증착한 것이지만 녹색/청색/적색 등 다양한 증착 순서에 따라 발광층의 위치가 바뀔 수 있음은 자명할 것이다.
- [0097] 상기 발광층(170R)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0098] 상기 발광층(170G)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0099] 상기 발광층(170B)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다.
- [0100] 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0101] 상술한 구조는 후술하는 전자주입층, 전자수송층 및 제 2 전극(180)이 위치한 후에 소자의 구동시 흐르는 누설 전류를 차단할 수 구조가 될 수 있다.
- [0102] 보다 상세히 설명하면, 전계발광표시장치는 소자의 구동중 흐르는 누설전류(leakage current)로 인해 발광층, 특히 발광층이 제 4 절연막과 만나는 경계 부근으로 누설전류가 많이 흐르게 되어 암점 또는 휘점이 발생하는 경우가 많다. 이는 발광다이오드와 제 4 절연막이 만나는 경계 부분에서 발광층, 정공수송층, 정공주입층, 전자수송층, 전자주입층 등이 증착되면서 생기는 오차 문제 및 누설전류가 터널링하게 되는 증착 두께의 문제 등이 혼재되어 제 1 전극(160)과 제 2 전극(180)간에 전기적 단락 현상이 일어남으로써 생길 수 있다.
- [0103] 따라서, 발광층을 증착할 때, 발광다이오드들(P1, P2, P3)과 제 4 절연막(155)의 경계부분 및 제 4 절연막(155) 상에 함께 증착시킴으로써, 전계발광표시장치의 구동시 발생하는 누설전류가 발광다이오드, 특히 발광다이오드의 에지 부근으로 흐르는 것을 막아 발광다이오드에서 생기는 암점, 휘점 등의 불량을 방지하여 품질이 좋은 전계발광표시장치를 제공할 수 있다.
- [0104] 제 1 내지 제 3 발광층(170R, 170G, 170b) 상에는 전자주입층 또는 전자수송층 중 적어도 어느 하나 이상을 포함하는 제 2 기능층(174)이 위치할 수 있다.
- [0105] 전자주입층 또는 전자수송층은 전자주입층, 전자수송층, 정공주입층, 정공수송층 및 발광층의 재료, 두께, 발광 효율, 여기자의 생성위치 등 여러 요인에 따라 모두 형성되거나 둘 중 하나만 위치할 수도 있다. 또한 전자주입층과 전자수송층이 모두 형성되지 않을 수도 있다.
- [0106] 전자수송층은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 및 SA1q로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 전자수송층은 증발법 또는 스퍼터링법을 이용하여 형성할 수 있다.
- [0107] 전자주입층은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 또는 SA1q를 사용할 수 있으나 이에 한정되지 않는다.
- [0108] 상기 전자주입층은 전자주입층을 이루는 유기물과 무기물을 공증착법으로 형성할 수 있다.
- [0109] 정공주입층 또는 전자주입층은 무기물을 더 포함할 수 있으며, 상기 무기물은 금속화합물을 더 포함할 수 있다. 상기 금속화합물은 알칼리 금속 또는 알칼리 토금속을 포함할 수 있다.
- [0110] 상기 알칼리 금속 또는 알칼리 토금속을 포함하는 금속화합물은 LiQ, LiF, NaF, KF, RbF, CsF, FrF, BeF₂, MgF₂, CaF₂, SrF₂, BaF₂ 및 RaF₂로 이루어진 군에서 선택된 어느 하나 이상일 수 있으나 이에 한정되지 않는다.
- [0111] 즉, 전자주입층내의 무기물은 제 2 전극(180)으로부터 발광층으로 주입되는 전자의 호핑(hopping)을 용이하게

하여, 발광층내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.

- [0112] 또한, 정공주입층 내의 무기물은 제 1 전극(160)으로부터 발광층으로 주입되는 정공의 이동성을 줄여줌으로써, 발광층내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.
- [0113] 상기 발광층 상에 제 2 전극(180)이 위치한다. 상기 제 2 전극(180)은 캐소드 전극일 수 있으며, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0114] 여기서, 제 2 전극(180)은 전계발광표시장치가 전면 또는 양면발광구조일 경우, 빛을 투과할 수 있을 정도로 얇은 두께로 형성할 수 있으며, 전계발광표시장치가 배면발광구조일 경우, 빛을 반사시킬 수 있을 정도로 두껍게 형성할 수 있다.
- [0115] 상술한 구조를 가지는 전계발광표시장치는 프리트 또는 실런트 등의 봉지재를 통해 인캡슐레이션 기판과 봉지될 수 있다.
- [0116] 일반적으로, 유기막은 $10^0 \text{ g/m}^2/\text{day}$ 의 수분차단능력을 가지고, 무기막은 $10^{-1} \text{ g/m}^2/\text{day}$ 의 수분차단능력을 가진다.
- [0117] 일반적으로 표시장치에서 요구되는 수분차단능력은 $10^{-2} \text{ g/m}^2/\text{day}$ 로서, 본 발명의 일 실시예에 따른 전계발광소자의 봉지재는 $10^{-3} \text{ g/m}^2/\text{day}$ 이상의 산소차단능력과 $10^{-6} \text{ g/m}^2/\text{day}$ 이상의 수분 차단능력을 나타내는 밀봉특성을 지닌 물질을 사용하여 우수한 수분 및 산소 차단능력을 가질 수 있다.
- [0118] 전술한 실시 예는 총 7매의 마스크 즉, 반도체층, 게이트 전극(스캔 라인 및 커패시터 하부전극 포함), 콘택홀들, 소오스 전극 및 드레인 전극(데이터 라인, 전원 라인, 커패시터 상부전극 포함), 비어홀, 제 1 전극 및 개구부를 형성하는 공정에 마스크가 사용된 전계발광표시장치의 구조를 예로 설명하였다.
- [0119] 이하에서는, 총 5매의 마스크를 이용하여 전계발광표시장치가 형성된 실시 예를 개시한다. 하기에 개시하는 실시 예에서 전술한 전계발광표시장치와 중복되는 부분의 설명은 생략한다.
- [0120] 도 4b는 본 발명의 다른 일 실시 예에 따른 전계발광표시장치의 단면도이다.
- [0121] 도 4b를 참조하면, 기판(110) 상에 버퍼층(105)이 위치하고, 버퍼층(105) 상에 반도체층(111)이 위치한다. 반도체층(111) 상에 제 1 절연막(115)이 위치하고, 제 1 절연막(115) 상에 게이트 전극(120c), 커패시터 하부전극(120b) 및 스캔 라인(미도시)이 위치한다. 게이트 전극(120c) 상에 제 2 절연막(125)이 위치한다.
- [0122] 제 2 절연막(125) 상에 제 1 전극(160)이 위치하고, 반도체층(111)을 노출시키는 콘택홀들(130b, 130c)이 위치한다. 제 1 전극(160)과 콘택홀들(130b, 130c)은 동시에 형성될 수 있다.
- [0123] 제 2 절연막(125) 상에 소오스 전극(140d), 드레인 전극(140c), 데이터 라인(140a), 커패시터 상부전극(140b) 및 전원 라인(140e)이 위치한다. 여기서 드레인 전극(140c)의 일부는 제 1 전극(160) 상에 위치할 수 있다.
- [0124] 전술한 구조물이 형성된 기판(110) 상에 화소정의막 또는 배크층일 수 있는 제 3 절연막(145)이 위치하고, 제 3 절연막(145)에는 제 1 전극(160)을 노출시키는 개구부(165)가 위치한다. 개구부(165)에 의해 노출된 제 1 전극(160) 상에 발광층(170)이 위치하고, 그 상부에 제 2 전극(180)이 위치한다.
- [0125] 보다 상세히 살펴보면, 본 도면에 따른 전계발광표시장치의 제 1 전극(160) 및 제 3 절연막(145) 상에는 정공주입층 또는 정공수송층 중 적어도 어느 하나 이상을 포함하는 제 1 기능층(172)이 위치할 수 있다.
- [0126] 여기서 제 1 발광다이오드(P1)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 1 발광다이오드(P1)를 둘러싸는 제 3 절연막(145) 상의 제 1 기능층(172) 상에는 제 1 발광층(170R)이 위치할 수 있다. 제 1 발광층(170R)은 도 4a에서 보는 바와 같이 제 1 발광다이오드(P1), 제 1 발광다이오드(P1)와 제 3 절연막(145)의 경계 부분 및 제 3 절연막(145) 상에 연결되어 증착될 수 있다.
- [0127] 제 2 발광다이오드(P2)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 1 발광다이오드(P1)를 둘러싸는 제 3 절연막(145) 상의 제 1 기능층(172) 및 제 1 발광층(170R) 상에는 제 2 발광층(170G)이 위치할 수 있다. 제 2 발광층(170G)은 도 4a에서 보는 바와 같이 제 2 발광다이오드(P2), 제 2 발광다이오드(P2)와 제 3 절연막(145)의 경계부분 및 제 3 절연막(145) 상에 연결되어 증착될 수 있다.
- [0128] 제 3 발광다이오드(P3)의 제 1 전극(160) 상의 제 1 기능층(172) 및 제 3 발광다이오드(P3)를 둘러싸는 제 3 절

연막(145) 상의 제 1 발광층(170R) 및 제 2 발광층(170G) 상에는 제 3 발광층(170B)이 위치할 수 있다. 제 3 발광층(170B)은 도 4a에서 보는 바와 같이 제 3 발광다이오드(P3), 제 3 발광다이오드(P3)와 제 3 절연막(145)의 경계부분 및 제 3 절연막(145) 상에 연결되어 증착될 수 있다.

- [0129] 즉, 발광다이오드들(P1, P2, P3)에 각각의 발광층(170R, 170G, 170B)을 증착시키면서, 각각 다른 발광다이오드들(P1, P2, P3) 사이에 있는 제 3 절연막(145) 상에 도 4a와 같이 복수의 발광층(170R, 170G, 170B)을 함께 증착시킬 수 있다.
- [0130] 이때, 도면에 따른 구조는 발광층을 증착시킴에 있어서, 제 1 발광층(170R), 제 2 발광층(170G), 제 3 발광층(170B)의 순서로 적층시킴에 따라 나타날 수 있다. 여기서 제 1 발광층(170R)은 적색, 제 2 발광층(170G)은 녹색, 제 3 발광층(170B)은 청색일 수 있다. 또한 본 구조는 상술한 적색/녹색/청색 발광층의 순서대로 증착한 것이지만 녹색/청색/적색 등 다양한 증착 순서에 따라 발광층의 위치가 바뀔 수 있음은 자명할 것이다.
- [0131] 상술한 구조는 후술하는 전자주입층, 전자수송층 및 제 2 전극(180)이 위치한 후에 소자의 구동시 흐르는 누설 전류를 차단할 수 구조가 될 수 있다.
- [0132] 보다 상세히 설명하면, 전계발광표시장치는 소자의 구동중 흐르는 누설전류(leakage current)로 인해 발광층, 특히 발광층이 제 3 절연막과 만나는 경계 부근으로 누설전류가 많이 흐르게 되어 암점 또는 휘점이 발생하는 경우가 많다. 이는 발광다이오드와 제 3 절연막이 만나는 경계 부분에서 발광층, 정공수송층, 정공주입층, 전자수송층, 전자주입층 등이 증착되면서 생기는 오차 문제 및 누설전류가 터널링하게 되는 증착 두께의 문제 등이 혼재되어 제 1 전극(160)과 제 2 전극(180)간에 전기적 단락 현상이 일어남으로써 생길 수 있다.
- [0133] 따라서, 발광층을 증착할 때, 발광다이오드들(P1, P2, P3)과 제 3 절연막(145)의 경계부분 및 제 3 절연막(145) 상에 함께 증착시킴으로써, 전계발광표시장치의 구동시 발생하는 누설전류가 발광다이오드, 특히 발광다이오드의 에지 부근으로 흐르는 것을 막아 발광다이오드에서 생기는 암점, 휘점 등의 불량을 방지하여 품질이 좋은 전계발광표시장치를 제공할 수 있다.
- [0134] 제 1 내지 제 3 발광층 상에는 전자주입층 또는 전자수송층 중 적어도 어느 하나 이상을 포함하는 제 2 기능층(174)이 위치하고 제 2 기능층 상에는 제 2 전극이 위치할 수 있다.
- [0135] 상기와 같이, 총 5매의 마스크 즉, 반도체층, 게이트 전극(스캔 라인 및 커패시터 하부전극 포함), 제 1 전극(콘택홀 포함), 소오스/드레인 전극(데이터 라인, 전원 라인, 커패시터 상부전극 포함) 및 개구부를 형성하는 공정에 마스크가 사용된 전계발광표시장치는 마스크의 개수를 줄여 제조 비용을 절감하고 대량 생산의 효율성을 높일 수 있는 이점이 있다.
- [0136] 이러한 전계발광표시장치는 컬러영상을 구현함에 있어서 여러가지 방법이 있을 수 있는데, 도 5a내지 5c를 참조하여 그 구현방법에 대해 살펴보기로 한다.
- [0137] 도 5a 내지 5c는 본 발명의 일 실시 예에 따른 전계발광표시장치에서 컬러 영상을 구현하는 실시예들을 나타내는 도면이다.
- [0138] 먼저, 도 5a에 나타난 컬러 영상 구현 방식은 적색, 녹색, 청색의 빛을 각각 방출하며, 제 1 발광층일 수 있는 적색 발광층(170R), 제 2 발광층일 수 있는 녹색 발광층(170G), 제 3 발광층일 수 있는 청색 발광층(170B)을 별도로 구비한 전계발광표시장치의 컬러 영상 구현방식을 나타낸 것이다.
- [0139] 도 5a에 도시된 바와 같이, 적색광, 녹색광, 청색광이 각각의 발광층(170R, 170G, 170B)으로부터 각각 제공됨으로써, 적색광/녹색광/청색광이 혼합되어 컬러 영상을 표시할 수 있다.
- [0140] 여기서 각 발광층(170R, 170G, 170B)의 상, 하부에는 전자수송층(ETL), 정공수송층(HTL) 등이 더 포함될 수 있으며, 그 배열 및 구조에 대해서는 다양한 변형이 가능하다.
- [0141] 또한, 도 5b에 나타난 컬러 영상 구현 방식은 백색 발광층(270W)과 적색 컬러필터(290R), 녹색 컬러필터(290G), 청색 컬러필터(290B), 백색 컬러필터(290W)를 구비한 전계발광표시장치의 컬러 영상 구현방식을 나타낸 것이다.
- [0142] 도 5b에 도시된 바와 같이, 백색 발광층(270W)으로부터 제공되는 백색 빛이 적색 컬러필터(290R), 녹색 컬러필터(290G), 청색 컬러필터(290B), 백색 컬러필터(290W)를 각각 투과하면서, 적색광/녹색광/청색광/백색광이 각각 생성되어 혼합됨으로써, 컬러 영상을 표시할 수 있다. 여기서 백색 컬러필터(290W)는 백색 발광층(270W)에서 제

공되는 백색광의 색감 및 백색광이 적색광/녹색광/청색광과 만나 이루는 색의 조화에 따라 상술한 바와 같이 구성되거나 제거될 수 있다.

[0143] 또한, 도 5b에서는 적색광/녹색광/청색광/백색광의 조합에 따른 4가지 서브픽셀에 의한 컬러 구현방식을 나타내었으나, 적색광/녹색광/청색광의 조합에 따른 3가지 서브픽셀에 의한 컬러구현방식을 사용할 수도 있다.

[0144] 여기서 각 백색 발광층(270W)의 상, 하부에는 전자수송층(ETL), 정공수송층(HTL) 등이 더 포함될 수 있으며, 그 배열 및 구조에 대해서는 다양한 변형이 가능하다.

[0145] 또한, 도 5c에 나타난 컬러 영상 구현 방식은 청색 발광층(370B)과 적색 색변환 매질(color changing medium)(390R), 녹색 색변환 매질(color changing medium)(390G), 청색 색변환 매질(color changing medium)(370B)을 구비한 전계발광표시장치의 컬러 영상 구현방식을 나타낸 것이다.

[0146] 도 5c에 도시된 바와 같이, 청색 발광층(370B)으로부터 제공되는 청색 광이 적색 색변환 매질(color changing medium)(390R), 녹색 색변환 매질(color changing medium)(390G), 청색 색변환 매질(color changing medium)(370B)을 각각 투과하면서, 적색광/녹색광/청색광이 각각 생성되어 혼합됨으로써, 컬러 영상을 표시할 수 있다.

[0147] 여기서 청색 색변환 매질(370B)은 청색 발광층(370B)에서 제공되는 청색광의 색감 및 청색광이 적색광/녹색광과 만나 이루는 색의 조화에 따라 상술한 바와 같이 구성되거나 제거될 수 있다.

[0148] 여기서 청색 발광층(370B)의 상, 하부에는 전자수송층(ETL), 정공수송층(HTL) 등이 더 포함될 수 있으며, 그 배열 및 구조에 대해서는 다양한 변형이 가능하다.

[0149] 여기 도 5a 내지 도 5c에서는 배면발광구조를 도시하고 설명하였으나, 이에 한정되는 것은 아니며, 전면발광구조에 따라, 그 배열 및 구조에 대해서 다양한 변형이 가능하다.

[0150] 또한, 컬러 영상 구현방식에 대해서, 세가지 종류의 구동방식을 도시하고 설명하였으나, 이에 한정되는 것은 아니며, 필요에 따라 다양한 변형이 가능하다.

[0151] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0152] 도 1은 본 발명의 일 실시예에 따른 전계발광표시장치의 블록도이다.

[0153] 도 2a 내지 도 2b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 회로의 일 예이다.

[0154] 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 평면 투시도이다.

[0155] 도 4a 내지 도 4b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.

[0156] 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치에서 컬러 영상을 구현하는 실시예들을 나타내는 도이다.

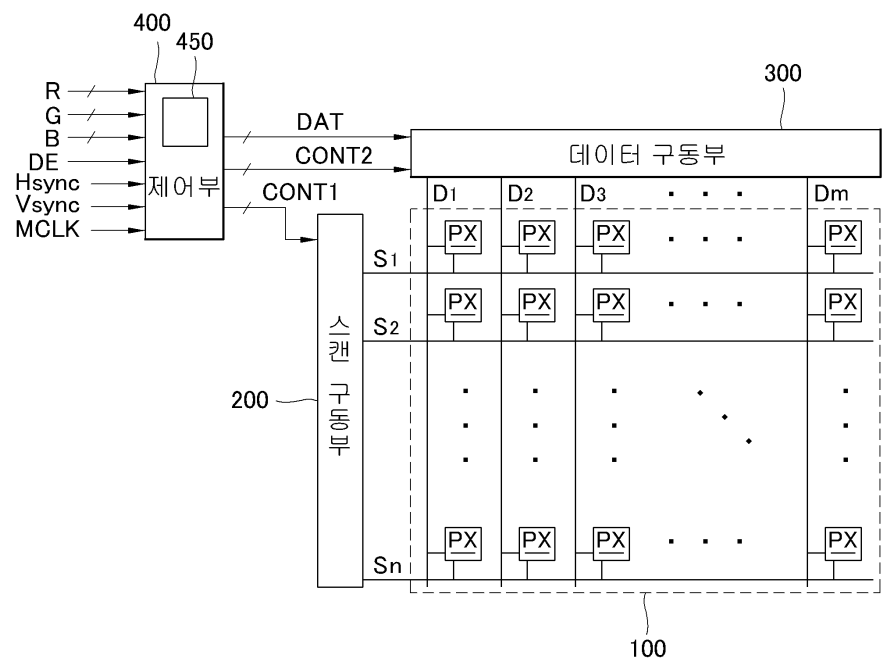
[0157] (도면의 주요부분에 대한 부호의 설명)

[0158] 170R : 제 1 발광층

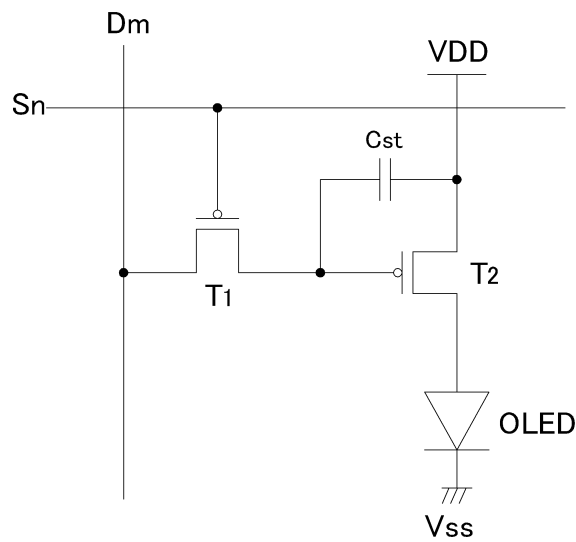
[0159] 170G : 제 2 발광층

도면

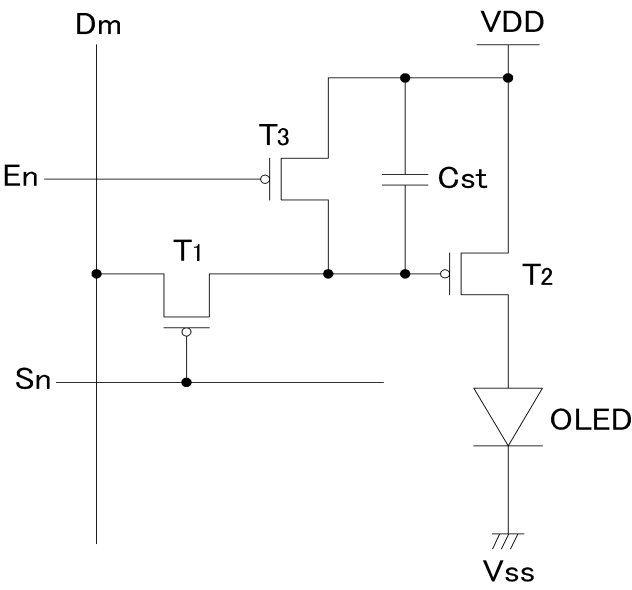
도면1



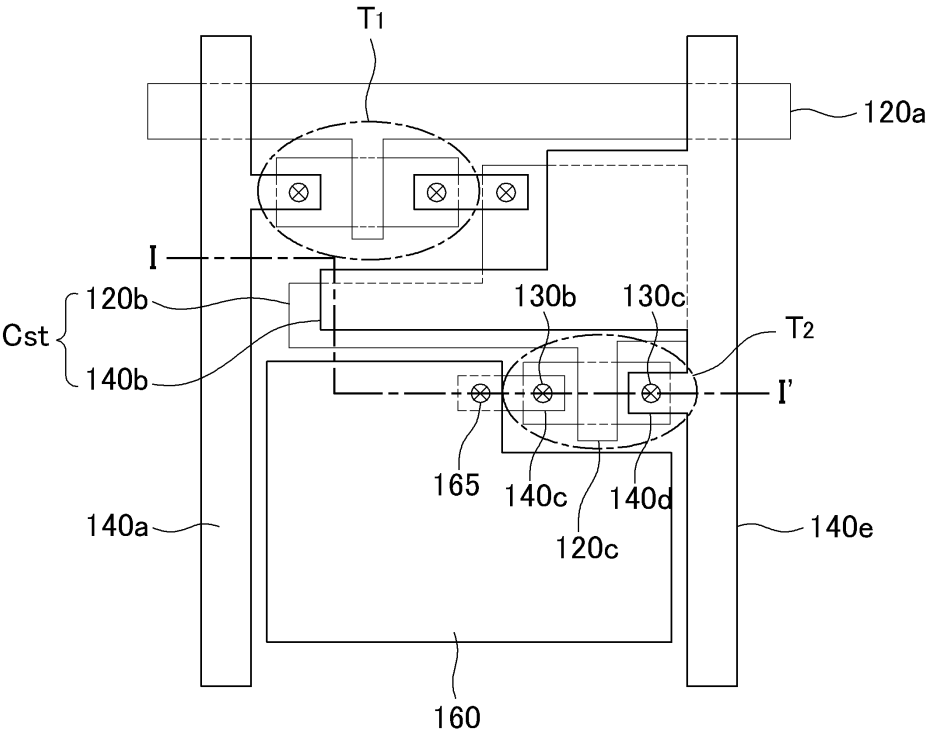
도면2a



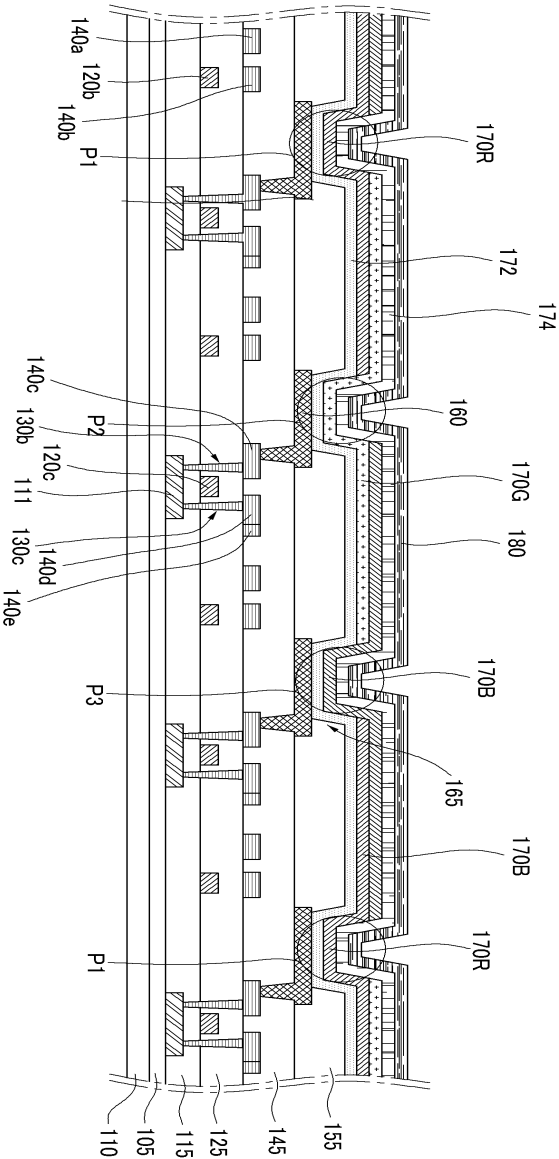
도면2b



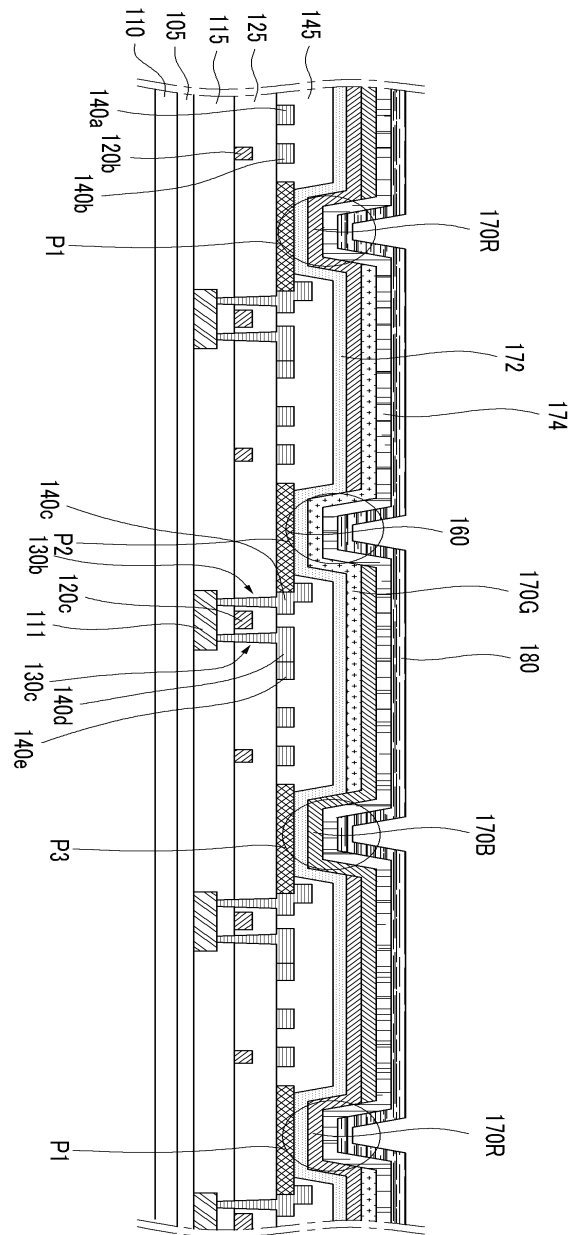
도면3



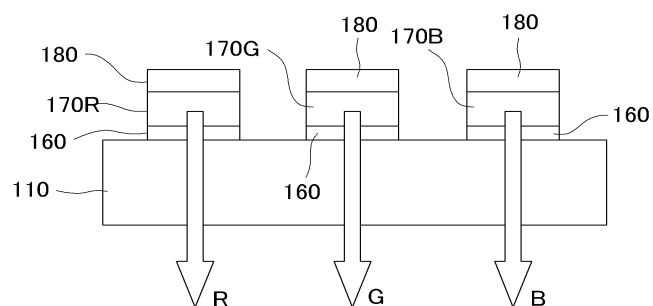
도면4a



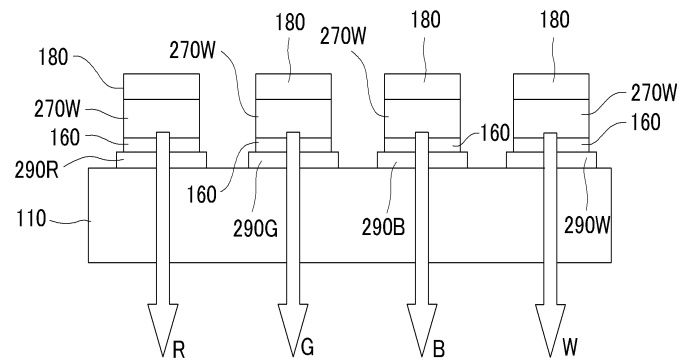
도면4b



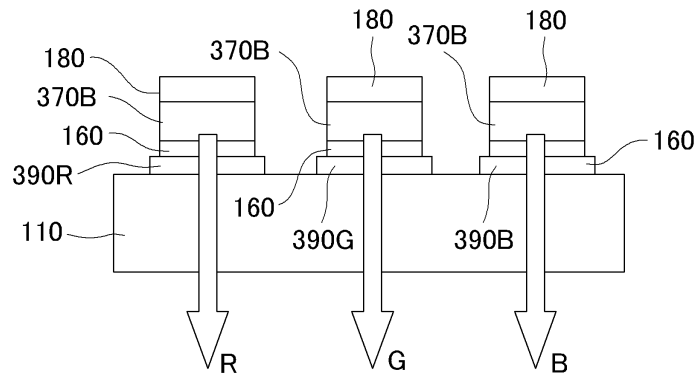
도면5a



도면5b



도면5c



专利名称(译)	发明领域		
公开(公告)号	KR101450889B1	公开(公告)日	2014-10-14
申请号	KR1020080001812	申请日	2008-01-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YUN SIK		
发明人	JEONG, YUN SIK		
IPC分类号	H05B33/14 H05B33/02		
CPC分类号	H01L27/3262 H01L51/5036 H01L51/5056 H01L51/5072 H01L51/5088 H01L51/5278 H01L51/5281 H01L51/5293 H01L2924/12044		
其他公开文献	KR1020090076068A		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的电致发光显示装置包括多个发光二极管，每个发光二极管包括发光层和形成在发光二极管之间的绝缘层，并且相邻发光二极管的发光层可以仅在绝缘层上重叠。

