



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월06일
(11) 등록번호 10-1260508
(24) 등록일자 2013년04월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2006-0037699
(22) 출원일자 2006년04월26일
심사청구일자 2011년04월14일
(65) 공개번호 10-2006-0117196
(43) 공개일자 2006년11월16일
(30) 우선권주장
JP-P-2005-00139898 2005년05월12일 일본(JP)
(56) 선행기술조사문헌
KR1020070031917 A

(73) 특허권자
소니 주식회사
일본국 도쿄도 미나토구 코난 1-7-1
(72) 발명자
아사노 미츠히루
일본국 도쿄도 시나가와구 기타시나가와 6초메 7
반 35고 소니가부시키 가이샤내
유모토 아키라
일본국 도쿄도 시나가와구 기타시나가와 6초메 7
반 35고 소니가부시키 가이샤내
후지무라 히로시
일본국 도쿄도 시나가와구 기타시나가와 6초메 7
반 35고 소니가부시키 가이샤내
(74) 대리인
신관호

전체 청구항 수 : 총 17 항

심사관 : 조기덕

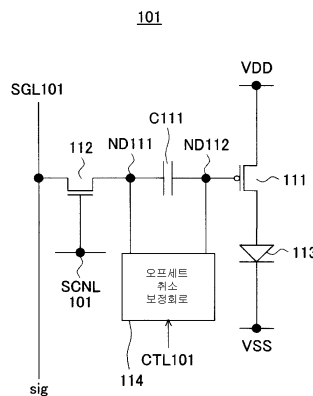
(54) 발명의 명칭 화소회로 및 표시장치와 화소회로의 제어방법

(57) 요약

휘도균일성을 유지한 채, 저소비전력화가 가능하게 되며, 또, 고(高)콘트라스트(contrast)를 실현하고, 보다 고화질인 표시화상을 실현할 수 있는 화소회로 및 표시장치를 제공한다.

화소회로(101)는, 유기EL광학소자(113)를 구동하기 위한 제어기간으로서, C111의 양단에, 구동트랜지스터로서의 TFT(111)의 임계치 전압에 의존하는 전압을 축전하는 보정기간과, 주사선(SCL101)에 의해 제 1의 스위치로서의 TFT(112)를 온하고, 데이터신호를 신호선(SGL101)에서 화소회로(101)로 기입하는 기입기간과, 기입된 데이터신호를 화소회로에 유지하여 광학소자(113)를 구동하는 구동기간을 가지고 구동제어 가능하며, 보정기간과 기입기간과 구동기간을 가지는 프레임과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 프레임이 존재하도록 구동제어된다.

대표도 - 도7



특허청구의 범위

청구항 1

흐르는 전류를 의하여 휘도가 변화하는 전기광학소자를 구동하는 화소회로에 있어서,
 적어도 휘도정보에 따른 데이터신호가 공급되는 신호선과,
 적어도 제 1의 제어선과,
 제 1단자와 제 2단자사이에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동트랜지스터와,
 상기 구동트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와,
 상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통제어되는 제 1의 스위치를 가지고,
 1프레임 기간에, 화소의 구동트랜지스터의 특성 불균일을 보정하기 위한 보정기간과,
 상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터신호를 신호선에서 상기 노드로 기입하는 기입기간과,
 기입된 데이터신호를 유지하여, 전기광학소자를 구동하는 구동기간을 설정하여 구동제어 가능하며, 보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어되는 화소회로.

청구항 2

제 1항에 있어서,
 상기 노드와 상기 구동트랜지스터의 제어단자와의 사이에 결합용량이 접속되며,
 상기 보정기간에는, 상기 결합용량의 양단에, 상기 구동트랜지스터의 임계치 전압에 의존하는 전압을 축전하는 것을 특징으로 하는 화소회로.

청구항 3

제 1항에 있어서,
 상기 보정기간은 복수 프레임마다 1회 존재하는 것을 특징으로 하는 화소회로.

청구항 4

제 1항에 있어서,
 상기 보정기간은 복수 필드마다 1회 존재하는 것을 특징으로 하는 화소회로.

청구항 5

제 1항에 있어서,
 각 화소의 행마다 배치된 상기 제 1의 제어선은, 상기 보정기간의 유무에 따라 제어되는 것을 특징으로 하는 화소회로.

청구항 6

삭제

청구항 7

제 1항에 있어서,
 상기 보정기간의 유무는 복수의 열단위로 제어되는 것을 특징으로 하는 화소회로.

청구항 8

제 1항에 있어서,
 상기 보정기간의 유무는 홀수 신호선 및 짝수 신호선 단위로 제어되는 것을 특징으로 하는 화소회로.

청구항 9

제 1항에 있어서,
 상기 보정기간의 유무는 인접하는 화소단위로 제어되는 것을 특징으로 하는 화소회로.

청구항 10

매트릭스형으로 복수 배열된 화소회로와,
 상기 화소회로의 매트릭스배열에 대하여 열마다 배선되며, 적어도 휘도정보에 따른 데이터신호가 공급되는 신호선과,
 상기 화소회로의 매트릭스배열에 대하여 행마다 배선된 적어도 제 1제어선과,
 구동부를 가지고,
 상기 화소회로는,
 흐르는 전류에 의하여, 휘도가 변화하는 전기광학소자와,
 적어도 휘도정보에 따른 데이터신호가 공급되는 신호선과,
 적어도 제 1의 제어선과,
 제 1단자와 제 2단자사이에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동트랜지스터와,
 상기 구동트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와,
 상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통제어되는 제 1의 스위치를 포함하며,
 상기 구동부는, 1프레임 기간에, 화소의 구동트랜지스터의 특성 불균일을 보정하기 위한 보정기간과, 상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터신호를 신호선에서 상기 노드로 기입하는 기입기간과, 기입된 데이터신호를 유지하고, 전기광학소자를 구동하는 구동기간을 설정하여 구동제어 가능하며, 보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어하는 표시장치.

청구항 11

제 10항에 있어서,
 상기 노드와 상기 구동 트랜지스터의 제어단자와의 사이에 결합용량이 접속되며,
 상기 보정기간에는, 상기 결합용량의 양단에, 상기 구동 트랜지스터의 임계치 전압에 의존하는 전압을 축전하는 것을 특징으로 하는 표시장치.

청구항 12

흐르는 전류에 의하여 휘도가 변화하는 전기광학소자와,
 적어도 휘도정보에 따른 데이터 신호가 공급되는 신호선과,
 적어도 제 1의 제어선과,
 제 1단자와 제 2단자사이에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동트랜지스터와,

상기 구동 트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와,

상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통 제어되는 제 1의 스위치를 가지는 화소회로의 제어방법이며,

1프레임의 기간에, 화소의 구동 트랜지스터의 특성 불균일을 보정하기 위한 보정기간과,

상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터 신호를 신호선에서 상기 노드로 기입하는 기입기간과,

기입된 데이터 신호를 유지하고, 전기광학소자를 구동하는 구동기간을 가지고,

보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 13

제 12항에 있어서,

상기 보정기간은 복수 프레임마다 1회 존재하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 14

제 12항에 있어서,

상기 보정기간은 복수 필드마다 1회 존재하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 15

제 12항에 있어서,

상기 보정기간은 복수의 행단위로 보정기간의 유무를 제어하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 16

삭제

청구항 17

제 12항에 있어서,

상기 보정기간은 복수의 열단위로 보정기간의 유무를 제어하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 18

제 12항에 있어서,

상기 보정기간은 홀수 신호선 및 짝수 신호선 단위로 보정기간의 유무를 제어하는 것을 특징으로 하는 화소회로의 제어방법.

청구항 19

제 12항에 있어서,

상기 보정기간은 인접하는 화소단위로 보정기간의 유무를 제어하는 것을 특징으로 하는 화소회로의 제어방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 유기 EL(Electroluminescence)디스플레이, LCD(액정표시장치)등의 액티브 매트릭스 표시장치를 포

[0038]

함하는, 신호선에 의하여 휘도가 제어되는 전기광학소자를 가지는 화소회로 및 이 화소회로가 매트릭스형으로 배열된 표시장치와 화소회로의 제어방법에 관한 것이다.

[0039] 액티브 매트릭스형 표시장치에 있어서, 화소의 표시소자로서 액정셀이나 유기 EL소자등의 전기광학소자가 이용된다.

[0040] 그 중, 유기 EL소자는 유기재료로 이루어지는 층, 즉 유기층을 전극으로 사이에 둔 구조를 가지고 있다.

[0041] 이 유기 EL소자에서는, 당해 소자에 전압을 인가함으로써, 음극에서 전자가, 양극에서 정공이 유기층에 주입되며, 그 결과 전자·정공이 재결합하고, 발광이 생긴다. 이 유기 EL소자는 이하와 같은 특별한 장점을 가지고 있다.

[0042] (1) 10V이하의 저전압 구동으로, 수 100~수 10000cd/m²의 휘도를 얻을 수 있기 때문에 저소비 전력화가 가능하다.

[0043] (2) 자발광소자이기 때문에 화상의 콘트라스트가 높고, 응답 속도도 빠르기 때문에 시인성(視認性)이 좋고, 동영상 표시에도 적합하다.

[0044] (3) 심플한 구조를 가지는 전고체형 소자이며, 소자의 고신뢰성화, 박형화가 가능하다.

[0045] 이러한 특별한 장점을 가지는 유기 EL소자를 화소의 표시소자로서 이용한 유기 EL표시장치(이하, 유기 EL디스플레이라고 적는다)는, 차세대의 플랫 패널 디스플레이로서 유망시 되고 있다.

[0046] 그런데, 유기 EL디스플레이의 구동 방식으로서, 단순 매트릭스방식과 액티브 매트릭스방식을 들 수 있다. 이들 방식중, 액티브 매트릭스방식에는, 이하와 같은 특별한 장점이 있다.

[0047] (1) 각 화소에 있어서의 유기 EL소자의 발광을 1프레임 기간에 걸쳐서 유지할 수 있는 액티브 매트릭스방식은, 유기 EL디스플레이의 고정밀화·고휘도화에 적절하다.

[0048] (2) 기판(패널)상에, 박막 트랜지스터를 이용한 주변회로를 제작하는 것이 가능하기 때문에, 패널외부와의 인터페이스의 간소화, 패널의 고기능화가 가능하다.

[0049] 이 액티브 매트릭스형 유기 EL디스플레이에서는, 액티브 소자인 트랜지스터에는, 폴리 실리콘을 활성층으로 한 폴리 실리콘 박막 트랜지스터(Thin Film Transistor; TFT)를 이용하는 것이 일반적이다.

[0050] 그 이유는, 폴리 실리콘 TFT는 구동능력이 높고, 화소사이즈를 작게 설계할 수 있음으로써 고정밀화에 유리하기 때문이다.

[0051] 그런데, 폴리실리콘 TFT는 상술한 바와 같은 특별한 장점을 가지는 반면, 특성 불균일이 큰 것도 널리 알려져 있다.

[0052] 따라서, 폴리 실리콘 TFT를 이용하는 경우, 그 특성 불균일을 억제하는 것, 또 회로적으로 TFT의 특성 불균일을 보상하는 것은, 폴리 실리콘 TFT를 이용한 액티브 매트릭스형 유기 EL디스플레이에 있어서의 큰 과제이다. 이것은, 다음과 같은 이유에 의한다.

[0053] 즉, 화소의 표시소자로서 액정셀을 이용한 액정 디스플레이에서는, 각 화소의 휘도 데이터를 전압값에 의하여 제어하는 구성이 채택되는 것에 대하여, 유기 EL디스플레이에서는, 각 화소의 휘도 데이터를 전류값에 의하여 제어하는 구성이 채택되기 때문이다.

[0054] 여기서, 액티브 매트릭스형 유기 EL디스플레이의 개요에 대하여 설명한다.

[0055] 도 1은, 일반적인 액티브 매트릭스형 유기 EL디스플레이의 구성의 개략을 나타내는 도면이며, 도 2는, 액티브 매트릭스형 유기 EL디스플레이의 화소회로의 구성예를 나타내는 회로도이다(예를 들면, 특허 문헌 1, 2 참조).

[0056] 액티브 매트릭스형 유기 EL디스플레이(1)는, m×n개의 화소회로(10)가 매트릭스형으로 배열되며, 이들 화소회로(10)의 매트릭스 배열에 대하여 데이터 드라이버(DDRV)(2)에 의하여 구동되는 n열분의 신호선(SGL1~SGLn)이 화소열마다, 스캔 드라이버(SDRV)(3)에 의하여 구동되는 m행분의 주사선(SCNL1~SCNLm)이 화소행마다 각각 배선되어 있다.

[0057] 또, 화소회로(10)는, 도 2에 나타내는 바와 같이, p채널 TFT(11), n채널 TFT(12) 및 캐패시터(C11) 및 유기 EL소자(OLED)로 이루어지는 발광소자(13)를 가진다.

- [0058] 각 화소회로(10)의 TFT(11)는, 소스가 전원 전위선(VCCL)에, 게이트가 TFT(12)의 드레인에 각각 접속되어 있다. 유기 EL발광소자(13)는, 애노드가 TFT(11)의 드레인에, 캐소드가 기준전위(예를 들면, 그라운드 전위)(GND)에 각각 접속되어 있다.
- [0059] 각 화소회로(10)의 TFT(12)는, 소스가 대응하는 열의 신호선(SGL1~SGLn)에, 게이트가 대응하는 행의 주사선(SCNL1~SCNLm)에 각각 접속되어 있다.
- [0060] 캐패시터(C11)는, 일단이 전원 전위선(VCCL)에, 타단이 TFT(12)의 드레인에 각각 접속되어 있다.
- [0061] 또한, 유기 EL소자는 많은 경우 정류성이 있기 때문에, OLED(Organic Light Emitting Diode)로 불리는 것도 있고, 도 2 그 외에서는 발광소자로서 다이오드의 기호를 이용하고 있지만, 이하의 설명에 있어서는 OLED에 반드시 정류성을 요구하는 것은 아니다.
- [0062] 이와 같은 구성을 가지는 화소회로(10)에 있어서, 휘도 데이터의 기입을 행하는 화소에서는, 당해 화소를 포함하는 화소행이 스캔 드라이버(3)에 의하여 주사선(SCNL)을 거쳐서 선택되는 것으로, 그 행의 화소의 TFT(12)가 온 한다.
- [0063] 이 때, 휘도 데이터는 데이터 드라이버(2)로부터 신호선(SGLL)을 거쳐서 전압으로 공급되며, TFT(12)를 통하여 데이터전압을 유지하는 캐패시터(C11)에 기입된다.
- [0064] 캐패시터(C11)에 기입된 휘도 데이터는, 1필드기간에 걸쳐서 유지된다. 이 유지된 데이터전압은, TFT(11)의 게이트에 인가된다.
- [0065] 이것에 의해, TFT(11)는, 유지 데이터에 따라서 유기 EL발광소자(13)를 전류로 구동한다. 이 때, 유기 EL발광소자(13)의 계조(階調)표현은, 캐패시터(C11)에 의하여 유지되는 TFT(11)의 게이트·소스간 전압(Vdata)(<0)을 변조함으로써 행해진다.
- [0066] 일반적으로, 유기 EL소자의 휘도(Loled)는, 당해 소자에 흐르는 전류(Ioled)에 비례한다. 따라서, 유기 EL발광소자(13)의 휘도(Loled)와 전류(Ioled)와의 사이에는 다음 식(1)이 성립된다.

수학식 1

- [0067]
$$\text{Loled} \propto \text{Ioled} = k(\text{Vdata} - \text{Vth})^2$$
- [0068] 수학식(1)에 있어서, $k=1/2 \cdot \mu \cdot \text{Cox} \cdot W/L$ 이다. 여기서, μ 는 TFT(11)의 캐리어의 이동도(移凍度), Cox 는 TFT(11)의 단위면적당 게이트 용량, W 는 TFT(11)의 게이트폭, L 은 TFT(11)의 게이트 길이이다.
- [0069] 따라서, TFT(11)의 이동도(μ), 임계치 전압(Vth)(<0)의 불균일이, 직접적으로, 유기 EL발광소자(13)의 휘도 불균일에 영향을 주는 것을 알 수 있다.
- [0070] 이 경우, 예를 들면 다른 화소에 대하여 같은 전위(Vdata)를 기입해도, 화소에 의하여 TFT(11)의 임계치(Vth)가 불균일한 결과, 발광소자(OLED)(13)에 흐르는 전류(Ioled)는 화소마다 크게 흩어져 완전히 소망한 값에서는 어긋나는 결과로 되고, 디스플레이로서 높은 화질을 기대할 수 없다.
- [0071] 이 문제를 개선하기 위해 다수의 화소회로가 제안되고 있지만, 대표예를 도 3에 나타낸다(예를 들면 특허 문헌 3, 또는 특허 문헌 4 참조).
- [0072] 도 3의 화소회로(20)는, p채널 TFT(21), n채널 TFT(22~24), 캐패시터(C21, C22), 발광소자인 유기 EL 발광소자(25)를 가진다. 또, 도 3에 있어서, SGL은 신호선을, SCNL은 주사선을, AZL은 오토 제로선을, DRVL은 구동선을 각각 나타내고 있다.
- [0073] 이 화소회로(20)의 동작에 대하여, 도 4에 나타내는 타이밍 차트를 참조하면서 이하에 설명한다.
- [0074] 도 4a, 도 4b에 나타내는 바와 같이, 구동선(DRVL), 오토 제로선(AZL)을 하이레벨로 하고, TFT(22) 및 TFT(23)를 도통상태로 한다. 이 때 TFT(21)는 다이오드 접속된 상태에서 발광소자(OLED)(25)와 접속되기 때문에, TFT(21)에 전류가 흐른다.
- [0075] 다음에, 도 4a에 나타내는 바와 같이, 구동선(DRVL)을 로(low) 레벨로 하고, TFT(22)를 비도통으로 한다. 이 때 주사선(SCNL)은, 도 4c에 나타내는 바와 같이, 하이레벨에서 TFT(24)가 도통상태로 되며, 신호선(SGLL)에는, 도 4d에 나타내는 바와 같이, 기준전위(Vref)가 부여된다. TFT(21)에 흐르는 전류가 차단되기 때문에,

도 4e에 나타내는 바와 같이 TFT(21)의 게이트 전위(Vg)는 상승하지만, 그 전위가 VDD-|Vth|까지 상승한 시점에서 TFT(21)는 비도통상태로 되고 전위가 안정한다. 이 동작을 이후, 「오토 제로 동작」이라고 칭하는 것이 있다.

[0076] 도 4b, 도 4d에 나타내는 바와 같이, 오토 제로선(AZL)을 로 레벨로 하여 TFT(23)를 비도통상태로 하고, 신호선(SGLL)의 전위를 Vref 에서 ΔVdata만큼 낮은 전위로 한다. 이 신호선 전위의 변화는, 도 4e에 나타내는 바와 같이, 캐패시터(C21)를 거쳐서 TFT(21)의 게이트 전위를 ΔVg만큼 저하시킨다.

[0077] 도 4a, 도 4c에 나타내는 바와 같이, 주사선(SCNL)을 로 레벨로 하여 TFT(24)를 비도통상태로 하고, 구동선(DRVL)을 하이레벨로 하여 TFT(22)를 도통상태로 하면, TFT(21) 및 발광소자(OLED)(25)에 전류가 흘러 발광소자(25)가 발광을 개시한다.

[0078] 기생용량을 무시할 수 있다고 하면, ΔVg 및 TFT(21)의 게이트 전위(Vg)는 각각 다음과 같이 된다.

수학식 2

[0079]
$$\Delta Vg = \Delta Vdata \times C1 / (C1 + C2)$$

수학식 3

[0080]
$$Vg = Vcc - |Vth| - \Delta Vdata \times C1 / (C1 + C2)$$

[0081] 여기서, C1은 캐패시터(C21)의 용량값, C2는 캐패시터(C22)의 용량값을 각각 나타내고 있다.

[0082] 한편, 발광시에 발광소자(OLED)(25)에 흐르는 전류를 Ioled로 하면, 이것은 발광소자(25)와 직렬로 접속되는 TFT(21)에 의하여 전류값이 제어된다. TFT(21)가 포화영역에서 동작한다고 가정하면, 잘 알려진 MOS트랜지스터의 식 및 상기 수학식 3을 이용하여 다음의 관계를 얻는다.

수학식 4

[0083]
$$Ioled = \mu CoxW / L / 2(Vcc - Vg - |Vth|)^2$$

[0084]
$$= \mu CoxW / L / 2(\Delta Vdata \times C1 / (C1 + C2))^2$$

[0085] 여기서, μ는 캐리어의 이동도, Cox는 단위면적당 게이트 용량, W는 게이트폭, L은 게이트 길이를 각각 나타내고 있다.

[0086] 수학식 4에 의하면, Ioled는 TFT(21)의 임계치(Vth)에 의하지 않고, 외부로부터 주어지는 ΔVdata에 의하여 제어된다. 바꾸어 말하면, 도 3의 화소회로(20)를 이용하면, 화소마다 불균일 임계치(Vth)의 영향을 받지 않고, 전류의 균일성, 나아가서는 휘도의 균일성이 비교적 높은 표시장치를 실현할 수 있다.

[0087] [특허 문헌 1] USP5,684,365

[0088] [특허 문헌 2] 특개 평8-234683호 공보

[0089] [특허 문헌 3] USP6,229,506

[0090] [특허 문헌 4] 특표 2002-514320호 공보의 FIG.3

발명이 이루고자 하는 기술적 과제

[0091] 상술한 바와 같이, 유기 EL디스플레이의 화소마다의 휘도 불균일을 저감하는 방법으로서, 유기 EL소자를 구동하는 전류를 결정하는 구동 트랜지스터의 특성 불균일을 보정하는 화소회로가 제안되어 있다.

[0092] 이들은, 도 5에 나타내는 바와 같이, 1프레임내에, 구동 트랜지스터의 특성 불균일을 보정하는 보정기간과, 데이터 신호를 신호선에서 화소회로로 기입하는 기입기간과, 기입된 데이터 신호를 화소회로에 유지하고 전기광학소자를 구동하는 구동기간을, 가지는 것이 일반적이다.

[0093] 이와 같이, 제안되어 있는 화소회로에 있어서는, 1프레임 마다 반드시 보정기간을 설치하여 휘도의 균일성을 유지하고 있지만, 보정기간도 전하의 충방전을 행하기 때문에, 전력 소비량을 무시할 수 없는 상황으로 되어 있다.

- [0094] 또, 보정회로방식에 의해서는, 보정기간에 유기 EL소자의 발광을 수반하는 것이 존재하지만, 이들 회로에서는 보정기간이 콘트라스트 저하의 원인으로 되어 있었다.
- [0095] 본 발명은, 휘도 균일성을 유지한 채로, 저소비 전력화가 가능하게 되며, 또, 고콘트라스트를 실현하고, 보다 고화질의 표시화상을 실현할 수 있는 화소회로 및 표시장치와 화소회로의 제어방법을 제공하는 것에 있다.
- 발명의 구성 및 작용**
- [0096] 상기 목적을 달성하기 위해, 본 발명의 제 1의 관점은, 흐르는 전류에 의하여 휘도가 변화하는 전기광학소자를 구동하는 화소회로이며, 적어도 휘도정보로 휘도정보에 따른 데이터 신호가 공급되는 신호선과, 적어도 제 1의 제어선과, 제 1단자와 제 2단자사이에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동 트랜지스터와, 상기 구동 트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와, 상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통 제어되는 제 1의 스위치를 가지고, 1프레임 기간에, 화소의 구동 트랜지스터의 특성 불균일을 보정하기 위한 보정기간과, 상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터 신호를 신호선에서 상기 노드로 기입하는 기입기간과, 기입된 데이터신호를 유지하고, 전기광학소자를 구동하는 구동기간을 설정하여 구동제어가 가능하며, 보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않고 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어된다.
- [0097] 매우 적합하게는, 상기 노드와 상기 구동 트랜지스터의 제어단자와의 사이에 결합용량이 접속되며, 상기 보정기간에는, 상기 결합용량의 양단에, 상기 구동 트랜지스터의 임계치 전압에 의존하는 전압을 축전한다.
- [0098] 본 발명의 제 2의 관점의 표시장치는, 매트릭스형으로 복수 배열된 화소회로와, 상기 화소회로의 매트릭스 배열에 대하여 열마다 배선되며, 적어도 휘도정보에 따른 데이터 신호가 공급되는 신호선과, 상기 화소회로의 매트릭스 배열에 대하여 행마다 배선된 적어도 제 1의 제어선과, 구동부를 가지고, 상기 화소회로는, 흐르는 전류에 의하여 휘도가 변화하는 전기광학소자와, 적어도 휘도정보에 따른 데이터 신호가 공급되는 신호선과, 적어도 제 1의 제어선과, 제 1단자와 제 2단자간에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동 트랜지스터와, 상기 구동 트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와, 상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통 제어되는 제 1의 스위치를 포함하고, 상기 구동부는, 1프레임 기간에, 화소의 구동 트랜지스터의 특성 불균일을 보정하기 위한 보정기간과, 상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터 신호를 신호선에서 상기 노드로 기입하는 기입기간과, 기입된 데이터 신호를 유지하고, 전기광학소자를 구동하는 구동기간을 설정하여 구동제어가 가능하며, 보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어한다.
- [0099] 본 발명의 제 3의 관점은, 흐르는 전류에 의하여 휘도가 변화하는 전기광학소자와, 적어도 휘도정보에 따른 데이터 신호가 공급되는 신호선과, 적어도 제 1의 제어선과 제 1단자와, 제 2단자사이에서 전류공급라인을 형성하고, 제어단자의 전위에 따라 상기 전류공급라인을 흐르는 전류를 제어하는 구동 트랜지스터와, 상기 구동 트랜지스터의 제어단자와 전기적으로 결합 가능한 노드와, 상기 신호선과 상기 노드와의 사이에 접속되며, 상기 제 1의 제어선에 의하여 도통 제어되는 제 1의 스위치를 가지는 화소회로의 구동방법이며, 1프레임의 기간에, 화소의 구동 트랜지스터의 특성 불균일을 보정하기 위한 보정기간과, 상기 제 1의 제어선에 의해 상기 제 1의 스위치를 구동하고, 데이터 신호를 신호선에서 상기 노드로 기입하는 기입기간과, 기입된 데이터 신호를 보관 유지하고, 전기광학소자를 구동하는 구동기간을 가지고, 보정기간과 기입기간과 구동기간을 가지는 기간과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 기간이 존재하도록 구동제어한다.
- [0100] 바람직하게는, 상기 보정기간은 복수 프레임마다 1회 존재한다.
- [0101] 바람직하게는, 상기 보정기간은 복수 필드마다 1회 존재한다.
- [0102] 바람직하게는, 상기 보정기간의 유무는 복수의 행단위로 제어한다.
- [0103] 바람직하게는, 상기 보정기간의 유무는 홀수 주사선 및 짝수 주사선 단위로 제어한다.
- [0104] 바람직하게는, 상기 보정기간의 유무는 복수의 열단위로 제어한다.
- [0105] 바람직하게는, 상기 보정기간의 유무는 홀수 신호선 및 짝수 신호선단위로 제어한다.
- [0106] 바람직하게는, 상기 보정기간은 인접하는 화소 단위로 보정기간의 유무를 제어한다.

- [0107] 본 발명에 의하면, 예를 들면 1프레임에, 화소의 구동 트랜지스터의 특성 불균일을 보정하기 위한 보정기간과, 제 1의 제어선에 의해 제 1의 스위치를 구동하고, 데이터 신호를 신호선에서 상기 노드와 기입 기간과, 기입된 데이터 신호를 유지하고, 전기광학소자를 구동하는 구동기간을 가지고, 기입기간과 구동기간이 1프레임에 1회 행해지는 것에 대하여, 보정기간이 2프레임 이상에 대하여 1회 행해진다, 즉, 보정기간과 기입기간과 구동기간을 가지는 프레임과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 프레임이 존재한다.
- [0108] 이하, 본 발명의 실시형태를 도면에 관련지어 설명한다.
- [0109] <제 1실시형태>
- [0110] 도 6은, 본 제 1의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블럭도이다.
- [0111] 도 7은, 도 6의 유기 EL디스플레이에 있어서의 화소회로의 기본적인 구성을 나타내는 회로도이다.
- [0112] 본 유기 EL디스플레이(100)는, 도 6에 나타내는 바와 같이, 화소회로(101)가 $m \times n$ 의 매트릭스형으로 배열된 화소 어레이부(102), 데이터 드라이버(DDRV)(103), 스캔 드라이버(SDRV)(104)를 가지고 있다.
- [0113] 그리고, 화소회로(101)의 매트릭스 배열에 대하여 데이터 드라이버(DDRV)(103)에 의하여 구동되는 n 열분의 신호선(SGLL)(101-1~SGL101-n)이 화소열 마다, 스캔 드라이버(SDRV)(104)에 의하여 선택적으로 구동되는 m 행분의 제 1의 제어선으로서의 주사선(SCNL)(101-1~SCNL101-m) 및 제 2의 제어선으로서의 오프셋 캔슬용 보정 제어선(CTL101-1~CTL101-m)이 화소행 마다 각각 배선되어 있다.
- [0114] 다음에, 각 화소회로(101)의 구체적인 구성에 대하여 설명한다.
- [0115] 화소회로(101)는, 도 7에 나타내는 바와 같이, 구동 트랜지스터로서의 1개의 p 채널 TFT(111), 제 1의 스위치로서의 n 채널 TFT(112)(기입 트랜지스터), 유기 EL발광소자(113), 결합용량으로서의 캐패시터(C111), 오프셋 캔슬 보정회로(114) 및 노드(ND111, ND112)를 가지고 있다.
- [0116] 도 7의 화소회로(101)에 있어서, TFT(111)의 소스가 제 1의 기준전위인 전원 전압(VDD)의 공급 라인에 접속되며, 드레인이 발광소자(113)의 애노드에 접속되며, 발광소자(113)의 캐소드가 제 2의 기준전위(VSS)(예를 들어 접지전위)에 접속되어 있다.
- [0117] TFT(111)의 게이트(제어단자)가 노드(ND112)에 접속되며, 신호선(SGLL)(101)과 노드(ND111)에 TFT(112)의 소스, 드레인이 각각 접속되어 있다.
- [0118] 노드(ND111)와 노드(ND112)와의 사이에 결합용량으로서의 캐패시터(C111)가 접속되어 있다. 구체적으로는, 캐패시터(C111)의 제 1전극이 노드(ND111)에 접속되며, 제 2전극이 노드(ND112)에 접속되어 있다.
- [0119] 보정회로(114)는, 스캔 드라이버(104)에 의해 구동되는 제어선(CTL101)에 의해 보정기능의 작동이 온, 오프 제어된다.
- [0120] 보정회로(114)는, 보정기능이 온으로 제어된 기간에 있어서, 캐패시터(C111)의 양단(제 1전극단자와 제 2전극단자)에, 구동 트랜지스터로서의 TFT(111)의 임계치 전압에 의존하는 전압을 축전하고, 오프셋을 캔슬하도록 보정처리를 행한다.
- [0121] 이와 같은 구성을 가지는 본 실시형태의 화소회로(101)는, 전기광학소자인 유기 EL발광소자(113)를 구동하기 위한 제어기간으로서, C111의 양단에, 구동 트랜지스터로서의 TFT(111)의 임계치 전압에 의존하는 전압을 축전하는 보정기간과, 제 1의 제어선으로서의 주사선(SCNL)(101)에 의해 제 1의 스위치로서의 TFT(112)를 온 하고, 데이터 신호를 신호선(SGLL)(101)에서 화소회로(101)의 노드(ND111)로 기입하는 기입기간과, 기입된 데이터 신호를 화소회로에 유지하고, 전기광학소자를 구동하는 구동기간을 가지고 구동제어 가능하다.
- [0122] 그리고, 본 실시형태의 화소회로(101)는, 제 1의 구동제어방법에 의해, 기입기간과 구동기간이 1프레임에 1회 행해지는 것에 대하여, 보정기간이 2프레임 이상에 대하여 1회 행해진다, 즉, 보정기간과 기입기간과 구동기간을 가지는 프레임과, 보정기간이 존재하지 않는 기입기간과 구동기간을 가지는 프레임이 존재하도록, 데이터 드라이버(103)와 스캔 드라이버(104)에 의해 구동제어된다.
- [0123] 도 8a~도 8c는, 제 1의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100)의 화소 어레이부(102) 전체의 제 1의 구동제어방법을 설명하기 위한 도면이다.

- [0124] 도 9는, 제 1의 실시형태에 있어서의 오프셋 캔셀 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100)의 화소 어레이부(102) 전체의 제 1의 구동제어방법을 나타내는 타이밍 차트이다.
- [0125] 본 제 1의 실시형태에 관계되는 제 1의 구동제어방법에 있어서는, 도 8 및 도 9에 나타내는 바와 같이, 화소 어레이부(102)의 모든(패널의 모두) 화소회로(101)가, 보정기간과 기입기간과 구동기간이 있는 프레임과, 보정기간이 없고 기입기간과 구동기간이 있는 프레임을 반복한다.
- [0126] 구체적으로는, 도 8a에 나타내는 바와 같이, 제 L프레임의 기간에 있어서는, 화소 어레이부(102)의 모든 화소회로(101)가 제어선(CTL101-1~CTL101-m)에 의해 소정의 보정기간만 보정회로(114)의 보정기능이 온으로 되도록 제어된다. 이것에 의해, 화소 어레이부(102)의 모든 화소회로(101)에 있어서 오프셋 캔셀 보정이 행해진다.
- [0127] 다음에, 도 8b에 나타내는 바와 같이, 제 (L+1)프레임 기간에 있어서는, 화소 어레이부(102)의 모든 화소회로(101)가 제어선(CTL101-1~CTL101-m)에 의해 소정의 보정기간이어도 보정회로(114)의 보정기능이 오프로 되도록 제어된다. 이것에 의해, 화소 어레이부(102)의 모든 화소회로(101)에 있어서 오프셋 캔셀 보정이 행해지지 않는다.
- [0128] 다음에, 도 8c에 나타내는 바와 같이, 제 (L+2)프레임의 기간에 있어서는, 화소 어레이부(102)의 모든 화소회로(101)가 제어선(CTL101-1~CTL101-m)에 의해 소정의 보정기간만 보정회로(114)의 보정기능이 온이 되도록 제어된다. 이것에 의해, 화소 어레이부(102)의 모든 화소회로(101)에 있어서 오프셋 캔셀 보정이 행해진다.
- [0129] 이후, 프레임마다 보정기능의 온, 오프 제어가 교대로 행해진다.
- [0130] 이상과 같이, 본 제 1의 실시형태에 있어서는, 1개의 화소에 주목했을 경우, 상기의 보정기간을 수(數) 프레임(본 실시형태에 있어서는 2프레임)에 1회밖에 행하지 않는다, 즉, 보정기간이 있는 프레임과 보정기간이 없는 프레임이 존재하도록, 화소를 구동하고 있다. 이것에 의하여, 이하의 효과를 얻을 수 있다.
- [0131] 보정기간도 전하의 충방전을 수반하기 위한 전력을 소비하지만, 보정기간을 수 프레임에 1회로 하는 것으로, 소비 전력의 저감이 가능하다.
- [0132] 또, 보정회로방식에 의해서는, 보정기간에 유기 EL발광소자(113)의 발광을 수반하는 것이 존재하며, 이들 회로에서는 보정기간이 콘트라스트 저하의 원인으로 되어 있었지만, 본 실시형태에 의하면, 보정기간을 수 프레임에 1회로 하는 것으로, 콘트라스트의 향상이 가능하다.
- [0133] 또한, 본 실시형태에 있어서는, 보정기간을 수 프레임에 1회로 하도록 구성했지만, 보정기간을 수 필드에 1회로 하도록 구성하는 것도 가능하고, 이 경우도 콘트라스트의 향상이 가능하다.
- [0134] <제 2의 실시형태>
- [0135] 도 10은, 본 제 2의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블럭도이다.
- [0136] 도 11a~도 11c는, 제 2의 실시형태에 있어서의 오프셋 캔셀 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100A)의 화소 어레이부(102) 전체의 제 2의 구동제어방법을 설명하기 위한 도면이다.
- [0137] 도 12는, 제 2의 실시형태에 있어서의 오프셋 캔셀 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100A)의 화소 어레이부(102) 전체의 제 2의 구동제어방법을 나타내는 타이밍 차트이다.
- [0138] 본 제 2의 실시형태에 있어서의 화소회로(101)의 구성은 제 1의 실시형태와 동일하다.
- [0139] 본 제 2의 실시형태가 상술한 제 1의 실시형태와 다른 점은, 스캔 드라이버(104A)가, 오프셋 캔셀 보정을, 프레임마다 화소 어레이부(102)의 전화소 단위로 보정기간의 유무를 제어하는 것이 아니라, 각 프레임마다, 구동하는 제어선(CTL101-1~CTL101-m)을 전환하도록 한 것에 있다.
- [0140] 구체적으로는, 스캔 드라이버(104A)는, 도 11 및 도 12에 나타내는 바와 같이, 제 L프레임의 기간에 있어서, 홀수 주사선(SCNL101-1, 101-3, ...)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 홀수 제어선(CTL101-1, 101-3, ...), 주사선(SCNL101-1~101-m)을 구동하고, 그 프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4, ...)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 짝수 제어선(CTL101-2, 101-4, ...)을, 주사선(SCNL101-1~101-m)을 구동한다.
- [0141] 다음의 제 (L+1)프레임의 기간에 있어서, 스캔 드라이버(104A)는, 홀수 주사선(SCNL101-1, 101-3, ...)에 접

속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 홀수 제어선(CTL101-1, 101-3· · ·), 주사선(SCNL101-1~101-m)을 구동하고, 그 프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4· · ·)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 짝수 제어선(CTL101-2, 101-4· · ·), 주사선(SCNL101-1~101-m)을 구동한다.

[0142] 다음에, 제 (L+2)프레임의 기간에 있어서, 홀수 주사선(SCNL101-1, 101-3, · · ·)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 홀수 제어선(CTL101-1, 101-3· · ·), 주사선(SCNL101-1~101-m)을 구동하고, 그 프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4· · ·)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 짝수 제어선(CTL101-2, 101-4· · ·), 주사선(SCNL101-1~101-m)을 구동한다.

[0143] 본 제 2의 실시형태에 의하면, 상술한 제 1의 실시형태의 효과에 부가하여 이하의 효과가 얻어진다.

[0144] 제 1의 실시형태에 있어서는, 패널 전체가 보정기간을 2프레임에 1회밖에 가지지 않기 때문에, 패널 전체가 2프레임 마다의 주기를 가지기 때문에, 플리커(flicker)의 원인이 될 가능성이 있다. 이것에 대하여, 본 제 2의 실시형태에 의하면, 주사선마다(매트릭스 배치의 각 행마다)에 보정기간이 있음/없음을 분할하는 것으로, 상기의 플리커를 방지할 수 있는 이점이 있다.

[0145] <제 3의 실시형태>

[0146] 도 13은, 본 제 3의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블럭도이다.

[0147] 도 14a~도 14c는, 제 3의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100B)의 화소 어레이부(102) 전체의 제 3의 구동제어방법을 설명하기 위한 도면이다.

[0148] 도 15는, 제 3의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이(100B)의 화소 어레이부(102) 전체의 제 3의 구동제어방법을 나타내는 타이밍 차트이다.

[0149] 본 제 3의 실시형태에 있어서의 화소회로(101)의 구성은 제 1 및 제 2의 실시형태와 동일하다.

[0150] 본 제 3의 실시형태가 상술한 제 2의 실시형태와 다른 점은, 주사선마다, 즉 매트릭스 배치의 각 행마다 2개의 보정회로(114)를 제어하기 위한 제 1의 보정 제어선(CTL101-1~101-m)과 제 2의 보정 제어선(CTL102-1~102-m)을 배치하고, 스캔 드라이버(104B)에 의해, 제 1의 보정 제어선(CTL101-1~101-m)을 매트릭스 배치의 각 홀수열의 화소회로(101)의 보정회로(114)를 제어하고, 제 2의 보정 제어선(CTL102-1~102-m)을 매트릭스 배치의 각 짝수열의 화소회로(101)의 보정회로(114)를 제어하도록 한 것에 있다.

[0151] 즉, 본 제 3의 실시형태에 대해서는, 제 2의 실시형태와 같이, 홀수 주사선 및 짝수 주사선 단위로 보정기간의 유무를 제어하는 방법으로 한층 더 추가하고, 도면중 가로방향으로 인접하는 화소간이라도, 보정기간이 있음/없음이 다르도록 구동한다.

[0152] 구체적으로는, 스캔 드라이버(104B)는, 도 14 및 도 15에 나타내는 바와 같이, 제 L프레임의 기간에 있어서, 홀수 주사선(SCNL101-1, 101-3, · · ·) 및 제 1의 보정 제어선(CTL101-1, 101-3, · · ·)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CTL101-1, 101-3· · ·), 주사선(SCNL101-1~101-m)을 구동하고, 그 L프레임에 있어서, 홀수 주사선(SCNL101-1, 101-3, · · ·) 및 제 2의 보정 제어선(CTL102-1, 102-3, · · ·)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102-1, 102-3· · ·), 주사선(SCNL101-1~101-m)을 구동한다.

[0153] 동일하게, 제 L프레임 기간에 있어서, 짝수 주사선(SCNL101-2, 101-4, · · ·) 및 제 1의 보정 제어선(CTL101-2, 101-4, · · ·)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CTL101-2, 101-4· · ·), 주사선(SCNL101-1~101-m)을 구동하고, 그 L프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4, · · ·) 및 제 2의 보정 제어선(CTL102-2, 102-4, · · ·)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102-2, 102-4· · ·), 주사선(SCNL101-1~101-m)을 구동한다.

[0154] 다음의 제 (L+1)프레임에 있어서, 스캔 드라이버(104B)는, 홀수 주사선(SCNL101-1, 101-3, · · ·) 및 제 1의 보정 제어선(CTL101-1, 101-3, · · ·)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CTL101-1, 101-3· · ·), 주사선(SCNL101-1~101-m)을 구동하고, 그

(L+1)프레임에 있어서, 홀수 주사선(SCNL101- 1, 101-3, . . .) 및 제 2의 보정 제어선(CTL102-1, 102-3, . . .)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102-1, 102-3 . . .), 주사선(SCNL101-1~101-m)을 구동한다.

[0155] 동일하게 제 (L+1)프레임 기간에 있어서, 짝수 주사선(SCNL101-2, 101 -4, . . .) 및 제 1의 보정 제어선(CTL101-2, 101-4, . . .)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CT L101-2, 101-4 . . .), 주사선(SCNL101-1~101-m)을 구동하고, 그 (L+1)프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4, . . .) 및 제 2의 보정 제어선(CTL102-2, 102-4, . . .)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102- 2, 102-4 . . .), 주사선(SCNL101-1~101-m)을 구동한다.

[0156] 다음의 제(L+2) 프레임에 있어서, 스캔 드라이버(104B)는, 홀수 주사선(SCN L101-1, 101-3, . . .) 및 제 1의 보정 제어선(CTL101-1, 101-3 , . . .)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CTL101-1, 101-3 . . .), 주사선(SCNL101-1~10 1-m)을 구동하고, 그 (L+2)프레임에 있어서, 홀수 주사선(SCNL101-1, 1 01-3, . . .) 및 제 2의 보정 제어선(CTL102-1, 102-3, . . .)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102-1, 102-3 . . .), 주사선(SCNL101-1~101-m)을 구동한다.

[0157] 동일하게 제 (L+2)프레임 기간에 있어서, 짝수 주사선(SCNL101-2, 101 -4, . . .) 및 제 1의 보정 제어선(CTL101-2, 101-4, . . .)에 접속되는 화소회로(101)가, 보정기간을 가지지 않고 기입기간과 구동기간을 가지도록, 제 1의 보정 제어선(CTL101-2, 101-4 . . .), 주사선(SCNL101-1~101-m)을 구동하고, 그 (L+2)프레임에 있어서, 짝수 주사선(SCNL101-2, 101-4, . . .) 및 제 2의 보정 제어선(CTL102-2, 102-4, . . .)에 접속되는 화소회로(101)가, 보정기간과 기입기간과 구동기간을 가지도록, 제 2의 보정 제어선(CTL102- 2, 102-4 . . .), 주사선(SCNL101-1~101-m)을 구동한다.

[0158] 본 제 3의 실시형태에 의하면, 상술한 제 1 및 제 2의 실시형태의 효과에 부가하여 이하의 효과를 얻을 수 있다.

[0159] 즉, 제 3의 실시형태에 의하면, 제 2의 실시형태보다 한층 더 플리커를 저감 하는 것이 가능하다.

[0160] <제 4의 실시형태>

[0161] 도 16은, 본 제 4의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블럭도이다.

[0162] 도 17a~도 17d은, 제 4의 실시형태에 있어서의 오프셋 캔셀 보정을 하는 화소회로를 가지는 유기 EL디스플레이(100C)의 화소 어레이부(102) 전체의 제 4의 구동제어방법을 설명하기 위한 도면이다.

[0163] 도 18은, 제 4의 실시형태에 있어서의 오프셋 캔셀 보정을 하는 화소회로를 가지는 유기 EL디스플레이(100C)의 화소 어레이부(102) 전체의 제 4의 구동제어방법을 나타내는 타이밍 차트이다.

[0164] 본 제 4의 실시형태에 있어서의 화소회로(101)의 구성은 제 1, 제 2 및 제 3의 실시형태와 같다.

[0165] 본 제 4의 실시형태가 상술한 제 2의 실시형태와 다른 점은, 홀수 주사선과 짝수 주사선마다, 즉 매트릭스 배치의 홀수행과 짝수행으로 각 프레임마다 교대로 보정이 있음/없음을 제어하는 대신에, 3혹은 그 이상의 복수의 행단위로 차례로 보정을 하도록 구성하고 있는 점에 있다.

[0166] 본 제 4의 실시형태에 있어서는, 도 17 및 도 18에 나타내는 바와 같이, 3 프레임에 1회만 보정기간이 있는 구동방법에서도 좋다. 또, 4프레임 이상 마다 1회만 보정기간이 있는 구동방법에서도 좋다.

[0167] 기본적인 동작은, 제 2의 실시형태의 경우와 동일하므로, 여기에서는 그 상세는 생략한다.

[0168] 또한, 이상 설명한 제 1~ 제 4의 구동제어방법은, 플리커(flicker)의 영향, 회로규모등을 감안하여, 적절히 선택하면 좋다.

[0169] 이상의 각 실시형태에 있어서의 화소회로로서는, 도 7에 나타내는 바와 같은 기본적인 회로를 예로 설명했지만, 도 3의 회로도 포함하고 이하에 나타내는 바와 같은 구체적인 화소회로를 적용 가능하고, 이들 화소회로를 가지는 유기 EL디스플레이에 상술한 제 1~ 제 4의 구동제어방법등을 적용 가능하다.

[0170] 다만, 제 1, 제 2, 제 4의 구동제어방법은, 도 19에 나타내는 유기 EL디스플레이(100D)에 적용 가능하고, 제 3

의 구동제어방법은, 도 20에 나타내는 바와 같은 유기 EL디스플레이(100E)에 적용 가능하다.

[0171] 도 19의 구성과 도 6, 도 10, 도 16의 구성과 다른 점은, 제어선(CTL101-1~ CTL101-m)대신에 오토 제로선(AZL101-1~AZL101-m)을 배치하고, 또한 구동선(DRVL101-1~DRVL101-m)을 배치했던 것에 있다.

[0172] 또, 도 20의 구성과 도 13의 구성과 다른 점은, 제 1의 보정 제어선(CTL101-1 ~CTL101-m), 제 2의 보정 제어선(CTL102-1~CTL102-m)대신에 오토 제로선(AZL101-1~AZL101-m, AZL102-1~AZL102- m)을 배치하고, 한편 구동선(DRVL101-1~101-m)을 배치했던 것에 있다.

[0173] 구체적인 제어 동작은 제 1~ 제 4의 실시형태에서 설명한 것과 동일하게 행해진다.

[0174] 이하에, 도 19 및 도 20의 유기 EL디스플레이(100D, 100E)에 적용 가능한 구동 트랜지스터의 특성 불균일을 보정하기 위한 구성을 가지는 복수의 화소회로예를 설명한다.

[0175] 도 21은, 도 19 및 도 20의 유기 EL디스플레이에 적용 가능한 구체적인 화소회로의 제 1의 예를 나타내는 회로도이다.

[0176] 도 22a~도 22d는 도 21의 화소회로의 보정 유무를 포함하는 기본적인 동작의 타이밍차트이다. 도 22c에 있어서 실선이 보정 있음 일때의 타이밍을 나타내고, 파선이 보정 없음 일때의 타이밍을 나타내고 있다.

[0177] 도 21의 화소회로(120)는, 구동 트랜지스터로서의 p채널 TFT(121), 제 1의 스위치로서의 n채널 TFT(122), 제 2의 스위치로서의 n채널 TFT(123), 제 3의 스위치로서의 n채널 TFT(124), 제 4의 스위치로서의 n채널 TFT(125), 캐패시터(C121), 발광소자인 유기 EL발광소자(126) 및 노드(ND121, ND122, ND123)를 가진다.

[0178] 또, 도 21에 있어서, SGL101은 신호선을, SCNL101은 주사선을, AZL101은 오토 제로선을, DRVL101은 구동선을 각각 나타내고 있다.

[0179] TFT(121)의 소스가 제 1의 기준전위인 전원 전압(VDD)의 공급 라인에 접속되며, 드레인이 노드(ND123)에 접속되며, 게이트가 노드(ND122)에 접속되어 있다. 그리고, 노드(ND122)와 노드(ND123)에, TFT(124)의 소스, 드레인이 접속되어 있다.

[0180] 노드(ND123)와 발광소자(126)의 애노드에 TFT(123)의 소스, 드레인이 접속되며, 발광소자(126)의 캐소드가 제 2의 기준전위(VSS)(예를 들면 접지전위)에 접속되어 있다.

[0181] 신호선(SGLL101)과 노드(ND121)에 TFT(122)의 소스, 드레인이 접속되어 있다. 노드(ND121)와 노드(ND122)와의 사이에 캐패시터(C121)가 접속되어 있다. 고정전위, 예를 들면 프리차지 전위(v ofs)와 노드(ND121)에 TFT(125)의 소스, 드레인이 접속되어 있다.

[0182] 그리고, TFT(122)의 게이트가 주사선(SCNL101)에 접속되며, TFT(123)의 게이트가 구동선(DRVL101)에 접속되며, TFT(124)의 게이트가 오토 제로선(AZL101)에 접속되어 있다.

[0183] 이 화소회로(120)의 동작에 대하여, 도 22에 나타내는 타이밍 차트를 참조하면서 이하에 설명한다.

[0184] 우선, 보정처리를 포함하는 구동제어를 실시하는 경우에는, 구동선(DRVL101), 오토 제로선(AZL101)을 하이레벨로 하고, TFT(123), TFT(124) 및 TFT(125)를 도통상태로 한다. 이 때 TFT(121)는 다이오드 접속된 상태로 발광소자(OLED)(126)로 접속되기 때문에, TFT(121)에 정전류(Iref)가 흐른다.

[0185] 또, TFT(125)를 통하여 결합 캐패시터(C121) 일단의 노드(ND121)에 프리차지 전위선(VPCL) 공급되어 있는 고정 기준전압(v ofs)이 공급된다.

[0186] 그리고, 결합 캐패시터(C121)의 양단에는, 구동 트랜지스터로서의 TFT(121)에 전류(Iref)가 흘렀을 때의 게이트-소스간 전위와 같은 전압이 생긴다. 이 전위(Vref)는, 구동 트랜지스터로서의 TFT(121)의 게이트측을 플러스 방향으로, 이하의 식으로 나타내진다.

수학식 5

$$I_{ref} = \beta (V_{ref} - V_{th})^2$$

[0188] 여기서, β 는 구동 트랜지스터의 비례계수(α 구동 트랜지스터의 이동도), V_{th} 는 구동 트랜지스터의 임계치 전압이다. 즉, 구동 트랜지스터인 TFT(121)의 게이트-소스간 전위(Vref)는, 다음과 같이 된다. 본 실시형태에서는, $I_{ref}=0$ 이다.

수학식 6

[0189] $V_{ref} = V_{th} + (I_{ref} / \beta)^{1/2}$

[0190] 다음에, 구동선(DRVL101)을 로 레벨로 하고, TFT(123)를 비도통으로 한다. 이 때 주사선(SCNL101)은, 하이레벨에서 TFT(122)가 도통상태로 되며, 신호선(SGL101)에는, 기준전위(Vref)가 부여된다. TFT(121)에 흐르는 전류가 차단되기 때문에, TFT(121)의 게이트 전위(Vg)는 상승하지만, 그 전위가 $V_{cc} - |V_{th}|$ 까지 상승한 시점에서 TFT(121)는 비도통상태로 되어 전위가 안정된다. 즉, 오토제로 동작이 행해진다.

[0191] 오토 제로선(AZL101)을 로 레벨로서 TFT(124)를 비도통상태로 하고, 신호선 (SGL101)을 통하여 결합 캐패시터(C121)의 타단측(노드(ND122)측)에, 데이터전압 (Vdata)이 기입된다. 따라서, 이 때의 구동 트랜지스터의 게이트-소스 전위는, Vgs는 다음과 같이 나타내진다.

수학식 7

[0192] $V_{gs} = V_{data} + V_{ref} - V_{source}$

[0193] $= V_{data} + V_{th} + (I_{ref} / \beta)^{1/2} - V_{source}$

[0194] 따라서, 구동 트랜지스터에 흐르는 전류(Ids)는, 다음과 같이 된다.

수학식 8

[0195] $I_{ds} = \beta (V_{data} + (I_{ref} / \beta)^{1/2} - V_{source})^2$

[0196] 즉, 구동 트랜지스터에 흐르는 전류(Ids)는, 임계치 전압(Vth)에 의존하지 않는다, 즉, 임계치 전압보정이 행해진다.

[0197] 또한, 발광소자(126)가 발광을 개시시키기 위해, 데이터전압을 받아들인 후, 주사선(SCNL101)을 로 레벨로서 TFT(122)를 비도통상태로 하고, 구동선(DRVL101)을 하이레벨로서 TFT(123)를 도통상태로 하는 동작이 행해진다.

[0198] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 도 22c, 도 22d에 나타내는 바와 같이, 구동선(DRVL101)을 하이레벨, 오토 제로선(AZL101)을 로 레벨로 하고, TFT(123)를 도통상태, TFT(124) 및 TFT(125)를 비도통상태로 한다. 이 때 TFT(121)는 다이오드 접속된 상태로 발광소자(OLED)(126)로 접속되기 때문에 TFT(121)에 정전류(Iref)가 흐른다.

[0199] 그리고, 이 때, 노드(ND121)의 프리차지는 행해지지 않고, 오프셋 캔슬 보정(오토제로동작)은 행해지지 않고, 통상의 기입기간과 구동기간에 있어서는 발광소자(126)의 발광제어가 행해진다.

[0200] 이 화소회로(120)를 적용한 유기 EL디스플레이(100D, 100E)에 의하면, 상술한 제 1~ 제 4의 실시형태와 동일한 효과를 얻을 수 있다.

[0201] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 주사선(SCNL101)에 의해 TFT(122)를 온 하는 타이밍을 앞당기는 것도 가능하고, 이것에 의해, 구동제어 동작의 고속화를 도모할 수 있다.

[0202] 또한, 도 21의 화소회로(120)는 일레이터이며, 본 발명은 이것에 한정되지 않는다. 예를 들면, 상술한 바와 같이, TFT(122)~TFT(125)는 단순한 스위치이기 때문에, 이들 모두 내지 일부를 p채널 TFT, 혹은 그 외의 스위치 소자로 구성하는 것도 가능한 것은 분명하다.

[0203] 도 23은, 도 19 및 도 20의 유기 EL디스플레이에 적용 가능한 구체적인 화소회로의 제 2의 예를 나타내는 회로도이다.

[0204] 도 24a~도 24d는 도 23의 화소회로의 보정유무를 포함하는 기본적인 동작의 타이밍 차트이다. 도 24c에 있어서 실선이 보정 있음 일때의 타이밍을 나타내고, 파선이 보정 없음 일때의 타이밍을 나타내고 있다.

[0205] 도 23의 화소회로(130)는, 구동 트랜지스터로서의 p채널 TFT(131), 제 1의 스위치로서의 n채널 TFT(132), 제 2의 스위치로서의 TFT(133), 제 3의 스위치로서의 TFT(134), 제 4의 스위치로서의 TFT(135), 캐패시터(C131), 유기 EL소자 OLED(전기광학소자)로 이루어지는 발광소자(136) 및 노드(ND131~ND133)를 가진다.

[0206] 또, 도 23에 있어서, SGL101는 신호선을, SCNL101는 주사선을, AZL101은 오토 제로선을, DRVL101는 구동선을

각각 나타내고 있다.

- [0207] 구동 트랜지스터로서 TFT(131)의 소스가 노드(ND133)(TFT(133)의 소스, TFT(134)의 드레인과의 접속점에 접속되며, 드레인이 유기 EL발광소자(136)의 애노드 측에 접속되며, 발광소자(136)의 캐소드가 제 2의 기준전위(예를 들어 접지 전위)에 접속되어 있다.
- [0208] TFT(133)의 소스가 노드(ND133)(TFT(131)의 소스)에 접속되며, 드레인이 제 1의 기준전위로서의 전원전압(VDD)의 공급라인에 접속되며, 게이트가 구동선(DRVL101)에 접속되어 있다.
- [0209] TFT(134)의 드레인이 노드(ND133)(TFT(131)의 소스)에 접속되며, 소스가 노드(ND131)(TFT(132)의 소스)에 접속되며, 게이트가 오토 제로선(AZL101)에 접속되어 있다.
- [0210] 캐패시터(C131)의 제 1전극이 노드(ND131)에 접속되며, 제 2전극이 노드(ND 132)에 접속되어 있다.
- [0211] TFT(132)의 소스가 노드(ND131)에 접속되어 드레인이 신호선(SGLL101)에 접속되며, 게이트가 제 1행째에 배선된 주사선(SCNL101)에 접속되어 있다.
- [0212] TFT(135)의 소스가 노드(ND132)(TFT(131)의 게이트)에 접속되며, 드레인이 프리차지 전위(v_{ofs})에 접속되어 있다.
- [0213] 다음에, 화소회로(130)의 동작에 대하여, 도 24에 나타내는 타이밍 차트를 참조하면서 설명한다.
- [0214] 스텝 ST11 :
- [0215] 우선, 보정처리를 포함하는 구동제어를 행하는 경우에는, 도 24d, 도 24c에 나타내는 바와 같이, 구동선(DRVL101), 오토 제로선(AZL101)을 하이레벨로 하고, TFT(133), TFT(134), TFT(135)를 도통상태로 한다.
- [0216] 이 때, TFT(131)의 게이트는, TFT(135)에 의하여 프리차지 전위(V_{pc})로 되며, 캐패시터(C131)의 입력측 전위(V_{C131})는, TFT(133), TFT(134)가 도통상태에 있기 때문에 전원 전위(VDD) 또는 그 부근까지 상승한다.
- [0217] 스텝 ST12 :
- [0218] 도 24d에 나타내는 바와 같이, 구동선(DRVL101)을 로 레벨로 하고, TFT(132)를 비도통상태로 한다. TFT(131)에 흐르는 전류가 차단되기 때문에, TFT(131)의 드레인 전위는 하강하지만, 그 전위가 $V_{pc}+|V_{th}|$ 까지 하강한 시점에서 TFT(131)는 비도통상태로 되고 전위가 안정된다.
- [0219] 이 때, 캐패시터(C131)의 입력측 전위(V_{C131})는, TFT(134)가 도통상태에 있기 때문에, 역시 $V_{pc}+|V_{th}|$ 이다. 여기서 $|V_{th}|$ 는, TFT(131)의 임계치의 절대값이다.
- [0220] 스텝 ST13 :
- [0221] 도 24c에 나타내는 바와 같이, 오토 제로선(AZL101)을 로 레벨로서 TFT(134) 및 TFT(135)를 비도통상태로 한다. 캐패시터(C131)의 입력측 노드의 전위(V_{C131})는 $V_{pc}+|V_{th}|$ 이며, TFT(131)의 게이트 전위(V_{g131})는 V_{pc} 이다. 즉, 캐패시터(C131)의 단자간 전위차는 $|V_{th}|$ 로 된다.
- [0222] 스텝 ST14 :
- [0223] 도 24b, 도 24a에 나타내는 바와 같이, 주사선(SCNL101)을 하이레벨로 하여 TFT (132)를 도통상태로 하고, 신호선(SGLL101)에서 휘도 데이터에 따른 전위(V_{data})를 캐패시터(C131)의 입력측 노드(ND131)에 부여한다.
- [0224] 캐패시터(C131) 단자간의 전위차는 $|V_{th}|$ 인 채 유지되므로, TFT(131)의 게이트 전위(V_{g131})는, $V_{data} - |V_{th}|$ 로 된다.
- [0225] 스텝 ST15 :
- [0226] 도 24b, 도 24d에 나타내는 바와 같이, 주사선(SCNL101)을 로 레벨로 하여 TFT (132)를 비도통상태로 하고, 구동선(DRVL101)을 하이레벨로 하여 TFT(133)를 도통상태로 하면, TFT(131) 및 발광소자(OLED)(136)에 전류가 흘러, OLED가 발광을 개시한다.
- [0227] 또한, 상기의 스텝(ST11 및 ST12)의 동작에 있어서는, $V_{pc}+|V_{th}| < VDD$ 로 되도록 V_{pc} 의 값을 설정할 필요가 있지만, 이것을 만족하는 한 V_{pc} 의 값은 임의이다.
- [0228] 상기 동작을 행한 후에 발광소자(OLED)(136)에 흐르는 전류(I_{oled})를 계산하면, TFT(131)가 포화영역에서 동작

하고 있으면, 다음과 같이 된다.

수학식 9

[0229] $I_{oled} = \mu C_{ox} W / L / 2 (V_{gs} - V_{th})^2$

[0230] $= \mu C_{ox} W / L / 2 (V_{cc} - V_g - |V_{th}|)^2$

[0231] $= \mu C_{ox} W / L / 2 (V_{cc} - V_{data} + |V_{th}| - |V_{th}|)^2$

[0232] $= \mu C_{ox} W / L / 2 (V_{cc} - V_{data})^2$

[0233] 여기서, μ 는 캐리어의 이동도, C_{ox} 는 단위면적당 게이트 용량, W 는 게이트폭, L 은 게이트 길이를 각각 나타내고 있다.

[0234] 수학식 9에 의하면, 전류(I_{oled})는 TFT(131)의 임계치(V_{th})에 의존하지 않고(V_{th} 에 의하지 않고), 외부로부터 부여되는 V_{data} 에 의하여 제어된다.

[0235] 바꾸어 말하면, 도 23의 화소회로(130)를 이용하면, 화소마다 흠여지는 V_{th} 의 영향을 받지 않고, 전류의 균일성, 나아가서는 휘도의 균일성이 비교적 높은 표시장치를 실현할 수 있다.

[0236] 또, TFT(131)가 리니어 영역에서 동작하고 있는 경우에 있어서도, 발광소자(OLED)(136)에 흐르는 전류(I_{oled})는 다음과 같이 되며, 역시 V_{th} 에 의존하지 않는다.

수학식 10

[0237] $I_{oled} = \mu C_{ox} W / L \{ (V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2 \}$

[0238] $= \mu C_{ox} W / L \{ (V_{cc} - V_g - |V_{th}|)(V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \}$

[0239] $= \mu C_{ox} W / L \{ (V_{cc} - V_{data} + |V_{th}| - |V_{th}|) (V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \}$

[0240] $(V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \}$

[0241] $= \mu C_{ox} W / L \{ (V_{cc} - V_{data})(V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \}$

[0242] 여기서, V_d 는 TFT(131)의 드레인 전위를 나타내고 있다.

[0243] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 도 24c, 도 24d에 나타내는 바와 같이, 구동선(DRVL101)을 하이레벨, 오토 제로선(AZL101)을 로 레벨로 하고, TFT(133)를 도통상태, TFT(134) 및 TFT(135)를 비도통상태로 한다. 이 때 TFT(131)는 다이오드 접속된 상태로 발광소자(OLED)(136)와 접속되기 때문에, TFT(131)에 정전류(I_{ref})가 흐른다.

[0244] 그리고, 이 때, 노드(ND131)의 프리차지는 행해지지 않고, 오프셋 캔슬 보정(오토 제로 동작)은 행해지지 않고, 통상의 기입기간과 구동기간에 있어서는 발광소자(136)의 발광제어가 행해진다.

[0245] 이상과 같이, 도 23의 화소회로(130)에 의하면, 임계치(V_{th})의 불균일의 영향을 취소할 수 있다고 하는 점에 있어서, 도 2의 회로보다 우수하다.

[0246] 도 3의 회로에 대해서는, 다음의 점에 있어서, 보다 우수하다.

[0247] 첫째로, 도 3의 회로에 있어서는, 외부에서 구동하는 데이터 진폭(ΔV_{data})에 대하여, 구동 트랜지스터의 게이트 진폭(ΔV_g)은 수학식 2에 따라서 감소한다고 하는 문제가 있었지만, 본 발명에 있어서 데이터 진폭은 게이트 진폭과 거의 동등하고, 따라서 보다 작은 신호선 진폭으로 화소회로를 구동할 수 있다.

[0248] 이것에 의하여, 보다 저소비 전력, 저노이즈의 구동이 가능해진다.

[0249] 둘째로, 도 3의 회로에서 문제로 되는 오토 제로선과 TFT의 게이트와의 용량 결합에 대해서는, 도 23의 화소회로(130)에 있어서, TFT(134)는 TFT(131)의 게이트와는 직접 접속되어 있지 않기 때문에, 그 영향이 적다.

- [0250] 한편, TFT(135)는 TFT(131)의 게이트와 접속되어 있지만, TFT(135)의 소스는 일정 전위(V_{pc})에 접속되어 있기 때문에, 오토 제로 동작 종료시에 있어서 그 게이트 전위가 변화해도, TFT(131)의 게이트 전위는 거의 V_{pc}의 전위로 유지된다.
- [0251] 이와 같이, 도 23의 화소회로(130)에 있어서는, 오토 제로선(AZL101)과 TFT(131)의 게이트와의 결합의 영향이 작고, 그 결과 도 3의 화소회로보다 정확하게 V_{th}불균일의 보정이 행해진다.
- [0252] 즉, 도 23의 화소회로에 의하면, 트랜지스터의 임계치의 불균일에 의하지 않고, 정확하게 화소회로의 발광소자에 소망의 값의 전류를 공급하고, 그 결과로서 휘도 균일성이 높고, 고품위인 화상을 표시하는 것이 가능한 유기 EL용 화소회로를 실현할 수 있다. 그 결과, 종래의 유사회로보다 고정밀도인 임계치 보정이 가능해진다.
- [0253] 이 화소회로(130)를 적용한 유기 EL디스플레이(100D, 100E)에 의하면, 상술한 제 1~ 제 4의 실시형태와 동일한 효과를 얻을 수 있다.
- [0254] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 주사선(SCNL101)에 의해 TFT(132)를 온 하는 타이밍을 앞당기는 것도 가능하고, 이것에 의해, 구동제어 동작의 고속화를 도모할 수 있다.
- [0255] 또한, 도 23의 화소회로(130)는 일레이며, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 상술한 바와 같이, TFT(132)~TFT(135)는 단순한 스위치이기 때문에, 이들 모두 내지 일부를 p채널 TFT, 혹은 그 외의 스위치 소자로 구성하는 것도 가능한 것은 분명하다.
- [0256] 도 25는, 도 19 및 도 20의 유기 EL디스플레이에 적용 가능한 구체적인 화소회로의 제 3의 예를 나타내는 회로도이다.
- [0257] 도 26a~도 26d는 도 25의 화소회로의 보정유무를 포함하는 기본적인 동작의 타이밍차트이다. 도 26c에 있어서 실선이 보정이 있음 일때의 타이밍을 나타내고, 파선이 보정 없음 일때의 타이밍을 나타내고 있다.
- [0258] 도 25의 화소회로(130A)가 도 23의 화소회로(130)와 다른 점은, 구동 트랜지스터를 p채널 TFT(131) 대신에 n채널 TFT(131A)에 의해 구성하고, TFT(131A)의 소스를 발광소자(136)의 애노드에 접속하고, 그 접속점을 노드(ND133)로 하고, TFT(131A)의 게이트와 소스간(노드(ND132와 ND133)간)에 TFT(134)의 소스, 드레인을 접속하고, 이른바 소스플로워구성으로 한 것에 있다.
- [0259] 그 외의 구성은 도 23의 회로와 동일하고, 기본적인 동작은, 도 24와 도 26의 타이밍차트에서도 밝혀진 바와 같이, 동일하기 때문에 여기에서는 그 설명을 생략한다.
- [0260] 이 화소회로(130A)를 적용한 유기 EL디스플레이(100D, 100E)에 의하면, 상술한 제 1~ 제 4의 실시형태와 동일한 효과를 얻을 수 있다.
- [0261] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 주사선(SCNL101)에 의해 TFT(132)를 온 하는 타이밍을 앞당기는 것도 가능하고, 이것에 의해, 구동제어 동작의 고속화를 도모할 수 있다.
- [0262] 도 27은, 도 19 및 도 20의 유기 EL디스플레이에 적용 가능한 구체적인 화소회로의 제 4의 예를 나타내는 회로도이다.
- [0263] 도 28a~도 28d는 도 27의 화소회로의 보정유무를 포함하는 기본적인 동작의 타이밍차트이다. 도 28c에 있어서 실선이 보정있음 일때의 타이밍을 나타내고, 파선이 보정없음 일때의 타이밍을 나타내고 있다.
- [0264] 도 27의 화소회로(130B)가 도 23의 화소회로(130)와 다른 점은, 구동 트랜지스터를 p채널 TFT(131) 대신에 n채널 TFT(131B)에 의해 구성하고, 또한 노드(ND134)와 노드(ND132)와의 사이에 캐패시터(C132)를 접속하고, 이른바 부트스트랩구성으로 한 것에 있다.
- [0265] 그 외의 구성은 도 23의 회로와 동일하고, 기본적인 동작은, 도 24와 도 28의 타이밍차트에서도 밝혀진 바와 같이, 동일한 것이므로 여기서는 그 설명을 생략 한다.
- [0266] 이 화소회로(130B)를 적용한 유기 EL디스플레이(100D, 100E)에 의하면, 상술한 제 1~ 제 4의 실시형태와 동일한 효과를 얻을 수 있다.
- [0267] 또, 보정처리를 포함하지 않는 구동제어를 행하는 경우에는, 주사선(SCNL101)에 의해 TFT(132)를 온 하는 타이밍을 앞당기는 것도 가능하고, 이것에 의해, 구동제어 동작의 고속화를 도모할 수 있다.

발명의 효과

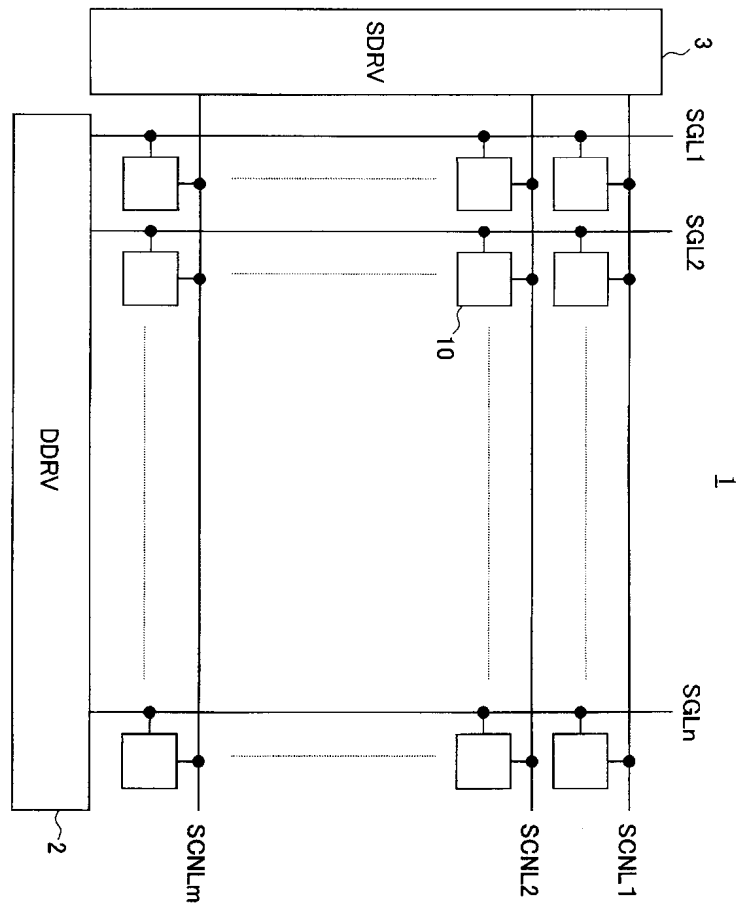
[0268] 본 발명에 의하면, 휘도 균일성을 유지한 채, 저소비 전력화가 가능해진다. 또, 고콘트라스트를 실현하고, 보다 고화질인 유기 EL디스플레이등의 표시장치를 실현할 수 있다.

도면의 간단한 설명

- [0001] 도 1은, 일반적인 액티브 매트릭스형 유기EL디스플레이(표시장치)를 나타내는 블록도이다.
- [0002] 도 2는, 종래의 화소회로의 제 1의 구성예를 나타내는 회로도이다.
- [0003] 도 3은, 종래의 화소회로의 제 2의 구성예를 나타내는 회로도이다.
- [0004] 도 4는, 도 3의 회로의 구동방법을 설명하기 위한 타이밍 차트이다.
- [0005] 도 5는, 오프셋 캔슬의 타이밍예를 나타내는 도면이다.
- [0006] 도 6은, 본 제 1의 실시형태에 관련되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블록도이다.
- [0007] 도 7은, 도 6의 유기 EL디스플레이에 있어서의 화소회로의 기본적인 구성을 나타내는 회로도이다.
- [0008] 도 8은, 제 1의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 1의 구동제어방법을 설명하기 위한 도면이다.
- [0009] 도 9는, 제 1의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 1의 구동제어방법을 나타내는 타이밍 차트이다.
- [0010] 도 10는, 본 제 2의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블록도이다.
- [0011] 도 11은, 제 2의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 2의 구동제어방법을 설명하기 위한 도면이다.
- [0012] 도 12는, 제 2의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 2의 구동제어방법을 나타내는 타이밍 차트이다.
- [0013] 도 13은, 본 제 3의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블록도이다.
- [0014] 도 14는, 제 3의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 3의 구동제어방법을 설명하기 위한 도면이다.
- [0015] 도 15는, 제 3의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 3의 구동제어방법을 나타내는 타이밍 차트이다.
- [0016] 도 16은, 본 제 4의 실시형태에 관계되는 화소회로를 채용한 액티브 매트릭스형 유기 EL디스플레이(표시장치)의 구성을 나타내는 블록도이다.
- [0017] 도 17은, 제 4의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 4의 구동제어방법을 설명하기 위한 도면이다.
- [0018] 도 18은, 제 4의 실시형태에 있어서의 오프셋 캔슬 보정이 행해지는 화소회로를 가지는 유기 EL디스플레이의 화소 어레이부 전체의 제 4의 구동제어방법을 나타내는 타이밍 차트이다.
- [0019] 도 19는, 본 실시형태의 제 1, 제 2, 제 4의 구동제어방법을 채용하는 유기 EL디스플레이의 구체적인 예를 나타내는 블록도이다.
- [0020] 도 20은, 본 실시형태의 제 3의 구동제어방법을 채용하는 유기 EL디스플레이의 구체적인 예를 나타내는 블록도이다.
- [0021] 도 21은, 도 19 및 도 20의 유기 EL디스플레이에 적용 가능한 구체적인 화소회로의 제 1의 예를 나타내는 회로도이다.

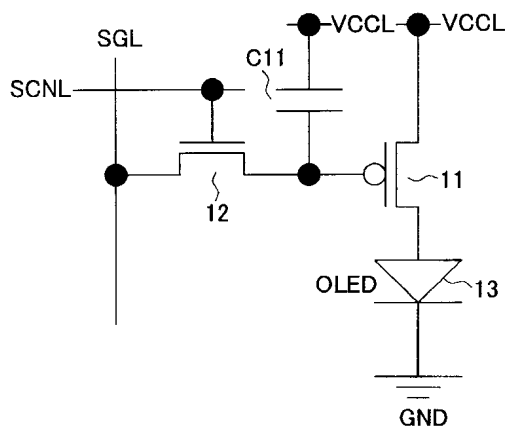
도면

도면1



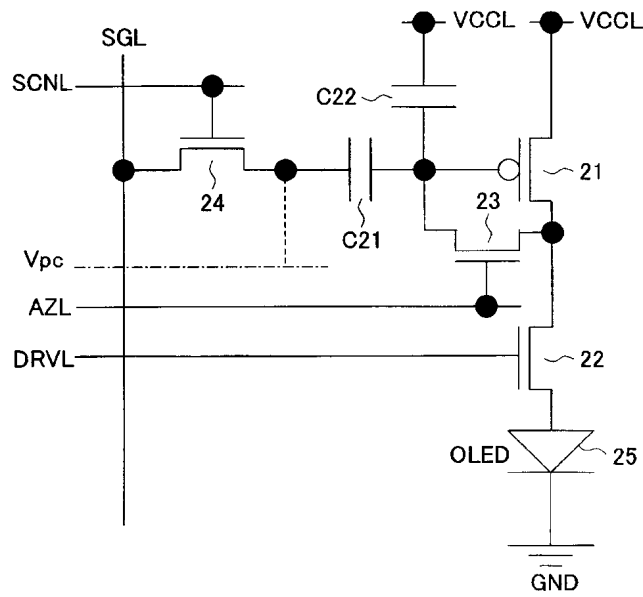
도면2

10

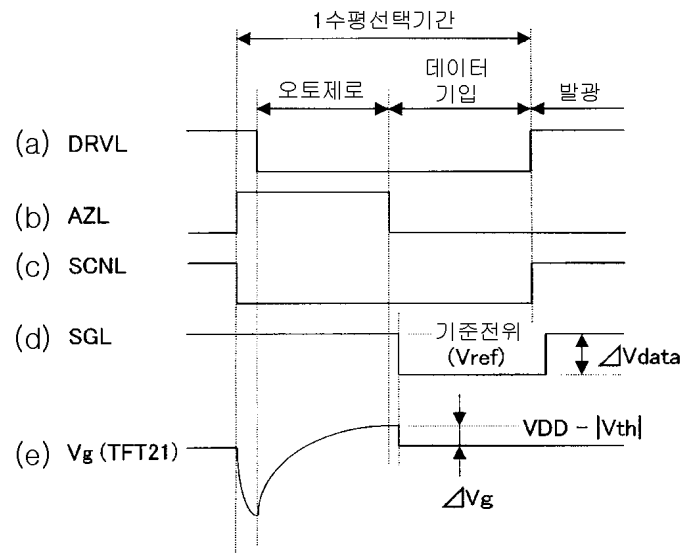


도면3

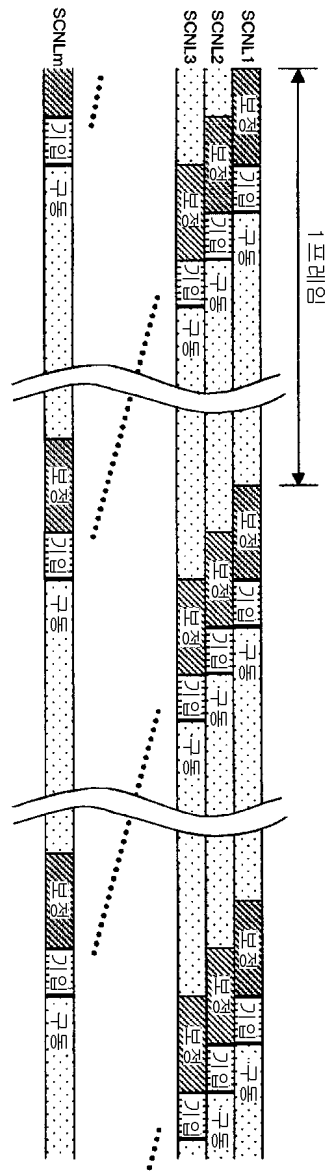
20



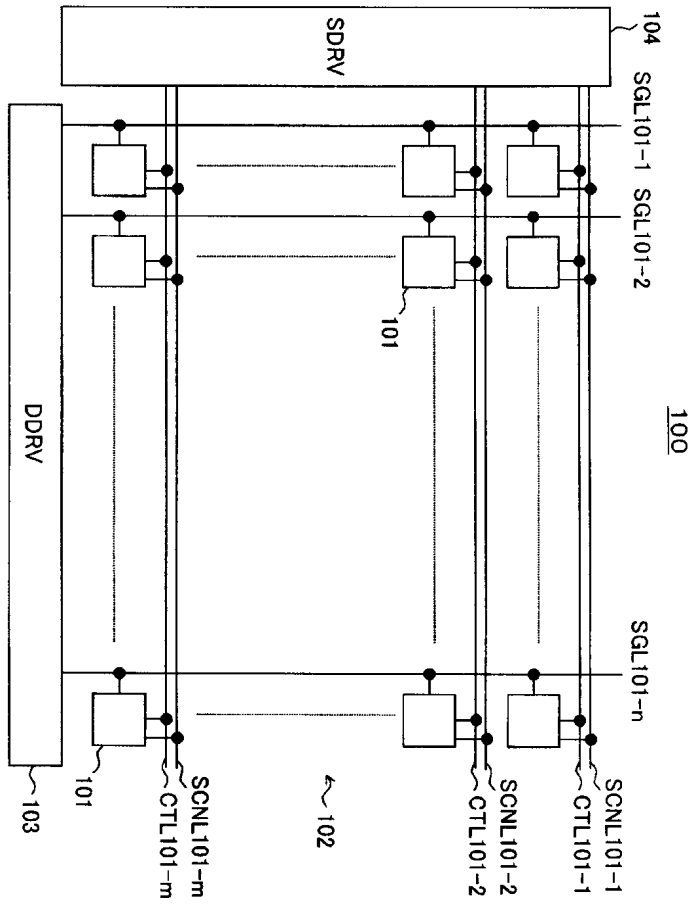
도면4



도면5

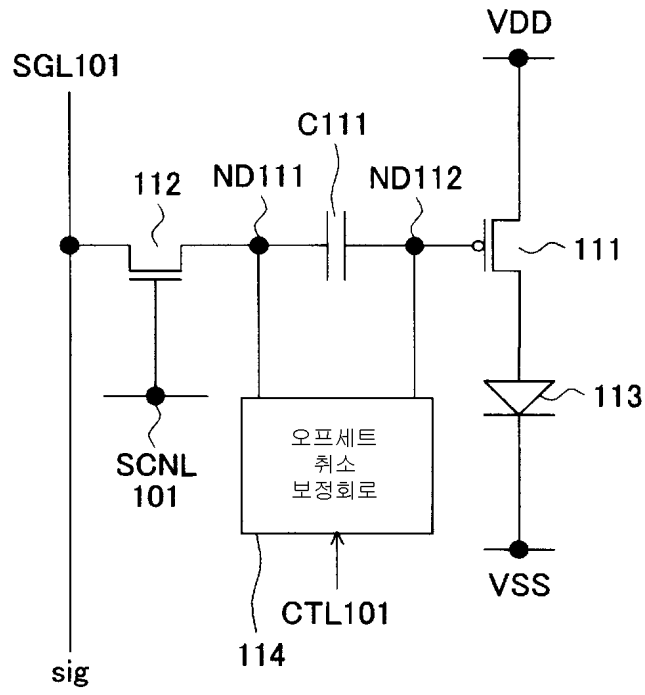


도면6





도면7

101



도면8

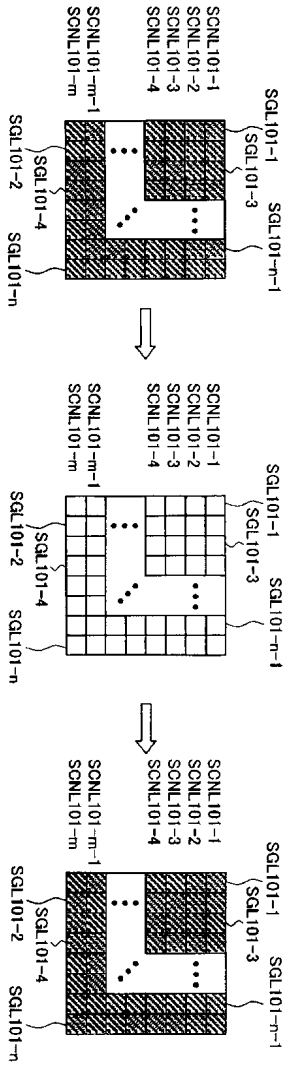
 보정 있음
 보정 없음

(a)

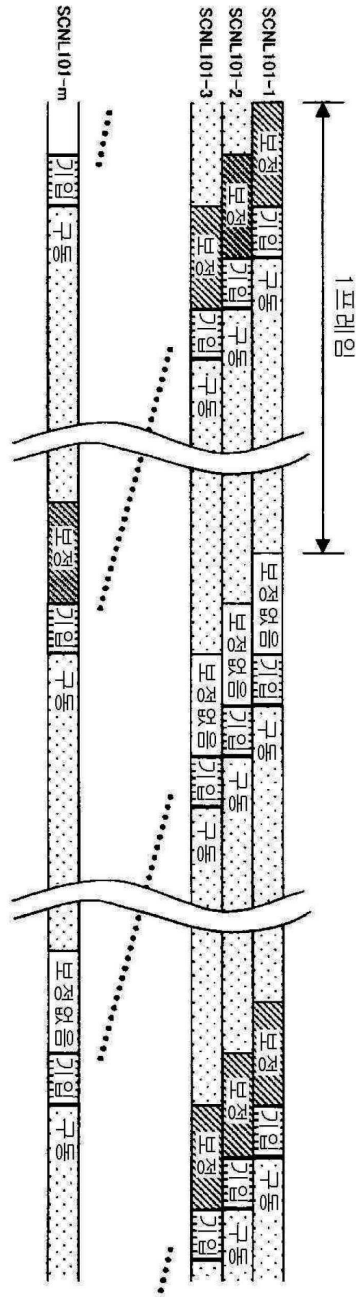
(b)

(c)

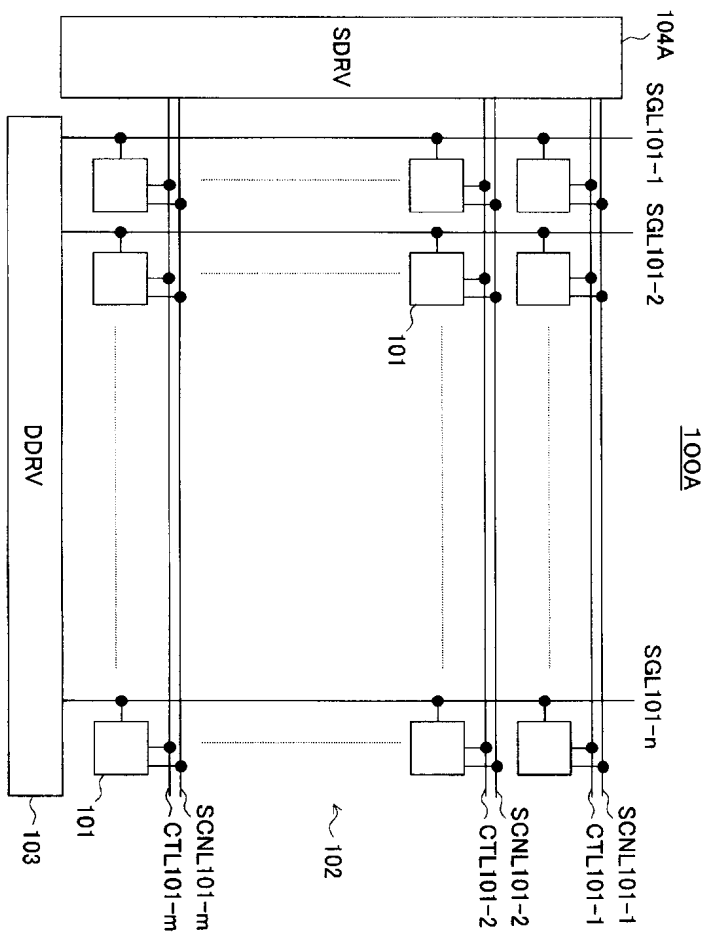
L프레임에서의 축소회로의 보정상태 (L+1)프레임에서의 축소회로의 보정상태 (L+2)프레임에서의 축소회로의 보정상태





도면9



도면10



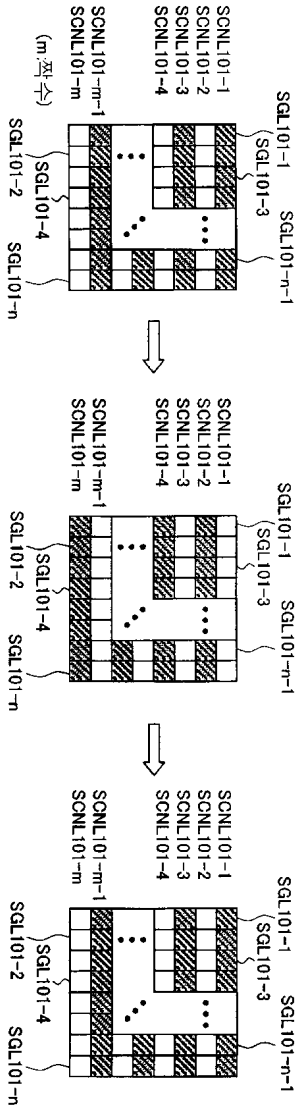
도면11

 보정 있음
 보정 없음

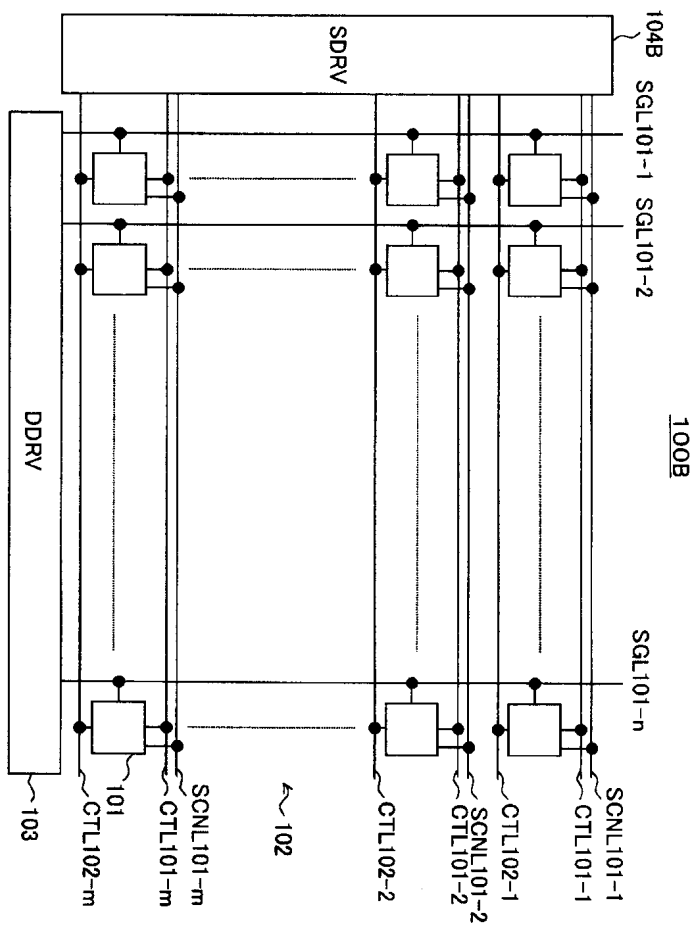
(a)

(b)

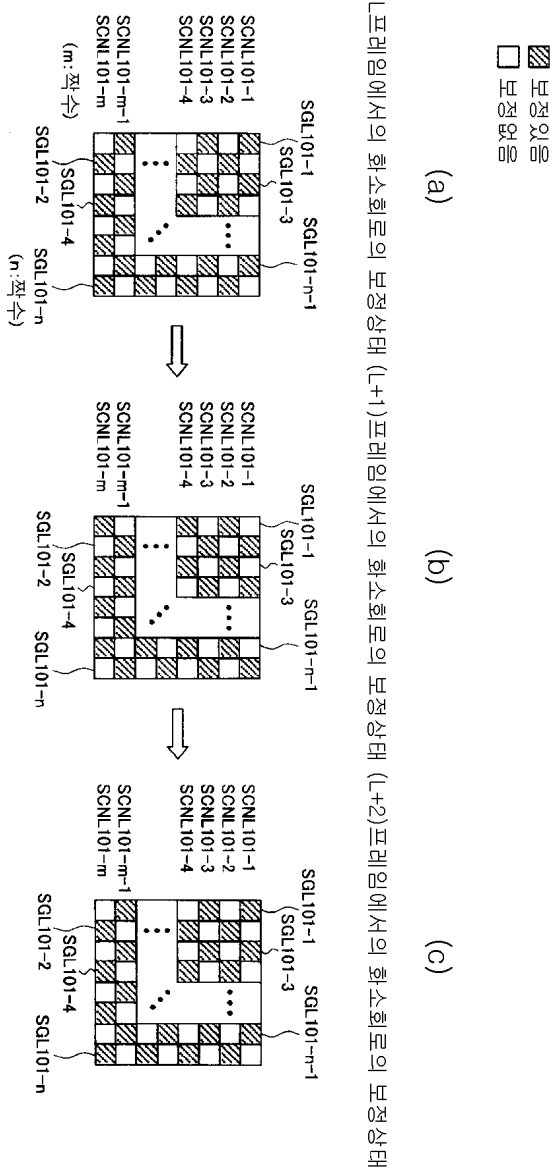
(c)



도면13

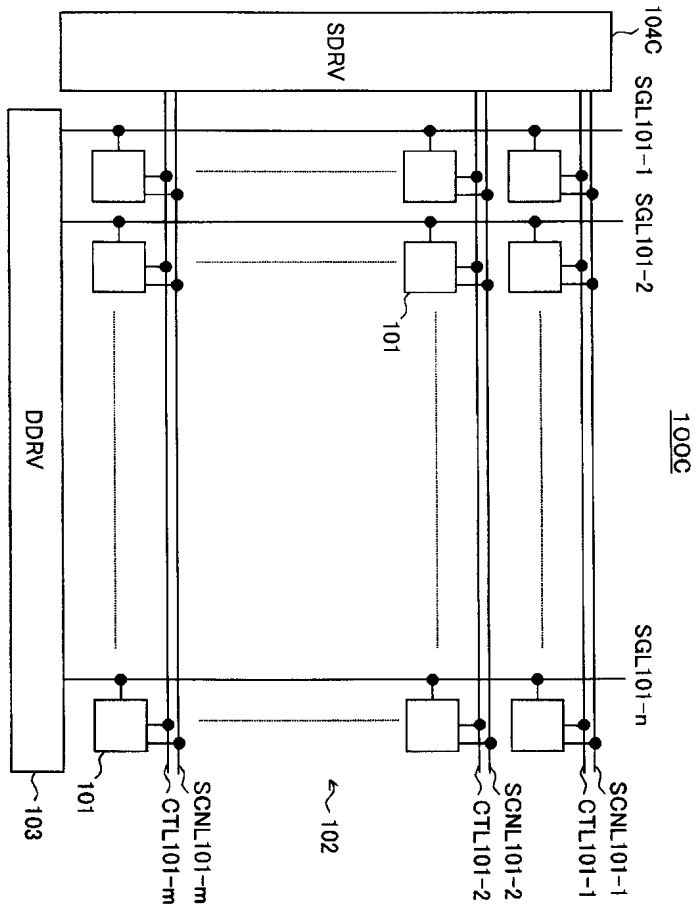


도면14

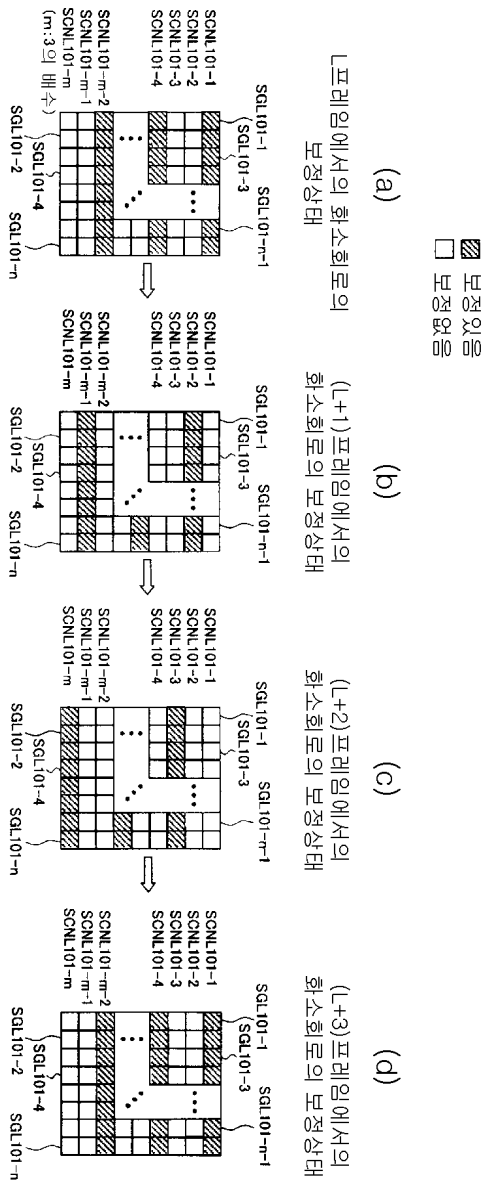


L프레임에서의 희소행렬의 보정상태 (L+1)프레임에서의 희소행렬의 보정상태 (L+2)프레임에서의 희소행렬의 보정상태

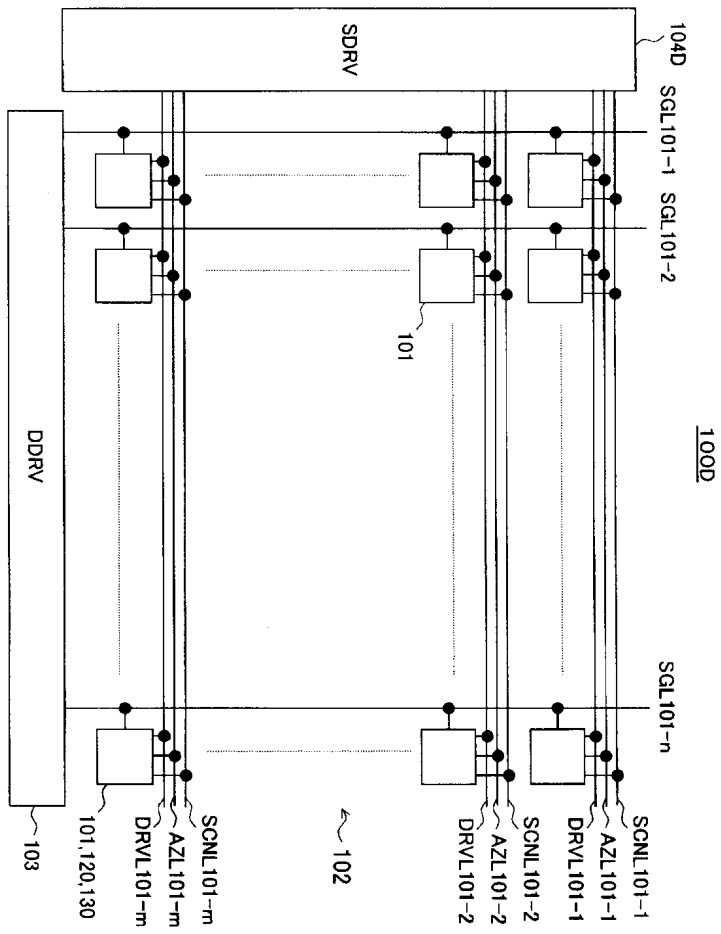
도면16



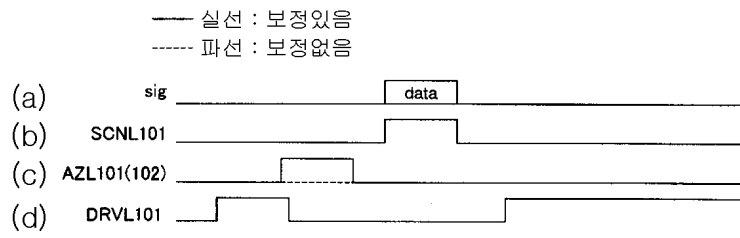
도면17



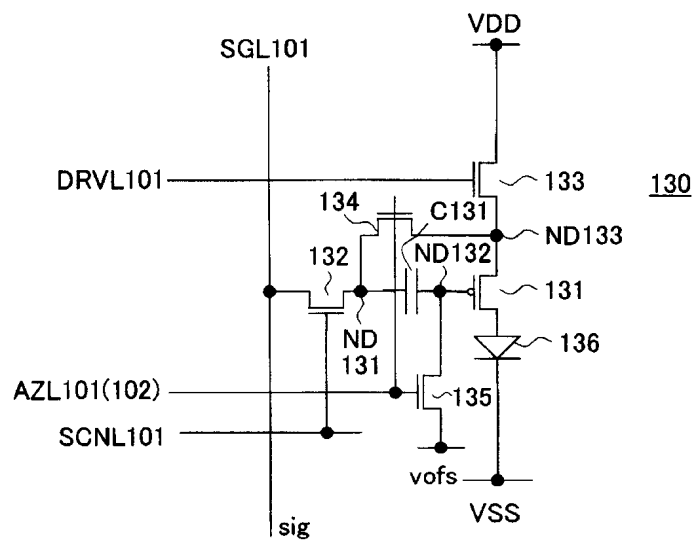
도면19



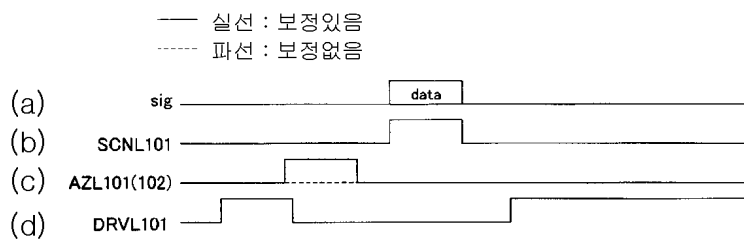
도면22



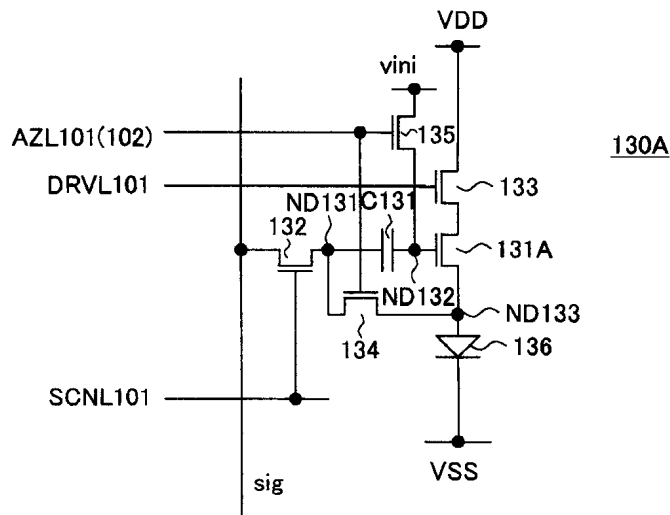
도면23



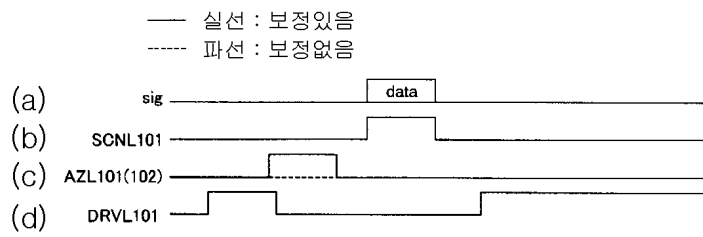
도면24



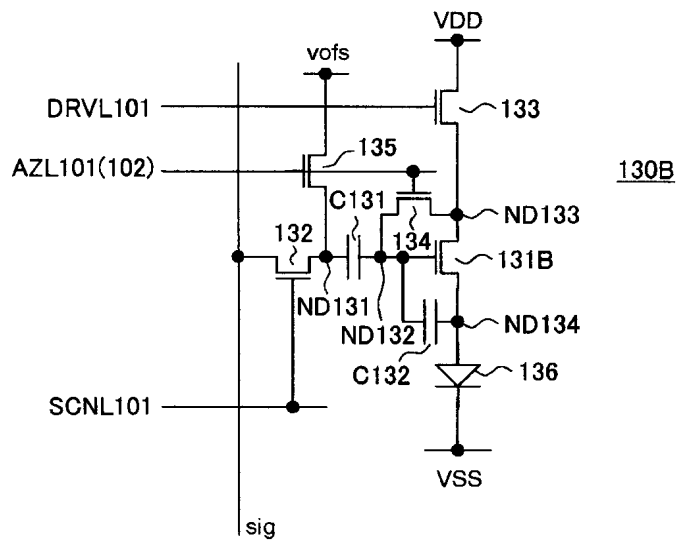
도면25



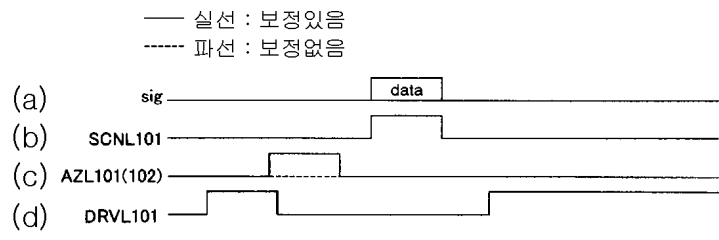
도면26



도면27



도면28



专利名称(译)	标题：像素电路，显示装置和像素电路的控制方法		
公开(公告)号	KR101260508B1	公开(公告)日	2013-05-06
申请号	KR1020060037699	申请日	2006-04-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	ASANO MITSURU 아사노미츄루 YUMOTO AKIRA 유모토아키라 FUJIMURA HIROSHI 후지무라히로시		
发明人	아사노미츄루 유모토아키라 후지무라히로시		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/043		
代理人(译)	Singwanho		
优先权	2005139898 2005-05-12 JP		
其他公开文献	KR1020060117196A		
外部链接	Espacenet		

摘要(译)

本发明提供一种像素电路和显示装置，其能够实现高对比度并实现更高图像质量的显示图像，同时在保持亮度均匀性的同时实现低功耗。像素电路101是用于驱动有机EL光学元件113的控制周期，并且包括用于累积取决于作为C111两端的驱动晶体管的TFT 111的阈值电压的电压的校正时段，其中作为第一开关的TFT 112由SCL101导通并且数据信号从信号线SGL101写入像素电路101和写入数据信号保持在像素电路中的写入时段的写入时段，驱动和控制驱动和控制具有校正时段，写入时段和驱动时段的帧，以及具有写入时段和不存在校正时段的驱动时段的帧。

