



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년04월15일  
 (11) 등록번호 10-1254644  
 (24) 등록일자 2013년04월09일

(51) 국제특허분류(Int. Cl.)  
**H05B 33/02** (2006.01)  
 (21) 출원번호 10-2006-0060254  
 (22) 출원일자 2006년06월30일  
 심사청구일자 2011년06월21일  
 (65) 공개번호 10-2008-0001851  
 (43) 공개일자 2008년01월04일  
 (56) 선행기술조사문헌  
 US20040227459 A1\*  
 US04963002 A\*  
 KR1020060065394 A\*  
 JP2006039316 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**이준석**  
 서울특별시 구로구 도림로 59, 두산아파트 101동 2408호 (구로동)  
**이중화**  
 서울 영등포구 여의도동 진주아파트 A동 1101호  
 (74) 대리인  
**김용인, 심창섭**

전체 청구항 수 : 총 10 항

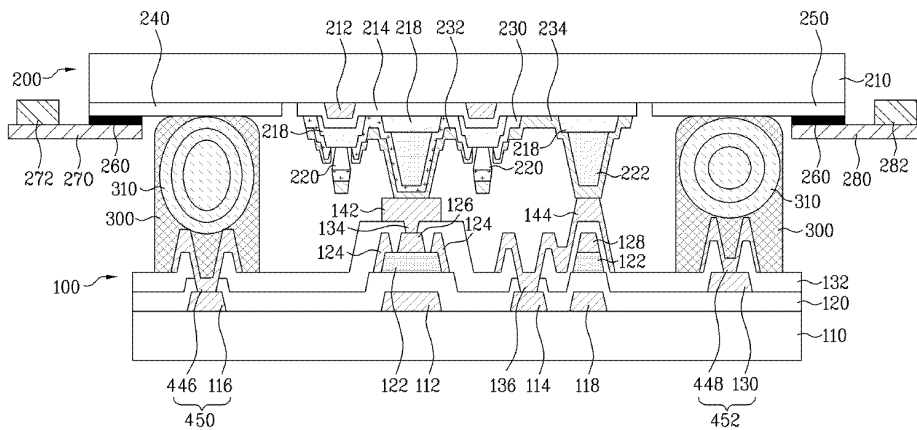
심사관 : 금복희

**(54) 발명의 명칭 유기 전계발광 표시장치와 그의 제조 방법**

**(57) 요약**

본 발명은 마스크 공정 수를 줄여 제조 공정을 단순화할 수 있는 유기 전계발광 표시장치와 그 제조 방법을 제공하는 것으로, 제1 기판에 형성된 서브화소 구동부 어레이와; 제2 기판에 형성된 유기 발광 다이오드 어레이와; 상기 제1 및 제2 기판을 합착시키는 실링재와; 상기 제1 기판에 형성된 다수의 하부 패드와; 상기 제2 기판에 형성된 다수의 상부 패드와; 상기 실링재에 포함되어 상기 다수의 상부 패드와 상기 다수의 하부 패드를 독립적으로 접속시키는 다수의 도전볼을 포함한 유기 전계발광 표시장치와 그 제조 방법을 개시한다.

**대표도**



**특허청구의 범위**

**청구항 1**

제1 기관에 형성된 서브화소 구동부 어레이와;  
 제2 기관에 형성된 유기 발광 다이오드 어레이와;  
 상기 제1 및 제2 기관의 주변 영역을 서로 합착시키는 실링재와;  
 상기 제1 기관의 상기 주변 영역에서 상기 실링재와 중첩하게 형성된 다수의 하부 패드와;  
 상기 제2 기관의 상기 주변 영역에서 상기 실링재와 중첩하게 형성된 다수의 상부 패드와;  
 상기 실링재에 포함되어 상기 다수의 상부 패드와 상기 다수의 하부 패드를 독립적으로 접속시키는 다수의 도전 불과;  
 상기 서브화소 구동부 어레이를 구동하기 위한 구동칩이 실장되고, 상기 다수의 상부 패드와 접속된 회로 필름을 포함하고,  
 상기 유기 발광 다이오드 어레이는 서브화소들에 각각 형성된 다수의 유기 발광 다이오드를 포함하고,  
 상기 다수의 유기 발광 다이오드 각각은  
 상기 서브화소 구동부 어레이와 독립적으로 접속된 제1 전극과,  
 상기 제2 기관의 내측면에 투명 도전층으로 형성된 제2 전극과,  
 상기 제1 전극 및 제2 전극 사이에 형성된 유기 발광층을 포함하고,  
 상기 다수의 유기 발광 다이오드에 포함된 상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고,  
 상기 상부 패드는 상기 제2 전극과 동일층인 상기 투명 도전층으로 동시에 형성되지만 상기 제2 전극과는 분리되어, 상기 제2 기관의 내측면 중 상기 주변 영역에 형성되고,  
 상기 상부 패드는 상기 제2 기관 내측면의 주변 영역에서, 상기 실링재의 안쪽 영역으로부터 상기 실링재의 바깥 영역까지 연장되도록 형성되고,  
 상기 회로 필름은 상기 실링재의 바깥 영역에서 상기 실링재와 중첩하지 않도록 상기 상부 패드와 접속된 것을 특징으로 하는 유기 전계발광 표시장치.

**청구항 2**

제 1 항에 있어서,  
 상기 다수의 도전볼은 탄성을 갖는 이방성 도전볼인 것을 특징으로 하는 유기 전계발광 표시장치.

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,  
 상기 다수의 하부 패드는 상기 실링재와 완전 중첩되어 상기 실링재에 의해 보호되는 것을 특징으로 하는 유기 전계발광 표시장치.

**청구항 5**

제 4 항에 있어서,  
 상기 서브화소 구동부 어레이는

다수의 신호 라인들과;

상기 서브화소의 단위로 분리되게 형성되어 적어도 2개의 박막 트랜지스터를 각각 포함하는 다수의 서브화소 구동부와,

상기 다수의 서브화소 구동부 각각을 상기 제1 전극과 독립적으로 접속시키는 제1 콘택 전극과;

상기 다수의 신호 라인들 중 하나의 전원 라인을 상기 제2 전극과 접속시키는 제2 콘택 전극을 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

**청구항 6**

삭제

**청구항 7**

제 5 항에 있어서,

상기 다수의 하부 패드 각각은

상기 다수의 신호 라인들 중 적어도 하나의 신호 라인과 접속된 제1 하부 패드와;

상기 제1 및 제2 콘택 전극과 동일한 금속으로 동일층에 형성되어 상기 제1 하부 패드와 접속된 제2 하부 패드를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

제1 기판에 서브화소 구동부 어레이와 다수의 하부 패드를 형성하는 단계와;

제2 기판에 유기 발광 다이오드 어레이와 다수의 상부 패드를 형성하는 단계와;

다수의 도전볼을 함유한 실링재를 이용하여 상기 제1 및 제2 기판을 합착하고 상기 다수의 상부 패드와 다수의 하부 패드가 독립적으로 접속되게 하는 단계와;

상기 서브화소 구동부 어레이를 구동하기 위한 구동칩이 실장된 회로 필름을 상기 다수의 상부 패드와 접속되게 부착하는 단계를 포함하고,

상기 실링재는 상기 제1 기판 및 제2 기판의 주변 영역에서 상기 다수의 하부 패드 및 상부 패드와 중첩되게 형성되고,

상기 유기 발광 다이오드 어레이는 서브화소들에 각각 형성된 다수의 유기 발광 다이오드를 포함하고,

상기 다수의 유기 발광 다이오드 각각은

상기 서브화소 구동부 어레이와 독립적으로 접속된 제1 전극과,

상기 제2 기판의 내측면에 투명 도전층으로 형성된 제2 전극과,

상기 제1 전극 및 제2 전극 사이에 형성된 유기 발광층을 포함하고,

상기 다수의 유기 발광 다이오드에 포함된 상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고,

상기 상부 패드는 상기 제2 전극과 동일층인 상기 투명 도전층으로 동시에 형성되지만 상기 제2 전극과는 분리

되어, 상기 제2 기관의 내측면 중 상기 주변 영역에 형성되고,

상기 상부 패드는 상기 제2 기관 내측면의 주변 영역에서, 상기 실링재의 안쪽 영역으로부터 상기 실링재의 바깥 영역까지 연장되도록 형성되고,

상기 회로 필름은 상기 실링재의 바깥 영역에서 상기 실링재와 중첩하지 않도록 상기 상부 패드와 접촉된 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

**청구항 12**

제 11 항에 있어서,

상기 다수의 도전볼은 탄성을 갖는 이방성 도전볼인 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

**청구항 13**

삭제

**청구항 14**

제 11 항에 있어서,

상기 다수의 하부 패드는 상기 실링재와 완전 중첩되어 상기 실링재에 의해 보호되는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

**청구항 15**

제 14 항에 있어서,

상기 서브화소 구동부 어레이를 형성하는 단계는

상기 제1 기관에 다수의 신호 라인들과, 적어도 2개의 박막 트랜지스터를 포함하는 서브화소 구동부를 서브화소 단위로 분리되게 형성하는 단계와,

상기 다수의 서브화소 구동부 각각을 상기 제1 전극과 독립적으로 접속시키는 제1 콘택 전극과, 상기 다수의 신호 라인들 중 하나의 전원 라인을 상기 제2 전극과 접속시키는 제2 콘택 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

**청구항 16**

삭제

**청구항 17**

제 15 항에 있어서,

상기 다수의 하부 패드를 형성하는 단계는

상기 다수의 신호 라인들과 함께 적어도 하나의 신호 라인과 접속된 제1 하부 패드를 형성하는 단계와;

상기 제1 하부 패드와 접속된 제2 하부 패드를 상기 제1 및 제2 콘택 전극과 함께 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0026] 본 발명은 유기 전계발광 표시 장치에 관한 것으로, 특히 공정을 단순화할 수 있는 유기 전계발광 표시장치와 그 제조 방법에 관한 것이다.
- [0027] 최근 다양한 정보를 화면으로 구현해 주는 다양한 표시 장치들 중 종이와 같이 박막화가 가능한 유기 전계발광 (Electro-Luminescence) 표시장치가 주목받고 있다. 유기 전계발광 표시장치는 전극 사이의 얇은 유기 발광층을 이용한 자발광 소자로 유기 EL 또는 OLED(Organic Light Emitting Diode) 표시장치라고 부르며 이하에서는 OLED 표시장치를 사용한다. OLED 표시장치는 액정 표시장치와 비교하여 저소비전력, 박형, 자발광 등의 장점을 갖지만, 수명이 짧은다는 단점을 갖는다.
- [0028] OLED 표시장치는 한 화소를 구성하는 3색(R, G, B) 서브 화소 각각을 독립적으로 구동하여 동영상상을 표시하기에 적합한 액티브 매트릭스 타입을 중심으로 발전되고 있다. 액티브 매트릭스 OLED(이하, AMOLED) 표시장치의 각 서브화소는 양극 및 음극 사이의 유기 발광층으로 구성된 OLED와, OLED를 독립적으로 구동하는 서브화소 구동부를 구비한다. 서브화소 구동부는 적어도 2개의 박막 트랜지스터와 스토리지 커패시터를 포함하여 데이터 신호에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 밝기를 제어한다. OLED는 양극과 음극 사이에 유기물로 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 양극과 음극 사이에 순방향 전압이 인가되면 음극으로부터의 전자가 전자 주입층 및 전자 수송층을 통해 발광층으로 이동하고, 양극으로부터의 정공이 정공 주입층 및 정공 수송층을 통해 발광층으로 이동한다. 발광층은 전자 수송층으로부터의 전자와 정공 수송층으로부터의 정공의 재결합으로 빛을 방출하고, 밝기는 양극과 음극 사이에 흐르는 전류량에 비례한다.
- [0029] 종래의 AMOLED 표시장치는 서브화소 구동부 어레이와 OLED 어레이가 형성된 기판에 패키징판이 합착된 인캡슐레이션(Encapsulation) 구조로 그 기판을 통해 빛을 방출한다. 패키징 판에는 수분 및 가스를 흡착하는 게터가 형성되어 유기 발광층의 열화를 방지한다. 그러나, 종래의 AMOLED 표시장치는 서브화소 구동부의 공정이 완료된 다음 OLED 어레이의 공정에서 불량 발생하면 기판 전체를 모두 불량 처리해야 하므로 전체 공정 수율이 낮은 문제점이 있다. 또한, 패키징판은 개구율을 제한하고 고해상도 표시장치에 적용되기 어려운 문제점이 있다.
- [0030] 이러한 문제점들을 해결하기 위한 방안으로 최근에는 서브화소 구동부 어레이와 OLED 어레이가 서로 다른 기판에 분리 형성되어 합착된 듀얼 플레이트 타입(Dual Plate Type)의 AMOLED가 제안되었다. 그런데, 듀얼 플레이트 타입의 AMOLED 표시장치에서 서브화소 구동부 어레이가 형성된 하판은 상판과 대비하여 마스크 공정 수가 많아 공정이 복잡한 단점을 갖는다. 따라서 원가 절감을 위하여 하판의 마스크 공정 수를 줄일 수 있는 방안이 필요하다.

**발명이 이루고자 하는 기술적 과제**

- [0031] 따라서, 본 발명은 마스크 공정 수를 줄여 제조 공정을 단순화할 수 있는 OLED 표시장치와 그 제조 방법을 제공하는 것이다.

**발명의 구성 및 작용**

- [0032] 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 OLED 표시장치는 제1 기판에 형성된 서브화소 구동부 어레이와; 제2 기판에 형성된 유기 발광 다이오드 어레이와; 상기 제1 및 제2 기판을 합착시키는 실링재와; 상기 제1 기판에 형성된 다수의 하부 패드와; 상기 제2 기판에 형성된 다수의 상부 패드와; 상기 실링재에 포함되어 상기 다수의 상부 패드와 상기 다수의 하부 패드를 독립적으로 접속시키는 다수의 도전볼을 포함한다. 여기서 다수의 도전볼은 탄성을 갖는 이방성 도전볼이다. 상기 실링재는 상기 다수의 상부 패드 및 상기 다수의 하부 패드와 중첩되게 형성된다. 상기 다수의 하부 패드는 상기 실링재와 완전 중첩되어 상기 실링재에 의해 보호된다.

- [0033] 상기 서브화소 구동부 어레이는 다수의 신호 라인들과; 서브화소 단위로 분리되게 형성되어 적어도 2개의 박막 트랜지스터를 각각 포함하는 다수의 서브화소 구동부를 포함한다. 또한 상기 서브화소 구동부 어레이는 상기 다수의 서브화소 구동부 각각을 상기 상판과 독립적으로 접속시키는 제1 컨택 전극과; 상기 다수의 신호 라인들 중 하나의 전원 라인을 상기 상판과 접속시키는 제2 컨택 전극을 추가로 포함한다. 상기 다수의 하부 패드 각각은 상기 다수의 신호 라인들 중 적어도 하나의 신호 라인과 접속된 제1 하부 패드와; 상기 제1 및 제2 컨택 전극과 동일한 금속으로 동일층에 형성되어 상기 제1 하부 패드와 접속된 제2 하부 패드를 포함한다.
- [0034] 상기 유기 발광 다이오드 어레이는 상기 서브화소 단위로 분리되게 형성되어 상기 다수의 서브화소 구동부와 독립적으로 접속된 다수의 유기 발광 다이오드를 포함한다. 여기서 상기 다수의 유기 발광 다이오드에 포함된 한 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고, 상기 한 전극은 상기 상부 패드와 동일하게 투명 도전층으로 형성된다.
- [0035] 그리고, 본 발명의 OLED 표시장치는 구동칩이 실장되고 상기 상부 패드와 접속된 회로 필름을 추가로 포함한다.
- [0036] 또한, 본 발명의 다른 특징에 따른 OLED 표시장치의 제조 방법은 제1 기판에 서브화소 구동부 어레이와 다수의 하부 패드를 형성하는 단계와; 제2 기판에 유기 발광 다이오드 어레이와 다수의 상부 패드를 형성하는 단계와; 다수의 도전볼을 함유한 실링재를 이용하여 상기 제1 및 제2 기판을 합착하고 상기 다수의 상부 패드와 다수의 하부 패드가 독립적으로 접속되게 하는 단계를 포함한다.
- [0037] 상기 서브화소 구동부 어레이를 형성하는 단계는 상기 제1 기판에 다수의 신호 라인들과, 적어도 2개의 박막 트랜지스터를 포함하는 서브화소 구동부를 서브화소 단위로 분리되게 형성하는 단계와; 상기 다수의 서브화소 구동부 각각을 상기 상판과 독립적으로 접속시키는 제1 컨택 전극과, 상기 다수의 신호 라인들 중 하나의 전원 라인을 상기 상판과 접속시키는 제2 컨택 전극을 형성하는 단계를 포함한다. 상기 다수의 하부 패드를 형성하는 단계는 상기 다수의 신호 라인들과 함께 적어도 하나의 신호 라인과 접속된 제1 하부 패드를 형성하는 단계와; 상기 제1 하부 패드와 접속된 제2 하부 패드를 상기 제1 및 제2 컨택 전극과 함께 형성하는 단계를 포함한다.
- [0038] 상기 유기 발광 다이오드 어레이를 형성하는 단계는 상기 제1 기판에 상기 다수의 서브화소 구동부와 독립적으로 접속된 다수의 유기 발광 다이오드를 상기 서브화소 단위로 분리되게 형성하는 단계를 포함하고, 상기 다수의 상부 패드를 형성하는 단계는 상기 유기 발광 다이오드 어레이에 공통으로 형성된 한 전극과 함께 투명 도전층으로 형성하는 단계를 포함한다.
- [0039] 그리고, 본 발명의 OLED 표시장치의 제조 방법은 구동칩이 실장된 회로 필름을 상기 상부 패드에 전기적으로 접속되게 부착하는 단계를 추가로 포함한다.
- [0040] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0041] 본 발명의 실시예에 대한 설명에 앞서, 도 1을 참조하여 본 발명이 도출된 배경의 OLED 표시장치의 구조를 먼저 살펴보기로 한다.
- [0042] 도 1을 참조하면, OLED 표시장치는 서브화소 구동부 어레이가 형성된 하판(100)과, OLED 어레이가 형성된 상판(200)이 실링재(300)에 의해 합착된 구조를 갖는다. 여기서 서브화소 구동부 어레이는 화상 표시부를 구성하는 다수의 서브화소의 서브화소 구동부들을 포함하고, OLED 어레이는 다수의 서브화소의 OLED들을 포함한다.
- [0043] 하판(100)은 절연 기판(110)에 형성된 다수의 신호 라인과 박막 트랜지스터(TTF)를 포함하는 서브화소 구동부 어레이를 포함한다. 서브화소 구동부 어레이는 실링재(300)에 의해 밀봉되는 하판(100)의 내부 영역에 형성된다. 하판(100)은 실링재(300)가 형성된 실링 영역을 기준으로 내부 영역과 외부 영역으로 구분될 수 있다.
- [0044] 각 서브화소에 형성된 서브화소 구동부는 주로 2개의 박막 트랜지스터와 하나의 커패시터를 포함한다. 예를 들면, 게이트 라인의 스캔 신호에 응답하여 데이터 라인으로부터의 데이터 신호를 공급하는 스위치 박막 트랜지스터와, 스위치 박막 트랜지스터로부터의 데이터 신호에 응답하여 OLED를 흐르는 전류량을 제어하는 구동 박막 트랜지스터와, 스위치 박막 트랜지스터가 턴-오프되더라도 구동 박막 트랜지스터를 통해 일정한 전류가 흐르게 하는 스토리지 커패시터를 포함한다. 이러한 서브화소 구동부에서 도 2에 도시된 박막 트랜지스터(TFT)는 OLED와 접속된 구동 박막 트랜지스터에 대응하는 것이고, 스위치 박막 트랜지스터는 구동 박막 트랜지스터와 같은 단면 구조를 갖으므로 생략한다.
- [0045] 도 1에 도시된 박막 트랜지스터(TFT)는 절연 기판(110) 위에 형성된 게이트 전극(112)과, 게이트 절연막(120)을 사이에 두고 게이트 전극(112)과 중첩된 반도체층(122)과, 반도체층(122)을 채널로 이용하는 소스 전극(124) 및

드레인 전극(126)을 포함하고, 소스 전극(124) 및 드레인 전극(126)과 반도체층(122) 사이에는 불순물 반도체층, 즉 오믹 콘택층(미도시)이 추가로 포함된다. 구동 박막 트랜지스터(TFT)의 게이트 전극(112)은 스위치 박막 트랜지스터의 드레인 전극(미도시)과 접속되고, 소스 전극(124)은 제2 전원 라인(미도시)과 접속되며, 드레인 전극(126)은 제1 콘택 전극(142) 및 도전 필름(160)을 통해 상판(200)에 형성된 OLED, 즉 OLED의 제1 전극(232)과 접속된다. 여기서 스위치 박막 트랜지스터의 게이트 전극(미도시)은 게이트 라인(미도시)과, 소스 전극은 데이터 라인(미도시)과 접속된다.

[0046] 제1 콘택 전극(142)은 박막 트랜지스터(TFT)를 보호하는 보호막(132)을 관통하는 콘택홀(134)을 통해 드레인 전극(126)과 접속된다. 제1 콘택 전극(142)은 상판(200)에 형성된 OLED의 제1 전극(232)과 접촉하여 전기적으로 연결된다.

[0047] 그리고, 하판(100)은 실링재(300)에 의해 밀봉되는 내부 영역 중 서브화소 구동부 어레이의 주변부에 게이트 전극(112)과 함께 형성된 제1 전원 라인(114)과, 제1 전원 라인(114)과 접속된 제2 콘택 전극(144)을 더 포함한다. 제1 전원 라인(114)은 하판(100)에 형성된 제2 콘택 전극(144)과 상판(200)에 형성된 제3 콘택 전극(234)을 경유하여 상판(200)에 형성된 OLED의 제2 전극(214)과 접속된다. 제2 콘택 전극(144)은 보호막(132) 및 게이트 절연막(120)을 관통하는 콘택홀(136)을 통해 제1 전원 라인(114)과 접속된다. 그리고, 제2 콘택 전극(144)은 상판(200)에 형성된 제3 콘택 전극(234)과 접촉하여 전기적으로 연결된다. 이때 상판(200)과 접촉하는 제2 콘택 전극(144)의 표면 높이를 제1 콘택 전극(142)과 맞추기 위하여 제2 콘택 전극(144)의 아래에는 다수의 더미 패턴들(118, 122, 128)이 적층된다. 예를 들면, 다수의 더미 패턴들(118, 123, 128)은 게이트 전극(112)과 함께 형성된 더미 패턴(118)과, 게이트 절연막(120) 위의 반도체층(122)과, 소스/드레인 전극(124, 126)과 함께 보호막(132) 아래에 형성된 더미 패턴(128)을 포함하고, 반도체층(122)과 더미 패턴(128) 사이에는 불순물 반도체층(미도시)이 더 포함된다.

[0048] 또한, 하판(100)에서 실링재(300)가 형성된 실링 영역을 기준으로 외부 영역에는 게이트 라인(미도시)과 접속된 게이트 패드(150)과, 데이터 라인(미도시)과 접속된 데이터 패드(152)가 형성된 패드 영역이 마련된다. 게이트 패드(150)는 게이트 전극(112)과 함께 형성되어 게이트 라인으로부터 연장된 하부 게이트 패드(116)와, 보호막(132) 및 게이트 절연막(120)을 관통하는 콘택홀(138)을 통해 하부 게이트 패드(116)과 접속된 상부 게이트 패드(146)를 포함한다. 데이터 패드(152)는 소스/드레인 전극(124, 126)과 함께 형성되어 데이터 라인으로부터 연장된 하부 데이터 패드(130)와, 보호막(132)을 관통하는 콘택홀(140)을 통해 하부 데이터 패드(130)와 접속된 상부 데이터 패드(148)을 포함한다.

[0049] 상판(200)은 하판(100)의 서브화소 구동부와 접속된 제1 전극(232)과, 제2 전원 라인(114)과 접속된 제2 전극(214)과, 제1 및 제2 전극(232, 214) 사이에 형성된 유기 발광층(230)을 포함하는 OLED 어레이가 절연 기판(210)에 형성된 구조를 갖는다. OLED 어레이는 수분 및 가스 등에 의해 열화되는 특성을 갖으므로 실링재(300)에 의해 밀봉되는 상판(200)의 내부 영역에 형성된다.

[0050] OLED의 제2 전극(214)은 절연 기판(210)에 형성되고, 유기 발광층(230)으로부터의 빛을 투과시키기 위하여 투명 도전층으로 형성된다. 제2 전극(214)은 OLED 어레이를 모두 포함하는 판형으로 형성되어 제2 전원 라인(114)으로부터의 제2 전원을 OLED 어레이에 공통으로 공급한다. 그리고, 제2 전극(214)과 절연 기판(210) 사이에는 투명 도전층의 저항 성분을 보상하기 위한 보조 전극(212)이 금속층으로 형성된다. 보조 전극(212)은 유기 발광층(230)의 비발광 영역에 형성된다.

[0051] 제2 전극(214) 다음에는 각 서브화소 단위로 유기 발광층(230)의 발광 영역을 마련하는 버퍼막(218)이 유기 발광층(230)의 비발광 영역에 형성된다. 버퍼막(218)에 의해 마련된 유기 발광층(230)의 발광 영역들은 매트릭스 형태로 배열된다. 다시 말하여, 버퍼막(218)은 각 서브화소의 OLED가 형성될 OLED 영역을 마련한다.

[0052] 버퍼막(218) 다음에는 후속으로 형성될 유기 발광층(230)과 제1 전극(232)을 서브화소 단위로 분리시키는 세퍼레이터(Separator)(220)와, 제1 전극(232)을 하판(100)과 접속시키기 위하여 상대적으로 높은 콘택 스페이스(222)가 형성된다. 세퍼레이터(220)는 각 서브화소를 감싸는 격벽 형태로 형성되고, 콘택 스페이스(222)는 상하판(200, 100)에서 전기적인 접속이 필요한 부분, 즉 각 서브화소 구동부와 OLED의 접속 부분에만 정렬되어 기둥 형태로 형성된다. 또한, 세퍼레이터(220)의 측면은 그 위에 적층되는 유기 발광층(230)과 제1 전극(232)의 분리를 위하여 콘택 스페이스(222)와 반대되는 역테이퍼를 갖는다. 다시 말하여, 콘택 스페이스(222)는 버퍼막(218)과 접촉하는 밀면으로부터 위로 갈수록 폭이 점진적으로 감소하여 순방향의 경사면을 갖지만, 세퍼레이터(220)는 버퍼막(218)과 접촉하는 밀면으로부터 위로 갈수록 폭이 점진적으로 증가하여 역방향의 경사면을 갖는다.

- [0053] 그리고, 버퍼막(218)과 세퍼레이터(220) 및 컨택 스페이서(222)가 형성된 제2 전극(214) 위에 유기 발광층(230)이 형성되고, 유기 발광층(230) 위에 제1 전극(232)이 형성된다. 유기 발광층(230)과 제1 전극(232)은 세퍼레이터(220)의 역 경사면에 의해 서브화소 단위로 분리된다. 유기 발광층(230)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 이러한 유기 발광층(230)은 서브화소 단위로 적, 녹, 청색광을 방출한다. 제1 전극(232)은 컨택 스페이서(222)에 의해 상하판(200, 100) 합착시 하판(100)과 접촉할 수 있는 높이를 갖는다. 컨택 스페이서(222)는 하판(100)의 제1 컨택 전극(142)과 정렬되어 위치한다. 이에 따라, 컨택 스페이서(222)를 덮는 제1 전극(232)은 제1 컨택 전극(142)과 접촉하면서 전기적으로 연결된다. 이 결과 각 서브화소의 제1 전극(232)은 각 서브화소 구동부의 박막 트랜지스터(TFT)로부터의 구동 신호를 제1 컨택 전극(142)을 경유하여 공급받는다.
- [0054] 그리고, 상판(200)의 제2 전극(214)은 OLED 어레이 주변부까지 연장되어 제3 컨택 전극(234)을 통해 하판(100)으로부터의 제2 전원 신호를 공급받는다. 제2 전극(214)과 접속된 제3 컨택 전극(234)을 제1 전극(232)과 유사한 높이로 하판(100)과 접촉시키기 위하여 제2 전극(214)과 제3 컨택 전극(234) 사이에는 버퍼막(218)과 컨택 스페이서(222)가 형성된다. 여기서 버퍼막(218)과 컨택 스페이서(222)는 하판(100)의 제2 컨택 전극(144)과 정렬되어 위치한다. 이에 따라, 버퍼막(218) 및 컨택 스페이서(222)를 덮는 제3 컨택 전극(234)은 상하판(200, 100) 합착시 하판(100)의 제2 컨택 전극(142)과 접촉하면서 전기적으로 연결된다. 이 결과, 제2 전극(214)은 제2 전원 라인(114)로부터의 제2 전원 신호를 제2 컨택 전극(142) 및 제3 컨택 전극(234)을 경유하여 공급받는다. 여기서 제3 컨택 전극(234)은 제1 전극(232)과 함께 형성되며 세퍼레이터(220)에 의해 제1 전극(232)과 분리된다.
- [0055] 하판(100)에서 제1 전원 라인(미도시)은 박막 트랜지스터(TFT)의 소스 전극(124)으로 구동 전압(VDD) 및 그라운드 전압(GND) 중 어느 하나의 전원 신호를 공급하고, 제2 전원 라인(114)은 나머지 전원 신호를 공급한다. 따라서, 상판(200)에서 OLED의 제1 전극(232)은 양극 및 음극 중 어느 하나의 전극으로 이용되고, 제2 전극(214)은 나머지 전극으로 이용된다.
- [0056] 그리고 하판(100) 또는 상판(200)의 실링 영역에 실링재(300)를 형성하고 상하판(200, 100)을 정렬하여 진공합착한 다음 자외선으로 실링재(300)를 경화시킴으로써 상하판(200, 100)이 합착된다.
- [0057] 도 1에 도시된 하판(100)에서 실링재(300)의 외부에 위치하는 상부 게이트 패드(146)와 상부 데이터 패드(148)는 부식 방지를 위하여 ITO(Indium Tin Oxide)와 같은 투명 도전층으로 형성된다. 반면에, 실링재(300)의 내부에 위치하는 제1 및 제2 컨택 전극(142, 144)은 상판(200)의 금속 전극인 제1 전극(232) 및 제3 컨택 전극(234)과의 전기적인 접속을 위하여 금속 물질로 형성된다. 이는 제1 전극(232)과 제3 컨택 전극(234)은 주로 알루미늄(Al)을 포함하므로 제1 및 제2 컨택 전극(142, 144)으로 ITO를 이용하면 ITO와 Al의 화학 작용으로 Al<sub>2</sub>O<sub>3</sub>와 같은 부도체막이 형성되기 때문이다. 이에 따라 하판(200)의 최상부층인 컨택 전극(142, 144)과 상부 패드(146, 148)를 서로 다른 마스크 공정으로 형성해야 하므로 하판(200)의 마스크 공정수를 줄이는데 한계가 있다.
- [0058] 따라서, 본 발명에 따른 OLED 표시장치 및 그 제조 방법은 투명 도전층으로 이루어진 상부 패드를 상판의 제2 전극과 함께 형성하여 하판의 마스크 공정수를 감소시킬 수 있게 한다. 이하 도 2 내지 도 4를 참조하여 본 발명의 실시예들을 구체적으로 설명한다.
- [0059] 도 2는 본 발명의 실시예에 따른 OLED 표시장치를 도시한 단면도이다.
- [0060] 도 2에 도시된 OLED 표시장치는 도 1에 도시된 OLED 표시장치와 대비하여 상부 패드(240, 250) 각각이 상판(200)에 형성되고 실링재(300)에 포함된 도전볼(310)을 통해 하판(100)의 하부 패드(450, 452) 각각과 접속된 것을 제외하고는 동일한 구성 요소들을 포함하므로 중복된 구성 요소들은 간단히 설명하거나 생략하기로 한다.
- [0061] 도 2에 도시된 OLED 표시장치는 절연 기판(110)에 서브화소 구동부 어레이와 하부 패드(450, 452)가 형성된 하판(100)과, 절연 기판(210)에 OLED 어레이와 상부 패드(240, 250)가 형성된 상판(200)이 실링재(300)에 의해 합착된 구조를 갖는다. 여기서 하부 패드(450, 452) 각각은 실링재(300)에 포함된 도전볼(310)에 의해 상부 패드(240, 250) 각각과 접속된다.
- [0062] 박막 트랜지스터(TFT)를 포함한 서브화소 구동부 어레이는 실링재(300)에 의해 밀봉되는 하판(100)의 내부 영역에, OLED 어레이는 실링재(300)에 의해 밀봉되는 상판(200)의 내부 영역에 형성된다. OLED는 제1 및 제2 전극(232, 214)과, 제1 및 제2 전극(232, 214) 사이에 형성된 유기 발광층(230)을 포함한다. 제2 전극(214)은 OLED 어레이에 공통으로 형성되고 유기 발광층(230) 및 제1 전극(232)은 세퍼레이터(220)에 의해 각 서브화소 단위로 분리되어 형성된다. 제1 전극(232)은 버퍼막(218) 및 컨택 스페이서(222)에 의해 지지되어 하판(100)의

제1 컨택 전극(142)과 접속된다. 제2 전극(214)와 접속된 제3 컨택 전극(234)도 버퍼막(218) 및 컨택 스페이서(222)에 의해 지지되어 하판(100)의 제2 컨택 전극(144)과 접속된다. 하판(100)에 형성된 박막 트랜지스터(TFT)는 제1 컨택 전극(142)을 경유하여 상판(100)의 제1 전극(232)과 접속되고, 제2 전원 라인(114)은 제2 및 제3 컨택 전극(144, 234)을 경유하여 상판(100)의 제2 전극(214)과 접속된다. 이에 따라 유기 발광층(230)은 서브화소 구동부의 박막 트랜지스터(TFT)로부터 공급된 데이터 신호에 응답하여 제1 전극(232)과 제2 전극(214) 사이에 흐르는 전류량에 따라 발광할 수 있다. 유기 발광층(230)에서 발생된 빛은 제2 전극(214) 및 절연 기판(210)을 투과하여 상부쪽으로 진행된다.

[0063] 하판(100)의 외곽 영역에는 게이트 라인(미도시)과 접속된 하부 게이트 패드(450)와, 데이터 라인(미도시)와 접속된 하부 데이터 패드(452)가 형성된다. 하부 게이트 패드(450)는 게이트 전극(112)과 함께 형성되어 게이트 라인으로부터 연장된 제1 하부 게이트 패드(116)와, 보호막(132) 및 게이트 절연막(120)을 관통하는 컨택홀(138)을 통해 제1 하부 게이트 패드(116)과 접속된 제2 하부 게이트 패드(446)를 포함한다. 하부 데이터 패드(452)는 소스/드레인 전극(124, 126)과 함께 형성되어 데이터 라인으로부터 연장된 제1 하부 데이터 패드(130)와, 보호막(132)을 관통하는 컨택홀(140)을 통해 제1 하부 데이터 패드(130)와 접속된 제2 데이터 패드(448)를 포함한다. 여기서 제2 하부 게이트 패드(446)과 제2 하부 데이터 패드(448)는 제1 및 제2 컨택 전극(142, 144)과 함께 형성된다. 이는 실링재(300)가 하부 게이트 패드(450)와 하부 데이터 패드(452)가 형성된 패드 영역과 중첩되게 형성되어 제2 하부 게이트 패드(446)와 제2 하부 데이터 패드(448)가 제1 및 제2 컨택 전극(142, 144)과 동일한 금속으로 형성되더라도 부식이 방지되기 때문이다.

[0064] 상판(200)의 외곽 영역에는 상부 게이트 패드(240)와 상부 데이터 패드(250)가 형성되고 실링재(300)에 포함된 도전볼(310)을 통해 하판(100)의 하부 게이트 패드(450) 및 하부 데이터 패드(452) 각각과 독립적으로 접속된다. 상부 게이트 패드(240)와 상부 데이터 패드(250)는 제2 전극(214)과 함께 투명 도전층으로 형성되고 실링재(300)와 중첩되게 형성된다. 실링재(300)에는 도전볼들(310)이 함유되어 상부 패드(240, 250)와 하부 패드(450, 452)를 각각 접속시킨다. 게이트 패드를 예를 들면, 도 3에 도시된 바와 같이 하판(110)에 형성된 하부 게이트 패드(150)와, 상판(210)에 형성된 상부 게이트 패드(240)는 실링재(300)에 포함된 이방성 도전볼들(310)을 통해 전기적으로 접속된다. 여기서, 도전볼(310)로는 이방성 도전 필름(Anisotropic Conducting Film; 이하 ACF)에 포함된 도전볼과 같이 탄성을 갖는 이방성 도전볼이 이용됨으로써 상하판(200, 100)을 단차에 상관없이 상하부 패드를 전기적으로 접속시킬 수 있다.

[0065] 게이트 구동칩(272)이 실장된 회로 필름(270)은 ACF(260)을 통해 상부 게이트 패드(240)와 접촉되면서 전기적으로 접속된다. 데이터 구동칩(282)이 실장된 회로 필름(270)도 ACF(260)을 통해 상부 데이터 패드(250)와 접촉되면서 전기적으로 접속된다. 여기서 구동칩(272, 282)이 각각 실장된 회로 필름(270, 280)으로는 테이프 캐리어 패키지(Tape Carrier Package; TCP)나 칩 온 필름(Chip On Film; COF)이 이용된다.

[0066] 이와 같이 본 발명에 따른 OLED 표시장치에서는 투명 도전층이 요구되는 상부 패드(240, 250)가 상판(200)에 제2 전극(214)과 함께 형성되므로 하판(100)의 제조 공정 수를 줄일 수 있다.

[0067] 도 4는 본 발명의 실시예에 따른 OLED 표시 장치에서 하판의 제조방법을 단계적으로 도시한 흐름도로서, 도 2에 도시된 OLED 표시장치를 참조하기로 한다.

[0068] 단계 2(S2)에서 하판(100)의 절연 기판(110) 위에 게이트 라인(미도시)과 함께 게이트 전극(112), 제2 전원 라인(114), 더미 패턴(118)과 제1 하부 게이트 패드(116)를 포함하는 제1 금속 패턴군이 형성된다. 구체적으로 제1 금속 패턴군은 절연 기판(110) 위에 제1 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 제1 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.

[0069] 단계 4(S4)에서 상기 제1 금속 패턴군이 형성된 절연 기판(110) 위에 게이트 절연막(120)이 형성되고, 그 위에 반도체층(122)과 불순물 반도체층(미도시)이 적층된다. 구체적으로, 게이트 절연막(120) 및 반도체층(122)과 불순물 반도체층은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 적층된다. 게이트 절연막(120)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 반도체층(122)은 비정질 실리콘층(a-Si)이, 불순물 반도체층으로는 n<sup>+</sup>이온이 도핑된 비정질 실리콘층(n<sup>+</sup> a-Si)이 적층된 구조로 이용된다. 그 다음 포토리소그래피 공정과 식각 공정으로 불순물 반도체층 및 반도체층(122)이 패터닝됨으로써 게이트 절연막(120) 위에 반도체층(122) 및 불순물 반도체층이 부분적으로 존재하게 된다.

[0070] 단계 6(S6)에서 상기 반도체층(122)이 형성된 게이트 절연막(120) 위에 데이터 라인(미도시) 및 제1 전원 라인

(미도시)과 함께 소스 전극(124), 드레인 전극(126), 더미 패턴(128)과 하부 데이터 패드(130)을 포함하는 제2 금속 패턴군이 형성된다. 구체적으로 제2 금속 패턴군은 반도체층(122)이 형성된 게이트 절연막(120) 위에 제2 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 그리고 소스 전극(124)과 드레인 전극(126)을 마스크로 이용한 식각 공정으로 노출된 불순물 반도체층이 제거된다. 제2 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.

[0071] 한편, 전술한 반도체층(122) 및 불순물 반도체층과 제2 금속 패턴군은 회절 노광을 이용한 회절 노광 마스크 또는 반투과를 이용한 하프톤(Half-tone) 마스크를 이용하여 하나의 마스크 공정으로 형성되기도 한다.

[0072] 단계 8(S8)에서 상기 제2 금속 패턴군이 형성된 게이트 절연막(120) 위에 다수의 콘택홀들(134, 136, 138, 140)을 포함하는 보호막(132)이 형성된다. 보호막(132)은 CVD 등의 증착 방법으로 제2 금속 패턴군이 형성된 게이트 절연막(120) 위에 형성된다. 그 다음 포토리소그래피 공정 및 식각 공정으로 보호막(132)이 패터닝됨으로써 드레인 전극(126)의 일부를 노출시키는 콘택홀(134), 게이트 절연막(120)까지 관통하여 제2 전원 라인(114)의 일부를 노출시키는 콘택홀(136) 및 제1 하부 게이트 패드(116)을 노출시키는 콘택홀(138), 하부 데이터 패드(130)를 노출시키는 콘택홀(140)이 형성된다. 보호막(132)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 이와 달리, 보호막(132)으로는 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법을 이용하는 유기 절연물이 이용되기도 한다.

[0073] 단계 10(S10)에서 상기 보호막(132) 위에 제1 및 제2 콘택 전극(142, 144)과 제2 하부 게이트 패드(446) 및 제2 하부 데이터 패드(448)을 포함하는 제3 금속 패턴군이 형성된다. 제3 금속 패턴군은 보호막(132) 위에 제3 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 제1 콘택 전극(142)은 콘택홀(134)을 통해 박막 트랜지스터(TFT)의 드레인 전극(126)과 접속되고, 제2 콘택 전극(144)은 콘택홀(136)을 통해 제2 전원 라인(114)과 접속된다. 제2 하부 게이트 패드(446)는 콘택홀(138)을 통해 제1 하부 게이트 패드(116)과 접속되고, 제2 하부 데이터 패드(448)는 콘택홀(140)을 통해 하부 데이터 패드(130)과 접속된다. 제3 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.

[0074] 전술한 단계 2(S2) 내지 단계 12(S10)를 통해 도 1에 도시된 하판(100)이 완성된다.

[0075] 그리고, 단계 20(S20)에서 상판(200)의 절연 기판(210) 위에 보조 전극(212)이 형성된다. 보조 전극(212)은 절연 기판(210)에 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 보조 전극(212)의 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.

[0076] 단계 22(S22)에서 상기 보조 전극(212)이 형성된 절연 기판(210) 위에 제2 전극(214)과 상부 패드(240, 250)가 형성된다. 제2 전극(214)과 상부 패드(240, 250)는 보조 전극(212)이 형성된 절연 기판(210) 위에 투명 도전층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 제2 전극(214)은 도 5에 도시된 바와 같이 절연 기판(210)의 OLED 어레이 영역에 형성되고, 상부 게이트 패드(240)는 게이트 패드 영역에, 그리고 상부 데이터 패드(250)는 데이터 패드 영역에 형성된다. 투명 도전층으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.

[0077] 단계 24(S24)에서 상기 제2 전극(214) 위에 버퍼막(218)이 형성된다. 버퍼막(218)은 절연 물질이 제2 전극(214) 위에 PECVD 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 버퍼막(218)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 이와 달리, 보호막(218)으로는 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법을 이용하는 유기 절연물이 이용되기도 한다.

[0078] 단계 26(S26)에서 상기 버퍼막(218) 위에 세퍼레이터(220)가 형성된다. 세퍼레이터(220)는 유기 절연물이 버퍼막(218) 위에 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 역경사면을 갖도록 형성된다.

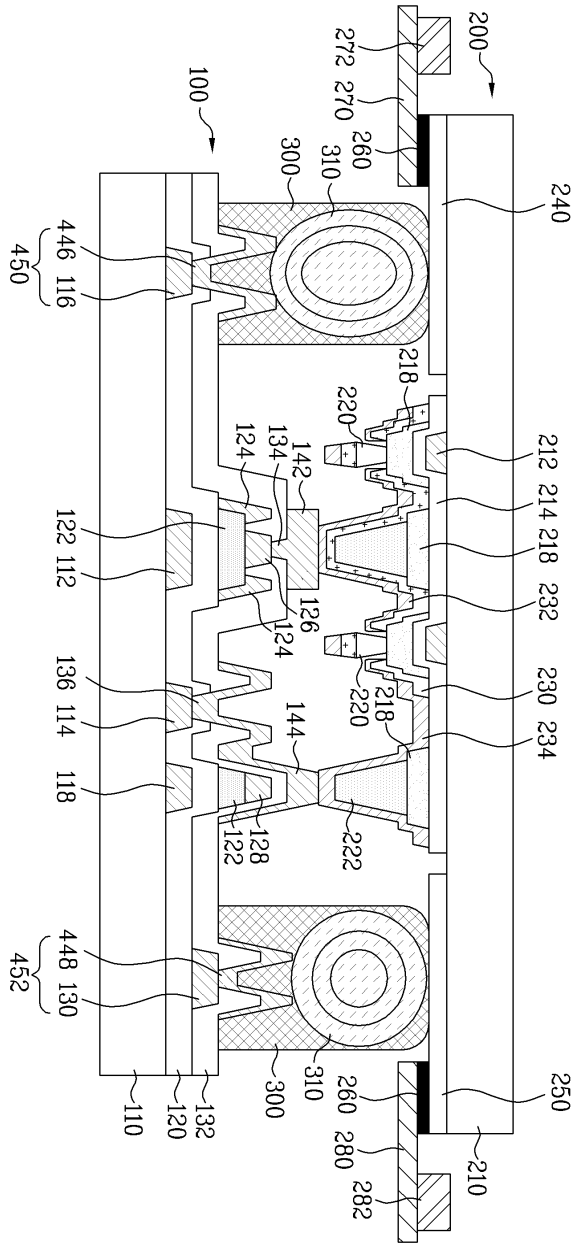
[0079] 단계 28(S28)에서 상기 버퍼막(218) 위에 콘택 스페이서(222)가 형성된다. 콘택 스페이서(222)는 유기 절연물이 버퍼막(218) 위에 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.

[0080] 한편, 콘택 스페이서(222)는 세퍼레이터(220)가 형성되기 이전에 버퍼막(218) 위에 형성되기도 한다.

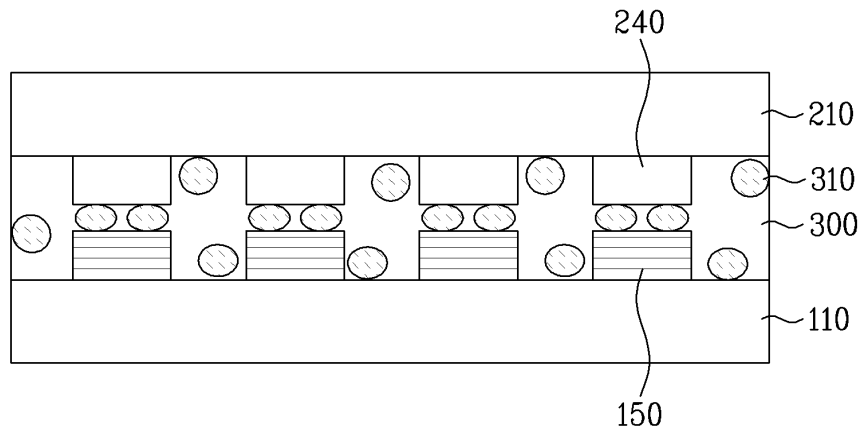




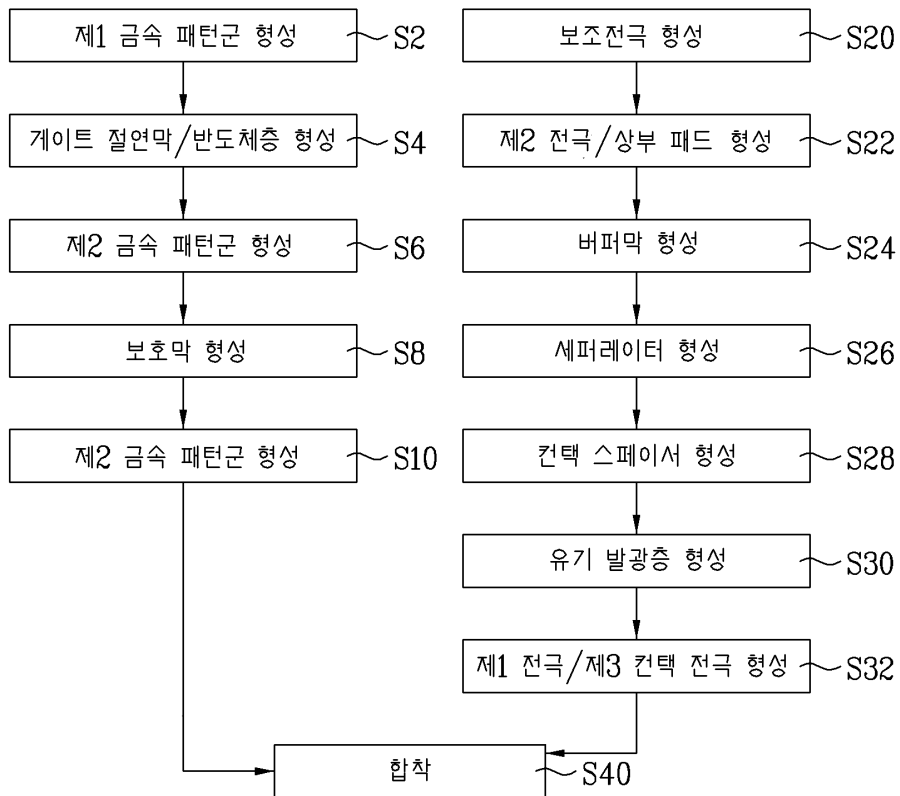
도면2



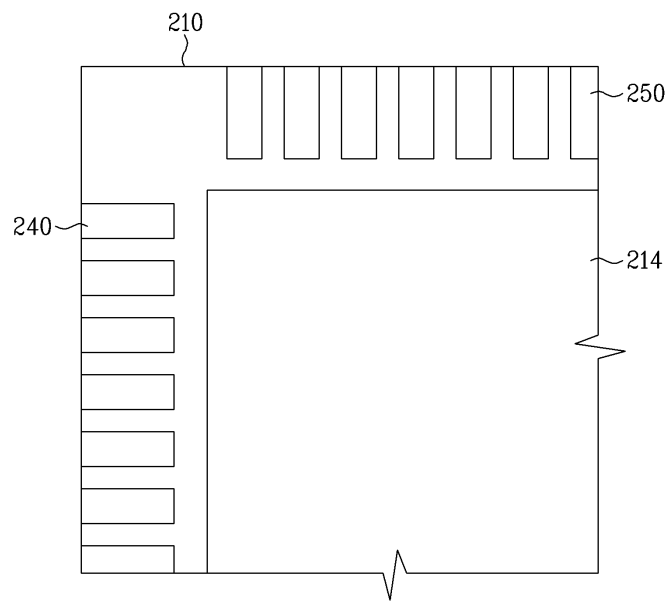
도면3



도면4



도면5



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR101254644B1</a>	公开(公告)日	2013-04-15
申请号	KR1020060060254	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 LEE JONG HWA 이종화		
发明人	이준석 이종화		
IPC分类号	H05B33/02 H05B		
CPC分类号	H01L51/5246 H01L27/3253		
代理人(译)	金勇 新昌		
其他公开文献	KR1020080001851A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种OLED显示装置及其制造方法，以实现简化的工艺，其中OLED显示装置包括设置在第一基板上的子像素驱动阵列；OLED阵列设置在第二基板上；用于将第一和第二基板彼此粘合的密封剂；多个下焊盘设置在第一基板上；多个上焊盘设置在第二基板上；密封剂中包括多个导电球，其中上焊盘分别通过导电球与下焊盘连接。

