



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월09일
(11) 등록번호 10-0916906
(24) 등록일자 2009년09월03일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0038627

(22) 출원일자 2008년04월25일

심사청구일자 2008년04월25일

(56) 선행기술조사문헌

KR1020040076087 A*

KR1020060053199 A*

KR100629576 B1

JP2005037842 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정진태

충청남도 천안시 성성동 508번지 삼성SDI(주)

(74) 대리인

신영무

전체 청구항 수 : 총 10 항

심사관 : 조기덕

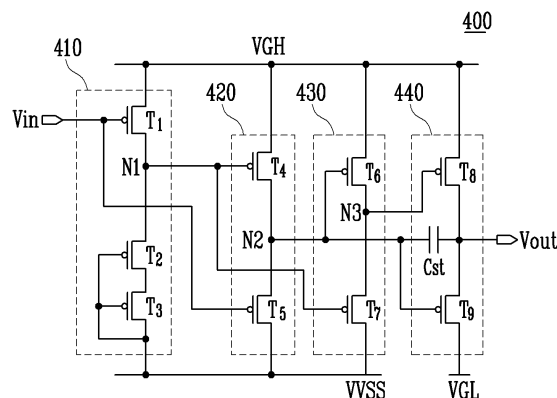
(54) 버퍼 및 그를 이용한 유기전계발광표시장치

(57) 요약

본 발명의 목적은 버퍼의 출력 신호를 개선하여 신호 지연이 발생하는 것을 방지하도록 하는 버퍼 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

본 발명은 제 1 전원과 상기 제 1 전원보다 낮은 전위를 갖는 제 2 전원 사이에 위치하며 입력신호를 전달받아 제 1 신호를 출력하는 입력부; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 1 신호와 상기 입력신호를 입력받아 상기 제 1 신호가 인버팅된 제 2 신호를 출력하는 제 1 인버터; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 2 신호와 상기 제 1 신호를 입력받아 상기 제 2 신호가 인버팅된 제 3 신호를 출력하는 상기 제 2 인버터; 및 상기 제 1 전원과 상기 제 2 전원보다 낮은 전위를 갖는 제 3 전원 사이에 연결되며 상기 제 3 신호와 상기 제 2 신호를 입력받아 상기 제 3 신호가 인버팅된 출력신호를 출력하는 출력부를 포함하는 버퍼를 제공하는 것이다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 전원과 상기 제 1 전원보다 낮은 전위를 갖는 제 2 전원 사이에 위치하며 입력신호를 전달받아 제 1 신호를 출력하는 입력부;

상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 1 신호와 상기 입력신호를 입력받아 상기 제 1 신호가 인버팅된 제 2 신호를 출력하는 제 1 인버터;

상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 2 신호와 상기 제 1 신호를 입력받아 상기 제 2 신호가 인버팅된 제 3 신호를 출력하는 상기 제 2 인버터; 및

상기 제 1 전원과 상기 제 2 전원보다 낮은 전위를 갖는 제 3 전원 사이에 연결되며 상기 제 3 신호와 상기 제 2 신호를 입력받아 상기 제 3 신호가 인버팅된 출력신호를 출력하는 출력부를 포함하되,

상기 입력부는, 상기 제 1 전원과 상기 제 2 전원 사이에 제 1 트랜지스터와 제 2 트랜지스터 및 제 3 트랜지스터를 포함하며,

상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 1 노드에 연결되고 게이트는 입력단에 연결되고,

상기 제 2 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 3 트랜지스터의 소스에 연결되며 게이트가 상기 제 2 전원에 연결되고,

상기 제 3 트랜지스터는 소스가 상기 제 2 트랜지스터의 드레인에 연결되고 드레인과 게이트가 상기 제 2 전원에 연결되는 버퍼.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 인버터는

소스는 상기 제 1 전원에 연결되고 드레인은 제 2 노드에 연결되며 게이트는 상기 제 1 신호를 전달받는 제 4 트랜지스터; 및

소스는 상기 제 2 노드에 연결되고 드레인은 상기 제 2 전원에 연결되며 게이트는 상기 입력신호를 전달받는 제 5 트랜지스터를 포함하는 버퍼.

청구항 4

제 1 항에 있어서,

상기 제 2 인버터는

소스는 상기 제 1 전원에 연결되고 드레인은 제 3 노드에 연결되며 게이트는 상기 제 2 신호를 전달받는 제 6 트랜지스터; 및

소스는 상기 제 3 노드에 연결되고 드레인은 상기 제 2 전원에 연결되며 드레인은 상기 제 1 신호를 전달받는 제 7 트랜지스터를 포함하는 버퍼.

청구항 5

제 1 항에 있어서,

상기 출력부는

소스는 상기 제 1 전원에 연결되고 드레인은 출력단에 연결되며 게이트는 상기 제 3 신호를 전달받는 제 8 트랜

지스터; 및

소스는 상기 출력단에 연결되고 드레인은 상기 제 3 전원에 연결되며 게이트는 상기 제 2 신호를 전달받는 제 9 트랜지스터를 포함하는 버퍼.

청구항 6

제 5 항에 있어서,

상기 출력단과 상기 제 9 트랜지스터의 게이트 사이에 연결되는 캐패시터를 더 포함하는 버퍼.

청구항 7

복수의 화소가 배열되어 있는 화소부; 및

상기 화소부에 상기 화소부를 테스트하는 테스트신호를 증폭하여 전달하는 버퍼가 연결되며,

상기 버퍼는,

제 1 전원과 상기 제 1 전원보다 낮은 전위를 갖는 제 2 전원 사이에 위치하며 입력신호를 전달받아 제 1 신호를 출력하는 입력부;

상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 1 신호와 상기 입력신호를 입력받아 상기 제 1 신호가 인버팅된 제 2 신호를 출력하는 제 1 인버터;

상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 2 신호와 상기 제 1 신호를 입력받아 상기 제 2 신호가 인버팅된 제 3 신호를 출력하는 상기 제 2 인버터; 및

상기 제 1 전원과 상기 제 2 전원보다 낮은 전위를 갖는 제 3 전원 사이에 연결되며 상기 제 3 신호와 상기 제 2 신호를 입력받아 상기 제 3 신호가 인버팅된 출력신호를 출력하는 출력부를 포함하되,

상기 입력부는, 상기 제 1 전원과 상기 제 2 전원 사이에 제 1 트랜지스터와 제 2 트랜지스터 및 제 3 트랜지스터를 포함하며,

상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 1 노드에 연결되고 게이트는 입력단에 연결되고,

상기 제 2 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 3 트랜지스터의 소스에 연결되며 게이트가 상기 제 2 전원에 연결되고,

상기 제 3 트랜지스터는 소스가 상기 제 2 트랜지스터의 드레인에 연결되고 드레인과 게이트가 상기 제 2 전원에 연결되는 유기전계발광표시장치.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 제 1 인버터는

소스는 상기 제 1 전원에 연결되고 드레인 제 2 노드에 연결되며 게이트는 상기 제 1 신호를 전달받는 제 4 트랜지스터; 및

소스는 상기 제 2 노드에 연결되고 드레인 제 2 전원에 연결되며 게이트는 상기 입력신호를 전달받는 제 5 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 10

제 7 항에 있어서,

상기 제 2 인버터는

소스는 상기 제 1 전원에 연결되고 드레인은 제 3 노드에 연결되며 게이트는 상기 제 2 신호를 전달받는 제 6 트랜지스터; 및

소스는 상기 제 3 노드에 연결되고 드레인은 상기 제 2 전원에 연결되며 드레인에는 상기 제 1 신호를 전달받는 제 7 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 11

제 7 항에 있어서,

상기 출력부는

소스는 상기 제 1 전원에 연결되고 드레인에는 출력단에 연결되며 게이트는 상기 제 3 신호를 전달받는 제 8 트랜지스터; 및

소스는 상기 출력단에 연결되고 드레인에는 상기 제 3 전원에 연결되며 게이트는 상기 제 2 신호를 전달받는 제 9 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 12

제 11 항에 있어서,

상기 출력단과 상기 제 9 트랜지스터의 게이트 사이에 연결되는 캐패시터를 더 포함하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 버퍼 및 그를 이용한 유기전계발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 버퍼의 출력을 개선하여 버퍼의 출력신호가 지연되는 것을 개선하도록 하는 버퍼 및 그를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

- <2> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광표시장치(Organic Light Emitting Display) 등이 있다.
- <3> 평판표시장치 중 유기전계발광표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)들을 이용하여 화상을 표시한다.
- <4> 유기전계발광표시장치에 사용되는 유기발광다이오드는 애노드 전극과 캐소드 전극 및 이들 사이에 형성된 발광층을 포함한다. 이와 같은 유기발광다이오드는 애노드 전극에서 캐소드 전극 방향으로 전류가 흐르게 되면 발광층에서 빛을 발광하게 된다.
- <5> 상기와 같은 유기전계발광표시장치는 유기발광다이오드의 특성을 이용하여 화상을 표현한다. 그리고, 유기전계발광표시장치는 복수의 박막트랜지스터와 유기발광다이오드로 구성된 복수의 화소를 포함하고, 박막트랜지스터에 의해 유기발광다이오드에 흐르는 전류의 양이 조절되어 휘도를 표현한다.
- <6> 상기와 같은 유기전계발광표시장치는 점차적으로 대형화가 진행되고 있다. 또한, 제조원가를 줄이기 위해 대형기관인 원장기관에 복수의 평판 표시장치를 형성한 후 절단하여 각각의 유기전계발광표시장치를 완성한다.
- <7> 원장기관에 화소를 형성한 후 각 화소가 정확히 동작하는지를 알기 위해 원장기관 단위로 점등 검사 등의 테스트를 진행하게 된다. 원장기관의 경우 많은 화소가 형성되어 있기 때문에 저항과 캐패시터가 많이 형성되어 있다. 따라서, 저항과 캐패시터에 의해 신호 지연이 발생하게 된다.
- <8> 신호지연이 발생하게 되면 유기전계발광표시장치의 구동불량을 유발하게 되는 문제점이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

- <9> 본 발명의 목적은 버퍼의 출력 신호를 개선하여 신호 지연이 발생하는 것을 방지하도록 하는 버퍼 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

- <10> 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 제 1 전원과 상기 제 1 전원보다 낮은 전위를 갖는 제 2 전원 사이에 위치하며 입력신호를 전달받아 제 1 신호를 출력하는 입력부; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 1 신호와 상기 입력신호를 입력받아 상기 제 1 신호가 인버팅된 제 2 신호를 출력하는 제 1 인버터; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 2 신호와 상기 제 1 신호를 입력받아 상기 제 2 신호가 인버팅된 제 3 신호를 출력하는 상기 제 2 인버터; 및 상기 제 1 전원과 상기 제 2 전원보다 낮은 전위를 갖는 제 3 전원 사이에 연결되며 상기 제 3 신호와 상기 제 2 신호를 입력받아 상기 제 3 신호가 인버팅된 출력신호를 출력하는 출력부를 포함하되, 상기 입력부는, 상기 제 1 전원과 상기 제 2 전원 사이에 제 1 트랜지스터와 제 2 트랜지스터 및 제 3 트랜지스터를 포함하며, 상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 1 노드에 연결되고 게이트는 입력단에 연결되고, 상기 제 2 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 3 트랜지스터의 소스에 연결되며 게이트가 상기 제 2 전원에 연결되고, 상기 제 3 트랜지스터는 소스가 상기 제 2 트랜지스터의 드레인에 연결되고 드레인과 게이트가 상기 제 2 전원에 연결되는 버퍼를 제공하는 것이다.
- <11> 상기 목적을 달성하기 위하여 본 발명의 제 2 측면은, 복수의 화소가 배열되어 있는 화소부; 및 상기 화소부에 상기 화소부를 테스트하는 테스트신호를 증폭하여 전달하는 버퍼가 연결되며, 상기 버퍼는, 제 1 전원과 상기 제 1 전원보다 낮은 전위를 갖는 제 2 전원 사이에 위치하며 입력신호를 전달받아 제 1 신호를 출력하는 입력부; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 1 신호와 상기 입력신호를 입력받아 상기 제 1 신호가 인버팅된 제 2 신호를 출력하는 제 1 인버터; 상기 제 1 전원과 상기 제 2 전원 사이에 위치하며 상기 제 2 신호와 상기 제 1 신호를 입력받아 상기 제 2 신호가 인버팅된 제 3 신호를 출력하는 상기 제 2 인버터; 및 상기 제 1 전원과 상기 제 2 전원보다 낮은 전위를 갖는 제 3 전원 사이에 연결되며 상기 제 3 신호와 상기 제 2 신호를 입력받아 상기 제 3 신호가 인버팅된 출력신호를 출력하는 출력부를 포함하되, 상기 입력부는, 상기 제 1 전원과 상기 제 2 전원 사이에 제 1 트랜지스터와 제 2 트랜지스터 및 제 3 트랜지스터를 포함하며, 상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 1 노드에 연결되고 게이트는 입력단에 연결되고, 상기 제 2 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 3 트랜지스터의 소스에 연결되며 게이트가 상기 제 2 전원에 연결되고, 상기 제 3 트랜지스터는 소스가 상기 제 2 트랜지스터의 드레인에 연결되고 드레인과 게이트가 상기 제 2 전원에 연결되는 유기전계발광표시장치를 제공하는 것이다.

효 과

- <12> 본 발명에 따른 버퍼 및 그를 이용한 유기전계발광표시장치에 의하면, 버퍼에서 출력되는 신호의 출력특성이 개선되어 저항성분과 캐패시터 성분에 의해 발생하는 신호지연을 개선할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

- <13> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.
- <14> 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다. 도 1을 참조하여 설명하면, 유기전계발광표시장치는 화소부(100), 데이터구동부(200) 및 주사구동부(300)를 포함한다.
- <15> 화소부(100)는 복수의 화소(101)가 배열되고 각 화소(101)에 전류의 흐름에 대응하여 빛을 발광하는 유기발광다이오드(미도시)를 포함한다. 그리고, 행방향으로 형성되며 주사신호를 전달하는 n 개의 주사선(S1, S2, ..., Sn-1, Sn)과 열방향으로 형성되며 데이터신호를 전달하는 m 개의 데이터선(D1, D2, ..., Dm-1, Dm)이 배열된다.
- <16> 데이터구동부(200)는 영상신호(R, G, B data)와 감마보정신호를 이용하여 데이터신호를 생성한다. 그리고, 데이터구동부(200)는 화소부(100)의 데이터선(D1, D2, ..., Dm-1, Dm)과 연결되어 생성된 데이터 신호를 화소부(100)에 인가한다.

- <17> 주사구동부(300)는 주사신호를 생성하는 수단으로, 주사선(S1, S2, ..., Sn-1, Sn)에 연결되어 주사신호를 화소부(100)의 특정한 행에 전달한다. 주사신호가 전달된 화소(101)에는 데이터구동부(200)에서 출력된 데이터신호가 전달되어 구동전류가 생성되며 생성된 구동전류는 유기발광다이오드로 흐르게 된다.
- <18> 도 2는 도 1에 도시된 유기전계발광표시장치에 채용된 화소의 구조를 나타내는 회로도이다. 도 2를 참조하여 설명하면, 화소는 제 1 트랜지스터(M1), 제 2 트랜지스터(M2), 캐패시터(Cst) 및 유기발광다이오드(OLED)를 포함한다.
- <19> 제 1 트랜지스터(M1)는 소스가 화소전원(ELVDD)에 연결되고 드레인이 유기발광다이오드(OLED)의 애노드 전극에 연결되며 게이트가 제 1 노드(A)에 연결된다. 따라서, 제 1 트랜지스터(M1)는 제 1 노드(A)의 전압에 대응하여 소스에서 드레인 방향으로 흐르는 전류량을 결정한다.
- <20> 제 2 트랜지스터(M2)는 소스가 데이터선(Dm)에 연결되고 드레인이 제 1 노드(A)에 연결되며 게이트가 주사선(Sn)에 연결된다. 따라서, 제 2 트랜지스터(M2)는 주사선(Sn)을 통해 전달되는 주사신호에 대응하여 데이터선(Dm)에 공급되는 데이터신호가 제 1 노드(A)로 전달되도록 한다.
- <21> 캐패시터(Cst)는 제 1 전극이 화소전원(ELVDD)에 연결되고 제 2 전극이 제 1 노드(A)에 연결된다. 따라서, 캐패시터(Cst)는 제 1 노드(A)의 전압이 유지되도록 하여 제 1 트랜지스터(M1)의 소스에서 드레인 방향으로 흐르는 전류량이 소정시간 동안 일정하도록 한다.
- <22> 유기발광다이오드(OLED)는 애노드 전극과 캐소드 전극 및 애노드 전극과 캐소드 전극 사이에 형성되는 발광층을 포함한다. 이와 같은 유기발광다이오드(OLED)는 애노드 전극이 제 1 트랜지스터(M1)의 드레인에 연결되고 캐소드 전극이 기저전원(ELVSS)에 연결되어 애노드 전극에서 캐소드 전극의 방향으로 전류가 흐르게 되면 빛을 발광한다.
- <23> 도 3은 원장기판에 도 1에 도시된 복수의 유기전계발광표시장치가 형성되어 있는 것을 나타내는 구조도이다. 도 3을 참조하여 설명하면, 원장기판(1000)에는 복수의 유기전계발광표시장치의 화소부(100a, 100b, ..., 100i)가 형성된다. 또한, 복수의 화소부(100a, 100b, ..., 100i)에 신호를 전달하는 있는 테스트 배선(500)이 형성된다.
- <24> 그리고, 상기와 같이 형성된 원장기판(1000)에 각각의 화소부(100a, 100b, ..., 100i)에 신호를 인가하는 신호발생부(600)와 신호발생부(600)에서 발생된 신호를 전달받아 신호특성을 개선하여 테스트 배선(500)을 통해 각각의 화소부(100a, 100b, ..., 100i) 전달하는 복수의 버퍼(400a, 400b, 400c)가 연결된다.
- <25> 각각의 버퍼(400a, 400b, 400c)는 복수의 화소를 포함하는 화소부(100a, 100b, ..., 100i)에 테스트 배선(500)을 통해 신호를 전달한다. 이때, 테스트 배선(500)을 통해 전달되는 신호는 화소의 저항성분과 캐패시터 성분에 의해 신호 지연이 발생할 수 있기 때문에 신호특성이 개선된 버퍼(400a, 400b, 400c)가 필요하게 된다.
- <26> 그리고, 버퍼(400a, 400b, 400c)를 통해 신호를 전달하여 화소부(100a, 100b, ..., 100i)를 테스트 한 후 각각의 화소부(100a, 100b, ..., 100i)가 분리되도록 원장기판(1000)을 절단한다. 절단하는 과정에서 테스트 배선(500)과 버퍼(400a, 400b, 400c)는 화소부(100a, 100b, ..., 100i)와의 전기적 연결이 끊어지게 된다.
- <27> 도 4는 도 3에 도시된 버퍼의 구조를 나타내는 회로도이다. 도 4를 참조하여 설명하면, 버퍼(400)는 입력부(410), 제 1 인버터(420), 제 2 인버터(430), 출력부(440)를 포함한다.
- <28> 또한, 입력부(410)는 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 제 3 트랜지스터(T3)를 포함하고, 제 1 인버터(420)는 제 4 트랜지스터(T4), 제 5 트랜지스터(T5)를 포함하고, 제 2 인버터(430)는 제 6 트랜지스터(T6), 제 7 트랜지스터(T7)를 포함하며, 출력부(440)는 제 8 트랜지스터(T8), 제 9 트랜지스터(T9) 및 캐패시터(Cst)를 포함한다.
- <29> 입력부(410)는 제 1 트랜지스터(T1)의 소스가 제 1 전원(VGH)에 연결되고 드레인이 제 1 노드(N1)에 연결되며 게이트가 입력단(Vin)에 연결된다. 제 2 트랜지스터(T2)의 소스가 제 1 노드(N1)에 연결되고 드레인이 제 3 트랜지스터(T3)의 소스에 연결되며 게이트가 제 2 전원(VVSS)에 연결된다. 제 3 트랜지스터(T3)의 소스가 제 2 트랜지스터(T2)의 소스에 연결되고 드레인과 게이트가 제 2 전원(VVSS)에 연결된다.
- <30> 제 1 인버터(420)는 제 4 트랜지스터(T4)의 소스가 제 1 전원(VGH)에 연결되고 드레인이 제 2 노드(N2)에 연결되며 게이트가 제 1 노드(N1)에 연결된다. 제 5 트랜지스터(T5)의 소스가 제 2 노드(N2)에 연결되고 드레인이 제 2 전원(VVSS)에 연결되며 게이트가 입력단(Vin)에 연결된다.
- <31> 제 2 인버터(430)는 제 6 트랜지스터(T6)의 소스가 제 1 전원(VGH)에 연결되고 드레인이 제 3 노드(N3)에 연결

되며 게이트가 제 2 노드(N2)에 연결된다. 제 7 트랜지스터(T7)의 소스가 제 3 노드(N3)에 연결되고 드레인이 제 2 전원(VVSS)에 연결되며 게이트가 제 1 노드(N1)에 연결된다.

- <32> 출력부(440)는 제 8 트랜지스터(T8)의 소스가 제 1 전원(VGH)에 연결되고 드레인이 출력단(Vout)에 연결되며 게이트가 제 3 노드(N3)에 연결된다. 제 9 트랜지스터(T9)의 소스가 출력단(Vout)에 연결되고 드레인이 제 3 전원(VGL)에 연결되고 게이트가 제 2 노드(N2)에 연결된다. 그리고, 캐패시터(Cst)의 제 1 전극이 제 2 노드(N2)에 연결되고 제 2 전극이 출력단(Vout)에 연결된다.
- <33> 또한, 제 2 전원(VVSS)은 제 1 전원(VGH)보다 낮은 전압을 갖고 제 3 전원(VGL)은 제 2 전원(VVSS)보다 낮은 전압을 갖는다.
- <34> 버퍼(400)의 동작을 살펴보면, 입력단(Vin)을 통해 하이 상태인 입력신호가 입력되면 제 1 트랜지스터(T1)와 제 5 트랜지스터(T5)는 오프 상태가 된다. 그리고, 제 2 트랜지스터(T2)와 제 3 트랜지스터(T3)의 게이트는 제 2 전원(VVSS)에 의해 동일한 전압이 인가된다. 제 2 전원(VVSS)은 낮은 전압을 갖기 때문에 제 2 트랜지스터(T2)와 제 3 트랜지스터(T3)는 온 상태가 되어 제 1 노드(N1)에서 제 2 전원(VVSS) 방향으로 전류가 흐르게 된다. 따라서, 제 1 트랜지스터(T1)에 의해 제 1 전원(VGH)이 차단되고 제 1 노드(N1)에서 제 2 전원(VVSS) 방향으로 전류가 흐르게 되어 제 1 노드(N1)는 로우 상태의 전압을 갖게 된다.
- <35> 제 1 노드(N1)의 전압이 로우 상태의 전압이 되면 제 4 트랜지스터(T4)와 제 7 트랜지스터(T7)가 온 상태가 된다. 이때, 제 5 트랜지스터(T5)는 오프 상태이므로 제 2 노드(N2)의 전압은 제 1 전원(VGH)의 전압이 되어 하이 상태의 전압이 된다.
- <36> 제 2 노드(N2)의 전압이 하이 상태의 전압이 되면, 제 6 트랜지스터(T6)와 제 9 트랜지스터(T9)가 오프 상태가 된다. 제 6 트랜지스터(T6)가 오프 상태이고 제 7 트랜지스터(T7)는 온 상태이므로 제 3 노드(N3)의 전압은 제 2 전원(VVSS)의 전압을 갖게 되어 로우 상태의 전압이 된다.
- <37> 제 3 노드(N3)의 전압이 로우 상태가 되면 제 8 트랜지스터(T8)는 온 상태가 된다. 제 8 트랜지스터(T8)가 온 상태이고 제 9 트랜지스터(T9)는 오프 상태이므로 출력단(Vout)으로는 제 1 전원(VGH)의 높은 전압이 출력된다.
- <38> 그리고, 입력단(Vin)을 통해 로우 상태의 신호가 입력되면, 제 1 트랜지스터(T1)와 제 5 트랜지스터(T5)는 온 상태가 된다. 이때, 제 2 트랜지스터(T2)와 제 3 트랜지스터(T3)는 게이트에 제 2 전원(VVSS)이 연결되어 온 상태를 유지한다. 따라서, 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)가 온상태가 되어 제 1 전원(VGH)에서 제 2 전원(VVSS) 방향으로 전류가 흐르게 된다. 하지만, 제 1 노드(N1)에는 제 1 전원(VGH)과 제 2 전원(VVSS)의 차이에 해당하는 전압이 제 1 트랜지스터(T1)의 온저항과 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)의 온저항에 의해 분배된다. 제 1 트랜지스터(T1)의 온저항, 제 2 트랜지스터(T2)의 온저항 및 제 3 트랜지스터(T3)의 온저항이 동일하다고 가정을 하게 되면 제 1 트랜지스터(T1)에 인가되는 전압보다 제 2 및 제 3 트랜지스터(T3)에 인가되는 전압이 전압분배에 의해 더 높게 된다. 따라서, 제 1 노드(N1)의 전압은 제 1 전원(VGH)의 전압보다는 낮은 전압이지만 하이 상태의 전압이 된다.
- <39> 또한, 제 1 노드(N1)에서 제 1 전원(VGH)과 제 2 전원(VVSS) 간의 전압이 분배되어 제 1 노드(N1)의 전압이 하이 상태가 되도록 하기 위해 제 2 트랜지스터(T2)와 제 3 트랜지스터(T3)가 연결되어 있다. 하지만, 제 1 노드(N1)와 제 2 전원(VVSS) 사이에 제 2 트랜지스터(T2)와 제 3 트랜지스터(T3)의 2 개의 트랜지스터가 연결되어 있는 것에 한정하지 않으며 2 개 이상의 트랜지스터가 연결되어 있으면 된다.
- <40> 그리고, 제 1 노드(N1)의 전압이 하이 상태의 전압이 되면 제 4 트랜지스터(T4)와 제 7 트랜지스터(T7)는 오프 상태가 된다. 이때, 제 5 트랜지스터(T5)는 온 상태이기 때문에 제 2 노드(N2)는 로우 상태가 된다.
- <41> 제 2 노드(N2)가 로우 상태가 되면 제 6 트랜지스터(T6)와 제 9 트랜지스터(T9)는 온 상태가 된다. 이때, 제 7 트랜지스터(T7)는 오프 상태이기 때문에 제 3 노드(N3)는 하이 상태가 된다.
- <42> 제 3 노드(N3)가 하이 상태가 되면 제 8 트랜지스터(T8)는 오프 상태가 되며, 제 9 트랜지스터(T9)가 온 상태이기 때문에 출력단(Vout)의 전압은 제 3 전원(VGL)의 전압이 전달되어 로우 상태가 된다. 이때, 제 9 트랜지스터(T9)가 온상태이기 때문에 출력단(Vout)의 전압이 낮아지게 되는데, 출력단(Vout)의 전압이 출력단의 전압이 제 9 트랜지스터(T9)의 문턱전압 정도로 낮아지게 되면 제 9 트랜지스터(T9)는 오프 상태가 되어 출력단(Vout)의 전압이 더 낮아지지 않게 된다. 따라서, 이러한 문제점을 해결하기 위해 캐패시터(Cst)의 제 1 전극을 제 9 트랜지스터(T9)의 게이트에 연결하고 제 2 전극을 출력단(Vout)에 연결한다. 그리고, 출력단(Vout)의 전압이

낮아지면 캐패시터(Cst)의 제 1 전극의 전압도 낮아지게 되어 제 9 트랜지스터(T9)의 게이트의 전압이 더 낮아지게 되어 오프 상태가 되지 않게 된다. 따라서, 출력단(Vout)의 전압이 더 낮아질 수 있게 되어 신호 특성이 좋아지게 된다.

<43> 상기의 동작을 통해 버퍼는 입력단(Vin)을 통해 하이 상태의 신호가 입력되면 출력단(Vout)을 통해 하이 상태의 전압이 출력되고 입력단(Vin)을 통해 로우 상태의 신호가 입력되면 출력단(Vout)을 통해 로우 상태의 전압이 출력된다.

<44> 그리고, 제 3 전원(VGL)의 전압은 제 2 전원(VVSS)의 전압보다 낮은 전압을 갖도록 하여 제 9 트랜지스터(T9)의 턴온 전압을 높여 출력특성이 높아지도록 한다. 따라서, 화소의 저항성분과 캐패시터(Cst) 성분에 의한 신호 지연이 개선될 수 있다.

<45> 이때, 제 2 전원(VVSS)의 전압을 제 3 전원(VGL)의 전압과 같은 낮은 전압을 사용하는 경우 제 1 트랜지스터(T1), 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)를 통해 흐르는 전류량이 커져 소비전력이 증가하게 된다. 따라서, 이러한 전류량이 증가하는 것을 방지하기 위해 제 2 전원(VVSS)의 전압과 제 1 전원(VGH)의 전압의 차이를 작게 구현하고 제 9 트랜지스터(T9)의 드레인에 전압이 제 2 전원(VVSS) 보다 낮은 제 3 전원(VGL)이 연결되도록 한다. 따라서, 소비전력이 증가하지 않고 신호 특성은 개선된다.

<46> 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어져야 한다.

도면의 간단한 설명

<47> 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다.

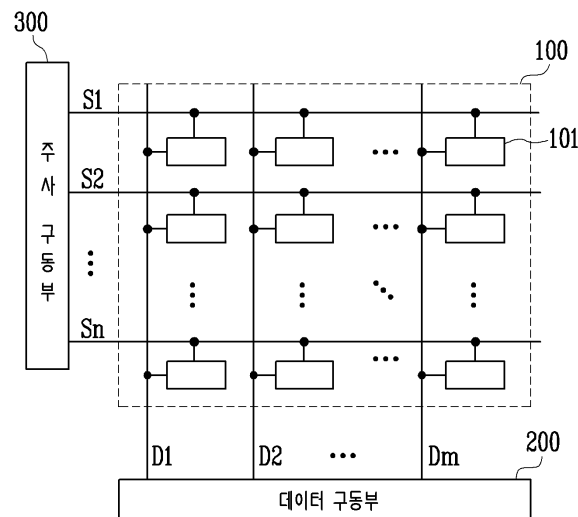
<48> 도 2는 도 1에 도시된 유기전계발광표시장치에 채용된 화소의 구조를 나타내는 회로도이다.

<49> 도 3은 원장기판에 도 1에 도시된 복수의 유기전계표시장치가 형성되어 있는 것을 나타내는 구조도이다.

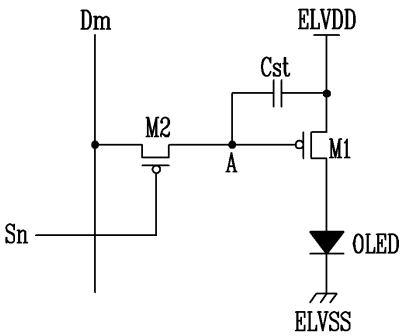
<50> 도 4는 도 3에 도시된 버퍼의 구조를 나타내는 회로도이다.

도면

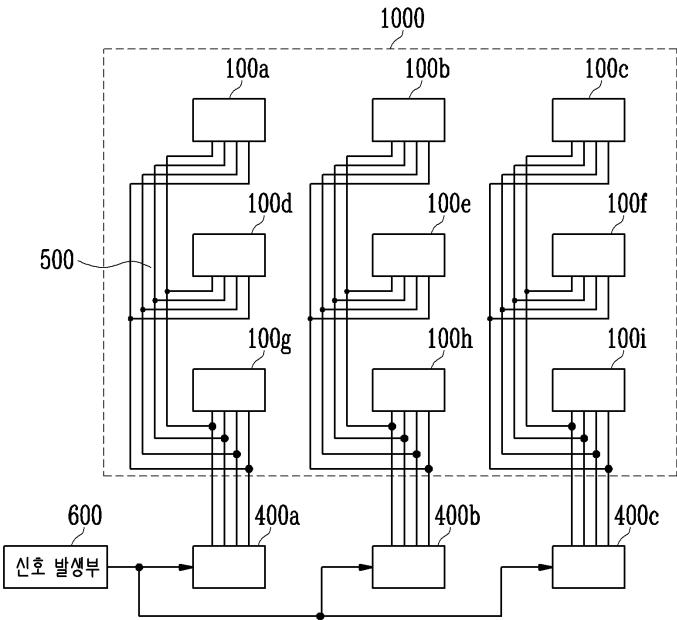
도면1



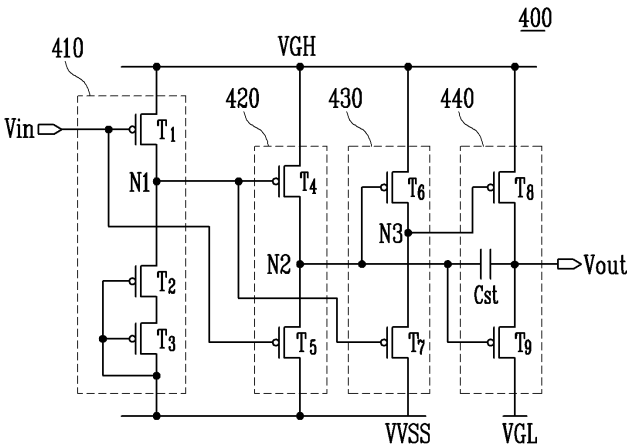
도면2



도면3



도면4



专利名称(译)	使用其的缓冲和有机电致发光显示器		
公开(公告)号	KR100916906B1	公开(公告)日	2009-09-09
申请号	KR1020080038627	申请日	2008-04-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	JINTAE JEONG 정진태		
发明人	정진태		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	G09G3/3208 G09G3/006 G09G2310/0291 H01L27/1122 H01L27/11898 H01L2027/11879 H01L2227/32		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供缓冲器和使用该缓冲器的有机电致发光显示装置，以通过防止输出信号的延迟来排除电容器部件和寄生电阻的影响。缓冲器（400）包括输入单元（410），第一逆变器（420），第二逆变器（430）和输出单元（440）。输入单元布置在第一和第二电源之间。输入单元接收输入信号并输出第一信号。输入单元有一到三个晶体管。第一晶体管（T1）的源极连接到第一电源。第一晶体管的漏极连接到第一节点（N1）。第一晶体管的栅极连接到输入端子。第二晶体管（T2）的源极连接到第一节点。第二晶体管的漏极连接到第三晶体管的源极。第二晶体管的栅极连接到第二电源。第三晶体管（T3）的源极连接到第二晶体管的漏极。第三晶体管的漏极和栅极连接到第二电源。第一逆变器布置在第一和第二电源之间。输出单元布置在第一和第三电源之间。

