



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년08월26일
(11) 등록번호 10-0913794
(24) 등록일자 2009년08월18일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0126903

(22) 출원일자 2007년12월07일

심사청구일자 2007년12월07일

(65) 공개번호 10-2009-0059843

(43) 공개일자 2009년06월11일

(56) 선행기술조사문헌

KR1020070027795 A

KR1020060025355 A

KR100685831 B1

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

박해진

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

손현철

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

황의훈

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 13 항

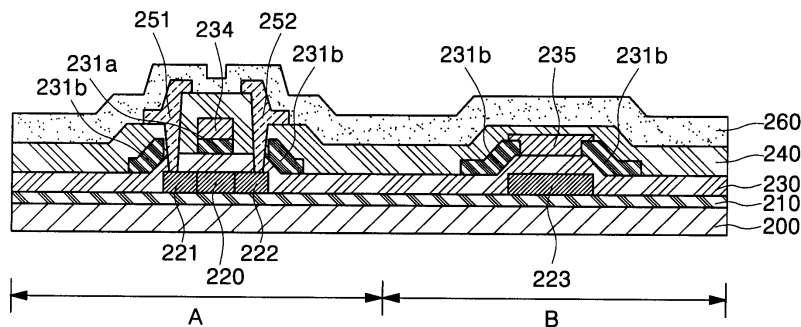
심사관 : 추장희

(54) 유기 전계 발광 표시 장치 및 그 제조방법

(57) 요약

본 발명은 제1영역(A)의 다결정실리콘층패턴과 제1영역(A)의 게이트전극간에, 또한, 제2영역(B)의 다결정실리콘층패턴과 제2영역(B)의 제2전극간에 전계가 집중하는 것을 방지하여 막의 터짐을 방지함과 동시에 절연특성을 안정화시킬 수 있는 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것으로, 제1영역과 제2영역을 포함하는 기판; 상기 기판의 제1영역 및 제2영역에 각각 구비되는 반도체층패턴; 상기 반도체층패턴을 포함하는 상기 기판의 전면에 구비되는 제1게이트절연막; 상기 제1게이트절연막의 상부에 형성되어, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부 상에 구비되고, 상기 제2영역의 반도체층패턴의 에지부 상에 구비되는 제2게이트절연막패턴; 상기 제1영역의 채널영역 및 제2영역의 반도체층패턴 상측에 각각 구비되는 도전층패턴; 상기 도전층패턴이 형성된 상기 기판 상의 전면에 구비되는 층간절연막; 및 상기 제1영역의 층간절연막 및 제1게이트절연막을 통하여 상기 제1영역의 반도체층패턴에 접속되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치를 제공한다.

대표도 - 도3d



특허청구의 범위

청구항 1

제1영역과 제2영역을 포함하는 기관;

상기 기관의 제1영역 및 제2영역에 각각 구비되는 반도체층패턴;

상기 반도체층패턴을 포함하는 상기 기관의 전면에 구비되는 제1게이트절연막;

상기 제1게이트절연막의 상부에 형성되어, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부 상에 구비되고, 상기 제2영역의 반도체층패턴의 에지부 상에 구비되는 제2게이트절연막패턴;

상기 제1영역의 채널영역 및 제2영역의 반도체층패턴 상측에 각각 구비되는 도전층패턴;

상기 도전층패턴이 형성된 상기 기관 상의 전면에 구비되는 층간절연막; 및

상기 제1영역의 층간절연막 및 제1게이트절연막을 통하여 상기 제1영역의 반도체층패턴에 접속되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 반도체층패턴은 다결정실리콘층패턴인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1영역의 반도체층패턴은 박막트랜지스터의 채널영역 및 소오스/드레인영역인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제2영역의 반도체층패턴은 캐패시터의 하부전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제1게이트절연막은 실리콘산화막인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항 또는 제 5 항에 있어서,

상기 제1게이트절연막의 두께는 400 내지 1000Å인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제2게이트절연막패턴은 실리콘질화막 또는 실리콘산화막으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

제 1 항 또는 제 7 항에 있어서,

상기 제2게이트절연막패턴의 두께는 200 내지 800Å인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 1 항에 있어서,

상기 제1영역의 도전층패턴은 게이트전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 제2영역의 도전층패턴은 캐패시터의 상부전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 4 항에 있어서,

상기 제2영역의 반도체층패턴은 불순물이 도핑된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

제1영역과 제2영역을 포함하는 기판을 제공하고,

상기 기판 상부의 제1영역 및 제2영역에 각각 반도체층패턴 형성하고,

상기 반도체층패턴이 형성된 상기 기판의 전면에 제1게이트절연막을 형성하고,

상기 제1게이트절연막의 전면에 제2게이트절연막을 형성하고,

상기 제2게이트절연막 상부에 형성되며, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부를 보호하는 감광막패턴 및 상기 제2영역의 반도체층패턴의 에지부를 보호하는 감광막패턴을 형성하고,

상기 감광막패턴을 마스크로 사용하여 상기 제2게이트절연막을 식각하여 제2게이트절연막패턴을 형성하고,

상기 감광막패턴을 제거한 후, 상기 제1영역의 반도체층패턴의 채널영역 및 제2영역의 반도체층패턴 상부에 각각 도전층 패턴을 형성하고,

상기 도전층 패턴을 구비하는 상기 기판의 전면에 층간절연막을 형성하고,

상기 제1영역의 층간절연막 및 상기 제1영역의 제1게이트절연막을 식각하여 상기 제1영역의 반도체층패턴을 노출시키는 콘택홀을 형성하고,

상기 콘택홀을 통하여 상기 제1영역의 반도체층패턴에 접속되는 소오스/드레인전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 감광막패턴을 이온주입마스크로 사용하여 상기 반도체층패턴에 불순물을 이온주입하여 상기 제1영역에 소오스/드레인영역을 형성하는 동시에 상기 제2영역에 제1전극을 형성하는 것을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것으로서, 보다 구체적으로는 제1영역(A)의 다결정 실리콘층패턴(120)과 제1영역(A)의 게이트전극(134)간에, 또한, 제2영역(B)의 다결정실리콘층패턴(124)과 제2영역(B)의 제2전극(136)간에 전계가 집중하는 것을 방지하여 막의 터짐을 방지함과 동시에 절연특성을 안정화시킬 수 있는 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것이다.

배경기술

<2> 통상적으로, 액티브 매트릭스 유기 전계 발광 소자와 같은 평판표시장치는 각 단위화소가 기본적으로 게이트라

인, 데이터라인 및 전원공급라인에 연결되는 박막 트랜지스터 및 캐패시터 그리고 유기 전계 발광 표시 소자를 구비한다. 상기 캐패시터는 게이트라인 및 게이트전극, 데이터 라인, 소오스/드레인 전극 및 전원공급층 및 애노드전극 등을 형성하기 위하여 다수의 도전층이 사용된다. 이러한 도전층은 도전층 사이에 형성되는 절연층에 콘택홀을 형성한 후 도전층을 형성하여 전기적으로 접속시킨다.

- <3> 도 1은 종래의 유기 전계 발광 표시 장치의 평면도이다.
- <4> 도 1을 참조하면, 종래의 액티브 매트릭스 유기전계 발광표시장치는 다수의 게이트라인(310), 다수의 데이터라인(320) 및 다수의 전원공급라인(330) 그리고 상기 게이트라인(310), 데이터라인(320) 및 전원공급라인(330)에 연결 구성되는 다수의 화소를 구비한다.
- <5> 상기 각 화소는 다수의 게이트라인(310) 중 해당하는 하나의 게이트라인과 다수의 데이터라인(320)중 해당하는 하나의 데이터라인에 연결되는 스위칭용 박막트랜지스터(370)와, 상기 전원공급라인(330)에 연결되는 유기 전계 발광 소자(360) 구동용 박막 트랜지스터(350)와, 상기 구동용 박막 트랜지스터(350)의 게이트-소오스 간 전압을 유지시켜 주기 위한 캐패시터(340) 및 유기 전계 발광 소자 등으로 이루어진다.
- <6> 상기 구동용 박막 트랜지스터(350)는 소오스/드레인영역을 구비한 반도체층(352), 게이트전극(354) 및 상기 소오스/드레인 영역과 콘택홀(355a, 355b)을 통해 각각 연결되는 소오스/드레인 전극(356a, 356b)을 구비하고, 상기 스위칭용 박막 트랜지스터(370)도 동일한 구조를 갖는다.
- <7> 상기 캐패시터(340)는 상기 스위칭용 박막 트랜지스터(370)의 소오스/드레인 전극중 하나, 예를 들어 소오스전극과 구동용 박막 트랜지스터(350)의 게이트에 연결되는 하부전극(344)과, 상기 구동용 박막 트랜지스터(350)의 소오스/드레인 전극중 하나, 예를 들어 소오스전극(356a)과 공통전원라인(330)에 연결되는 상부전극(146)을 구비한다. 개구부(365)를 구비하는 전계 발광 소자의 애노드전극인 화소전극(360, 361)은 비아홀(358)을 통해 상기 구동용 박막 트랜지스터(350)의 소오스/드레인 전극(356a, 356b)중 하나, 예를 들어 드레인전극(356b)에 연결된다.
- <8> 도 2는 종래기술에 따른 유기 전계 발광 표시 장치를 도시한 단면도이다.
- <9> 먼저, 제1영역(A)과 제2영역(B)으로 구분되는 투명절연기관(100)의 전면에 실리콘산화물을 플라즈마-강화 화학 기상증착(plasma-enhanced chemical vapor deposition, PECVD)방법으로 소정 두께의 완충막(110)을 형성한다. 이때, 상기 완충막(110)은 후속 공정으로 형성되는 비정질실리콘층의 결정화 공정시 상기 투명절연기관(100) 내의 불순물이 확산되는 것을 방지한다.
- <10> 다음, 상기 완충막(110) 상부에 소정 두께의 비정질실리콘층(도시안됨)을 증착한다. 이어서, 상기 비정질실리콘층을 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법 등을 사용하여 결정화하고, 사진식각 공정으로 패터닝하여 단위 화소 내의 제1영역(A)과 제2영역(B)에 다결정실리콘층패턴(120, 124)을 형성한다.
- <11> 다음, 전체표면 상부에 제1게이트절연막(130)을 형성한다. 이때, 상기 제1게이트절연막(130)은 실리콘산화막(SiO₂)을 사용하여 400 ~ 1000Å의 두께로 형성한다.
- <12> 다음, 상기 제1게이트절연막(130) 상부에 제2게이트절연막(미도시)을 형성한다. 상기 제2게이트절연막은 실리콘 질화막(SiNx) 또는 실리콘산화질화막을 이용하여 200 ~ 800Å의 두께로 형성한다.
- <13> 그 다음, 상기 제2게이트절연막 상부에 게이트전극, 트랜지스터의 채널영역으로 예정되는 부분을 보호하는 감광막패턴(미도시)을 형성한다. 그리고, 상기 감광막패턴을 식각마스크로 사용하여 상기 제2게이트절연막을 식각하여 제2게이트절연막패턴(131)을 형성한다.
- <14> 또한, 상기 감광막 패턴을 이온주입마스크로 사용하여 상기 다결정실리콘층패턴(120)에 불순물을 이온주입하여 제1영역(A)에 소오스/드레인영역(121, 122)을 형성하고, 제2영역(B)에 캐패시터의 하부전극으로 사용되는 제1전극(124)을 형성한다. 그 후, 상기 감광막패턴을 제거한다.
- <15> 그 다음, 상기 제2게이트절연막패턴(131)이 형성된 투명절연기관의 상부에 몰리브덴(Mo) 또는 몰리텅스텐(MoW)과 같은 합금의 단일층, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층 혹은 위에 언급한 금속들의 이중층으로 게이트전극용 금속층(도시안됨)을 형성한다. 이어서, 사진식각공정으로 상기 게이트전극용 금속층을 식각하여 상기 제1영역(A)에는 게이트전극(134)을 형성하고, 제2영역(B)에는 캐패시터의 상부전극으로 사용되는 제2전극(136)을 형성한다. 이때, 상기 제1전극(124)과 제2전극(136) 간에 개재되는 제1

게이트절연막(130)은 캐패시터의 유전체막으로 사용된다.

- <16> 다음, 전체표면 상부에 소정 두께의 층간절연막(140)을 형성한다. 여기서, 상기 층간절연막(140)은 실리콘산화막, 실리콘질화막 또는 실리콘산화막과 실리콘질화막의 적층구조를 사용하여 3000 ~ 5000 Å 정도의 두께로 형성된다.
- <17> 그 다음, 사진식각공정으로 상기 층간절연막(140) 및 제1게이트절연막(130)을 식각하여 상기 소오스/드레인영역(122)을 노출시키는 콘택홀(도시안됨)을 형성한다.
- <18> 그 다음, 상기 콘택홀을 포함한 전체표면 상부에 전극물질을 형성하고, 사진식각공정으로 상기 전극물질을 식각하여 상기 제1영역(A)에는 상기 소오스/드레인영역(122)에 접속되는 소오스/드레인전극(151, 152)을 형성한다. 이때, 상기 전극물질로는 몰리브덴(Mo) 또는 몰리-텅스텐(MoW)과 같은 합금의 단일층, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층 혹은 위에 언급한 금속들의 이중층 등이 사용될 수 있다.
- <19> 그 후, 전체표면 상부에 소정 두께의 실리콘질화막 등의 무기절연막으로 보호막(160)을 형성한다.
- <20> 이후에는 도면 상에는 도시하지 않았으나, 일반적인 평판 표시 장치의 제조 공정을 수행하여, 소오스/드레인전극(151, 152) 중 어느하나, 예를 들면 드레인전극(152)의 일부를 노출시키는 비아홀(미도시)을 형성하고, 이어서, 상기 드레인전극(152)과 전기적으로 연결되는 하부전극(미도시)을 형성한다. 이어서, 상기 하부전극(미도시)의 상부에 화소정의막(미도시)을 형성하고, 상기 하부전극(미도시)의 화소영역을 노출시키는 비아홀을 형성하고, 그 상부에 유기기능막(미도시)과 상부전극(미도시)을 형성함으로써, 유기 전계 발광 표시 장치를 형성한다.
- <21> 상기한 바와 같은 구조를 갖는 유기 전계 발광 표시 장치는 제1전극(124), 제 1 게이트절연막(130) 및 제2전극(136)을 캐패시터로 사용하고 있다.
- <22> 하지만, 유전체막의 두께에 반비례하여 정전용량값이 증가하게 되는 캐패시터의 특성상, 상기 캐패시터는 제1게이트절연막만을 유전체막으로 사용하므로 캐패시터의 정전용량값은 제1게이트절연막과 제2게이트절연막을 사용하는 것보다 증가할 수 있으나, 상기한 바와 같이 제2게이트절연막을 제거함에 의하여 상기 다결정실리콘층패턴(120, 124)의 에지부분에서 제1게이트절연막의 얇은 두께로 인하여, 제1영역(A)의 다결정실리콘층패턴(120)과 제1영역(A)의 게이트전극(134)간에, 또한, 제2영역(B)의 제1전극(124)과 제2영역(B)의 제2전극(136)간에 전계가 집중하여 제1게이트절연막이 막이 터지는 문제가 발생하게 된다.

발명의 내용

해결 하고자하는 과제

- <23> 본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 추가적인 공정없이 제1영역(A)의 다결정실리콘층패턴(120)과 제1영역(A)의 게이트전극(134)간에, 또한, 제2영역(B)의 다결정실리콘층패턴(124)과 제2영역(B)의 제2전극(136)간에 전계가 집중하는 것을 방지하여 막의 터짐을 방지함과 동시에 절연특성을 안정화시키기 위한 유기 전계 발광 표시 장치 및 그 제조방법을 제공하는 것에 목적이 있다.

과제 해결수단

- <24> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 제1영역과 제2영역을 포함하는 기관; 상기 기관의 제1영역 및 제2영역에 각각 구비되는 반도체층패턴; 상기 반도체층패턴을 포함하는 상기 기관의 전면에 구비되는 제1게이트절연막; 상기 제1게이트절연막의 상부에 형성되어, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부 상에 구비되고, 상기 제2영역의 반도체층패턴의 에지부 상에 구비되는 제2게이트절연막패턴; 상기 제1영역의 채널영역 및 제2영역의 반도체층패턴 상측에 각각 구비되는 도전층패턴; 상기 도전층패턴이 형성된 상기 기관 상의 전면에 구비되는 층간절연막; 및 상기 제1영역의 층간절연막 및 제1게이트절연막을 통하여 상기 제1영역의 반도체층패턴에 접속되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치를 제공한다.
- <25> 또한, 본 발명은 제1영역과 제2영역을 포함하는 기관을 제공하고, 상기 기관 상부의 제1영역 및 제2영역에 각각 반도체층패턴 형성하고, 상기 반도체층패턴이 형성된 상기 기관의 전면에 제1게이트절연막을 형성하고, 상기 제1게이트절연막의 전면에 제2게이트절연막을 형성하고, 상기 제2게이트절연막 상부에 형성되며, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부를 보호하는 감광막패턴 및 상기 제2영역의 반도체층패턴의 에지부를 보호하

는 감광막패턴을 형성하고, 상기 감광막패턴을 마스크로 사용하여 상기 제2게이트절연막을 식각하여 제2게이트절연막패턴을 형성하고, 상기 감광막패턴을 제거한 후, 상기 제1영역의 반도체층패턴의 채널영역 및 제2영역의 반도체층패턴 상부에 각각 도전층 패턴을 형성하고, 상기 도전층 패턴을 구비하는 상기 기판의 전면에 층간절연막을 형성하고, 상기 제1영역의 층간절연막 및 상기 제1영역의 제1게이트절연막을 식각하여 상기 제1영역의 반도체층패턴을 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 통하여 상기 제1영역의 반도체층패턴에 접속되는 소오스/드레인전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조방법을 제공한다.

<26> 또한, 본 발명은 상기 제1영역의 반도체층패턴은 박막트랜지스터의 채널영역 및 소오스/드레인영역이고, 상기 제2영역의 반도체층패턴은 캐패시터의 하부전극인 것을 특징으로 하는 유기 전계 발광 표시 장치 및 그의 제조방법을 제공한다.

<27> 또한, 본 발명은 상기 제1영역의 도전층패턴은 게이트전극이고, 상기 제2영역의 도전층패턴은 캐패시터의 상부전극인 것을 특징으로 하는 유기 전계 발광 표시 장치 및 그의 제조방법을 제공한다.

효 과

<28> 상기한 바와 같은 본 발명의 실시예에 따르면, 본원발명의 캐패시터는 제1전극(223), 제1게이트절연막(230) 및 제2전극(235)로 구성되어 있어, 상기 캐패시터는 제1게이트절연막만을 유전체막으로 사용하므로 캐패시터의 정전용량값이 여전히 제1게이트절연막과 제2게이트절연막을 사용하는 것보다 증가될 수 있다.

<29> 또한, 상기 제1영역(A)의 다결정실리콘층패턴(120)의 에지부영역과 상기 제2영역(B)의 다결정실리콘층패턴의 에지부영역에 형성된 제2게이트절연막패턴에 의하여, 상기 제1영역(A)의 다결정실리콘층패턴과 제1영역(A)의 게이트전극(134)간에, 또한, 제2영역(B)의 다결정실리콘층패턴(124)과 제2영역(B)의 제2전극(136)간에 전계가 집중하는 것을 방지하여 막의 터짐을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

<30> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<31> 도 3a 내지 도 3d는 본 발명에 따른 유기 전계 발광 표시 장치의 형성 순서를 도시한 단면도이다.

<32> 도 3a를 참조하면, 먼저, 제1영역(A)과 제2영역(B)으로 구분되는 투명절연기판(200)의 전면에 실리콘산화물을 플라즈마-강화 화학기상증착(plasma-enhanced chemical vapor deposition, PECVD)방법으로 소정 두께의 완충막(210)을 형성한다. 이때, 상기 완충막(210)은 후속 공정으로 형성되는 비정질실리콘층의 결정화 공정 시 상기 투명절연기판(200) 내의 불순물이 확산되는 것을 방지한다.

<33> 다음, 상기 완충막(210) 상부에 반도체층인 비정질실리콘층(도시안됨)을 소정두께 증착한다. 이어서, 상기 비정질실리콘층을 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법 등을 사용하여 결정화하고, 사진식각 공정으로 패터닝하여 단위 화소 내의 제1영역(A)과 제2영역(B)에 반도체층패턴인 다결정실리콘층패턴(220, 223)을 형성한다.

<34> 다음, 전체표면 상부에 제1게이트절연막(230)을 형성한다. 이때, 상기 제1게이트절연막(230)은 실리콘산화막(SiO₂)을 사용하여 400 ~ 1000Å의 두께, 바람직하게는 실리콘산화막(SiO₂)을 이용하여 800Å 정도의 두께로 형성한다.

<35> 다음, 전체표면 상부에 제2게이트절연막(231)을 형성한다. 상기 제2게이트절연막(231)은 실리콘질화막(SiN_x) 또는 실리콘산질화막을 이용하여 200 ~ 800Å의 두께, 바람직하게는 실리콘질화막(SiN_x)을 이용하여 400Å 정도의 두께로 형성한다.

<36> 그 다음, 상기 제2게이트절연막 상부에, 상기 제1영역의 반도체층패턴의 채널영역 및 에지부영역과 상기 제2영역의 반도체층패턴의 에지부영역으로 예정되는 부분을 보호하는 감광막패턴(232)을 형성한다.

<37> 그 다음, 도 3b를 참조하면, 상기 감광막패턴을 식각 마스크로 하여 상기 제2게이트절연막을 식각하여, 제2게이트절연막패턴(231a, 231b)을 형성한다. 따라서, 상기 제2게이트절연막패턴은 상기 제1영역의 반도체층패턴의 채널영역(231a) 및 에지부영역(231b)과 상기 제2영역의 반도체층패턴의 에지부영역(231b)에만 형성되어 있다.

<38> 그 다음, 상기 감광막패턴(232)을 이온주입마스크로 사용하여 상기 다결정실리콘층패턴(220, 223)에 불순물을

이온주입하여 소오스/드레인영역(221, 222) 및 캐패시터의 하부전극으로 사용되는 제1전극(223)을 형성한다. 이때, 상기 이온주입공정은 n^+ 또는 p^+ 불순물을 도펀트로 이용하여 실시된다. 상기 박막트랜지스터가 CMOS 박막트랜지스터인 경우 상기 제1전극(223)에는 n^+ 불순물이 이온주입되는 것이 유리하다.

<39> 그 후, 상기 감광막패턴(232)을 제거한다.

<40> 그 다음, 도 3c를 참조하면, 상기 제2게이트절연막패턴(231a, 231b)이 형성된 투명절연기판(200) 상부에 제1도전층으로 몰리브덴(Mo) 또는 폴리-텅스텐(MoW)과 같은 합금의 단일층, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층 혹은 위에 언급한 금속들의 이중층 게이트전극용 금속층(도시안됨)을 형성한다. 이어서, 사진식각공정으로 상기 게이트전극용 금속층을 식각하여 제1도전층패턴을 형성하되, 상기 제1영역(A)에는 게이트전극(234)을 형성하고, 제2영역(B)에는 캐패시터의 상부전극으로 사용되는 제2전극(235)을 형성한다. 상기 제1영역(A)에는 제1게이트절연막(230)과 제2게이트절연막패턴(231a, 231b)이 게이트절연막으로 사용되며 600 ~ 1800Å 두께로 형성된다. 그리고, 상기 제2영역(B)에는 제1게이트절연막(230)이 캐패시터의 유전체막으로 사용되며, 400 ~ 1000Å의 두께, 바람직하게는 800Å 정도의 두께로 형성된다.

<41> 따라서, 상기한 바와 같이 형성된 캐패시터는 제1전극(223), 제1게이트절연막(230) 및 제2전극(235)로 구성되어 있으며, 유전체막의 두께에 반비례하여 정전용량값이 증가하게 되는 캐패시터의 특성상, 상기 캐패시터는 제1게이트절연막만을 유전체막으로 사용하므로 캐패시터의 정전용량값이 여전히 제1게이트절연막과 제2게이트절연막을 사용하는 것보다 증가될 수 있다.

<42> 또한, 상기 제1영역(A)의 다결정실리콘층패턴(120)의 에지부영역과 상기 제2영역(B)의 다결정실리콘층패턴의 에지부영역에 형성된 제2게이트절연막패턴에 의하여, 상기 제1영역(A)의 다결정실리콘층패턴과 제1영역(A)의 게이트전극(134)간에, 또한, 제2영역(B)의 다결정실리콘층패턴(124)과 제2영역(B)의 제2전극(136)간에 전계가 집중하는 것을 방지하여 막의 터짐을 방지할 수 있다. 이때, 상기 제1영역(A) 및 제2영역(B)의 다결정실리콘층패턴의 에지부영역에는 제1게이트절연막(231)과 제2게이트절연막패턴(234)이 게이트절연막으로 사용된다.

<43> 다음으로, 도 3d를 참조하면, 전체표면 상부에 소정 두께의 층간절연막(240)을 형성한다.

<44> 그 다음, 사진식각공정으로 상기 층간절연막(240) 및 제1게이트절연막(232)을 식각하여 상기 소오스/드레인영역(221, 222)을 노출시키는 콘택홀(도시안됨)을 형성한다.

<45> 다음, 상기 콘택홀을 포함한 전체표면 상부에 제2도전층으로 전극물질을 형성하고, 사진식각공정으로 상기 전극물질을 식각하여 상기 제1영역(A)상에 상기 소오스/드레인영역(221, 222)에 접속되는 소오스/드레인전극(251, 252)을 형성한다. 이때, 상기 전극물질로는 몰리브덴(Mo) 또는 폴리-텅스텐(MoW)과 같은 합금의 단일층, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층 혹은 위에 언급한 금속들의 이중층이 사용될 수 있다.

<46> 그 후, 전체표면 상부에 소정 두께의 실리콘질화막 등의 무기절연막으로 보호막(260)을 형성한다.

<47> 이후에는 도면 상에는 도시하지 않았으나, 일반적인 평판 표시 장치의 제조 공정을 수행하여, 소오스/드레인전극(151, 152) 중 어느하나, 예를 들면 드레인전극(152)의 일부를 노출시키는 비아홀(미도시)을 형성하고, 이어서, 상기 드레인전극(152)과 전기적으로 연결되는 하부전극(미도시)을 형성한다. 이어서, 상기 하부전극(미도시)의 상부에 화소정의막(미도시)을 형성하고, 상기 하부전극(미도시)의 화소영역을 노출시키는 비아홀을 형성하고, 그 상부에 유기막층(미도시)과 상부전극(미도시)을 형성함으로써, 유기 전계 발광 표시 장치를 형성한다.

<48> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<49> 도 1은 종래의 유기 전계 발광 표시 장치의 평면도.

<50> 도 2는 종래기술에 따른 유기 전계 발광 표시 장치를 도시한 단면도.

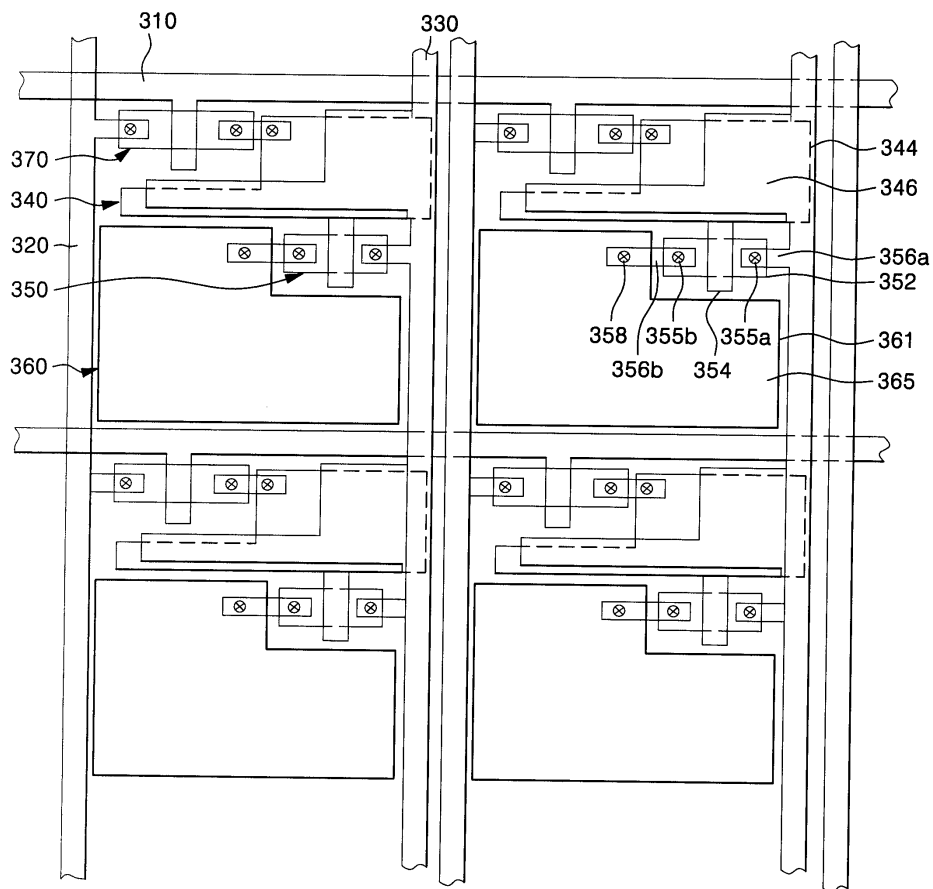
<51> 도 3a 내지 도 3d는 본 발명에 따른 유기 전계 발광 표시 장치의 형성 순서를 도시한 단면도이다.

<52> <도면의 주요 부분에 대한 부호의 설명>

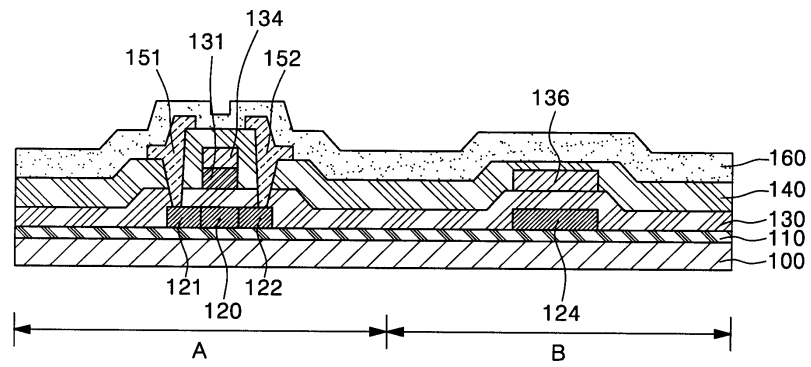
- | | | |
|------|-------------------------|----------------------|
| <53> | 200 : 투명절연기관 | 210 : 버퍼층 |
| <54> | 220, 223 : 다결정실리콘층패턴 | 230 : 제1게이트절연막 |
| <55> | 231 : 제2게이트절연막 | 232 : 감광막패턴 |
| <56> | 231a, 231b : 제2게이트절연막패턴 | 221, 222 : 소오스/드레인영역 |
| <57> | 223 : 제1전극 | 234 : 게이트전극 |
| <58> | 235 : 제2전극 | 240 : 층간절연막 |
| <59> | 251, 252 : 소오스/드레인전극 | 260 : 보호막 |

도면

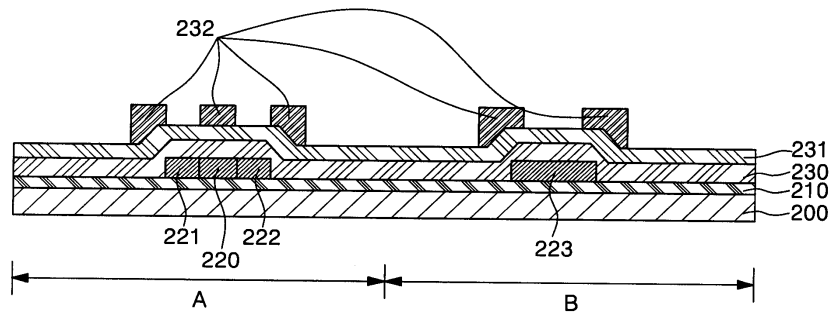
도면1



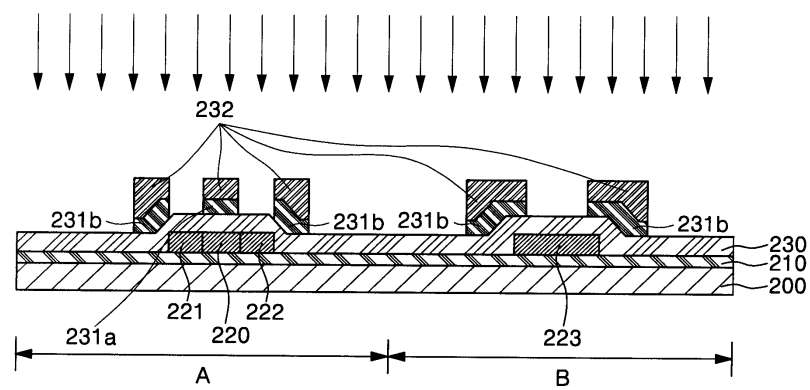
도면2



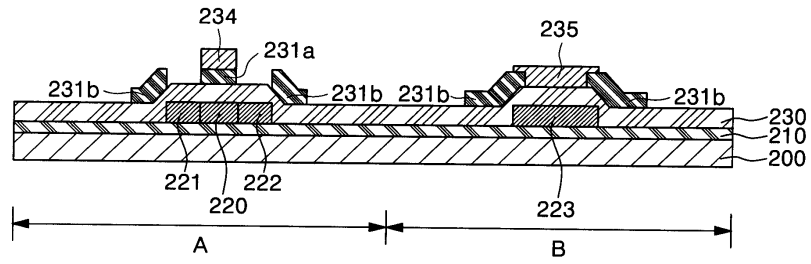
도면3a



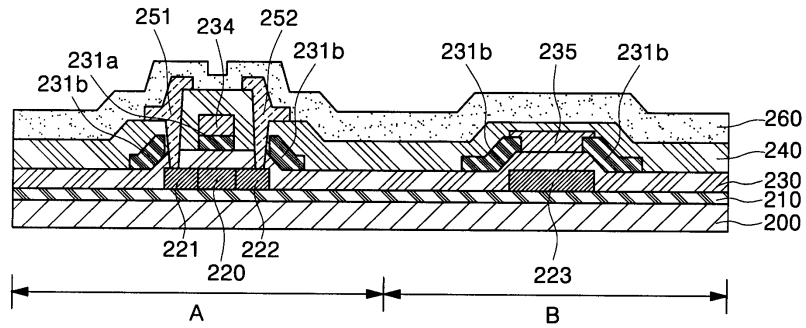
도면3b



도면3c



도면3d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100913794B1	公开(公告)日	2009-08-26
申请号	KR1020070126903	申请日	2007-12-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	PARK HAE JIN 박해진 SON HYUN CHUL 손현철 HWANG EUI HOON 황의훈		
发明人	박해진 손현철 황의훈		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L27/1255		
代理人(译)	PARK, 常树		
其他公开文献	KR1020090059843A		
外部链接	Espacenet		

摘要(译)

本发明是在所述第一区域中的多晶硅层图案的第二电极 (A) 的多晶硅层图案和所述第一区域 (A) 的栅极电极之间, 在所述第二区域 (B) 和的所述第二区域 (B) 其之间从集中在有机发光显示装置及其制造方法, 其可以稳定的绝缘性能和同时防止破裂膜, 第一区域和第二区域阻止电场基材;半导体层图案分别设置在基板的第一区域和第二区域上;第一栅极绝缘层, 设置在包括半导体层图案的基板的前表面上;形成在第二区域的半导体层图案的边缘上的第二栅极绝缘膜图案, 第二栅极绝缘膜图案形成在第一区域的沟道区域和半导体层图案的边缘部分上, 。各自设置有在上侧的导电层图案的沟道区和在半导体层图案的第二区域的第一区域;层间绝缘膜设置在其上形成有导电层图案的基板的前表面上;和有机发光显示装置, 包括通过层间绝缘膜和所述第一区域的第一栅极绝缘膜连接到所述第一区域的半导体层图案中的源/漏电极提供。

