



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월03일
G09G 3/30 (2006.01)	(11) 등록번호	10-0734808
G09G 3/20 (2006.01)	(24) 등록일자	2007년06월27일

(21) 출원번호	10-2005-0069367	(65) 공개번호	10-2006-0048924
(22) 출원일자	2005년07월29일	(43) 공개일자	2006년05월18일
심사청구일자	2005년07월29일		

(30) 우선권주장	60/598,168	2004년08월02일	미국(US)
	60/634,401	2004년12월07일	미국(US)
	11/173,820	2005년07월01일	미국(US)

(73) 특허권자 탑폴리 옵토일렉트로닉스 코포레이션
중화민국 타이완, 미아오-리 카운티, 추-난, 호신추 사이언스 파크, 케 중 로드, 12호

(72) 발명자 펑, 두-젠
타이완, 호신추 호시엔, 츠베이 시티, 충칭 이. 알디., 레인393, 넘버. 17

후양, 시-펑
타이완, 타이충 시티, 썬턴 디스트릭트, 상간 알디., 넘버. 60-6,13에프-5

(74) 대리인 정홍식

(56) 선행기술조사문헌	
JP2002169510 A	KR1020040033248 A
KR1020050051300 A	US6229506 B1
JP14169510 A	

심사관 : 천대식

전체 청구항 수 : 총 24 항

(54) 임계 전압 보상을 갖는 화소 구동 회로

(57) 요약

임계 전압 및 EL 전력 보상을 갖는 화소 구동회로가 제공된다. 상기 화소 회로는 저장 커패시터, 전송 회로, 구동 소자, 및 스위칭 회로를 포함한다. 전송 회로는 데이터 신호 또는 가변 기준 신호를 저장 커패시터의 제 1 노드에 전송한다. 구동 소자는 제 1 고정 전위에 결합된 제 1 단자 및 저장 커패시터의 제 2 노드에 결합된 제 2 단자를 갖는다. 스위칭 회로는 구동 소자의 제 3 단자 및 저장 커패시터의 제 2 노드에 결합된다. 스위칭 회로는 하나의 시간 기간에 구동 소자가 다이오드-접속(diode-connect)되도록 제어될 수 있어, 구동 전류가 또 다른 시간 기간에 디스플레이 소자에 출력되도록 한다.

대표도

도 2

특허청구의 범위

청구항 1.

화소 구동 회로에 있어서,

제 1 및 제 2 노드를 갖는 저장 커패시터;

상기 저장 커패시터의 제 1 노드에 결합된 전송 회로로서, 데이터 신호 또는 가변 기준 신호를 상기 저장 커패시터의 제 1 노드에 전송하는, 상기 전송 회로;

제 1 고정 전위에 결합된 제 1 단자, 상기 저장 커패시터의 제 2 노드에 결합된 제 2 단자, 및 구동 전류를 출력하기 위한 제 3 단자를 갖는 구동 소자; 및

상기 구동 소자의 제 3 단자 및 상기 저장 커패시터의 제 2 노드에 결합된 스위칭 회로로서, 상기 구동 소자가 하나의 시간 기간에 다이오드-접속(diode-connect)되도록 할 수 있고, 상기 구동 전류가 또 다른 시간 기간에 디스플레이 소자에 출력 되도록 하는, 상기 스위칭 회로를 포함하고,

상기 데이터 신호는 전압 구동 신호인, 화소 구동 회로.

청구항 2.

제 1항에 있어서, 상기 구동 소자는 PMOS 트랜지스터인, 화소 구동 회로.

청구항 3.

제 1항에 있어서, 상기 가변 기준 신호는 펄스된 기준 신호(pulsed reference signal)인, 화소 구동 회로.

청구항 4.

제 1항에 있어서, 상기 전송 회로는,

상기 데이터 신호를 수신하는 제 1 단자, 제 1 스캔 라인에 접속된 제 2 단자, 및 상기 저장 커패시터의 제 1 노드에 결합된 제 3 단자를 갖는 제 1 트랜지스터; 및

상기 가변 기준 신호를 수신하는 제 1 단자, 제 2 스캔 라인에 접속된 제 2 단자, 및 상기 저장 커패시터의 제 1 노드에 결합된 제 3 단자를 갖는 제 2 트랜지스터를 포함하는, 화소 구동 회로.

청구항 5.

제 4항에 있어서, 상기 제 1 및 제 2 트랜지스터들은 각각 PMOS 및 NMOS 트랜지스터인, 화소 구동 회로.

청구항 6.

제 4항에 있어서, 상기 제 1 및 제 2 트랜지스터들은 PMOS 트랜지스터들인, 화소 구동 회로.

청구항 7.

제 5항에 있어서, 상기 제 1 및 제 2 스캔 라인들은 각각 동일한 극성의 펄스들을 갖는, 화소 구동 회로.

청구항 8.

제 6항에 있어서, 상기 제 1 및 제 2 스캔 라인들은 각각 서로 다른 극성들의 펄스들을 갖는, 화소 구동 회로.

청구항 9.

제 7항 또는 제 8항에 있어서, 상기 제 2 스캔 라인은 상기 제 1 스캔 라인보다 늦은 펄스-오버 타이밍(pulse-over timing)을 갖는, 화소 구동 회로.

청구항 10.

제 5항에 있어서, 상기 제 1 및 제 2 스캔 라인들은 함께 묶여진, 화소 구동 회로.

청구항 11.

제 1항에 있어서, 상기 스위칭 회로는,

상기 디스플레이 소자에 접속된 제 1 단자, 제 2 스캔 라인에 접속된 제 2 단자, 및 상기 구동 소자의 제 3 단자에 접속된 제 3 단자를 갖는 제 3 트랜지스터; 및

상기 구동 소자 및 상기 제 3 트랜지스터의 제 3 단자들에 결합된 제 1 단자, 상기 저장 커패시터의 제 2 노드 및 상기 구동 소자의 제 2 단자에 결합된 제 2 단자, 및 제 1 스캔 라인에 접속된 제 3 단자를 갖는 제 4 트랜지스터를 포함하는, 화소 구동 회로.

청구항 12.

제 11항에 있어서, 상기 제 3 및 제 4 트랜지스터들은 각각 NMOS 및 PMOS 트랜지스터인, 화소 구동 회로.

청구항 13.

제 11항에 있어서, 상기 제 3 및 제 4 트랜지스터들은 PMOS 트랜지스터들인, 화소 구동 회로.

청구항 14.

제 1항에 있어서, 상기 제 1 고정 전위는 전력 공급 전위(power supply potential)인, 화소 구동 회로.

청구항 15.

제 1항에 있어서, 상기 전송 회로에 결합된 기준 신호 발생기를 더 포함하는, 화소 구동 회로.

청구항 16.

제 15항에 있어서, 상기 기준 신호 발생기는,

수직 이동 레지스터들(vertical shift registers)로부터 신호들을 수신하는 2개의 입력들을 가지며, 출력 신호를 발생시키는 제 1 AND 게이트;

상기 제 1 AND 게이트로부터 출력 신호를 수신하는 제 1 입력 및 제 1 인에이블 신호를 수신하는 제 2 입력을 가지며, 상기 제 2 스캔 라인을 위한 제 1 스캔 신호를 발생시키는 제 1 NAND 게이트;

상기 제 1 AND 게이트로부터의 출력 신호, 상기 제 1 인에이블 신호, 제 2 인에이블 신호를 각각 수신하는 3개의 입력들을 가지며, 상기 제 1 스캔 라인을 위한 제 2 스캔 신호를 발생시키는 제 2 NAND 게이트; 및

상기 제 1 AND 게이트로부터 출력 신호를 수신하는 제 1 입력 및 상기 제 2 인에이블 신호를 수신하는 제 2 입력을 가지며, 기준 신호를 발생시키는 제 2 AND 게이트를 포함하는, 화소 구동 회로.

청구항 17.

제 15항에 있어서, 상기 기준 신호 발생기는,

수직 이동 레지스터들로부터 신호들을 수신하는 2개의 입력들 및 제 1 인에이블 신호를 수신하는 제 3 입력을 가지며, 상기 제 2 스캔 라인을 위한 제 1 스캔 신호를 발생시키는 제 1 NAND 게이트;

수직 이동 레지스터들로부터 신호들을 수신하는 2개의 입력들 및 상기 제 1 인에이블 신호와 제 2 인에이블 신호를 각각 수신하는 2개의 입력들을 가지며, 상기 제 1 스캔 라인을 위한 제 2 스캔 신호를 발생시키는 제 2 NAND 게이트; 및

수직 이동 레지스터들로부터 신호들을 수신하는 2개의 입력들 및 제 2 인에이블 신호를 수신하는 제 3 입력을 가지며, 기준 신호를 발생시키는 AND 게이트를 포함하는, 화소 구동 회로.

청구항 18.

구동 소자 및 저장 커패시터를 갖는 디스플레이 소자를 구동시키기 위한 방법에 있어서,

기준 신호를 인가함으로써 스위칭가능 회로를 통해 상기 저장 커패시터를 방전시키는 단계;

상기 구동 소자의 임계 전압 및 데이터 신호를 상기 저장 커패시터에 로딩(loading)하는 단계; 및

임계치 독립 구동 전류(threshold-independent driving current)를 상기 디스플레이 소자에 제공하기 위해 상기 로딩된 데이터 신호 및 로딩된 임계 전압을 상기 구동 소자에 결합시키는 단계를 포함하고,

상기 데이터 신호는 전압 구동 신호인, 디스플레이 소자 구동 방법.

청구항 19.

제 18항에 있어서,

상기 로딩 단계에서, 상기 데이터 신호 및 상기 제 1 트랜지스터의 상기 임계 전압과 함께, 고정 공급 전위(fixed supply potential) 또한 상기 저장 커패시터에 로딩되고,

상기 결합 단계에서, 상기 로딩된 데이터 신호 및 상기 로딩된 임계 전압과 함께, 로딩된 고정 공급 전위 또한 상기 구동 소자에 결합되는, 디스플레이 소자 구동 방법.

청구항 20.

제 19항에 있어서, 상기 저장 커패시터를 방전시키는 단계는, 상기 기준 신호가 상기 로딩 단계 전에 고 레벨을 갖는 상기 저장 커패시터에 인가될 때에 시작하는, 디스플레이 소자 구동 방법.

청구항 21.

제 19항에 있어서, 상기 로딩 단계는, 상기 데이터 신호가 상기 저장 커패시터에 인가되도록 활성 스캔 라인이 스위치 소자에 인가될 때에 스캔 모드로 시작하는, 디스플레이 소자 구동 방법.

청구항 22.

제 18항에 있어서, 상기 로딩된 데이터 신호, 상기 로딩된 임계 전압, 및 상기 로딩된 고정 전위를 상기 구동 소자에 결합시키는 단계는, 상기 기준 신호가 저 레벨을 갖는 상기 저장 커패시터에 인가된 후에 상기 스캔 모드로 시작하는, 디스플레이 소자 구동 방법.

청구항 23.

제 21항 또는 제 22항에 있어서, 상기 기준 신호는 스위치 소자를 통해 상기 저장 커패시터에 인가되기 전에 그의 상태를 변경하는, 디스플레이 소자 구동 방법.

청구항 24.

제 18항에 있어서, 상기 고정 전위는 전력 공급 전위인, 디스플레이 소자 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 패널 디스플레이 내의 회로에 관한 것으로, 특히 임계 전압 및 전기발광(EL) 전력 보상을 갖는 화소 구동 회로에 관한 것이다.

활성 매트릭스 유기 광 방출 다이오드(active matrix organic emitting diode: AMOLED) 디스플레이들은 현재 차세대 평면 패널 디스플레이들로 떠오르고 있다. 활성 매트릭스 액정 디스플레이(AMLCD)에 비해, AMOLED 디스플레이는 보다 높은 콘트라스트비, 보다 넓은 시야각, 백라이트가 없는 보다 얇은 모듈, 낮은 소비전력, 및 낮은 가격과 같은 많은 이점들

을 갖는다. 전압원에 의해 구동되는 AMLCD 디스플레이와는 달리, AMOLED 디스플레이는 EL 장치를 구동시키기 위해 전류원을 필요로 한다. EL 장치의 밝기는 그에 의해 도통되는 전류에 비례한다. 전류 레벨의 변화들은 AMOLED 디스플레이의 밝기 균일성에 큰 영향을 미친다. 그러므로, 화소 구동 회로의 품질은 디스플레이 품질에 중요하다.

도 1은 AMOLED 디스플레이 내의 각 화소를 위한 종래의 2T1C(2개의 트랜지스터들 및 1개의 커패시터) 회로를 도시한다. 신호(Scan)가 트랜지스터(M1)를 턴온(turn on)시키고, 도 1에서 V_{data} 로서 도시된 데이터는 p 타입 트랜지스터(M2)의 게이트에 로딩(load)되어, 커패시터(C_{st})에 저장된다. 그러므로, 광을 방출하도록 EL 장치를 구동시키는 일정한 전류가 존재할 것이다. 통상, AMOLED에서, 전류원은 도 1에 도시된 바와 같이, 데이터 전압(V_{data})에 의해 게이트되고, V_{dd} 및 전기발광(EL) 장치의 애노드에 접속된 소스 및 드레인을 갖는 p 타입 TFT(도 1에서 M2)에 의해 각각 구현된다. 그러므로, V_{data} 에 대한 EL 장치의 밝기는 아래의 관계식을 갖는다.

$$\text{밝기} \propto \text{전류} \propto (V_{dd} - V_{data} - V_{th})^2$$

여기서, V_{th} 는 M2의 임계 전압이고, V_{dd} 는 전원 전압이다.

통상적으로, 저온 폴리실리콘(low temperature polysilicon: LTPS) 처리로 인해 LPTS 타입 TFT에 대해 V_{th} 의 변화가 존재하므로, V_{th} 가 적절히 보상되지 않으면, 밝기 불균일의 문제가 AMOLED 디스플레이에서 노출되는 것으로 고려된다. 더욱이, 전력 라인 상의 전압 강하는 또한 밝기 불균일 문제를 야기한다. 이러한 문제점들을 해소하기 위해, 디스플레이 불균일을 개선하기 위해 V_{th} 및 V_{dd} 를 갖는 화소 구동 회로의 구현이 요구된다.

발명이 이루고자 하는 기술적 과제

발명의 개요

본 발명의 실시예들은 임계 전압 및 EL 전력 보상을 갖는 화소 구동 회로를 개시한다. 화소 전류에 영향을 미치며, 스위칭 임계 전압에서와 같은 변화들을 일으키는 입력 전압 또는 전원 전압의 변화들 또는 둘 모두의 변화들은 보상되고, 구동 전류는 거의 영향을 받지 않으며, 회로 설계에의 의존성은 $V_{th}(V_{dd})$ 에 무관하다. 그러므로, 각 화소의 밝기는 $V_{th}(V_{dd})$ 에 무관하다.

본 발명의 일부 실시예들에 따른 임계 전압 보상을 갖는 화소 구동 회로는 저장 커패시터, 전송 회로, 구동 트랜지스터, 및 스위칭 회로를 포함한다. 전송 회로는 데이터 신호 또는 가변 기준 신호를 저장 커패시터의 제 1 노드에 전송한다. 구동 트랜지스터는 제 1 고정 전위에 결합된 제 1 단자 및 저장 커패시터의 제 2 노드에 결합된 제 2 단자를 갖는다. 스위칭 회로는 구동 트랜지스터의 제 3 단자 및 저장 커패시터의 제 2 노드에 결합된다. 스위칭 회로는 구동 트랜지스터 다이오드를 접속시키도록 제어될 수 있다.

본 발명의 일 실시예에 따라 디스플레이 장치를 구동하기 위한 방법은 데이터 신호, 제 1 트랜지스터의 임계 전압, 및 고정 전위를 저장 커패시터에 로딩하는 단계를 포함한다. 로딩된 데이터 신호, 제 1 커패시터의 로딩된 임계 전압, 및 로딩된 고정 전위는 임계치에 무관한 구동 전류 또는 고정 전위를 디스플레이 장치에 제공하기 위해 제 1 트랜지스터에 결합된다.

발명의 구성

도 2는 본 발명의 제 1 실시예에 따른 임계 전압 및 전력 보상을 갖는 화소 구동 회로의 구조를 도시하는 회로도이다. 화소 구동 회로(200)는 저장 커패시터(C_{st}), 전송 회로(210), 구동 트랜지스터(221), 및 스위칭 회로(220)를 포함한다. 전송 회로(210)는 저장 커패시터(C_{st})의 제 1 노드(A)에 결합되어, 데이터 신호(Data) 또는 가변 기준 신호(V_D)를 전송한다. 가변 기준 신호(V_D)는 펄스 기준 신호일 수 있다. 구동 트랜지스터(221)는 PMOS 트랜지스터이고, 제 1 고정 전위에 결합된 제 1 단자(소스) 및 저장 커패시터의 제 2 노드(B)에 결합된 제 2 단자(게이트)를 갖는다. 특히, 제 1 고정 전위는 전원 전위(V_{DD})이다. 스위칭 회로(220)는 구동 트랜지스터(221)의 제 3 단자(드레인) 및 저장 커패시터의 제 2 노드(B)에 결합된

다. 스위칭 회로(220)는 구동 트랜지스터(221)를 다이오드 접속시키도록 제어될 수 있다. 디스플레이 장치 EL은 스위칭 회로(220)에 결합된다. 바람직하게는, 디스플레이 장치 EL은 전기발광 장치일 수 있다. 또한, 디스플레이 장치 EL의 캐소드는 제 2 고정 전위에 결합된다. 특히, 제 2 고정 전위는 접지 전위(V_{SS})이다.

본 발명의 실시예에 따른 전송 회로(210)는 도 2에 도시된 바와 같이, 제 1 트랜지스터(211) 및 제 2 트랜지스터(213)를 포함한다. 도 2에서, 제 1 및 제 2 트랜지스터들은 각각 PMOS 및 NMOS 트랜지스터이다. 제 1 트랜지스터(211)의 제 1 단자(소스)는 데이터 신호(Data)를 수신한다. 제 1 트랜지스터(211)의 제 2 단자(게이트) 및 제 3 단자(드레인)는 각각 제 1 스캔 라인(Scan) 및 저장 커패시터(C_{st})의 제 1 노드에 접속된다. 제 2 트랜지스터(213)의 제 1 단자(드레인)는 가변 기준 신호(V_D)를 수신한다. 제 2 트랜지스터(213)의 제 2 단자(게이트) 및 제 3 단자(소스)는 제 2 스캔 라인(ScanX) 및 저장 커패시터(C_{st})의 제 1 노드(A)에 접속된다. 특히, 제 1 트랜지스터(211) 및 제 2 트랜지스터(213)는 박막 트랜지스터들이다. 바람직하게는, 박막 트랜지스터들은 높은 전류 구동 능력을 제공하는 폴리실리콘 박막 트랜지스터들이다. 제 1 스캔 라인(Scan)이 로우(low)로 될 때 전송 회로(210)는 데이터 신호(Data)를 저장 커패시터(C_{st})의 제 1 노드에 전송한다. 제 2 스캔 라인(ScanX)이 하이로 될 때, 전송 회로(210)는 가변 기준 신호(V_D)를 저장 커패시터의 제 1 노드(A)에 전송한다.

본 발명의 실시예에 따른 스위칭 회로(220)는 도 2에 도시된 바와 같이, 제 3 트랜지스터(223) 및 제 4 트랜지스터(225)를 포함한다. 도 2에 도시된 바와 같이, 제 3 및 제 4 트랜지스터들은 각각 NMOS 및 PMOS 트랜지스터들이다. 제 3 트랜지스터의 제 1 단자(소스)는 디스플레이 장치 EL의 애노드에 접속되고, 반면에 제 3 트랜지스터(223)의 제 2 단자(게이트) 및 제 3 단자(드레인)는 각각 제 2 스캔 라인(ScanX) 및 구동 트랜지스터(221)의 제 3 단자(드레인)에 접속된다. 제 4 트랜지스터(225)의 제 1 단자(드레인)는 구동 트랜지스터(221) 및 제 3 트랜지스터(223)의 제 3 단자들(드레인)에 결합된다. 제 4 트랜지스터(225)의 제 2 단자(소스)는 저장 커패시터(C_{st})의 제 2 노드(B) 및 구동 트랜지스터(221)의 제 2 단자(게이트)에 결합된다. 제 4 트랜지스터(225)의 제 3 단자(게이트)는 제 1 스캔 라인(Scan)에 접속된다. 특히, 제 3 트랜지스터(223) 및 제 4 트랜지스터(225)는 박막 트랜지스터들이다. 바람직하게는, 박막 트랜지스터들은 높은 전류 구동 능력을 제공하는 폴리실리콘 박막 트랜지스터들이다. 제 1 스캔 라인이 로우로 될 때, 스위칭 회로의 제 4 트랜지스터(225)는 구동 트랜지스터(221)를 다이오드 접속된 트랜지스터로 만든다.

도 3은 도 2에 도시된 화소 구동 회로(200)를 위한 제 1 및 제 2 스캔 라인들(Scan, ScanX)과 가변 기준 신호(V_D)의 신호들의 타이밍도를 도시한다. 화소 구동 회로의 이전 방출 모드로부터, 신호(V_D)가 하이로 되고, 신호들(Scan 및 ScanX)이 하이로 유지될 때, 도 2의 화소 구동 회로(200)는 방전 모드(302)에서 동작된다. 이 방전 모드에서, 고 레벨 기준 신호(V_D)는 저장 커패시터(C_{st})의 노드(A)에 입력되어, 트랜지스터들(223,225)을 턴온시킨다. 그러므로, 저장 커패시터(C_{st})에 저장된 전하는 이 방전 모드(302)에서 방전된다. 저장 커패시터(C_{st})의 방전은 후속 단계들에서 다이오드 접속된 구동 트랜지스터(221) 및 제 4 트랜지스터(225)의 정상적인 동작을 보장한다.

저장 커패시터(C_{st})의 방전에 이어서, 스캔 라인들(Scan, ScanX)이 로우로 되고, 이어서 화소 구동 회로(200)는 스캔 모드(304)로 들어간다. 제 1 및 제 2 스캔 라인들(Scan, ScanX)이 로우로 될 때, 트랜지스터들(211,225)은 턴온되고, 반면에 트랜지스터들(213,223)은 턴오프된다. 트랜지스터들(211,225)이 턴온되므로, 저장 커패시터(C_{st})의 제 1 노드(A)에서의 전압(V_A)은 데이터 신호(Data)의 전압(V_{data})과 같고, 저장 커패시터(C_{st})의 제 2 노드(B)에서의 전압(V_B)은 $V_{dd} - V_{th}$ 와 같고, 여기서 V_{th} 는 구동 트랜지스터(221)의 임계 전압이다. 그러므로, 저장 커패시터의 양단에 저장된 전압은 $V_A - V_B = V_{data} - V_{dd} + V_{th}$ 이다.

제 1 스캔 라인(Scan) 및 제 2 스캔 라인(ScanX)이 하이로 될 때, 스캔 모드(304)는 종료되고, 화소 구동 회로(200)는 방출 모드(306)로 들어간다. 또한, 실질적으로 스캔 모드(306)의 종료 시에, 기준 신호(V_D)는 로우로 된다. 제 1 스캔 라인(Scan)이 하이로 유지되고, 제 2 스캔 라인(ScanX)이 또한 하이로 될 때, 트랜지스터들(221,225)은 턴오프되고, 반면에 트랜지스터들(213,223)은 턴온된다. V_D 가 OV로 되고, 트랜지스터(213)가 턴온되므로, 저장 커패시터(C_{st})의 제 1 노드(A)에서의 전압(V_A)이 OV가 된다. 저장 커패시터(C_{st})의 전압은 즉시 변하지 못하고, 저장 커패시터(C_{st})의 제 2 노드(B)에서의 전압(V_B)은 $V_{dd} - V_{data} - V_{th}$ 가 된다. 디스플레이 장치를 통해 흐르는 전기 전류는 $(V_{sg} - V_{th})^2$ 에 비례하므로,

V_{data}^2 에 비례한다. 그러므로, 디스플레이 장치를 통해 흐르는 전류는 구동 트랜지스터(221)의 구동 전원 전위 V_{dd} 뿐만 아니라, 구동 트랜지스터(221)의 임계 전압(V_{th})에 무관하다. 화소 구동 회로가 화소의 방출들을 제어하므로, 상술한 동작은 반복된다.

도 4는 종래 기술 및 본 발명의 실시예에 따른 화소 구동 회로(200)를 위한 V_{th} 변화에 대해 전류 전화의 퍼센티지를 도시한다. 임계 전압 $V_{th}=1.4V$ 가 표준으로서 주어진다. 종래 기술에서, 임계 전압(V_{th})이 1.4V에서 벗어날 때, 전류 변화가 현저해진다. 본 발명의 실시예에 따른 화소 구동 회로(200)에 의한 전류 변화는 종래 기술에 비해 무시할 수 있다.

도 7은, 도 1의 제 1 스캔 라인(Scan) 및 제 2 스캔 라인(ScanX)이 함께 묶여지고 동일한 신호(Scan)에 의해 제어된다는 것을 제외하고는, 도 2에 도시된 화소 구동 회로와 유사한 구조를 개시하는 본 발명의 제 2 실시예를 도시한다. 도 8은 도 7에 도시된 화소 구동 회로(700)를 위한 스캔 라인들의 신호(Scan)와 가변 기준 신호(V_D)의 타이밍도를 도시한다.

도 11은 이하에 언급된 것을 제외하고는 도 2에 도시된 화소 구동 회로와 유사한 구조를 개시하는 본 발명의 제 3 실시예를 도시한다. 도 12는 도 11에 도시된 화소 구동 회로를 위한 스캔 신호들(Scan, ScanX)과 기준 신호(V_D)의 타이밍도를 도시하는 타이밍도이다. 도 2와 도 11의 차이는 제 2 스캔 라인(ScanX)에 의해 제어되는 트랜지스터들이 정반대 타입이라는 것이다. 그러므로, 도 12에 도시된 제 2 스캔 라인(ScanX)의 신호 또한 도 11의 화소 구동 회로를 작동시키도록 반전된다. 본 실시예에서, 도 12에 도시된 바와 같이, 3개의 모드들이 제공된다. 그 동작은 제 1 실시예에 대한 설명과 유사하므로, 추가적으로 설명할 필요가 없음을 숙련자는 이해할 것이다.

여기서, 본 발명은 또한 기준 신호 발생기의 실시예들을 제공한다. 기준 신호 발생기의 일 실시예는 도 9에 도시된 바와 같이 2개의 NAND 게이트들(930,950) 및 두 개의 AND 게이트들(910,970)을 포함한다. 신호들(VSR1 및 VRS2)은 제 1 AND 게이트(910)의 두 개의 입력들(911,913)에 전송되며, 여기서 VRS1 및 VRS2는 게이트 구동기 회로에서 수직 이동 레지스터들에 의해 발생된 신호들을 나타낸다. 제 1 AND 게이트(910)의 출력 신호 및 제 1 인에이블 신호(ENBV1)는 각각 제 1 NAND 게이트(930)의 제 1 및 제 2 입력(931,933)에 전송되어, 제 1 스캔 신호(ScanX)를 발생시킨다. 제 1 AND 게이트(910)의 출력 신호 및 인에이블 신호들(ENBV1,ENBV2)은 제 2 NAND 게이트(950)의 입력들(951,953)에 전송된다. 결국, 제 2 NAND 게이트(950)는 제 2 스캔 신호(Scan)를 발생시킨다. 제 1 AND 게이트(910)의 출력 신호 및 제 2 인에이블 신호(ENBV2)는 각각 제 1 AND 게이트(970)의 제 1 및 제 2 입력(971,973)에 전송되어 기준 신호(V_D)를 제공한다.

도 10은 기준 신호 발생기의 또 다른 실시예를 도시한다. 기준 신호 발생기의 본 실시예는 두 개의 NAND 게이트들(110,120) 및 하나의 AND 게이트(130)를 포함한다. 신호들(VSR1,VSR2,ENBV1)은 제 1 NAND 게이트(110)의 입력들(111,113,115)에 전송되어, 제 1 스캔 신호(ScanX)를 제공한다. 신호들(VSR1,VSR2,ENBV1,ENBV2)은 제 2 NAND 게이트(120)의 입력들(121,123,125,127)에 전송된다. 결국, 제 2 NAND 게이트(120)는 제 2 스캔 신호(Scan)를 발생시킨다. 신호들(VSR1,VSR2,ENBV2)은 AND 게이트(130)의 입력들(131,133,135)에 전송되어, 신호(V_D)를 발생시킨다.

또한, 본 발명의 실시예는 또한 패널 디스플레이를 제공한다. 도 6에 도시된 바와 같이, 패널 디스플레이(600)는 화소 어레이(610) 및 제어기(640)를 포함한다. 화소 어레이(610)는 도 2에 도시된 복수의 화소 구동 회로들을 포함한다. 제어기는 화소 어레이에 동적으로 결합되어, 저장 커패시터, 전송 회로, 구동 소자, 및 스위칭 회로의 동작들을 제어한다. 또한, 본 발명의 실시예들은 도 13에 도시된 바와 같이, 도 6에 개시된 패널 디스플레이를 포함하는 전자 장치를 제공한다.

도 5는 본 발명에 따른 디스플레이 장치를 구동시키기 위한 방법의 실시예를 도시한다. 구동 방법은 방전 모드 동안 저장 커패시터를 방전시키는 것으로 시작한다(단계 510). 방전 모드는 스캔 모드 전에 일어나며, 바람직하게는, 기준 신호의 제 1 스위칭으로 시작하여 스캔 모드의 시작 시에 종료된다. 그 후에, 데이터 신호, 구동 커패시터(221)의 임계 전압, 및 고정 전위는 스캔 모드 동안 저장 커패시터에 로딩된다(단계 520). 결국, 로딩된 데이터 신호, 제 1 트랜지스터의 로딩된 임계 전압, 및 로딩된 고정 전위는 제 1 트랜지스터에 결합되어, 디스플레이에 임계 또는 고정 전위에 무관한 구동 전류를 제공한다(단계 530). 특히, 디스플레이 장치는 일 실시예에 따른 전기발광 장치이다. 스캔 모드는 기준 신호의 제 2 스위칭이 일어나고 화소 구동 회로가 방출 모드에 들어갈 때 실질적으로 완료된다.

바람직하게는, 기준 신호의 제 2 스위칭은 개선된 디스플레이 품질이 얻어질 수 있도록 스캔 모드의 종료 전에 일어난다. 또한, 구동 트랜지스터의 게이트는 저장 커패시터에 접속되고, 구동 트랜지스터의 소스는 고정 전위에 접속된다. 특히, 고정 전위는 전원 전위이다.

본 발명의 실시예들은 임계 전압 보상을 갖는 화소 구동 회로를 제공한다. 임계 전압 또는 전원 전위 또는 둘 모두의 변화들 보상되고, 구동 회로는 $V_{th}(V_{dd})$ 에 무관하다. 그러므로, 각 화소의 밝기는 $V_{th}(V_{dd})$ 에 무관하다.

본 발명이 여러 가지 실시예들로 예로써 설명되었지만, 본 발명은 개시된 실시예들에 제한되지 않음을 이해할 것이다. 반대로, 본 발명은 (기술분야의 당업자에게 명백한 바와 같이) 다양한 변형예들을 포괄하도록 의도된다. 그러므로, 첨부된 청구의 범위는 이러한 변형예들 모두를 포함하도록 최광의로 해석되어야 한다.

발명의 효과

본 발명은 임계 전압 및 EL 전력 보상을 갖는 화소 구동 회로를 제공한다.

도면의 간단한 설명

도 1은 AMOLED 디스플레이 내의 각 화소를 위한 종래의 2TIC(2개의 트랜지스터 및 1개의 커패시터) 회로의 구조를 도시하는 회로도.

도 2는 본 발명의 일 실시예에 따른 화소 구동 회로의 구조를 도시하는 회로도.

도 3은 도 2에 도시된 화소 구동 회로에 대한 스캔 라인(Scan) 및 기준 신호(V_D)의 스캔 신호의 타이밍을 도시하는 타이밍도.

도 4는 종래 회로에서의 V_{th} 변화에 대한 전류 변화의 퍼센티지 및 본 발명의 일 실시예에 따른 화소 구동 회로에서의 V_{th} 변화에 대한 전류 변화의 퍼센티지를 도시하는 도면.

도 5는 본 발명의 실시예에 따른 디스플레이 장치를 구동시키기 위한 방법을 도시하는 흐름도.

도 6은 본 발명의 일 실시예에 따른 패널 디스플레이의 구조를 도시하는 블록도.

도 7은 본 발명의 또 다른 실시예에 따른 화소 구동 회로를 도시하는 회로도.

도 8은 도 7에 도시된 화소 구동 회로에 대한 스캔 신호들(Scan) 및 기준 신호(V_D)의 타이밍을 도시하는 타이밍도.

도 9는 본 발명의 일 실시예에 따른 기준 신호 발생기의 구조 및 각 논리(logic)에서의 그 동작을 도시하는 논리도.

도 10은 본 발명의 또 다른 실시예에 따른 기준 신호 발생기의 구조 및 각 논리에서의 그 동작을 도시하는 논리도.

도 11은 본 발명의 또 다른 실시예에 따른 화소 구동 회로를 도시하는 회로도.

도 12는 도 11에 도시된 화소 구동 회로에 대한 스캔 신호들(Scan) 및 기준 신호(V_D)의 타이밍을 도시하는 타이밍도.

도 13은 도 6에 개시된 패널 디스플레이를 포함하는 전자 장치의 개략도.

도면

도면1

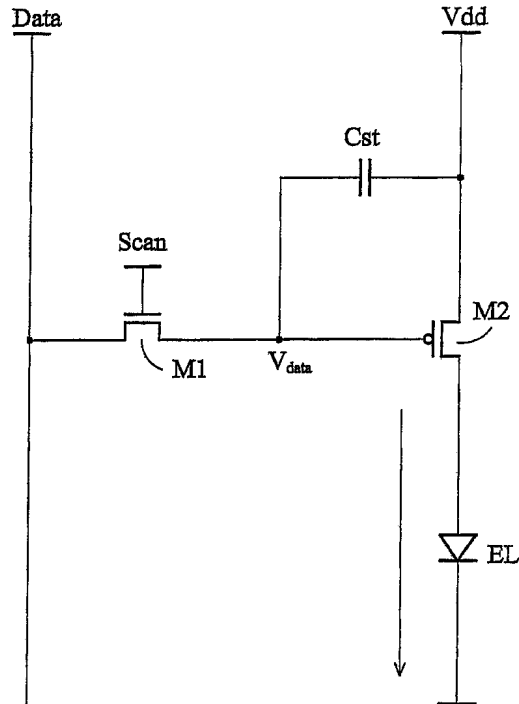


FIG. 1

도면2

200

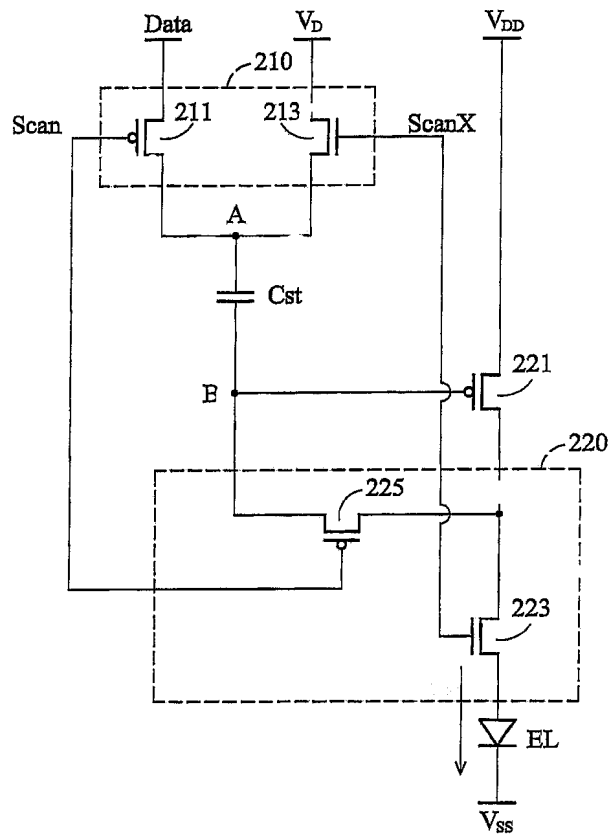


FIG. 2

도면3

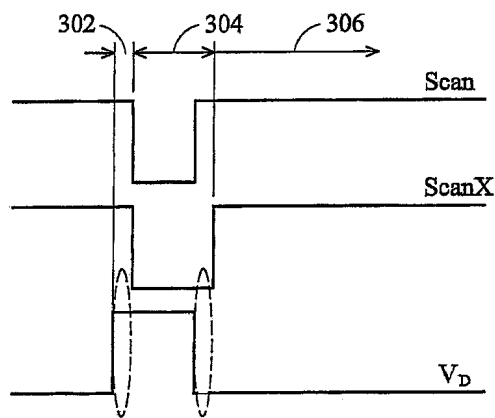


FIG. 3

도면4

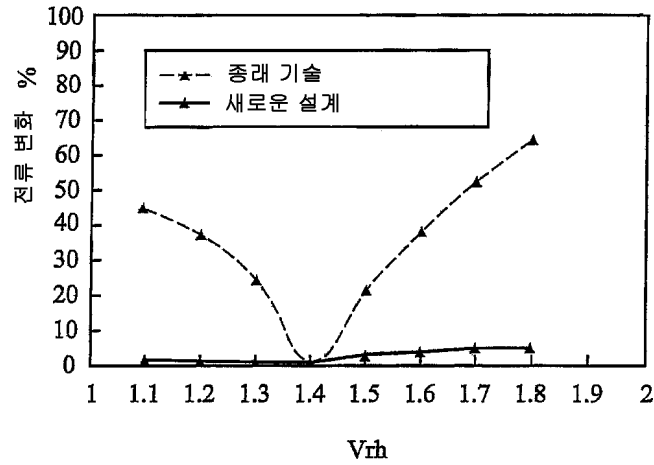


FIG. 4

도면5

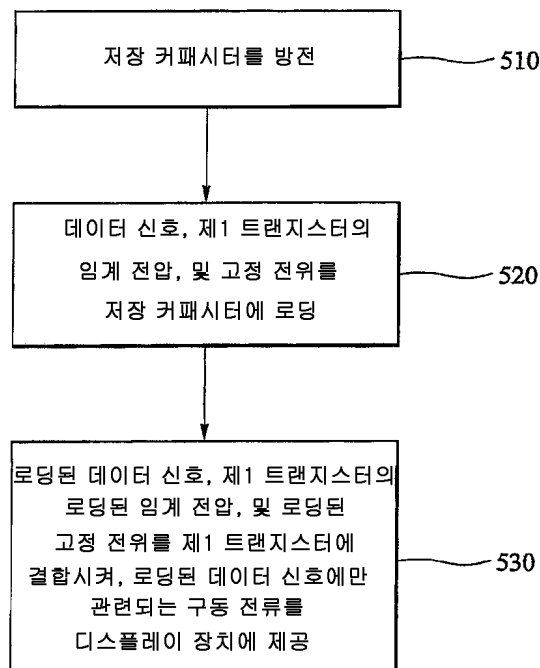


FIG. 5

도면6

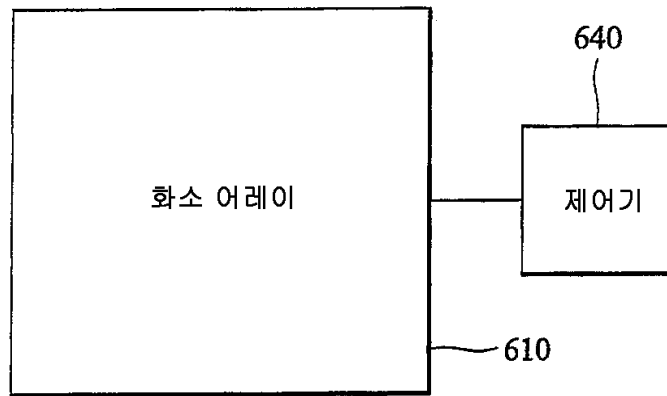


FIG. 6

도면7

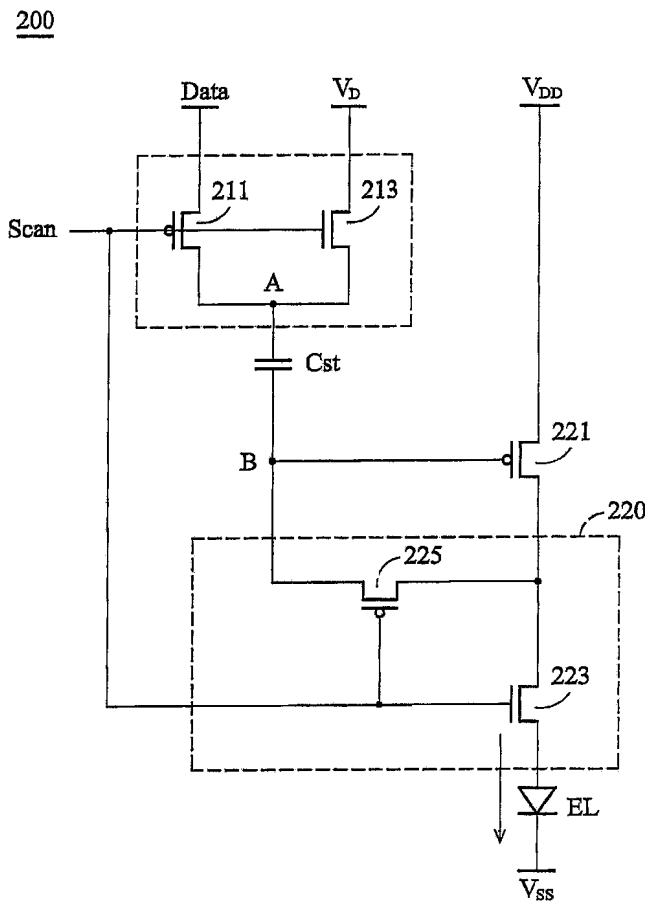


FIG. 7

도면8

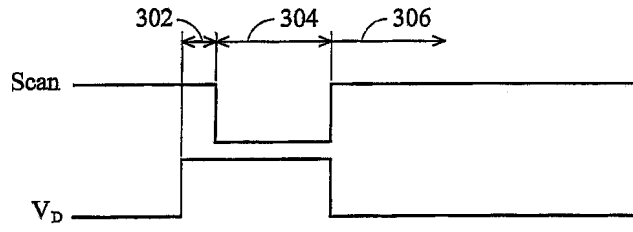


FIG. 8

도면9

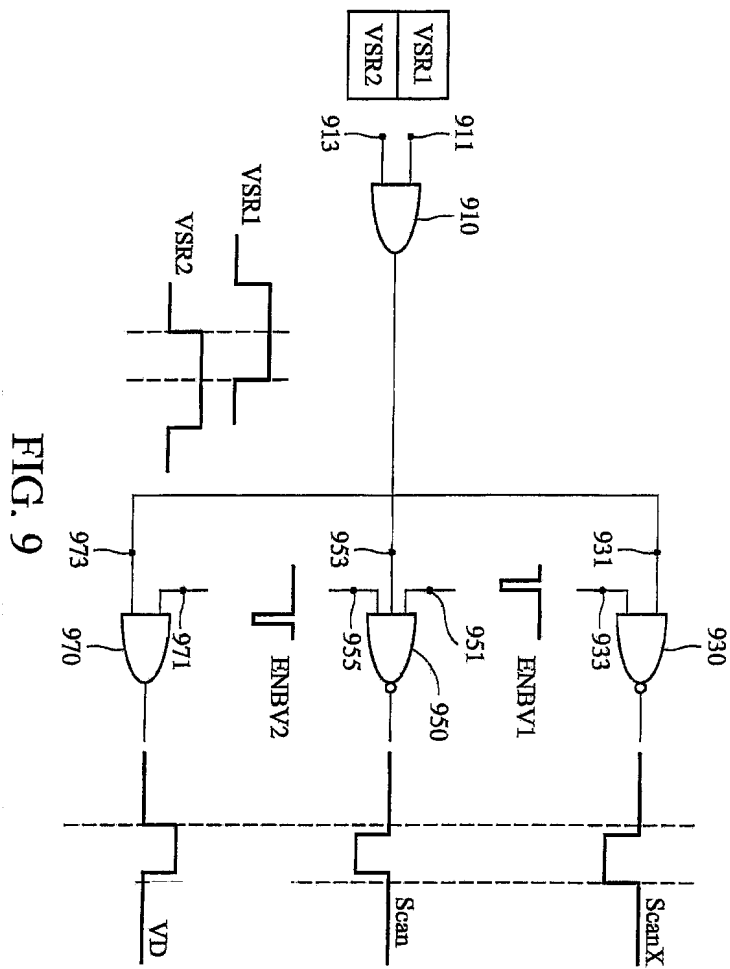


FIG. 9

도면10

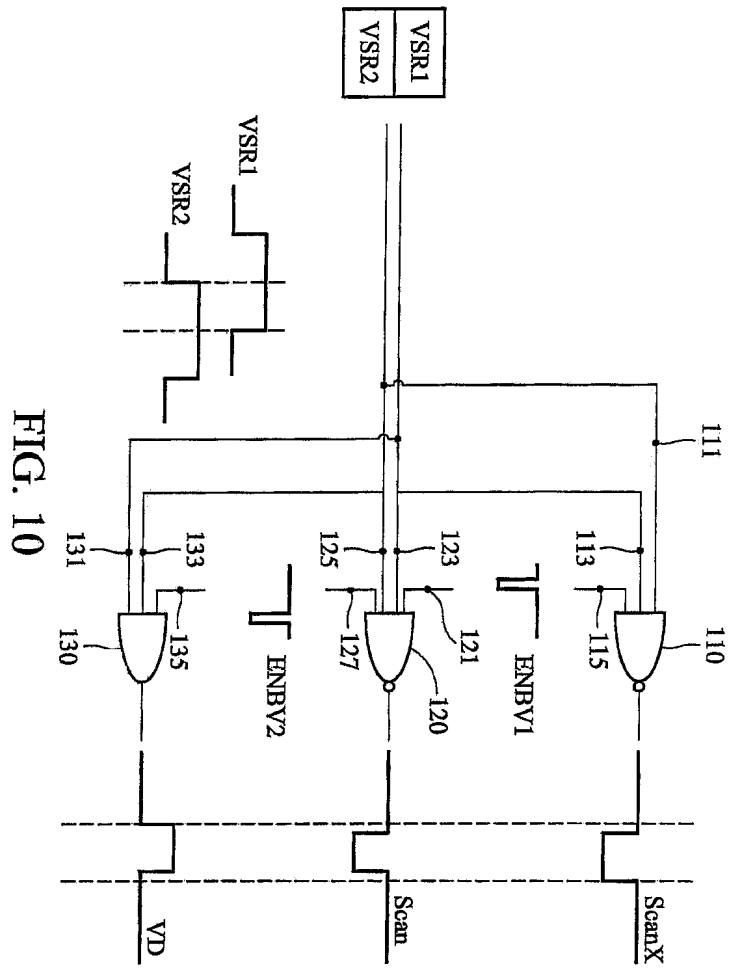


FIG. 10

도면11

200

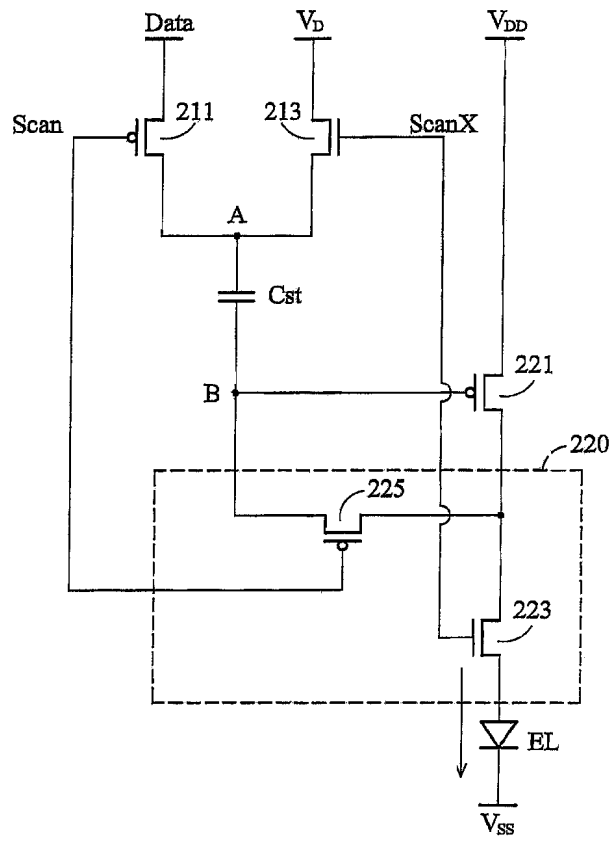


FIG. 11

도면12

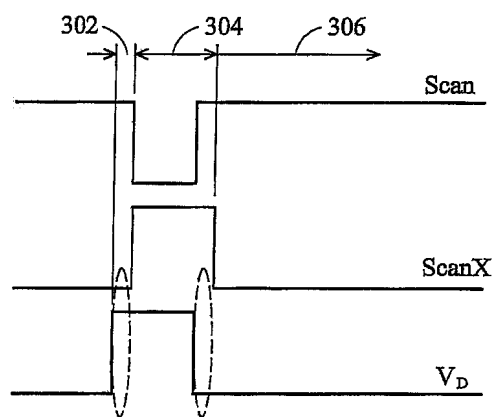


FIG. 12

도면13

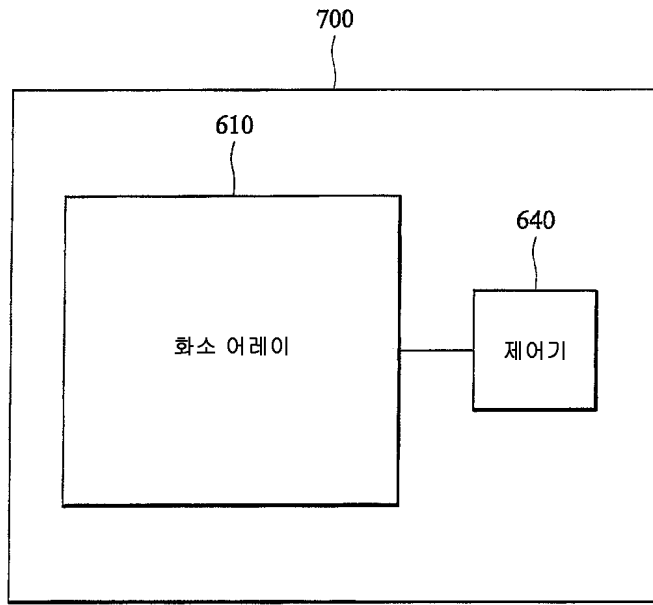


FIG. 13

专利名称(译)	一种具有阈值电压补偿的像素驱动电路		
公开(公告)号	KR100734808B1	公开(公告)日	2007-07-02
申请号	KR1020050069367	申请日	2005-07-29
[标]申请(专利权)人(译)	统宝光电股份有限公司 塔杆来吐电子学鼻子炮升级		
申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
当前申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
[标]发明人	PENG DU ZEN 펑두젠 HUANG SHIH FENG 후앙시펑		
发明人	펑, 두 젠 후앙, 시 펑		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/3266 G09G2330/028 G09G3/3233 G09G2300/0819 G09G2330/02		
代理人(译)	郑某, 洪SIK		
优先权	60/598168 2004-08-02 US 60/634401 2004-12-07 US 11/173820 2005-07-01 US		
其他公开文献	KR1020060048924A		
外部链接	Espacenet		

摘要(译)

具有阈值电压和EL功率补偿的像素驱动电路。像素电路包括存储电容器，传输电路，驱动元件和开关电路。传输电路将数据信号或可变参考信号传输到存储电容器的第一节点。驱动元件具有耦合到第一固定电位的第一端子和耦合到存储电容器的第二节点的第二端子。开关电路耦合到驱动元件的第三端子和存储电容器的第二节点。可以控制开关电路以使驱动元件在一个时间段内二极管连接并允许驱动电流在另一个时间段内输出到显示元件。

200

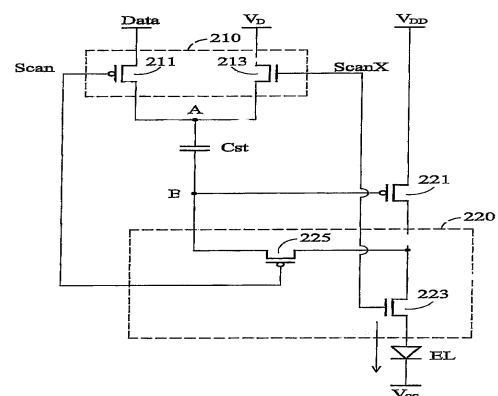


FIG. 2