(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

(45) 공고일자 2007년01월11일
(11) 등록번호 10-0667084
(24) 등록일자 2007년01월04일

(21) 출원번호 10-2005-0086679
(22) 출원일자 2005년09월16일
심사청구일자 2005년09월16일

(65) 공개번호
(43) 공개일자

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 최상무
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

박용성
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

심사관 : 최정윤

전체 청구항 수 : 총 10 항

(54) 유기전계발광장치의 데이터 구동 장치

(57) 요약

유기전계발광소자를 가지는 패널에 영상 데이터 신호를 공급하기 위한 데이터 구동 장치가 개시된다. 데이터 구동 장치에서 디지털 영상 데이터가 공급되는 신호 라인은 공유된다. 상위 비트 데이터는 제1 디지털/아날로그 변환기에 입력되고, 하위 비트 데이터는 제2 디지털/아날로그 변환기에 입력된다. 각각의 디지털/아날로그 변환기에 입력되는 상위 비트 데이터 및 하위 비트 데이터는 서로 상보적으로 해당하는 디지털/아날로그 변환기에 입력된다. 따라서, 신호 라인의 수를 절감하여 데이터 구동 장치가 차지하는 레이 아웃 상의 면적을 줄일 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

디지털 영상 데이터를 샘플링하고, 저장하기 위한 샘플링 래치부;

홀딩 인에이블 신호에 따라, 상기 샘플링 래치부에 저장된 상기 디지털 영상 데이터중 상위 비트 데이터를 홀딩하기 위한 상위비트 홀딩 래치부;

상기 상위비트 홀딩 래치부에 홀딩된 상기 상위 비트 데이터를 반전된 홀딩 인에이블 신호에 따라 선택적으로 스위칭하기 위한 제1 스위칭부;

상기 제1 스위칭부로부터 상기 상위 비트 데이터를 수신하고, 상기 상위 비트 데이터에 따른 기준 전압을 출력하기 위한 제1 디지털/아날로그 변환기;

상기 샘플링 래치부에 저장된 상기 디지털 영상 데이터중 하위 비트 데이터를 수신하기 위한 버퍼부;

상기 버퍼부로부터 상기 하위 비트 데이터를 상기 홀딩 인에이블 신호에 따라 선택적으로 스위칭하기 위한 제2 스위칭부;

상기 홀딩 인에이블 신호에 따라 제2 스위칭부로부터 상기 하위 비트 데이터를 홀딩하기 위한 하위비트 홀딩 래치부; 및

상기 하위비트 홀딩 래치부로부터 상기 하위 비트 데이터를 수신하고, 상기 제1 디지털/아날로그 변환기로부터 공급된 기준 전압을 근거로 아날로그 형태의 영상 데이터 신호를 출력하기 위한 제2 디지털/아날로그 변환기를 포함하는 유기전계발광장치의 데이터 구동 장치.

청구항 2.

제1항에 있어서, 상기 제1 스위칭부와 상기 제2 스위칭부는 상기 제1 디지털/아날로그 변환기와 상기 하위비트 홀딩 래치부 사이에 신호 전달 라인을 공유하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 3.

제2항에 있어서, 상기 제1 스위칭부와 상기 제2 스위칭부는 서로 상보적으로 동작하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 4.

제3항에 있어서, 상기 제1 스위칭부의 턴온시, 상기 상위비트 홀딩 래치부에 저장된 상위 비트 데이터는 상기 제1 디지털/아날로그 변환기에 입력되는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 5.

제4항에 있어서, 상기 제2 스위칭부의 턴온시, 상기 버퍼부의 하위 비트 데이터는 상기 하위비트 홀딩 래치부에 저장되고, 상기 제2 디지털/아날로그 변환기에 입력되는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 6.

제3항에 있어서, 상기 제1 디지털/아날로그 변환기는,

입력되는 상기 상위 비트 데이터에 따라 특정의 게이트를 선택하기 위한 제1 디코더; 및

상기 제1 디코더의 선택된 게이트에 따라, 입력되는 다수의 레벨들중 양의 기준 전압과 음의 기준 전압을 선택하기 위한 기준 전압 선택부를 포함하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 7.

제6항에 있어서, 상기 제2 디지털/아날로그 변환기는,

입력되는 상기 하위 비트 데이터에 따라 특정의 게이트를 선택하기 위한 제2 디코더; 및

상기 기준 전압 선택부로부터 인가되는 양의 기준 전압과 음의 기준 전압을 분압하고, 상기 제2 디코더에서 선택된 게이트에 따라 분압된 레벨을 선택하기 위한 레벨 선택부를 포함하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 8.

디지털 영상 데이터를 샘플링하고, 저장하기 위한 샘플링 래치부;

상기 샘플링 래치부에 연결된 상위비트 홀딩 래치부;

상기 샘플링 래치부에 연결된 버퍼부;

상기 상위비트 홀딩 래치부에 선택적으로 연결되는 제1 디지털/아날로그 변환기;

상기 버퍼부에 선택적으로 연결되는 하위비트 홀딩 래치부;

상기 하위비트 홀딩 래치부에 연결되는 제2 디지털/아날로그 변환기;

상기 상위비트 홀딩 래치부와 상기 제1 디지털/아날로그 변환기 사이에 배치되는 제1 스위칭부; 및

상기 버퍼부와 상기 하위비트 홀딩 래치부 사이에 배치되는 제2 스위칭부를 포함하고, 상기 상위비트 홀딩 래치부의 데이터와 상기 버퍼부의 데이터는 서로 라인을 공유하며, 서로 상보적으로 상기 제1 디지털/아날로그 변환기 또는 상기 하위비트 홀딩 래치부로 데이터를 전송하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 9.

제8항에 있어서, 상기 제1 스위칭부와 상기 제2 스위칭부는 서로 상보적으로 동작하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

청구항 10.

제9항에 있어서, 상기 제1 디지털/아날로그 변환기는 상기 상위비트 홀딩 래치부의 데이터를 수신하고, 상기 제2 디지털/아날로그 변환기는 상기 하위비트 홀딩 래치부의 데이터를 수신하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광장치에 데이터 신호를 공급하는 데이터 구동 장치에 관한 것으로, 더욱 상세하게는 디지털 신호 라인을 공유하는 데이터 구동 장치에 관한 것이다.

데이터 구동 장치는 입력되는 디지털 신호를 아날로그 신호로 변환하여 유기전계발광장치에 공급한다. 상기 유기전계발광장치는 데이터 구동 장치로부터 출력되는 아날로그 신호를 수신하여 소정의 휘도를 가지고 발광 동작을 수행한다. 즉, 데이터 구동 장치는 디지털 영상 데이터를 아날로그 형태의 영상 데이터 신호로 변환하여 해당하는 화소에 공급하는 역할을 수행한다.

도 1은 종래 기술에 따른 데이터 구동 장치를 도시한 블록도이다.

도 1을 참조하면, 데이터 구동 장치는 샘플링 래치부(10), 홀딩 래치부(20), 제1 디지털/아날로그 변환기(30) 및 제2 디지털/아날로그 변환기(40)를 가진다.

샘플링 래치부(10)는 다수개의 래치로 구성된다. 즉, 샘플링 래치부(10)에 구비되는 래치의 수는 디지털 영상 데이터의 비트수에 따라 결정된다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 샘플링 래치부(10)는 6개의 래치들을 가진다. 유기전계발광장치에 사용되는 통상적인 데이터 구동 장치의 샘플링 래치는 순차적으로 공급되는 디지털 영상 데이터를 시프트 레지스터(미도시)에서 순차적으로 공급되는 래치 클럭에 따라 샘플링하고 저장한다.

홀딩 래치부(20)는 홀딩 인에이블 신호 HEN에 따라 상기 샘플링 래치부(10)에 저장된 디지털 영상 데이터를 수신하여 저장한다. 또한, 홀딩 래치부(20)는 샘플링 래치부(10)에서 구비된 수와 동일한 수의 래치들을 가진다. 따라서, 홀딩 래치부(20)의 래치와 샘플링 래치부(10)의 래치는 1:1로 대응하는 구조를 가진다. 홀딩 인에이블 신호 HEN에 의해 홀딩 래치부(20)는 샘플링 래치부(10)로부터 동시에 디지털 영상 데이터를 수신하여 저장한다.

상기 홀딩 래치부(20)에 저장된 디지털 영상 데이터중 상위 비트의 데이터들은 제1 디지털/아날로그 변환기(30)로 입력되고, 하위 비트의 데이터들은 제2 디지털/아날로그 변환기(40)로 입력된다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 상위 3비트는 제1 디지털/아날로그 변환기(30)에 입력되고, 하위 3비트는 제2 디지털/아날로그 변환기(40)에 입력된다.

제1 디지털/아날로그 변환기(30)는 디지털 영상 데이터중 상위 3비트를 수신하고, 상위 3비트에 대한 디코딩 동작을 수행한다. 디코딩 동작을 통해 9개의 기준 전압들 중 2개 VRpos, VRneg를 선택하여 제2 디지털/아날로그 변환기(40)에 공급한다.

제2 디지털/아날로그 변환기(40)는 디지털 영상 데이터중 하위 3비트를 수신하고, 수신된 하위 3비트에 대한 디코딩 동작을 수행한다. 또한, 제1 디지털/아날로그 변환기(30)로부터 수신된 2개의 기준 전압들 VRpos, VRneg를 디코딩 동작에 의해 분할한다.

즉, 제1 디지털/아날로그 변환기(30)는 상위 3비트에 따라 8개의 기준 레벨 간격들중 어느 하나를 선택하고, 제2 디지털/아날로그 변환기(40)는 하위 3비트에 따라 선택된 기준 레벨을 분할하여 선택한다.

상기 도 1에서, 홀딩 래치부(20)로부터 제1 디지털/아날로그 변환기(30) 및 제2 디지털 아날로그 변환기(40)로 디지털 영상 데이터를 공급하기 위해서는 비트수만큼의 라인이 구비되어야 한다. 즉, 디지털 영상 데이터가 6비트를 가지는 경우, 라인들의 수는 6개가 된다. 예컨대, 레드, 그린, 블루 부화소로 구성된 화소에 소정의 컬러를 구현하기 위해서는 18개의 라인들이 구비되어야 한다. 통상적으로 데이터 구동 장치에서, 주사 신호가 인가되는 동안, 하나의 수평 라인에 데이터 신호가 인가되므로 홀딩 래치부들 및 각각의 홀딩 래치부에 연결된 디지털/아날로그 변화기 사이를 연결하는 라인들의 수는 증가하게 된다. 라인수의 증가는 제조 공정시 레이 아웃 면적의 증가를 유발하며, 라인 패턴이 복잡해지는 문제를 유발한다. 따라서, 라인수를 감소시킬 수 있는 새로운 데이터 구동 장치가 요구된다할 것이다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 라인을 공유하여 라인수를 감소시키는 데이터 구동 장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명은, 디지털 영상 데이터를 샘플링하고, 저장하기 위한 샘플링 래치부; 홀딩 인에이블 신호에 따라, 상기 샘플링 래치부에 저장된 상기 디지털 영상 데이터중 상위 비트 데이터를 홀딩하기 위한 상위비트 홀딩 래치부; 상기 상위비트 홀딩 래치부에 홀딩된 상기 상위 비트 데이터를 반전된 홀딩 인에이블 신호에 따라 선택적으로 스위칭하기 위한 제1 스위칭부; 상기 제1 스위칭부로부터 상기 상위 비트 데이터를 수신하고, 상기 상위 비트 데이터에 따른 기준 전압을 출력하기 위한 제1 디지털/아날로그 변환기; 상기 샘플링 래치부에 저장된 상기 디지털 영상 데이터중 하위 비트 데이터를 수신하기 위한 버퍼부; 상기 버퍼부로부터 상기 하위 비트 데이터를 상기 홀딩 인에이블 신호에 따라 선택적으로 스위칭하기 위한 제2 스위칭부; 상기 홀딩 인에이블 신호에 따라 제2 스위칭부로부터 상기 하위 비트 데이터를 홀딩하기 위한 하위비트 홀딩 래치부; 및 상기 하위비트 홀딩 래치부로부터 상기 하위 비트 데이터를 수신하고, 상기 제1 디지털/아날로그 변환기로부터 공급된 기준 전압을 근거로 아날로그 형태의 데이터 신호를 출력하기 위한 제2 디지털/아날로그 변환기를 포함하는 데이터 구동 장치를 제공한다.

또한, 본 발명의 상기 목적은, 디지털 영상 데이터를 샘플링하고, 저장하기 위한 샘플링 래치부; 상기 샘플링 래치부에 연결된 상위비트 홀딩 래치부; 상기 샘플링 래치부에 연결된 버퍼부; 상기 상위비트 홀딩 래치부에 선택적으로 연결되는 제1 디지털/아날로그 변환기; 상기 버퍼부에 선택적으로 연결되는 하위비트 홀딩 래치부; 상기 하위비트 홀딩 래치부에 연결되는 제2 디지털/아날로그 변환기; 상기 상위비트 홀딩 래치부와 상기 제1 디지털/아날로그 변환기 사이에 배치되는 제1 스위칭부; 및 상기 버퍼부와 상기 하위비트 홀딩 래치부 사이에 배치되는 제2 스위칭부를 포함하고, 상기 상위비트 홀딩 래치부의 데이터와 상기 버퍼부의 데이터는 서로 라인을 공유하며, 서로 상보적으로 상기 제1 디지털/아날로그 변환기 또는 상기 하위비트 홀딩 래치부로 데이터를 전송하는 것을 특징으로 하는 유기전계발광장치의 데이터 구동 장치의 제공을 통해서도 달성될 수 있다.

본 발명에 따를 경우 홀딩된 디지털 영상 신호를 전송하는 라인들의 수를 절반으로 감소할 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

실시예

도 2는 본 발명의 바람직한 실시예에 따른 데이터 구동 장치를 도시한 블록도이다.

도 2를 참조하면, 본 실시예에 따른 데이터 구동 장치는 샘플링 래치부(100), 상위비트 홀딩 래치부(110), 제1 스위칭부(120), 제1 디지털/아날로그 변환기(130), 버퍼부(140), 제2 스위칭부(150), 하위비트 홀딩 래치부(160) 및 제2 디지털/아날로그 변환기(170)를 가진다.

샘플링 래치부(100)는 다수개의 래치로 구성된다. 즉, 샘플링 래치부(100)에 구비되는 래치의 수는 샘플링되는 디지털 영상 데이터의 비트수에 따라 결정된다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 샘플링 래치부(100)는 6개의 래치들을 가진다. 디지털 영상 데이터는 샘플링 래치에 의해 샘플링되어 저장된다.

상위비트 홀딩 래치부(110)는 홀딩 인에이블 신호 HEN에 따라 상기 샘플링 래치부(100)에 저장된 디지털 영상 데이터중 상위 비트 데이터를 수신하여 저장한다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 상위 3비트의 데이터가 홀딩 인에이블 신호 HEN에 따라 상위비트 홀딩 래치부(110)에 입력되어 홀딩된다.

버퍼부(140)는 상기 샘플링 래치부(100)에 저장된 디지털 영상 데이터중 하위 비트 데이터를 수신한다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 하위 3비트의 데이터가 버퍼부(140)에 입력되고, 버퍼링된다.

제1 스위칭부(120)는 반전된 홀딩 인에이블 신호 /HEN에 따라 온/오프 동작을 수행한다. 따라서, 반전된 홀딩 인에이블 신호 /HEN이 활성화되면, 상기 제1 스위칭부(120)는 턴온되고 상위비트 홀딩 래치부(110)에 저장된 상위 비트 데이터를 제1 디지털/아날로그 변환기(130)에 입력한다.

제2 스위칭부(150)는 홀딩 인에이블 신호 HEN에 따라 온/오프 동작을 수행한다. 따라서, 홀딩 인에이블 신호 HEN이 활성화되면, 상기 제2 스위칭부(150)는 턴온되고, 버퍼부(140)의 하위 비트 데이터를 하위비트 홀딩 래치부(160)에 공급한다.

하위비트 홀딩 래치부(160)는 홀딩 인에이블 신호에 따라 제2 스위칭부(150)로부터 하위 비트 데이터를 수신하고 저장한다. 상기 하위비트 홀딩 래치부(160)에 홀딩된 하위 비트 데이터는 제2 디지털/아날로그 변환기(170)에 입력된다.

예컨대, 홀딩 인에이블 신호 HEN이 활성화되면, 샘플링 래치부(100)의 디지털 영상 데이터중 상위 비트 데이터는 상위비트 홀딩 래치부(110)에 입력되고, 홀딩된다. 홀딩 인에이블 신호 HEN이 활성화되는 동안, 반전된 홀딩 인에이블 신호 /HEN은 비활성화 상태이므로 제1 스위칭부(120)의 스위치들은 오프 상태에 있다. 따라서, 홀딩 인에이블 신호 HEN이 활성화된 동안, 상위비트 홀딩 래치부(110)는 상위 비트 데이터를 수신하여 홀딩하며, 홀딩된 데이터는 제1 디지털/아날로그 변환기(130)로 입력되지 않는다.

또한, 홀딩 인에이블 신호 HEN이 활성화되는 동안, 제2 스위칭부(150)의 스위치들은 턴온된다. 따라서, 버퍼부(140)로부터 하위 비트 데이터는 하위비트 홀딩 래치부(160)에 인가된다. 또한, 하위비트 홀딩 래치부(160)는 홀딩 인에이블 신호 HEN에 따라 하위 비트 데이터를 수신하므로, 하위 비트 데이터는 제2 스위칭부(150)를 통해 하위비트 홀딩 래치부(160)로 인가된다. 하위비트 홀딩 래치부(160)에 인가되고 홀딩된 하위 비트 데이터는 제2 디지털/아날로그 변환기(170)에 입력된다.

홀딩 인에이블 신호 HEN이 비활성화되면, 반전된 홀딩 인에이블 신호 /HEN은 활성화된다. 따라서, 비활성화된 홀딩 인에이블 신호 HEN에 의해 상위비트 홀딩 래치부(110)는 상위 비트 데이터의 수신을 중단하고, 홀딩 인에이블 신호 HEN이 활성화된 기간동안 수신된 상위 비트 데이터를 홀딩한다. 또한, 활성화된 반전된 홀딩 인에이블 신호 /HEN에 의해 제1 스위칭부(120)는 턴온된다. 제1 스위칭부(120)의 턴온 동작에 따라 상위비트 홀딩 래치부(110)는 홀딩된 상위 비트 데이터를 제1 디지털/아날로그 변환기(130)에 입력한다.

제1 디지털/아날로그 변환기(130)에 입력된 상위 비트 데이터는 디코딩되고, 기준 전압들 Vref1, Vref2를 선택하는데 이용된다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 상위 3비트 데이터는 제1 디지털/아날로그 변환기(130)에 입력된다. 상위 3비트 데이터가 가지는 2진 데이터 값에 따라 2^3개의 게이트 중 특정한 게이트가 선택되고, 선택된 게이트에 의해 2개의 기준 전압들 Vref1, Vref2가 선택된다. 선택된 2개의 기준 전압들은 제2 디지털/아날로그 변환기(170)로 전달된다.

제2 디지털/아날로그 변환기(170)는 수신된 하위 비트 데이터를 근거로 상기 제1 디지털/아날로그 변환기(130)로부터 인가되는 2개의 기준 전압들 Vref1, Vref2를 분할하고, 분할된 레벨값을 출력한다. 예컨대, 디지털 영상 데이터가 6비트인 경우, 하위 3비트 데이터는 제2 디지털/아날로그 변환기(170)에 입력되고, 상기 하위 3비트 데이터가 가지는 2진 정보에 따라 2개의 기준 전압들 Vref1, Vref2 사이의 해당하는 레벨이 선택된다.

도 3은 본 발명의 바람직한 실시예에 따라 제1 디지털/아날로그 변환기 및 제2 디지털/아날로그 변환기를 도시한 회로도이다. 다만, 본 발명에서 디지털/아날로그 변환기는 다양한 형태로 변형될 수 있고, 상기 도 3에 도시된 회로 이외에 다른 구성으로 이루어질 수도 있다.

도 3을 참조하면, 제1 디지털/아날로그 변환기(200)는 제1 디코더(210) 및 기준 전압 선택부(230)로 구성되고, 제2 디지털/아날로그 변환기(300)는 제2 디코더(310) 및 레벨 선택부(330)로 구성된다.

제1 디코더(210)는 병렬로 배치된 다수개의 논리 게이트들로 이루어진다. 예컨대, 제1 디지털/아날로그 변환기(200)에 입력되는 상위 비트 데이터가 3비트인 경우, 구비되는 논리 게이트들의 수는 2^3 개가 된다. 따라서, 상위 3비트 데이터를 수신하는 제1 디지털/아날로그 변환기(200)는 8개의 논리 게이트들 중 2진 정보에 따라 특정한 하나의 논리 게이트를 선택한다. 상기 논리 게이트들이 낸드(NAND) 게이트로 구성되고, 상위 3비트 데이터 D0D1D2가 '111'의 이진 정보를 가지면, 8개의 낸드 게이트들 중 최좌측에 배치된 낸드 게이트만 논리 0, 즉 로우 레벨을 출력한다.

기준 전압 선택부(230)는 제1 디코더(210)에 의해 선택된 낸드 게이트의 출력을 수신하고, 기준 전압들을 선택한다. 선택된 기준 전압들은 제2 디지털/아날로그 변환기(300)에 전달된다. 상위 비트 데이터가 3비트인 경우, 상기 기준 전압 선택부(230)에 입력되는 레벨은 2^3+1 개가 된다. 또한, 상기 기준 전압 선택부(230)는 8쌍의 스위치를 구비한다. 즉, 하나의 쌍을 이루는 스위치들은 제1 디코더(210)에서 선택된 낸드 게이트의 출력을 수신하고, 온/오프 동작을 수행한다. 예컨대, 상위 3비트 데이터 D0D1D2가 '111'의 2진 정보를 가지는 경우, 스위치 쌍들중 최좌측의 스위치 쌍이 턴온된다. 따라서, 입력되는 기준 전압들 중 V8 및 V7의 레벨이 기준 전압으로 선택되고, 제2 디지털/아날로그 변환기(300)에 입력된다. 선택된 기준 전압들은 제2 디지털/아날로그 변환기(300)에서 양의 기준 전압 Vref1 및 음의 기준 전압 Vref2로 사용된다. 바람직하게는 기준 전압 선택부(230)에서 사용되는 스위치는 PMOS 트랜지스터를 사용한다. 또한, 실시의 형태에 따라 상기 스위치는 NMOS 또는 CMOS를 사용할 수도 있다.

제2 디지털/아날로그 변환기(300)는 제2 디코더(310) 및 레벨 선택부(330)를 가진다.

상기 제2 디코더(310)는 다수의 논리 게이트들로 구성된다. 바람직하게는 상기 논리 게이트는 낸드 게이트로 구성된다. 또한, 논리 게이트들의 수는 입력되는 하위 비트 데이터에 따라 결정된다. 예컨대, 입력되는 하위 비트 데이터가 3비트인 경우, 제2 디코더(310)에 구비되는 논리 게이트의 수는 2^3개가 된다. 입력되는 하위 비트 데이터 D3D4D5가 '111'인 경우, 최좌측의 낸드 게이트가 선택된다. 즉, 최좌측의 낸드 게이트만이 로우 레벨을 출력하고, 나머지 낸드 게이트들은 하이 레벨을 출력한다.

레벨 선택부(330)는 기준 전압 선택부(230)에서 선택된 2개의 기준 전압들 Vref1, Vref2를 수신한다. 상기 레벨 선택부(330)는 서로 직렬로 연결된 다수개의 저항들 및 인접하는 저항들 사이의 노드에 연결된 다수의 스위칭 소자들로 구성된다. 스위칭 소자들은 PMOS, NMOS 또는 CMOS로 구성된다. 바람직하게는, 레벨 선택부(330)의 스위칭 소자들은 상기 기준 전압 선택부(230)에 구비된 스위치들과 동일한 전도 타입을 가지도록 구비된다. 또한, 레벨 선택부(330)의 노드 N1에는 상기 제1 디지털/아날로그 변환기(200)의 기준 전압 선택부(230)에서 선택된 양의 기준 전압 Vref1이 인가되고, 노드 N2에는 상기 제1 디지털/아날로그 변환기(300)의 기준 전압 선택부(230)에서 선택된 음의 기준 전압 Vref2가 인가된다. 예컨대, 상위 비트 데이터가 '111'인 경우, 노드 N1에는 레벨 V8이 양의 기준 전압 Vref1로 인가되고, 노드 N2에는 레벨 V7이 음의 기준 전압 Vref2로 인가된다. 직렬로 연결된 다수의 저항들은 전압 분배의 원칙에 따라 2개의 기준 전압들 Vref1, Vref2의 차이를 다수개로 분할한다. 즉, 하위 비트 데이터가 3비트인 경우, 직렬로 연결된 다수의 저항은 2개의 기준 전압을 8등분한다. 또한, 각각의 저항치 R은 저항마다 동일함이 바람직하다.

예컨대, 하위 비트 데이터 D3D4D5가 '100'인 경우, 제2 디코터(310)에서 좌측으로부터 4번째의 낸드 게이트가 선택되고, 상기 낸드 게이트만이 로우 레벨을 출력한다. 따라서, 좌측으로부터 4번째의 낸드 게이트에 연결된 트랜지스터만이 턴온된다. 따라서, 턴온된 트랜지스터를 통해 노드 N3의 전압이 출력된다. 이 경우, 상위 비트 데이터 D0D1D2가 '111'인 경우, 노드 N3의 전압은 V7+(5/8)*(V8-V7)의 레벨을 가진다. 즉, 제2 디지털/아날로그 변환기로부터 출력되는 영상 데이터 신호는 노드 N3에 발생된 레벨을 가지게 된다.

상술한 바와 같이, 본 발명에 따를 경우, 홀딩 래치부로부터 디지털/아날로그 변환기로 연결되는 라인의 수를 절반으로 감소시킬 수 있음을 알 수 있다. 즉, 상위 비트 라인과 하위 비트 라인을 별도로 구비하지 않고, 이를 공유하게 하여 신호를 전달하는 라인의 수를 감소시킬 수 있다. 따라서, 데이터 구동 장치에서 신호 전달 라인이 차지하는 레이아웃의 면적을 감소시킬 수 있다.

발명의 효과

상기와 같은 본 발명에 따르면, 홀딩 래치부로부터 제1 디지털/아날로그 변환기 또는 제2 디지털/아날로그 변환기에 연결되는 신호 라인은 상위 비트와 하위 비트에 관계없이 공유된다. 따라서, 신호 라인의 수는 종래에 비해 절반으로 감소될 수 있으며, 신호 라인수의 감소에 따라 유기전계발광장치의 화소에 영상 데이터 신호를 인가하는 데이터 구동 장치의 레이 아웃의 면적은 감소될 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래 기술에 따른 데이터 구동 장치를 도시한 블록도이다.

도 2는 본 발명의 바람직한 실시예에 따른 데이터 구동 장치를 도시한 블록도이다.

도 3은 본 발명의 바람직한 실시예에 따라 제1 디지털/아날로그 변환기 및 제2 디지털/아날로그 변환기를 도시한 회로도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 샘플링 래치부 110 : 상위비트 홀딩 래치부

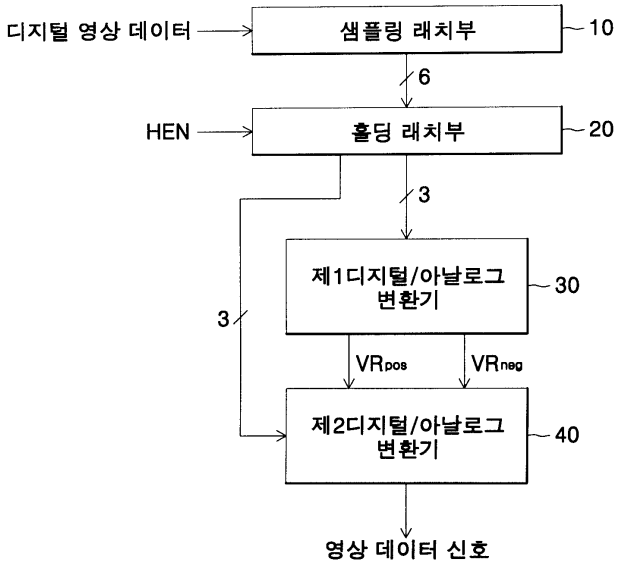
120 : 제1 스위칭부 130 : 제1 디지털/아날로그 변환기

140 : 버퍼부 150 : 제2 스위칭부

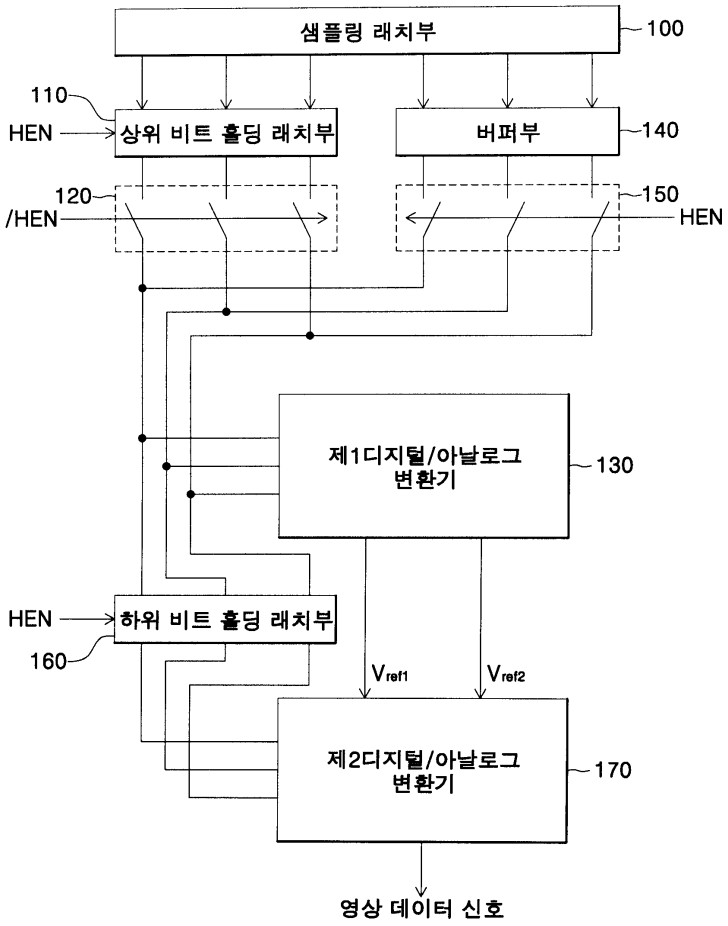
160 : 하위비트 홀딩 래치부 170 : 제2 디지털/아날로그 변환기

도면

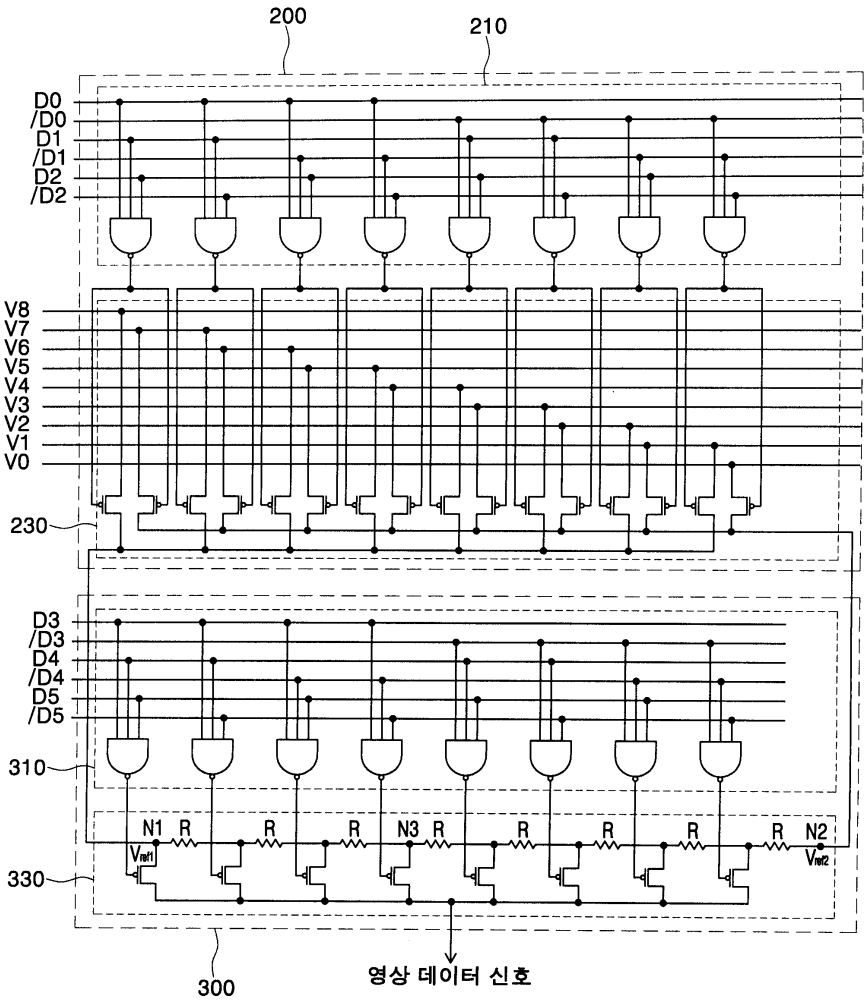
도면1



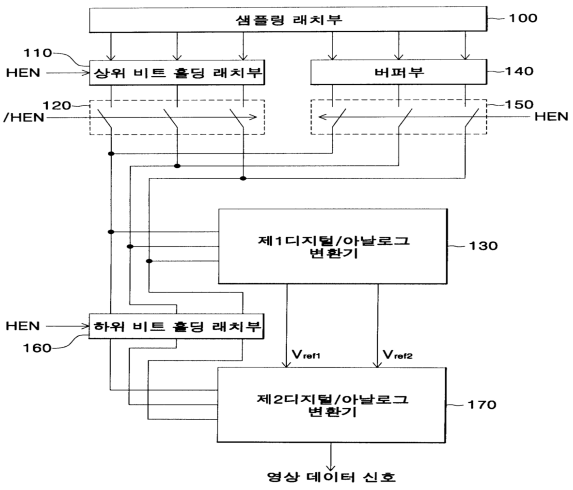
도면2


샘플링 래치부
100
110
HEN
상위 비트 홀딩 래치부
버퍼부
140
120
/HEN
150
HEN
제1디지털/아날로그
변환기
130
HEN
하위 비트 홀딩 래치부
160
Vref1
Vref2
제2디지털/아날로그
변환기
170
영상 데이터 신호

도면3


200
210
D0
/D0
D1
/D1
D2
/D2
V8
V7
V6
V5
V4
V3
V2
V1
V0
230
D3
/D3
D4
/D4
D5
/D5
310
N1
R
N3
N2
330
300
영상 데이터 신호

专利名称(译)	有机电致发光器件的数据驱动装置		
公开(公告)号	KR100667084B1	公开(公告)日	2007-01-11
申请号	KR1020050086679	申请日	2005-09-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI SANG MOO 최상무 PARK YONG SUNG 박용성		
发明人	최상무 박용성		
IPC分类号	G09G3/30 G09G3/20 G09G3/3291		
CPC分类号	G09G3/3291 G09G2300/0828 G09G2300/0426 G09G2310/0294		
代理人(译)	Baksangsu		
外部链接	Espacenet		

摘要(译)

提供一种有机EL（电致发光）显示装置的数据驱动装置，通过将信号线的数量减少一半来减小数据驱动装置的布局面积。采样锁存单元（100）采样并存储数字图像数据。高位保持锁存单元（110）根据保持使能信号保持来自采样锁存单元的数字图像数据的高位数据。第一开关（120）根据反相的保持使能信号选择性地切换高位保持单元的高位数据。第一DAC（数模转换器）（130）接收第一开关的高位数据，并输出对应于高位数据的参考电压。缓冲器单元（140）接收数字图像数据的低位数据。第二开关（150）根据保持使能信号选择性地切换缓冲器单元的低位数据。低位保持锁存单元（160）根据保持使能信号保持来自第二开关的低位数据。第二DAC（170）从低位保持锁存单元接收低位数据，并基于从第一DAC接收的参考电压输出模拟图像数据信号。