



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0133725
(43) 공개일자 2010년12월22일

(51) Int. Cl.

H05B 33/26 (2006.01) *H05B 33/10* (2006.01)

(21) 출원번호 10-2009-0052421

(22) 출원일자 2009년06월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김경만

경기 파주시 금촌동 쇠재마을아파트 503동 801호

김호진

경기 파주시 월롱면 덕은리 1007 정다운마을
103/1412

허준영

서울 마포구 서교동 401-19번지 402호

(74) 대리인

특허법인으로알

전체 청구항 수 : 총 13 항

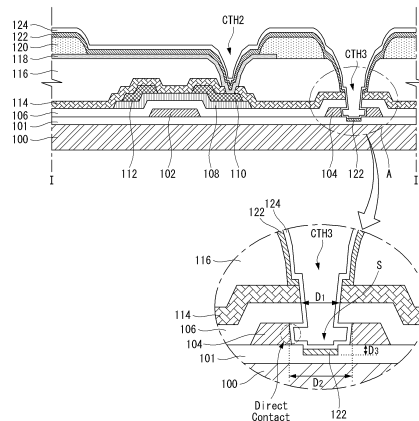
(54) 유기발광다이오드 표시장치와 그의 제조방법

(57) 요약

본 발명은 투명 전극의 저항을 줄여 표시패널 내 휘도 불균일 현상을 방지할 수 있는 유기발광다이오드 표시장치와 그의 제조방법에 관한 것이다.

이 유기발광다이오드 표시장치는 유기발광다이오드 표시장치는 다수의 픽셀 행들과 픽셀 열들을 포함하며, 매 픽셀마다 유기발광다이오드가 형성되는 픽셀 어레이; 상기 픽셀 행들 또는 픽셀 열들을 각각 가로지르는 다수의 보조 배선; 상기 보조 배선의 아래에서 상기 보조 배선과 접하며, 상기 보조 배선에 대응되는 부분에 홈이 형성된 제1 절연층; 및 상기 보조 배선들에 공통으로 구동 전압을 공급하는 공통 배선을 구비하고; 표시광을 투과시키는 상기 유기발광다이오드의 투명 전극은, 상기 홈에 대응되며 적어도 하나 이상의 제2 절연층을 관통하는 콘택홀을 통해 상기 보조 배선에 직접 접촉되고; 상기 유기발광다이오드의 유기화합물층은 상기 홈에 위치한다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 픽셀 행들과 픽셀 열들을 포함하며, 매 픽셀마다 유기발광다이오드가 형성되는 픽셀 어레이;

상기 픽셀 행들 또는 픽셀 열들을 각각 가로지르는 다수의 보조 배선;

상기 보조 배선의 아래에서 상기 보조 배선과 접하며, 상기 보조 배선에 대응되는 부분에 홈이 형성된 제1 절연층; 및

상기 보조 배선들에 공통으로 구동 전압을 공급하는 공통 배선을 구비하고;

표시광을 투과시키는 상기 유기발광다이오드의 투명 전극은, 상기 홈에 대응되며 적어도 하나 이상의 제2 절연층을 관통하는 콘택홀을 통해 상기 보조 배선에 직접 접촉되고;

상기 유기발광다이오드의 유기화합물층은 상기 홈에 위치하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 투명 전극은 식각 공정에 의해 형성되는 상기 보조 배선의 서로 마주보는 양 측면에 접촉되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 보조 배선의 양 측면 간 폭은 상기 콘택홀의 직경보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 보조 배선은 단일 금속층 또는 다중 금속층을 포함하여 이루어지는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,

상기 다중 금속층 중 최상부 금속층의 식각비는 그 하부 금속층의 식각비보다 작은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 1 항에 있어서,

상기 홈의 깊이는 상기 제1 절연층의 전체 두께를 초과하지 않는 범위내에서 500Å 이상인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

다수의 픽셀 행들과 픽셀 열들을 포함하며, 매 픽셀마다 유기발광다이오드가 형성되는 픽셀 어레이를 갖는 유기발광다이오드 표시장치를 제조하는 방법에 있어서,

제1 절연층을 형성하는 단계;

상기 픽셀 행들 또는 픽셀 열들을 각각 가로지르며, 공통 배선을 통해 공통으로 구동 전압을 공급받는 다수의 보조 배선들을 상기 제1 절연층 상에 형성하는 단계;

상기 보조 배선들 상에 적어도 하나 이상의 제2 절연층을 형성하는 단계;

상기 제2 절연층을 관통하는 콘택홀을 통해 상기 보조 배선의 일부 영역을 노출하는 단계;

상기 노출된 보조 배선을 식각하여 상기 콘택홀에 대응되는 영역에서 상기 보조 배선을 언더 컷 구조로 형성함과 아울러 상기 제1 절연층을 식각하여 상기 콘택홀에 대응되는 상기 제1 절연층에 홈을 형성하는 단계; 및

상기 유기발광다이오드의 유기화합물층과 투명 전극을 순차적으로 증착하여 상기 유기화합물층을 상기 홈에 형성하고, 상기 투명 전극을 상기 보조 배선에 직접 접촉시키는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 투명 전극은, 상기 언더 컷 구조에 의해 형성되는 상기 보조 배선의 서로 마주보는 양 측면에 접촉되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 보조 배선의 양 측면간 폭은 상기 콘택홀의 직경보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 10

제 7 항에 있어서,

상기 보조 배선은 단일 금속층 또는 다중 금속층을 포함하여 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 11

제 10 항에 있어서,

상기 다중 금속층 중 최상부 금속층의 식각비는 그 하부 금속층의 식각비보다 작은 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 12

제 7 항에 있어서,

상기 홈의 깊이는 상기 제1 절연층의 전체 두께를 초과하지 않는 범위내에서 500Å 이상인 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 13

제 7 항에 있어서,

상기 보조 배선은 습식 식각 또는 건식 식각 가능한 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

본 발명은 탑 에미션 방식으로 발광되는 유기발광다이오드 표시장치에 관한 것으로, 특히 투명 전극의 저항을 줄여 표시패널 내 휘도 불균일 현상을 방지할 수 있는 유기발광다이오드 표시장치와 그의 제조방법에 관한 것이다.

[0001]

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)는 박막트랜지스터(Thin Film Transistor : 이하, "TFT")를 이용하여 유기발광다이오드소자(이하, "OLED")에 흐르는 전류를 제어하여 화상을 표시한다. 이러한 유기발광다이오드 표시장치는 애노드전극, 캐소드전극 및 유기화합물층을 포함하는 OLED의 구조에 따라 탑 에미션(Top emission) 방식 또는 보텀 에미션(Bottom emission) 방식 등의 형태로 화상을 표시한다. 보텀 에미션 방식이 유기화합물층에서 발생된 가시광을 TFT가 형성된 기관 하부쪽으로 표시하는 데 반해, 탑 에미션 방식은 유기화합물층에서 발생된 가시광을 TFT가 형성된 기관 상부쪽으로 표시한다.

[0003] 탑 에미션 방식의 유기발광다이오드 표시장치는 도 1과 같이 다수의 픽셀(P)들로 이루어진 픽셀 어레이와, 픽셀(P)들에 공통으로 구동 전압을 공급하는 공통 배선(12)을 포함한 표시패널을 갖는다. 픽셀(P)들은 표시패널의 유효표시영역(EA) 내에서 데이터라인과 게이트라인의 교차 영역마다 형성되며, 각각 반사 전극, 유기화합물층(15) 및 투명 전극(16)으로 구성된 OLED를 포함한다. 반사 전극은 픽셀(P) 단위로 패터닝되고, 유기화합물층(15) 및 투명 전극(16)은 패터닝없이 표시패널 전면(全面)에 형성된다. 공통 배선(12)은 유효표시영역(EA) 바깥의 비표시영역(SA)에 형성되며, 절연층(13, 14)을 관통하는 콘택홀(CTH)을 통해 OLED에 전기적으로 접촉되어 OLED의 투명 전극(16)에 고전위 구동전압 또는 저전위 구동전압을 공급한다. 도 1에서, 도면부호 '10'은 기관을, 도면부호 '11'은 게이트 절연막을 각각 나타낸다.

[0004] 그런데, 이러한 종래 유기발광다이오드 표시장치는 다음과 같은 문제점이 있다.

[0005] 투명 전극(16)의 표면 저항은 매우 크다. 그 결과, 공통 배선(12)이 픽셀 어레이 외곽 부분에만 형성되는 종래 유기발광다이오드 표시장치에서는, 공통 배선(12)과 픽셀(P) 사이의 이격 거리에 따라 픽셀(P)에 인가되는 구동 전압의 크기가 달라져 픽셀(P)들 간 휘도 불균일 현상이 초래된다. 특히, 투명 전극(16)의 전기적 저항은, 도 1과 같이 콘택홀(CTH)을 통한 전기적 연결시 공통 배선(12)과 투명 전극(16) 사이에 유기화합물층(15)이 위치하는 경우 더욱 증가한다. 이는 공통 배선(12)에 인가된 구동전압이 유기화합물층(15)을 통해 투명 전극(16)으로 전달될 때 OLED에 역 바이어스가 걸리기 때문이다. 이렇게 증가된 저항은 표시패널의 전체 휘도를 감소시킬 뿐만 아니라 픽셀(P)들 간 휘도 불균일 현상을 심화시킨다.

[0006] 한편, 공통 배선(12)과 투명 전극(16)의 전기적 접촉 부근에서 투명 전극(16)의 저항 증가를 줄이기 위해, 공통 배선(12)과 투명 전극(16) 사이에 유기화합물층(15)이 위치되지 않도록 하는 방안이 제안된 바 있다. 하지만, 이 방안은 공통 배선(12)과 투명 전극(16)이 접촉되는 비표시영역(SA) 부근에 유기화합물층(15)이 증착되지 않도록 하기 위해, 도 2와 같이 유기화합물층(15) 형성시 웨도우 마스크(20)를 이용하여 상기 비표시영역(SA) 부근을 매번 가려주어야 하므로 공정 스텝의 증가 및 제조 비용의 증가를 초래하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 따라서, 본 발명의 목적은 탑 에미션 방식의 유기발광다이오드 표시장치에서, 투명 전극의 저항을 줄여 표시패널 내 휘도 불균일 현상을 방지할 수 있도록 한 유기발광다이오드 표시장치와 그의 제조방법을 제공하는 데 있다.

과제 해결수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 다수의 픽셀 행들과 픽셀 열들을 포함하며, 매 픽셀마다 유기발광다이오드가 형성되는 픽셀 어레이; 상기 픽셀 행들 또는 픽셀 열들을 각각 가로지르는 다수의 보조 배선; 상기 보조 배선의 아래에서 상기 보조 배선과 접하며, 상기 보조 배선에 대응되는 부분에 홈이 형성된 제1 절연층; 및 상기 보조 배선들에 공통으로 구동 전압을 공급하는 공통 배선을 구비하고; 표시광을 투과시키는 상기 유기발광다이오드의 투명 전극은, 상기 홈에 대응되며 적어도 하나 이상의 제2 절연층을 관통하는 콘택홀을 통해 상기 보조 배선에 직접 접촉되고; 상기 유기발광다이오드의 유기화합물층은 상기 홈에 위치한다.

- [0009] 상기 투명 전극은 식각 공정에 의해 형성되는 상기 보조 배선의 서로 마주보는 양 측면에 접촉된다.
- [0010] 상기 보조 배선의 양 측면 간 폭은 상기 콘택홀의 직경보다 크다.
- [0011] 상기 보조 배선은 단일 금속층 또는 다중 금속층을 포함하여 이루어진다.
- [0012] 상기 다중 금속층 중 최상부 금속층의 식각비는 그 하부 금속층의 식각비보다 작다.
- [0013] 상기 홈의 깊이는 상기 제1 절연층의 전체 두께를 초과하지 않는 범위내에서 500Å 이상이다.
- [0014] 또한, 본 발명의 실시예에 따라 다수의 픽셀 행들과 픽셀 열들을 포함하며, 매 픽셀마다 유기발광다이오드가 형성되는 픽셀 어레이를 갖는 유기발광다이오드 표시장치를 제조하는 방법은, 제1 절연층을 형성하는 단계; 상기 픽셀 행들 또는 픽셀 열들을 각각 가로지르며, 공통 배선을 통해 공통으로 구동 전압을 공급받는 다수의 보조 배선들을 상기 제1 절연층 상에 형성하는 단계; 상기 보조 배선들 상에 적어도 하나 이상의 제2 절연층을 형성하는 단계; 상기 제2 절연층을 관통하는 콘택홀을 통해 상기 보조 배선의 일부 영역을 노출하는 단계; 상기 노출된 보조 배선을 식각하여 상기 콘택홀에 대응되는 영역에서 상기 보조 배선을 언더 컷 구조로 형성함과 아울러 상기 제1 절연층을 식각하여 상기 콘택홀에 대응되는 상기 제1 절연층에 홈을 형성하는 단계; 및 상기 유기발광다이오드의 유기화합물층과 투명 전극을 순차적으로 증착하여 상기 유기화합물층을 상기 홈에 형성하고, 상기 투명 전극을 상기 보조 배선에 직접 접촉시키는 단계를 포함한다.

효 과

- [0015] 본 발명에 따른 유기발광다이오드 표시장치와 그의 제조방법은 픽셀 행(또는 픽셀 열)들을 각각 가로지르도록 보조 배선을 형성하고, 이 보조 배선을 각 픽셀의 투명 전극에 일일이 점 접촉시켜 외부로부터의 구동전압을 각 픽셀의 투명 전극에 공급한다. 이에 따라, 본 발명은 표시패널 내에서 위치별 휘도 불균일 현상이 발생하는 것을 크게 완화할 수 있다.
- [0016] 나아가, 본 발명은 보조 배선들과 투명 전극간의 전기적 연결시, 보조 배선들을 식각하여 언더 컷 구조를 형성한 후 유기화합물층과 투명 전극을 연속 증착한다. 이에 따라, 투명 전극이 보조 배선에 직접 사이드 콘택되어 투명 전극의 전기적 접촉 저항이 단위 픽셀 당 10MΩ 이하로 월등히 감소하기 때문에, 본 발명은 표시패널의 전체 휘도를 증가시킬 수 있음은 물론이거니와, 위치별 휘도 불균일 현상을 더욱 크게 완화시킬 수 있다.
- [0017] 더 나아가, 본 발명은 언더 컷 구조 형성 시 부가적으로 보조 배선 아래의 버퍼층 또는 게이트 절연층에 홈을 형성함으로써, 유기화합물층을 보조 배선으로부터 확실히 격리시킴과 아울러, 투명전극 증착 공정에서 증착 가스가 머물수 있는 노출 공간을 넓게 확보하여 보조 배선의 노출 측면들에 대한 투명전극의 증착 효율을 높일 수 있다.
- [0018] 더 나아가, 본 발명은 보조 배선을 건식 식각에 반응하는 재료로 선택하여 언더 컷 구조 형성시 전체적인 식각 공정을 간소화할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 도 3 내지 도 20b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0020] <제1 실시예>
- [0021] 도 3 내지 도 12b는 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치와 그의 제조방법에 관한 것이다.
- [0022] 도 3 내지 도 8을 참조하면, 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치는 다수의 픽셀(P) 행들을 포함하는 픽셀 어레이와, 픽셀(P) 행들을 각각 가로지르는 다수의 보조 배선(104)들과, 보조 배선(104)들에 공통으로 구동 전압을 공급하는 공통 배선(150)을 포함한 표시패널을 갖는다. 그리고, 이 유기발광다이오드 표시장치는 게이트라인(GL)에 접속된 게이트패드(미도시)와 데이터라인에 접속된 데이터패드(미도시)를 구비한다.
- [0023] 픽셀(P)들은 표시패널의 유효표시영역(EA) 내에서 데이터라인(DL)과 게이트라인(GL)의 교차 영역마다 형성되며, 각각 버퍼층(101), 스위치 TFT(SWTF), 구동 TFT(DRTFT), 스토리지 커패시터(Cst), 오버코트층(116), 뱅크패

턴(120), 및 OLED를 포함한다. OLED는 보조 배선(104)에 접촉되는 투명 전극(124), 구동 TFT(DRTFT)에 접속되는 반사 전극(118), 및 이들(124,118) 사이에 위치하는 유기화합물층(122)으로 이루어진다. 반사 전극(118)은 픽셀(P) 단위로 패터닝되고, 발광층을 제외한 유기화합물층(122)과 투명 전극(124)은 패터닝없이 표시패널 전면(全面)에 형성된다. 발광층은 적색, 녹색 및 청색의 픽셀(P) 단위로 패터닝된다.

[0024] 공통 배선(150)은 유효표시영역(EA) 바깥의 비표시영역(SA)에 형성되며, OLED의 접속 구조에 따라 외부로부터 인가되는 고전위 구동전압(VDD) 또는, 저전위 구동전압(VSS)을 보조 배선(104)들에 공급한다. 도 7과 같이 애노드전극이 반사 전극(118)으로 기능하고 캐소드전극이 투명 전극(124)으로 기능하는 노멀(Normal) OLED(이하, "NOD") 구조에서, 공통 배선(150)은 외부로부터 인가되는 저전위 구동전압(VSS)을 보조 배선(104)들에 공급한다. 반면, 도 8과 같이 캐소드전극이 반사 전극(118)으로 기능하고 애노드전극이 투명 전극(124)으로 기능하는 인버티드(Inverted) OLED(이하, "IOD") 구조에서, 공통 배선(150)은 외부로부터 인가되는 고전위 구동전압(VDD)을 보조 배선(104)들에 공급한다. 도 7에서, 반사 전극(118)은 적어도 하나 이상의 투명 유전층과, 유전층의 하부 또는 유전층들 사이에 위치하는 금속층을 포함할 수 있으며, 투명 전극(124)은 표면저항을 증가시키지 않으면서도 투과율을 높이기 위해 유전층(들)과, 한층 또는 두층의 금속층을 포함할 수 있다. 도 8에서, 반사 전극(118)은 금속 또는 금속 합금을 포함하는 단일층 또는 다중층을 포함할 수 있으며, 투명 전극(124)은 표면저항을 증가시키지 않으면서도 투과율을 높이기 위해 유전층(들)과, 한층 또는 두층의 금속층을 포함할 수 있다.

[0025] 보조 배선(104)들은 픽셀(P) 행들을 각각 가로지르도록 게이트 라인(GL)에 나란한 방향으로 형성되어, 공통 배선(150)으로부터의 구동전압(VDD 또는 VSS)을 각 픽셀(P)의 투명 전극(124)에 공급한다. 이 보조 배선(104)들은 픽셀(P)마다 형성된 투명전극 콘택홀(CTH3)을 통해 각 픽셀(P)의 투명 전극(124)에 일일이(Point to Point) 접촉됨으로써, 표시패널 내에서 위치별 휘도 불균일 현상이 발생하는 것을 크게 완화한다. 더욱이, 보조 배선(104)들은 투명전극 콘택홀(CTH3)을 통한 전기적 연결시 투명 전극(124)의 전기적 접촉 저항을 줄이기 위해, 도 5와 같이 언더 컷(Undercut) 구조를 통해 투명 전극(124)과 직접 사이드 콘택된다. 그 결과, 표시패널의 전체 휘도는 증가하게 되고, 위치별 휘도 불균일 현상은 더욱 크게 완화된다.

[0026] 언더 컷 구조는 포토리소그래프(Photolithograph) 및 건식 식각(Dry Etch) 공정을 거쳐 패시베이션층(114) 및 게이트 절연층(106)을 관통하는 투명전극 콘택홀(CTH3)을 형성하고, 투명전극 콘택홀(CTH3)을 통해 노출되는 보조 배선(104)의 일부를 습식 식각(Wet Etch)하며, 이 습식 식각에 의해 노출되는 보조 배선(104) 아래의 버퍼층(101)을 건식 식각함으로써 얻어진다. 보조 배선(104)에 대한 습식 식각은, 보조 배선(104)의 노출 측면들 간 폭(D2)이 투명전극 콘택홀(CTH3)의 직경(D1)보다 크게 될 때까지 즉, 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각). 일반적으로 유기화합물층(122)은 수평 방향으로는 증착되지 않고 수직 방향으로만 증착되는 경향이 강하다. 이를 이용하여, 상기 과식각의 정도를 보조 배선(104)의 노출 측면들에 유기화합물층(122)이 증착되지 않을 정도로 조정함이 바람직하다. 한편, 투명 전극(124)은 수직 방향 뿐만 아니라 수평 방향으로도 증착물이 양호하므로 보조 배선(104)의 노출 측면들 상에 쉽게 증착된다. 다만, 도 5와 같이 보조 배선(104)을 AlNd, Al, Ti, Mo, W 등과 같은 단일 금속층으로 형성함에 있어, 상기 과식각의 정도가 지나친 경우에는 투명 전극(124)의 증착물이 떨어질 수 있다. 이 경우 도 6과 같이 식각비가 서로 다른 이중 금속층으로 이루어진 보조 배선(104)을 이용하여 2중으로 스텝 커버리지를 확보하면 상기 증착물 저하를 해결할 수 있다. 이를 위해, 이중 금속층에서, 하부 금속층(104a)의 식각비보다 상부 금속층(104b)의 식각비를 작게 함이 바람직하다. 식각비가 상대적으로 작은 상부 금속층(104b)은 하부 금속층(104a)에 비해 적게 식각되므로 투명 전극(124)의 증착을 용이하게 하는 기능을 하고, 식각비가 상대적으로 큰 하부 금속층(104a)은 상부 금속층(104b)에 비해 많이 식각되므로 유기화합물층(122)이 보조 배선(104)의 노출 측면들 상에 증착될 가능성을 확실히 차단하는 기능을 한다. 결과적으로, 보조 배선(104)을 식각비가 서로 다른 이중 금속층으로 형성하면, 투명 전극(124)의 증착 마진이 좋아져 수율이 향상되고, 또한 식각 시간을 조절하기가 용이하여 공정 편의성이 크게 높아질 수 있다. 이중 금속층으로는 Ti/AlTi, Cu/MoTi, Mo/AlNd등이 이용될 수 있다. 한편, 보조 배선(104)은 식각비가 서로 다른 MoTi/Cu/MoTi, ITO/Cu/MoTi 등의 금속 삼중층으로 형성될 수도 있다.

[0027] 버퍼층(101)에 대한 식각 깊이(D3)는 이 식각된 부분에 증착될 유기화합물층(122)을 보조 배선(104)으로부터 확실히 격리(Separation)시킬 수 있는 깊이 예컨대, 버퍼층(101)의 전체 두께를 초과하지 않는 범위내에서 500 Å 이상으로 함이 바람직하다. 이렇게 보조 배선(104) 아래의 버퍼층(101)에 홈(Groove)을 형성하게 되면, 차후 투명전극(124) 증착 공정에서 증착 가스가 머물수 있는 노출 공간(S)이 넓어져, 보조 배선(104)의 노출 측면들에 대한 투명전극(124)의 증착 효율이 높아진다.

[0028] 한편, 위와 같이 패시베이션층(114)과 게이트 절연층(106), 보조 배선(104), 버퍼층(101)을 순차적으로 건식 식

각, 습식 식각, 건식 식각하는 경우, 전체적인 식각 공정이 복잡해 질 수 있다. 이에, 본 발명은 보조 배선(104)을 Mo과 같이 건식 식각이 가능한 금속층으로 형성할 수 있다. 이 경우, 상기 피식각 대상들(114, 106, 104, 101)은 하나의 건식 식각 공정을 통해 한꺼번에 식각되므로, 전체적인 식각 공정이 훨씬 간소화될 수 있다.

- [0029] 상기와 같은 구성을 특징으로 하는 픽셀(P)의 구조를 자세히 살펴보면 다음과 같다.
- [0030] 버퍼층(101)은 폴리이미드(Polyimide), 포토아크릴(Photoacrylic)과 같은 유기 절연물질, 또는 SiNx, SiO₂와 같은 무기 절연물질로 기판(100) 상에 위치하여 보조 배선(104)과 기판(100) 간의 이격 공간을 확보함으로써, 상술한 바와 같이 투명전극(124)의 증착시 그 증착 효율을 좋게 하는데 기여한다.
- [0031] 게이트라인(GL)은 게이트패드를 통해 게이트 드라이버에 접속되어, 게이트 드라이버로부터의 스캔펄스를 스위치 TFT(SWTFT)의 게이트 전극에 공급한다. 데이터라인(DL)은 데이터패드를 통해 데이터 드라이버에 접속되어, 데이터 드라이버로부터의 데이터를 스위치 TFT(SWTFT)에 공급한다.
- [0032] 스위치 TFT(SWTFT)의 소스전극은 데이터라인(DL)과 연결되고, 스위치 TFT(SWTFT)의 드레인전극은 제1 콘택홀(CTH1)을 통해 구동 TFT(DRTFT)의 게이트전극(102)에 접촉된다. 스위치 TFT(SWTFT)의 게이트전극은 스캔펄스가 순차적으로 공급되는 게이트라인(GL)에 연결된다. 스위치 TFT(SWTFT)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴 온 됨으로써, 데이터라인(DL)으로부터의 데이터를 구동 TFT(DRTFT)의 게이트전극(102)에 공급한다. 스위치 TFT(SWTFT)는 N 타입 MOSFET 또는 P 타입 MOSFET으로 구현될 수 있다.
- [0033] 구동 TFT(DRTFT)의 소스전극(110)은 제2 콘택홀(CTH2)을 통해 OLED의 반사 전극(118)에 연결되고, 구동 TFT(DRTFT)의 드레인전극(112)은 보조 배선(104)에 공급되는 구동전압과 반대되는 구동전압을 발생하는 구동전원에 연결된다. 예컨대, 도 7 및 도 8에서 명백히 알 수 있듯이, 구동 TFT(DRTFT)의 드레인전극(112)은, 보조 배선(104)에 저전위 구동전압(VSS)이 공급될 때 고전위 전압원에 연결되는 데 반해, 보조 배선(104)에 고전위 구동전압(VDD)이 공급될 때 저전위 전압원에 연결된다. 구동 TFT(DRTFT)의 게이트전극(102)은 스위치 TFT(SWTFT)의 드레인전극에 연결된다. 구동 TFT(DRTFT)는 스위치 TFT(SWTFT)를 통해 자신의 게이트전극(102)에 인가되는 데이터를 기반으로 OLED에 흐르는 전류량을 조절한다. 구동 TFT(DRTFT)는 N 타입 MOSFET 또는 P 타입 MOSFET로 구현될 수 있다.
- [0034] 패시베이션층(114)은 폴리이미드(Polyimide), 포토아크릴(Photoacrylic)과 같은 유기 절연물질, 또는 SiNx, SiO₂와 같은 무기 절연물질로 TFT들(SWTFT, DRTFT) 상에 위치하여 외부 환경으로부터 TFT들(SWTFT, DRTFT)을 보호한다. 이 패시베이션층(114)은 경우에 따라서 즉, 게이트전극이 소스/드레인전극 상에 위치하는 탑 게이트 구조에서 생략될 수 있다.
- [0035] 스토리지 커패시터(Cst)는 구동 TFT(DRTFT)의 게이트전극(102)과 소스전극(110) 간의 전압차를 한 프레임 동안 일정하게 유지시킨다.
- [0036] 오버코트층(116)은 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질로 패시베이션층(114) 상에 위치하여 TFT들(SWTFT, DRTFT)로 인한 단차를 없앤다. 구동 TFT(DRTFT)에서 소스전극(110)의 일부는 오버코트층(116)과 패시베이션층(114)을 관통하는 제2 콘택홀(CTH2)을 통해 노출된다. 유기막인 오버코트층(116)으로부터의 아웃 게싱(Out-Gasing)을 차폐하기 위해, 오버코트층(116)과 반사 전극(118) 사이에는 버퍼층(미도시)이 더 개재될 수 있다.
- [0037] 반사 전극(118)은 OLED의 하부전극 역할을 하는 것으로, 오버코트층(116) 상에 위치하며, 상기 노출된 구동 TFT(DRTFT)의 소스전극(110)에 접촉된다. 도 7과 같은 NOD 구조에서, 반사 전극(118)은 ITO 또는 IZO 등의 산화물을 포함하는 적어도 하나 이상의 투명 유전층과, 반사율이 높고 불투명한 Al, Ag, AlNd 등의 금속층을 포함할 수 있다. 반면, 도 8과 같은 IOD 구조에서, 반사 전극(118)은 반사율이 높고 불투명한 Al, Ag, AlNd 등의 금속층을 포함할 수 있다.
- [0038] 뱅크패턴(120)은 반사 전극(118)이 형성된 기판(100) 상에 위치하여 픽셀(P)의 개구영역과 비 개구영역을 구획한다.
- [0039] 유기화합물층(122)은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection

layer, EIL)을 포함하여 반사 전극(118)과 बैं크패턴(120) 상에 위치한다.

- [0040] 투명 전극(124)은 표시광을 투과시키는 OLED의 상부전극 역할을 하는 것으로 유기화합물층(122) 상에 위치하며, 유전층(들)과 한층 또는 두층의 금속층을 포함할 수 있다. 도 7과 같은 NOD 구조 및 도 8과 같은 IOD 구조에서, 투명 전극(124)은 유전층, 금속층/유전층, 유전층/금속층/유전층 등으로 구성될 수 있다. 여기서, 유전층은 ITO, IZO, WO₃, AZO 중 어느 하나일 수 있으며, 금속층은 Ag, Al, Mg, Mg:ag 중 어느 하나일 수 있다. 이렇게 투명 전극(124)을 다중층으로 형성하면, 투명전극의 표면 저항이 다소 줄어드는 효과가 있다.
- [0041] 상기와 같은 구조를 갖는 유기발광다이오드 표시장치에서 반사 전극(118)과 투명 전극(124)에 구동전압이 인가 되면, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생함으로써 제도가 구현한다.
- [0042] 이와 같은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치는 도 9a 내지 도 12b에 도시된 바와 같이 TFT 공정과 OLED 공정을 통해 제작된다.
- [0043] 도 9a 및 도 9b를 참조하면, 투명한 유리 또는 플라스틱 재질로 제작되는 기판(100) 상에 SiO₂, SiNx 등의 무기 절연재료, 또는 폴리이미드(Polyimide)와 포토아크릴(Photoacrylic)등과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착됨으로써 버퍼층(101)이 형성된다. 이어서, 버퍼층(101)이 형성된 기판(100) 상에 Al, AlNd, Mo Ti, W중에서 어느 한 금속, 또는 둘 이상의 금속이나 합금(Ti/AlTi, Cu/MoTi, Mo/AlNd, MoTi/Cu/MoTi, ITO/Cu/MoTi)으로 선택되는 게이트금속이 스퍼터링(Sputtering) 공정으로 증착된다. 게이트금속은 포토리소그 래피 공정과 습식식각 공정을 통해 패터닝된다. 그 결과, 기판(100) 상에는 스위치 TFT(SWTFT)의 게이트전극, 구동 TFT(DTFT)의 게이트전극(102), 게이트전극(102)에 연결된 게이트라인(GL), 보조 배선(104) 등을 포함한 게이트금속패턴이 형성된다.
- [0044] 도 10a 및 도 10b를 참조하면, 게이트금속패턴이 형성된 기판(100) 상에 SiO₂ 또는 SiNx 등의 무기 절연재료와, 비정질 실리콘 또는 폴리실리콘 등의 반도체 재료가 CVD(chemical vapor deposition) 공정 등으로 연속 증착된다. 이어서, 포토리소그래피 공정과 건식 식각 공정을 통해 필요한 부분을 제외한 나머지 부분의 반도체층을 제거한다. 그 결과, 스위치 TFT(SWTFT)의 게이트전극을 덮는 게이트 절연층(106)과 그 위에 형성된 제1 액티브 패턴, 구동 TFT(DTFT)의 게이트 전극(102)을 덮는 게이트 절연층(106)과 그 위에 형성된 제2 액티브 패턴(108)등이 기판(100) 상에 형성된다.
- [0045] 게이트 절연층(106)과 액티브패턴들이 형성된 기판(100) 상에 Al, Mo, Cr, Cu, Al 합금, Mo 합금, Cu 합금 등 금속의 단일층 또는 이중층 구조를 갖는 데이터금속이 스퍼터링 공정으로 전면 증착된 후, 포토리소그래피 공정과 습식 식각 공정을 통해 패터닝된다. 그 결과, 기판(100) 상에는 각각 스위치 TFT(SWTFT)의 소스전극 및 드레인전극, 구동 TFT(DTFT)의 소스전극(110) 및 드레인전극(112)등을 포함한 데이터금속패턴이 형성된다.
- [0046] 도 11a 및 도 11b를 참조하면, 데이터금속패턴이 형성된 기판(100) 상에 SiO₂, SiNx 등의 무기 절연재료, 또는 폴리이미드(Polyimide)와 포토아크릴(Photoacrylic)등과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공정을 통해 그 무기/유기 절연재료(또는 게이트 절연층(106)과 함께)가 부분적으로 제거된다. 그 결과, 스위치 TFT(SWTFT)의 드레인전극 일부를 노출하는 제1 콘택홀(CTH1), 구동 TFT(DTFT)의 소스전극(110) 일부를 노출하는 제2 콘택홀(CTH2), 및 보조 배선(104)과 버퍼층(101)의 일부를 노출하는 투명전극 콘택홀(CTH3)을 갖는 패시베이션층(114)이 형성된다.
- [0047] 투명전극 콘택홀(CTH3)을 통해 노출되는 보조 배선(104)의 일부와 그 아래의 버퍼층(101)이 순차적으로 습식 식각 및 건식 식각 되거나 또는, 동시에 건식 식각됨으로써 언더컷 구조가 형성된다. 습식 식각은 보조 배선(104)을 식각할 수 있는 물질, 예컨대 AlNd, Mo, Al등을 포함한 보조 배선(104)의 경우 인산, 질산, 초산의 혼합산을 이용하고, Cu, MoTi등을 포함한 보조 배선(104)의 경우 과수, 불산의 혼합물을 이용하며, Ti, W등을 포함한 보조 배선(104)의 경우 불산, 옥산의 혼합물을 이용하고, ITO등을 포함한 보조 배선(104)의 경우 옥살산을 이용하여 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각). 건식 식각은 Mo등을 포함한 보조 배선(104) 및 버퍼층(101)을 동시에 식각할 수 있는 물질, 예컨대 SF₆등을 이용하여 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각).
- [0048] 보조 배선(104)과 버퍼층(101)의 식각이 완료된 기판(100) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공

정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 제1 및 제2 콘택홀(CTH1, CTH2)과 투명전극 콘택홀(CTH3) 부근에서 오픈되는 오버코트층(116)이 형성된다.

[0049] 오버코트층(116)이 형성된 기판(100) 상에 스퍼터링 방법으로 하부 전극층(들)이 증착된다. 이어서, 포토리소그래피 공정과 식각 공정을 통해 이 하부 전극층(들)이 패터닝되어 반사 전극(118)이 형성된다. 이 반사 전극(118)은 제2 콘택홀(CTH2)을 통해 구동 TFT(DRTFT)의 소스전극(110)에 접촉된다.

[0050] 도 12a 및 도 12b를 참조하면, 반사 전극(118)이 형성된 기판(100) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 픽셀(P)에서 개구영역과 비 개구영역을 구획하는 बैं크패턴(120)이 형성된다.

[0051] बैं크패턴(120)이 형성된 기판(100) 상에 열 증착(thermal evaporation) 공정으로 전자주입층 재료, 전자수송층 재료, 발광층 재료, 정공수송층 재료, 및 정공주입층 재료가 연속적으로 전면 증착되어 유기화합물층(122)이 형성된다. 전자주입층 재료, 전자수송층 재료, 정공수송층 재료, 및 정공주입층 재료는 웨도우 마스크 없이 전면 증착된다. 발광층 재료는 웨도우 마스크에 의해 적색, 녹색 및 청색의 픽셀(P) 단위로 증착된다. 유기화합물층(122)은 수평 방향으로 증착되지 않고 수직 방향으로만 증착되는 경향이 강하므로, 보조 배선(104)의 노출 측면들에 증착되지 못하고, 보조 배선(104)과 버퍼층(101)의 식각에 의해 형성된 노출 공간(S)에 수직 방향으로만 증착된다.

[0052] 유기화합물층(122)이 형성된 기판(100) 상에 스퍼터링 공정 또는 열 증착 공정으로 투명 전극(124)이 증착된다. 투명 전극(124)은 수직 방향 뿐만 아니라 수평 방향으로도 증착물이 양호하므로 보조 배선(104)의 노출 측면들에 쉽게 증착된다. 다시 말해, 투명 전극(124)은 언더 컷(Undercut) 구조에 의해 보조 배선(104)의 노출 측면들에 직접 사이드 콘택된다. 그 결과, 표시패널의 전체 휘도는 증가하게 되고, 위치별 휘도 불균일 현상은 크게 완화된다.

[0053] <제2 실시예>

[0054] 도 13 내지 도 20b는 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치와 그의 제조방법에 관한 것이다.

[0055] 도 13 내지 도 16을 참조하면, 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치는 다수의 픽셀(P) 열들을 포함하는 픽셀 어레이와, 픽셀(P) 열들을 각각 가로지르는 다수의 보조 배선(204)들과, 보조 배선(204)들에 공통으로 구동 전압을 공급하는 공통 배선(250)을 포함한 표시패널을 갖는다. 그리고, 이 유기발광다이오드 표시장치는 게이트라인(GL)에 접속된 게이트패드(미도시)와 데이터라인에 접속된 데이터패드(미도시)를 구비한다.

[0056] 픽셀(P)들은 표시패널의 유효표시영역(EA) 내에서 데이터라인(DL)과 게이트라인(GL)의 교차 영역마다 형성되며, 각각 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터(Cst), 오버코트층(216), बैं크패턴(220), 및 OLED를 포함한다. OLED는 보조 배선(204)에 접촉되는 투명 전극(224), 구동 TFT(DRTFT)에 접속되는 반사 전극(218), 및 이들(224, 218) 사이에 위치하는 유기화합물층(222)으로 이루어진다. 반사 전극(218)은 픽셀(P) 단위로 패터닝되고, 유기화합물층(222) 및 투명 전극(224)은 패터닝없이 표시패널 전면(全面)에 형성된다.

[0057] 공통 배선(250)은 유효표시영역(EA) 바깥의 비표시영역(SA)에 형성되며, OLED의 접속 구조에 따라 외부로부터 인가되는 고전위 구동전압(VDD) 또는, 저전위 구동전압(VSS)을 보조 배선(204)들에 공급한다. 도 7과 같이 애노드전극이 반사 전극(218)으로 기능하고 캐소드전극이 투명 전극(224)으로 기능하는 NOD 구조에서, 공통 배선(250)은 외부로부터 인가되는 저전위 구동전압(VSS)을 보조 배선(204)들에 공급한다. 반면, 도 8과 같이 캐소드전극이 반사 전극(218)으로 기능하고 애노드전극이 투명 전극(224)으로 기능하는 IOD 구조에서, 공통 배선(250)은 외부로부터 인가되는 고전위 구동전압(VDD)을 보조 배선(204)들에 공급한다. 도 7에서, 반사 전극(218)은 적어도 하나 이상의 투명 유전층과, 유전층의 하부 또는 유전층들 사이에 위치하는 금속층을 포함할 수 있으며, 투명 전극(224)은 표면저항을 증가시키지 않으면서도 투과율을 높이기 위해 유전층(들)과, 한층 또는 두층의 금속층을 포함할 수 있다. 도 8에서, 반사 전극(218)은 금속 또는 금속 합금을 포함하는 단일층 또는 다중층을 포함할 수 있으며, 투명 전극(224)은 표면저항을 증가시키지 않으면서도 투과율을 높이기 위해 유전층(들)과, 한층 또는 두층의 금속층을 포함할 수 있다.

[0058] 보조 배선(204)들은 픽셀(P) 열들을 각각 가로지르도록 데이터 라인(DL)에 나란한 방향으로 형성되어, 공통 배선(250)으로부터의 구동전압(VDD 또는 VSS)을 각 픽셀(P)의 투명 전극(224)에 공급한다. 이 보조 배선(204)들

은 픽셀(P)마다 형성된 투명전극 콘택홀(CTH3)을 통해 각 픽셀(P)의 투명 전극(224)에 일일이(Point to Point) 접촉됨으로써, 표시패널 내에서 위치별 휘도 불균일 현상이 발생하는 것을 크게 완화한다. 더욱이, 보조 배선(204)들은 투명전극 콘택홀(CTH3)을 통한 전기적 연결시 투명 전극(224)의 전기적 접촉 저항을 줄이기 위해, 도 15와 같이 언더 컷(Undercut) 구조에 의해 투명 전극(224)과 직접 사이드 콘택된다. 그 결과, 표시패널의 전체 휘도는 증가하게 되고, 위치별 휘도 불균일 현상은 더욱 크게 완화된다.

[0059] 언더 컷 구조는 포토리소그래프 및 건식 식각 공정을 거쳐 패시베이션층(214)을 관통하는 투명전극 콘택홀(CTH3)을 형성하고, 투명전극 콘택홀(CTH3)을 통해 노출되는 보조 배선(204)의 일부를 습식 식각하며, 이 습식 식각에 의해 노출되는 보조 배선(204) 아래의 게이트 절연층(206)을 건식 식각함으로써 얻어진다. 보조 배선(204)에 대한 습식 식각은, 보조 배선(204)의 노출 측면들 간 폭(D2)이, 투명전극 콘택홀(CTH3)의 직경(D1)보다 크게 될 때까지 즉, 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각). 일반적으로 유기화합물층(222)은 수평 방향으로의 증착되지 않고 수직 방향으로만 증착되는 경향이 강하다. 이를 이용하여, 상기 과식각의 정도를 보조 배선(204)의 노출 측면들에 유기화합물층(222)이 증착되지 않을 정도로 조정함이 바람직하다. 한편, 투명 전극(224)은 수직 방향 뿐만 아니라 수평 방향으로도 증착물이 양호하므로 보조 배선(204)의 노출 측면들 상에 쉽게 증착된다. 다만, 도 15와 같이 보조 배선(204)을 AlNd, Al, Ti, Mo, W 등과 같은 단일 금속층으로 형성함에 있어, 상기 과식각의 정도가 지나친 경우에는 투명 전극(224)의 증착물이 떨어질 수 있다. 이 경우 도 16과 같이 식각비가 서로 다른 이중 금속층으로 이루어진 보조 배선(204)을 이용하여 2중으로 스텝 커버리지를 확보하면 상기 증착물 저하를 해결할 수 있다. 이를 위해, 이중 금속층에서, 하부 금속층(204a)의 식각비보다 상부 금속층(204b)의 식각비를 작게 함이 바람직하다. 식각비가 상대적으로 작은 상부 금속층(204b)은 하부 금속층(204a)에 비해 적게 식각되므로 투명 전극(224)의 증착을 용이하게 하는 기능을 하고, 식각비가 상대적으로 큰 하부 금속층(204a)은 상부 금속층(204b)에 비해 많이 식각되므로 유기화합물층(222)이 보조 배선(204)의 노출 측면들 상에 증착될 가능성을 확실히 차단하는 기능을 한다. 결과적으로, 보조 배선(204)을 식각비가 서로 다른 이중 금속층으로 형성하면, 투명 전극(224)의 증착 마진이 좋아져 수율이 향상되고, 또한 식각 시간을 조절하기가 용이하여 공정 편의성이 크게 높아질 수 있다. 이중 금속층으로는 Ti/AlTi, Cu/MoTi, Mo/AlNd등이 이용될 수 있다. 한편, 보조 배선(204)은 식각비가 서로 다른 MoTi/Cu/MoTi, ITO/Cu/MoTi 등의 금속 삼중층으로 형성될 수도 있다.

[0060] 게이트 절연층(206)에 대한 식각 깊이(D3)는 이 식각된 부분에 증착될 유기화합물층(222)을 보조 배선(104)으로부터 확실히 격리(Separation)시킬 수 있는 깊이 예컨대, 게이트 절연층(206)의 전체 두께를 초과하지 않는 범위 내에서 500 Å 이상으로 함이 바람직하다. 이렇게 보조 배선(204) 아래의 게이트 절연층(206)에 홈(Groove)을 형성하게 되면, 차후 투명전극(224) 증착 공정에서 증착 가스가 머물수 있는 노출 공간(S)이 넓어져, 보조 배선(204)의 노출 측면들에 대한 투명전극(224)의 증착 효율이 높아진다.

[0061] 한편, 위와 같이 패시베이션층(214), 보조 배선(204), 게이트 절연층(206)을 순차적으로 건식 식각, 습식 식각, 건식 식각하는 경우, 전체적인 식각 공정이 복잡해 질 수 있다. 이에, 본 발명은 보조 배선(204)을 Mo과 같이 건식 식각이 가능한 금속층으로 형성할 수 있다. 이 경우, 상기 피식각 대상들(214, 204, 206)은 하나의 건식 식각 공정을 통해 한꺼번에 식각되므로, 전체적인 식각 공정이 훨씬 간소화될 수 있다.

[0062] 상기와 같은 구성을 특징으로 하는 픽셀(P)의 구조를 자세히 살펴보면 다음과 같다.

[0063] 게이트라인(GL)은 게이트패드를 통해 게이트 드라이버에 접속되어, 게이트 드라이버로부터의 스캔펄스를 스위치 TFT(SWIFT)의 게이트 전극에 공급한다. 데이터라인(DL)은 데이터패드를 통해 데이터 드라이버에 접속되어, 데이터 드라이버로부터의 데이터를 스위치 TFT(SWIFT)에 공급한다. 게이트 절연층(206)은 SiO₂ 또는 SiNx 등의 무기 절연체로 기판(200) 상에 위치하여 보조 배선(204)과 기판(200) 간의 이격 공간을 확보함으로써, 상술한 바와 같이 투명전극(124)의 증착시 그 증착 효율을 좋게 하는데 기여한다.

[0064] 스위치 TFT(SWIFT)의 소스전극은 데이터라인(DL)과 연결되고, 스위치 TFT(SWIFT)의 드레인전극은 제1 콘택홀(CTH1)을 통해 구동 TFT(DRTFT)의 게이트전극(202)에 접촉된다. 스위치 TFT(SWIFT)의 게이트전극은 스캔펄스가 순차적으로 공급되는 게이트라인(GL)에 연결된다. 스위치 TFT(SWIFT)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴 온 됨으로써, 데이터라인(DL)으로부터의 데이터를 구동 TFT(DRTFT)의 게이트전극(202)에 공급한다. 스위치 TFT(SWIFT)는 N 타입 MOSFET 또는 P 타입 MOSFET로 구현될 수 있다.

[0065] 구동 TFT(DRTFT)의 소스전극(210)은 제2 콘택홀(CTH2)을 통해 OLED의 반사 전극(218)에 연결되고, 구동

TFT(DRTFT)의 드레인전극(212)은 보조 배선(204)에 공급되는 그것과 반대되는 구동전압을 발생하는 구동전원에 연결된다. 예컨대, 도 7 및 도 8에서 명백히 알 수 있듯이, 구동 TFT(DRTFT)의 드레인전극(212)은, 보조 배선(204)에 저전위 구동전압(VSS)이 공급될 때 고전위 전압원에 연결되는 데 반해, 보조 배선(204)에 고전위 구동전압(VDD)이 공급될 때 저전위 전압원에 연결된다. 구동 TFT(DRTFT)의 게이트전극(202)은 스위치 TFT(SWTFT)의 드레인전극에 연결된다. 구동 TFT(DRTFT)는 스위치 TFT(SWTFT)를 통해 자신의 게이트전극(202)에 인가되는 데이터에 기반으로 OLED에 흐르는 전류량을 조절한다. 구동 TFT(DRTFT)는 N 타입 MOSFET 또는 P 타입 MOSFET로 구현될 수 있다.

[0066] 패시베이션층(214)은 폴리이미드(Polyimide), 포토아크릴(Photoacrylic)과 같은 유기 절연물질, 또는 SiNx, SiO₂와 같은 무기 절연물질로 TFT들(SWTFT, DRTFT) 상에 위치하여 외부 환경으로부터 TFT들(SWTFT, DRTFT)을 보호한다. 이 패시베이션층(214)은 경우에 따라서 즉, 게이트전극이 소스/드레인전극 상에 위치하는 탑 게이트 구조에서 생략될 수 있다.

[0067] 스토리지 커패시터(Cst)는 구동 TFT(DRTFT)의 게이트전극(202)과 소스전극(210) 간의 전압차를 한 프레임 동안 일정하게 유지시킨다.

[0068] 오버코트층(216)은 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질로 패시베이션층(214) 상에 위치하여 TFT들(SWTFT, DRTFT)로 인한 단차를 없앤다. 구동 TFT(DRTFT)에서 소스전극(210)의 일부는 오버코트층(216)과 패시베이션층(214)을 관통하는 제2 콘택홀(CTH2)을 통해 노출된다. 유기막인 오버코트층(216)으로부터의 아웃 게싱(Out-Gasing)을 차폐하기 위해, 오버코트층(216)과 반사 전극(218) 사이에는 버퍼층(미도시)이 더 개재될 수 있다.

[0069] 반사 전극(218)은 OLED의 하부전극 역할을 하는 것으로, 오버코트층(216) 상에 위치하며, 상기 노출된 구동 TFT(DRTFT)의 소스전극(210)에 접촉된다. 도 7과 같은 NOD 구조에서, 반사 전극(218)은 ITO 또는 IZO 등의 산화물을 포함하는 적어도 하나 이상의 투명 유전층과, 반사율이 높고 불투명한 Al, Ag, AlNd 등의 금속층을 포함할 수 있다. 반면, 도 8과 같은 IOD 구조에서, 반사 전극(218)은 반사율이 높고 불투명한 Al, Ag, AlNd 등의 금속층을 포함할 수 있다.

[0070] बैं크패턴(220)은 반사 전극(218)의 형성된 기관(200) 상에 위치하여 픽셀(P)의 개구영역과 비 개구영역을 구획한다.

[0071] 유기화합물층(222)은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함하여 반사 전극(218)과 बैं크패턴(220) 상에 위치한다.

[0072] 투명 전극(224)은 표시광을 투과시키는 OLED의 상부전극 역할을 하는 것으로 유기화합물층(222) 상에 위치하며, 유전층(들)과 한층 또는 두층의 금속층을 포함할 수 있다. 도 7과 같은 NOD 구조 및 도 8과 같은 IOD 구조에서, 투명 전극(224)은 유전층, 금속층/유전층, 유전층/금속층/유전층 등으로 구성될 수 있다. 여기서, 유전층은 ITO, IZO, WO₃, AZO 중 어느 하나일 수 있으며, 금속층은 Ag, Al, Mg, Mg:ag 중 어느 하나일 수 있다. 이렇게 투명 전극(224)을 다중층으로 형성하면, 투명전극의 표면 저항이 다소 줄어드는 효과가 있다.

[0073] 상기와 같은 구조를 갖는 유기발광다이오드 표시장치에서 반사 전극(218)과 투명 전극(224)에 구동전압이 인가되면, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생함으로써 제도가 구현한다.

[0074] 이와 같은 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치는 도 17a 내지 도 20b에 도시된 바와 같이 TFT 공정과 OLED 공정을 통해 제작된다.

[0075] 도 17a 및 도 17b를 참조하면, 투명한 유리 또는 플라스틱 재질로 제작되는 기관(200) 상에 Al, AlNd, Mo Ti, W 중에서 어느 한 금속, 또는 둘 이상의 금속이나 합금(Ti/AlTi, Cu/MoTi, Mo/AlNd, MoTi/Cu/MoTi, ITO/Cu/MoTi)으로 선택되는 게이트금속이 스퍼터링(Sputtering) 공정으로 증착된다. 게이트금속은 포토리소그래피 공정과 습식식각 공정을 통해 패터닝된다. 그 결과, 기관(200) 상에는 스위치 TFT(SWTFT)의 게이트전극, 구동 TFT(DRTFT)의 게이트전극(202), 게이트전극(202)에 연결된 게이트라인(GL) 등을 포함한 게이트금속패턴이 형성된다.

- [0076] 도 18a 및 도 18b를 참조하면, 게이트금속패턴이 형성된 기판(200) 상에 SiO₂ 또는 SiNx 등의 무기 절연재료와, 비정질 실리콘 또는 폴리실리콘 등의 반도체 재료가 CVD(chemical vapor deposition) 공정 등으로 연속 증착된다. 이어서, 포토리소그래피 공정과 건식 식각 공정을 통해 필요한 부분을 제외한 나머지 부분의 반도체층을 제거한다. 그 결과, 스위치 TFT(SWTFT)의 게이트전극을 덮는 게이트 절연층(206)과 그 위에 형성된 제1 액티브 패턴, 구동 TFT(DRTFT)의 게이트 전극(202)을 덮는 게이트 절연층(206)과 그 위에 형성된 제2 액티브 패턴(208)등이 기판(200) 상에 형성된다.
- [0077] 게이트 절연층(206)과 액티브패턴들이 형성된 기판(200) 상에 Al, Mo, Cr, Cu, Al 합금, Mo 합금, Cu 합금 등 금속의 단일층 또는 이중층 구조를 갖는 데이터금속이 스퍼터링 공정으로 전면 증착된 후, 포토리소그래피 공정과 습식 식각 공정을 통해 패터닝된다. 그 결과, 기판(200) 상에는 각각 스위치 TFT(SWTFT)의 소스전극 및 드레인전극, 구동 TFT(DRTFT)의 소스전극(210) 및 드레인전극(212), 보조 배선(204)등을 포함한 데이터금속패턴이 형성된다.
- [0078] 도 19a 및 도 19b를 참조하면, 데이터금속패턴이 형성된 기판(200) 상에 SiO₂, SiNx 등의 무기 절연재료, 또는 폴리이미드(Polyimide)와 포토아크릴(Photoacrylic)등과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공정을 통해 그 무기/유기 절연재료(또는 게이트 절연층(206)과 함께)가 부분적으로 제거된다. 그 결과, 스위치 TFT(SWTFT)의 드레인전극 일부를 노출하는 제1 콘택홀(CTH1), 구동 TFT(DRTFT)의 소스전극(210) 일부를 노출하는 제2 콘택홀(CTH2), 및 보조 배선(204)과 게이트 절연층(206)의 일부를 노출하는 투명전극 콘택홀(CTH3)을 갖는 패시베이션층(214)이 형성된다.
- [0079] 투명전극 콘택홀(CTH3)을 통해 노출되는 보조 배선(204)의 일부와 그 아래의 게이트 절연층(206)이 순차적으로 습식 식각 및 건식 식각 되거나 또는, 동시에 건식 식각됨으로써 언더컷 구조가 형성된다. 습식 식각은 보조 배선(204)을 식각할 수 있는 물질, 예컨대 AlNd, Mo, Al등을 포함한 보조 배선(204)의 경우 인산, 질산, 초산의 혼합산을 이용하고, Cu, MoTi등을 포함한 보조 배선(204)의 경우 과수, 불산의 혼합물을 이용하며, Ti, W등을 포함한 보조 배선(204)의 경우 불산, 옥산의 혼합물을 이용하고, ITO등을 포함한 보조 배선(204)의 경우 옥살산을 이용하여 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각). 건식 식각은 Mo등을 포함한 보조 배선(204), 및 게이트 절연층(206)을 동시에 식각할 수 있는 물질, 예컨대 SF₆등을 이용하여 스텝 커버리지(Step Coverage)가 확보될 때까지 행해진다(과식각).
- [0080] 보조 배선(204)과 게이트 절연층(206)의 식각이 완료된 기판(200) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 제1 및 제2 콘택홀(CTH1,CTH2)과 투명전극 콘택홀(CTH3) 부근에서 오픈되는 오버코트층(216)이 형성된다.
- [0081] 오버코트층(216)이 형성된 기판(200) 상에 스퍼터링 방법으로 하부 전극층(들)이 증착된다. 이어서, 포토리소그래피 공정과 식각 공정을 통해 이 하부 전극층(들)이 패터닝되어 반사 전극(218)이 형성된다. 이 반사 전극(218)은 제2 콘택홀(CTH2)을 통해 구동 TFT(DRTFT)의 소스전극(210)에 접촉된다.
- [0082] 도 20a 및 도 20b를 참조하면, 반사 전극(218)이 형성된 기판(200) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식 식각 공정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 픽셀(P)에서 개구영역과 비 개구영역을 구획하는 뱅크패턴(220)이 형성된다.
- [0083] 뱅크패턴(220)이 형성된 기판(200) 상에 열 증착(thermal evaporation) 공정으로 전자주입층 재료, 전자수송층 재료, 발광층 재료, 정공수송층 재료, 및 정공주입층 재료가 연속적으로 전면 증착되어 유기화합물층(222)이 형성된다. 전자주입층 재료, 전자수송층 재료, 정공수송층 재료, 및 정공주입층 재료는 웨도우 마스크 없이 전면 증착된다. 발광층 재료는 웨도우 마스크에 의해 적색, 녹색 및 청색의 픽셀(P) 단위로 증착된다. 유기화합물층(222)은 수평 방향으로 증착되지 않고 수직 방향으로만 증착되는 경향이 강하므로, 보조 배선(204)의 노출 측면들에 증착되지 못하고, 보조 배선(204)의 식각에 의해 형성된 노출 공간에 수직 방향으로만 증착된다.
- [0084] 유기화합물층(222)이 형성된 기판(200) 상에 스퍼터링 공정 또는 열 증착 공정으로 투명 전극(224)이 증착된다. 투명 전극(224)은 수직 방향 뿐만 아니라 수평 방향으로도 증착물이 양호하므로 보조 배선(204)의 노출 측면들 상에 쉽게 증착된다. 다시 말해, 투명 전극(224)은 언더 컷(Undercut) 구조에 의해 보조 배선(204)의 노출 측면들에 직접 사이드 콘택된다. 그 결과, 표시패널의 전체 휘도는 증가하게 되고, 위치별 휘도 불균일 현상은

크게 완화된다.

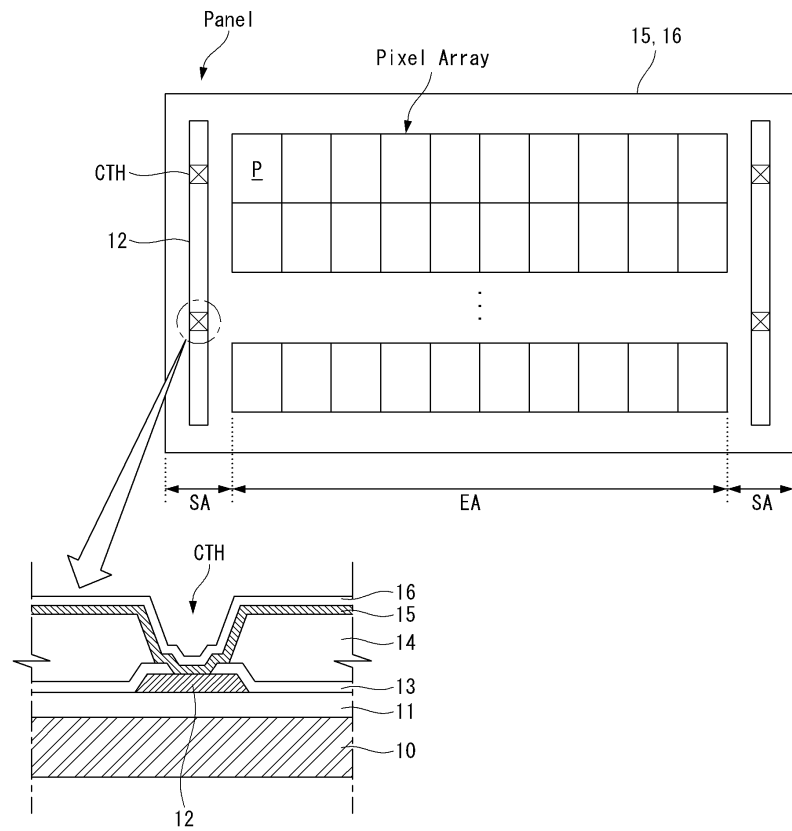
- [0085] 상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시장치와 그의 제조방법은 픽셀 행(또는 픽셀 열)들을 각각 가로지르도록 보조 배선을 형성하고, 이 보조 배선을 각 픽셀의 투명 전극에 일일이 점 접촉시켜 외부로부터의 구동전압을 각 픽셀의 투명 전극에 공급한다. 이에 따라, 본 발명은 표시패널 내에서 위치별 휘도 불균일 현상이 발생하는 것을 크게 완화할 수 있다.
- [0086] 나아가, 본 발명은 보조 배선들과 투명 전극간의 전기적 연결시, 보조 배선들을 식각하여 언더 컷 구조를 형성한 후 유기화합물층과 투명 전극을 연속 증착한다. 이에 따라, 투명 전극이 보조 배선에 직접 사이드 콘택되어 투명 전극의 전기적 접촉 저항이 단위 픽셀 당 $10M\Omega$ 이하로 월등히 감소하기 때문에, 본 발명은 표시패널의 전체 휘도를 증가시킬 수 있음은 물론이거니와, 위치별 휘도 불균일 현상을 더욱 크게 완화시킬 수 있다.
- [0087] 더 나아가, 본 발명은 언더 컷 구조 형성 시 부가적으로 보조 배선 아래의 버퍼층 또는 게이트 절연층에 홈을 형성함으로써, 유기화합물층을 보조 배선으로부터 확실히 격리시킴과 아울러, 투명전극 증착 공정에서 증착 가스가 머물수 있는 노출 공간을 넓게 확보하여 보조 배선의 노출 측면들에 대한 투명전극의 증착 효율을 높일 수 있다.
- [0088] 더 나아가, 본 발명은 보조 배선을 건식 식각에 반응하는 재료로 선택하여 언더 컷 구조 형성시 전체적인 식각 공정을 간소화할 수 있다.
- [0089] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

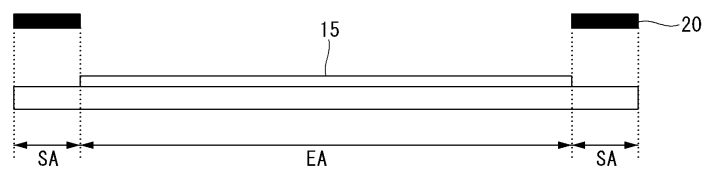
- [0090] 도 1은 종래 탑 에미션 방식의 유기발광다이오드 표시장치의 표시패널을 개략적으로 보여주는 도면.
- [0091] 도 2는 종래 유기화합물층이 부분적으로 증착되지 않도록 하기 위한 쉘도우 마스크를 보여주는 도면.
- [0092] 도 3은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치의 표시패널을 개략적으로 보여주는 도면.
- [0093] 도 4는 도 3의 픽셀을 구체적으로 보여주는 평면도.
- [0094] 도 5는 도 4를 I-I'에 따라 절취한 후 그 일부를 보여주는 단면도.
- [0095] 도 6은 도 5의 "A" 부분에 대한 다른 예를 보여주는 단면도.
- [0096] 도 7은 NOD 방식의 픽셀 등가회로도.
- [0097] 도 8은 IOD 방식의 픽셀 등가회로도.
- [0098] 도 9a 내지 도 12b는 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치의 제조 방법을 단계적으로 보여주는 평면도 및 단면도.
- [0099] 도 13은 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치의 표시패널을 개략적으로 보여주는 도면.
- [0100] 도 14는 도 13의 픽셀을 구체적으로 보여주는 평면도.
- [0101] 도 15는 도 14를 II-II'에 따라 절취한 후 그 일부를 보여주는 단면도.
- [0102] 도 16은 도 15의 "B" 부분에 대한 다른 예를 보여주는 단면도.
- [0103] 도 17a 내지 도 20b는 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치의 제조 방법을 단계적으로 보여주는 평면도 및 단면도.

도면

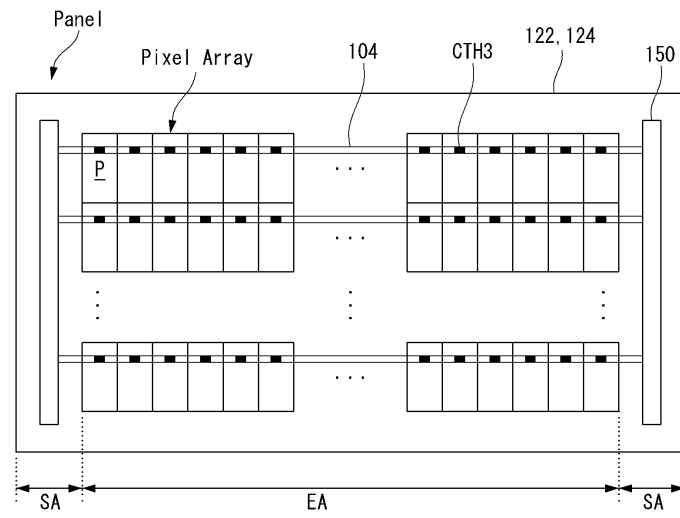
도면1



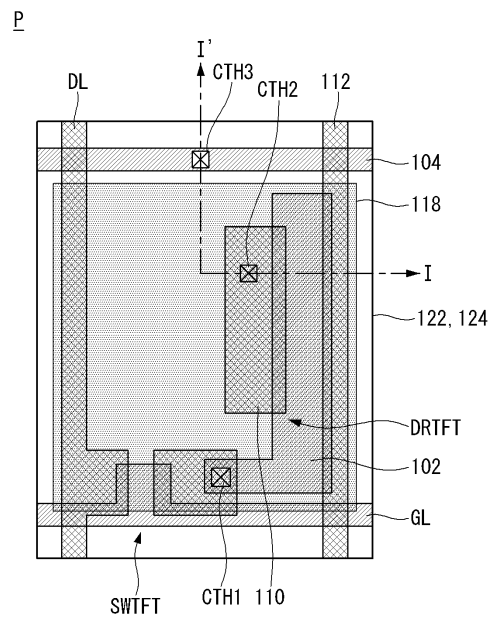
도면2



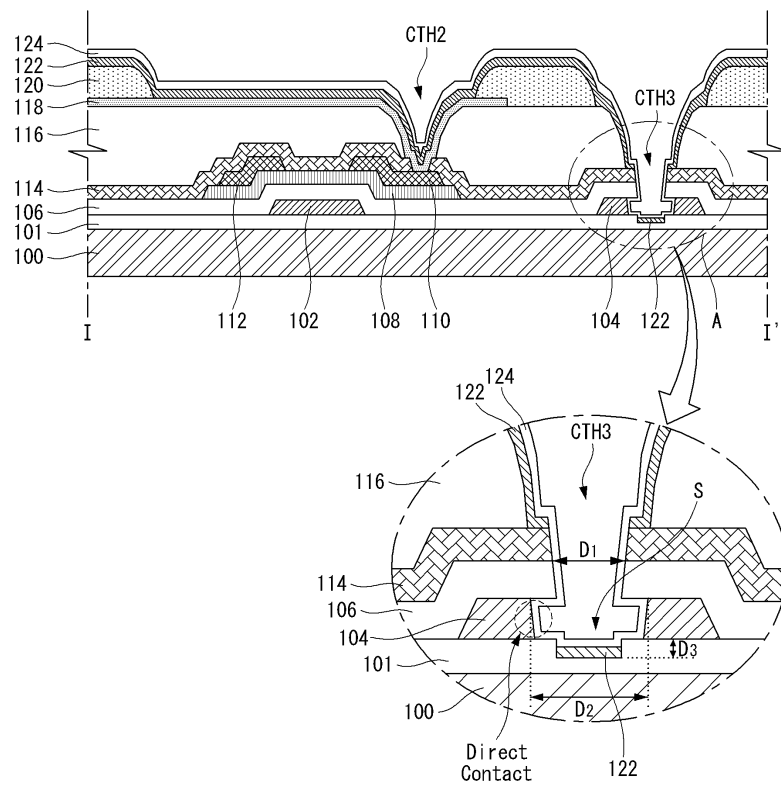
도면3



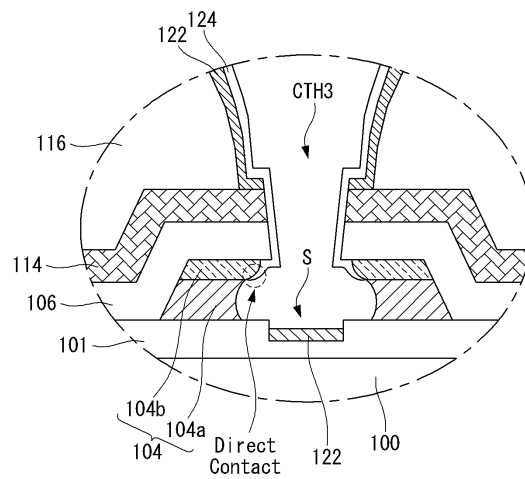
도면4



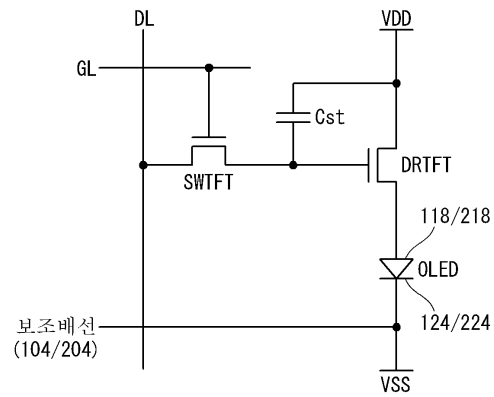
도면5



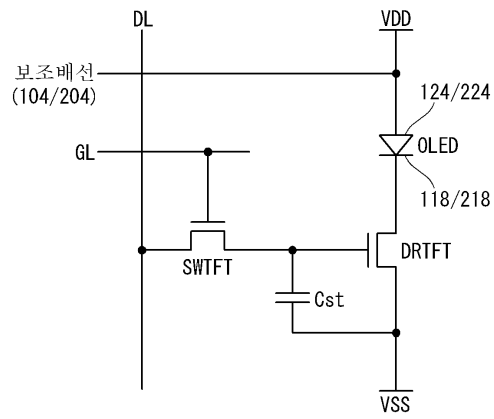
도면6



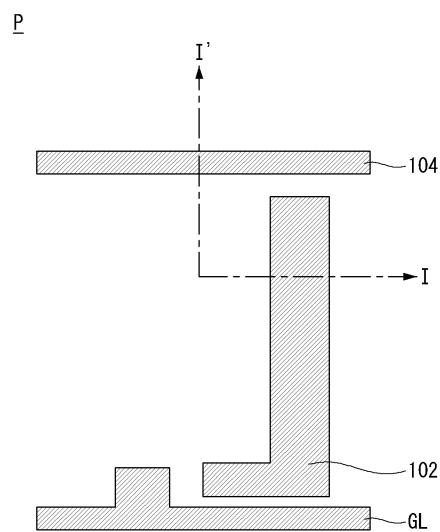
도면7



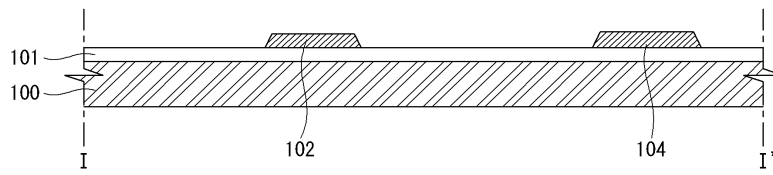
도면8



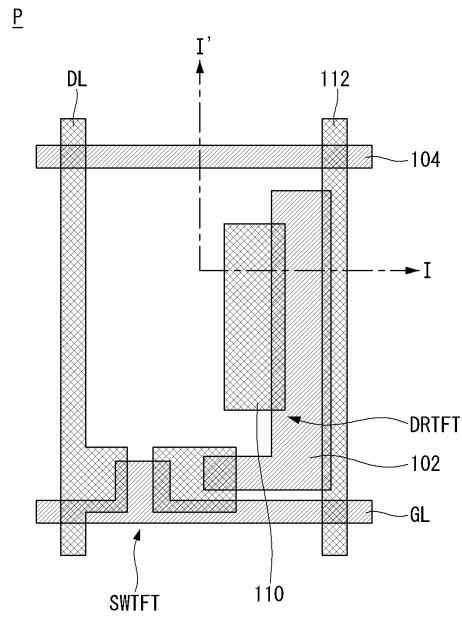
도면9a



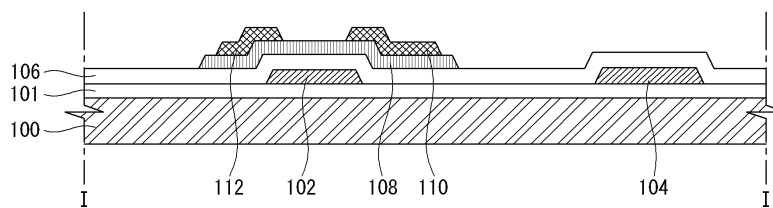
도면9b



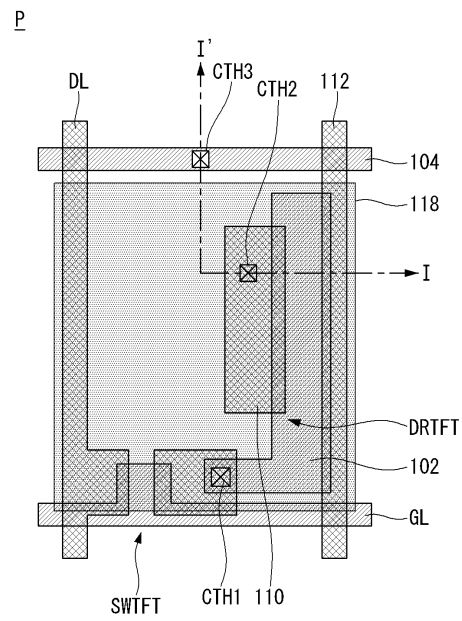
도면10a



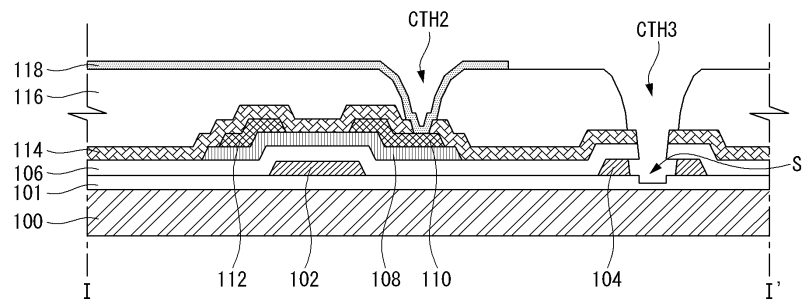
도면10b



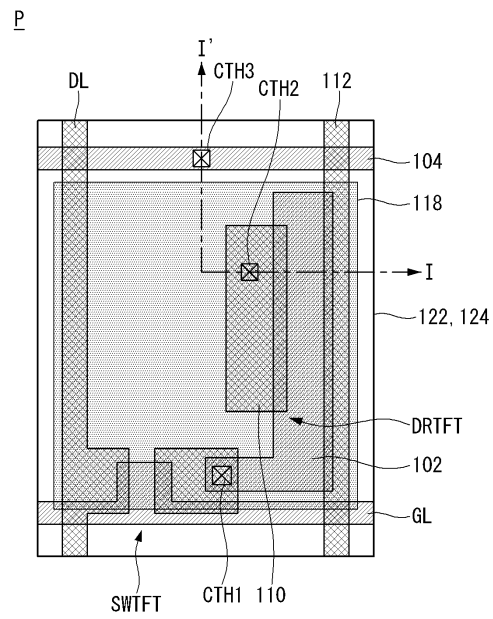
도면11a



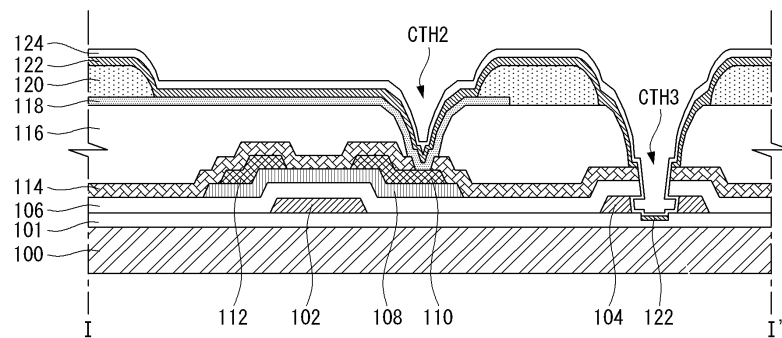
도면11b



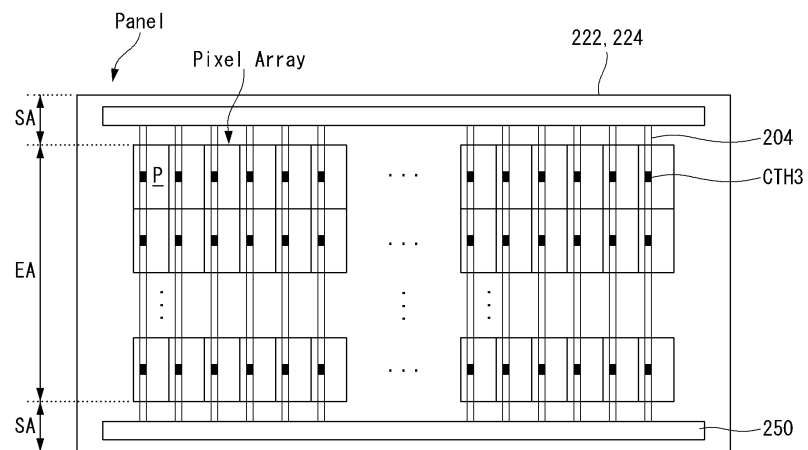
도면12a



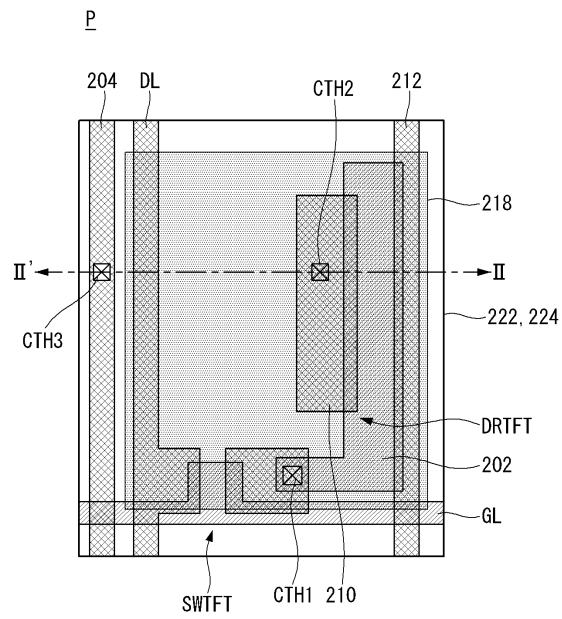
도면12b



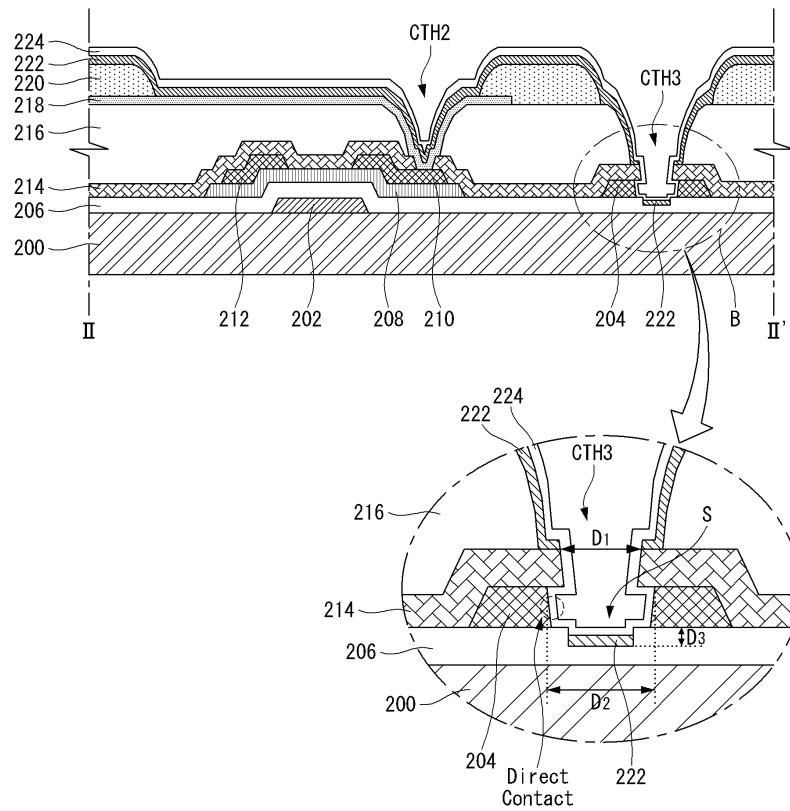
도면13



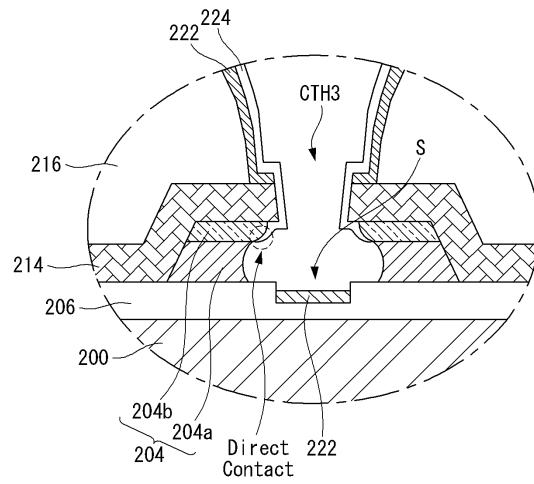
도면14



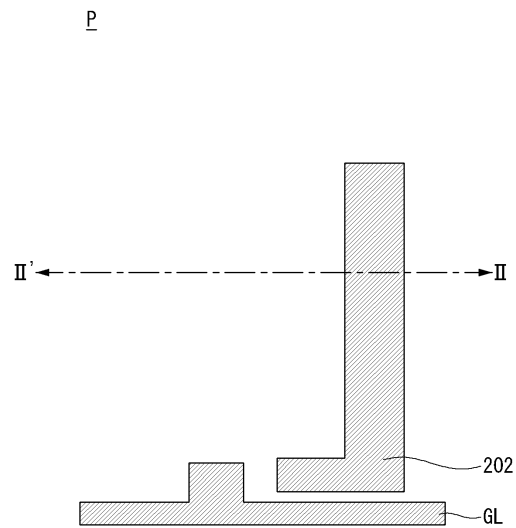
도면15



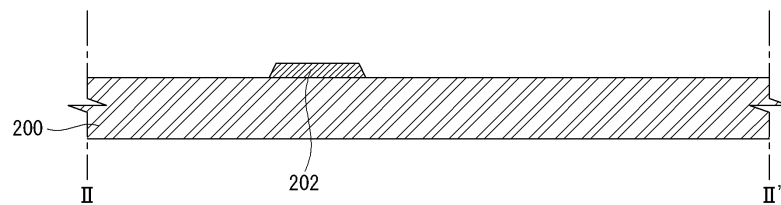
도면16



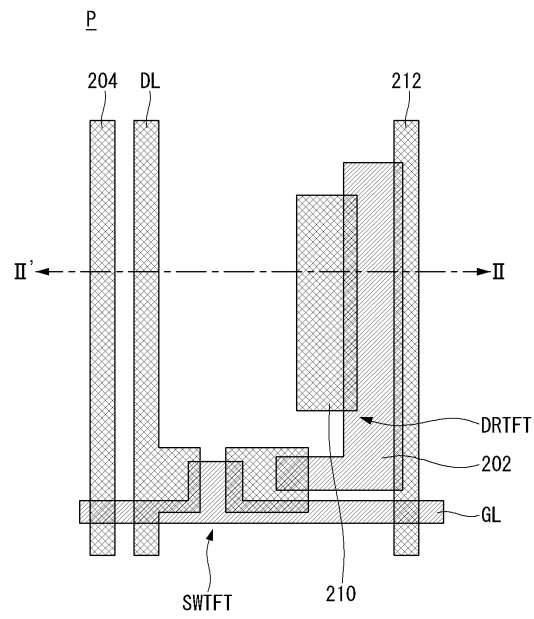
도면17a



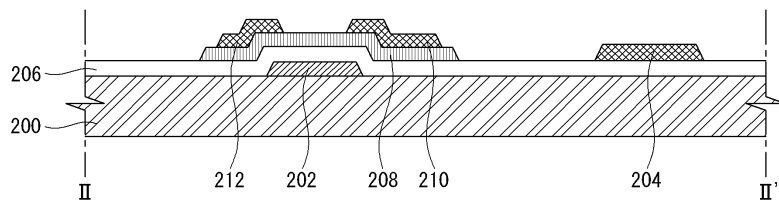
도면17b



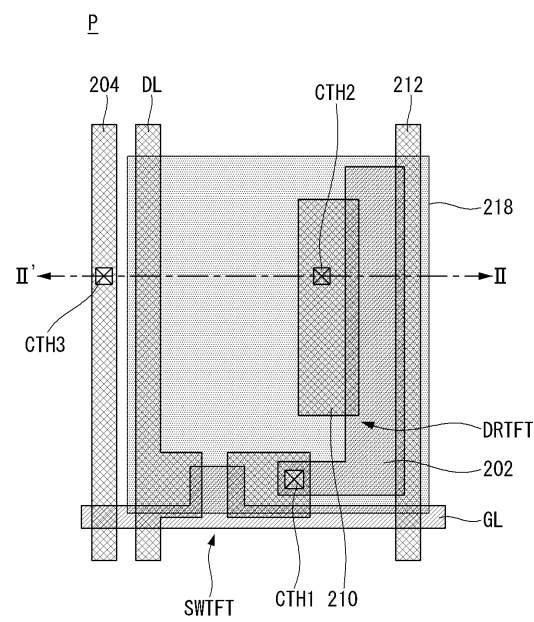
도면18a



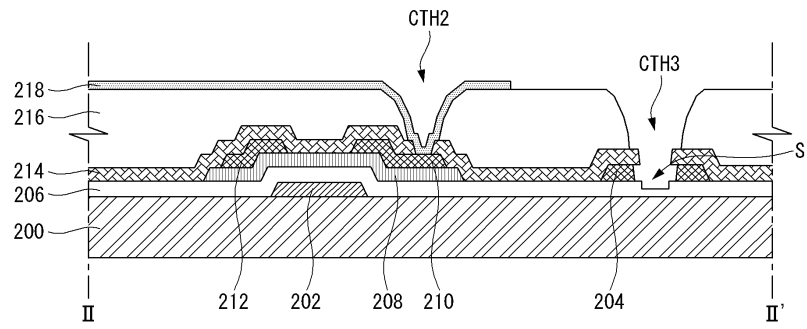
도면18b



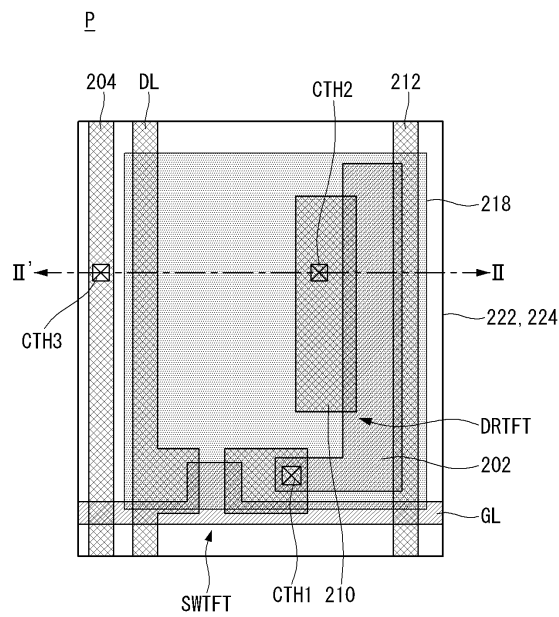
도면19a



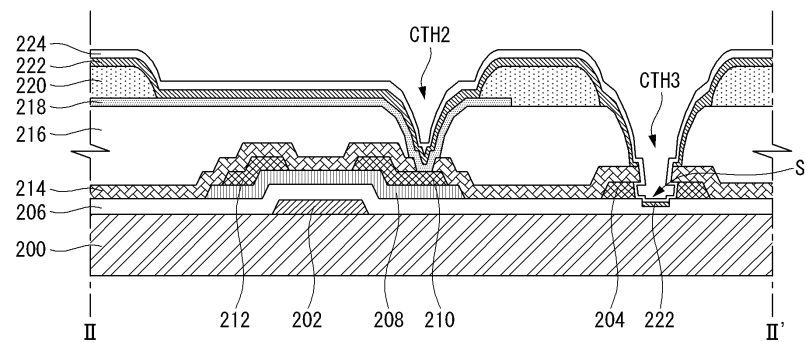
도면19b



도면20a



도면20b



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR1020100133725A	公开(公告)日	2010-12-22
申请号	KR1020090052421	申请日	2009-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYUNG MAN 김경만 KIM HO JIN 김호진 HEO JOON YOUNG 허준영		
发明人	김경만 김호진 허준영		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H05B33/26 H05B33/10		
其他公开文献	KR101652996B1		
外部链接	Espacenet		

摘要(译)

本发明涉及能够降低透明电极的电阻并防止显示面板中的亮度不均匀的有机发光二极管 (OLED) 显示装置及其制造方法。 有机发光二极管显示装置包括像素阵列, 其中有有机发光二极管显示装置包括多个像素行和像素列, 并且为每个像素形成有机发光二极管; 多条辅助线分别与像素行或像素列交叉; 第一绝缘层, 与辅助布线下方的辅助布线接触, 并且在与辅助布线对应的部分中具有凹槽; 并且公共布线为辅助布线提供共同的驱动电压; 透射显示光的有机发光二极管的透明电极通过对应于凹槽的接触孔与辅助布线直接接触并穿过至少一个第二绝缘层; 有机发光二极管的有机化合物层位于凹槽中。

