



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0065116
(43) 공개일자 2009년06월22일

(51) Int. Cl.

H05B 33/04 (2006.01)

(21) 출원번호 10-2007-0132565

(22) 출원일자 2007년12월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

서창기

경북 구미시 구평동 부영아파트 606동 1402호

정영호

경북 구미시 인의동 인의구획지구 16B9-1L 진평빌 101호

김관수

경북 구미시 형곡동 145-22번지 신세계타운 1305호

(74) 대리인

특허법인로알

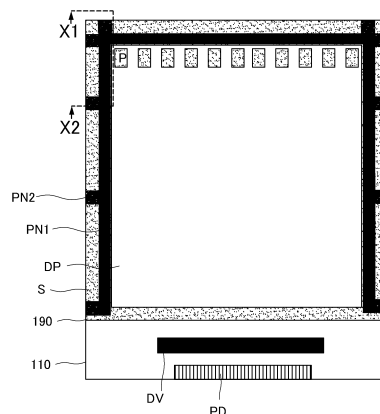
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치

(57) 요약

본 발명은, 기판; 기판 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부; 표시부의 외곽 영역에 위치하며 표시부의 삼면을 둘러싸는 제1금속패턴; 제1금속패턴에 접촉하며 기판의 외곽으로 연장된 복수의 제2금속패턴; 기판과 이격 대향하는 밀봉기판; 및 제1금속패턴의 외곽 영역을 둘러싸도록 위치하며 기판과 밀봉기판을 밀봉하는 접착부재를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부;

상기 표시부의 외곽 영역에 위치하며 상기 표시부의 삼면을 둘러싸는 제1금속패턴;

상기 제1금속패턴에 접촉하며 상기 기관의 외곽으로 연장된 복수의 제2금속패턴;

상기 기관과 이격 대향하는 밀봉기관; 및

상기 제1금속패턴의 외곽 영역을 둘러싸도록 위치하며 상기 기관과 상기 밀봉기관을 밀봉하는 접착부재를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1금속패턴 및 상기 제2금속패턴은,

상기 기관에 함몰 형성된 홈의 내부에 위치하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1금속패턴 및 상기 제2금속패턴은,

상기 기관에 함몰 형성된 홈의 내부부터 상기 기관의 외부까지 돌출 형성된 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제1금속패턴 및 상기 제2금속패턴은,

상기 서브 픽셀에 포함된 트랜지스터의 게이트, 소오스 또는 드레인 중 어느 하나 이상과 동일한 공정 및 동일한 재료로 형성된 유기전계발광표시장치.

청구항 5

상기 제1금속패턴 및 상기 제2금속패턴은,

상기 기관 상에 위치하는 버퍼층 상에 위치하는 유기전계발광표시장치.

청구항 6

제2항에 있어서,

상기 제1금속패턴 및 상기 제2금속패턴의 상부 표면은,

상기 기관의 표면과 동일한 높이를 갖는 유기전계발광표시장치.

청구항 7

제2항 내지 제5항 중 어느 한 항에 있어서,

상기 제2금속패턴은,

상기 제1금속패턴의 모서리와 인접하는 영역 및 상기 제1금속패턴의 모서리와 모서리의 사이 영역에 위치하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,
상기 접착부재는,
프릿(Frit)인 유기전계발광표시장치.

청구항 9

제1항에 있어서,
상기 제1금속패턴은,
상기 기판 상에 위치하며 외부로부터 공급된 구동신호를 상기 표시부에 전달하는 패드부 방향을 오픈하는 유기전계발광표시장치.

청구항 10

제1항에 있어서,
상기 서브 픽셀은,
상기 기판 상에 위치하는 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

- <2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.
- <3> 또한, 유기전계발광소자는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission) 방식 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.
- <4> 이러한 유기전계발광표시장치는 유기 발광층을 포함하는 서브 픽셀의 상부와 하부에 위치하는 애노드와 캐소드에 전기적인 신호 등을 공급하여 원하는 영상을 표시할 수 있다.
- <5> 유기전계발광표시장치는 수분이나 산소에 취약하므로 기판 상에 형성된 소자를 보호하기 위하여 기판 상에 접착부재를 형성하고, 기판과 밀봉 기판을 합착 밀봉하였다.
- <6> 한편, 접착부재로 프릿(frit)을 사용하는 경우 프릿을 소성시 조사되는 레이저의 열 에너지로 인하여 기판 온도가 순간적으로 수백도 이상 올라가게 된다. 이때 발생된 열 에너지에 의한 기판의 온도 상승은 기판 상에 형성된 트랜지스터, 유기 또는 무기막 등에 스트레스를 주게 되어 소자 및 막 특성에 변이를 일으키거나 물리적 충격이 발생하게 되므로 이를 해결할 수 있는 방안이 요구된다.

발명의 내용

해결 하고자하는 과제

<7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 접착부재 소성 공정시 표시부 내에 위치하는 서브 픽셀에 발생하는 문제를 최소화할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

<8> 상술한 과제 해결 수단으로 본 발명은, 기판; 기판 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부; 표시부

의 외곽 영역에 위치하며 표시부의 삼면을 둘러싸는 제1금속패턴; 제1금속패턴에 접촉하며 기관의 외곽으로 연장된 복수의 제2금속패턴; 기관과 이격 대향하는 밀봉기관; 및 제1금속패턴의 외곽 영역을 둘러싸도록 위치하며 기관과 밀봉기관을 밀봉하는 접착부재를 포함하는 유기전계발광표시장치를 제공한다.

- <9> 제1금속패턴 및 제2금속패턴은, 기관에 함몰 형성된 홈의 내부에 위치할 수 있다.
- <10> 제1금속패턴 및 제2금속패턴은, 기관에 함몰 형성된 홈의 내부부터 기관의 외부까지 돌출 형성될 수 있다.
- <11> 제1금속패턴 및 제2금속패턴은, 서브 픽셀에 포함된 트랜지스터의 게이트, 소오스 또는 드레인 중 어느 하나 이상과 동일한 공정 및 동일한 재료로 형성될 수 있다.
- <12> 제1금속패턴 및 제2금속패턴은, 기관 상에 위치하는 버퍼층 상에 위치할 수 있다.
- <13> 제1금속패턴 및 제2금속패턴의 상부 표면은, 기관의 표면과 동일한 높이를 가질 수 있다.
- <14> 제2금속패턴은, 제1금속패턴의 모서리와 인접하는 영역 및 제1금속패턴의 모서리와 모서리의 사이 영역에 위치할 수 있다.
- <15> 접착부재는, 프리트(Frit)일 수 있다.
- <16> 제1금속패턴은, 기관 상에 위치하며 외부로부터 공급된 구동신호를 표시부에 전달하는 패드부 방향을 오픈할 수 있다.
- <17> 서브 픽셀은, 기관 상에 위치하는 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함할 수 있다.

효 과

- <18> 본 발명은, 접착부재 소성 공정시 표시부 내에 위치하는 서브 픽셀에 발생하는 문제를 최소화할 수 있는 유기전계발광표시장치를 제공하여 소자의 안정성을 확보하고 신뢰성을 높이는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <19> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <20> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다.
- <21> 도 1에 도시된 바와 같이, 유기전계발광표시장치는 기관(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(DP)를 포함할 수 있다.
- <22> 다수의 서브 픽셀(P)은 기관(110) 상에 위치하는 구동부(DV)에 의해 구동되어 영상을 표현할 수 있다. 구동부(DV)는 기관(110) 상에 위치하는 패드부(PD)를 통해 외부로부터 구동에 필요한 각종 신호를 공급받을 수 있다. 이에 따라, 구동부(DV)는 외부로부터 공급된 각종 신호에 대응하여 스캔 신호 및 데이터 신호 등을 생성할 수 있으며, 생성된 신호 등을 표시부(DP)에 공급할 수 있다.
- <23> 이와 같은 구동부(DV)는 다수의 서브 픽셀(P)에 스캔 신호를 공급하는 스캔 구동부와 다수의 서브 픽셀(P)에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다. 여기서, 구동부(DV)는 스캔 구동부 및 데이터 구동부가 하나의 칩에 형성된 것을 일례로 개략적으로 도시한 것일 뿐 스캔 구동부, 데이터 구동부는 기관(110) 또는 기관(110)의 외부에 구분되어 위치할 수 있다.
- <24> 한편, 기관(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다. 그리하여, 밀봉기관(190)을 구비하고, 표시부(DP)의 외곽 기관(110)에 접착부재(S)를 형성하여 기관(110)과 밀봉기관(190)을 밀봉할 수 있다.
- <25> 본 발명에서는 밀봉시 표시부(DP)의 외곽 영역에 표시부(DP)의 삼면을 둘러싸는 제1금속패턴(PN1)을 포함할 수 있다. 또한, 제1금속패턴(PN1)에 접촉하며 기관(110)의 외곽으로 연장된 복수의 제2금속패턴(PN2)을 포함할 수 있다. 또한, 제1금속패턴(PN1)의 외곽 영역을 둘러싸는 접착부재(S)를 포함할 수 있다.
- <26> 여기서, 제1금속패턴(PN1) 및 제2금속패턴(PN2)은, 서브 픽셀(P)에 포함된 트랜지스터의 게이트, 소오스 또는 드레인 중 어느 하나와 동일한 공정 및 동일한 재료로 형성될 수 있다. 단, 제조 공정상에서 각각 다른 금속을 이용하여 제1금속패턴(PN1) 및 제2금속패턴(PN2)을 형성하면 중첩되는 영역이 발생할 수도 있다.
- <27> 여기서, 제1금속패턴(PN1)은 기관(110) 상에 위치하며 외부로부터 공급된 구동신호를 표시부에 전달하는 패드부

(PD) 방향을 오픈할 수도 있다. 이는 패드부(PD) 및 구동부(DV)가 위치하는 영역에 복수의 신호 배선들이 라우팅되어 있는 것을 고려한 것이다.

- <28> 이와 같은 밀봉 구조는, 밀봉 공정시 사용되는 접착부재(S)인 프릿(Frit)에 의한 열 에너지에 의해 표시부(DP) 내에 위치하는 서브 픽셀(P)에 포함된 트랜지스터, 유기 또는 무기막 등에 가해지는 스트레스를 최소화하고 소자 및 막 특성에 변이 또는 물리적 충격을 최소화할 수 있는데, 이에 대한 상세 설명은 이하에서 더욱 자세히 설명한다.
- <29> 이하에서는, 서브 픽셀(P)의 회로 구성 예시도를 통해 서브 픽셀의 연결관계에 대해 더욱 자세히 설명한다.
- <30> 도 2는 도 1에 도시된 서브 픽셀의 회로 구성 예시도 이다.
- <31> 도 2에 도시된 바와 같이, 서브 픽셀은 스캔 배선(SCAN)에 게이트가 연결되고 데이터 배선(DATA)에 일단이 연결되며 제1노드(A)에 타단이 연결된 스위칭 트랜지스터(S1)를 포함할 수 있다. 제1전원 배선(VDD)에 제1전극이 연결되고 제2노드(B)에 제2전극이 연결된 유기 발광다이오드(D)를 포함할 수 있다. 또한, 제1노드(A)에 게이트가 연결되고 제2노드(B)에 일단이 연결되며 제2전원 배선(VSS)에 타단이 연결된 구동 트랜지스터(T1)를 포함할 수 있다. 또한, 제1노드(A)에 일단이 연결되고 제2전원 배선(VSS)에 타단이 연결된 커패시터(Cst)를 포함할 수 있다.
- <32> 앞서 설명한 서브 픽셀의 회로 구성에서 트랜지스터들(S1, T1)은 도시된 바와 같이 N-Type 트랜지스터일 수 있으나 이에 한정되지 않을 수 있다.
- <33> 제1전원 배선(VDD)을 통해 공급되는 전원전압은 제2전원 배선(VSS)을 통해 공급되는 접지전압보다 높을 수 있으며, 제1전원 배선(VDD) 및 제2전원 배선(VSS)을 통해 공급되는 전압 레벨은 스위칭이 가능하다.
- <34> 앞서 설명한 서브 픽셀은 스캔 배선(SCAN)을 통해 스캔 신호가 공급되면 스위칭 트랜지스터(S1)가 턴온될 수 있다. 다음, 데이터 배선(DATA)을 통해 공급된 데이터 신호가 턴온된 스위칭 트랜지스터(S1)를 거쳐 제1노드(A)에 공급되면 커패시터(Cst)는 데이터 신호를 데이터 전압으로 저장할 수 있다. 다음, 스캔 신호가 차단되고 스위칭 트랜지스터(S1)가 턴오프되면 커패시터(Cst)에 저장된 데이터 전압에 대응하여 구동 트랜지스터(T1)는 구동할 수 있다. 다음, 제1전원 배선(VDD)을 통해 공급된 전원전압이 제2전원 배선(VSS)을 통해 흐르게 되어 유기 발광다이오드(D)는 발광을 할 수 있다.
- <35> 이하에서는, 서브 픽셀(P)의 회로 구성 예시도에 의한 서브 픽셀의 단면 구조에 대해 더욱 자세히 설명한다.
- <36> 도 3a는 도 2에 도시된 서브 픽셀의 단면 예시도 이다.
- <37> 도 3a에 도시된 바와 같이, 기판(110) 상에 버퍼층(105)이 위치할 수 있다. 버퍼층(105)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <38> 여기서, 기판(110)은 유리, 플라스틱 또는 금속 등으로 선택될 수 있다.
- <39> 버퍼층(105) 상에 반도체층(111)이 위치할 수 있다. 상기 반도체층(111)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다.
- <40> 또한, 반도체층(111)은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- <41> 반도체층(111) 상에 게이트 절연막일 수 있는 제1절연막(115)이 위치할 수 있다. 제1절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.
- <42> 제1절연막(115)의 상에 위치하는 반도체층(111)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널 영역과 대응되는 위치에 게이트 전극(120c)이 위치할 수 있다. 그리고, 상기 게이트 전극(120c)과 동일층 상에 스캔 배선(120a) 및 커패시터 하부 전극(120b)이 위치할 수 있다.
- <43> 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <44> 또한, 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.

- <45> 또한, 게이트 전극(120c)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <46> 스캔 배선(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 스캔 배선(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 스캔 배선(120a)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <47> 층간 절연막이 되는 제2절연막(125)은 스캔 배선(120a), 커패시터 하부 전극(120b) 및 게이트 전극(120c)을 포함하는 기판(110) 상에 위치할 수 있다. 제2절연막(125)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- <48> 제2절연막(125) 및 제1절연막(115) 내에 반도체층(111)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치할 수 있다.
- <49> 제2절연막(125) 및 제1절연막(115)을 관통하는 콘택홀들(130b, 130c)을 통하여 반도체층(111)과 전기적으로 연결되는 드레인 전극 및 소오스 전극(140c, 140d)이 화소 영역에 위치할 수 있다.
- <50> 드레인 전극 및 소오스 전극(140c, 140d)은 단일층 또는 다중층으로 이루어질 수 있으며, 드레인 전극 및 소오스 전극(140c, 140d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 드레인 전극 및 소오스 전극(140c, 140d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <51> 그리고, 드레인 전극 및 소오스 전극(140c, 140d)과 동일층 상에 데이터 배선(140a), 커패시터 상부 전극(140b) 및 전원 배선(140e)이 위치할 수 있다.
- <52> 비화소 영역에 위치하는 데이터 배선(140a), 전원 배선(140e)은 단일층 또는 다중층으로 이루어질 수 있으며, 데이터 배선(140a) 및 전원 배선(140e)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <53> 또한, 데이터 배선(140a) 및 전원 배선(140e)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <54> 이 밖에, 데이터 배선(140a) 및 전원 배선(140e)은 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <55> 제3절연막(145)은 데이터 배선(140a), 커패시터 상부 전극(140b), 드레인 및 소오스 전극(140c, 140d)과 전원 배선(140e) 상에 위치할 수 있다. 제3절연막(145)은 하부 구조의 단차를 완화하기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 스핀 코팅(spin coating)법으로 형성하거나 실리콘 산화물 또는 실리콘 질화물 등의 무기물을 SOG(silicate on glass)법으로 형성할 수 있다.
- <56> 이와는 달리, 제3절연막(145)은 패시베이션막일 수 있으며, 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 또는 이들의 다중층일 수 있다.
- <57> 제3절연막(145) 내에 드레인 및 소오스 전극(140c, 140d) 중 어느 하나를 노출시키는 비어홀(165)이 위치하며, 제3절연막(145) 상에 비어홀(165)을 통하여 드레인 및 소오스 전극(140c, 140d) 중 어느 하나와 전기적으로 연결되는 제1전극(160)이 위치할 수 있다.
- <58> 제1전극(160)은 애노드일 수 있으며, 투명한 전극 또는 반사 전극일 수 있다. 여기서, 유기전계발광표시장치의 구조가 배면 또는 양면발광일 경우에 제1전극(160)은 투명한 전극일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있다.
- <59> 또한, 유기전계발광표시장치의 구조가 전면발광일 경우에 제1전극(160)은 반사 전극일 수 있으며, ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 층 하부에 알루미늄(Al), 은(Ag) 또는 니켈(Ni) 중 어느 하나로 이루어진 반사층을 더 포함할 수 있고, 이와 더불어, ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 두 개의 층 사이에 반사층

을 포함할 수 있다.

- <60> 제1전극(160) 상에 인접하는 제1전극들을 절연시키며, 제1전극(160)의 일부를 노출시키는 개구부(175)를 포함하는 제4절연막(155)이 위치할 수 있다. 개구부(175)에 의해 노출된 제1전극(160) 상에 발광층(170)이 위치할 수 있다.
- <61> 발광층(170) 상에 제2전극(180)이 위치할 수 있다. 제2전극(180)은 캐소드 전극일 수 있으며, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- <62> 여기서, 제2전극(180)은 유기전계발광표시장치가 전면 또는 양면발광구조일 경우, 빛을 투과할 수 있을 정도로 얇은 두께로 형성할 수 있으며, 유기전계발광표시장치가 배면발광구조일 경우, 빛을 반사시킬 수 있을 정도로 두껍게 형성할 수 있다.
- <63> 전술한 실시 예는 총 7매의 마스크 즉, 반도체층, 게이트 전극(스캔 배선 및 커패시터 하부전극 포함), 콘택홀들, 소오스 전극 및 드레인 전극(데이터 배선, 전원 배선, 커패시터 상부전극 포함), 비어홀, 제1전극 및 개구부를 형성하는 공정에 마스크가 사용된 서브 픽셀의 단면 구조를 예로 설명하였다.
- <64> 이하에서는, 총 5매의 마스크를 이용한 서브 픽셀의 단면 구조에 대해 설명한다. 단, 설명의 중복을 피하고자 앞서 설명한 내용과 중복되는 부분의 설명은 생략한다.
- <65> 도 3b는 도 1에 도시된 서브 픽셀의 다른 단면 예시도 이다.
- <66> 도 3b에 도시된 바와 같이, 기판(110) 상에 버퍼층(105)이 위치하고, 버퍼층(105) 상에 반도체층(111)이 위치할 수 있다. 반도체층(111) 상에 제1절연막(115)이 위치하고, 제1절연막(115) 상에 게이트 전극(120c), 커패시터 하부전극(120b) 및 스캔 배선(120a)이 위치할 수 있다. 게이트 전극(120c) 상에 제2절연막(125)이 위치할 수 있다.
- <67> 제2절연막(125) 상에 제1전극(160)이 위치하고, 반도체층(111)을 노출시키는 콘택홀들(130b, 130c)이 위치할 수 있다. 제1전극(160)과 콘택홀들(130b, 130c)은 동시에 형성될 수 있다.
- <68> 제2절연막(125) 상에 소오스 전극(140d), 드레인 전극(140c), 데이터 배선(140a), 커패시터 상부전극(140b) 및 전원 배선(140e)이 위치할 수 있다. 여기서 드레인 전극(140c)의 일부는 제1전극(160) 상에 위치할 수 있다.
- <69> 전술한 구조물이 형성된 기판(110) 상에 화소정의막 또는 배크층일 수 있는 제3절연막(145)이 위치하고, 제3절연막(145)에는 제1전극(160)을 노출시키는 개구부(175)가 위치할 수 있다. 개구부(175)에 의해 노출된 제1전극(160) 상에 발광층(170)이 위치하고, 그 상부에 제2전극(180)이 위치할 수 있다.
- <70> 위와 같이, 총 5매의 마스크 즉, 반도체층, 게이트 전극(스캔 배선 및 커패시터 하부전극 포함), 제1전극(콘택홀 포함), 소오스/드레인 전극(데이터 배선, 전원 배선, 커패시터 상부전극 포함) 및 개구부를 형성하는 공정에 마스크가 사용된 서브 픽셀의 구조는 마스크의 개수를 줄여 제조 비용을 절감하고 대량 생산의 효율성을 높일 수 있는 이점이 있다.
- <71> 이하에서는, 서브 픽셀의 구조 중 유기 발광다이오드의 계층별 구조에 대해 더욱 자세히 설명한다.
- <72> 도 4는 유기 발광다이오드의 계층 구조도 이다.
- <73> 도 4를 참조하면, 유기 발광다이오드는 제1전극(160)이 위치하고, 상기 제1전극(160) 상에 위치하는 정공주입층(171), 정공수송층(172), 발광층(170), 전자수송층(173), 전자주입층(174) 및 전자주입층(174)상에 위치하는 제2전극(180)을 포함할 수 있다.
- <74> 먼저, 제1전극(160) 상에 정공주입층(171)이 위치할 수 있다. 상기 정공주입층(171)은 상기 제1전극(160)으로부터 발광층(170)으로 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- <75> 앞서 설명한, 정공주입층(171)은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다.
- <76> 정공수송층(172)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있

으나 이에 한정되지 않는다.

- <77> 정공수송층(172)은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다. 앞서 설명한 발광층(170)은 적색, 녹색, 청색 및 백색을 발광하는 물질로 이루어질 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.
- <78> 발광층(170)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <79> 발광층(170)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <80> 발광층(170)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다.
- <81> 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스틸아릴렌(DSA), PF0계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <82> 여기서, 전자수송층(173)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 및 SALq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- <83> 전자수송층(173)은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다. 전자수송층(173)은 제1전극으로부터 주입된 정공이 발광층을 통과하여 제2전극으로 이동하는 것을 방지하는 역할도 할 수 있다. 즉, 정공저지층의 역할을 하여 발광층에서 정공과 전자의 결합을 효율적이게 하는 역할을 할 수도 있다.
- <84> 여기서, 전자주입층(174)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 또는 SALq를 사용할 수 있으나 이에 한정되지 않는다.
- <85> 전자주입층(174)은 전자주입층을 이루는 유기물과 무기물을 진공증착법으로 형성할 수 있다.
- <86> 여기서, 정공주입층(171) 또는 전자주입층(174)은 무기물을 더 포함할 수 있으며, 상기 무기물은 금속화합물을 더 포함할 수 있다. 상기 금속화합물은 알칼리 금속 또는 알칼리 토금속을 포함할 수 있다. 알칼리 금속 또는 알칼리 토금속을 포함하는 금속화합물은 LiQ, LiF, NaF, KF, RbF, CsF, FrF, BeF₂, MgF₂, CaF₂, SrF₂, BaF₂ 및 RaF₂로 이루어진 군에서 선택된 어느 하나 이상일 수 있으나 이에 한정되지 않는다.
- <87> 즉, 전자주입층(174)내의 무기물은 제2전극(180)으로부터 발광층(170)으로 주입되는 전자의 호핑(hopping)을 용이하게 하여, 발광층내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.
- <88> 또한, 정공주입층(171) 내의 무기물은 제1전극(160)으로부터 발광층(170)으로 주입되는 정공의 이동성을 줄여줌으로써, 발광층(170)내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.
- <89> 여기서, 본 발명은 도 4에 한정되는 것은 아니며, 전자 주입층(174), 전자 수송층(173), 정공 수송층(172), 정공 주입층(171) 중 적어도 어느 하나가 생략될 수도 있다.
- <90> 이하에서는, 앞서 도 1을 참조하여 설명한 밀봉 구조에 대해 도 1의 X1-X2영역의 단면도를 참조하여 더욱 자세히 설명한다. 단, 설명의 이해를 돕기 위해 도 1을 함께 참조한다.
- <91> 도 5는 본 발명의 일 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도이다.
- <92> 본 발명의 일 실시예에 따른 밀봉 구조는 도 5에 도시된 바와 같이, 기판(110) 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부(DP)의 외곽 영역에서 표시부(DP)의 삼면을 둘러싸는 제1금속패턴(PN1)을 포함할 수 있다. 또한, 제1금속패턴(PN1)에 접촉하며 기판(110)의 외곽으로 연장된 복수의 제2금속패턴(PN2)을 포함할 수 있다. 또한, 제1금속패턴(PN1)의 외곽 영역을 둘러싸는 접착부재(S)를 포함할 수 있다. 또한, 기판(110)과 이격 대향

하며 접착부재(S)에 의해 기관(110)을 밀봉하는 밀봉기관(190)을 포함할 수 있다.

- <93> 여기서, 제1금속패턴(PN1)은 앞서 설명한 바와 같이 기관(110)의 구조적 측면을 고려하여 패드부(PD) 방향을 오픈할 수 있다. 또한, 제1금속패턴(PN1) 및 제2금속패턴(PN2)은, 서브 픽셀(P)에 포함된 트랜지스터의 게이트, 소오스 또는 드레인 중 어느 하나 이상과 동일한 공정 및 동일한 재료로 형성될 수 있다. 단, 본 발명의 일 실시예에서는 구분의 용이성을 주기 위해 제1금속패턴(PN1) 및 제2금속패턴(PN2)이 다른 공정 및 다른 재료로 형성된 것을 일례로 한다. 또한, 제1금속패턴(PN1) 및 제2금속패턴(PN2)의 상부 표면은 기관(110)의 표면과 동일한 높이를 가질 수 있다.
- <94> 여기서, 제2금속패턴(PN2)의 경우, 열 방출 특성을 향상시키기 위해 도시된 바와 같이, 제1금속패턴(PN1)의 모서리 영역 및 제1금속패턴(PN1)의 모서리와 모서리의 사이 영역에 위치할 수 있으나 이에 한정되지 않는다.
- <95> 이상 본 발명의 일 실시예에 따른 밀봉 구조는 접착부재(S)로 프린트 사용될 시 프린트 소성을 위해 조사된 레이저의 열 에너지에 의해 표시부(DP) 내에 위치하는 서브 픽셀의 손상을 방지하기 위해 기관(110)에 함몰 형성된 홈(H)의 내부에 제1금속패턴(PN1) 및 제2금속패턴(PN2)을 형성할 수 있다.
- <96> 이와 같은 구조는, 프린트로 선택된 접착부재(S) 소성시 조사된 레이저에 의해 발생한 열이 제1금속패턴(PN1)에 연장된 제2금속패턴(PN2)을 통해 외부로 방출할 수 있다. 즉, 제1금속패턴(PN1)은 레이저에 의해 발생한 열을 흡수 및 차단하는 역할을 하고, 제2금속패턴(PN2)은 제1금속패턴(PN1) 및 제2금속패턴(PN2)에 전도된 열을 기관(110)의 외부로 방출하는 역할을 할 수 있다.
- <97> 도 6은 본 발명의 다른 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도이다.
- <98> 본 발명의 다른 실시예에 따른 밀봉 구조는 도 6에 도시된 바와 같이, 기관(110) 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부(DP)의 외곽 영역에서 표시부의 삼면을 둘러싸는 제1금속패턴(PN1)을 포함할 수 있다. 또한, 제1금속패턴(PN1)에 접촉하며 기관(110)의 외곽으로 연장된 복수의 제2금속패턴(PN2)을 포함할 수 있다. 또한, 제1금속패턴(PN1)의 외곽 영역을 둘러싸는 접착부재(S)를 포함할 수 있다. 또한, 기관(110)과 이격 대향하며 접착부재(S)에 의해 기관(110)을 밀봉하는 밀봉기관(190)을 포함할 수 있다.
- <99> 여기서, 제1금속패턴(PN1)은 앞서 설명한 바와 같이 기관(110)의 구조적 측면을 고려하여 패드부(PD) 방향을 오픈할 수 있다. 또한, 제1금속패턴(PN1) 및 제2금속패턴(PN2)은, 서브 픽셀(P)에 포함된 트랜지스터의 게이트, 소오스 또는 드레인 중 어느 하나 이상과 동일한 공정 및 동일한 재료로 형성될 수 있다. 단, 본 발명의 다른 실시예에서는 구분의 용이성을 주기 위해 제1금속패턴(PN1) 및 제2금속패턴(PN2)이 다른 공정 및 다른 재료로 형성된 것을 일례로 한다.
- <100> 여기서, 제2금속패턴(PN2)의 경우, 열 방출 특성을 향상시키기 위해 도시된 바와 같이, 제1금속패턴(PN1)의 모서리 영역 및 제1금속패턴(PN1)의 모서리와 모서리의 사이 영역에 위치할 수 있다.
- <101> 이상 본 발명의 다른 실시예에 따른 밀봉 구조는 접착부재(S)로 프린트 사용될 시 프린트 소성을 위해 조사된 레이저의 열 에너지에 의해 표시부(DP) 내에 위치하는 서브 픽셀의 손상을 방지하기 위해 기관(110)에 함몰 형성된 홈(H)의 내부부터 기관(110)의 외부까지 돌출되도록 제1금속패턴(PN1) 및 제2금속패턴(PN2)을 형성할 수 있다.
- <102> 이와 같은 구조는, 프린트로 선택된 접착부재(S) 소성시 조사된 레이저에 의해 발생한 열이 제1금속패턴(PN1)에 연장된 제2금속패턴(PN2)을 통해 외부로 방출할 수 있다. 즉, 제1금속패턴(PN1)은 레이저에 의해 발생한 열을 흡수 및 차단하는 역할을 하고, 제2금속패턴(PN2)은 제1금속패턴(PN1) 및 제2금속패턴(PN2)에 전도된 열을 기관(110)의 외부로 방출하는 역할을 할 수 있다.
- <103> 도 7은 본 발명의 또 다른 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도이다.
- <104> 본 발명의 또 다른 실시예에 따른 밀봉 구조는 도 7에 도시된 바와 같이, 기관(110) 상에 위치하는 복수의 서브 픽셀을 포함하는 표시부(DP)의 외곽 영역에서 표시부의 삼면을 둘러싸는 제1금속패턴(PN1)을 포함할 수 있다. 또한, 제1금속패턴(PN1)에 접촉하며 기관(110)의 외곽으로 연장된 복수의 제2금속패턴(PN2)을 포함할 수 있다. 또한, 제1금속패턴(PN1)의 외곽 영역을 둘러싸는 접착부재(S)를 포함할 수 있다. 또한, 기관(110)과 이격 대향하며 접착부재(S)에 의해 기관(110)을 밀봉하는 밀봉기관(190)을 포함할 수 있다.
- <105> 여기서, 제1금속패턴(PN1)은 앞서 설명한 바와 같이 기관(110)의 구조적 측면을 고려하여 패드부(PD) 방향을 오픈할 수 있다. 또한, 제1금속패턴(PN1) 및 제2금속패턴(PN2)은, 서브 픽셀(P)에 포함된 트랜지스터의 게이트,

소오스 또는 드레인 중 어느 하나 이상과 동일한 공정 및 동일한 재료로 형성될 수 있다. 단, 본 발명의 또 다른 실시예에서는 구분의 용이성을 주기 위해 제1금속패턴(PN1) 및 제2금속패턴(PN2)이 다른 공정 및 다른 재료로 형성된 것을 일례로 한다.

<106> 이상 본 발명의 또 다른 실시예에 따른 밀봉 구조는 접착부재(S)로 프린트 사용될 시 프린트 소성을 위해 조사된 레이저의 열 에너지에 의해 표시부(DP) 내에 위치하는 서브 픽셀의 손상을 방지하기 위해 기관(110)에 위치하는 버퍼층(105) 상에 제1금속패턴(PN1) 및 제2금속패턴(PN2)을 형성할 수 있다.

<107> 이와 같은 구조는, 프린트로 선택된 접착부재(S) 소성시 조사된 레이저에 의해 발생한 열이 제1금속패턴(PN1)에 연장된 제2금속패턴(PN2)을 통해 외부로 방출할 수 있다. 즉, 제1금속패턴(PN1)은 레이저에 의해 발생된 열을 흡수 및 차단하는 역할을 하고, 제2금속패턴(PN2)은 제1금속패턴(PN1) 및 제2금속패턴(PN2)에 전도된 열을 기관(110)의 외부로 방출하는 역할을 할 수 있다.

<108> 한편, 앞서 도 5 내지 도 7을 참조하여 설명한 밀봉 구조에서, 제1금속패턴(PN1)의 폭은 1.1 mm ~ 1.8 mm로 형성할 수 있고, 제1금속패턴(PN1)의 폭을 포함하는 제2금속패턴(PN2)의 폭은 2.1 mm ~ 2.6 mm로 형성할 수 있다. 단, 제1금속패턴(PN1)의 폭은 1.5 mm 오차 범위 ± 0.2 mm로 형성하는 것이 더 유리하고, 제1금속패턴(PN1)의 폭을 포함하는 제2금속패턴(PN2)의 폭은 2.3 mm 오차 범위 ± 0.2 mm로 형성하는 것이 더 유리하다.

<109> 제1금속패턴(PN1)의 폭을 1.1 mm 이상으로 형성하면, 레이저에 의해 발생하는 열 에너지가 표시부(DP)의 내부로 침투되는 현상을 방지하는 효과를 증대시킬 수 있다. 반면, 제1금속패턴(PN1)의 폭을 1.8 mm 이하로 형성하면, 베젤 마진을 크게 형성하지 않는 범위 내에서 레이저에 의해 발생하는 열 에너지가 표시부(DP)의 내부로 침투되는 현상을 방지하는 효과를 가질 수 있다. 이어서, 제1금속패턴(PN1)의 폭을 포함하는 제2금속패턴(PN2)의 폭을 2.1 mm 이상으로 형성하면, 제1금속패턴(PN1)과 중첩되지 않는 범위 내에서 기관(110)의 외곽 영역까지 제2금속패턴(PN2)을 형성할 수 있다. 반면, 제1금속패턴(PN1)의 폭을 포함하는 제2금속패턴(PN2)의 폭을 2.6 mm 이하로 형성하면, 제1금속패턴(PN1)과 중첩되는 범위 내에서 기관(110)의 외곽 영역까지 제2금속패턴(PN2)을 형성할 수 있다.

<110> 이상 본 발명의 각 실시예는 접착부재 소성 공정시 표시부 내에 위치하는 서브 픽셀에 포함된 트랜지스터, 유기 또는 무기막 등의 특성 변이 또는 물리적 충격이 발생하는 문제를 최소화할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

<111> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

<112> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

<113> 도 2는 도 1에 도시된 서브 픽셀의 회로 구성 예시도.

<114> 도 3a는 도 2에 도시된 서브 픽셀의 단면 예시도.

<115> 도 3b는 도 1에 도시된 서브 픽셀의 다른 단면 예시도.

<116> 도 4는 유기 발광다이오드의 계층 구조도.

<117> 도 5는 본 발명의 일 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도.

<118> 도 6은 본 발명의 다른 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도.

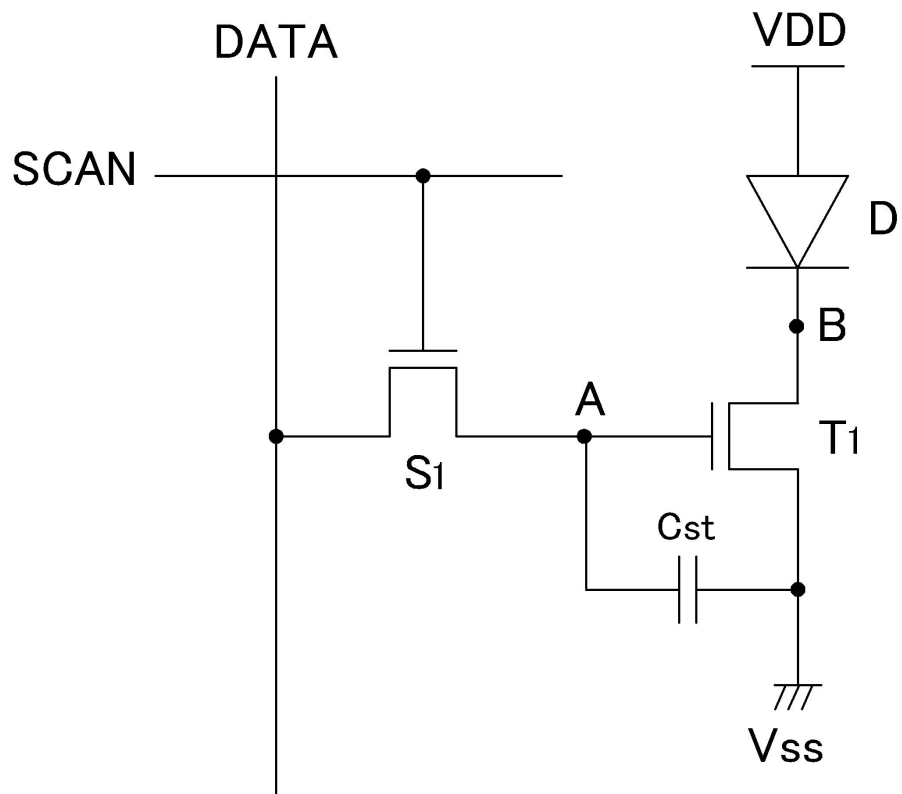
<119> 도 7은 본 발명의 또 다른 실시예에 따른 밀봉 구조를 설명하기 위한 도 1의 X1-X2영역의 단면도.

<120> <도면의 주요 부분에 관한 부호의 설명>

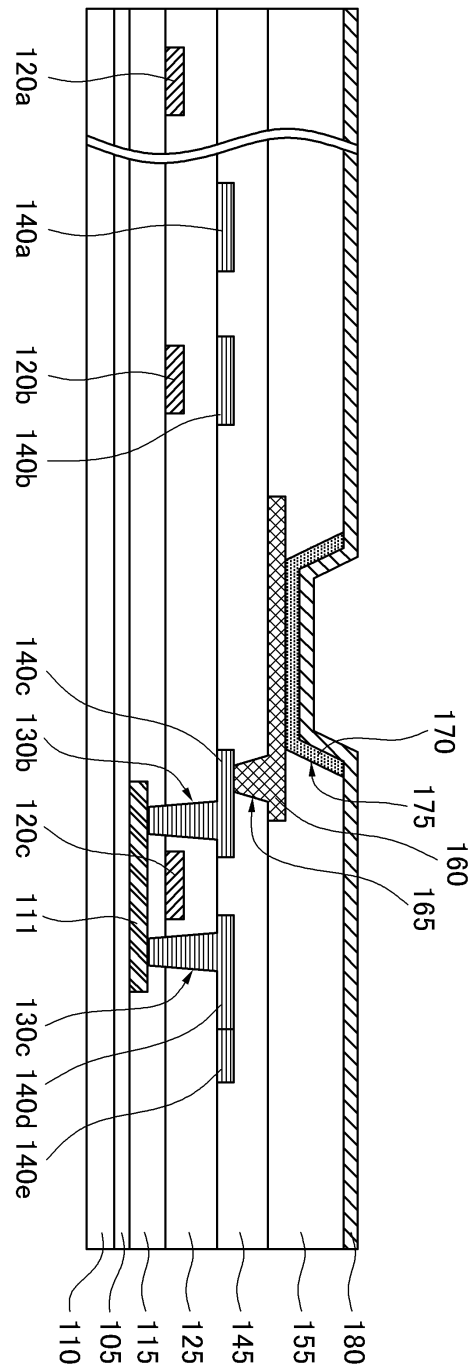
<121> 110: 기관 190: 밀봉기관

<122> PN1: 제1금속패턴 PN2: 제2금속패턴

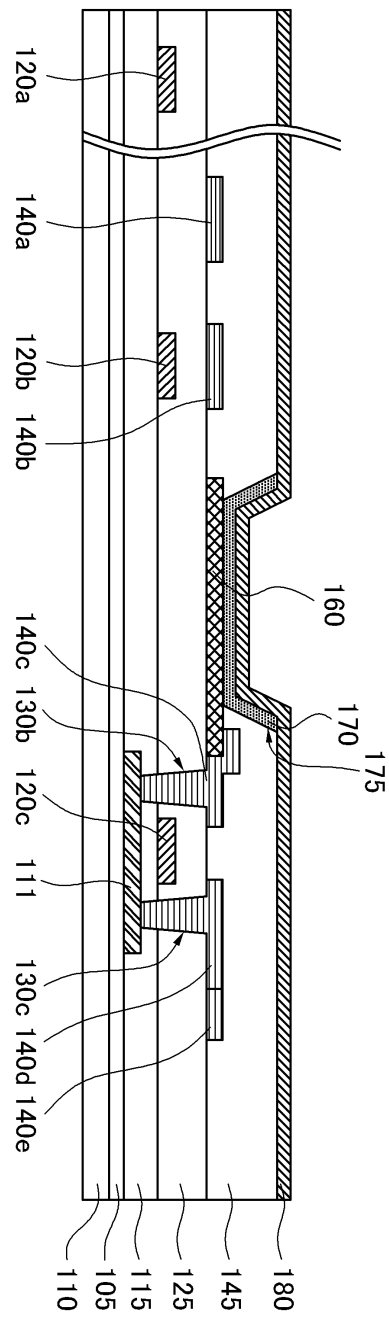
도면2



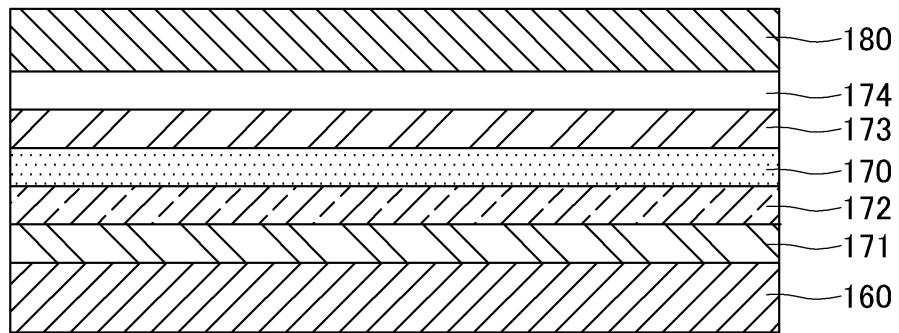
도면3a



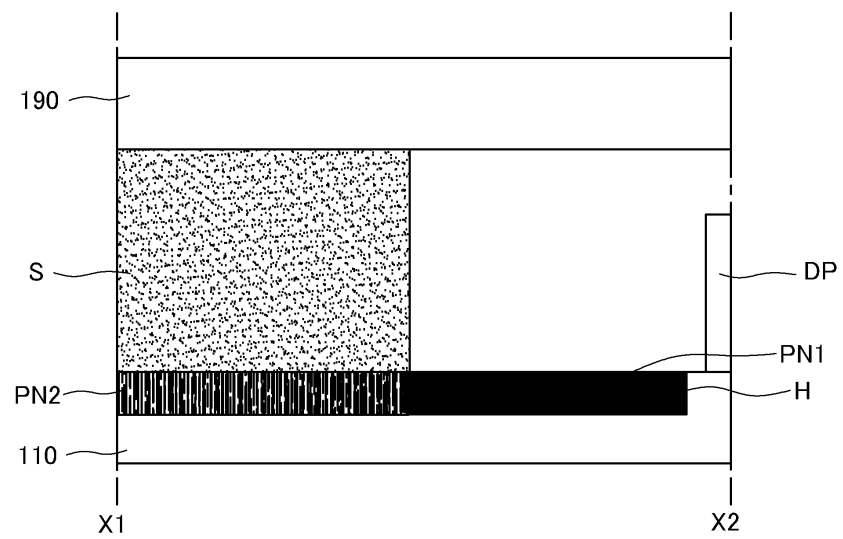
도면3b



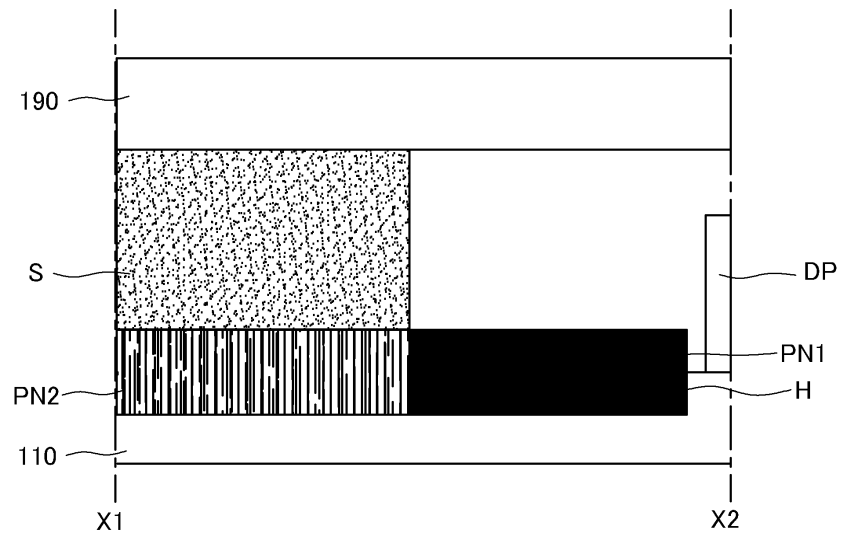
도면4



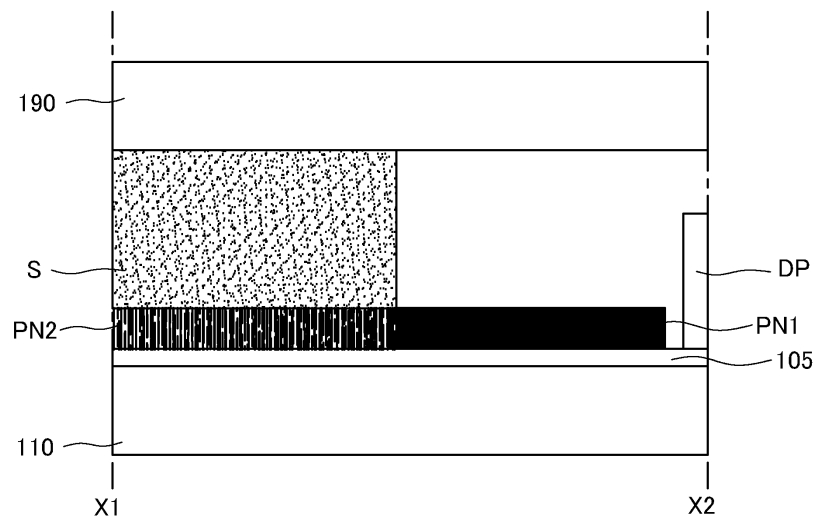
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020090065116A	公开(公告)日	2009-06-22
申请号	KR1020070132565	申请日	2007-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO CHANG KI 서창기 JUNG YOUNG HYU 정영호 KIM KWAN SOO 김관수		
发明人	서창기 정영호 김관수		
IPC分类号	H05B33/04		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3265 H01L51/0096 H01L51/524 H01L2924/12044		
其他公开文献	KR101378862B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：衬底；一种显示单元，包括位于基板上的多个子像素；第一金属图案，位于显示部分的外部区域并围绕显示部分的三个侧面；多个第二金属图案接触第一金属图案并延伸到基板的外周；密封基板背离基板；并且粘合构件定位成围绕第一金属图案的外部区域并密封基板和密封基板。

