



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0016012
(43) 공개일자 2008년02월21일

(51) Int. Cl.

H05B 33/26 (2006.01)

(21) 출원번호 10-2006-0077518

(22) 출원일자 2006년08월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정광철

경기 성남시 수정구 태평1동 7115-4

허중무

경기 화성시 반월동 신영통 현대 APT 204동 902호
(뒷면에 계속)

(74) 대리인

박영우

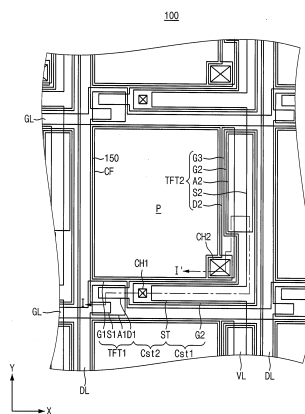
전체 청구항 수 : 총 11 항

(54) 표시 장치

(57) 요약

발광 면적을 증가시키기 위한 표시 장치가 개시된다. 표시 장치는 게이트 배선, 제1 절연막, 전원 배선, 제2 절연막, 데이터 배선, 스위칭 소자 및 구동 소자를 포함한다. 게이트 배선은 기판 상에서 제1 방향으로 연장되며 제1 금속패턴으로 형성된다. 제1 절연막은 게이트 배선이 형성된 기판 전면에 형성된다. 전원 배선은 제1 절연막 상에서 제1 방향과 교차하는 제2 방향으로 연장되고, 제2 금속패턴으로 형성된다. 제2 절연막은 전원 배선이 형성된 제1 절연막 상에 형성된다. 데이터 배선은 제2 절연막 상에 형성되고, 전원 배선으로부터 이격되어 제2 방향으로 연장되며 제3 금속패턴으로 형성된다. 스위칭 소자는 게이트 배선에 연결된 제1 게이트 전극과, 데이터 배선에 연결된 제1 소스 전극 및 제3 금속패턴으로 형성된 제1 드레인 전극을 포함한다. 구동 소자는 제1 금속패턴으로 형성된 제2 게이트 전극과, 전원 배선에 연결된 제2 소스 전극 및 제2 금속패턴으로 형성된 제2 드레인 전극을 포함한다. 이때, 제1 드레인 전극은 제1 및 제2 절연막에 형성된 콘택홀을 통해 제2 게이트 전극과 직접 접촉한다. 이에 따라, 스위칭 소자와 구동 소자를 전기적으로 연결시키기 위한 브릿지 전극을 생략할 수 있다.

대표도 - 도1



(72) 발명자

최준후

서울특별시 서대문구 영천동 삼호아파트 108동 303호

박승규

경기 화성시 반월동 신영통현대2차아파트 206동 1602호

정병성

경기 용인시 기흥구 영덕동 대명아파트 102-1301

이동은

서울특별시 도봉구 창4동 쌍용아파트 114동 902호

김태연

울산 남구 삼산동 삼산현대아파트 103동 801호

특허청구의 범위

청구항 1

기관 상에서 제1 방향으로 연장되며 제1 금속패턴으로 형성된 게이트 배선;

상기 게이트 배선이 형성된 기관 전면에 형성된 제1 절연막;

상기 제1 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 제2 금속패턴으로 형성된 전원배선;

상기 전원 배선이 형성된 제1 절연막 상에 형성된 제2 절연막;

상기 제2 절연막 상에 형성되고, 상기 전원 배선으로부터 이격되어 상기 제2 방향으로 연장되며 제3 금속패턴으로 형성된 데이터 배선;

상기 게이트 배선에 연결된 제1 게이트 전극과, 상기 데이터 배선에 연결된 제1 소스 전극 및 상기 제3 금속패턴으로 형성된 제1 드레인 전극을 포함하는 스위칭 소자; 및

상기 제1 금속 패턴으로 형성된 제2 게이트 전극과, 상기 전원 배선에 연결된 제2 소스 전극 및 상기 제2 금속패턴으로 형성된 제2 드레인 전극을 포함하는 구동 소자를 포함하며,

상기 제1 드레인 전극은 상기 제1 및 제2 절연막에 형성된 콘택홀을 통해 상기 제2 게이트 전극과 직접 접촉하는 것을 특징으로 하는 표시 장치.

청구항 2

제1 항에 있어서, 상기 제2 게이트 전극은 상기 제1 게이트 전극에 인접하며 상기 제1 방향으로 연장된 제1 영역 및 상기 전원 배선에 인접하며 상기 제2 방향으로 연장된 제2 영역을 포함하는 것을 특징으로 하는 표시 장치.

청구항 3

제2 항에 있어서, 상기 콘택홀은 상기 제1 영역 상에 형성된 것을 특징으로 하는 표시 장치.

청구항 4

제2 항에 있어서, 상기 제2 소스 전극 및 상기 제2 드레인 전극은 상기 제2 영역과 중첩되도록 형성된 것을 특징으로 하는 표시 장치.

청구항 5

제4 항에 있어서, 상기 제1 드레인 전극은 상기 제2 절연막 상에서 상기 제2 게이트 전극과 중첩되어 상기 구동 소자의 제3 게이트 전극을 정의하는 것을 특징으로 하는 표시 장치.

청구항 6

제2 항에 있어서, 상기 전원 배선으로부터 연결되며, 상기 제1 영역과 중첩되어 제1 스토리지 캐패시터를 형성하는 스토리지 전극을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 7

제6 항에 있어서, 상기 제1 드레인 전극은 상기 스토리지 전극과 중첩되어 제2 스토리지 캐패시터를 형성하는 것을 특징으로 하는 표시 장치.

청구항 8

제1 항에 있어서, 상기 스위칭 소자는 상기 제2 절연막과 상기 제1 소스 및 제1 드레인 전극 사이에 비정질 실리콘으로 이루어진 제1 액티브층을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 9

제1 항에 있어서, 상기 구동 소자는 상기 제1 절연막과 상기 제1 소스 및 제1 드레인 전극 사이에 다결정 실리콘

콘으로 이루어진 제2 액티브층을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 10

제1 항에 있어서, 상기 제2 드레인 전극은 유기 발광 소자와 전기적으로 연결된 것을 특징으로 하는 표시 장치.

청구항 11

기관 상에서 제1 방향으로 연장되며 제1 금속패턴으로 형성된 게이트 배선;

상기 게이트 배선이 형성된 기관 전면에 형성된 제1 절연막;

상기 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 제2 금속패턴으로 형성된 전원배선;

상기 전원 배선이 형성된 제1 절연막 상에 형성된 제2 절연막;

상기 제2 절연막 상에 형성되고, 상기 전원 배선으로부터 이격되어 상기 제2 방향으로 연장되며 제3 금속패턴으로 형성된 데이터 배선;

상기 게이트 배선에 연결된 제1 게이트 전극과, 상기 데이터 배선에 연결된 제1 소스 전극 및 상기 제3 금속패턴으로 형성된 제1 드레인 전극을 포함하는 스위칭 소자; 및

상기 전원 배선에 연결된 제2 소스 전극, 상기 제2 금속 패턴으로 형성된 제2 드레인 전극 및 상기 제1 드레인 전극으로부터 연결된 제2 게이트 전극을 포함하는 구동 소자를 포함하는 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 발광 면적을 증가시키기 위한 유기 발광 표시 장치에 관한 것이다.
- <16> 일반적으로, 유기 발광 표시 장치는 게이트 배선들, 데이터 배선들 및 전원 배선들을 포함한다.
- <17> 게이트 배선과 데이터 배선은 서로 교차하여 복수의 단위 화소를 정의하며, 전원 배선은 데이터 배선들 사이에서 상기 데이터 배선과 평행하게 연장된다.
- <18> 단위 화소 내에는 스위칭 소자, 구동 소자 및 유기 발광 소자가 형성된다. 스위칭 소자는 게이트 배선 및 데이터 배선에 연결되어 형성되고, 구동 소자는 스위칭 소자 및 전원 배선에 연결되어 형성된다. 유기 발광 소자는 구동 소자에 전기적으로 연결된다.
- <19> 상기 스위칭 소자는 상기 구동 소자에 타이밍 신호를 인가하며, 상기 구동 소자는 상기 타이밍 신호에 따라 상기 전원 배선으로부터 상기 유기 발광 소자에 화소 전압을 인가한다.
- <20> 한편, 종래에는 상기 스위칭 소자의 출력 단자와 상기 구동 소자의 입력 단자를 전기적으로 연결시키기 위하여 상기 출력 단자와, 상기 입력 단자를 노출시키는 콘택홀을 각각 형성하고, 유기 발광 소자의 화소 전극을 패터닝하는 후속 공정중에 상기 화소 전극과 동일 재질로 이루어진 브릿지(BRIDGE) 전극을 형성하였다.
- <21> 그러나, 상기 브릿지 전극은 상기 화소 전극과 동일층 상에 형성되므로, 상기 브릿지 전극에 의해 화소 전극의 형성 면적이 감소하는 문제점이 있다.
- <22> 상기 화소 전극의 면적은 유기 발광 소자의 형성 면적을 정의하므로, 상기 브릿지 전극에 의해 단위 화소 내 발광 면적이 감소하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <23> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 단위 화소 내 발광 면적을 증가시키기 위한 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <24> 상기한 본 발명의 목적을 실현하기 위하여 실시예에 따른 표시 장치는, 게이트 배선, 제1 절연막, 전원 배선, 제2 절연막, 데이터 배선, 스위칭 소자 및 구동 소자를 포함한다. 상기 게이트 배선은 기판 상에서 제1 방향으로 연장되며 제1 금속패턴으로 형성된다. 상기 제1 절연막은 상기 게이트 배선이 형성된 기판 전면에 형성된다. 상기 전원 배선은 상기 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 제2 금속패턴으로 형성된다. 상기 제2 절연막은 상기 전원 배선이 형성된 제1 절연막 상에 형성된다. 상기 데이터 배선은 상기 제2 절연막 상에 형성되고, 상기 전원 배선으로부터 이격되어 상기 제2 방향으로 연장되며 제3 금속패턴으로 형성된다. 상기 스위칭 소자는 상기 게이트 배선에 연결된 제1 게이트 전극과, 상기 데이터 배선에 연결된 제1 소스 전극 및 상기 제3 금속패턴으로 형성된 제1 드레인 전극을 포함한다. 상기 구동 소자는 상기 제1 금속 패턴으로 형성된 제2 게이트 전극과, 상기 전원 배선에 연결된 제2 소스 전극 및 상기 제2 금속 패턴으로 형성된 제2 드레인 전극을 포함한다. 이때, 상기 제1 드레인 전극은 상기 제1 및 제2 절연막에 형성된 콘택홀을 통해 상기 제2 게이트 전극과 직접 접촉한다.
- <25> 본 발명의 다른 실시예에 따른 표시 장치는 게이트 배선, 제1 절연막, 전원 배선, 제2 절연막, 데이터 배선, 스위칭 소자 및 구동 소자를 포함한다. 상기 게이트 배선은 기판 상에서 제1 방향으로 연장되며 제1 금속패턴으로 형성된다. 상기 제1 절연막은 상기 게이트 배선이 형성된 기판 전면에 형성된다. 상기 전원 배선은 상기 제1 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 제2 금속패턴으로 형성된다. 상기 제2 절연막은 상기 전원 배선이 형성된 제1 절연막 상에 형성된다. 상기 데이터 배선은 상기 제2 절연막 상에 형성되고, 상기 전원 배선으로부터 이격되어 상기 제2 방향으로 연장되며 제3 금속패턴으로 형성된다. 상기 스위칭 소자는 상기 게이트 배선에 연결된 제1 게이트 전극과, 상기 데이터 배선에 연결된 제1 소스 전극 및 상기 제3 금속패턴으로 형성된 제1 드레인 전극을 포함한다. 상기 구동 소자는 상기 전원 배선에 연결된 제2 소스 전극, 상기 제2 금속 패턴으로 형성된 제2 드레인 전극 및 상기 제1 드레인 전극으로부터 연결된 제2 게이트 전극을 포함한다.
- <26> 이러한 표시 장치에 의하면, 스위칭 소자와 구동 소자를 전기적으로 연결시키기 위한 별도의 브릿지 전극을 생략할 수 있으므로, 단위 화소의 개구율을 향상시킬 수 있다.
- <27> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <28> 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이고, 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.
- <29> 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 표시 장치(100)는 단위 화소(P) 내에 유기 발광 소자(190)가 형성된 유기 발광 표시 장치이다.(이하, '표시 장치'는 '유기 발광 표시 장치'라 명명하도록 한다.)
- <30> 유기 발광 표시 장치(100)는 베이스 기판(110)상에 형성된 게이트 배선(GL), 전원 배선(VL) 및 데이터 배선(DL)을 포함한다.
- <31> 상기 게이트 배선들(GL)은 베이스 기판(110) 상에서 제1 방향(X)으로 연장되며, 제1 금속층을 패터닝하여 형성한 제1 금속 패턴이다.
- <32> 상기 전원 배선(VL)은 상기 제1 방향(X)과 교차하는 제2 방향(Y)으로 연장되며, 제2 금속층을 패터닝하여 형성한 제2 금속 패턴이다.
- <33> 상기 데이터 배선(DL)들은 상기 전원 배선(VL)으로부터 소폭 이격되어 상기 제2 방향(Y)으로 연장되며, 제3 금속층을 패터닝하여 형성한 제3 금속 패턴이다.
- <34> 상기 데이터 배선들(DL)은 상기 게이트 배선들(GL)과 교차하여 복수의 단위 화소(P)를 정의하며, 상기 복수의 단위 화소(P) 내에는 상기 전원 배선(VL)이 상기 제2 방향으로 연장된다 .
- <35> 상기 단위 화소(P)는 일례로 정사각형 형상으로 형성된다.
- <36> 상기 단위 화소(P) 내에는 스위칭 소자(TFT1), 구동 소자(TFT2), 스토리지 전극(ST), 컬러 필터(CF) 및 유기 발광 소자(190)가 형성된다.
- <37> 상기 스위칭 소자(TFT1)는 상기 게이트 배선(GL) 및 데이터 배선(DL)에 연결되어 형성되며, 제1 게이트 전극(G1), 제1 액티브층(A1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함한다.
- <38> 상기 제1 게이트 전극(G1)은 게이트 배선(GL)으로부터 연장되어 형성된 제1 금속 패턴이다.
- <39> 상기 제1 게이트 전극(G1)이 형성된 베이스 기판(110) 상에는 제1 절연막(IL1)이 형성된다. 상기 제1 절연막

(IL1)은 일례로 실리콘 질화막(SiNx) 내지는 실리콘 산화막(SiOx)으로 이루어진다. 상기 제1 절연막(IL1) 상에는 상기 제1 절연막(IL1)과 동일 재질 또는 여타의 재질로 이루어진 제2 절연막(IL2)이 형성된다.

- <40> 상기 제2 절연막(IL2) 상에는 상기 제1 게이트 전극(G1)과 오버랩되는 상기 제1 액티브층(A1)이 형성된다.
- <41> 상기 스위칭 소자(TFT1)는 단순히 상기 구동 소자(TFT2)에 ON/OFF 신호만을 인가하기 위한 소자이므로, 상기 구동 소자(TFT2)에 비해 낮은 전기 이동도를 가져도 무방하다.
- <42> 따라서, 상기 스위칭 소자(TFT1)의 제1 액티브층(A1)은 비정질 실리콘으로 이루어진 제1 반도체층(121) 및 이온 도핑된 비정질 실리콘으로 이루어진 제1 오믹 콘택층(122)이 적층된 구조로 형성되는 것이 바람직하다.
- <43> 또한, 상기 제1 액티브층(A1)을 비정질 실리콘으로 형성함으로써 상기 스위칭 소자(TFT1)의 임계 전압(Vth)을 균일하게 할 수 있다.
- <44> 상기 제1 액티브층(A1)이 형성된 제2 절연막(IL2)상에는 상기 제1 소스 전극(S1) 및 제1 드레인 전극(D1)이 형성된다.
- <45> 상기 제1 소스 전극(S1)은 상기 데이터 배선(DL)으로부터 연결되어 형성되며, 상기 제1 액티브층(A1)과 일부 중첩되도록 형성된다. 상기 제1 드레인 전극(D1)은 상기 제1 소스 전극(S1)으로부터 소정 간격 이격되어 형성되며, 상기 제1 액티브층(A1)과 일부 중첩되도록 형성된다.
- <46> 상기 제1 소스 전극(S1) 및 제1 드레인 전극(D1)은 상기 데이터 배선(DL)과 동시에 형성되는 제3 금속 패턴이다.
- <47> 한편, 상기 제1 소스 전극(S1)과 상기 제1 드레인 전극(D1)의 이격부에서는 상기 제1 오믹 콘택층(122)이 식각되어 상기 제1 반도체층(121)이 노출된다.
- <48> 상기 구동 소자(TFT2)는 제2 게이트 전극(G2), 제2 액티브층(A2), 제2 소스 전극(S2), 제2 드레인 전극(D2) 및 제3 게이트 전극(G3)을 포함한다.
- <49> 상기 제2 게이트 전극(G2)은 상기 제1 게이트 전극(G1)과 동일하게 제1 금속 패턴으로 형성되며, 상기 제1 게이트 전극(G1)으로부터 소정 간격 이격되어 단위 화소(P) 내에 형성된다.
- <50> 일례로, 상기 제2 게이트 전극(G2)은 상기 제1 게이트 전극(G1)에 인접하며 상기 게이트 배선(GL)과 평행하게 형성된 제1 영역 및 상기 전원 배선(VL)과 평행하는 제2 영역을 포함한다.
- <51> 상기 제2 게이트 전극(G2) 상에는 상기 제1 절연막(IL1)이 형성된다.
- <52> 상기 제1 절연막(IL1) 상에는 상기 제2 게이트 전극(G2)의 상기 제2 영역과 중첩되는 제2 액티브층(A2)이 형성된다.
- <53> 상기 구동 소자(TFT2)는 유기 발광 소자(190)에 구동 전압을 인가하기 위한 소자이므로, 전기 이동도가 높은 것이 바람직하다.
- <54> 따라서, 상기 제2 액티브층(A2)은 다결정 실리콘으로 이루어진 제2 반도체층(131) 및 이온 도핑된 다결정 실리콘으로 이루어진 제2 오믹 콘택층(132)이 적층된 구조로 형성한다.
- <55> 더욱 바람직하게는 상기 제2 반도체층(131) 및 제2 오믹 콘택층(132)은 고상 결정화법(Solid Phase Crystallization, SPC)으로 결정화된 다결정 실리콘으로 형성한다.
- <56> 상기 제2 액티브층(A2) 상에는 상기 제2 액티브층(A2)과 일부 중첩되도록 상기 제1 방향(X)으로 연장된 상기 전원 배선(VL)이 형성된다. 상기 전원 배선(VL)의 상기 제2 액티브층(A2)과 중첩되는 영역은 상기 구동 소자(TFT)의 제2 소스 전극(S2)을 정의한다.
- <57> 상기 제2 드레인 전극(D2)은 상기 제2 소스 전극(S2)으로부터 소정간격 이격되어 형성되며, 상기 제2 액티브층(A2)과 일부 중첩되도록 형성된다. 상기 제2 드레인 전극(D2)은 상기 전원 배선(VL)과 마찬가지로 제2 금속층을 패터닝하여 형성된 제2 금속 패턴이다.
- <58> 상기 전원 배선(VL) 및 상기 제2 드레인 전극(D2)이 형성된 베이스 기판(110) 상에는 상기 제2 절연막(IL2)이 형성된다.
- <59> 상기 제1 절연막(IL1) 및 제2 절연막(IL2) 내에는 상기 제2 게이트 전극(G2)의 일단부를 노출시키는 제1 콘택홀

(CH1)이 형성된다. 상기 제1 콘택홀(CH1)은 상기 제2 게이트 전극(G2)의 상기 제1 게이트 전극(G1)과 인접한 단부에 형성되는 것이 바람직하다. 즉, 상기 제1 콘택홀(CH1)은 상기 제2 게이트 전극(G2)의 상기 제1 영역 상에 형성된다.

- <60> 한편, 상기 스위칭 소자(TFT1)의 제1 드레인 전극(G1)은 상기 제2 절연막(IL2) 상에서 상기 제2 게이트 전극(G2)과 중첩되는 면적으로 형성된다. 이에 따라, 상기 제1 드레인 전극(D1)은 상기 제1 콘택홀(CH1)을 통해 상기 제2 게이트 전극(G2)과 직접 접촉한다.
- <61> 따라서, 상기 제1 드레인 전극(D1)과 상기 제2 게이트 전극(G2)에는 동일한 전압이 인가된다.
- <62> 또한, 상기 제1 드레인 전극(D1)은 상기 제2 절연막(IL2) 상에서 상기 제2 소스 전극(S1) 및 상기 제2 드레인 전극(D2)과 중첩되므로, 상기 구동 소자(TFT2)의 제3 게이트 전극(G3)을 정의한다.
- <63> 상기 제2 게이트 전극(G2)과 상기 제3 게이트 전극(G3)은 모두 상기 제1 드레인 전극(D1)으로부터 전압을 인가받으므로, 상기 제2 게이트 전극(G2)과 제3 게이트 전극(G3)에는 동일한 전압이 인가된다.
- <64> 즉, 상기 구동 소자(TFT2)는 동일한 전압이 인가되는 두 개의 게이트 전극을 포함하는 듀얼 게이트(DUAL GATE) 구조로 형성된다. 이에 따라, 상기 구동 소자(TFT2)의 구동 속도를 향상시킬 수 있다.
- <65> 상기 스토리지 전극(ST)은 상기 전원 배선(VL)으로부터 연결되며, 단위 화소(P) 내에서 상기 제2 게이트 전극(G2)과 일부 중첩되도록 형성된다.
- <66> 구체적으로, 상기 스토리지 전극(ST)은 상기 제2 액티브층(A2)과 미중첩되는 영역의 제2 게이트 전극(G2)과 중첩되도록 형성된다.
- <67> 이에 따라, 상기 스토리지 전극(ST)과 상기 제2 게이트 전극(G2)은 상기 제1 절연막(IL1)을 유전체로 하여 단위 화소(P) 내에 제1 스토리지 캐패시터(Cst1)를 형성한다.
- <68> 이때, 상기 제1 드레인 전극(D1)은 상기 제2 게이트 전극(G2)과 중첩되는 면적으로 형성되므로, 상기 스토리지 전극(ST)과 상기 제2 게이트 전극(G2)이 중첩되는 영역에서는 상기 스토리지 전극(ST)과 상기 제1 드레인 전극(D1)도 중첩된다.
- <69> 따라서, 상기 스토리지 전극(ST)과 상기 제1 드레인 전극(D1)은 상기 제2 절연막(IL2)을 유전체로 하여 단위 화소(P) 내에 제2 스토리지 캐패시터(Cst2)를 형성한다.
- <70> 상기 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 각 단위 화소(P) 내에 형성된 유기 발광 소자(190)가 한 프레임 동안 발광 할 수 있는 화소 전압을 충전시킨다.
- <71> 상기 스위칭 소자(TFT1), 구동 소자(TFT2) 및 제2 스토리지 캐패시터(Cst2)가 형성된 베이스 기판(110) 상에는 제3 절연막(IL3)이 형성된다. 상기 제3 절연막(IL3)은 상기 제1 및 제2 절연막(IL1, IL2)과 마찬가지로 실리콘 질화막 내지는 실리콘 산화막으로 형성할 수 있다.
- <72> 상기 제3 절연막(IL3) 상에는 각각의 단위 화소(P)에 대응하여 컬러 필터(CF)가 형성된다. 상기 컬러 필터(CF)는 일례로, 적색, 녹색, 청색 중에서 선택된 어느 하나 색상을 갖는 감광성 포토레지스트로 이루어진다. 이때, 복수의 단위 화소 중 일부 단위 화소에는 상기 컬러 필터(CF)가 생략될 수도 있다.
- <73> 상기 컬러 필터(CF)가 형성된 베이스 기판(110) 전면에는 평탄화막(140)이 형성된다. 상기 평탄화막(140)은 상기 스위칭 소자(TFT1), 구동 소자(TFT2) 및 컬러 필터(CF) 등이 형성된 베이스 기판(110)의 표면을 평탄화시킨다.
- <74> 한편, 상기 제2 드레인 전극(D2)의 일단부에 대응하는 상기 제2 절연막(IL2), 제3 절연막(IL3) 및 평탄화막(140) 내에는 상기 제2 드레인 전극(D2)의 일단부를 노출시키는 제2 콘택홀(CH2)이 형성된다.
- <75> 상기 평탄화막(140) 상에는 상기 단위 화소(P)에 대응하여 투명한 도전성 물질로 이루어진 화소 전극(150)이 형성된다. 상기 화소 전극(150)은 상기 제2 콘택홀을 통해 상기 제2 드레인 전극(D2)과 접촉하며, 상기 스위칭 소자(TFT1)로부터 타이밍 신호가 인가되면 상기 구동 소자(TFT2)를 통해 상기 전원 배선(VL)으로부터 화소 전압을 인가받는다.
- <76> 상기 화소 전극(150)이 형성된 베이스 기판(110) 상에는 बैं크부(160)가 형성된다. 상기 बैं크부(160)는 후술하는 유기 발광층(170)의 형성 영역을 구획하기 위해 형성하는 격벽으로서, 단위 화소(P) 간의 이격부에 대응하여 형성하는 것이 바람직하다. 또한 상기 बैं크부(160)의 형성영역은 상기 이격부에 한정되지 않으며, 상기 बैं크부

(160)의 형성 영역에 따라 상기 유기 발광층(170)의 형성 면적을 변경할 수도 있다.

- <77> 상기 뱅크부(160)에 의해 구획된 단위 화소(P) 내에는 유기 발광층(170)이 형성된다. 상기 유기 발광층(170)은 일례로, 정공 주입/수송층, 발광층 및 전자 주입/수송층의 일부 또는 전부를 포함할 수 있다. 이때, 상기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 구조로 형성하는 것이 바람직하다.
- <78> 상기 유기 발광층(170)이 형성된 상기 베이스 기판(110) 전면에는 공통 전극(180)이 형성된다. 상기 공통 전극(180)은 상기 화소 전극(150) 보다 일함수(work function)가 작은 재료로 형성되는 것이 바람직하다. 예를 들어, 상기 공통 전극(180)은 알칼리 금속 및 알칼리 토금속 등으로 형성할 수 있다. 상기 공통 전극(180)은 유기 발광 소자(190)의 음극(Cathode)으로 기능한다.
- <79> 상기 화소 전극(150), 유기 발광층(170) 및 공통 전극(180)으로 구성된 유기 발광 소자(190)의 구동 방법은 다음과 같다.
- <80> 상기 게이트 배선(GL)에 게이트 신호가 인가되면 상기 스위칭 소자(TFT1)를 통해 상기 데이터 배선(DL)에 연결된 제1 소스 전극(S1)으로부터 상기 제1 드레인 전극(D1)에 타이밍 신호가 인가된다.
- <81> 이에 따라, 상기 타이밍 신호는 상기 제1 드레인 전극(D1)에 연결된 제3 게이트 전극(G3) 및 상기 제1 드레인 전극(D1)과 제1 콘택홀(CH1)을 통해 접촉하는 상기 제2 게이트 전극(G2)에 인가된다.
- <82> 상기 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)에 상기 타이밍 신호가 인가되면 상기 구동 소자(TFT1)의 제2 액티브층(A2)에 전기적 채널이 형성되면서 상기 전원 배선(VL)으로부터 상기 화소 전극(150)으로 화소 전압이 인가된다.
- <83> 화소 전압을 인가 받은 상기 화소 전극(150)은 상기 유기 발광 소자(190)의 양극(Anode)로 기능하여 상기 유기 발광층(170)에 정공(hole)을 제공한다.
- <84> 상기 공통 전극(180)은 외부의 구동 회로로부터 공통 전압을 인가받으며, 상기 유기 발광 소자(190)의 음극(Cathode)으로 기능하여 상기 유기 발광층(170)에 전자(electron)를 제공한다.
- <85> 상기 유기 발광층(170)에서는 상기 화소 전극(150)과 공통 전극(180)으로부터 제공된 정공 및 전자가 서로 결합하여 여기자(exiton)를 형성한다.
- <86> 상기 여기자는 기저 상태로 떨어지면서 광을 발생시킨다. 이에 따라, 상기 유기 발광층(170)의 적색 발광층, 녹색 발광층 및 청색 발광층에서 발생한 광이 조합되어 상기 화소 전극(150) 방향으로 백색의 광이 출사된다.
- <87> 투명 재질의 화소 전극(150)을 통과한 상기 백색의 광은 상기 컬러 필터(CF)를 통과하면서 적색, 녹색 또는 청색의 광으로 변환된다. 이에 따라, 상기 베이스 기판(110)에는 상기 변환된 광을 이용한 영상이 표시된다.
- <88> 도시하지는 않았으나, 상기 유기 발광 소자(190)가 형성된 베이스 기판(110) 상에는 보호층 및 흡습층이 형성될 수도 있다. 또한, 상기 유기 발광 소자(190)가 형성된 제1 기판(110) 상에는 수분 침투 및 물리적 충격으로부터 상기 유기 발광 소자(190)를 보호하기 위한 제2 기판이 결합될 수 있다.
- <89> 이하, 및 도 3a 내지 도 10을 참조하여, 도 1에 도시된 유기 발광 표시 장치의 제조 방법을 설명하도록 한다.
- <90> 도 3a 및 도 3b를 참조하면, 베이스 기판(110)상에 제1 금속층을 도포한 후, 상기 제1 금속층을 사진-식각 공정으로 패터닝하여 게이트 배선(GL), 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)을 포함하는 제1 금속 패턴을 형성한다.
- <91> 상기 게이트 배선(GL)은 베이스 기판(110) 상에서 제1 방향(X)으로 연장된다. 상기 제1 게이트 전극(G1)은 상기 게이트 배선(GL)으로부터 연결되어 형성된다.
- <92> 상기 제2 게이트 전극(G2)은 상기 제1 게이트 전극(G1)으로부터 소정 간격 이격되며 상기 게이트 배선(GL)과 평행하도록 제1 방향(X)으로 연장된 영역 및 상기 제1 방향(X)에 수직하는 제2 방향(Y)으로 연장된 영역을 포함한다.
- <93> 도 4a 및 도 4b를 참조하면, 상기 제1 금속 패턴이 형성된 베이스 기판(110)상에 제1 절연막(IL1)을 형성한다. 상기 제1 절연막(IL1)은 일례로 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 이루어지며, 화학 기상 증착 방법으로 형성할 수 있다.

- <94> 이어서, 상기 제1 절연막(IL1) 상에 비정질 실리콘(a-Si:H)으로 이루어진 제1 반도체층(121) 및 이온 도핑된 비정질 실리콘으로 이루어진 제1 오믹 콘택층(122)을 형성한다. 다음으로, SPC(Solid Phase Crystallization) 결정화법으로 상기 제1 반도체층(121) 및 오믹 콘택층(122)을 결정화한다. 상기 제1 반도체층(121) 및 오믹 콘택층(122)의 결정화는 일례로 600도 내지 700도의 온도에서 진행된다.
- <95> 다음으로, 상기 제1 반도체층(121) 및 제1 오믹 콘택층(122)을 사진-식각 공정으로 패터닝하여 상기 제2 게이트 전극(G2)과 오버랩되는 제2 액티브(A2)층을 형성한다. (상기 제2 액티브층의 '제2'는 구동 소자와 스위칭 소자에 형성되는 액티브 층의 명칭을 구분하기 위하여 부여할 뿐, 공정의 순서와는 무관하다.)
- <96> 상기 SPC 결정화 공정에 의해 상기 제2 액티브층(A2)은 다결정 실리콘(poly silicon)으로 이루어진 제1 반도체층(121)과 이온 도핑된 다결정 실리콘으로 이루어진 제1 오믹 콘택층(122)이 적층된 구조로 형성된다.
- <97> 도 1, 도 5a 및 도 5b를 참조하면, 상기 제2 액티브층(A2)이 형성된 베이스 기판(110) 상에 제2 금속층을 형성한다. 다음으로, 상기 제2 금속층을 사진-식각 공정으로 패터닝하여 전원 배선(VL), 제2 드레인 전극(D2) 및 스토리지 전극(ST)을 포함하는 제2 금속 패턴을 형성한다.
- <98> 상기 전원 배선(VL)은 상기 제1 절연막(IL1) 상에서 상기 제2 방향(Y)으로 연장되며, 상기 제2 액티브층(A2)과 소정 간격 중첩되도록 형성된다. 상기 제2 액티브층(A2)과 중첩되는 영역의 상기 전원 배선(VL)은 구동 소자(TFT2)의 제2 소스 전극(S2)을 형성한다.
- <99> 상기 제2 드레인 전극(D2)은 상기 전원 배선(VL)으로부터 소정 간격 이격되어 상기 제2 게이트 전극(G2)과 중첩되도록 형성된다.
- <100> 상기 제2 소스 전극(S2) 및 상기 제2 드레인 전극(D2)의 이격부에서는 상기 제2 액티브층(A2)의 제1 오믹 콘택층(122)이 노출된다.
- <101> 상기 스토리지 전극(ST)은 상기 전원 배선(VL)으로부터 연결되어 형성되며, 상기 제1 절연막(IL1) 상에서 상기 제2 게이트 전극(G2)과 일부 중첩되도록 형성된다. 구체적으로, 상기 스토리지 전극(ST)은 상기 제2 게이트 전극과 상기 제2 액티브층이 미중첩 되는 영역에 형성된다.
- <102> 상기 제2 게이트 전극(G2)과 상기 스토리지 전극(ST)은 상기 제1 절연막(IL1)을 유전체로 하여 제1 스토리지 캐패시터(Cst1)를 형성한다.
- <103> 다음으로, 상기 제2 금속 패턴을 마스크로 이용하여 상기 노출된 제1 오믹 콘택층(122)을 식각한다. 상기 제1 오믹 콘택층(122)의 식각은 일례로 건식 식각 방식으로 진행된다. 이에 따라, 상기 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에는 상기 제1 반도체층(121)이 노출된다.
- <104> 도 6a 및 도 6b를 참조하면, 상기 제2 금속 패턴이 형성된 베이스 기판(110) 상에 화학 기상 증착 방법으로 제2 절연막(IL2), 제2 반도체층(131) 및 오믹 콘택층(132)을 순차적으로 형성한다.
- <105> 상기 제2 절연막(IL2)은 상기 제1 절연막(IL1)과 마찬가지로 실리콘 질화막 내지는 실리콘 산화막으로 형성될 수 있다. 상기 제2 반도체(131)층은 비정질 실리콘으로 이루어지고, 상기 제2 오믹 콘택층(132)은 이온 도핑된 비정질 실리콘으로 이루어진다.
- <106> 다음으로, 사진-식각 공정으로 상기 제2 반도체층(131) 및 제2 오믹 콘택층(132)을 동시에 패터닝하여 상기 제1 게이트 전극(G1)과 오버랩되는 제1 액티브(A1)층을 형성한다.
- <107> 이어서, 사진-식각 공정으로 상기 제1 절연막(IL1) 및 제2 절연막(IL2)을 동시에 패터닝하여 상기 제2 게이트 전극(G2)의 상기 제1 게이트 전극(G1)과 인접한 일단부를 노출시키는 제1 콘택홀(CH1)을 형성한다.
- <108> 도 7a 및 도 7b를 참조하면, 상기 제1 액티브층(A1) 및 상기 제1 콘택홀(CH1)이 형성된 베이스 기판(110) 상에 제3 금속층을 형성하고, 사진-식각 공정으로 상기 제3 금속층을 패터닝하여 데이터 배선(DL), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함하는 제3 금속 패턴을 형성한다.
- <109> 상기 데이터 배선들(DL)은 제1 방향(X)과 교차하는 제2 방향(Y)으로 연장되며, 상기 전원 배선(VL)과 소폭 이격되어 형성된다. 또한, 상기 데이터 배선들(DL)은 상기 게이트 배선들(GL)과 교차하여 복수의 단위 화소(P)를 정의한다.
- <110> 상기 제1 소스 전극(S1)은 상기 데이터 배선(DL)으로부터 연장되어 형성되며, 상기 제1 액티브층(A1)과 일부 중첩된다. 상기 제1 드레인 전극(D1)은 상기 제1 소스 전극(S1)으로부터 소정 간격 이격되어 형성되며, 상기 제1

액티브층(A1)과 일부 중첩된다. 상기 제1 드레인 전극(D1)과 상기 제1 소스 전극(S1)의 이격부에서는 상기 제2 오믹 콘택층(132)이 노출된다.

- <111> 또한, 상기 제1 드레인 전극(D1)은 상기 제2 절연막(IL2) 상에서 상기 제2 게이트 전극(G2)과 중첩되는 면적으로 형성되며, 상기 제1 콘택홀(CH1)을 통해 상기 제2 게이트 전극(G2)과 직접 접촉한다.
- <112> 이에 따라, 상기 제1 드레인 전극(D1)과 상기 제2 게이트 전극(G2)에는 동일한 전압이 인가된다.
- <113> 또한, 상기 제1 드레인 전극(D1)은 제2 절연막(IL2)을 사이에 두고 상기 스토리지 전극(ST)과 중첩되므로, 상기 제1 드레인 전극(D1)과 상기 스토리지 전극(ST)은 상기 제2 절연막(IL2)을 유전체로 이용한 제2 스토리지 캐패시터(Cst2)를 형성한다.
- <114> 한편, 상기 제1 드레인 전극(D1)은 상기 제2 게이트 전극(G2)과 중첩되는 면적으로 형성되므로, 상기 제2 절연막(IL2) 상에서 상기 제2 소스 전극(S2) 및 제2 드레인 전극(D2)과 중첩되는 제3 게이트 전극(G3)을 정의한다.
- <115> 이에 따라, 상기 베이스 기판(110) 상에는 제2 게이트 전극(G2), 제2 액티브층(A2), 제2 소스 전극(S2), 제2 드레인 전극(D2) 및 제3 게이트 전극(G3)을 포함하는 구동 소자(TFT2)가 형성된다.
- <116> 다음으로, 상기 제3 금속 패턴을 마스크로 상기 제2 오믹 콘택층(132)을 식각하여 상기 제2 반도체층(131)을 노출시킨다. 이에 따라, 상기 베이스 기판(110) 상에는 상기 제1 게이트 전극(G1), 제1 액티브층(A1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함하는 스위칭 소자(TFT1)가 형성된다.
- <117> 도 8a 및 도 8b를 참조하면, 상기 스위칭 소자(TFT1) 및 구동 소자(TFT2)가 형성된 베이스 기판(110) 상에 제3 절연막(IL3)을 형성한다. 상기 제3 절연막(IL3)은 상기 제1 및 제2 절연막(IL1, IL2)과 마찬가지로 실리콘 질화막 내지는 실리콘 산화막으로 형성할 수 있다.
- <118> 다음으로, 상기 제3 절연막(IL3) 상에 적색, 녹색 또는 청색의 컬러 포토레지스트를 도포하고 사진 공정으로 상기 컬러 포토레지스트를 패터닝하여 각 단위 화소(P)에 대응하는 컬러 필터(CF)를 형성한다. 한편, 복수의 단위 화소(P) 중 일부 단위 화소에는 상기 컬러 필터(CF)를 형성하지 않을 수도 있다.
- <119> 다음으로, 상기 컬러 필터(CF)가 형성된 베이스 기판(110) 상에 투명 재질의 포토레지스트를 도포한다. 일례로, 상기 투명 재질의 포토레지스트는 노광된 영역이 현상액에 의해 용해되는 포지티브 포토레지스트로 이루어진다. 또한, 상기 투명 재질의 포토레지스트는 2 내지 3 μ m의 두께로 형성되는 것이 바람직하다.
- <120> 이어서, 슬릿 마스크(SLIT MASK)를 이용한 사진-식각 공정으로 상기 투명 재질의 포토레지스트를 패터닝하여 상기 제2 드레인 전극(D2)의 일단부에 대응하는 제2 콘택홀(CH2)이 형성된 평탄화막(140)을 형성한다.
- <121> 상기 평탄화막(140)은 상기 스위칭 소자(TFT1), 구동 소자(TFT2) 및 컬러 필터(CF)등이 형성된 베이스 기판(110)의 표면을 평탄화시킨다.
- <122> 이때, 상기 평탄화막(140)은 하부에 형성되는 박막들에 비해 훨씬 두꺼운 두께로 형성되므로, 화소 전극을 형성하는 후속 공정 시 상기 제2 콘택홀(CH2)의 깊이에 의해 상기 평탄화막(140) 상에 형성되는 화소 전극과 상기 제2 콘택홀(CH2) 내부에 형성되는 화소 전극간에 쇼트(short) 불량 발생될 수 있다.
- <123> 따라서, 본 발명의 실시예에서는 상기 슬릿 마스크(SLIT MASK)를 이용하여 상기 제2 콘택홀(CH2)의 경사를 완만하게 형성함으로써 화소 전극의 쇼트 불량을 방지한다.
- <124> 구체적으로, 상기 슬릿 마스크(SLIT)는 상기 제2 콘택홀(CH2)에 대응하여 중앙에 배치된 개구부(2) 및 상기 개구부(2)를 둘러싸도록 형성되며 적어도 하나의 슬릿 패턴(slit)이 형성되어 광을 회절시키는 회절부(6)를 포함한다.
- <125> 상기 개구부(2)는 광을 100% 투과시키므로, 상기 개구부(2)에 대응하는 포토레지스트는 현상 시 모두 용해된다. 상기 회절부(6)는 상기 개구부(2)에 비해 소량의 광을 투과시키므로, 현상 시 포토레지스트의 일부 두께만 용해된다.
- <126> 이에 따라, 상기 제2 콘택홀(CH2)의 중앙부로부터 외곽 방향으로 포토레지스트막의 두께를 점차적으로 증가시킬 수 있으므로, 상기 제2 콘택홀(CH2)의 경사를 완만하게 할 수 있다. 한편, 상기 개구부(2) 및 회절부(6)를 제외한 나머지 영역의 슬릿 마스크(SLIT MASK)에는 상기 포토레지스트를 그대로 잔류시키기 위하여 차광부(4)가 배치된다.
- <127> 상기 평탄화막(140) 내에 상기 제2 콘택홀(CH2)이 형성되면, 상기 제2 콘택홀(CH2)에서 노출된 상기 제3 절연막

(IL3) 및 제2 절연막(IL2)을 순차적으로 식각한다. 상기 제3 및 제2 절연막(IL3, IL2)의 식각은 건식 식각으로 진행되는 것이 바람직하다.

<128> 이에 따라, 상기 제2 콘택홀(CH2)에서는 상기 제2 드레인 전극(D2)의 일단부가 노출된다.

<129> 도 9a 및 도 9b를 참조하면, 상기 평탄화막(140) 상에 투명한 도전성 물질을 증착한다. 상기 투명한 도전성 물질은 일례로 인듐 틴 옥사이드, 인듐 징크 옥사이드 등으로 형성되며 스퍼터링 방식으로 형성할 수 있다.

<130> 다음으로, 상기 투명한 도전성 물질을 사진-식각 공정으로 패터닝하여 상기 단위 화소(P)에 대응하는 화소 전극(150)을 형성한다.

<131> 상기 화소 전극(150)은 상기 제2 콘택홀(CH2)을 통해 상기 제2 드레인 전극(D2)과 접촉하며, 상기 구동 소자(TFT2)를 통해 상기 전원 배선(VL)으로부터 화소 전압을 인가받는다.

<132> 이어서, 상기 화소 전극(150)이 형성된 베이스 기판(110)의 소정의 위치에 बैं크부(160)를 형성한다. 상기 बैं크부(160)는 후술하는 유기 발광층의 형성 영역을 구획하기 위해 형성하는 격벽으로서, 각각의 단위 화소(P)를 구분하는 배선들 상에 형성하는 것이 바람직하다.

<133> 상기 बैं크부(160)는 SiO₂, TiO₂ 등의 무기막 재료를 이용한 CVD법, 코팅법, 스퍼터링법, 증착법 등으로 형성할 수 있다. 또한, 상기 बैं크부(160)는 베이스 기판(110) 상에 아크릴 수지, 폴리이미드 수지 등의 내열성, 내용제성을 갖는 재료를 도포한 후, 사진 공정으로 패터닝하여 형성할 수도 있다. 또한, 상기 बैं크부(160)는 하부층에 무기막 재료를 형성하고 상부층에 유기층 재료를 형성하여 2중 बैं크를 형성할 수도 있다.

<134> 이어서, 산소 플라즈마 처리 공정으로 화소 전극(150)의 표면 및 बैं크부(160)의 표면을 활성화 처리하여 화소 전극(150)의 일함수를 조정할 수 있다.

<135> 도 10을 참조하면, 상기 बैं크부(160)에 의해 분리 구획된 각 단위 화소(P) 내에 유기 발광층(170)을 형성한다. 상기 유기 발광층(170)은 일례로, 정공 주입/수송층, 발광층 전자 주입/수송층의 일부 또는 전부를 포함할 수 있다.

<136> 상기 유기 발광층(170)은 일례로, 진공 증착법(thermal evaporation)을 이용하여 형성할 수 있다. 이때, 상기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 구조로 형성되는 것이 바람직하다.

<137> 다음으로, 상기 유기 발광층(170)이 형성된 베이스 기판(110) 상에 상기 화소 전극(150)보다 일함수가 낮은 재질로 이루어진 공통 전극(180)을 형성한다. 상기 공통 전극(180)은 복수의 재료를 적층하여 형성할 수도 있다. 이때, 상기 유기 발광층(170)에 가까운 층에는 일함수가 낮은 재료로 형성하는 것이 바람직하다.

<138> 상기 공통 전극(180)은 예를 들어 증착법, 스퍼터링법, CVD법 등으로 형성하는 것이 바람직하고, 특히 증착법으로 형성하는 것이 열에 의한 발광층(196)의 손상을 방지할 수 있다는 점에서 바람직하다.

<139> 베이스 기판 상에 순차적으로 형성된 상기 화소 전극(150), 유기 발광층(170) 및 공통 전극(180)은 유기 발광 소자(190)를 구성한다.

<140> 이에 따라, 본 발명의 실시예에 따른 유기 발광 표시 장치가 완성된다.

<141> 이하, 도 11을 참조하여, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명하도록 한다.

<142> 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 도 1의 I-I'선을 따라 절단한 단면도이다.

<143> 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(200)는 도 2에 도시된 본 발명의 실시예에 따른 유기 발광 장치(100)와 대동 소이 하므로 동일한 구성 요소에는 동일한 도면 번호를 부여하고, 차이점만을 상세하게 설명하도록 한다.

<144> 도 2를 참조하면, 본 발명의 실시예에서는 상기 제2 게이트 전극(G2), 스토리지 전극(ST) 및 제1 드레인 전극(D1)을 이용하여 이중 스토리지 캐패시터(Cst1, Cst2)를 형성하였다. 또한, 본 발명의 실시예에서는 상기 구동 소자(TFT2)를 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)을 포함하는 듀얼 게이트 구조로 형성하였다.

<145> 그러나, 도 11에 도시된 본 발명의 다른 실시예에서는 상기 제 2 게이트 전극(G2)을 생략한다.

<146> 상기 제2 게이트 전극(G2)이 생략될 경우에도, 상기 제1 드레인 전극(D1) 및 제3 게이트 전극(G3)은 동일한 구조로 형성된다.

- <147> 따라서, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(200)에는 스토리지 전극(ST)과 제1 드레인 전극(D1)에 의한 제1 스토리지 캐패시터(Cst1)만 형성된다.
- <148> 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(200)에서는 상기 제2 게이트 전극(G2)이 생략되므로 상기 구동 소자(TFT2)가 듀얼 게이트 구조가 아닌 탑 게이트(TOP GATE) 구조로 형성된다.
- <149> 그러나, 이와 같은 본 발명의 다른 실시예에서도, 상기 제1 드레인 전극(D1)이 스위칭 소자(TFT1)와 구동 소자(TFT2)를 직접적으로 연결시키므로, 스위칭 소자(TFT1)와 구동 소자(TFT2)를 전기적으로 연결시키기 위한 브릿지 전극은 생략할 수 있다. 이에 따라, 단위 화소(P) 내에 형성되는 화소 전극(150)의 면적을 증가시킬 수 있으므로 단위 화소(P)내 발광 면적을 증가시킬 수 있다.
- <150> 이하, 도 12를 참조하여, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치(300)를 설명하도록 한다.
- <151> 도 12는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치를 도 1의 I-I'선을 따라 절단한 단면도이다.
- <152> 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치(300)는 도 2에 도시된 본 발명의 실시예에 따른 유기 발광 장치(100)와 대동 소이 하므로 동일한 구성 요소에는 동일한 도면 번호를 부여하고 도 2 와 도 12을 비교하여 차이점만을 설명하도록 한다.
- <153> 도 2를 참조하면, 본 발명의 실시예에서는 제1 드레인 전극(D1)이 상기 스토리지 전극(ST)과 중첩되어 제2 스토리지 캐패시터(Cst2)를 형성한다.
- <154> 또한, 본 발명의 실시예에서는 상기 제1 드레인 전극(D1)으로부터 연결된 제3 게이트 전극(G3)이 형성되어 상기 구동 소자(TFT2)는 듀얼 게이트 구조를 갖는다.
- <155> 그러나, 도 12에 도시된 본 발명의 또 다른 실시예에서는 상기 제1 드레인 전극(D1)이 제1 콘택홀(CH1)을 통해 제2 게이트 전극(G2)과 접촉할 수 있는 정도의 길이로 형성될 뿐 상기 스토리지 전극(ST)과 중첩되도록 길게 연장되지는 않는다. 또한, 상기 제3 게이트 전극(G3) 역시 생략된다.
- <156> 이에 따라, 본 발명의 또 다른 실시예에서는 제1 드레인 전극(D1)과 스토리지 전극(ST)에 의한 제2 캐패시터(Cst2)는 형성되지 않는다. 또한, 상기 구동 소자(TFT2)는 상기 제3 게이트 전극(G3)이 생략되어 바텀 게이트(BOTTOM GATE) 구조로 형성된다.
- <157> 그러나, 이와 같은 본 발명의 다른 실시예에서도 상기 제1 드레인 전극(D1)과 상기 제2 게이트 전극(G2)이 직접 접촉하므로, 스위칭 소자(TFT1)와 구동 소자(TFT2)를 전기적으로 연결하기 위한 브릿지 전극은 생략할 수 있다.
- <158> 이에 따라, 단위 화소(P) 내에 형성되는 화소 전극(150)의 형성 면적을 증가시킬 수 있으므로 단위 화소(P) 내 발광 면적을 증가시킬 수 있다.

발명의 효과

- <159> 이상에서 설명한 바와 같이, 본 발명에 따르면 스위칭 소자와 구동 소자를 전기적으로 연결하기 위하여 화소 전극과 동일층에 동시에 형성하던 브릿지 전극을 생략할 수 있으므로, 단위 화소 내에 형성되는 화소 전극의 형성 면적을 증가시킬 수 있다. 이에 따라, 단위 화소 내 발광 면적을 증가시킬 수 있다.
- <160> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

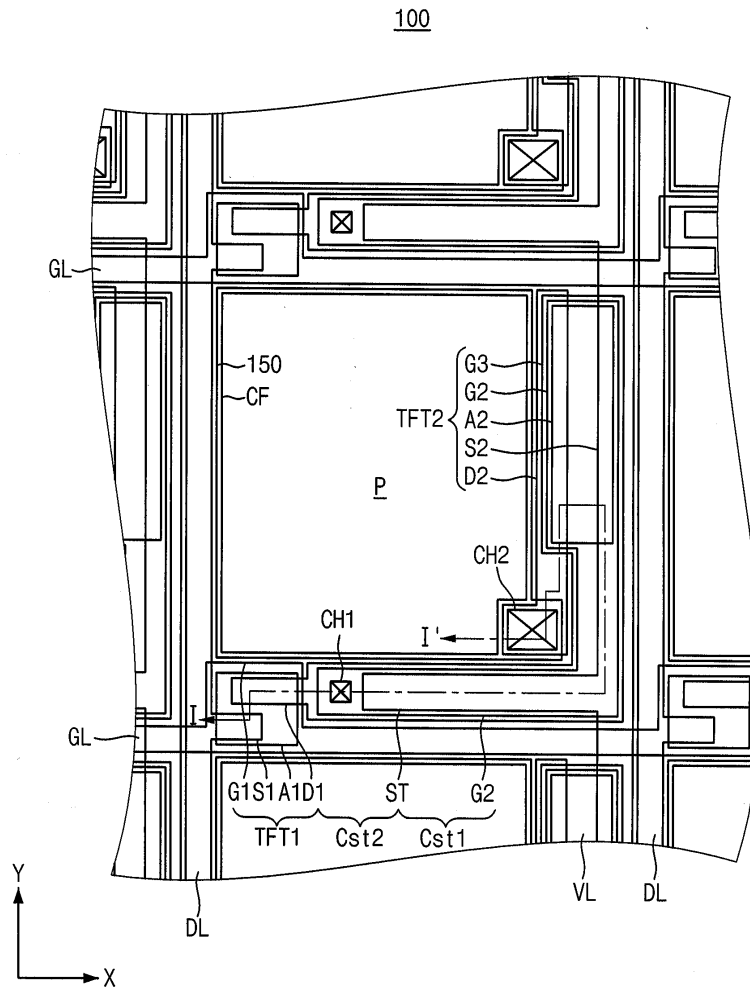
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 표시 장치의 단면도이다.
- <2> 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.
- <3> 도 3a내지 도 10은 본 발명의 실시예에 따른 표시 장치의 제조 방법을 도시한 공정도들이다.
- <4> 도 11은 본 발명의 다른 실시예에 따른 표시 장치를 도 1의 I-I'선을 따라 절단한 단면도이다.
- <5> 도 12는 본 발명의 또 다른 실시예에 따른 표시 장치를 도 1의 I-I'선을 따라 절단한 단면도이다.
- <6> <도면의 주요부분에 대한 부호의 설명>

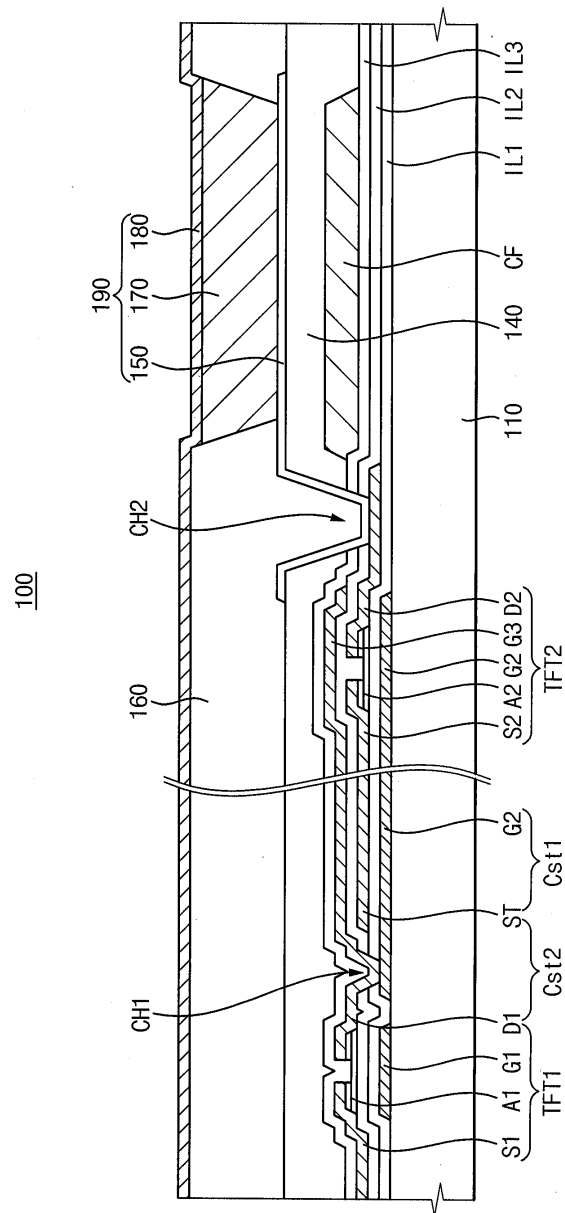
- | | | |
|------|---------------------|----------------|
| <7> | 100,200,300 : 표시 장치 | 110 : 베이스 기판 |
| <8> | TFT1: 스위칭 소자 | TFT2 : 구동 소자 |
| <9> | G1 : 제1 게이트 전극 | A1 : 제1 액티브층 |
| <10> | S1 : 제1 소스 전극 | D1 : 제1 드레인 전극 |
| <11> | G2 : 제2 게이트 전극 | ST : 스토리지 전극 |
| <12> | 140 : 평탄화막 | CF : 컬러 필터 |
| <13> | 150 : 화소 전극 | 160 : 뱅크부 |
| <14> | 170 : 유기 발광층 | 180 : 공통 전극 |

도면

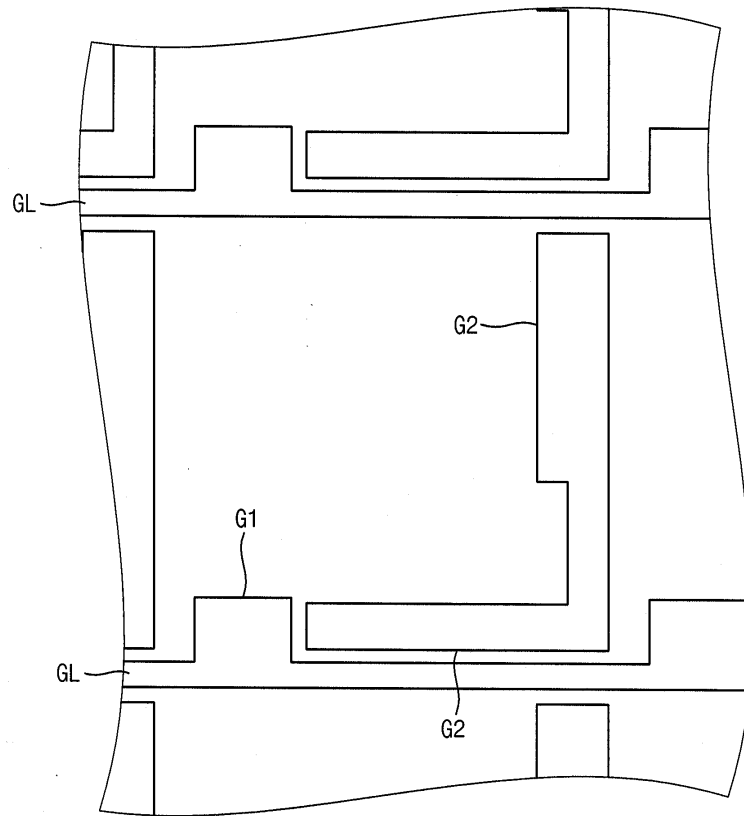
도면1



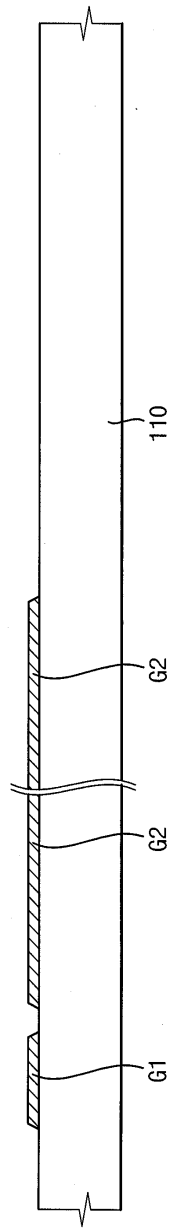
도면2



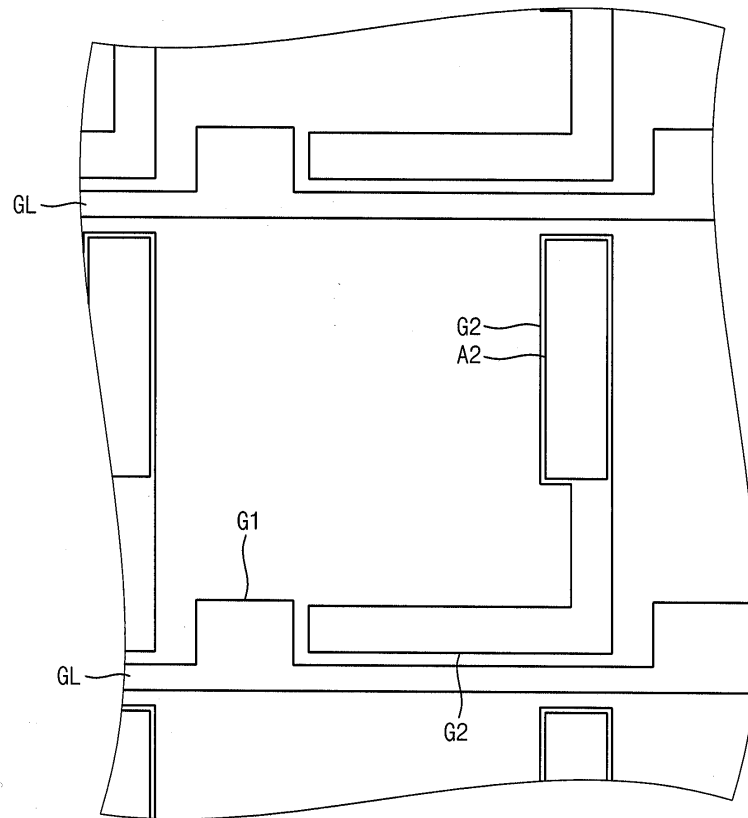
도면3a



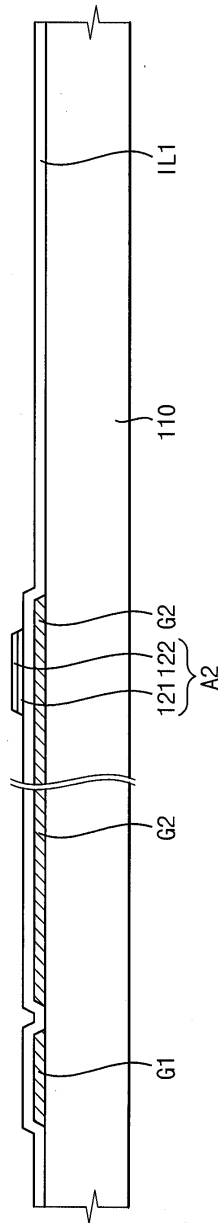
도면3b



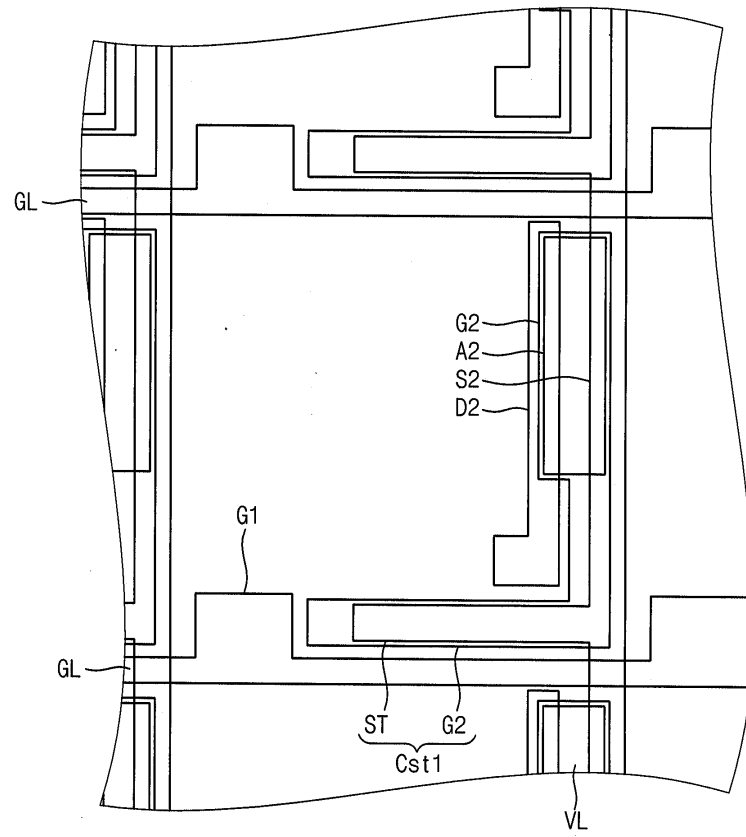
도면4a



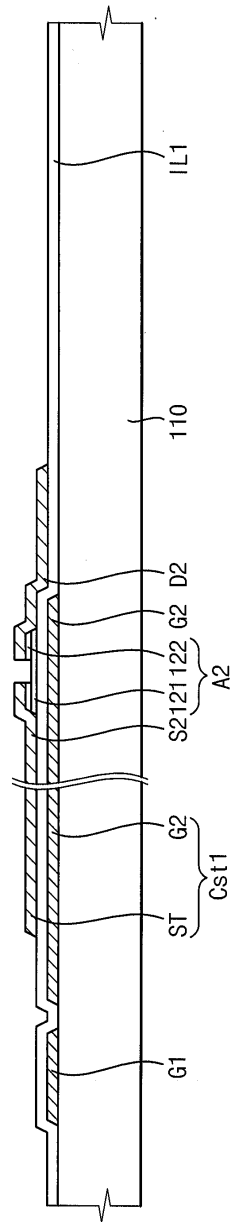
도면4b



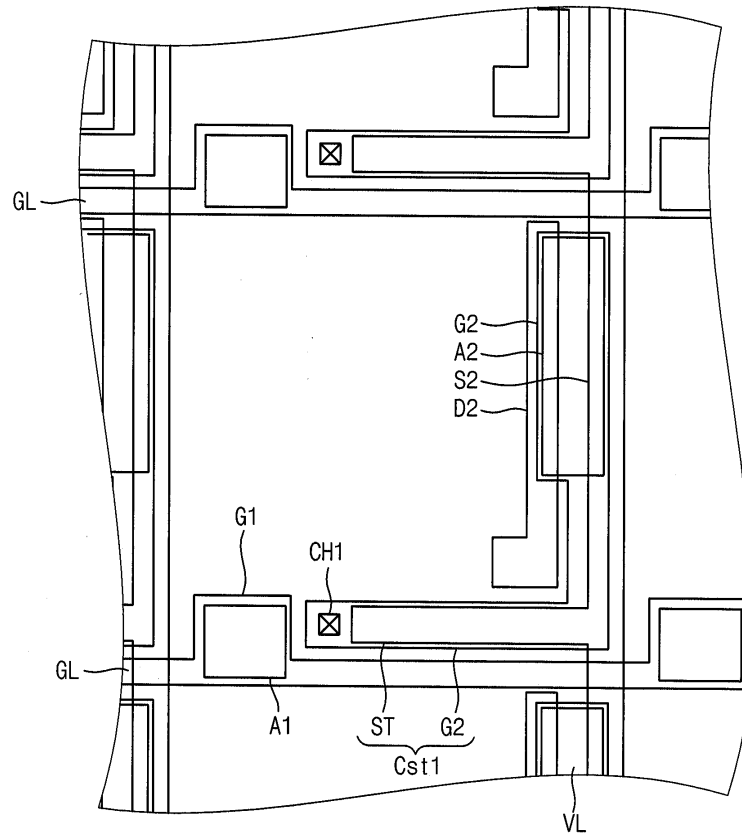
도면5a



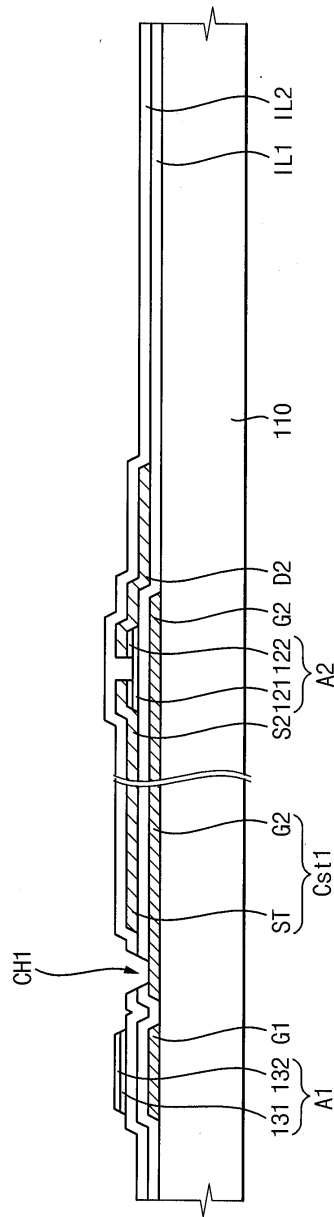
도면5b



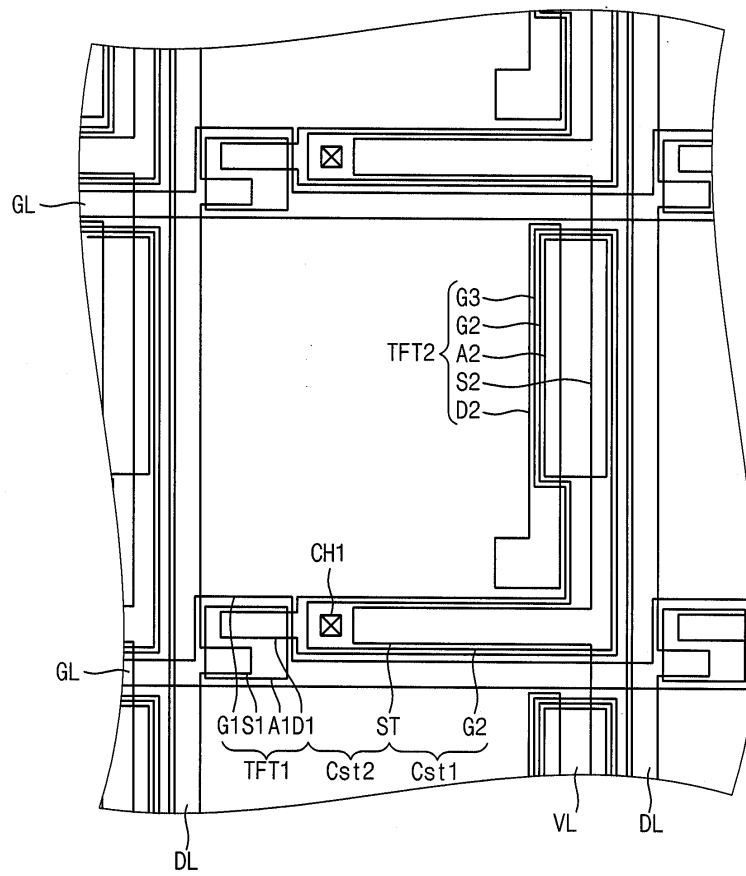
도면6a



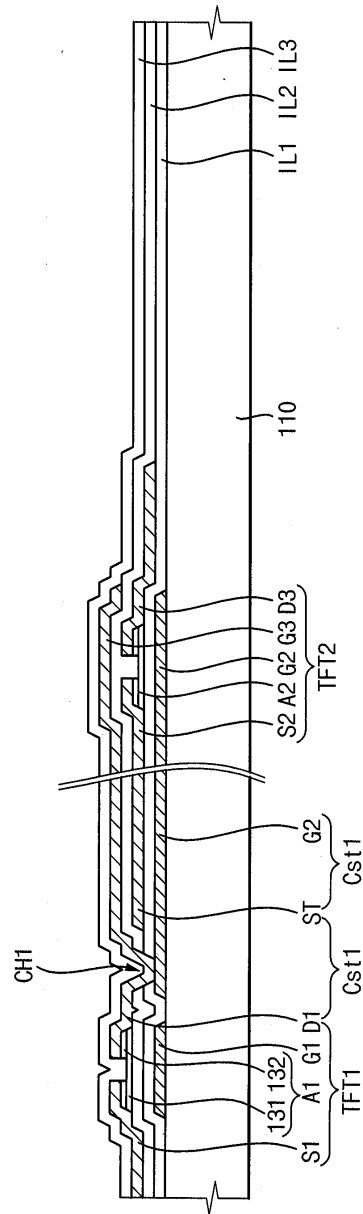
도면6b



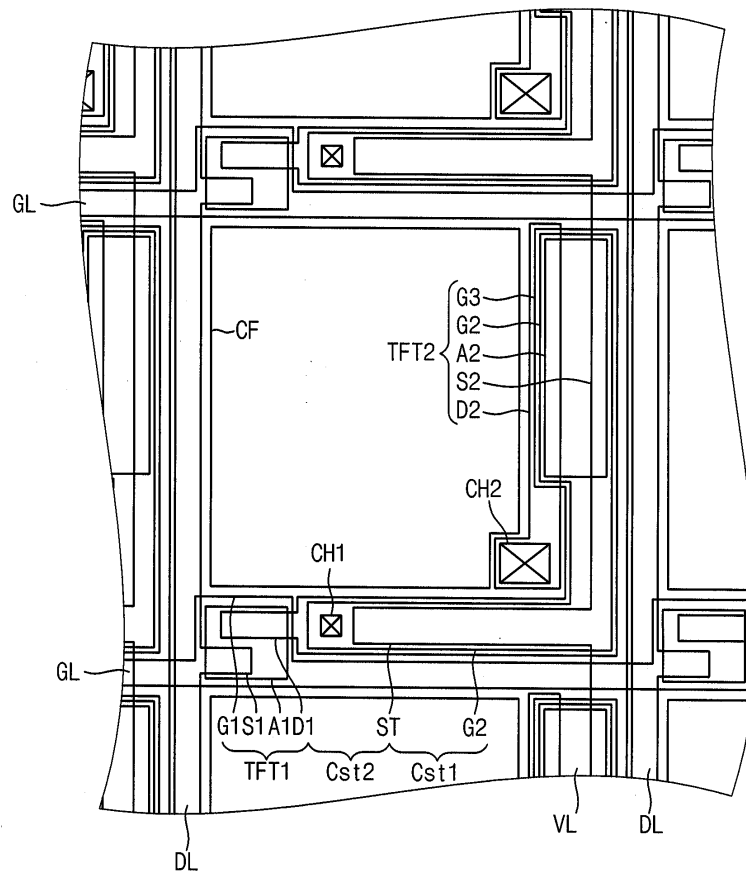
도면7a



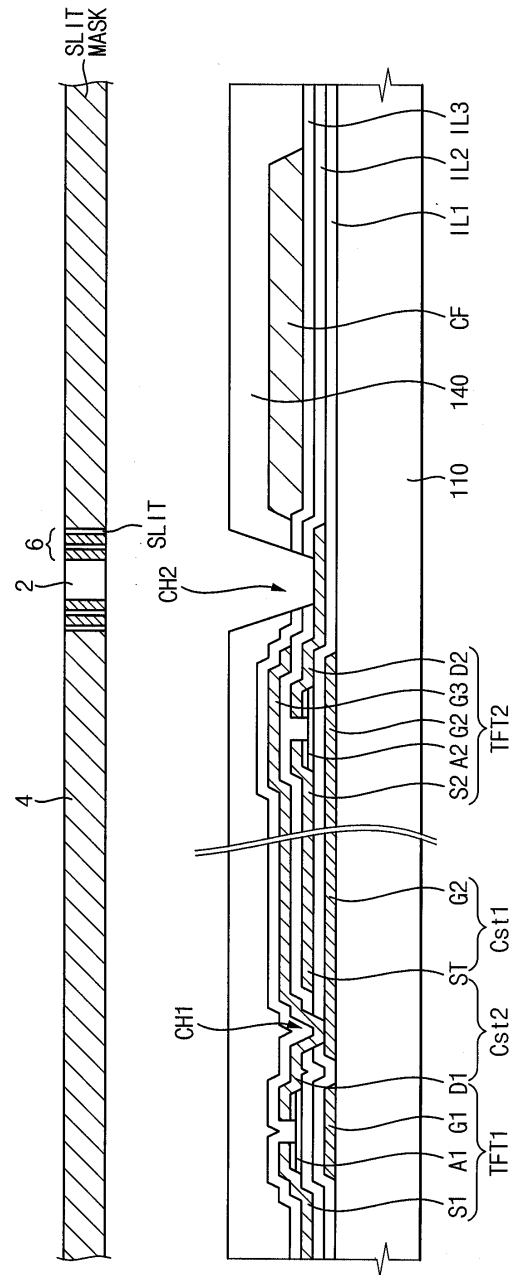
도면7b



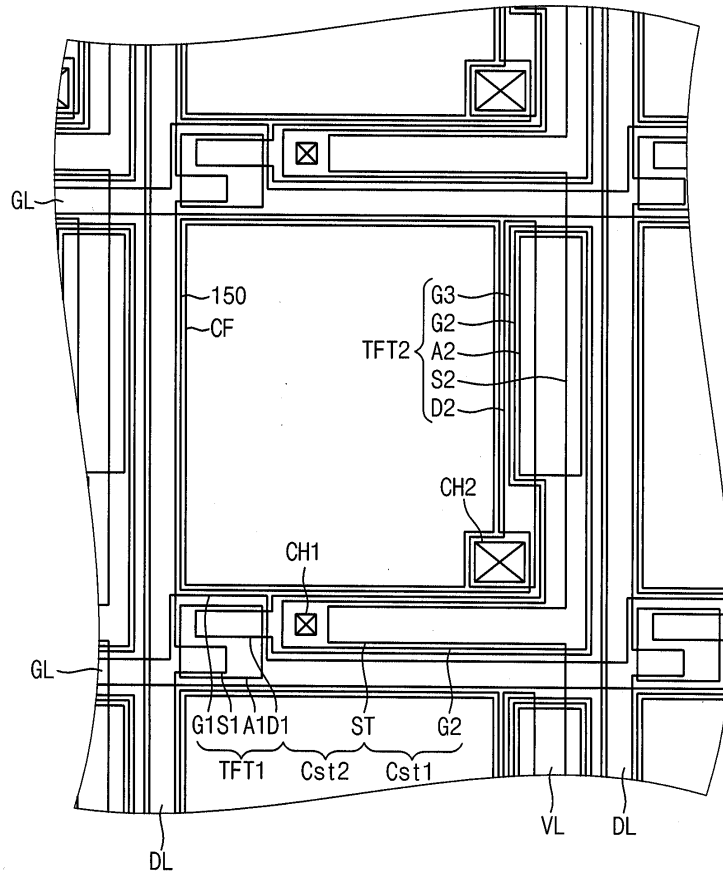
도면8a



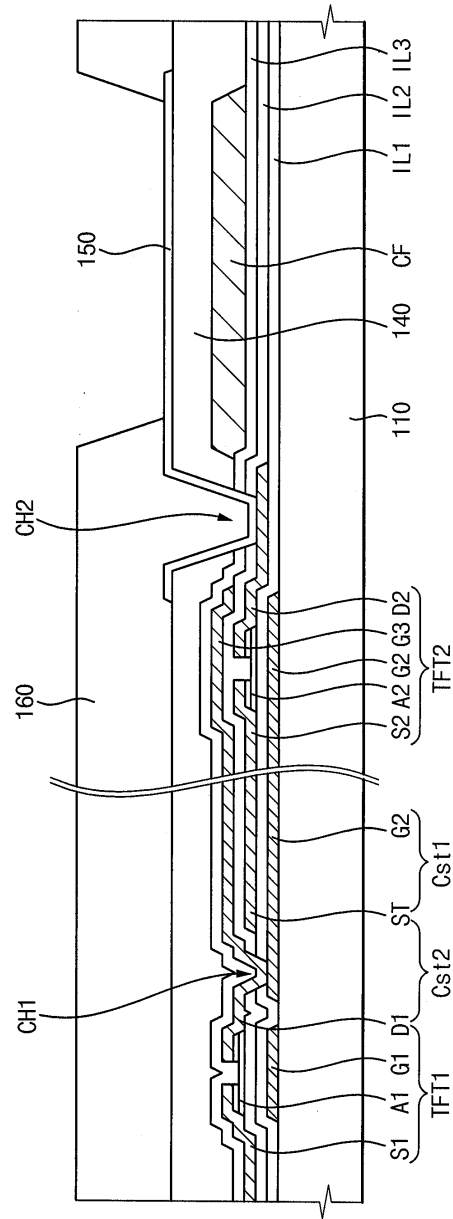
도면8b



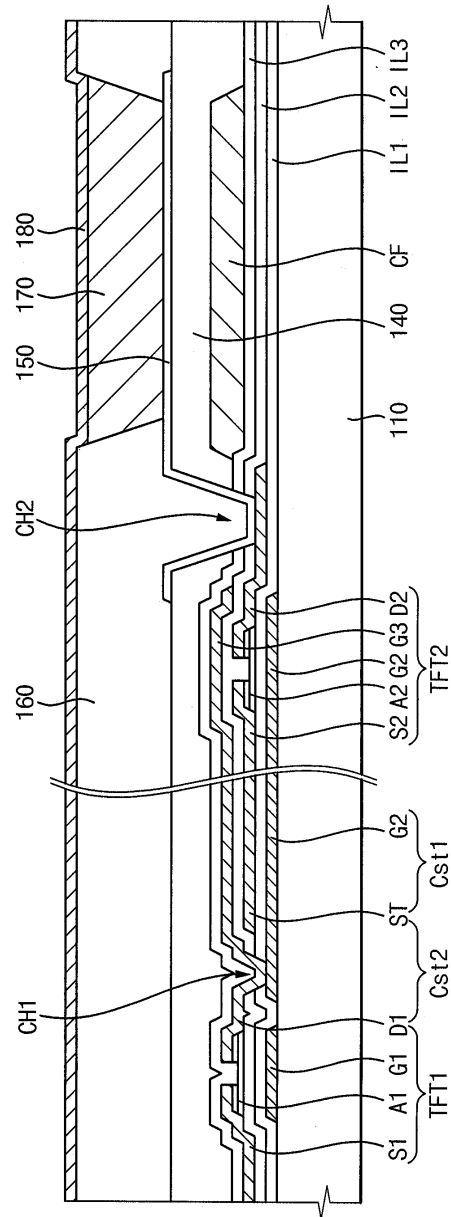
도면9a



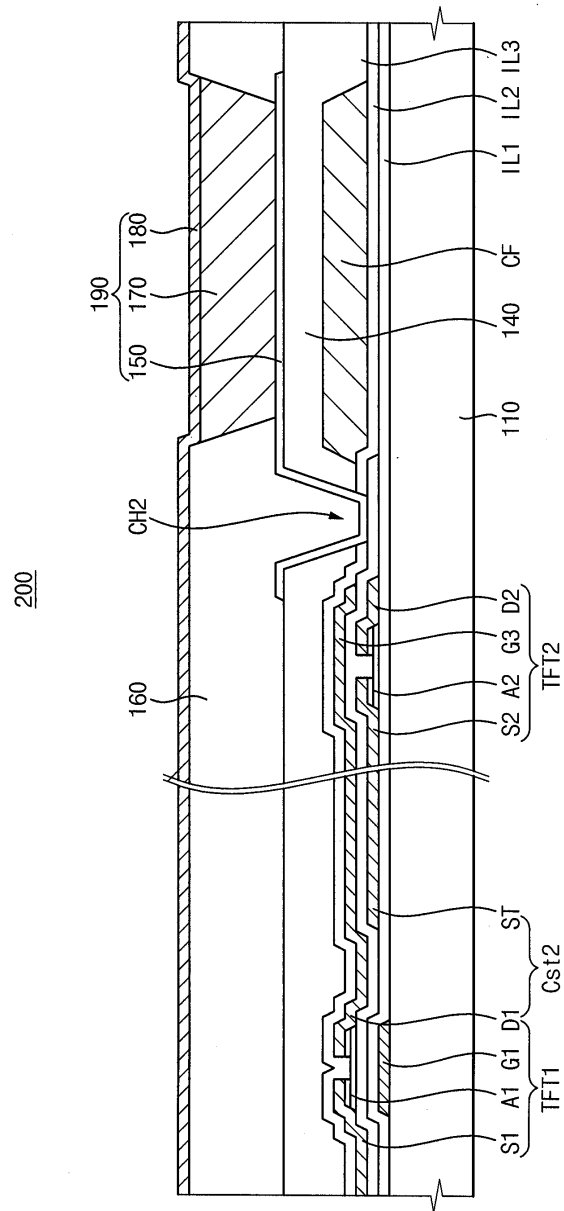
도면9b



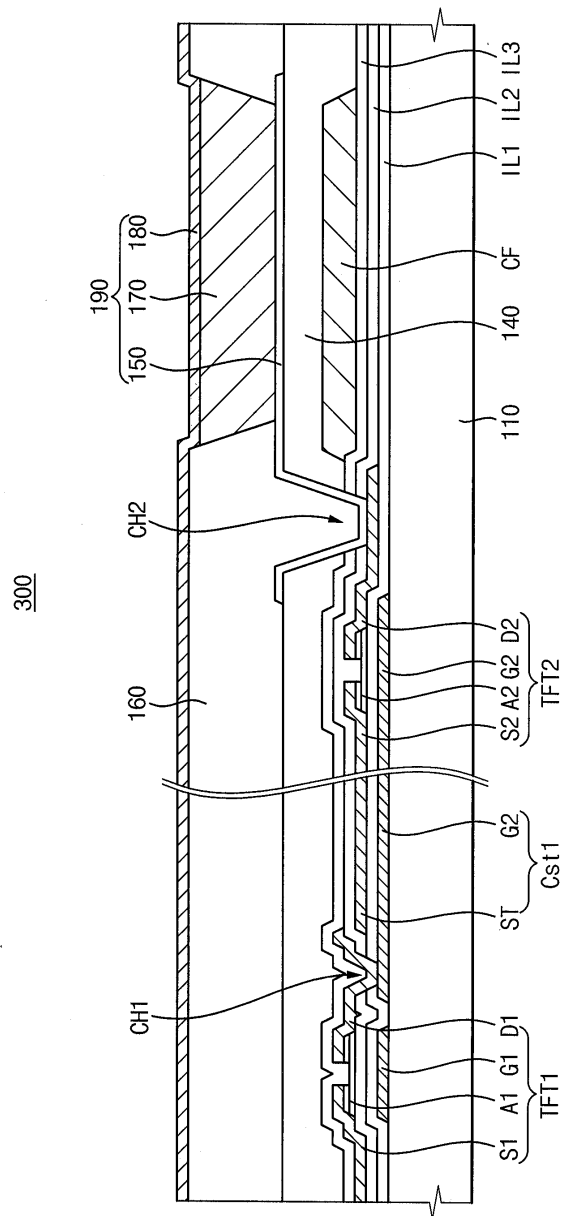
도면10



도면11



도면12



专利名称(译)	显示设备		
公开(公告)号	KR1020080016012A	公开(公告)日	2008-02-21
申请号	KR1020060077518	申请日	2006-08-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANG CHUL 정광철 HUH JONG MOO 허종무 CHOI JOON HOO 최준후 PARK SEUNG KYU 박승규 JEONG BYOUNG SEONG 정병성 LEE DONG EUN 이동은 KIM TAE YOUN 김태연		
发明人	정광철 허종무 최준후 박승규 정병성 이동은 김태연		
IPC分类号	H05B33/26		
CPC分类号	H01L27/3248 H01L27/1229 H01L27/3265 H01L51/5206 H01L51/56		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种用于增加发射面积的显示装置。显示装置包括栅极布线，第一绝缘层，电源线，第二绝缘层，数据线，开关元件和驱动器部件。栅极布线形成成为第一金属图案，而栅极布线在基板上延伸至第一方向。第一绝缘层可以形成在其中形成栅极布线的基板顶部区域处。它延伸到第二方向，其中电源线与第一绝缘层上的第一方向相交。它由第二金属图案形成。它形成在第一绝缘层上，其中形成电源线的第二绝缘层。数据线形成在第二绝缘层上。同时与电源线分开并进行扩展在第二方向上，数据线形成成为第三金属图案。开关元件包括连接到栅极布线的栅电极，连接到数据线的源电极，以及形成成为第三金属图案的第一漏电极。驱动器组件包括形成成为第一金属图案的第二栅电极，连接到电源线的第二源电极，以及形成成为第二金属图案的第二漏电极。此时，它通过形成在第一漏电极上的接触孔直接与第二栅电极接触，是第一和第二绝缘层。因此，可以省略用于电连接开关元件和驱动器部件的桥电极。有机发光显示装置，有机发光装置和混合TFT。

