

(72) 발명자

박혜향

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

정주연

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

박현선

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

특허청구의 범위

청구항 1

기관;

상기 기관상에 위치하고, 소오스 영역, 상기 소오스 영역에 비해 불순물 주입 영역의 깊이가 상대적으로 얇은 드레인 영역 및 상기 소오스 영역과 드레인 영역 사이에 위치한 채널 영역을 포함하는 반도체층;

상기 반도체층상에 위치하고, 상기 소오스 영역 및 드레인 영역에 대응하는 영역이 상기 채널 영역에 대응하는 영역에 비해 두께가 얇은 제1게이트 절연막; 및

상기 제1게이트 절연막상에 위치한 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극

을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 반도체층은 다결정 실리콘층이고, 상기 다결정 실리콘층은 RTA법, SPC법, MIC법, MILC법, SGS법, ELA법 및 SLS법 중 어느 하나의 결정화법을 이용한 다결정 실리콘층인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 제1게이트 전극은 플로팅 게이트이고, 상기 제2게이트 전극은 제어 게이트인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 제1게이트 절연막은 상기 소오스 영역에 대응하는 영역과 상기 드레인 영역에 대응하는 영역의 두께가 다른 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 제1게이트 절연막의 두께는 50 내지 300 Å이고, 상기 제2게이트 절연막의 두께는 50 내지 1000 Å인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 제1게이트 절연막은 실리콘 산화막으로 구성되어 있고, 상기 제2게이트 절연막은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 구조로 구성되어 있는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

기관을 준비하고,

상기 기관상에 반도체층을 형성하고,

상기 반도체층이 형성된 기관상에 제1절연막을 형성하고,

상기 제1절연막상에 포토레지스트층을 형성한 후, 하프톤 마스크를 이용하여 상기 반도체층의 중앙 영역에 대응하는 영역상에는 두께가 두껍고, 상기 반도체층의 가장자리 영역에 대응하는 영역상에는 두께가 얇은 제1포토레지스트 패턴을 형성하고,

상기 제1포토레지스트 패턴을 이용하여 상기 제1절연막을 식각하여 상기 반도체층의 중앙 영역에 대응하는 영역

상에는 두께가 두껍고, 상기 반도체층의 가장자리 영역에 대응하는 영역상에는 두께가 얇은 제1게이트 절연막을 형성하고,

상기 제1게이트 절연막상에 상기 반도체층의 가장자리 영역 중 어느 한쪽을 오픈하는 제2포토리소그래피 패턴을 형성하고,

상기 제2포토리소그래피 패턴을 마스크로 이용하여 제1불순물 주입 공정을 실시하고,

상기 제2포토리소그래피 패턴을 제거하고, 상기 제1게이트 절연막상에 상기 반도체층의 가장자리 영역 중 다른 한쪽을 오픈하는 제3포토리소그래피 패턴을 형성하고,

상기 제3포토리소그래피 패턴을 마스크로 이용하여 제2불순물 주입 공정을 실시하고,

상기 제3포토리소그래피 패턴을 제거하고, 상기 기판상에 제1도전층, 제2절연막 및 제2도전층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극을 형성하는 것

을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 8

제 7 항에 있어서,

상기 제1불순물 주입 공정과 제2불순물 주입 공정은 각각 주입 에너지, 불순물 농도 및 불순물 종류 중 어느 하나 이상을 제어하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 9

기판을 준비하고,

상기 기판상에 반도체층을 형성하고,

상기 반도체층이 형성된 기판상에 제1절연막을 형성하고,

상기 제1절연막상에 반도체층의 양 가장자리 중 어느 한쪽의 일정 영역과 대응하는 제1절연막을 오픈시키는 제4포토리소그래피 패턴을 형성하고,

상기 제4포토리소그래피 패턴을 마스크로 이용하여 상기 제1절연막을 일정 깊이로 식각한 후, 상기 반도체층에 제3불순물 주입 공정을 실시하여 소오스 영역을 형성하고,

상기 제4포토리소그래피 패턴을 제거한 후, 상기 제1절연막상에 반도체층의 양 가장자리 중 다른 한쪽의 일정 영역과 대응하는 제1절연막을 오픈시키는 제5포토리소그래피 패턴을 형성하고,

상기 제5포토리소그래피 패턴을 마스크로 이용하여 상기 제1절연막을 일정 깊이로 식각하여 제1게이트 절연막을 형성하고, 상기 반도체층에 제3불순물 주입 공정을 실시하여 드레인 영역을 형성하고,

상기 제3포토리소그래피 패턴을 제거하고, 상기 기판상에 제1도전층, 제2절연막 및 제2도전층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극을 형성하는 것

을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법

청구항 10

제 9 항에 있어서,

상기 제3불순물 주입 공정과 제4불순물 주입 공정은 각각 주입 에너지, 불순물 농도 및 불순물 종류 중 어느 하나 이상을 제어하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 11

기판;

상기 기판상에 위치하고, 제1전극, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 포함하는 표시 영역; 및

상기 표시 영역의 제1전극 또는 제2전극과 전기적으로 연결되고, 상기 표시 영역과 이격된 영역상에 위치하는

비휘발성 메모리 소자를 포함하며,

상기 비휘발성 메모리 소자는 소오스 영역, 상기 소오스 영역에 비해 불순물 주입 영역의 깊이가 상대적으로 얇은 드레인 영역 및 상기 소오스 영역과 드레인 영역 사이에 위치한 채널 영역을 포함하는 반도체층;

상기 반도체층상에 위치하고, 상기 소오스 영역과 드레인 영역에 대응하는 영역이 상기 채널 영역에 대응하는 영역에 비해 두께가 얇은 제1게이트 절연막; 및

상기 제1게이트 절연막상에 위치한 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극

을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 반도체층은 다결정 실리콘층이고, 상기 다결정 실리콘층은 RTA법, SPC법, MIC법, MILC법, SGS법, ELA법 및 SLS법 중 어느 하나를 이용한 다결정 실리콘층인 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

청구항 13

제 11 항에 있어서,

상기 제1게이트 전극은 플로팅 게이트이고, 상기 제2게이트 전극은 제어 게이트인 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

청구항 14

제 11 항에 있어서,

상기 제1게이트 절연막은 상기 소오스 영역에 대응하는 영역과 상기 드레인 영역에 대응하는 영역의 두께가 다른 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

청구항 15

제 11 항에 있어서,

상기 제1게이트 절연막의 두께는 50 내지 300 Å이고, 상기 제2게이트 절연막의 두께는 50 내지 1000 Å인 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

청구항 16

제 11 항에 있어서,

상기 제1게이트 절연막은 실리콘 산화막으로 구성되어 있고, 상기 제2게이트 절연막은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 구조로 구성되어 있는 것을 특징으로 하는 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11>

본 발명은 비휘발성 메모리 소자 및 이를 포함하는 유기 전계 발광 표시 장치에 관한 것으로, 보다 자세하게는 소오스 영역에 비해 불순물이 도핑된 영역이 얇은 드레인 영역을 포함하는 반도체층 및 상기 소오스 영역과 드레인 영역에 대응되는 영역의 두께는 얇고, 채널 영역에 대응되는 영역의 두께는 두꺼운 터널 산화막(Tunnel Oxide)을 포함하는 비휘발성 메모리 소자가 형성되어 있고, 상기 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치를 포함하고 있는 비휘발성 메모리 소자, 이를 제조하는 방법 및 이를 포함하는 유기 전계 발광

표시 장치에 관한 것이다.

- <12> 일반적으로, 메모리 소자는 전원이 끊어졌을 때, 정보가 사라지는 휘발성 메모리 소자(Volatile memory device)와 전원이 끊어져도 정보가 남아 있는 비휘발성 메모리 소자(Nonvolatile memory device)로 구분할 수 있다. 이때, 상기 휘발성 메모리 소자는 대표적으로 DRAM(Dynamic Random Access Memory)과 SRAM(Static Random Access Memory)이 있고, 상기 비휘발성 메모리 소자는 대표적으로 플래시 메모리(Flash Memory)가 있다.
- <13> 이때, 상기 플래시 메모리는 반도체 기판 상에 터널 산화막(Tunnel Oxide), 플로팅 게이트(Floating Gate), 상부 게이트 절연막, 컨트롤 게이트(Control Gate)를 순차적으로 적층한 후 식각하여 형성한다.
- <14> 이때, 상기 플로팅 게이트는 상기 터널 산화막과 상부 게이트 절연막 사이에서 고립된 상태로 존재하게 되고, 상기 컨트롤 게이트에 인가되는 전압에 따라 정보를 저장하거나 지우거나 읽을 수 있게 된다.
- <15> 그러나, 상기의 플래시 메모리는 단결정 실리콘으로 이루어진 웨이퍼 기판상에 형성됨으로서 메모리의 특성은 우수하나, 다른 장치, 예를 들어, 표시 장치와 결합되기 위해서는 별도의 연결장치 또는 구성이 필요하다는 단점이 있다.
- <16> 또한, 종래의 플래시 메모리는 쓰기(Programming) 시 터널 산화막과 반도체층의 계면에 손상이 발생하기 쉬울 뿐만 아니라 지우기(Erasing) 시 컨트롤 게이트에 쓰기 또는 읽기(Reading) 시 보다 상대적으로 고전압을 인가해야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <17> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 비휘발성 메모리 소자를 유기 전계 발광 소자와 같은 평판 표시 장치가 형성되는 기판상에 형성하고, 소오스 영역이 드레인 영역 보다 불순물 주입 영역이 깊게 되도록 형성하고, 상기 소오스 영역과 드레인 영역에 대응되는 영역의 두께는 얇고, 채널 영역에 대응되는 영역의 두께는 두꺼운 터널 산화막을 형성함으로써 평판 표시 장치에 직접 메모리 소자를 직접 구현할 수 있을 뿐만 아니라 쓰기 및 지우기 동작을 용이하게 할 수 있는 비휘발성 메모리, 이를 제조하는 방법 및 이를 포함하는 유기 전계 발광 소자를 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

- <18> 본 발명의 상기 목적은 기판; 상기 기판상에 위치하고, 소오스 영역, 상기 소오스 영역에 비해 불순물 주입 영역의 깊이가 상대적으로 얇은 드레인 영역 및 상기 소오스 영역과 드레인 영역 사이에 위치한 채널 영역을 포함하는 반도체층; 상기 반도체층상에 위치하고, 상기 소오스 영역 및 드레인 영역에 대응하는 영역이 상기 채널 영역에 대응하는 영역에 비해 두께가 얇은 제1게이트 절연막; 및 상기 제1게이트 절연막상에 위치한 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극으로 이루어진 비휘발성 메모리 소자에 의해 달성된다.
- <19> 또한, 본 발명의 상기 목적은 기판을 준비하고, 상기 기판상에 반도체층을 형성하고, 상기 반도체층이 형성된 기판상에 제1절연막을 형성하고, 상기 제1절연막상에 포토레지스트층을 형성한 후, 하프톤 마스크를 이용하여 상기 반도체층의 중앙 영역에 대응하는 영역상에는 두께가 두껍고, 상기 반도체층의 가장자리 영역에 대응하는 영역상에는 두께가 얇은 제1포토레지스트 패턴을 형성하고, 상기 제1포토레지스트 패턴을 이용하여 상기 제1절연막을 식각하여 상기 반도체층의 중앙 영역에 대응하는 영역상에는 두께가 두껍고, 상기 반도체층의 가장자리 영역에 대응하는 영역상에는 두께가 얇은 제1게이트 절연막을 형성하고, 상기 제1게이트 절연막상에 상기 반도체층의 가장자리 영역 중 어느 한쪽을 오픈하는 제2포토레지스트 패턴을 형성하고, 상기 제2포토레지스트 패턴을 마스크로 이용하여 제1불순물 주입 공정을 실시하고, 상기 제2포토레지스트 패턴을 제거하고, 상기 제1게이트 절연막상에 상기 반도체층의 가장자리 영역 중 다른 한쪽을 오픈하는 제3포토레지스트 패턴을 형성하고, 상기 제3포토레지스트 패턴을 마스크로 이용하여 제2불순물 주입 공정을 실시하고, 상기 제3포토레지스트 패턴을 제거하고, 상기 기판상에 제1도전체층, 제2절연막 및 제2도전체층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극을 형성하는 것으로 이루어진 비휘발성 메모리 소자에 의해서도 달성된다.
- <20> 또한, 본 발명의 상기 목적은 기판을 준비하고, 상기 기판상에 반도체층을 형성하고, 상기 반도체층이 형성된 기판상에 제1절연막을 형성하고, 상기 제1절연막상에 반도체층의 양 가장자리 중 어느 한쪽의 일정 영역과 대응하는 제1절연막을 오픈시키는 제4포토레지스트 패턴을 형성하고, 상기 제4포토레지스트 패턴을 마스크로 이용하여 상기 제1절연막을 일정 깊이로 식각한 후, 상기 반도체층에 제3불순물 주입 공정을 실시하여 소오스 영역을

형성하고, 상기 제4포토레지스트 패턴을 제거한 후, 상기 제1절연막상에 반도체층의 양 가장자리 중 다른 한쪽의 일정 영역과 대응하는 제1절연막을 오픈시키는 제5포토레지스트 패턴을 형성하고, 상기 제5포토레지스트 패턴을 마스크로 이용하여 상기 제1절연막을 일정 깊이로 식각하여 제1게이트 절연막을 형성하고, 상기 반도체층에 제3불순물 주입 공정을 실시하여 드레인 영역을 형성하고, 상기 제3포토레지스트 패턴을 제거하고, 상기 기판상에 제1도전체층, 제2절연막 및 제2도전체층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극을 형성하는 것으로 이루어진 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치에 의해서도 달성된다.

<21> 또한, 본원 발명의 상기 목적은 기판; 상기 기판상에 위치하고, 제1전극, 적어도 유기 발광층을 포함하는 유기 막층 및 제2전극을 포함하는 표시 영역; 및 상기 표시 영역의 제1전극 또는 제2전극과 전기적으로 연결되고, 상기 표시 영역과 이격된 영역상에 위치하는 비휘발성 메모리 소자를 포함하며, 상기 비휘발성 메모리 소자는 소오스 영역, 상기 소오스 영역에 비해 불순물 주입 영역의 깊이가 상대적으로 얇은 드레인 영역 및 상기 소오스 영역과 드레인 영역 사이에 위치한 채널 영역을 포함하는 반도체층; 상기 반도체층상에 위치하고, 상기 소오스 영역과 드레인 영역에 대응하는 영역이 상기 채널 영역에 대응하는 영역에 비해 두께가 얇은 제1게이트 절연막; 및 상기 제1게이트 절연막상에 위치한 제1게이트 전극, 제2게이트 절연막 및 제2게이트 전극으로 이루어진 비휘발성 메모리 소자를 포함하는 유기 전계 발광 표시 장치에 의해서도 달성된다.

<22> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<23> 도 1은 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자의 단면도이다.

<24> 도 1을 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(100)상에 버퍼층(110)이 위치한다.

<25> 상기 버퍼층(110)의 소정 영역상에 소오스 영역(S), 드레인 영역(D) 및 채널 영역(C)을 포함하는 반도체층(120)이 위치한다.

<26> 또한, 상기 반도체층(120)상에 터널 산화막(Tunnel Oxide)의 역할을 하는 제1게이트 절연막(130), 플로팅 게이트(Floating Gate)의 역할을 하는 제1게이트 전극(140), 콘트롤 산화막(Control Oxide)의 역할을 하는 제2게이트 절연막(150) 및 콘트롤 게이트의 역할을 하는 제2게이트 전극(160)이 위치한다.

<27> 이때, 상기 반도체층(120)의 소오스 영역(S)의 불순물 주입 영역은 상기 드레인 영역(D)의 불순물 주입 영역에 비해 깊게 형성, 즉, 상기 드레인 영역(D)이 상기 소오스(S)에 비해 상대적으로 얇게 형성되어 있어 쓰기(즉, 프로그래밍) 시 소오스 영역(S)과 채널 영역(C)의 접합(Junction) 영역과 상기 제1게이트 절연막(130)과 채널 영역(C)의 계면(Interface) 사이에 발생하는 손상을 줄 일 수 있다.

<28> 이때, 상기 제1게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나를 이용하여도 무방하나 실리콘 산화막을 이용하는 것이 바람직하며, 두께는 50 내지 300 Å의 두께로 형성한다. 상기 제1게이트 절연막의 두께가 50 Å 이하이면, 제 1 게이트 절연막의 열화가 너무 빨리 일어나서 소자 수명이 짧게 되고, 두께가 300 Å보다 크게 되면 전자의 이동이 방지되어 쓰기 효율이 떨어진다는 문제점이 있다.

<29> 또한, 상기 제1게이트 절연막(130)은 도 1에서 도시된 바와 같이 소오스 영역(S)과 드레인 영역(D)에 대응하는 영역에서는 채널 영역(C)에 비해 두께가 얇게 형성되어 있다. 또한, 상기 소오스 영역(S)과 드레인 영역(D)에 각각 대응하는 제1게이트 절연막의 영역들의 두께는 서로 다르게 형성될 수 있다.

<30> 이는 쓰기 동작 또는 지우기 동작 시 콘트롤 게이트(160)에 높은 전압이 걸리게 되는데, 상기 콘트롤 게이트(160)에 인가되는 전압의 크기는 상기 제1게이트 절연막(130)의 특성(특히, 소오스 영역(S) 및 드레인 영역(D)에 가까운 제1게이트 절연막의 두께)에 영향을 받게 된다. 즉, 상기 제1게이트 절연막(130)의 두께가 얇을수록 쓰기 또는 지우기 동작시 입력되는 전압의 크기는 작아지게 된다.

<31> 한편, 상기 제2게이트 절연막(150)은 콘트롤 산화막으로 작용하므로 두께는 절연성을 만족하면서 공정 조건을 고려하여 50 내지 1,000 Å의 두께로 형성하는 것이 바람직하다. 상기 제2게이트 절연막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나를 이용하여도 무방하나 실리콘 산화막/실리콘 질화막/실리콘 산화막 등과 같은 ONO(Oxide/Nitride/Oxide) 구조인 것이 바람직하다.

- <32> 도 2는 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자의 전기적인 특성을 나타내는 그래프이다.
- <33> 도 2를 참조하여 설명하면, 상기 비휘발성 메모리 소자에 아무런 정보를 저장하고 있지 않은 경우, 즉, 초기 상태(Initial State)이거나 지우기 동작을 실행한 경우의 I-V 곡선(E)에 비해 정보를 저장하고 있는 경우, 즉, 쓰기 동작을 실행한 경우의 I-V 곡선(P)이 오른쪽으로 이동(Shift)되어 있는 것을 볼 수 있다.
- <34> 이는 상기 비휘발성 메모리 소자가 정보를 저장하고 있는 경우에는 같은 전압이 컨트롤 게이트상에 인가되었을 때, 정보를 저장하고 있지 않은 경우에 비해 낮은 전류 값을 나타낸다는 뜻이다. 반대로, 동일한 전류 값을 얻기 위해서 정보를 저장하고 있는 경우에는 더 높은 전압이 인가되어야 한다는 것을 의미한다.
- <35> <실시 예 1>
- <36> 도 3a 내지 도 3f는 본원 발명의 비휘발성 메모리 소자를 제조하는 공정의 일 실시 예를 나타내는 단면도들이다.
- <37> 도 3a를 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(200)상에 버퍼층(210)을 형성한다.
- <38> 이때, 상기 버퍼층(210)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 반도체층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <39> 이어서, 상기 버퍼층(210)상에 비정질 실리콘층을 형성하고 결정화한 후, 이를 패터닝하여 반도체층(220)을 형성한다.
- <40> 이때, 상기 비정질 실리콘층은 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한 상기 비정질 실리콘층을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- <41> 상기 결정화법은 RTA(Rapid Thermal Annealing) 공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.
- <42> 도 3b를 참조하여 설명하면, 상기 반도체층(220)이 형성된 기판상에 제1절연막(230)을 형성한다.
- <43> 이때, 제1절연막(230)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나로 형성한다.
- <44> 이어서, 상기 제1절연막(230)상에 포토레지스트층을 형성하고, 하프톤 마스크 등과 같은 부분 차광 능력이 있는 마스크(도시 안함)를 이용하여 상기 포토레지스트층을 노광 공정을 진행하여 제1포토레지스트 패턴(240)을 형성함에 있어, 상기 반도체층(220)의 중앙 영역(즉, 채널 영역이 형성될 영역)에 대응하는 제1포토레지스트 패턴의 중앙 영역(245)은 상기 반도체층(220)의 가장자리 영역(즉, 소오스/드레인 영역이 형성될 영역)에 비해 두께가 두껍도록 형성한다.
- <45> 이때, 상기 반도체층(220)이 형성되어 있지 않은 영역상의 제1포토레지스트 패턴(240)은 상기 중앙 영역(245)과 마찬가지로 두껍게 형성할 수도 있고, 형성하지 않아 상기 제1절연막(230)을 노출시킬 수도 있지만 도에서 도시한 바와 같이 가장자리 영역과 같은 두께로 형성하여도 무방하다.
- <46> 이때, 상기 중앙 영역(245)의 두께가 두꺼운 제1포토레지스트 패턴(240)을 형성하는 방법은 더욱 자세히 설명하면, 상기 제1절연막(230)상에 포토레지스트층을 스핀 코팅과 같은 방법으로 형성하고, 완전 차광부, 부분 차광부, 오픈부를 포함하는 하프톤 마스크를 상기 기판상에 정렬한다.
- <47> 이때, 상기 하프톤 마스크의 완전 차광부를 상기 중앙 영역(245)이 형성될 영역상에 위치하도록 상기 하프톤 마스크를 정렬한다.
- <48> 이어서, 상기 노광 및 현상을 완료하게 되면, 상기 완전 차광부 또는 오픈부에 대응되는 포토레지스트층은 가장자리 영역보다 두께가 두껍고, 가장자리 영역은 상기 중앙 영역(245)보다는 두께가 얇은 영역의 포토레지스트 패턴(240)을 형성한다.
- <49> 도 3c를 참조하여 설명하면, 상기 제1포토레지스트 패턴(240)을 식각하기 시작하면, 상기 제1포토레지스트 패턴(240) 중 두께가 얇은 가장자리 하부의 상기 제1절연막(230)(특히, 상기 반도체층(220)의 소오스 영역 및 드레인 영역에 대응하는 영역)이 먼저 노출되어 식각되고, 두께가 두꺼운 상기 중앙 영역(245) 하부의 상기 제1절연막(230)은 노출되지 않아 식각되지 않거나 늦게 노출되어 식각이 덜 된다.
- <50> 이어서, 상기 식각 공정이 종료되면 잔류하는 제1포토레지스트 패턴(240)을 제거한다.

- <51> 따라서, 상기와 같은 식각 공정으로 상기 반도체층(220)의 채널 영역에 대응하는 영역의 두께는 두껍고, 상기 반도체층(220)의 소오스 영역 및 드레인 영역에 대응하는 영역의 두께는 얇은 제1게이트 절연막(235)을 형성할 수 있게 된다.
- <52> 도 3d를 참조하여 설명하면, 상기 반도체층(220) 및 제1게이트 절연막(235)이 형성된 기판상에 적어도 상기 반도체층(220)의 중앙 영역은 덮고, 상기 반도체층(220)의 가장자리 영역 중 어느 한쪽은 덮는, 즉, 상기 반도체층(220)의 가장자리 영역 중 어느 한쪽은 오픈하는 제2포토리소그래피 패턴(250)을 형성한다.
- <53> 이어서, 상기 제2포토리소그래피 패턴(250)이 형성된 기판상에 제1불순물 주입 공정(255)을 실시하여 소오스 영역(S)을 형성한다.
- <54> 이어서, 상기 제2포토리소그래피 패턴(250)을 제거한다.
- <55> 도 3e를 참조하여 설명하면, 상기 반도체층(220) 및 제1게이트 절연막(235)이 형성된 기판상에 적어도 상기 반도체층(220)의 중앙 영역과 상기 반도체층(220)의 가장자리 영역 중 상기 소오스 영역(S)이 형성된 영역은 덮는, 즉, 상기 반도체층(220)의 가장자리 영역 중 다른 한쪽은 오픈하는 제3포토리소그래피 패턴(260)을 형성한다.
- <56> 이어서, 상기 제3포토리소그래피 패턴(260)이 형성된 기판상에 제2불순물 주입 공정(265)을 실시하여 드레인 영역(D)을 형성한다.
- <57> 이어서, 상기 제3포토리소그래피 패턴(260)을 제거한다.
- <58> 이때, 상기 제1불순물 주입 공정(255)과 상기 제2불순물 주입 공정(265)은 주입 에너지, 불순물 농도 및 불순물 종류 중 어느 하나 이상을 제어하여 적어도 상기 소오스 영역(S)의 불순물 주입 깊이가 상기 드레인 영역(D)의 불순물 주입 깊이보다는 깊도록 불순물 주입 공정을 실시하고, 필요하다면 상기 소오스 영역(S)과 드레인 영역(D)의 불순물 종류를 다르게 하여 다른 형의 불순물을 주입할 수도 있다.
- <59> 도 3f를 참조하여 설명하면, 상기 게이트 절연막(235)상에 제1도전층, 제2절연막 및 제2도전층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극(270), 제2게이트 절연막(280) 및 제2게이트 전극(290)을 형성한다.
- <60> 이때, 상기 제1게이트 절연막(235)은 터널 산화막이고, 상기 제1게이트 전극(270)은 플로팅 게이트이고, 상기 제2게이트 절연막(280)은 컨트롤 산화막이고, 상기 제2게이트 전극(290)은 컨트롤 게이트이다.
- <61> 또한, 상기 컨트롤 산화막인 제2게이트 절연막(280)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나로 이루어져 있다. 바람직하게는 상기 제2게이트 절연막(280)은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 구조(ONO 구조)이다.
- <62> <실시 예 2>
- <63> 도 4a 내지 도 4e는 본원 발명의 비휘발성 메모리 소자를 제조하는 공정의 다른 실시 예를 나타내는 단면도들이다.
- <64> 도 4a를 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(300)상에 버퍼층(310)을 형성한다.
- <65> 이때, 상기 버퍼층(310)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 반도체층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <66> 이어서, 상기 버퍼층(310)상에 비정질 실리콘층을 형성한 후, 이를 패터닝하여 반도체층(320)을 형성한다.
- <67> 이때, 상기 비정질 실리콘층은 화학적 기상 증착법 또는 물리적 기상 증착법을 이용할 수 있다. 또한 상기 비정질 실리콘층을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 상기 결정화법은 RTA 공정, SPC법, ELA법, MIC법, MILC법 또는 SLS법 중 어느 하나 이상을 이용할 수 있다.
- <68> 도 4b를 참조하여 설명하면, 상기 반도체층(320)이 형성된 기판상에 제1절연막(330)을 형성한다.
- <69> 이때, 제1절연막(330)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나로 형성한다.
- <70> 도 4c를 참조하여 설명하면, 상기 제1절연막(330)이 형성된 기판상에 포토레지스트층을 스핀 코팅 등의 방법으로 형성한 후, 노광 공정 및 현상 공정을 진행하여 상기 반도체층(320)의 양 가장자리 중 어느 한쪽의 일정 영

역과 대응하는 제1절연막(330)의 일정 영역을 오픈시키는 제4포토레지스트 패턴(340)을 형성한다.

- <71> 이어서, 상기 제4포토레지스트 패턴(340)을 마스크로 이용하여 상기 제1절연막(330)을 일정 깊이로 식각한다.
- <72> 이어서, 상기 반도체층(320)에 제3불순물 주입 공정(345)을 실시하여 소오스 영역(S)을 형성한다. 이때, 상기 제3불순물 주입 공정(345)은 도 3d의 제1불순물 주입 공정과 동일한 불순물 주입 공정으로 실시할 수 있다.
- <73> 이어서, 상기 제4포토레지스트 패턴(340)을 제거한다.
- <74> 도 4d를 참조하여 설명하면, 상기 기판상에 포토레지스트층을 스핀 코팅과 같은 방법으로 형성한 후, 노광 공정 및 현상 공정을 진행하여 상기 반도체층(320) 중 상기 소오스 영역(S)의 반대쪽 가장자리 영역의 일정 영역과 대응하는 제1절연막(330)의 일정 영역을 오픈시키는 제5포토레지스트 패턴(350)을 형성한다.
- <75> 이어서, 상기 제5포토레지스트 패턴(350)을 이용하여 상기 제1절연막(330)을 일정 깊이로 식각한 후, 제4불순물 주입 공정(355)을 실시하여 상기 소오스 영역(S)의 불순물 주입 깊이보다 깊이가 얇은 드레인 영역(D)을 형성한다. 이때, 상기 제4불순물 주입 공정(355)은 상기 도 3e의 제2불순물 주입 공정과 동일한 불순물 주입 공정으로 실시할 수 있다.
- <76> 이때, 상기 소오스 영역(S)과 드레인 영역(D) 사이에는 채널 영역(C)이 형성된다.
- <77> 이어서, 상기 제5포토레지스트 패턴(350)을 제거한다.
- <78> 이때, 상기 제1절연막(330)은 상기 제4포토레지스트 패턴(340) 및 제5포토레지스트 패턴(350)을 마스크로 이용하여 일정 깊이로 식각함으로써, 상기 반도체층(320)의 소오스 영역(S) 및 드레인 영역(D)에 대응하는 영역의 두께가 상기 반도체층(320)의 채널 영역(상기 소오스 영역(S) 및 드레인 영역(D) 사이의 영역)에 대응하는 영역의 두께보다 얇은 제1게이트 절연막(335)을 형성할 수 있다.
- <79> 또한, 상기 제4포토레지스트 패턴(340) 및 제5포토레지스트 패턴(350)을 이용하여 상기 제1절연막(330)을 식각하여 제1게이트 절연막(335)을 형성할 때, 그 깊이를 다르게 함으로써 소오스 영역(S) 및 드레인 영역(D)에 대응하는 영역의 두께가 서로 다른 제1게이트 절연막(335)을 형성할 수 있다.
- <80> 도 4e를 참조하여 설명하면, 상기 게이트 절연막(335)상에 제1도전체층, 제2절연막 및 제2도전체층을 순차적으로 형성하고, 이를 패터닝하여 제1게이트 전극(370), 제2게이트 절연막(380) 및 제2게이트 전극(390)을 형성한다.
- <81> 이때, 상기 제1게이트 절연막(335)은 터널 산화막이고, 상기 제1게이트 전극(370)은 플로팅 게이트이고, 상기 제2게이트 절연막(380)은 컨트롤 산화막이고, 상기 제2게이트 전극(390)은 컨트롤 게이트이다.
- <82> 또한, 상기 컨트롤 산화막인 제2게이트 절연막(380)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층 중 어느 하나로 이루어져 있다. 바람직하게는 상기 제2게이트 절연막(380)은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 구조(ONO 구조)이다.
- <83> 도 5는 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자를 포함하는 유기 전계 발광 소자의 평면도이다.
- <84> 도 5를 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(400)상에 제1전극, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 포함하고 있는 표시 영역(410)이 위치한다.
- <85> 상기 표시 영역(410) 외각에는 표시 영역(410)에 전원을 공급하기 위한 캐소드 버스 라인(420) 및 공통전원 버스 라인(430)과 표시 영역(410)에 신호를 공급하기 위한 스캔 드라이버(440) 및 데이터 드라이버(450)가 위치하고 있다.
- <86> 또한, 상기 표시 영역(410)에 전원 또는 신호를 공급하는 캐소드 버스 라인(420), 공통전원 버스 라인(430), 스캔 드라이버(440) 및 데이터 드라이버(450)와 연결된 플래시 메모리와 같은 비휘발성 메모리를 메모리 영역(460)이 상기 표시 영역(410)의 외각에 위치하고 있다.
- <87> 또한, 외부 장치에서 캐소드 버스 라인(420), 상기 공통전원 버스 라인(430), 스캔 드라이버(440), 데이터 드라이버(450) 또는 메모리 영역(460)에 신호 또는 전원을 공급하기 위한 접촉부인 패드(470)가 가장 외각에 위치하고 있다.
- <88> 또한, 상기 표시 영역(410), 캐소드 버스 라인(420), 공통전원 버스 라인(430), 스캔 드라이버(440), 데이터 드라이버(450) 및 메모리 영역(460)을 감싸도록 위치하고, 봉지 기판(도시 안함)을 봉지하기 위한 실링부(480)가

기판의 가장자리에 위치하고 있다.

<89> 따라서, 상기 표시 영역(410), 캐소드 버스 라인(420), 공통전원 버스 라인(450), 스캔 드라이버(440) 및 데이터 드라이버(450) 등의 유기 전계 발광 표시 장치와 패드(470) 사이에 위치한 메모리 영역(460)에는 비휘발성 메모리 소자가 위치하고 있어, 상기 패드(470)를 통해 입력되는 신호 또는 전원 등의 신호를 저장하거나, 상기 패드(470)를 통해 입력되는 신호 또는 전원 등에 의해 비휘발성 메모리 소자에 저장되어 있는 신호 등을 전기적으로 연결되어 있는 상기 캐소드 버스 라인(420), 공통전원 버스 라인(430), 스캔 드라이버(440) 및 데이터 드라이버(450) 등을 통해 상기 표시 영역(410)의 박막트랜지스터, 제1전극 또는 제2전극으로 전달할 수 있다.

<90> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

<91> 따라서, 본 발명의 비휘발성 메모리 소자 및 이를 포함하는 유기 전계 발광 표시 장치는 평판 표시 장치에 직접 비휘발성 메모리 소자를 직접 구현할 수 있을 뿐만 아니라 쓰기 및 지우기 동작을 용이하게 할 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자의 단면도이다.

도 2는 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자의 전기적인 특성을 나타내는 그래프이다.

<3> 도 3a 내지 도 3f는 본원 발명의 비휘발성 메모리 소자를 제조하는 공정의 일 실시 예를 나타내는 단면도들이다.

<4> 도 4a 내지 도 4e는 본원 발명의 비휘발성 메모리 소자를 제조하는 공정의 다른 일 실시 예를 나타내는 단면도들이다.

<5> 도 5는 본 발명의 일 실시 예에 따른 비휘발성 메모리 소자를 포함하는 유기 전계 발광 소자의 평면도이다.

<6> <도면의 주요부분에 대한 부호의 설명>

<7> S : 소오스 영역 D : 드레인 영역

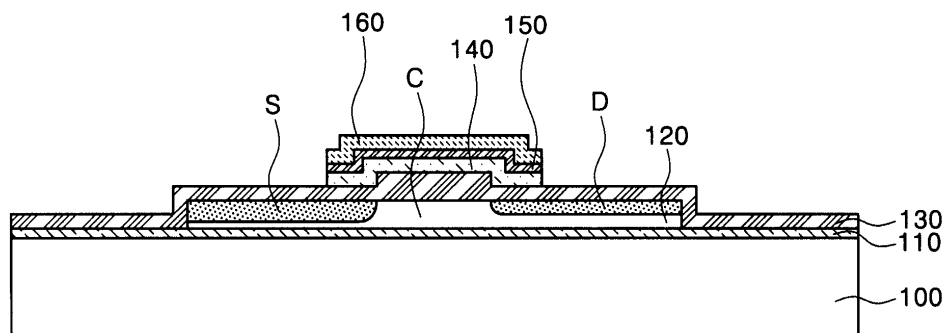
<8> 120,220,320 : 반도체층 130,235,335 : 제1게이트 절연막

<9> 140,270,370 : 제1게이트 전극 150,280,380 : 제2게이트 절연막

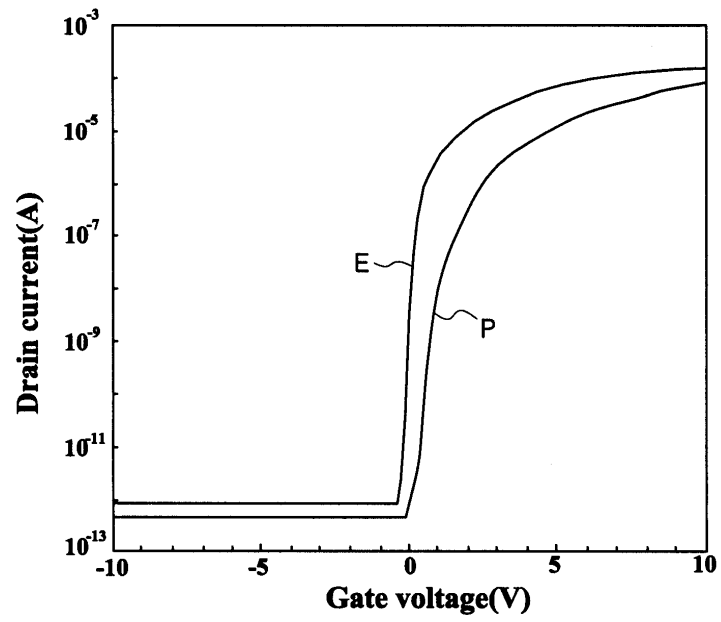
<10> 160,290,390 : 제2게이트 전극

도면

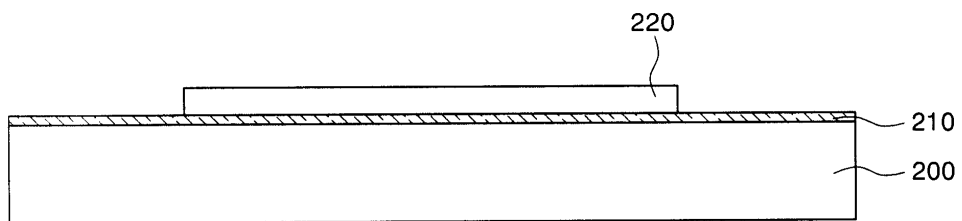
도면1



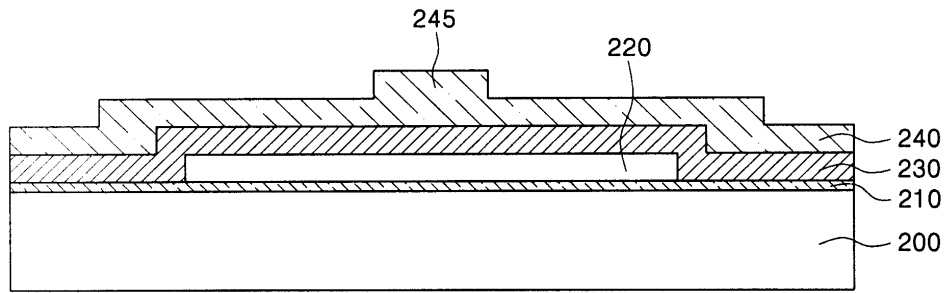
도면2



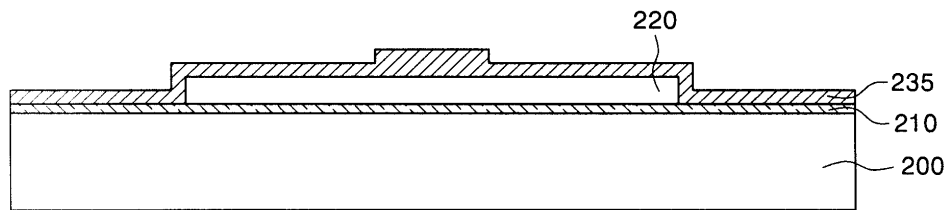
도면3a



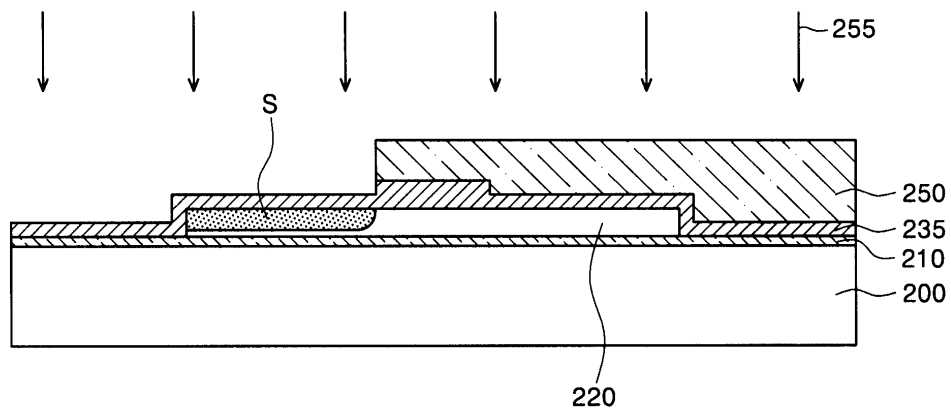
도면3b



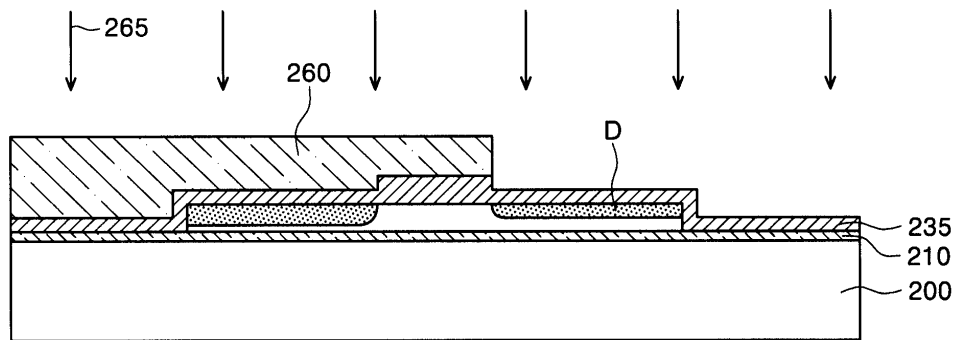
도면3c



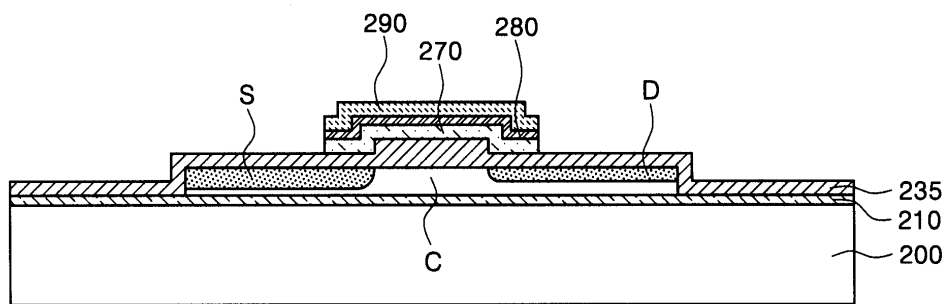
도면3d



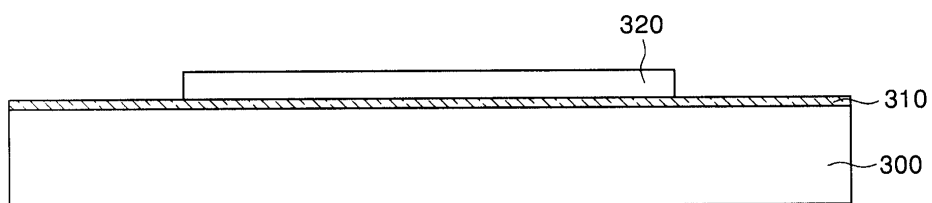
도면3e



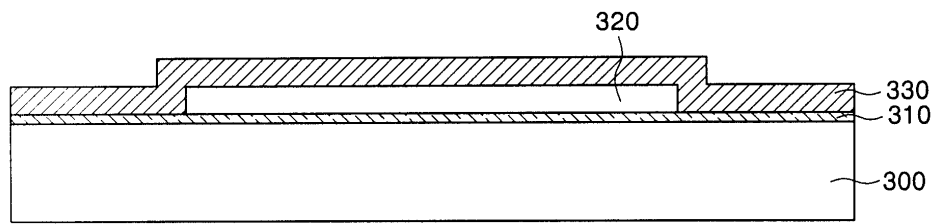
도면3f



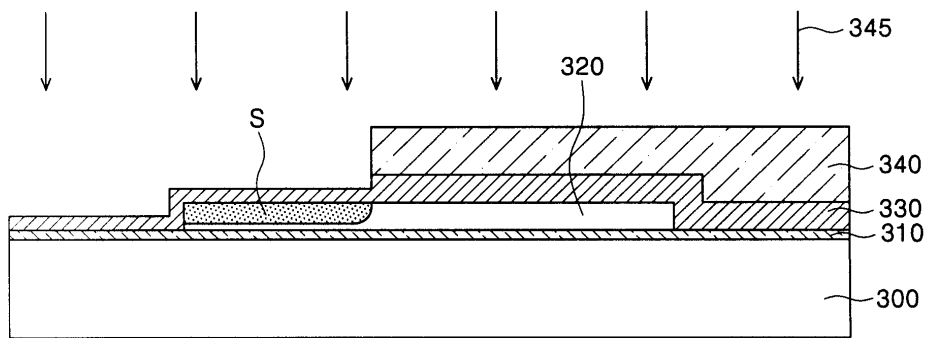
도면4a



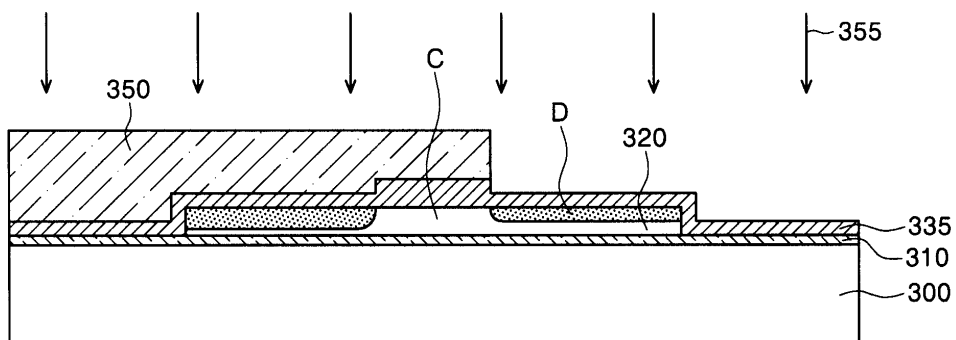
도면4b



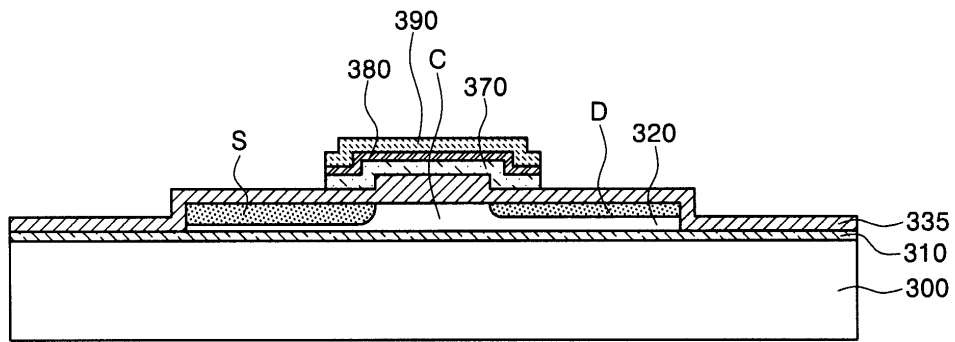
도면4c



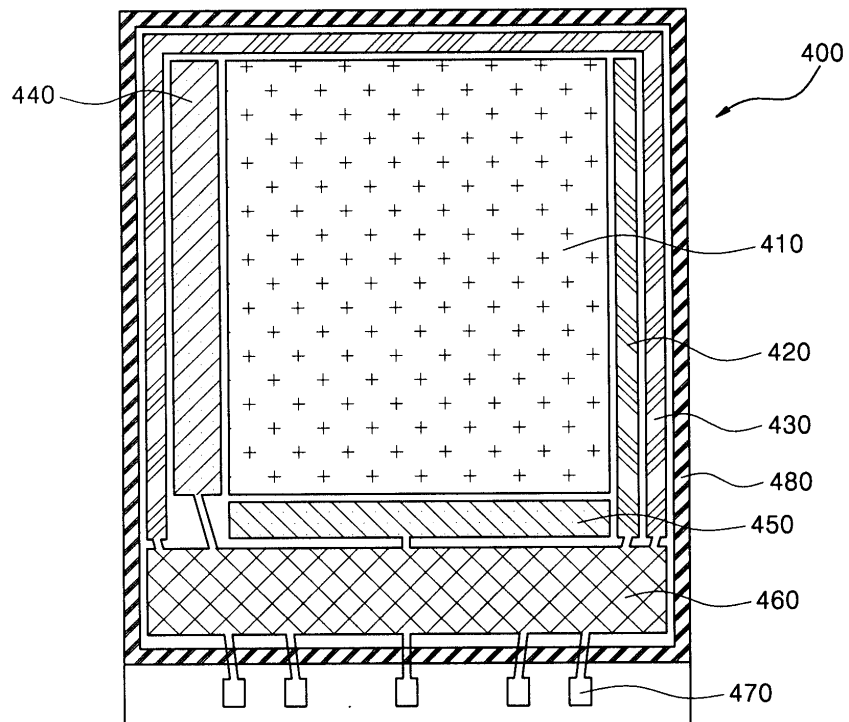
도면4d



도면4e



도면5



专利名称(译)	非易失性存储器件，其制造方法以及包括该非易失性存储器件的有机发光显示装置		
公开(公告)号	KR1020070104779A	公开(公告)日	2007-10-29
申请号	KR1020060036852	申请日	2006-04-24
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI DAE CHUL 최대철 CHOI BYOUNG DEOG 최병덕 PARK HYE HYANG 박혜향 JUNG JU YEUN 정주연 PARK HYUN SUN 박현선		
发明人	최대철 최병덕 박혜향 정주연 박현선		
IPC分类号	H01L51/52 H01L27/115 H01L21/8247		
CPC分类号	H01L27/32 H01L29/66825 H01L51/50 H01L29/7881 H01L21/28273 H01L29/40114 H01L29/42324 H01L51/5203		
代理人(译)	PARK, 常树		
其他公开文献	KR100825383B1		
外部链接	Espacenet		

摘要(译)

本发明涉及所述的非易失性存储器件及其制造方法和包括该非易失性存储器件的有机电致发光显示器件，所述有机电致发光显示器件具有与半导体层对应的区域的厚度，源区和漏区薄；包括它的非易失性存储器件对应于沟道区域形成隧道氧化膜；并且，为了容纳包括漏极区域的非易失性存储器件，其中杂质掺杂区域上的源区域是浅的。非易失性存储器件和有机电致发光显示器件。

