

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0051712
H05B 33/22 (2006.01) (43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0090259

(22) 출원일자 2005년09월28일

(30) 우선권주장 JP-P-2004-00283519 2004년09월29일 일본(JP)

(71) 출원인 가시오계산키 가부시킴가이사
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자 시라사키 도모유키
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴
가이사 하무라기쥬츠센터내
도야마 다다히사
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴
가이사 하무라기쥬츠센터내
오구라 준
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴
가이사 하무라기쥬츠센터내

(74) 대리인 손은진

심사청구 : 있음

(54) 디스플레이패널

요약

전압강하나 전류신호지연을 억제하기 위해, 디스플레이패널은 기관과, 기관상에 형성된 복수의 트랜지스터와, 복수의 트랜지스터의 위쪽을 피복하도록 형성되고 표면에 복수의 홈이 형성된 절연막과, 홈에 매설된 복수의 제 1 배선과, 복수의 제 1 배선을 덮는 배선절연막과, 배선절연막의 위쪽에 설치된 복수의 제 2 배선과, 복수의 제 2 배선 중의 인접하는 제 2 배선간에 설치된 화소전극과, 전극상에 설치된 발광층과, 발광층상에 설치된 대향전극을 구비한다.

대표도

도 7

색인어

화소전극, 대향전극, 급전배선, 공통배선, 유기 EL디스플레이패널

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 표시장치에 있어서의 화소를 나타내는 평면도,

도 2는 서브픽셀(P)의 등가 회로도,

도 3은 서브픽셀(P)의 전극을 나타내는 평면도,

도 4는 도 1에 있어서의 파단선(破斷線) IV-IV를 따라서 절연기관(2)의 두께방향으로 절단한 화살표 단면도,

도 5는 도 1에 있어서의 파단선 V-V를 따라서 절연기관(2)의 두께방향으로 절단한 화살표 단면도,

도 6은 도 1에 있어서의 파단선 VI-VI를 따라서 절연기관(2)의 두께방향으로 절단한 화살표 단면도,

도 7은 도 1에 있어서의 파단선 VII-VII를 따라서 절연기관(2)의 두께방향으로 절단한 화살표 단면도,

도 8은 디스플레이패널의 배선구조를 나타낸 개략평면도,

도 9는 도 8의 디스플레이패널의 구동방법을 설명하기 위한 타이밍도,

도 10은 디스플레이패널의 배선구조를 나타낸 개략평면도,

도 11은 도 10의 디스플레이패널의 구동방법을 설명하기 위한 타이밍도,

도 12는 서브픽셀(P)에 있어서의 구동트랜지스터(23) 및 유기EL소자(20)의 전류-전압 특성을 나타내는 그래프,

도 13은 32인치의 EL디스플레이패널(1)에 있어서의 급전배선(90) 및 공통 배선(91)의 각각의 최대 전압강하와, 배선저항율(ρ)/단면적(S)과의 상관을 나타내는 그래프,

도 14는 32인치의 EL디스플레이패널(1)에 있어서의 급전배선(90) 및 공통 배선(91)의 각각의 단면적과, 전류밀도와의 상관을 나타내는 그래프,

도 15는 40인치의 EL디스플레이패널(1)에 있어서의 급전배선(90) 및 공통 배선(91)의 각각의 최대 전압강하와, 배선저항율(ρ) / 단면적(S)과의 상관을 나타내는 그래프,

도 16은 40인치의 EL디스플레이패널(1)에 있어서의 급전배선(90) 및 공통 배선(91)의 각각의 단면적과, 전류밀도와의 상관을 나타내는 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이패널에 관한 것으로서, 특히 발광소자를 이용한 디스플레이패널에 관한 것이다.

근래, CRT(Cathode Ray Tube)에 대체하는 새로운 영상표시방식을 이용한 표시장치로서, 액정 패널을 이용한 액정 디스플레이(LDC), 전계발광(EL) 현상을 이용한 EL디스플레이, 플라스마 디스플레이패널(이하, PDP : Plasma Display Panel)을 이용한 플라스마 디스플레이 등이 개발되어 있다.

이 중, EL디스플레이에는 전계발광소자(이하, EL소자)에 무기 화합물을 이용한 무기 EL디스플레이와, 유기 화합물을 이용한 유기 EL디스플레이로 크게 나누어지며, 컬러화가 용이하고, 무기 EL디스플레이에 비해 저전압에서의 동작이 가능하다는 관점에서, 유기 EL디스플레이의 개발이 진행되고 있다.

이 유기 EL디스플레이에 이용되는 유기 EL디스플레이패널의 구동방식은 패시브 매트릭스 구동방식과, 액티브 매트릭스 구동방식을 들 수 있으며, 액티브 매트릭스 구동방식을 채용한 유기 EL디스플레이패널은 고콘트라스트이고 또한 고정밀도이기 때문에, 패시브 매트릭스 구동방식보다도 우수하다.

예를 들면, 특허문헌1에 기재된 종래의 액티브 매트릭스 구동방식의 유기 EL디스플레이패널에 대해서는 유기EL소자와, 화상데이터에 따른 전압신호가 게이트에 인가되어 유기EL소자에 전류를 흘리는 구동트랜지스터와, 이 구동트랜지스터의 게이트에 화상데이터에 따른 전압신호를 공급하기 위한 스위칭을 행하는 스위칭용 트랜지스터가, 화소마다 설치되어 있다. 이러한 유기 EL디스플레이패널에서는 주사선이 선택되면 스위칭용 트랜지스터가 ON으로 되어, 순시에 휘도를 나타내는 레벨의 전압이 신호선을 통하여 구동트랜지스터의 게이트에 인가된다. 이것에 의해, 구동트랜지스터가 ON으로 되어, 게이트전압의 레벨에 따른 크기의 구동전류가 전원으로부터 구동트랜지스터의 소스-드레인을 통하여 유기EL소자에 흐르며, 유기EL소자가 전류의 크기에 따른 휘도로 발광한다. 주사선의 선택이 종료하고 나서 다음에 그 주사선이 선택될 때까지의 동안에는 스위칭용 트랜지스터가 OFF로 되어도 구동트랜지스터의 게이트전압의 레벨이 계속해서 홀딩되어, 유기EL소자는 구동전류의 크기에 따른 휘도로 발광하도록 되어 있다.

[특허문헌1] 일본국 특개평8-330600호 공보

발명이 이루고자 하는 기술적 과제

그러나, 상술한 유기 EL디스플레이패널의 경우, 전원선과 같은 복수의 유기EL소자에 동시에 전류를 흘리는 배선의 상기 저항에 의해서, 전압강하나, 배선을 통한 신호의 지연이 생긴다고 하는 문제가 발생하고 있다. 이들 전압강하 및 신호 지연을 억제하기 위한 대응책으로서, 배선의 두께치수 또는 폭치수를 크게 함으로써 배선을 저저항화하는 방법이 검토되고 있다. 그런데, 이 배선을, 유기EL소자를 동작시키는 구동트랜지스터 등의 박막트랜지스터의 게이트 메탈이나 소스, 드레인 메탈을 이용해서 형성하면, 박막트랜지스터에 있어서의 전극의 두께 치수는 요구되는 특성에 따라 설계되어 있기 때문에, 바꾸어 말하면 발광소자에 전류를 흘리는 것을 전제로 해서 설계하고 있지 않기 때문에, 배선으로부터 일괄해서 복수의 발광소자에 전류를 흘리고자 하면, 배선의 상기저항에 의해서, 전압강하가 발생하거나, 배선을 통과한 전류의 흐름의 지연이 생긴다. 전압강하 및 전류지연을 억제하기 위해 배선을 저저항화하는 것이 바람직하지만, 그를 위해 트랜지스터의 소스, 드레인전극으로 되는 금속층이나 게이트전극으로 되는 금속층을 전류가 충분히 흐를 정도로 상당히 폭넓게 패터닝하여 저저항배선으로 하거나 하면, 배선이 다른 배선이나 도전체 등과 평면에서 보아 중첩되는 면적이 증가해 버려, 그들 사이에서 기생용량이 발생해 버리고, 전류의 흐름을 느리게 하는 요인을 발생해 버리거나, 혹은 트랜지스터 어레이 기관측으로부터 EL광을 출사하는 소위 보텀에미션 구조의 경우, EL소자로부터의 발광을 배선이 차광해 버리므로, 발광면적의 비율인 개구율의 저하를 초래해 버리고 있었다. 또 저저항화하기 위해 박막트랜지스터의 게이트전극을 두껍게 하면, 에칭정밀도가 낮게 될 뿐만 아니라, 게이트전극의 단차를 평탄화하기 위한 평탄화막(예를 들면 박막트랜지스터가 역스태거구조의 경우, 게이트절연막에 상당)까지 두껍게 하지 않으면 안되어, 트랜지스터 특성이 크게 변화해 버릴 우려가 있고, 또 소스, 드레인전극을 두껍게 하면, 소스, 드레인전극의 에칭정밀도가 저하해 버리기 때문에, 역시 트랜지스터의 특성에 악영향을 미칠 우려가 있다.

본 발명은 상기한 점을 감안해서 이루어진 것으로서, 전압강하, 전류신호의 지연을 억제하는 것이 가능한 디스플레이패널을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

이상의 과제를 해결하기 위해, 청구항 1에 기재된 발명에 관한 디스플레이패널은 기관과, 상기 기관상에 형성된 복수의 트랜지스터와, 상기 복수의 트랜지스터의 위쪽을 피복하도록 형성되고 표면에 복수의 홈이 형성된 절연막과, 상기 홈에 매설된 복수의 제 1 배선과, 상기 복수의 제 1 배선을 덮는 배선절연막과, 상기 배선절연막의 위쪽에 설치된 복수의 제 2 배선과, 상기 복수의 제 2 배선 중의 인접하는 제 2 배선간에 설치된 화소전극과, 상기 전극상에 설치된 발광층과, 상기 발광층상에 설치된 대향전극을 구비한다.

상기 복수의 트랜지스터는 소스, 드레인의 한쪽이 상기 화소전극에 접속된 구동트랜지스터와, 상기 구동트랜지스터의 소스-드레인간에 기입전류를 흘리는 스위치트랜지스터와, 발광기간에 상기 구동트랜지스터의 소스-게이트간의 전압을 홀딩하는 홀딩트랜지스터를 가져도 좋다.

상기 제 1 배선은 상기 구동트랜지스터의 소스, 드레인의 다른쪽과 접속된 급전배선을 가져도 좋다.

상기 제 1 배선은 상기 복수의 트랜지스터의 게이트로 되는 도전층 및 소스, 드레인으로 되는 도전층과는 다른 도전층에 의해서 형성되어 있어도 좋다.

상기 제 1 배선은 상기 화소전극으로 되는 도전층을 패터닝해서 이루어지는 도전성라인을 가져도 좋다.

상기 절연막은 상기 복수의 트랜지스터상을 직접 덮는 트랜지스터 보호절연막을 가져도 좋다.

상기 절연막은 상기 트랜지스터 보호절연막상에 설치된 평탄화막을 가져도 좋다.

상기 제 2 배선은 상기 대향전극에 접속되어 있어도 좋다.

상기 제 2 배선의 연재(延在)방향은 상기 제 1 배선의 연재방향과 직교하고 있어도 좋다.

상기 제 2 배선은 상기 복수의 트랜지스터의 게이트로 되는 도전층 및 소스, 드레인으로 되는 도전층과는 다른 도전층에 의해서 형성되어 있어도 좋다.

또, 본 발명의 디스플레이패널은 복수의 서브픽셀을 구비하는 복수의 화소가 배치 설치된 기관과, 상기 기관의 상면에 있어서 상기 서브픽셀마다 배치 설치된 복수의 구동트랜지스터와, 소스와 드레인의 한쪽을 상기 구동트랜지스터의 소스와 드레인의 어느 쪽인가 한쪽에 도통시키고, 상기 기관의 상면에 있어서 상기 서브픽셀마다 배치 설치된 복수의 스위치트랜지스터와, 소스와 드레인의 한쪽을 상기 구동트랜지스터의 소스와 드레인의 다른쪽에 도통시키고, 소스와 드레인의 다른 쪽을 상기 구동트랜지스터의 게이트에 도통시키며, 상기 기관의 상면에 상기 서브픽셀마다 배치 설치된 복수의 홀딩트랜지스터와, 상기 구동트랜지스터, 스위치트랜지스터 및 홀딩트랜지스터를 피복하도록 형성되고 표면에 복수의 홈이 형성된 절연막과, 상기 홈에 매설되고 상기 구동트랜지스터의 소스와 드레인의 다른쪽에 도통하며 상기 구동트랜지스터, 스위치트랜지스터 및 홀딩트랜지스터의 게이트, 소스 및 드레인으로 되는 도전층과는 다른 도전층에 의해 형성된 복수의 급전배선과, 상기 절연막의 상면에 서로 평행하게 되도록 형성된 복수의 리지(ridge)와, 상기 리지를 따라서 상기 절연막의 상면에 배열되는 동시에, 상기 리지의 사이에 있어서, 상기 서브픽셀마다 설치되고 상기 구동트랜지스터의 소스와 드레인의 어느 쪽인가 한쪽에 도통한 복수의 서브픽셀전극과, 습식도포법에 의해 상기 서브픽셀전극의 상면에 형성된 발광층과, 상기 발광층을 피복하는 대향전극을 갖는다.

상기 리지는 감광성 절연수지를 가져도 좋다.

상기 리지의 아래쪽에서, 평면에서 보아 상기 리지와 중첩하고 있는 복수의 신호선을 구비하고 있어도 좋다.

상기 급전배선의 두께 치수는 1.31~6 μm 인 것이 바람직하다.

상기 급전배선의 폭치수는 7.45~44 μm 인 것이 바람직하다.

상기 급전배선의 저항율은 2.1~9.6 $\mu\Omega\text{cm}$ 인 것이 바람직하다.

본 발명의 디스플레이에 따르면, 제 1 배선이 복수의 트랜지스터의 위쪽을 피복하는 보호절연막에 형성된 홈에 매설되어 있으므로, 제 1 배선의 두께를 크게 하는 것에 의해, 저저항화를 도모하는 것이 가능해지고, 이것에 의해서 전압강하 및 전류신호 지연의 억제를 도모할 수 있다.

또, 본 발명의 다른 디스플레이에 따르면, 각 화소에 있어서, 보호절연막에 형성된 홈에 매설된 급전배선이, 스위칭트랜지스터, 홀딩트랜지스터 및 구동트랜지스터의 전극에 이용되는 도전층은 다른 층에 의해서 형성되어 있으므로, 급전배선의 두께를 크게 하는 것에 의해, 급전배선의 저저항화를 도모하는 것이 가능해지고, 이것에 의해서, 급전배선을 통하여 스위칭트랜지스터, 홀딩트랜지스터 및 구동트랜지스터로 신호를 출력한 경우에도, 전압강하 및 신호지연의 억제를 도모할 수 있다.

[발명을 실시하기 위한 최량의 형태]

이하, 본 발명을 실시하기 위한 최량의 형태에 대해 도면을 이용해서 설명한다. 단, 이하에 기술하는 실시형태에는 본 발명을 실시하기 위해 기술적으로 바람직한 각종의 한정(이하, 수직방향)이 부가되어 있지만, 발명의 범위를 이하의 실시형태 및 도시에 한정하는 것은 아니다.

도 1 내지 도 16을 참조하면서, 본 발명에 관한 디스플레이패널에 대해 설명한다.

우선, 디스플레이패널의 평면 구성에 대해 설명한다.

본 실시형태에 있어서의 디스플레이패널(1)은 도 1에 도시하는 바와 같이, 화소(3)가 매트릭스형상으로 배치되어 있다. 이들 화소(3)는 대략 장방형상의 1도트의 적색서브픽셀(Pr)과 1도트의 녹색서브픽셀(Pg)과 1도트의 청색서브픽셀(Pb)로 구성되어 있고, 각 서브픽셀(Pr, Pg, Pb)은 화소(3)에 있어서, 서로의 긴쪽방향(이하, 수직방향)이 평행하게 되도록, 또한 긴쪽방향과 직교하는 방향(이하, 수평방향)으로 적색서브픽셀(Pr), 녹색서브픽셀(Pg), 청색서브픽셀(Pb)의 순으로 되도록 배열되어 있다.

여기서, 이하의 설명에 있어서, 이들 적색서브픽셀(Pr), 녹색서브픽셀(Pg), 청색서브픽셀(Pb) 중, 임의의 서브픽셀을 서브픽셀 P로 나타내고, 이 서브픽셀(P)에 대한 설명은 적색서브픽셀(Pr), 녹색서브픽셀(Pg), 청색서브픽셀(Pb)의 어느 것에 대해서도 적용되는 것으로 한다.

또, 도 1에 도시하는 바와 같이, 수직방향의 적색서브픽셀(Pr)의 열과 청색서브픽셀(Pb)의 열의 사이에는 신호선(Yr)이 배열되어 있다. 또, 수직방향의 녹색서브픽셀(Pg)의 열과 적색서브픽셀(Pr)의 열의 사이에는 신호선(Yg)이 배열되어 있다. 또한, 수직방향의 청색서브픽셀(Pb)의 열과 녹색서브픽셀(Pg)의 열의 사이에는 신호선(Yb)이 각각 배치 설치되어 있다. 따라서, 수평방향의 배열순에 주목하면, 신호선(Yr), 신호선(Yg), 신호선(Yb)의 순으로 반복해서 배열되어 있고, 이들 신호선(Yr), 신호선(Yg) 및 신호선(Yb)은 수직방향으로 연재하는 동시에, 서로가 평행하게 되도록 배치 설치되어 있다.

이들 신호선(Yr), 신호선(Yg) 및 신호선(Yb)은 수직방향을 따라서 1열로 배열된 모든 적색서브픽셀(Pr), 모든 녹색서브픽셀(Pg), 모든 청색서브픽셀(Pb)에 각각 신호를 공급하도록 되어 있다.

여기서, 이하의 설명에 있어서, 신호선(Y)은 적색서브픽셀(Pr)의 경우에는 도 1의 신호선(Yr)을 나타낸다. 또, 녹색서브픽셀(Pg)의 경우에는 도 1의 신호선(Yg)을 나타낸다. 또한, 청색서브픽셀(Pb)의 경우에는 도 1의 신호선(Yb)을 각각 나타낸다. 또, 신호선(Y)에 대한 설명은 신호선(Yr), 신호선(Yg), 신호선(Yb)의 어느 것에 대해서도 적용되는 것으로 한다.

여기서, 신호선(Y)은 n 개이고, 수직방향(열방향)으로 연재한 신호선($Y_1 \sim Y_n$)은 수평방향(행방향)으로 연재하고 있는 m 개의 주사선($X_1 \sim X_m$), m 개의 급전배선($90, 90, \dots$) 및 m 개의 공급선($Z_1 \sim Z_m$)과 직교하고 있다. 또, m, n 은 각각 2이상의 자연수이며, 또한 n 은 3의 배수이며, 주사선(X)에 붙은 아래첨자는 도 8, 도 10에 있어서 위로부터의 배열순을 나타내고, 공급선(Z)에 붙은 아래첨자는 도 8, 도 10에 있어서 위로부터의 배열순을 나타내며, 신호선(Y)에 붙은 아래첨자는 도 8, 도 10에 있어서 좌측으로부터의 배열순을 나타내고, 서브픽셀(P)에 붙은 아래첨자의 앞측이 위로부터의 배열순을 나타내며, 뒤측이 좌측으로부터의 배열순을 나타낸다. 즉, $1 \sim m$ 중의 임의의 자연수를 i 로 하고, 1 부터 n 중의 임의의 자연수를 j 로 한 경우에, 주사선(X_i)는 위로부터 i 번째이고, 공급선(Z_i)은 좌측에서 i 번째이며, 신호선(Y_j)은 좌측에서 j 번째이고, 서브픽셀($P_{i,j}$)은 위로부터 i 번째, 좌측에서 j 번째이며, 서브픽셀($P_{i,j}$)은 주사선(X_i), 공급선(Z_i) 및 신호선(Y_j)에 접속되어 있다. 더욱 구체적으로, 화소(3)에 있어서의 수직방향의 상측에는 복수의 주사선(X)이 수평방향을 따라 연재해서 배치 설치되어 있다. 한편, 화소(3)를 사이에 두고 주사선(X)과 대향하는 하측에는 복수의 공급선(Z)과 복수의 급전배선(90)이, 주사선(X)에 대해 평행하게 배치 설치되어 있다. 따라서, 수직방향의 배열순에 주목하면, 주사선(X), 화소(3)의 열, 공급선(Z)의 순으로 반복해서 배열되어 있다. 이들 주사선(X) 및 공급선(Z)은 수평방향을 따른 1행에 배열된 각 서브픽셀(Pr, Pg, Pb)에 신호를 공급하도록 되어 있다.

다음에, 서브픽셀(Pr, Pg, Pb)의 회로 구성에 대해 설명한다.

어느 서브픽셀(Pr, Pg, Pb)도 마찬가지로 구성되어 있으며, 1도트의 서브픽셀(P)에는 도 2에 도시하는 바와 같이, 유기EL 소자(20)와, 모두 N 채널형 아몰퍼스(비정질) 실리콘 박막트랜지스터인 스위치트랜지스터(21), 홀딩트랜지스터(22) 및 구동트랜지스터(23)와, 캐패시터(24)가 구비되어 있다.

유기EL소자(20)는 화소전극으로서 서브픽셀전극(20a)과, 유기EL층(20b)(도 4에 도시)과, 대향전극(20c)을 갖고 있다. 이 중, 대향전극(20c)은 공통배선(91)에 도통되어 있다.

스위치트랜지스터(21)는 소스(21s)와, 드레인(21d)과, 게이트(21g)를 갖는다. 이 중, 소스(21s)는 신호선(Y)과 도통되고, 드레인(21d)은 유기EL소자(20)의 서브픽셀전극(20a)과, 구동트랜지스터(23)의 소스(23s)와, 캐패시터(24)의 전극(24B)에 도통되고, 게이트(21g)는 홀딩트랜지스터(22)의 게이트(22g)와, 주사선(X)에 도통되어 있다.

홀딩트랜지스터(22)는 소스(22s)와 드레인(22d)과 게이트(22g)를 갖는다. 이 중, 소스(22s)는 구동트랜지스터(23)의 게이트(23g)와, 캐패시터(24)의 전극(24A)과 도통되고, 드레인(22d)은 구동트랜지스터(23)의 드레인(23d)과 공급선(Z)과 도통되며, 게이트(22g)는 스위치트랜지스터(21)의 게이트(21g)와 주사선(X)에 도통되어 있다. 또한, 홀딩트랜지스터(22)의 드레인(22d)은 구동트랜지스터(23)의 드레인(23d)과 도통하지 않고 주사선(X)에 접속되어 있어도 좋다.

구동트랜지스터(23)는 소스(23s)와 드레인(23d)과 게이트(23g)를 갖는다. 이 중, 소스(23s)는 유기EL소자(20)의 서브픽셀전극(20a)과, 스위치트랜지스터(21)의 드레인(21d)과, 캐패시터(24)의 전극(24B)에 도통되고, 드레인(23d)은 홀딩트랜지스터(22)의 드레인(22d)과 공급선(Z)에 도통되며, 게이트(23g)는 홀딩트랜지스터(22)의 소스(22s)와 캐패시터(24)의 전극(24A)에 도통되어 있다.

캐패시터(24)는 절연기관(2)상에 상하방향으로 중첩되도록 형성된 전극(24A) 및 전극(24B)과, 전극(24A)과 전극(24B)의 사이에 개재하는 유전체를 갖고 있다. 어느 서브픽셀(Pr, Pg, Pb)에서도 캐패시터(24)는 마찬가지로 되어 있다.

다음에, 서브픽셀의 평면구성에 대해 설명한다.

도 3에 도시하는 바와 같이, 각 서브픽셀(Pr, Pg, Pb)에 대해 평면에서 본 경우, 스위치트랜지스터(21)는 신호선(Y)을 따라 배치되어 있다. 또, 홀딩트랜지스터(22)는 주사선(X)에 인접하는 서브픽셀(P)의 각부(角部)에 배치되어 있다. 또한, 구동트랜지스터(23)는 인접하는 신호선(Y)을 따라 각각 배치되어 있으며, 캐패시터(24)는 구동트랜지스터(23)를 따라 배치되어 있다.

또, 디스플레이패널(1) 전체를 평면에서 보아 각 서브픽셀(Pr, Pg, Pb)에 있어서의 스위치트랜지스터(21), 홀딩트랜지스터(22) 및 구동트랜지스터(23)의 각각에 주목하면, 각 트랜지스터(21), (22), (23)는 매트릭스형상으로 각각 배열되어 있다.

유기EL소자(20)의 서브픽셀전극(20a)은 도 1 및 도 3에 있어서, 트랜지스터(21), (22), (23)을 보기 쉽게 한다는 관점에서부터 생략되어 있지만, 이들 서브픽셀전극(20a)은 수평방향으로 인접하는 신호선(Y)과 수직방향으로 서로 이웃하는 공급선(Z) 및 주사선(X)에 의해서 둘러싸인 직사각형 영역내에 배치되어 있다. 또, 서브픽셀전극(20a)은 그 직사각형 영역을 따르도록 직사각형 형상으로 형성되어 있기 때문에, 디스플레이패널(1) 전체를 평면에서 보아, 각 서브픽셀(Pr, Pg, Pb)의 서브픽셀전극(20a)에만 주목하면, 복수의 서브픽셀전극(20a)이 매트릭스형상으로 배열되어 있다.

다음에, 디스플레이패널(1)의 층구조에 대해 설명한다.

도 4는 도 1에 도시된 파단선IV-IV을 따라 절연기관(2)의 두께방향으로 절단한 화살표 단면도이고, 도 5는 도 1에 도시된 파단선V-V을 따라 절연기관(2)의 두께방향으로 절단한 화살표 단면도이며, 도 6은 도 1에 도시된 파단선VI-VI을 따라 절연기관(2)의 두께방향으로 절단한 화살표 단면도이고, 도 7은 도 1에 도시된 파단선VII-VII을 따라 절연기관(2)의 두께방향으로 절단한 화살표 단면도이다. 디스플레이패널(1)에는 도 4에 도시하는 바와 같이, 광투과성을 갖는 가요성(플렉시블)을 갖는 시트형상, 또는 강성을 갖는 판형상의 절연기관(2)이 구비되어 있으며, 이 절연기관(2)의 상면에는 스위치트랜지스터(21), 홀딩트랜지스터(22), 구동트랜지스터(23) 및 캐패시터(24)가 층구조로 되도록 형성되어 있다.

스위치트랜지스터(21)는 절연기관(2)의 상면에 형성된 게이트(21g)와, 게이트(21g)의 상부에 형성된 게이트절연막(31)과, 게이트절연막(31)을 사이에 두고 게이트(21g)에 대향한 반도체막(21c)과, 반도체막(21c)의 중앙부상에 형성된 채널보호막(21p)과, 반도체막(21c)의 양단부상에 있어서 서로 이간하도록 형성되고, 채널보호막(21p)에 일부 중첩된 불순물반도체막(21a, 21b)과, 불순물반도체막(21a)의 상부에 형성된 드레인(21d)과, 불순물반도체막(21b)의 상부에 형성된 소스(21s)를 갖고 있다.

또한, 드레인(21d) 및 소스(21s)는 1층 구조이어도 좋고, 2층 이상의 적층 구조이어도 좋다.

도 7에 도시하는 바와 같이, 홀딩트랜지스터(22)는 절연기관(2)의 상면에 형성된 게이트(22g)와, 게이트(22g)의 위에 형성된 게이트절연막(31)과, 게이트절연막(31)을 사이에 두고 게이트(22g)에 대향한 반도체막(22c)과, 반도체막(22c)의 중앙부상에 형성된 채널보호막(22p)과, 반도체막(22c)의 양단부상에 있어서 서로 이간하도록 형성되고 채널보호막(22p)에 일부 중첩된 불순물반도체막(22a), (22b)과, 불순물반도체막(22a)의 위에 형성된 드레인(22d)과, 불순물반도체막(22b)의 위에 형성된 소스(22s)를 갖고 있다.

도 4에 도시하는 바와 같이, 구동트랜지스터(23)는 절연기관(2)의 상면에 형성된 게이트(23g)와, 게이트(23g)의 상부에 형성된 게이트절연막(31)과, 게이트절연막(31)을 사이에 두고 게이트(23g)에 대향한 반도체막(23c)과, 반도체막(23c)의 중앙부상에 형성된 채널보호막(23p)과, 반도체막(23c)의 양단부상에 있어서 서로 이간하도록 형성되고 채널보호막(23p)에 일부 중첩된 불순물반도체막(23a), (23b)과, 불순물반도체막(23a)의 위에 형성된 드레인(23d)과, 불순물반도체막(23b)의 위에 형성된 소스(23s)로 구성되어 있다. 이러한 구동트랜지스터(23)는 도 3에 도시하는 바와 같이, 'ㄱ'형상으로 형성되는 것에 의해, 채널폭이 넓도록 되어 있다.

또한, 드레인(23d) 및 소스(23s)는 1층 구조이어도 좋고, 2층 이상의 적층구조이어도 좋다.

캐패시터(24)는 절연기관(2)의 상면에 형성된 전극(24A)과, 유전체로서 전극(24A)의 상부에 형성된 게이트절연막(31)과, 게이트절연막(31)을 사이에 두고 전극(24A)에 대향한 전극(24B)을 갖고 있다.

이들 스위치트랜지스터(21), 홀딩트랜지스터(22), 구동트랜지스터(23) 및 캐패시터(24)는 어느 서브픽셀(Pr, Pg, Pb)에 있어서도 마찬가지로 층구조로 되어 있다.

또, 스위치트랜지스터(21)의 게이트(21g), 홀딩트랜지스터(22)의 게이트(22g), 구동트랜지스터(23)의 게이트(23g), 캐패시터(24)의 전극(24A) 및 모든 신호선(Yr, Yg, Yb)은 절연기관(2)의 상면의 전체에 빈틈없이 성막된 도전성막을 포트리소그래피법이나, 에칭법에 의해서 패터닝하는 것에 의해 형성되어 있다.

여기서, 스위치트랜지스터(21)의 게이트(21g), 홀딩트랜지스터(22)의 게이트(22g), 구동트랜지스터(23)의 게이트(23g), 캐패시터(24)의 전극(24A) 및 신호선(Yr, Yg, Yb)은 절연기관(2)상의 전면에 빈틈없이 성막된 도전성막을 포트리소그래피법·에칭법에 의해서 패터닝하는 것에 의해 형성된 것이다. 이하에서는, 스위치트랜지스터(21)의 게이트(21g), 홀딩트랜지스터(22)의 게이트(22g), 구동트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 하층전극(24A) 및 신호선(Yr, Yg, Yb)의 베이스로 되는 도전성막을 이하, 게이트레이어라 한다.

스위치트랜지스터(21), 홀딩트랜지스터(22), 구동트랜지스터(23) 및 캐패시터(24)의 위에는 게이트절연막(31)이 전체에 빈틈없이 성막되어 있고, 이 게이트절연막(31)은 스위치트랜지스터(21)의 게이트(21g), 홀딩트랜지스터(22)의 게이트(22g), 구동트랜지스터(23)의 게이트(23g), 캐패시터(24)의 전극(24A) 및 신호선(Yr, Yg, Yb)을 피복하도록 되어 있다.

또한, 스위치트랜지스터(21)의 드레인(21d) 및 소스(21s), 홀딩트랜지스터(22)의 드레인(22d) 및 소스(22s), 구동트랜지스터(23)의 드레인(23d) 및 소스(23s), 캐패시터(24)의 전극(24B)과 모든 주사선(X) 및 공급선(Z)은 게이트절연막(31)의 상면의 전면에 빈틈없이 성막된 도전성막을, 포트리소그래피법이나, 에칭법에 의해서 패터닝하는 것에 의해 형성되어 있다.

여기서, 스위치트랜지스터(21)의 드레인(21d) 및 소스(21s), 홀딩트랜지스터(22)의 드레인(22d) 및 소스(22s), 구동트랜지스터(23)의 드레인(23d) 및 소스(23s), 캐패시터(24)의 전극(24B)과 주사선(X) 및 공급선(Z)의 베이스로 되는 도전성막을 이하, 드레인레이어라 한다.

도 3에 도시하는 바와 같이, 게이트절연막(31)으로서, 평면에서 보아 주사선(X)과 중첩하는 개소에는 1도트의 서브픽셀(P)당 1개의 콘택트홀(92)이 형성되며, 스위치트랜지스터(21)의 게이트(21g) 및 홀딩트랜지스터(22)의 게이트(22g)가 콘택트홀(92)을 통하여 주사선(X)과 도통되어 있다.

또, 게이트절연막(31)으로서, 평면에서 보아, 신호선(Y)과 중첩하는 개소에는 1도트의 서브픽셀(P)당 1개의 콘택트홀(94)이 형성되며, 스위치트랜지스터(21)의 소스(21s)가 콘택트홀(94)을 통하여 신호선(Y)과 도통되어 있다.

또한, 게이트절연막(31)으로서, 전극(24A)과 중첩하는 개소에는 1도트의 서브픽셀(P)당 1개의 콘택트홀(93)이 형성되고, 홀딩트랜지스터(22)의 소스(22s)가 구동트랜지스터(23)의 게이트(23g)와 캐패시터(24)의 전극(24A)에 도통되어 있다.

또한, 신호선(Yr, Yg, Yb)의 위쪽에는 게이트절연막(31)을 통해 반도체막(23c)과 동일한 층을 패터닝해서 이루어지는 보호막(41)과, 채널보호막(23p)과 동일한 층을 패터닝해서 이루어지는 보호막(42)이 적층되어 있다. 보호막(41) 및 보호막(42)은 게이트절연막(31)에 핀홀이 형성되어 버린 경우, 이 핀홀을 통하여 신호선(Yr, Yg, Yb)이 공급선(Z)과 단락해 버리는 것을 방지하기 위한 보호막이다.

이들 스위치트랜지스터(21), 홀딩트랜지스터(22), 구동트랜지스터(23)와 모든 주사선(X) 및 공급선(Z)은 전면에 빈틈없이 성막된 트랜지스터 보호절연막(32)에 의해서 피복되어 있다.

또한, 상세에 대해서는 후술하겠지만, 트랜지스터 보호절연막(32)은 평면에서 보아 공급선(Z)에 중첩하는 개소에서 직사각형형상으로 분단되어 있다.

트랜지스터 보호절연막(32)의 상면에는 수지를 경화시킨 평탄화막(33)이 적층되어 있어, 스위치트랜지스터(21), 홀딩트랜지스터(22), 구동트랜지스터(23), 주사선(X) 및 공급선(Z)에 의한 요철(오목볼록)이 해소되어 있다.

또한, 본 실시형태에 있어서의 디스플레이패널(1)을, 보텀에미션형으로서 이용하는 경우, 즉, 절연기관(2)의 각 트랜지스터(21), (22), (23)가 배치된 면측을 표시면으로서 이용하는 경우에는 게이트절연막(31), 트랜지스터 보호절연막(32) 및 평탄화막(33)에는 투명한 재료가 이용된다.

여기서, 절연기관(2)에서 평탄화막(33)까지의 적층구조를, 트랜지스터 어레이 기관(50)이라 한다.

트랜지스터 보호절연막(32) 및 평탄화막(33)으로서, 평면에서 보아 각 공급선(Z)과 중첩하는 개소에는 수평방향을 따라 장척의(긴) 홈(34)이 형성되어 있고, 이들 홈(34)에 의해서 트랜지스터 보호절연막(32) 및 평탄화막(33)이 직사각형 형상으로 분단되어 있다. 또, 홈(34)에는 급전배선(90)이 매설되어 있으며, 홈(34)의 내부에 있어서 급전배선(90)이 공급선(Z)의 위에 적층되어 있다.

급전배선(90)은 트랜지스터 보호절연막(32) 및 평탄화막(33)에 홈(34)을 형성한 후에 홈(34)으로부터 노출된 공급선(Z)을 하지전극으로서 전해도금법에 의해 형성된 도전층으로서, 신호선(Yr), 신호선(Yg), 신호선(Yb), 주사선(X) 및 공급선(Z)보다도 두께 치수가 크다. 또, 급전배선(90)의 두께 치수는 트랜지스터 보호절연막(32)과 평탄화막(33)의 두께 치수의 총계와 거의 동등하며, 평탄화막(33)의 표면과 급전배선(90)의 표면이 대략 균일하게 되어 있다. 동, 알루미늄, 금 혹은 니켈 중의 적어도 어느 하나를 포함하는 것이 바람직하다.

평탄화막(33)의 표면, 즉 트랜지스터 어레이 기관(50)의 상면에는 복수의 서브픽셀전극(20a)이 매트릭스형상으로 배열되어 있다. 서브픽셀전극(20a)은 유기EL소자(20)의 애노드로서 기능하는 전극이기 때문에, 일함수가 비교적 높으며, 유기EL층(20b)에 정공을 효율 좋게 주입하는 것이 바람직하다.

또, 서브픽셀전극(20a)은 보텀에미션의 경우, 가시광에 대해서 투과성을 갖고 있으며, 원료로서는 예를 들면 주석도프산화인듐(ITO), 아연도프산화인듐, 산화 인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO) 또는 카드뮴-주석산화물(CTO)을 주성분으로 하는 것이 적용 가능하다.

또한, 본 실시형태에 있어서의 디스플레이패널(1)을 톱에미션형으로서 이용하는 경우, 즉, 절연기관(2)의 각 트랜지스터(21), (22), (23)가 배치된 면과 반대면측을 표시면으로서 이용하는 경우에는 서브픽셀전극(20a)과 평탄화막(33)의 사이에, 도전성이고 또한 가시광 반사성이 높은 반사막이 성막되어 있거나, 혹은 서브픽셀전극(20a) 자체를 반사성전극으로 하는 것이 바람직하다.

1도트의 서브픽셀(P)로서, 평탄화막(33) 및 트랜지스터 보호절연막(32)의 서브픽셀전극(20a)과 중첩하는 개소에는 3개의 콘택트홀(88)이 형성되고, 이들 콘택트홀(88)에는 도전성 패드(87)가 매설되어 있다. 이것에 의해서, 서브픽셀전극(20a)이 콘택트홀(88)을 통해서 캐패시터(24)의 전극(24B), 스위치트랜지스터(21)의 드레인(21d)과, 구동트랜지스터(23)의 소스(23s)에 도통되어 있다. 도전성 패드(87)는 급전배선(90)과 함께 형성되고, 특히 상층전극(24B)을 하지전극으로서 전해도금법에 의해 형성되는 것이 바람직하다.

서브픽셀전극(20a)은 전면에 빈틈없이 성막된 도전성막을 포트리소그래피법이나 에칭법에 의해, 평탄화막(33)의 상면에 패터닝된 것이다. 또, 이 도전성막의 패터닝에 의해서, 서브픽셀전극(20a)과 함께, 급전배선(90)의 위에, 도전성라인(51)이 형성된다. 도전성라인(51)은 도 3에 도시하는 바와 같이, 급전배선(90)의 연재방향을 따라서 형성되어 있다.

인접하는 서브픽셀전극(20a)과 서브픽셀전극(20a)의 사이에는 평면에서 보아 각 서브픽셀전극(20a)을 둘러싸도록 메시형상의 절연막(52)이 패터닝되어 있고, 평면에서 본 경우, 절연막(52)에 의해서 서브픽셀전극(20a)이 둘러싸여져 있다. 또, 이 절연막(52)은 도전성라인(51)도 피복하고 있다. 절연막(52)은 서브픽셀전극(20a)의 둘레가장자리를 덮고 있다.

수평방향 및 수직방향으로 격자형상으로 형성된 절연막(52) 중 수직방향으로 연재하고 있는 부분의 위에는 서브픽셀전극(20a)의 두께치수보다도 크고, 폴리이미드 등의 감광성 절연수지로 이루어지는 बैं크(71)가 포트리소그래피법에 의해 형성되어 있다. 즉 बैं크(71)는 수직방향을 따라서 연재하는 리지이며, 평면에서 본 경우, 신호선(Yr, Yg, Yb)에 중첩하고 있다. 즉, बैं크(71)는 수직방향으로 배열된 복수의 적색서브픽셀(Pr)로 이루어지는 열과, 수직방향으로 배열되고 또한 이들 적색서브픽셀(Pr)로 이루어지는 열에 수평방향으로 인접하는 복수의 녹색서브픽셀(Pg)로 이루어지는 열의 사이, 녹색서브픽셀(Pg)로 이루어지는 열과, 이들 녹색서브픽셀(Pg)로 이루어지는 열에 수평방향으로 인접하는 복수의 청색서브픽셀(Pb)로 이루어지는 열의 사이, 및 청색서브픽셀(Pb)의 열과 이들 청색서브픽셀(Pb)로 이루어지는 열에 수평방향으로 인접하는 복수의 적색서브픽셀(Pr)로 이루어지는 열의 사이에 각각 배치 설치되어 있다.

서브픽셀전극(20a)의 위에는 유기EL층(20b)이 형성되어 있다. 유기EL층(20b)은 광의 발광층이며, 유기화합물인 발광재료가 함유되어 있다. 또, 유기EL층(20b)은 서브픽셀전극(20a)으로부터 차례로 정공수송층, 협의의 발광층과 적층한 2층 구조로 되어 있다. 이 중, 정공수송층은 도전성 고분자인 PEDOT(폴리티오펜) 및 도펀트인 PSS(폴리스티렌술포산)으로 이루어지고, 협의의 발광층은 폴리플루오렌계 발광재료로 이루어지며, 적색서브픽셀(Pr)의 경우에는 유기EL층(20b)이 적색으로 발광하고, 녹색서브픽셀(Pg)의 경우에는 유기EL층(20b)이 녹색으로 발광하며, 청색서브픽셀(Pb)의 경우에는 유기EL층(20b)이 청색으로 발광한다.

또, 유기EL층(20b)은 수직방향을 따른 장척의 띠형상으로 형성되어 있으며, 각 서브픽셀(Pr, Pg, Pb)에 있어서 수직방향으로 1열로 배열된 복수의 서브픽셀전극(20a)이 피복된다.

또한, 유기EL층(20b)은 서브픽셀전극(20a)마다 독립해서 설치되며, 평면에서 본 경우, 복수의 유기EL층(20b)이 매트릭스형상으로 배열되어 있어도 좋다.

이들 유기EL층(20b)은 बैं크(71)의 형성 후에 습식 도포법, 예를 들면 잉크젯법 등에 의해서 성막된다. 이 유기EL층(20b)을 성막할 때, 서브픽셀전극(20a)에 대해 유기화합물함유액이 도포되지만, 수평방향으로 인접하는 서브픽셀전극(20a)과 서브픽셀전극(20a)의 사이에는 बैं크(71)가 트랜지스터 어레이 기관(50)의 표면에 대해 불록하게 설치되어 있기 때문에, 서브픽셀전극(20a)에 도포된 유기화합물함유액이 인접하는 서브픽셀전극(20a)에 누설되는 일이 없도록 되어 있다.

또한, 유기EL층(20b)은 상기한 2층 구조 이외에, 서브픽셀전극(20a)으로부터 차례로 정공수송층, 협의의 발광층, 전자수송층으로 되는 3층구조이어도 좋고, 협의의 발광층으로 이루어지는 1층 구조이어도 좋다. 또, 이들 층구조에 있어서 적절한 층 사이에, 전자 혹은 정공의 주입층이 개재한 적층구조이어도 좋고, 그 밖의 적층구조이어도 좋다.

유기EL층(20b)의 위에는 유기EL소자(20)의 캐소드로서 기능하는 대향전극(20c)이 성막되어 있다. 대향전극(20c)은 각 서브픽셀(Pr, Pg, Pb)에 공통해서 형성된 공통전극이며, 대향전극(20c)이 전체에 빈틈없이 성막되는 것에 의해, बैं크(71)도 대향전극(20c)에 의해서 피복된다.

대향전극(20c)은 서브픽셀전극(20a)보다 일함수가 낮은 재료, 예를 들면, 마그네슘, 칼슘, 리튬, 바륨, 인듐, 희토류금속의 적어도 1종을 포함하는 단체 또는 합금으로 형성되어 있는 것이 바람직하다. 이 대향전극(20c)은 상기한 각종 재료의 층이 적층된 적층구조로 되어 있어도 좋고, 이상의 각종 재료의 층에 부가해서 시트저항을 낮게 하기 위해 산화되기 어려운 금속층이 퇴적한 적층구조로 되어 있어도 좋다. 구체적으로는, 유기EL층(20b)과 접하는 계면측에 설치된 일함수가 낮은 고순도의 바륨층과 이 바륨층을 피복하도록 설치된 알루미늄층과의 적층구조나, 하층에 리튬층, 상층에 알루미늄층이 설치된 적층구조 등을 들 수 있다. 또 투명미션 구조의 경우, 대향전극(20c)을 상술과 같은 일함수가 낮은 박막과 그 위에 ITO 등의 투명도전막을 적층한 투명전극으로 해도 좋다.

대향전극(20c)의 상면이고, बैं크(71)의 위쪽에는 유기EL소자(20)의 상부 전극의 시트저항을 내리기 위해 공통배선(91)이 불록하게 설치되어 있다. 따라서, 공통배선(91)은 평면에서 본 경우, 열방향을 따라 설치된 बैं크(71)에 중첩하고 있다. 또,

공통배선(91)과 대향전극(20c)은 접하고 있기 때문에, 도 2에 도시하는 바와 같이, 대향전극(20c)은 공통배선(91)과 도통되어 있다. 이들 공통배선(91)군은 도금법에 의해 형성되어 있으며, 대향전극(20c)이나, 스위치트랜지스터(21), 홀딩트랜지스터(22) 및 구동트랜지스터(23)의 각 전극보다 두께 치수가 크다. 또, 공통배선(91)군은 도 8, 도 10에 도시하는 바와 같이, 화소영역 외의 비화소 영역에 있어서 수평방향으로 연재하는 리드배선(95)에 의해서 도통되고, 리드배선(95)은 절연기판(2)의 주연부(둘레가장자리부)에 복수의 단자부(Tc)에 도통하고 있다. 공통배선(91)군 및 대향전극(20c)에는 외부 회로로부터 단자부(Tc)에 인가된 전압(Vcom)에 의해서 등전위로 된다. 공통배선(91)군은 동, 알루미늄, 금 혹은 니켈 중의 적어도 어느 하나를 포함하는 것이 바람직하며, 모두 유기EL층(20b)의 발광하는 광에 대해 불투명한 정도로 두껍다.

여기서, EL디스플레이패널(1)의 화소수를 WXGA(768×1366)으로 했을 때에, 상기한 급전배선(90) 및 공통배선(91)의 바람직한 폭치수 및 단면적을 정의한다. 도 12는 각 서브픽셀(P)의 구동트랜지스터(23) 및 유기EL소자(20)의 전류-전압특성을 나타내는 그래프이다.

도 12에 있어서, 종축은 1개의 구동트랜지스터(23)의 소스(23s)-드레인(23d)간을 흐르는 기입전류의 전류값 또는 1개의 유기EL소자(20)의 애노드-캐소드 사이를 흐르는 구동전류의 전류값이며, 횡축은 1개의 구동트랜지스터(23)의 소스(23s)-드레인(23d)간의 전압(동시에 1개의 구동트랜지스터(23)의 게이트(23g)-드레인(23d)간의 전압)이다. 도면 중, 실선(Ids max)은 최고 휘도계조(가장 밝은 표시)시의 기입전류 및 구동전류이고, 1점쇄선(Ids mid)은 최고 휘도계조와 최저 휘도계조의 사이의 중간 휘도계조시의 기입전류 및 구동전류이며, 2점쇄선(Vpo)은 구동트랜지스터(23)의 불포화영역(선형영역)과 포화영역의 임계값 즉 핀치오프(pinch-off)전압이고, 3점쇄선(Vds)은 구동트랜지스터(23)의 소스(23s)-드레인(23d)간을 흐르는 기입전류이며, 파선(1el)은 유기EL소자(20)의 애노드-캐소드간을 흐르는 구동전류이다.

여기서 전압(VP1)은 최고 휘도계조시의 구동트랜지스터(23)의 핀치오프전압이고, 전압(VP2)은 구동트랜지스터(23)가 최고 휘도계조의 기입전류가 흐를 때의 소스-드레인간 전압이며, 전압 VELmax(전압(VP4)-전압(VP3))는 유기EL소자(20)가 최고 휘도계조의 기입전류와 전류값이 동등한 최고 휘도계조의 구동전류로 발광할 때의 애노드-캐소드간의 전압이다. 전압(VP2')은 구동트랜지스터(23)가 중간 휘도계조의 기입전류가 흐를 때의 소스-드레인간 전압이고, 전압(전압(VP4')-전압(VP3'))은 유기EL소자(20)가 중간 휘도계조의 기입전류와 전류값이 동등한 중간 휘도계조의 구동전류로 발광할 때의 애노드-캐소드간 전압이다.

구동트랜지스터(23) 및 유기EL소자(20)는 모두 포화영역에서 구동시키기 위해, (급전배선(90)의 발광기간시의 전압(VH))에서 (공통배선(91)의 발광기간시의 전압(Vcom))을 뺀 값(VX)은 하기의 식(1)을 만족시킨다.

$$VX = Vpo + Vth + Vm + VEL \quad \cdots \cdots (1)$$

여기서, Vth(최고 휘도시의 경우 VP2-VP1에 동등함)는 구동트랜지스터(23)의 임계값전압, VEL(최고 휘도시의 경우 VELmax에 동등함)은 유기EL소자(20)의 애노드-캐소드간 전압, Vm은 계조에 따라 변위하는 허용전압이다.

도 12로부터 명백한 바와 같이, 전압(VX) 중, 휘도계조가 높아질수록, 트랜지스터(23)의 소스-드레인간에 요하는 전압(Vpo + Vth)이 높아지는 동시에 유기EL소자(20)의 애노드-캐소드간에 요하는 전압(VEL)이 높아진다. 따라서, 휘도계조가 높아질수록 허용전압(Vm)은 낮아지며, 최소허용전압(Vmmin)은 VP3-VP2로 된다.

유기EL소자(20)는 저분자 EL재료 및 고분자 EL재료에 관계없이 일반적으로 경시 열화하고, 고저항화한다. 10000시간 후의 애노드-캐소드간 전압은 초기시의 1.4배정도로 되는 것이 확인되고 있다. 즉, 전압(VEL)은 동일한 휘도계조시에도 시간이 지날수록 높아진다. 이 때문에, 구동초기시의 허용전압(Vm)이 높을수록 장기간에 걸쳐 동작이 안정되므로, 전압(VEL)이 8V이상, 더욱 바람직하게는 13V이상으로 되도록 전압(VX)을 설정하고 있다.

이 허용전압(Vm)에는 유기EL소자(20)의 고저항화 뿐만 아니라, 또한 급전배선(90)에 의한 전압강하의 분도 포함된다.

급전배선(90)의 배선저항의 영향에 의해, 전압강하가 크면 EL디스플레이패널(1)의 소비전력이 현저히 증대해 버린다. 이 때문에, 급전배선(90)의 전압강하는 1V이하로 설정하는 것이 특히 바람직하다.

행방향의 하나의 화소의 길이인 화소폭(Wp)과, 행방향의 화소수(1366)와, 화소영역 이외에 있어서의 제 1 리드배선에서 한쪽의 배선단자까지의 연장부분과, 화소영역 이외에 있어서의 제 1 리드배선에서 다른쪽의 배선단자까지의 연장부분을 고려한 결과, EL디스플레이패널(1)의 패널 사이즈가 32인치, 40인치의 경우, 제 1 리드배선의 전체길이는 각각 706.7mm, 895.2mm로 된다. 여기서, 급전배선(90)의 선폭(WL) 및 공통배선(91)의 선폭(WL)이 넓어지면, 구조상 유기EL층(20b)의 면적이 작아지고, 또 다른 배선과의 중첩 기생 용량을 발생하여 더 한층의 전압강하를 초래하기 때문에, 급전배선(90)의

폭(WL) 및 공통배선(91)의 선평(WL)은 각각 화소폭(Wp)의 1/5 이하로 억제하는 것이 바람직하다. 이러한 것을 고려하면, EL디스플레이패널(1)의 패널사이즈가 32인치, 40인치의 경우, 폭(WL)은 각각 34 μ m 이내, 44 μ m 이내로 된다. 또, 급전배선(90) 및 공통배선(91)의 최대막두께(Hmax)는 애스펙트비를 고려하면, 트랜지스터(21)~(23)의 최소가공치수4 μ m의 1.5배, 즉 6 μ m로 된다. 따라서, 급전배선(90) 및 공통배선(91)의 최대단면적(Smax)은 32인치, 40인치에서 각각 204 μ m², 264 μ m²로 된다.

이러한 32인치의 EL디스플레이패널(1)에 대해, 최대전류가 흐르도록 전체 점등했을 때의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하를 1V이하로 하기 위해서는 도 13에 도시하는 바와 같이, 급전배선(90) 및 공통배선(91)의 각각의 배선저항율(ρ) / 단면적(S)은 4. 7 Ω /cm 이하로 설정될 필요가 있다. 또, 도 14에는 32인치의 EL디스플레이패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타낸다. 또한, 상술한 급전배선(90) 및 공통배선(91)의 최대단면적(Smax)시에 허용되는 저항율은 32인치에서 9. 6 $\mu\Omega$ cm, 40인치에서 6. 4 $\mu\Omega$ cm로 된다.

그리고, 40인치의 EL디스플레이패널(1)에 대해, 최대전류가 흐르도록 전체 점등했을 때의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하를 1V이하로 하기 위해서는 도 15에 도시하는 바와 같이, 급전배선(90) 및 공통배선(91)의 각각의 배선저항율(ρ) / 단면적(S)은 2. 4 Ω /cm 이하로 설정될 필요가 있다. 도 16에 40인치의 EL디스플레이패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타낸다.

급전배선(90) 및 공통배선(91)의 고장에 의해 동작하지 않게 되는 고장수명(MTF)은 하기의 식(2)을 만족시킨다.

$$MTF=A \exp(Ea/K_b T)/\rho J^2 \quad \dots\dots(2)$$

여기서, Ea는 활성화에너지, $K_b T=8. 617 \times 10^{-5}$ eV, ρ 는 급전배선(90) 및 공통배선(91)의 저항율, J는 전류밀도이다.

급전배선(90) 및 공통배선(91)의 고장수명(MTF)은 저항율의 증대나 전자기동(일렉트로 마이그레이션)에 율속한다. 급전배선(90) 및 공통배선(91)을 Al계(Al 단체 혹은 AlTi나 AlNd 등의 합금)로 설정하고, MTF가 10000시간, 85℃의 동작온도로 시산하면, 전류밀도(J)는 2.1×10^4 A/cm² 이하로 할 필요가 있다. 이것과 마찬가지로, 급전배선(90) 및 공통배선(91)을 Cu로 설정하면, $2. 8 \times 10^6$ A/cm²이하로 할 필요가 있다. 또한, Al합금내의 Al 이외의 재료는 Al보다 낮은 저항율인 것을 전제로 하고 있다.

이들을 고려하여, 32인치의 EL디스플레이패널(1)에서는 전체 점등상태에서 10000시간에 급전배선(90) 및 공통배선(91)이 고장나지 않는 바와 같은 Al계의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 14에 도시하는 바와 같이, 57 μ m²이상 필요하게 되고, 마찬가지로 Cu의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 14에 도시하는 바와 같이, 0. 43 μ m²이상 필요하게 된다.

그리고, 40인치의 EL디스플레이패널(1)에서는 전체 점등상태에서 10000시간에 급전배선(90) 및 공통배선(91)이 고장나지 않는 바와 같은 Al계의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 16에 도시하는 바와 같이, 92 μ m²이상 필요하게 된다. 마찬가지로, Cu의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 16에 도시하는 바와 같이, 0. 69 μ m²이상 필요하게 된다.

Al계의 급전배선(90) 및 공통배선(91)에서는 Al계의 저항율이 4. 00 $\mu\Omega$ cm으로 하면, 32인치의 EL디스플레이패널(1)에서는 상술한 바와 같이 배선저항율(ρ)/단면적(S)이 4. 7 Ω /cm이하이므로, 최소단면적(Smin)은 85. 1 μ m²로 된다. 이 때, 상술한 바와 같이, 급전배선(90) 및 공통배선(91)의 배선평(WL)이 34 μ m이내로 되기 때문에, 급전배선(90) 및 공통배선(91)의 최소막두께(Hmin)는 2. 50 μ m로 된다.

또, Al계의 급전배선(90) 공통배선(91)의 40인치의 EL디스플레이패널(1)에서는 상술한 바와 같이 배선저항율(ρ) / 단면적(S)이 2. 4 Ω /cm 이하로 되기 때문에, 최소단면적(Smin)은 167 μ m²로 된다. 이 때 상술한 바와 같이 급전배선(90) 및 공통배선(91)의 배선평(WL)이 44 μ m이내이기 때문에, 급전배선(90) 및 공통배선(91)의 최소막두께(Hmin)는 3.80 μ m로 된다.

한편, Cu의 급전배선(90) 및 공통배선(91)에서는 Cu의 저항율을 2. 10 $\mu\Omega$ cm로 하면, 32인치의 EL디스플레이패널(1)에서는 상술한 바와 같이 배선저항율(ρ)/단면적(S)이 4. 7 Ω /cm이하로 되기 때문에, 최소단면적(Smin)은 44. 7 μ m²로 된다. 이 때, 상술한 바와 같이, 급전배선(90) 및 공통배선(91)의 배선평(WL)이 34 μ m이내로 되기 때문에, 급전배선(90) 및 공통배선(91)의 최소막두께(Hmin)는 1. 31 μ m로 된다.

또, Cu의 급전배선(90) 및 공통배선(91)의 40인치의 EL디스플레이패널(1)에서는 상술한 바와 같이 배선저항율(ρ) / 단면적(S)이 $2.4\Omega/\text{cm}$ 이하로 되기 때문에, 최소단면적($S_{\min}$)은 $87.5\mu\text{m}^2$ 로 된다. 이 때, 상술한 바와 같이, 급전배선(90) 및 공통배선(91)의 배선평(WL)은 $44\mu\text{m}$ 이내로 되기 때문에, 급전배선(90) 및 공통배선(91)의 최소막두께($H_{\min}$)는 $1.99\mu\text{m}$ 로 된다.

이상으로부터, EL디스플레이패널(1)을 정상이고 또한 소비전력을 낮게 동작시키기 위해서는 급전배선(90) 및 공통배선(91)으로의 전압강하를 1V이하로 설정하는 것이 바람직하고, 이러한 조건으로 설정하기 위해서는 급전배선(90) 및 공통배선(91)이 Al계인 32인치의 패널에서는 두께치수(H)가 $2.50\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $14.1\mu\text{m} \sim 34.0\mu\text{m}$, 저항율이 $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 되고, 급전배선(90) 및 공통배선(91)이 Al계인 40인치의 패널에서는 급전배선(90) 및 공통배선(91)이 Al계의 경우, 두께치수(H)가 $3.80\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $27.8\mu\text{m} \sim 44.0\mu\text{m}$, 저항율이 $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

대체로 Al계의 급전배선(90) 및 공통배선(91)의 경우, 두께치수(H)가 $2.50\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $14.1\mu\text{m} \sim 44\mu\text{m}$, 저항율이 $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

마찬가지로, 급전배선(90) 및 공통배선(91)이 Cu인 32인치의 패널에서는 두께치수(H)가 $1.31\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $7.45\mu\text{m} \sim 34\mu\text{m}$, 저항율이 $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 되고, 급전배선(90) 및 공통배선(91)이 Cu인 40인치의 패널에서는 급전배선(90) 및 공통배선(91)이 Cu계인 경우, 두께치수(H)가 $1.99\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $14.6\mu\text{m} \sim 44.0\mu\text{m}$, 저항율이 $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

대체로 Cu의 급전배선(90) 및 공통배선(91)의 경우, 두께치수(H)가 $1.31\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $7.45\mu\text{m} \sim 44\mu\text{m}$, 저항율이 $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

따라서, 급전배선(90) 및 공통배선(91)으로서 Al계 재료 또는 Cu를 적용한 경우, EL디스플레이패널(1)의 급전배선(90) 및 공통배선(91)은 두께치수(H)가 $1.31\mu\text{m} \sim 6\mu\text{m}$, 폭치수(WL)가 $7.45\mu\text{m} \sim 44\mu\text{m}$, 저항율이 $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

또, 대향전극(20c)의 상면에는 밀봉 보호절연막(56)이 성막되어 있다. 이 밀봉 보호절연막(56)에 의해서, 대향전극(20c) 전체가 피복되는 동시에, 공통배선(91)도 피복되는 것에 의해, 공통배선(91) 및 대향전극(20c)의 열화를 방지하도록 되어 있다.

또한, 본 실시형태에 있어서의 디스플레이패널(1)을 투명미션형으로서 이용하는 경우에는 대향전극(20c) 및 밀봉 보호절연막(56)을 박막으로 형성하는 것에 의해, 또는 대향전극(20c) 및 밀봉 보호절연막(56)을 투명한 재료를 이용함으로써 대향전극(20c) 및 밀봉 보호절연막(56)의 가시광 투과성을 높이는 것이 가능하다.

상기에서 구성된 EL디스플레이패널(1)의 구동방법에 대해 설명한다.

EL디스플레이패널(1)의 구동방법은 패시브 매트릭스 방식에 의한 구동방법과, 액티브 매트릭스방식에 의한 구동방법으로 크게 나뉘어지지만, 본 실시형태에 있어서는 액티브 매트릭스방식에 의한 2종류의 구동방법에 대해 설명한다.

우선 처음에, 제 1 디스플레이패널(1)의 구조에서는 도 8에 도시하는 바와 같이, 주사선($X_1 \sim X_m$)이 각각 접속된 선택 드라이버(111)가 절연기관(2)의 제 1 주연부에 배치되고, 서로 전기적으로 절연된 급전배선(90, 90, ...)(공급선($Z_1 \sim Z_m$))이 접속된 급전드라이버(112)가 절연기관(2)의 제 1 주연부와 대향하는 주연부인 제 2 주연부에 배치되어 있다.

이 제 1 디스플레이패널(1)을 액티브 매트릭스 방식으로 구동하기 위해서는 다음과 같이 된다. 즉, 도 9에 도시하는 바와 같이, 주사선($X_1 \sim X_m$)에 접속된 선택 드라이버(111)에 의해서, 주사선(X_1)으로부터 주사선(X_m)으로의 순(주사선(X_m))의 다음은 주사선(X_1)에 하이레벨의 시프트펄스를 순차 출력함으로써 주사선($X_1 \sim X_m$)을 순차 선택한다. 또, 선택기간에 각 급전배선(90)을 통하여 공급선($Z_1 \sim Z_m$)에 각각 접속된 구동트랜지스터(23)에 기입전류를 흘리기 위한 기입급전전압(VL)을 인가하고, 발광기간에 구동트랜지스터(23)를 통하여 유기EL소자(20)에 구동전류를 흘리기 위한 구동급전전압(VH)을 인가하는 급전드라이버(112)가 각 급전배선(90)에 접속되어 있다. 이 급전드라이버(112)에 의해서, 선택 드라이버(111)와 동기하도록, 공급선(Z_1)으로부터 공급선(Z_m)으로의 순(공급선(Z_m))의 다음은 공급선(Z_1)으로 로우레벨(유기EL소자(20)의 대향전극의 전압보다 저레벨)의 기입급전전압(VL)을 순차 출력함으로써 공급선($Z_1 \sim Z_m$)을 순차 선택한다.

또, 선택 드라이버(111)가 각 주사선($X_1 \sim X_m$)을 선택하고 있을 때에, 데이터 드라이버가 기입전류인 기입전류(전류신호)를 소정의 행의 구동트랜지스터(23)의 소스-드레인간을 통하여 전체 신호선($Y_1 \sim Y_n$)에 흘린다. 또한, 대향전극(20c) 및 공통배선(91)은 리드배선(95) 및 배선단자(Tc)에 의해서 외부와 접속되고, 일정한 코먼전위(Vcom)(예를 들면, 접지=0볼트)로 유지되어 있다.

각 선택기간에 있어서, 데이터 드라이버측의 전위는 급전배선(90, 90,...) 및 공급선($Z_1 \sim Z_m$)에 출력된 기입급전전압(VL) 이하이고 또한 이 기입급전전압(VL)은 코먼전위(Vcom) 이하로 설정되어 있다. 따라서 이 때, 유기EL소자(20)로부터 신호선($Y_1 \sim Y_n$)에 흐르는 일은 없으므로 도 2에 도시하는 바와 같이, 데이터 드라이버에 의해서 계조에 따른 전류값의 기입전류(기입전류)가 화살표 A와 같이 신호선($Y_1 \sim Y_n$)에 흐르고, 서브픽셀($P_{i,j}$)에 있어서는 급전배선(90) 및 공급선(Z_i)으로부터 구동트랜지스터(23)의 소스-드레인간, 스위치트랜지스터(21)의 소스-드레인간을 통하여 신호선(Y_j)을 향한 기입전류(기입전류)가 흐른다. 이와 같이 구동트랜지스터(23)의 소스-드레인간을 흐르는 전류의 전류값은 데이터 드라이버에 의해서 일의적으로 제어되며, 데이터 드라이버는 외부로부터 입력된 계조에 따라 기입전류(기입전류)의 전류값을 설정한다. 기입전류(기입전류)가 흐르고 있는 동안, i행째의 $P_{i,1} \sim P_{i,n}$ 의 각 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압은 각각 신호선($Y_1 \sim Y_n$)에 흐르는 기입전류(기입전류)의 전류값, 즉 구동트랜지스터(23)의 V_g - I_{ds} 특성의 경시 변화에 관계없이 구동트랜지스터(23)의 드레인(23d)-소스(23s)간을 흐르는 기입전류(기입전류)의 전류값에 적당하도록 강제적으로 설정되고, 이 전압의 레벨에 따른 크기의 전하가 캐패시터(24)에 차지되고, 기입전류(기입전류)의 전류값이 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압의 레벨로 변환된다. 그 후의 발광기간에서는 주사선(X_i)이 로우레벨로 되고, 스위치트랜지스터(21) 및 홀딩트랜지스터(22)가 OFF상태로 되지만, OFF상태의 홀딩트랜지스터(22)에 의해서 캐패시터(24)의 전극(24A)측의 전하가 감금되어 플로팅상태로 되고, 구동트랜지스터(23)의 소스(23s)의 전압이 선택기간에서 발광기간으로 이행할 때에 변조해도, 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전위차가 그대로 유지된다. 이 발광기간에서는 공급선(Z_i) 및 거기에 접속된 급전배선(90)의 전위가 구동급전전압(VH)으로 되고, 유기EL소자(20)의 대향전극(20c)의 전위(Vcom)보다 높아지는 것에 의해서, 공급선(Z_i) 및 거기에 접속된 급전배선(90)으로부터 구동트랜지스터(23)를 통하여 유기EL소자(20)에 구동전류가 화살표 B의 방향으로 흘러, 유기EL소자(20)가 발광한다. 구동전류의 전류값은 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압에 의존하기 때문에, 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기입전류(인발전류)의 전류값에 동등해진다.

그리고, 제 2 디스플레이패널(1)의 구조는 도 10에 도시하는 바와 같이, 주사선($X_1 \sim X_m$)이 각각 접속된 선택 드라이버(111)가 절연기관(2)의 제 1 주연부에 배치되고, 급전배선(90, 90,...)이 서로 전기적으로 접속되도록 급전배선(90, 90,...)과 일체적으로 형성된 리드배선(99)이 절연기관(2)의 제 1 주연부와 대향하는 주연부인 제 2 주연부에 배치되어 있다. 리드배선(99)은 제 1 주연부 및 제 2 주연부와 직교하는 제 3 주연부 및 제 4 주연부의 각각에 위치하는 단자부(90d) 및 단자부(90e)의 양쪽으로부터 클럭신호가 입력되어 있다. 제 2 디스플레이패널(1)의 액티브 매트릭스 구동방법은 다음과 같이 된다. 즉, 도 11에 도시하는 바와 같이, 외부의 발진회로가 단자부(90d) 및 단자부(90e)로부터 리드배선(99)을 통하여 급전배선(90, 90, ...) 및 공급선($Z_1 \sim Z_m$)에 대해 클럭신호를 출력한다. 또, 선택 드라이버(111)에 의해서 주사선(X_1)으로부터 주사선(X_m)으로의 순(주사선(X_m))의 다음은 주사선(X_1))으로 하이레벨의 시프트펄스를 순차 출력함으로써 주사선($X_1 \sim X_m$)을 순차 선택하지만, 선택 드라이버(111)가 주사선($X_1 \sim X_m$)중의 어느 하나가 하이레벨 즉 ON레벨의 시프트펄스를 출력하고 있을 때에는 발진회로의 클럭신호가 로우레벨로 된다. 또, 선택 드라이버(111)가 각 주사선($X_1 \sim X_m$)을 선택하고 있을 때에, 데이터 드라이버가 기입전류인 인발전류(전류신호)를 구동트랜지스터(23)의 소스-드레인간을 통하여 전체 신호선($Y_1 \sim Y_n$)에 흘린다. 또한, 대향전극(20c) 및 급전배선(90)의 일정한 코먼전위(Vcom)(예를 들면, 접지=0볼트)로 유지되어 있다.

주사선(X_i)의 선택기간에 있어서는 i행째의 주사선(X_i)에 시프트펄스가 출력되어 있기 때문에, 스위치트랜지스터(21) 및 홀딩트랜지스터(22)가 ON상태로 된다. 각 선택기간에 있어서, 데이터 드라이버측의 전위는 급전배선(90, 90,...) 및 공급선($Z_1 \sim Z_m$)에 출력된 클럭신호의 로우레벨 이하이고 또한 이 클럭신호의 로우레벨은 코먼전위(Vcom) 이하로 설정되어 있다. 따라서 이 때, 유기EL소자(20)로부터 신호선($Y_1 \sim Y_n$)에 흐르는 일은 없으므로 도 2에 도시하는 바와 같이, 데이터 드라이버에 의해서 계조에 따른 전류값의 기입전류(인발전류)가 화살표 A와 같이 신호선($Y_1 \sim Y_n$)에 흐르며, 서브픽셀($P_{i,j}$)에 있어서는 급전배선(90) 및 공급선(Z_i)으로부터 구동트랜지스터(23)의 소스-드레인간, 스위치트랜지스터(21)의 소스-드레인간을 통하여 신호선(Y_j)을 향한 기입전류(인발전류)가 흐른다. 이와 같이 구동트랜지스터(23)의 소스-드레인간

을 흐르는 전류의 전류값은 데이터 드라이버에 의해서 일의적으로 제어되며, 데이터 드라이버는 외부로부터 입력된 계조에 따라서 기입전류(인발전류)의 전류값을 설정한다. 기입전류(인발전류)가 흐르고 있는 동안, i 행째의 $P_{i,1} \sim P_{i,n}$ 의 각 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압은 각각 신호선($Y_1 \sim Y_n$)에 흐르는 기입전류(인발전류)의 전류값, 즉 구동트랜지스터(23)의 V_g - I_{ds} 특성의 경시 변화에 관계없이 구동트랜지스터(23)의 드레인(23d)-소스(23s)간을 흐르는 기입전류(인발전류)의 전류값에 적당하도록 강제적으로 설정되고, 이 전압의 레벨에 따른 크기의 전하가 캐패시터(24)에 차지되고, 기입전류(인발전류)의 전류값이 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압의 레벨로 변환된다. 그 후의 발광기간에서는 주사선(X_i)이 로우레벨로 되고, 스위치트랜지스터(21) 및 홀딩트랜지스터(22)가 OFF상태로 되지만, OFF상태의 홀딩트랜지스터(22)에 의해서 캐패시터(24)의 전극(24A)측의 전하가 감금되어 플로팅상태로 되고, 구동트랜지스터(23)의 소스(23s)의 전압이 선택기간에서 발광기간으로 이행할 때에 변조해도, 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전위차가 그대로 유지된다. 이 발광기간 중, 어느 행의 선택기간도 아닌 동안, 즉, 클럭신호가 급전배선(90) 및 공급선(Z_i)의 전위가 유기EL소자(20)의 대향전극(20c) 및 급전배선(90)의 전위(V_{com})보다 높은 하이레벨인 동안, 더욱 고전위의 급전배선(90) 및 공급선(Z_i)으로부터 구동트랜지스터(23)의 소스-드레인간을 통하여 유기EL소자(20)에 구동전류가 화살표B의 방향으로 흘러, 유기EL소자(20)가 발광한다. 구동전류의 전류값은 구동트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압에 의존하기 때문에, 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기입전류(인발전류)의 전류값에 동등해진다. 또, 발광기간에 있어서, 어느 행의 선택기간의 동안, 즉 클럭신호가 로우레벨일 때에는 급전배선(90) 및 공급선(Z_i)의 전위가 대향전극(20c) 및 급전배선(90)의 전위(V_{com}) 이하이므로, 유기EL소자(20)에 구동전류는 흐르지 않아 발광하지 않는다.

어느 구동방법에 있어서도 스위치트랜지스터(21)는 구동트랜지스터(23)의 소스(23s)와 신호선(Y)의 사이에 있어서의 전류의 ON(선택기간)-OFF(발광기간)를 행하는 것으로서 기능하도록 되어 있다. 또, 홀딩트랜지스터(22)는 선택기간에 구동트랜지스터(23)의 소스(23s)-드레인(23d)간에 전류가 흐를 수 있는 상태로 하고, 발광기간에 구동트랜지스터(23)의 게이트(23g)-소스(23s)간에 인가한 전압을 홀딩하는 것으로서 기능하도록 되어 있다. 그리고, 구동트랜지스터(23)는 발광기간 중에 공급선(Z) 및 급전배선(90)이 하이레벨로 되었을 때에, 계조에 따른 크기의 전류를 유기EL소자(20)에 흘려 유기EL소자(20)를 구동하는 것으로서 기능하도록 되어 있다.

이상과 같이, 급전배선(90, 90, ...)을 각각 흐르는 전류의 크기는 1열의 공급선(Z_i)에 접속된 n 개의 유기EL소자(20)에 흐르는 구동전류의 크기의 합으로 되므로, VGA이상의 화소수로 동화상 구동하기 위한 선택기간으로 설정한 경우, 급전배선(90, 90, ...)의 각각의 기생용량이 증대해 버려, 트랜지스터(21~23)와 같은 박막트랜지스터의 게이트전극 또는 소스, 드레인전극을 구성하는 박막으로 이루어지는 배선에서는 n 개의 유기EL소자(20)에 기입전류(즉 구동전류)를 흘리기 위해서는 저항이 너무 높지만, 본 실시형태에서는 서브픽셀($P_{1,1} \sim P_{m,n}$)의 박막트랜지스터의 게이트전극이나 소스, 드레인전극과는 다른 도전층에 의해서 급전배선(90, 90, ...)을 각각 구성하고 있으므로 각 급전배선(90, 90, ...)에 의한 전압강하는 작아지고, 짧은 선택기간에서도 지연없이 충분히 기입전류(인발전류)를 흘릴 수 있다. 그리고, 급전배선(90, 90, ...)을 두껍게 하는 것에 의해 급전배선(90, 90, ...)을 저저항화했으므로, 급전배선(90, 90, ...)의 폭을 좁게 할 수 있다. 그 때문에, 보텀에미션의 경우, 화소개구율의 감소를 최소한으로 억제할 수 있다.

마찬가지로, 발광기간에 공통배선(91)에 흐르는 구동전류의 크기는 선택기간에 급전배선(90)에 흐르는 기입전류(인발전류)의 크기와 동일하지만, 공통배선(91)은 서브픽셀($P_{1,1} \sim P_{m,n}$)의 박막트랜지스터의 게이트전극이나 소스, 드레인전극을 구성하는 도전층과는 다른 도전층을 이용하고 있으므로 충분한 두께로 할 수 있기 때문에, 공통배선(91)을 저저항화할 수 있으며, 또한 대향전극(20c) 자체가 박막화되어 더욱 고저항으로 되어도 대향전극(20c)의 전압을 면내에서 균일하게 할 수 있다. 따라서, 가령 모든 서브픽셀 전극(20a)에 동일 전위를 인가한 경우에도, 어떤 유기EL층(20b)의 발광강도도 거의 동일하게 되어, 면내의 발광강도를 균일하게 할 수 있다. 또, EL디스플레이패널(1)을 톱에미션형으로서 이용한 경우, 대향전극(20c)을 더욱 박막화하는 것이 가능하므로, 유기EL층(20b)을 발한 광이 대향전극(20c)을 투과중에 잘 감쇠하지 않게 된다. 또한, 평면에서 보아 수평방향으로 인접하는 서브픽셀전극(20a)의 사이에 공통배선(91)이 설치되어 있기 때문에, 화소개구율의 감소를 최소한으로 억제할 수 있다.

또한, 서브픽셀전극(20a, 20a)간의 비화소영역에 배치된 신호선($Y_1 \sim Y_n$)의 위쪽에 공통배선(91)을 배치했으므로, 서브픽셀전극(20a)의 면적을 작게 하지 않아도 좋다.

상술한 2가지의 구동방법 중 제 2 디스플레이패널(1)의 구동방법에서의 디스플레이패널(1)에 있어서는 급전배선(90, 90,…)은 절연기관(2)의 제 2 주연부의 리드배선(99), 단자부(90d) 및 단자부(90e)을 통하여 외부의 발진회로로부터의 클럭신호에 의해 등전위로 되기 때문에, 신속하게 유기EL소자(20, 20…)로부터 급전배선(90, 90,…) 전체에 전류를 공급할 수 있다.

제 1 및 제 2 EL디스플레이패널(1)의 공통배선(91, 91,…)은 절연기관(2)의 제 3 주연부 및 제 4 주연부에 설치된 리드배선(95), (95)에 의해서 서로 접속되며, 공통전압(Vcom)이 인가되어 있다. 공통배선(91, 91,…) 및 리드배선(95, 95)은 주사선($X_1 \sim X_m$), 신호선($Y_1 \sim Y_n$), 공급선($Z_1 \sim Z_m$)과 전기적으로 절연되어 있다.

[변형예1]

본 실시형태에서는 각 트랜지스터(21), (22), (23)는 N채널형의 전계효과 트랜지스터이지만, 본 실시형태에 한정되지 않고, P채널형의 전계효과 트랜지스터이어도 좋다. 이 경우, 도 2에 도시하는 회로구성에서는 각 트랜지스터(21), (22), (23)의 소스(21s), (22s), (23s)와 드레인(21d), (22d), (23d)의 관계가 역으로 된다. 예를 들면, 구동트랜지스터(23)가 P채널형인 전계효과 트랜지스터의 경우에는 구동트랜지스터(23)의 드레인(23d)이 유기EL소자(20)의 서브픽셀전극(20a)에 도통되고, 소스(23s)가 공급선(Z)에 도통되어 있다. 또, 구동신호의 파형이 역위상으로 된다.

[변형예 2]

또, 본 실시형태에서는 신호선(Y)이 게이트레이어로부터 패터닝된 것이지만, 본 실시형태에 한정되지 않고, 신호선(Y)이 드레인레이어로부터 패터닝된 것이어도 좋다. 이 경우, 주사선(X) 및 공급선(Z)이 게이트레이어로부터 패터닝된 것으로 되고, 신호선(Y)이 주사선(X) 및 공급선(Z)보다 상층으로 된다.

[변형예 3]

또한, 본 실시형태에서는 1도트의 서브픽셀(P)당 3 개의 트랜지스터(21), (22), (23)가 구비되어 있지만, 본 실시형태에 한정되지 않고, 1도트의 서브픽셀(P)당 1 또는 복수의 트랜지스터가 구비되고, 이들 트랜지스터를 이용해서 액티브 매트릭스 방식에 의해 구동할 수 있는 디스플레이패널이어도 좋다.

[변형예 4]

또한, 본 실시형태에서는 화소(3)는 3개의 서브픽셀(Pr, Pg, Pb)로 구성되어 있지만, 본 실시형태에 한정되지 않고, 적, 녹, 청의 각 색 중간색으로 이루어지는 서브픽셀을 포함해서 구성되어도 좋다.

[변형예 5]

또, 상기 각 실시형태에서는 대향전극(20c)을 유기EL소자(20)의 캐소드로 하고, 서브픽셀전극(20a)을 유기EL소자(20)의 애노드로 했지만, 대향전극(20c)을 유기EL소자(20)의 애노드로 하고, 서브픽셀전극(20a)을 유기EL소자(20)의 캐소드로 해도 좋다.

발명의 효과

본 발명의 디스플레이에 따르면, 제 1 배선이 복수의 트랜지스터의 위쪽을 피복하는 보호절연막에 형성된 홈에 매설되어 있으므로, 제 1 배선의 두께를 크게 하는 것에 의해, 저저항화를 도모하는 것이 가능해지고, 이것에 의해서 전압강하 및 전류신호지연의 억제를 도모할 수 있다.

또, 본 발명의 다른 디스플레이에 따르면, 각 화소에 있어서, 보호절연막에 형성된 홈에 매설된 급전배선이, 스위칭트랜지스터, 홀딩트랜지스터 및 구동트랜지스터의 전극에 이용되는 도전층은 다른 층에 의해서 형성되어 있으므로, 급전배선의 두께를 크게 하는 것에 의해, 급전배선의 저저항화를 도모하는 것이 가능해지고, 이것에 의해서, 급전배선을 통하여 스위칭트랜지스터, 홀딩트랜지스터 및 구동트랜지스터에 신호를 출력한 경우에도, 전압강하 및 신호지연의 억제를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

기관과,

상기 기관상에 형성된 복수의 트랜지스터와,

상기 복수의 트랜지스터의 위쪽을 피복하도록 형성되고, 표면에 복수의 홈이 형성된 절연막과,

상기 홈에 매설된 복수의 제 1 배선과,

상기 복수의 제 1 배선을 덮는 배선절연막과,

상기 배선절연막의 위쪽에 설치된 복수의 제 2 배선과,

상기 복수의 제 2 배선 중의 인접하는 제 2 배선간에 설치된 화소전극과,

상기 전극상에 설치된 발광층과,

상기 발광층상에 설치된 대향전극을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 2.

제 1 항에 있어서,

상기 복수의 트랜지스터는 소스, 드레인의 한쪽이 상기 화소전극에 접속된 구동트랜지스터와, 상기 구동트랜지스터의 소스-드레인간에 기입전류를 흘리는 스위치트랜지스터와, 발광기간에 상기 구동트랜지스터의 소스-게이트간의 전압을 홀딩하는 홀딩트랜지스터를 갖는 것을 특징으로 하는 디스플레이패널.

청구항 3.

제 2 항에 있어서,

상기 제 1 배선은 상기 구동트랜지스터의 소스, 드레인의 다른쪽과 접속된 급전배선을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 4.

제 1 항에 있어서,

상기 제 1 배선은 상기 복수의 트랜지스터의 게이트로 되는 도전층 및 소스, 드레인으로 되는 도전층과는 다른 도전층에 의해서 형성되어 있는 것을 특징으로 하는 디스플레이패널.

청구항 5.

제 1 항에 있어서,

상기 제 1 배선은 상기 화소전극으로 되는 도전층을 패터닝해서 이루어지는 도전성라인을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 6.

제 1 항에 있어서,

상기 절연막은 상기 복수의 트랜지스터 위를 직접 덮는 트랜지스터 보호절연막을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 7.

제 6 항에 있어서,

상기 절연막은 상기 트랜지스터 보호절연막상에 설치된 평탄화막을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 8.

제 1 항에 있어서,

상기 제 2 배선은 상기 대향전극에 접속되어 있는 것을 특징으로 하는 디스플레이패널.

청구항 9.

제 1 항에 있어서,

상기 제 2 배선의 연재방향은 상기 제 1 배선의 연재방향과 직교하고 있는 것을 특징으로 하는 디스플레이패널.

청구항 10.

제 1 항에서 제 9 항 중의 어느 한 항에 있어서,

상기 제 2 배선은 상기 복수의 트랜지스터의 게이트로 되는 도전층 및 소스, 드레인으로 되는 도전층과는 다른 도전층에 의해서 형성되어 있는 것을 특징으로 하는 디스플레이패널.

청구항 11.

복수의 서브픽셀을 구비하는 복수의 화소가 배치 설치된 기관과,

상기 기관의 상면에 있어서 상기 서브픽셀마다 배치 설치된 복수의 구동트랜지스터와,

소스와 드레인의 한쪽을 상기 구동트랜지스터의 소스와 드레인의 어느 쪽인가 한쪽에 도통시키고, 상기 기관의 상면에 있어서 상기 서브픽셀마다 배치 설치된 복수의 스위치트랜지스터와,

소스와 드레인의 한쪽을 상기 구동트랜지스터의 소스와 드레인의 다른쪽에 도통시키고, 소스와 드레인의 다른쪽을 상기 구동트랜지스터의 게이트에 도통시키며, 상기 기관의 상면에 상기 서브픽셀마다 배치 설치된 복수의 홀딩트랜지스터와,

상기 구동트랜지스터, 스위치트랜지스터 및 홀딩트랜지스터를 피복하도록 형성되고, 표면에 복수의 홈이 형성된 절연막과,

상기 홈에 매설되고, 상기 구동트랜지스터의 소스와 드레인의 다른쪽에 도통하며, 상기 구동트랜지스터, 스위치트랜지스터 및 홀딩트랜지스터의 게이트, 소스 및 드레인으로 되는 도전층과는 다른 도전층에 의해 형성된 복수의 급전배선과,

상기 절연막의 상면에 서로 평행하게 되도록 형성된 복수의 리지와,

상기 리지를 따라 상기 절연막의 상면에 배열되는 동시에, 상기 리지의 사이에 있어서 상기 서브픽셀마다 설치되고, 상기 구동트랜지스터의 소스와 드레인의 어느 쪽인가 한쪽에 도통한 복수의 서브픽셀전극과,

습식 도포법에 의해 상기 서브픽셀전극의 상면에 형성된 발광층과,

상기 발광층을 피복하는 대향전극을 갖는 것을 특징으로 하는 디스플레이패널.

청구항 12.

제 11 항에 있어서,

상기 리지는 감광성 절연수지를 갖고 있는 것을 특징으로 하는 디스플레이패널.

청구항 13.

제 11 항에 있어서,

상기 리지의 아래쪽에서 평면에서 보아 상기 리지와 중첩하고 있는 복수의 신호선을 구비하고 있는 것을 특징으로 하는 디스플레이패널.

청구항 14.

제 11 항에 있어서,

상기 급전배선의 두께치수는 $1.31 \sim 6\mu\text{m}$ 인 것을 특징으로 하는 디스플레이패널.

청구항 15.

제 11 항에 있어서,

상기 급전배선의 폭치수는 $7.45 \sim 44\mu\text{m}$ 인 것을 특징으로 하는 디스플레이패널.

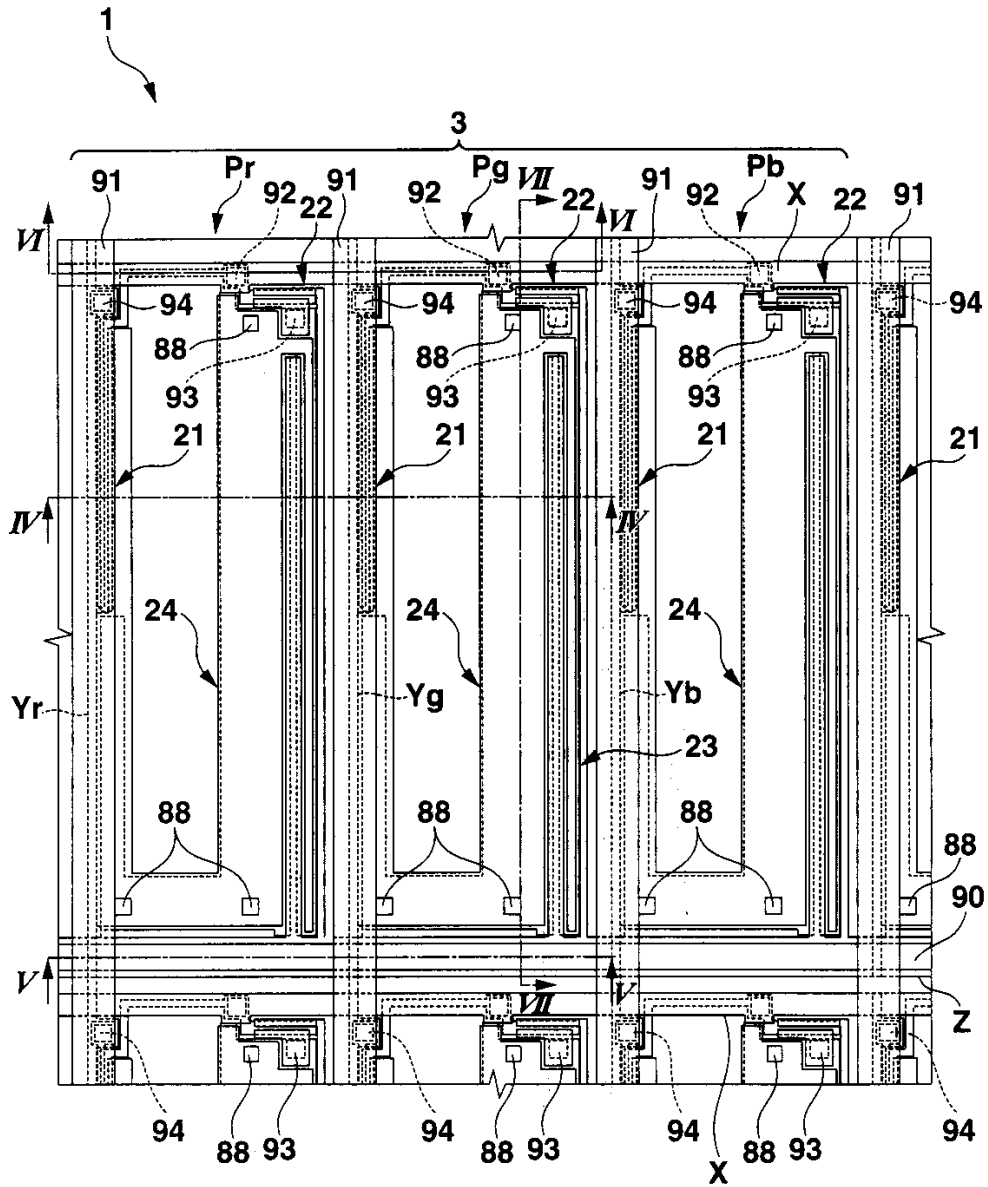
청구항 16.

제 11 항에 있어서,

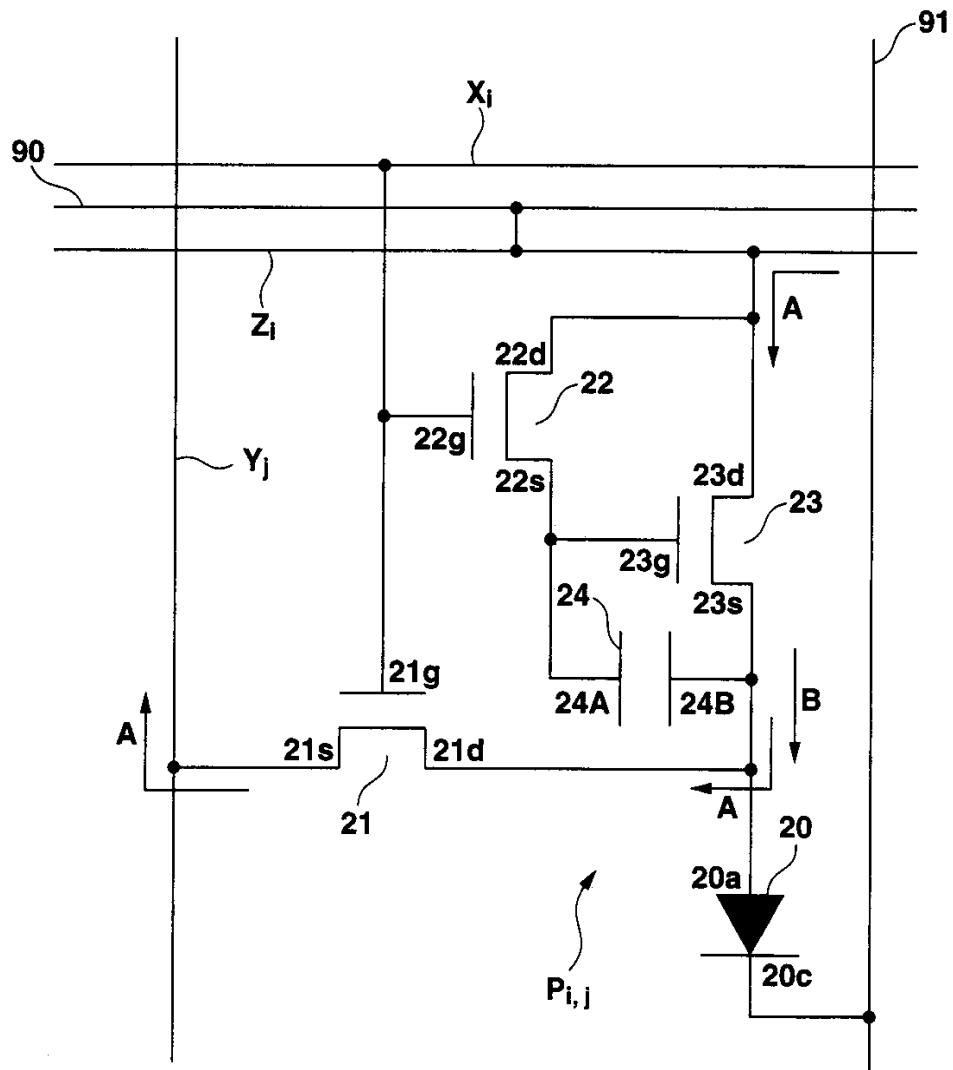
상기 급전배선의 저항율은 $2.1 \sim 9.6\mu\Omega\text{cm}$ 인 것을 특징으로 하는 디스플레이패널.

도면

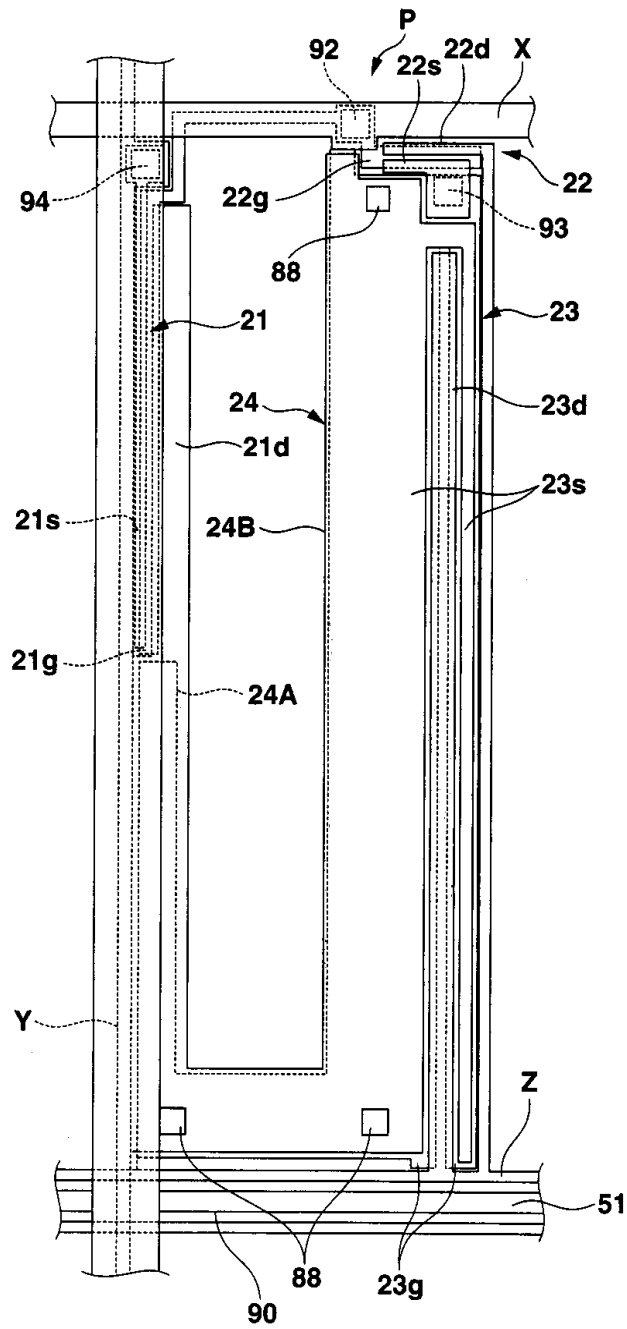
도면1



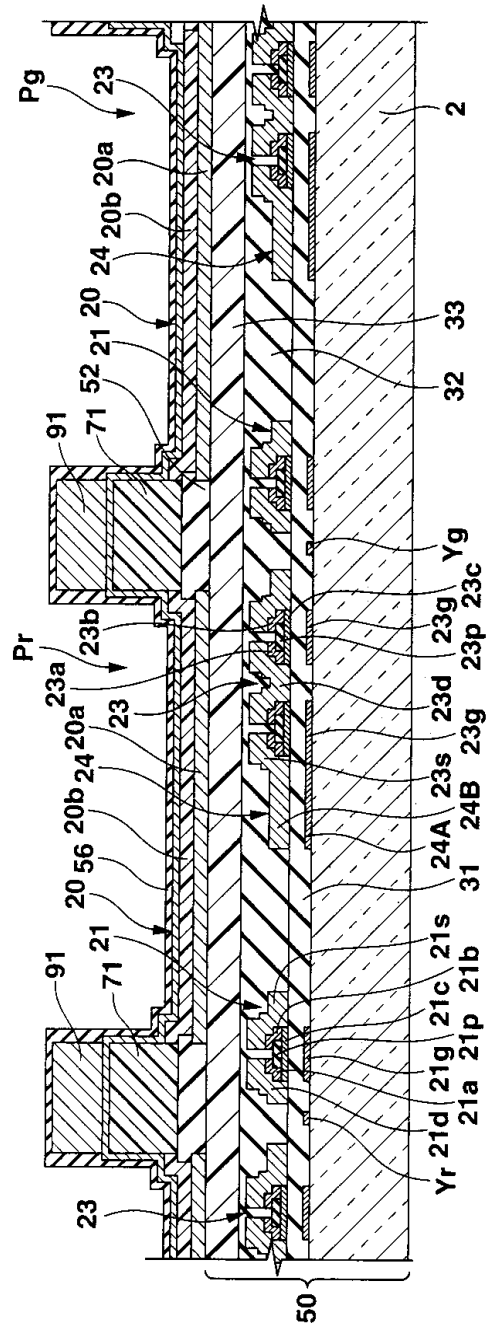
도면2



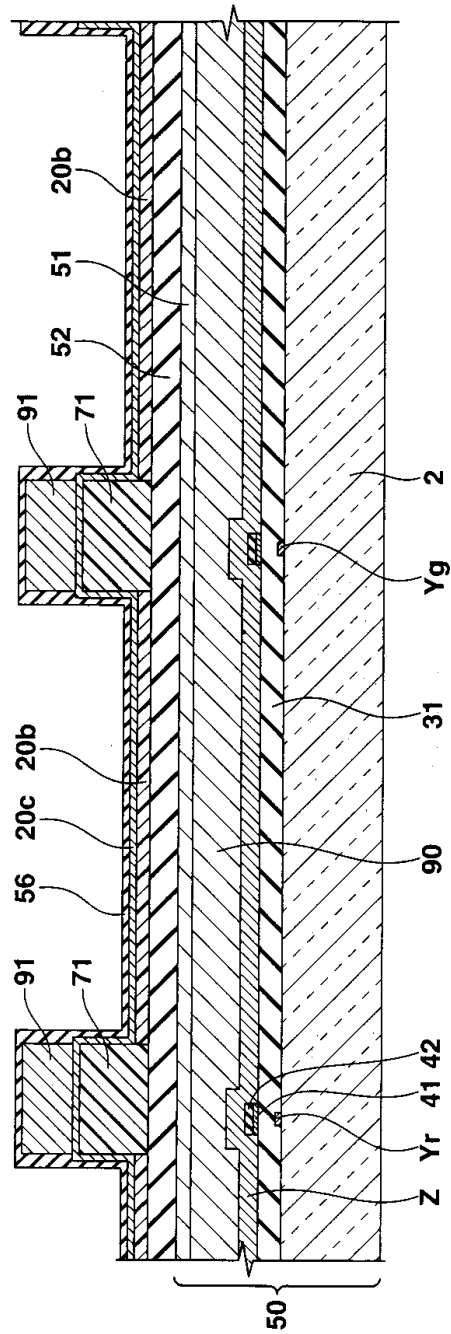
도면3



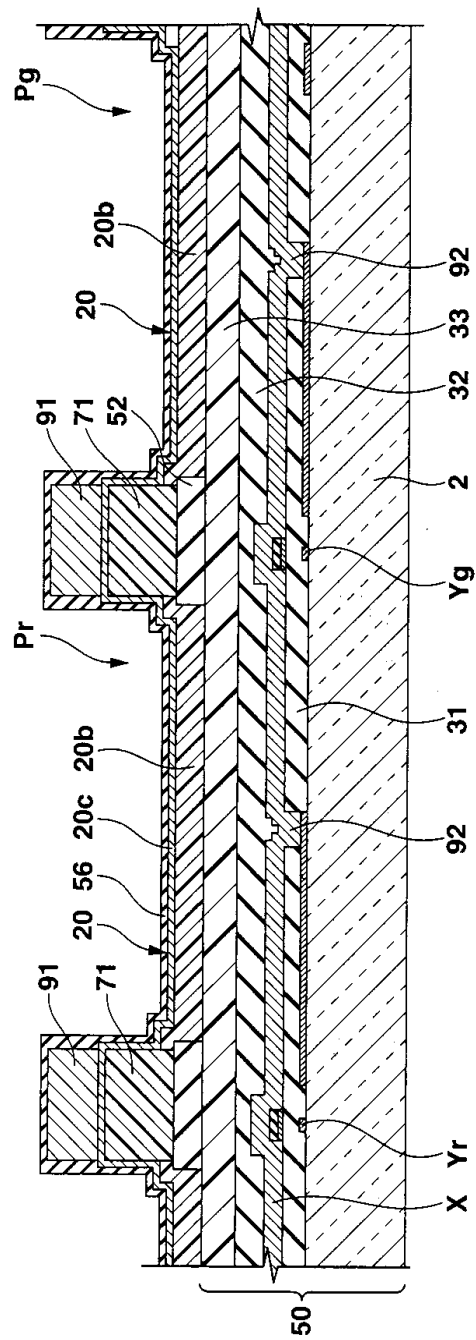
도면4



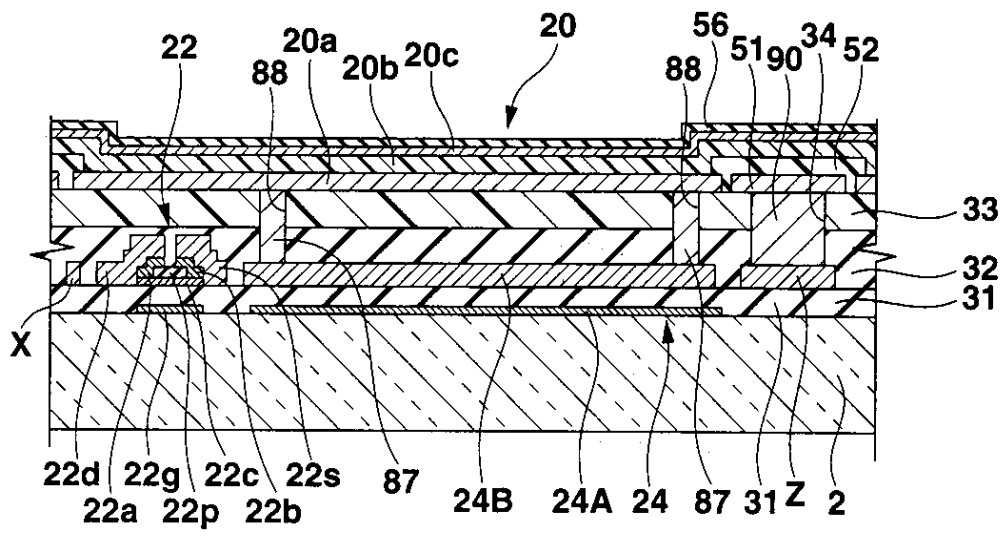
도면5



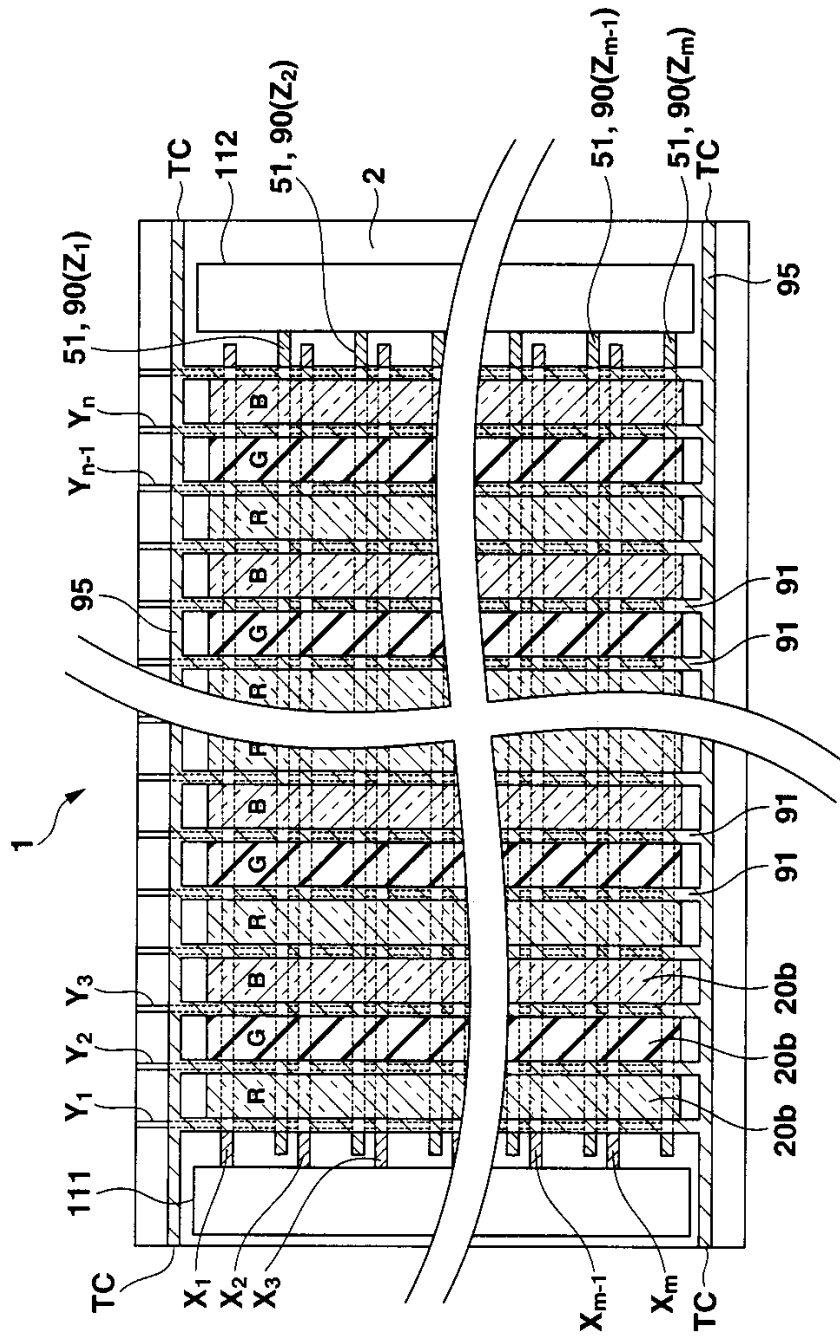
도면6



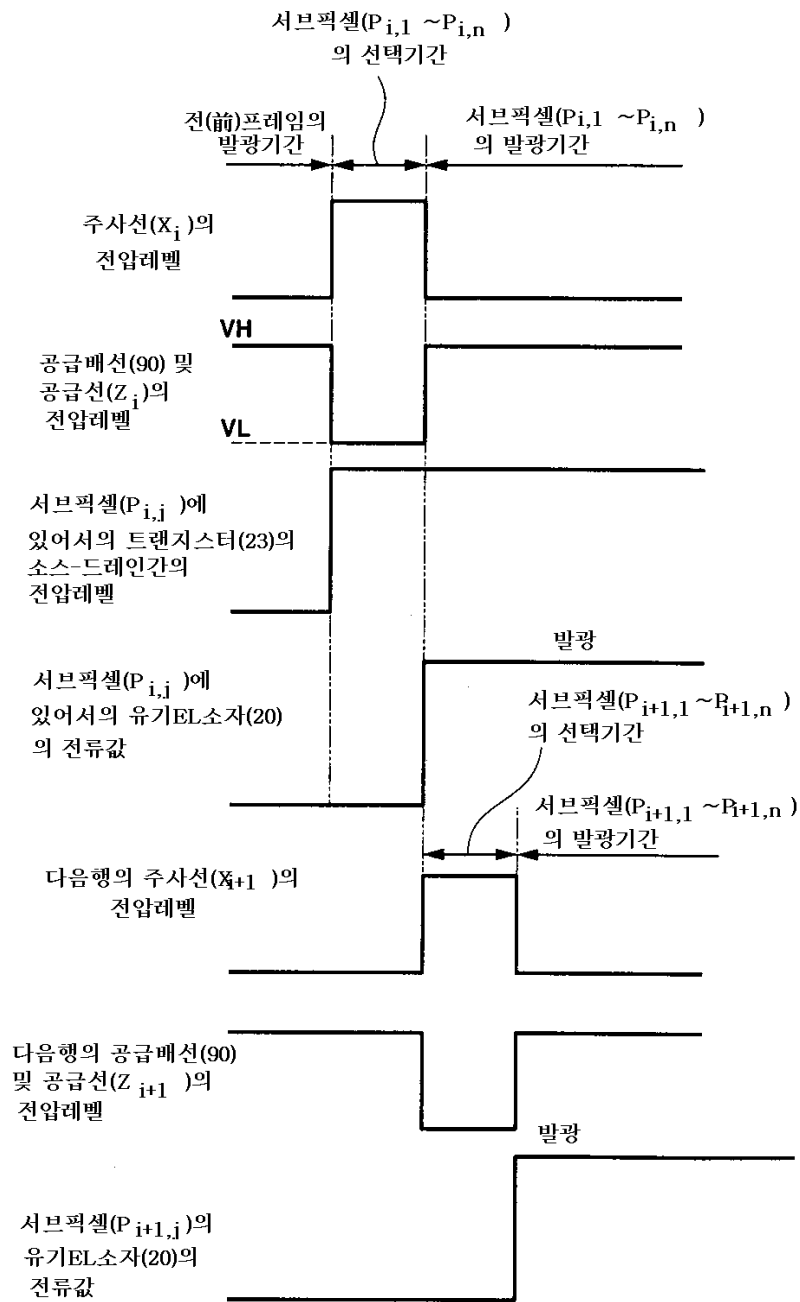
도면7



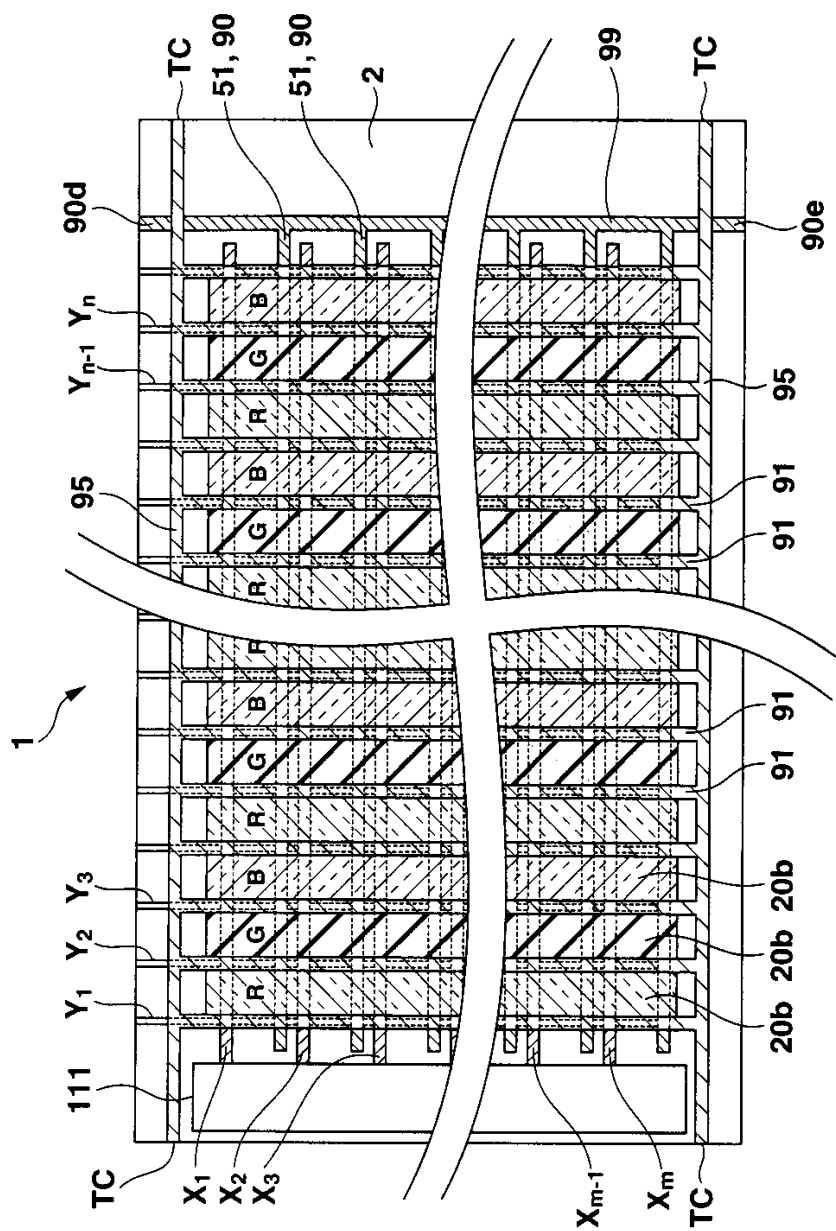
도면8



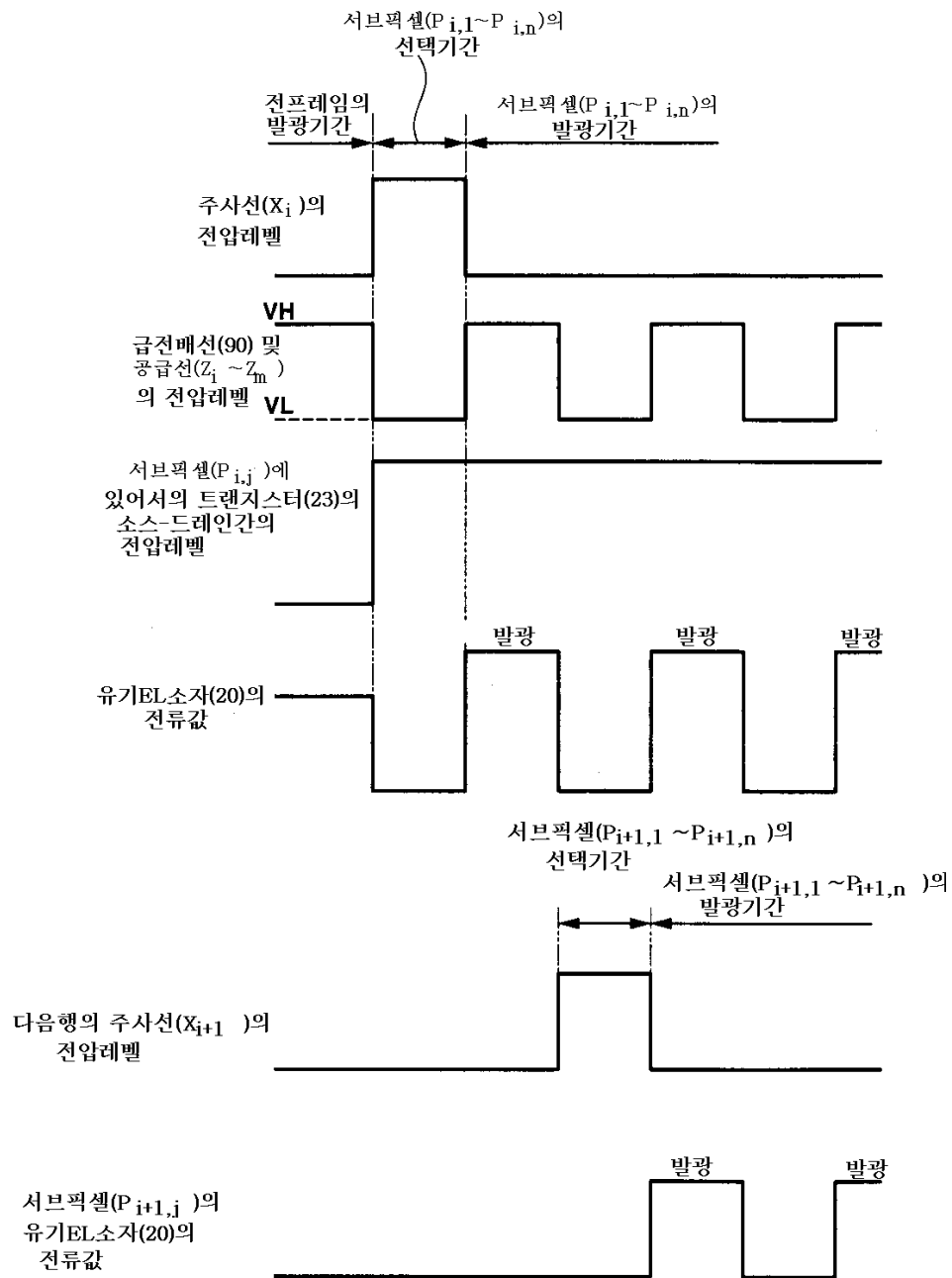
도면9



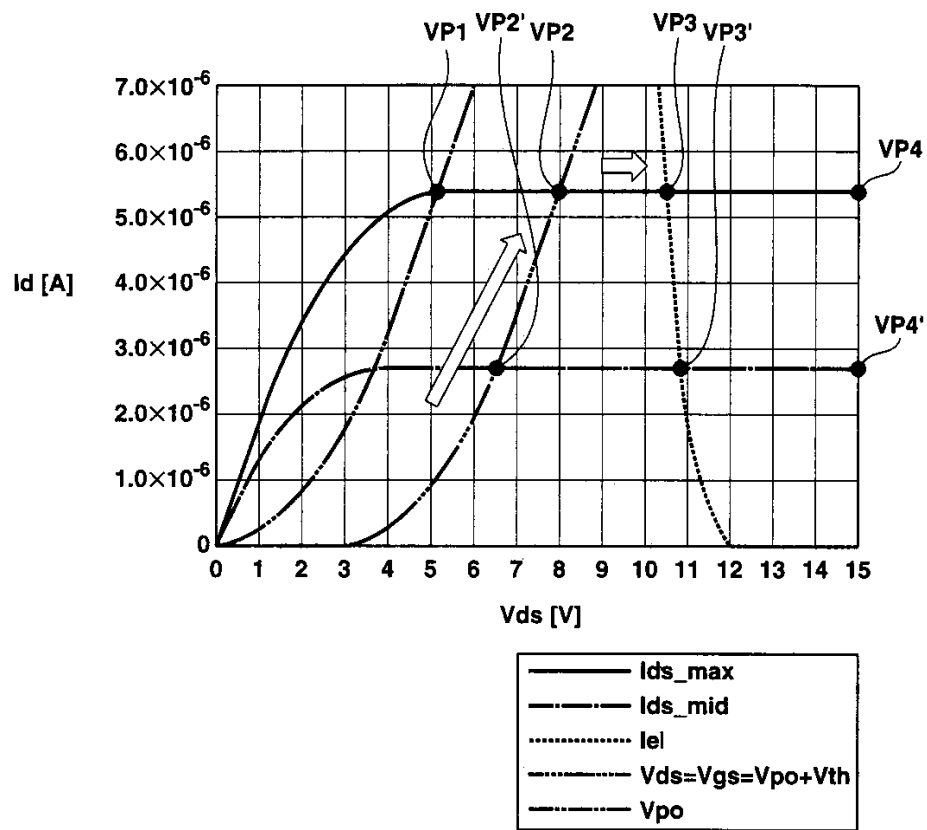
도면10



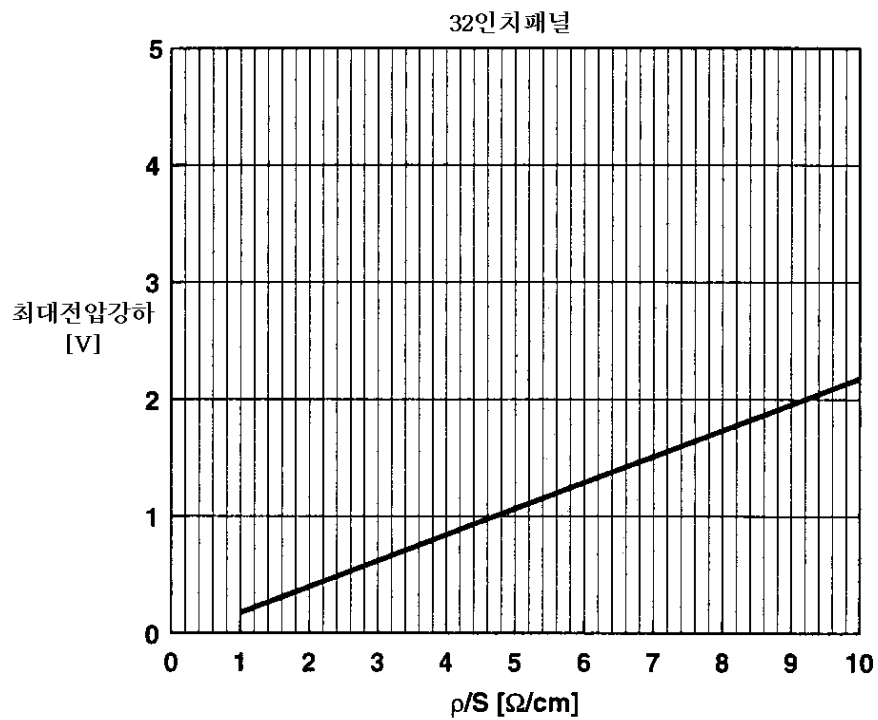
도면11



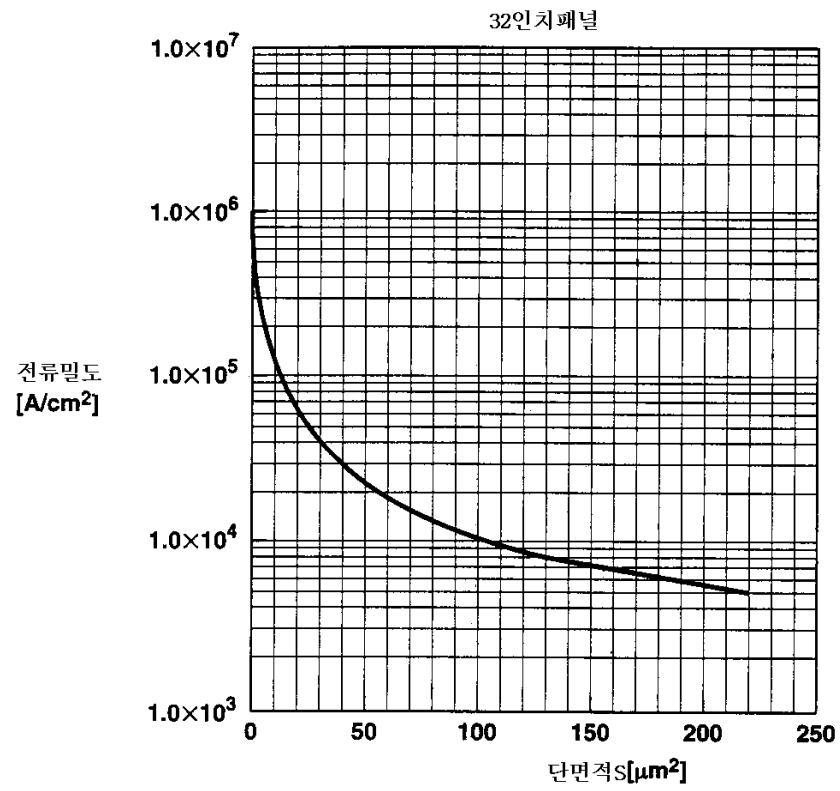
도면12



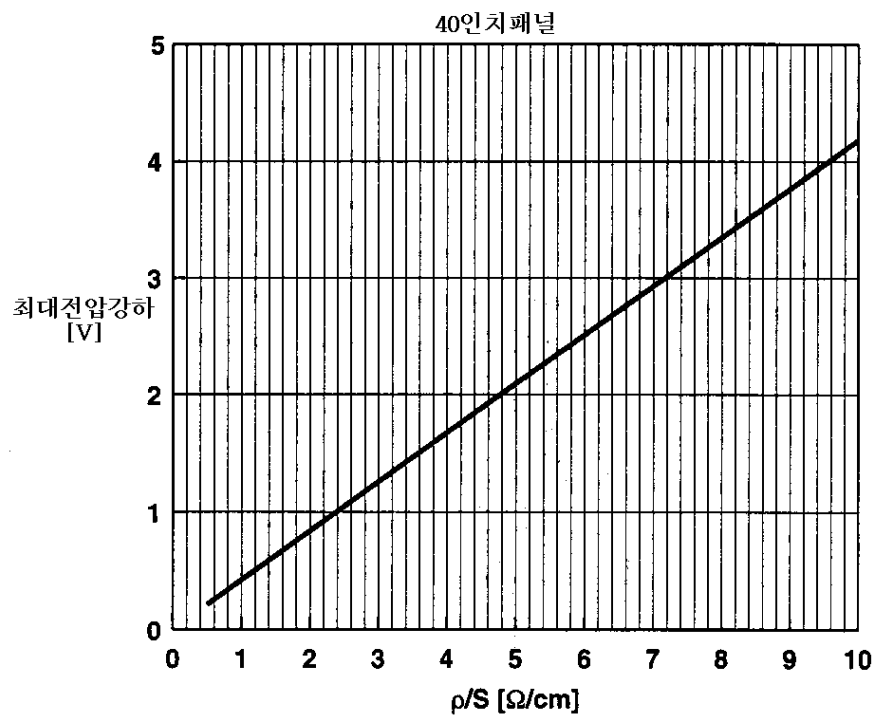
도면13



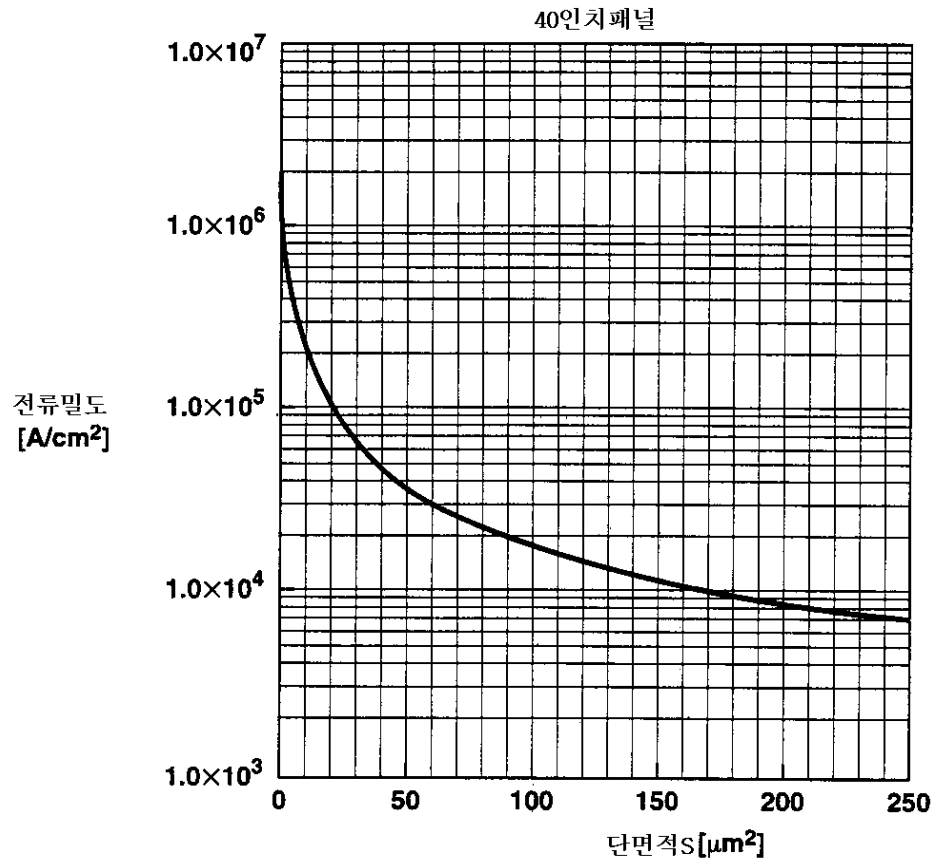
도면14



도면15



도면16



专利名称(译)	显示面板		
公开(公告)号	KR1020060051712A	公开(公告)日	2006-05-19
申请号	KR1020050090259	申请日	2005-09-28
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	SHIRASAKI TOMOYUKI 시라사키도모유키 TOHYAMA TADAHISA 도야마다다히사 OGURA JUN 오구라준		
发明人	시라사키도모유키 도야마다다히사 오구라준		
IPC分类号	H05B33/22		
CPC分类号	G09G2300/0842 G09G3/325 H01L51/5228 G09G3/2081 G09G2300/0866 H01L27/3279 G09G2300/0426		
代理人(译)	孙某EUN JIN		
优先权	2004283519 2004-09-29 JP		
其他公开文献	KR100758062B1		
外部链接	Espacenet		

摘要(译)

为了抑制电压降和电流信号延迟，显示面板包括基板，形成在基板上的多个晶体管，形成为覆盖多个晶体管的上侧并且在其表面上形成有多个凹槽的绝缘膜，多个第二布线设置在布线绝缘膜上方，多个第二布线彼此相邻，多个第一布线形成在第一布线上，并且，对电极设置在发光层上。7 指数方面 像素电极，对电极，馈电互连，公共互连，有机EL显示板

