(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/30
H05B 33/14

(11) 공개번호 10-2005-0007340
(43) 공개일자 2005년01월17일

(21) 출원번호 10-2004-7017243
(22) 출원일자 2004년10월26일
번역문 제출일자 2004년10월26일
(86) 국제출원번호 PCT/JP2003/002598
(87) 국제공개번호 WO 2003/091979
(86) 국제출원출원일자 2003년03월06일
(87) 국제공개일자 2003년11월06일

(30) 우선권주장 JP-P-2002-00127532 2002년04월26일 일본(JP)
JP-P-2002-00127637 2002년04월26일 일본(JP)
JP-P-2002-00282013 2002년09월26일 일본(JP)

(71) 출원인 도시바 마쯔시따 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도꾜도 미나또꾸 4쪼메 고난 1-8

(72) 발명자 다까하라,히로시
일본 571-0807 오사까후 네야가와시 우즈마사 1011-1-345

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

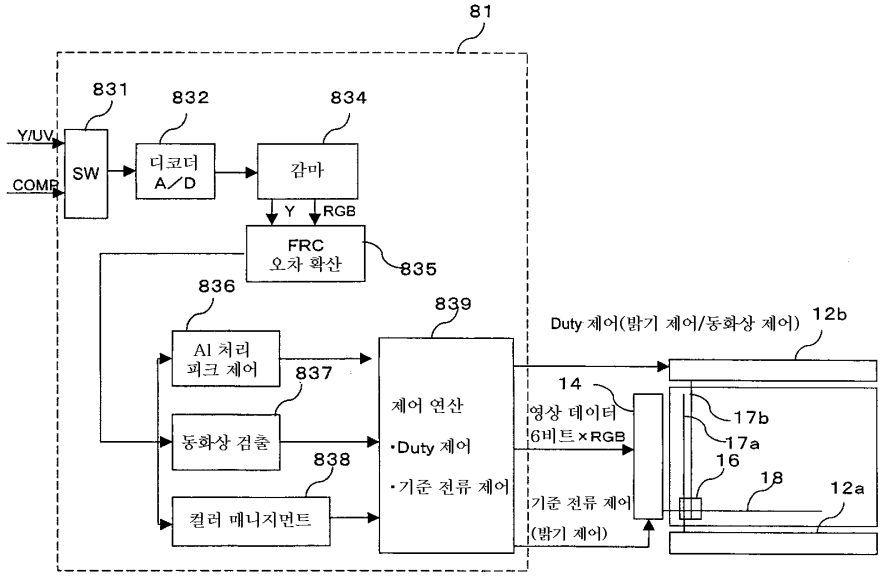
(54) E L 표시 장치의 구동 방법

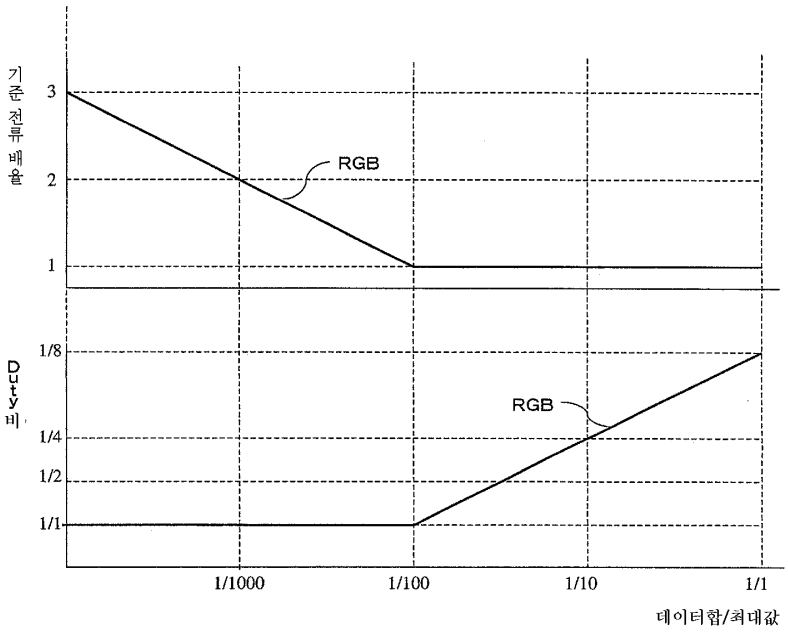
요약

본 발명은 소비하는 전류에 리미트를 마련하여 피크 전류의 억제를 도모하고, 또는 화상의 콘트라스트의 확대를 도모함으로써 강약이 있는 화상을 표시하는 것 중 적어도 하나를 실현하는 구동 방법을 제공한다.

각 화소에 구동용 트랜지스터와 EL 소자 사이의 전류 경로를 온 오프 제어하는 스위치 소자를 갖는 EL 표시 장치를 구동함에 있어서, 화상 데이터 또는 화상 데이터에 준하는 데이터를 집계하여, 상기 집계한 데이터가 적을 때보다도 클 때 쪽이 상기 스위치 소자를 오프 상태로 하는 기간을 길게 하는 구동 방법을 채용하는 것에 의해, 피크 전류의 억제나 콘트라스트의 확대를 도모한다.

대표도





색인어

표시 패널, EL 소자, 트랜지스터, 드라이버, 신호선, 화상 데이터

명세서

기술분야

본 발명은 유기 또는 무기 일렉트로 루미네센스(EL) 소자를 이용한 EL 표시 패널 등의 자발광 표시 패널에 관한 것이다. 또한, 이들 표시 패널의 구동 회로(IC)에 관한 것이다. EL 표시 패널의 구동 방법과 구동 회로 및 이들을 이용한 정보 표시 장치 등에 관한 것이다.

배경기술

일반적으로, 액티브 매트릭스형 표시 장치에서는, 다수의 화소를 매트릭스 형상으로 배열하고, 공급된 영상 신호에 대응하여 화소마다 광 강도를 제어함으로써 화상을 표시한다. 예를 들면, 전기 광학 물질로서 액정을 이용한 경우에는, 각 화소에 기입되는 전압에 대응하여 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기 일렉트로 루미네

센스(EL) 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는 화소에 기입되는 전류에 응답하여 발광 휘도가 변화한다.

액정 표시 패널은 각 화소가 셔터로서 동작하고, 백라이트로부터의 빛을 화소인 셔터에 의해 온 오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. 그 때문에, 유기 EL 표시 패널은 액정 표시 패널에 비하여 화상의 시인성이 높고, 백라이트가 불필요하며, 응답 속도가 빠르다는 등의 이점을 갖는다.

유기 EL 표시 패널은 각 발광 소자(화소)의 휘도가 전류량에 의해서 제어된다. 즉, 발광 소자가 전류 구동형 혹은 전류 제어형이라는 점에서 액정 표시 패널과는 크게 다르다.

유기 EL 표시 패널도 단순 매트릭스 방식과 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조는 단순하지만 대형이면서 고정밀의 표시 패널의 실현이 곤란하다. 그러나, 염가이다. 후자는 대형이며, 고정밀 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고 비교적 고가라고 하는 과제가 있다. 현재는 액티브 매트릭스 방식의 개발이 왕성하게 행해지고 있다. 액티브 매트릭스 방식은 각 화소에 마련한 발광 소자에 흐르는 전류를 화소 내부에 마련한 박막 트랜지스터(트랜지스터)에 의해서 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은 일본 특허 공개 평성8-234683호 공보에 개시되어 있다. 이 표시 패널의 1 화소분의 등가 회로를 도 46에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(11a), 제2 트랜지스터(11b) 및 축적 용량(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로 루미네센스(EL) 소자이다. 본 발명에서는 EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)라고 부른다. 또한, 도 46의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위치용 트랜지스터(11)라고 부른다.

유기 EL 소자(15)는 대부분의 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 도 46 등에서는 발광 소자(15)로서 다이오드 의 기호를 이용하고 있다.

단, 본 발명에서의 발광 소자(15)는 OLED에 한하는 것이 아니고, 소자(15)에 흐르는 전류량에 의해서 휘도가 제어되는 것이면 된다. 예를 들면, 무기 EL 소자가 예시된다. 그밖에, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 그밖에, 발광 트랜지스터여도 된다. 또한, 발광 소자(15)는 반드시 정류성이 요구되는 것이 아니다. 쌍방향성 다이오드이어도 무방하다. 본 발명의 EL 소자(15)는 이들 어느 것이어도 좋다.

도 46의 예에서는 P 채널형의 트랜지스터(11a)의 소스 단자(S)를 Vdd(전원 전위)로 하고, EL 소자(15)의 캐소드(음극)는 접지 전위(Vk)에 접속된다. 한편, 애노드(양극)는 트랜지스터(11b)의 드레인 단자(D)에 접속되어 있다. 한편, P 채널형의 트랜지스터(11a)의 게이트 단자는 게이트 신호선(17a)에 접속되고, 소스 단자는 소스 신호선(18)에 접속되고, 드레인 단자는 축적 용량(19) 및 트랜지스터(11a)의 게이트 단자(G)에 접속되어 있다.

화소(16)를 동작시키기 위해서, 우선, 게이트 신호선(17a)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 영상 신호를 인가한다. 그렇게 하면, 트랜지스터(11a)가 도통하여, 축적 용량(19)이 충전 또는 방전되고, 트랜지스터(11b)의 게이트 전위는 영상 신호의 전위와 일치한다. 게이트 신호선(17a)을 비선택 상태로 하면, 트랜지스터(11a)가 오프로 되고, 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 전위는 축적 용량(컨덴서)(19)에 의해서 안정적으로 유지된다. 트랜지스터(11a)를 통하여 EL 소자(15)에 흐르는 전류는, 트랜지스터(11a)의 게이트/소스 단자 사이 전압 Vgs에 따른 값이 되고, EL 소자(15)는 트랜지스터(11a)를 통하여 공급되는 전류량에 따른 휘도로 계속해서 발광한다.

또, 상기 문헌의 모든 개시는 모조리 그대로 인용함으로써 여기에 일체화한다.

액정 표시 패널은 자발광 디바이스가 아니기 때문에, 백라이트를 이용하지 않으면 화상을 표시할 수 없다고 하는 문제점이 있다. 백라이트를 구성하기 위해서는 소정의 두께가 필요하기 때문에, 표시 패널의 두께가 두꺼워진다고 하는 문제가 있었다. 또, 액정 표시 패널에 컬러 표시를 행하기 위해서는 컬러 필터를 사용할 필요가 있다. 그 때문에, 광 이용 효율이 낮다고 하는 문제점이 있었다. 또, 색 재현 범위가 좁다고 하는 문제점이 있었다.

유기 EL 표시 패널은 저온 폴리실리콘 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는 전류에 의해 발광하기 때문에, 트랜지스터의 특성에 변동이 있으면, 표시 얼룩짐이 발생한다고 하는 과제가 있었다.

표시 얼룩짐은 화소를 전류 프로그램 방식의 구성을 채용함으로써 저감하는 것이 가능하다. 전류 프로그램을 실시하기 위해서는 전류 구동 방식의 드라이버 회로가 필요하다. 그러나, 전류 구동 방식의 드라이버 회로에도 전류 출력단을 구성하는 트랜지스터 소자에 변동이 발생한다. 그 때문에, 각 출력 단자로부터의 계조 출력 전류에 변동이 발생하여 양호한 화상 표시를 할 수 없다고 하는 과제가 있었다.

발명의 상세한 설명

이 목적을 달성하기 위해서 본 발명의 EL 표시 패널(EL 표시 장치)의 드라이버 회로는, 단위 전류를 출력하는 복수의 트랜지스터를 구비하고, 이 트랜지스터의 개수를 변화시키는 것에 의해 출력 전류를 출력하는 것이다. 또한, 다단의 커런트 미러 회로로 구성된 것을 특징으로 한다. 신호의 교환이 전압 교환이 되는 트랜지스터군은 밀집되게 형성하고, 커런트 미러 회로군과의 신호의 교환은 전류 교환의 구성을 채용한다. 또한, 기준 전류는 복수의 트랜지스터에서 행한다.

제1 본 발명은, 각 화소에 구동용 트랜지스터와 EL 소자 사이의 전류 경로를 온 오프 제어하는 스위치 소자를 갖는 EL 표시 장치의 구동 방법에 있어서,

화상 데이터 또는 화상 데이터에 준하는 데이터를 집계하고,

상기 집계한 데이터가 적을 때보다도 클 때 쪽이 상기 스위치 소자를 오프 상태로 하는 기간을 길게 하는 EL 표시 장치의 구동 방법이다.

제2 본 발명은, EL 소자가 매트릭스 형상으로 형성된 표시 패널과,

상기 표시 패널에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 소스 드라이버 회로는, 복수의 단위 전류 소자를 갖는 출력단과, 상기 단위 전류 소자가 흘려보내는 전류를 제어하는 가변 회로를 구비하는 EL 표시 장치이다.

제3 본 발명은, 동화상 검출을 행하는 동화상 검출 회로와, 영상의 특징 추출을 행하는 특징 추출 회로를 갖는 EL 표시 장치를 구동하는 방법에 있어서,

상기 동화상 검출 회로에서의 출력 데이터에 의해 선택하는 화소 행 수를 변경하는 제1 동작과,

상기 특징 추출 회로에서의 출력 데이터에 의해 선택하는 화소 행 수를 변경하는 제2 동작을 실시하는 EL 표시 장치의 구동 방법이다.

제4 본 발명은, 화면의 비표시 영역과 표시 영역의 비율로 화면의 휘도를 제어하는 EL 표시 장치에 있어서,

EL 소자 및 상기 EL 소자를 구동하는 구동용 트랜지스터가 매트릭스 형상으로 형성된 표시 영역과,

상기 EL 소자를 화소 행마다 온 오프시키는 전압을 전달하는 게이트 신호선과,

상기 게이트 신호선을 구동하는 게이트 드라이버 회로와,

화상 데이터 또는 화상 데이터에 준하는 데이터를 집계하는 집계 회로와,

상기 집계 회로의 집계 결과를, 상기 게이트 드라이버 회로의 스타트 펄스 신호로 변환하는 변환 회로를 구비하는 EL 표시 장치이다.

제5 본 발명은, 화면의 비표시 영역과 표시 영역의 비율로 화면의 휘도를 제어하는 EL 표시 장치에 있어서,

상기 화면의 비표시 영역과 표시 영역의 비율을 제1 비율에서 제2 비율로 변경할 때에, 지연 시간을 발생시키는 EL 표시 장치의 구동 방법이다.

제6 본 발명은, 표시 영역/(화면의 비표시 영역+표시 영역)이 1/16 이상 1/1 이하인 제5 본 발명의 EL 표시 장치의 구동 방법이다.

제7 본 발명은, 각 화소에 컨덴서, EL 소자, 및 상기 EL 소자에 전류를 공급하는 P 채널의 구동용 트랜지스터가 형성되고, 또한 화소가 매트릭스 형상으로 형성된 표시 패널과,

상기 표시 패널에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 소스 드라이버 회로는, 복수의 단위 전류를 출력하는 N채널의 단위 트랜지스터를 갖는 출력단을 구비하는 EL 표시 장치이다.

제8 본 발명은, 컨덴서의 용량을 Cs(pF)로 하고, 1 화소가 차지하는 면적을 S(평방㎛)로 하면, 500/S≤Cs≤20000/S의 조건을 만족하는 제7 본 발명의 EL 표시 장치이다.

제9 본 발명은, 소스 드라이버 회로로부터의 프로그램 전류 I(μA)는, 화소 사이즈를 A(평방mm)로 하고, 백 래스터 표시 소정 휘도를 B(nt)로 하면, (A×B)/20≤I≤(A×B)의 조건을 만족하는 제7 본 발명의 EL 표시 장치이다.

제10의 본 발명은, 계조 수를 K로 하고, 단위 트랜지스터의 크기를 St(평방㎛)로 하면,

40≤K/√(St)이고 또한 St≤300의 조건을 만족하는, 제7 본 발명의 EL 표시 장치이다.

제11의 본 발명은, 계조 수를 K로 하고, 단위 트랜지스터의 단위 트랜지스터의 채널 길이를 L(㎛), 채널 폭을 W(㎛)로 했을 때, (√(K/16))≤L/W≤(√(K/16))×20의 조건을 만족하는, 제7 본 발명의 EL 표시 장치이다.

제12의 본 발명은, 제1 표시 화면을 갖는 제1 EL 표시 패널과,

제2 표시 화면을 갖는 제2 EL 표시 패널과,

상기 제1 EL 표시 패널의 소스 신호선과 상기 제2 EL 표시 패널의 소스 신호선을 접속하는 플렉시블 기판을 구비하고,

화소를 구동하는 구동 트랜지스터의 채널 폭을 W(㎛)로 하고, 채널 길이를 L(㎛)로 하면, 상기 제1 표시 화면의 화소를 구동하는 구동 트랜지스터의 W/L과, 상기 제2 표시 화면의 화소를 구동하는 구동 트랜지스터의 W/L이 서로 다르게 되어 있는 EL 표시 장치이다.

도면의 간단한 설명

도 1은 본 발명의 표시 패널의 화소 구성도.

도 2는 본 발명의 표시 패널의 화소 구성도.

도 3은 본 발명의 표시 패널의 동작의 설명도.

도 4는 본 발명의 표시 패널의 동작의 설명도.

도 5는 본 발명의 표시 장치의 구동 방법의 설명도.

도 6은 본 발명의 표시 장치의 구성도.

도 7은 본 발명의 표시 패널의 제조 방법의 설명도.

도 8은 본 발명의 표시 장치의 구성도.

도 9는 본 발명의 표시 장치의 구성도.

도 10은 본 발명의 표시 패널의 단면도.

도 11은 본 발명의 표시 패널의 단면도.

도 12는 본 발명의 표시 패널의 설명도.

도 13은 본 발명의 표시 장치의 구동 방법의 설명도.

도 14는 본 발명의 표시 장치의 구동 방법의 설명도.

도 15는 본 발명의 표시 장치의 구동 방법의 설명도.

도 16은 본 발명의 표시 장치의 구동 방법의 설명도.

도 17은 본 발명의 표시 장치의 구동 방법의 설명도.

도 18은 본 발명의 표시 장치의 구동 방법의 설명도.

도 19는 본 발명의 표시 장치의 구동 방법의 설명도.

도 20은 본 발명의 표시 장치의 구동 방법의 설명도.

도 21은 본 발명의 표시 장치의 구동 방법의 설명도.

도 22는 본 발명의 표시 장치의 구동 방법의 설명도.

도 23은 본 발명의 표시 장치의 구동 방법의 설명도.

도 24는 본 발명의 표시 장치의 구동 방법의 설명도.

도 25는 본 발명의 표시 장치의 구동 방법의 설명도.

도 26은 본 발명의 표시 장치의 구동 방법의 설명도.

도 27은 본 발명의 표시 장치의 구동 방법의 설명도.

도 28은 본 발명의 표시 장치의 구동 방법의 설명도.

도 29는 본 발명의 표시 장치의 구동 방법의 설명도.

도 30은 본 발명의 표시 장치의 구동 방법의 설명도.

도 31은 본 발명의 표시 장치의 구동 방법의 설명도.

도 32는 본 발명의 표시 장치의 구동 방법의 설명도.

도 33은 본 발명의 표시 장치의 구동 방법의 설명도.

도 34는 본 발명의 표시 장치의 구성도.

도 35는 본 발명의 표시 장치의 구동 방법의 설명도.

도 36은 본 발명의 표시 장치의 구동 방법의 설명도.

도 37은 본 발명의 표시 장치의 구성도.

도 38은 본 발명의 표시 패널의 화소 구성도.

도 39는 본 발명의 표시 장치의 구동 방법의 설명도.

도 40은 본 발명의 표시 장치의 구성도.

도 41은 본 발명의 표시 장치의 구성도.

도 42는 본 발명의 표시 패널의 화소 구성도.

도 43은 본 발명의 표시 패널의 화소 구성도.

도 44는 본 발명의 표시 장치의 구동 방법의 설명도.

도 45는 본 발명의 표시 장치의 구동 방법의 설명도.

도 46은 본 발명의 표시 장치의 구동 방법의 설명도.

도 47은 본 발명의 구동 회로의 설명도.

도 48은 본 발명의 구동 회로의 설명도.

도 49는 본 발명의 구동 회로의 설명도.

도 50은 본 발명의 구동 회로의 설명도.

도 51은 본 발명의 구동 회로의 설명도.

도 52는 본 발명의 구동 회로의 설명도.

도 53은 본 발명의 구동 회로의 설명도.

도 54는 본 발명의 구동 회로의 설명도.

도 55는 본 발명의 구동 회로의 설명도.

도 56은 본 발명의 구동 회로의 설명도.

도 57은 본 발명의 구동 회로의 설명도.

도 58은 본 발명의 구동 회로의 설명도.

도 59는 본 발명의 구동 회로의 설명도.

도 60은 본 발명의 구동 회로의 설명도.

도 61은 본 발명의 구동 회로의 설명도.

도 62는 본 발명의 구동 회로의 설명도.

도 63은 본 발명의 구동 회로의 설명도.

도 64는 본 발명의 구동 회로의 설명도.

도 65는 본 발명의 구동 회로의 설명도.

도 66은 본 발명의 구동 회로의 설명도.

도 67은 본 발명의 구동 회로의 설명도.

도 68은 본 발명의 구동 회로의 설명도.

도 69는 본 발명의 구동 회로의 설명도.

도 70은 본 발명의 구동 회로의 설명도.

도 71은 본 발명의 구동 회로의 설명도.

도 72는 본 발명의 구동 회로의 설명도.

도 73은 본 발명의 구동 회로의 설명도.

도 74는 본 발명의 구동 회로의 설명도.

도 75는 본 발명의 표시 장치의 구동 방법의 설명도.

도 76은 본 발명의 표시 장치의 구동 방법의 설명도.

도 77은 본 발명의 구동 회로의 설명도.

도 78은 본 발명의 표시 장치의 구동 방법의 설명도.

도 79는 본 발명의 표시 장치의 구동 방법의 설명도.

도 80은 본 발명의 표시 장치의 구동 방법의 설명도.

도 81은 본 발명의 표시 장치의 구동 방법의 설명도.

도 82는 본 발명의 표시 장치의 구동 방법의 설명도.

도 83은 본 발명의 표시 장치의 구동 회로의 설명도.

도 84는 본 발명의 표시 장치의 구동 회로의 설명도.

도 85는 본 발명의 표시 장치의 구동 회로의 설명도.

도 86은 본 발명의 표시 장치의 구동 회로의 설명도.

도 87은 본 발명의 표시 장치의 구동 회로의 설명도.

도 88은 본 발명의 표시 장치의 구동 회로의 설명도.

도 89는 본 발명의 표시 장치의 구동 회로의 설명도.

도 90은 본 발명의 표시 장치의 구동 회로의 설명도.

도 91은 본 발명의 표시 장치의 구동 회로의 설명도.

도 92는 본 발명의 표시 장치의 구동 회로의 설명도.

도 93은 본 발명의 표시 장치의 구동 회로의 설명도.

도 94는 본 발명의 표시 장치의 구동 회로의 설명도.

도 95는 본 발명의 표시 장치의 구동 회로의 설명도.

도 96은 본 발명의 표시 장치의 구동 회로의 설명도.

도 97은 본 발명의 표시 장치의 구동 회로의 설명도.

도 98은 본 발명의 표시 장치의 구동 회로의 설명도.

도 99는 본 발명의 표시 장치의 구동 회로의 설명도.

도 100은 본 발명의 표시 패널의 구동 방법의 설명도.

도 101은 본 발명의 표시 패널의 구동 방법의 설명도.

도 102는 본 발명의 표시 패널의 구동 방법의 설명도.

도 103은 본 발명의 표시 패널의 구동 방법의 설명도.

도 104는 본 발명의 표시 패널의 구동 방법의 설명도.

도 105는 본 발명의 표시 패널의 구동 방법의 설명도.

도 106은 본 발명의 표시 패널의 구동 방법의 설명도.

도 107은 본 발명의 표시 패널의 구동 방법의 설명도.

도 108은 본 발명의 표시 패널의 구동 방법의 설명도.

도 109는 본 발명의 표시 패널의 구동 방법의 설명도.

도 110은 본 발명의 표시 패널의 구동 방법의 설명도.

도 111은 본 발명의 표시 패널의 구동 방법의 설명도.

도 112는 본 발명의 표시 장치의 구동 회로의 설명도.

도 113은 본 발명의 표시 패널의 화소 구성도.

도 114는 본 발명의 표시 패널의 화소 구성도.

도 115는 본 발명의 표시 패널의 화소 구성도.

도 116은 본 발명의 표시 패널의 화소 구성도.

도 117은 본 발명의 표시 패널의 화소 구성도.

도 118은 본 발명의 표시 장치의 구동 회로의 설명도.

도 119는 본 발명의 표시 장치의 구동 회로의 설명도.

도 120은 본 발명의 표시 장치의 구동 회로의 설명도.

도 121은 본 발명의 표시 장치의 구동 회로의 설명도.

도 122는 본 발명의 표시 장치의 구동 회로의 설명도.

도 123은 본 발명의 표시 장치의 구동 회로의 설명도.

도 124는 본 발명의 표시 장치의 구동 회로의 설명도.

도 125는 본 발명의 표시 장치의 설명도.

도 126은 본 발명의 표시 장치의 설명도.

도 127은 본 발명의 표시 패널의 구동 방법의 설명도.

도 128은 본 발명의 표시 패널의 구동 방법의 설명도.

도 129는 본 발명의 표시 패널의 구동 방법의 설명도.

도 130은 본 발명의 표시 패널의 구동 방법의 설명도.

도 131은 본 발명의 표시 패널의 구동 방법의 설명도.

도 132는 본 발명의 표시 장치의 설명도.

도 133은 본 발명의 표시 장치의 설명도.

도 134는 본 발명의 표시 패널의 구동 방법의 설명도.

도 135는 본 발명의 표시 패널의 구동 방법의 설명도.

도 136은 본 발명의 표시 패널의 구동 방법의 설명도.

도 137은 본 발명의 표시 패널의 구동 방법의 설명도.

도 138은 본 발명의 표시 패널의 구동 방법의 설명도.

도 139는 본 발명의 표시 패널의 구동 방법의 설명도.

도 140은 본 발명의 표시 패널의 구동 방법의 설명도.

도 141은 본 발명의 표시 패널의 구동 방법의 설명도.

도 142는 본 발명의 표시 패널의 구동 방법의 설명도.

도 143은 본 발명의 표시 패널의 구동 방법의 설명도.

도 144는 본 발명의 표시 패널의 구동 방법의 설명도.

도 145는 본 발명의 표시 패널의 구동 방법의 설명도.

도 146은 본 발명의 표시 패널의 구동 방법의 설명도.

도 147은 본 발명의 표시 장치의 설명도.

도 148은 본 발명의 표시 장치의 설명도.

도 149는 본 발명의 표시 장치의 설명도.

도 150은 본 발명의 표시 장치의 설명도.

도 151은 본 발명의 표시 장치의 설명도.

도 152는 본 발명의 표시 장치의 설명도.

도 153은 본 발명의 표시 장치의 설명도.

도 154는 본 발명의 표시 장치의 설명도.

도 155는 본 발명의 표시 장치의 설명도.

도 156은 본 발명의 표시 장치의 설명도.

도 157은 본 발명의 표시 장치의 설명도.

도 158은 본 발명의 표시 장치의 설명도.

도 159는 발명의 표시 장치의 설명도.

도 160은 본 발명의 표시 장치의 설명도.

도 161은 본 발명의 표시 장치의 설명도.

도 162는 본 발명의 표시 장치의 설명도.

도 163은 본 발명의 소스 드라이버 IC의 설명도.

도 164는 본 발명의 소스 드라이버 IC의 설명도.

도 165는 본 발명의 소스 드라이버 IC의 설명도.

도 166은 본 발명의 소스 드라이버 IC의 설명도.

도 167은 본 발명의 소스 드라이버 IC의 설명도.

도 168은 본 발명의 소스 드라이버 IC의 설명도.

도 169는 본 발명의 소스 드라이버 IC의 설명도.

도 170은 본 발명의 소스 드라이버 IC의 설명도.

도 171은 본 발명의 소스 드라이버 IC의 설명도.

도 172는 본 발명의 소스 드라이버 IC의 설명도.

도 173은 본 발명의 표시 장치의 설명도.

도 174는 본 발명의 표시 장치의 설명도.

도 175는 본 발명의 소스 드라이버 IC의 설명도.

도 176은 본 발명의 소스 드라이버 IC의 설명도.

<부호의 설명>

11 : 트랜지스터(박막 트랜지스터)

12 : 게이트 드라이버 IC(회로)

14 : 소스 드라이버 IC(회로)

15 : EL(소자)(발광 소자)

16 : 화소

17 : 게이트 신호선

18 : 소스 신호선

19 : 축적 용량(부가 컨덴서, 부가 용량)

50 : 표시 화면

51 : 기입 화소(행)

52 : 비표시 화소(비표시 영역, 비점등 영역)

53 : 표시 화소(표시 영역, 점등 영역)

61 : 시프트 레지스터

62 : 인버터

63 : 출력 게이트

71 : 어레이 기판(표시 패널)

72 : 레이저 조사 범위(레이저 스폿)

73 : 위치 결정 마커

74 : 유리 기판(어레이 기판)

81 : 컨트롤 IC(회로)

82 : 전원 IC(회로)

83 : 프린트 기판

84 : 플렉시블 기판

85 : 밀봉 뚜껑

86 : 캐소드 배선

87 : 애노드 배선(Vdd)

88 : 데이터 신호선

89 : 게이트 제어 신호선

101 : 둑(리프)

102 : 층간 절연막

104 : 컨택트 접속부

105 : 화소 전극

106 : 캐소드 전극

107 : 건조제

108 : λ/4 위상판

109 : 편광판

111 : 박막 밀봉막

271 : 더미 화소(행)

341 : 출력단 회로

371 : OR 회로

401 : 점등 제어선

451 : 전자 볼륨 회로

452 : 트랜지스터의 SD(소스-드레인) 쇼트

471, 472, 473 : 전류언(트랜지스터)

481 : 스위치(온 오프 수단)

484 : 전류원(단위 트랜지스터)

483 : 내부 배선

491 : 전자 볼륨

521 : 트랜지스터군

531 : 저항

532 : 디코더 회로

533 : 레벨 시프터 회로

541 : 인상 회로

551 : D/A 변환기

552 : 연산 증폭기

561 : 아날로그 스위치

562 : 인버터

581 : 게이트 배선

631 : 슬립 스위치

651 : 카운터

652 : NOR

653 : AND

654 : 전류 출력 회로

655 : 스위치

671 : 일치 회로

681 : 접속 단자

691 : 기준 전류 회로

692 : 기준 제어 회로

701 : 온도 검출 수단

702 : 온도 제어 회로

711 : 단위 게이트 출력 회로

1121 : 트랜스포머

1122 : 제어 회로

1123 : 다이오드

1124 : 컨덴서

1125 : 저항

1126 : 트랜지스터

1131 : 전환 스위치

1251 : 출력 전환 회로

1252 : 전환 스위치

1501 : 아날로그 스위치

1502 : 스위치 제어선

1503 : 접속 배선

1504 : 완충 시트(판)

1521 : 인버터

1522 : 접속 단자

1571 : 안테나

1572 : 키

1573 : 바디

1574 : 표시 패널

1581 : 접안 링

1582 : 확대 렌즈

1583 : 플러스 렌즈

1591 : 지점

1592 : 촬영 렌즈

1593 : 저장부

1594 : 스위치

1601 : 본체

1602 : 촬영부

1603 : 셔터

1611 : 외부 프레임

1612 : 다리

1613 : 다리 부착부

1614 : 고정부

1731 : 제어 전극

1732 : 영상 신호 회로

1733 : 전자 방출 돌기

1734 : 유지 회로

1735 : 온오프 제어 회로

1741 : 선택신호선

1742 : 온오프 신호선

실시예

본 명세서에 있어서 각 도면은 이해를 용이하게 또는/및 작도를 쉽게 하기 위해서, 생략 또는/및 확대 축소한 개소가 있다. 예를 들면, 도 11에 도시하는 표 시 패널의 단면도에서는 박막 밀봉막(111) 등을 충분히 두껍게 도시하고 있다. 한편, 도 10에 있어서, 밀봉 뚜껑(85)은 얇게 도시하고 있다. 또, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해서 원편광판 등의 위상 필름이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하고 있다. 이상의 것은 이하의 도면에 대하여도 마찬가지이다. 또한, 동일 번호 또는 기호 등을 붙인 개소는 동일 혹은 유사한 형태 혹은 재료 혹은 기능 혹은 동작을 갖는다.

또, 각 도면 등에서 설명한 내용은 특별히 예고가 없더라도 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 8의 표시 패널에 터치 패널 등을 부가하여, 도 157, 도 159 내지 도 161에 도시하는 정보 표시 장치로 할 수 있다. 또한, 확대 렌즈(1582)를 부착하여, 비디오 카메라(도 159 등 참조) 등에 이용하는 뷰 파인더(도 58을 참조)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23, 도 29, 도 30, 도 35, 도 36, 도 40, 도 41, 도 44, 도 100 등에서 설명한 본 발명의 구동 방법은, 어느 하나의 본 발명의 표시 장치 또는 표시 패널에 적용할 수 있다.

또, 본 명세서에서는 구동용 트랜지스터(11), 스위칭용 트랜지스터(11)는 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것이 아니다. 박막 다이오드(TFD), 링 다이오드 등으로도 구성할 수 있다. 또, 박막 소자에 한정되는 것이 아니며, 실리콘 웨이퍼에 형성한 트랜지스터라도 좋다. 어레이 기판(71)을 실리콘 웨이퍼로 형성하면 된다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이더라도 무방하다. 이들도 기본적으로 박막 트랜지스터이다. 그밖에, 바리 스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토 트랜지스터, PLZT 소자 등이어도 됨은 물론이다. 즉, 본 발명의 트랜지스터 소자(11), 게이트 드라이버 회로(12), 소스 드라이버 회로(14) 등은 이들 어느 것이라도 사용할 수 있다.

이하, 본 발명의 EL 패널에 대하여 도면을 참조하면서 설명한다. 유기 EL 표시 패널은, 도 10에 도시한 바와 같이, 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판)상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 기능층(EL 층)(15), 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전압을 가하고, 즉, 투명 전극(105) 및 금속 전극(106) 사이에 직류를 인가하는 것에 의해, 유기 기능층(EL 층(15)이 발광한다.

금속 전극(106)에는 리튬, 은, 알루미늄, 마그네슘, 인듐, 구리 또는 각각의 합금 등의 일 함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예를 들면 Al-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는 ITO 등의 일함

수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또, 금을 전극 재료로서 이용한 경우, 전극은 반투명한 상태가 된다. 또, ITO는 IZO 등의 다른 재료이어도 좋다. 이 사항은 다른 화소 전극(105)에 대하여도 마찬가지이다.

또, 밀봉 뚜껑(85)과 어레이 기판(71)의 공간에는 건조제(107)를 배치한다. 이것은 유기 EL막(15)이 습도에 약하기 때문이다. 건조제(107)에 의해 시일제를 침투하는 수분을 흡수하여 유기 EL막(15)의 열화를 방지한다.

도 10은 유리의 뚜껑(85)을 이용하여 밀봉하는 구성이지만, 도 11과 같이 필름(박막이어도 됨. 즉, 박막 밀봉막임)(111)을 이용한 밀봉이어도 된다. 예를 들면, 밀봉 필름(박막 밀봉막)(111)으로서는 전해 컨덴서의 필름에 DLC(다이아몬드형 카본)를 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 매우 나쁘다(방습 성능이 높음). 이 필름을 박막 밀봉막(111)으로서 이용한다. 또한, DLC(다이아몬드형 카본)막 등을 금속 전극(106)의 표면에 직접 증착하는 구성도 되는 것은 물론이다. 기타, 수지 박막과 금속 박막을 다층으로 적층하여 박막 밀봉막을 구성해도 된다.

박막의 막 두께는 n · d(n은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우에는 이들 굴절율을 통합(각 박막의 n · d를 계산)하여 계산함. d는 박막의 막 두께, 복수의 박막이 적층되어 있는 경우에는 이들 굴절율을 통합하여 계산함)가, EL 소자(15)의 발광 주파장 λ 이하로 되도록 하면 된다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광 추출 효율이, 유리 기판으로 밀봉한 경우에 비하여 2배 이상이 된다. 또한, 알루미늄과 은의 합금 혹은 혼합물 혹은 적층물을 형성해도 된다.

이상과 같이 밀봉 뚜껑(85)을 이용하지 않고, 박막 밀봉막(111)으로 밀봉하는 구성을 박막 밀봉이라고 부른다. 어레이 기판(71)측에서 빛을 추출하는 「하부 추출(도 10을 참조, 광 추출 방향은 도 10의 화살표 방향이다)」인 경우의 박막 밀봉은, EL막을 형성 후, EL막상에 캐소드가 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막상에 완충층으로서의 수지층을 형성한다. 완충층으로서는 아크 릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 1㎛ 이상 10㎛ 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 2㎛ 이상 6㎛ 이하의 두께가 적합하다. 이 완충막상의 밀봉막(74)을 형성한다. 완충막이 없으면, 응력에 의해 EL막의 구조가 무너져, 줄기 형상으로 결함이 발생한다. 박막 밀봉막(111)은 상술한 바와 같이, DLC(다이아몬드형 카본), 혹은 전계 컨덴서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

EL층(15)측에서 빛을 추출하는 「상부 추출 도 11을 참조, 광 추출 방향은 도 11의 화살표 방향이다」인 경우의 박막 밀봉은, EL막(15)을 형성후, EL막(15)상에 캐소드(애노드)가 되는 Ag-Mg막을 20옹스트롱 이상 300옹스트롱의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저 저항화한다. 다음에 이 전극막상에 완충층으로서의 수지층을 형성한다. 이 완충막상에 박막 밀봉막(111)을 형성한다.

유기 EL층(15)으로부터 발생한 빛의 반은 금속 전극(106)에 의해 반사되어, 어레이 기판(71)을 투과하여 출사된다. 그러나, 금속 전극(106)은 외광을 반사하여 찍혀 들어가는 것이 발생하여 표시 콘트라스트를 저하시킨다. 이 대책을 위해서, 어레이 기판(71)에 λ/4 위상판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원편광판(원편광 시트)이라고 불린다.

또, 화소가 반사 전극인 경우에는 EL층(15)으로부터 발생한 빛은 위 방향으로 출사된다. 따라서, 위상판(108) 및 편광판(109)을 광 출사측에 배치하는 것은 물론이다. 또, 반사형 화소는 화소 전극(105)을, 알루미늄, 크롬, 은 등으로 구성 하여 얻어진다. 또한, 화소 전극(105)의 표면에 볼록부(혹은 요철부)를 마련함으로써 유기 EL층(15)과의 계면이 넓어지고 발광 면적이 커지며, 또한 발광 효율이 향상된다. 또, 캐소드(106)(애노드(105))가 되는 반사막을 투명 전극에 형성하거나, 혹은 반사율을 30% 이하로 저감 가능한 경우에는, 원편광판은 불필요하다. 찍혀 들어가는 것이 대폭 감소하기 때문이다. 또한, 빛의 간섭도 저감되어 바람직하다.

트랜지스터(11)는 LDD(로우 도핑 드레인) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종다양한 약칭으로 기술됨)(15)를 예로 들어 설명하지만 이것에 한정되는 것이 아니고, 무기 EL 소자에도 적용되는 것은 물론이다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은, 특정 화소를 선택하여 필요한 표시 정보를 공급받는다는 것, 1 프레임 기간을 통하여 EL 소자에 전류를 흘려보낼 수 있다는 것의 2가지 조건을 만족시키지 않으면 안된다.

이 2가지 조건을 만족시키기 위해서, 도 46에 도시하는 종래의 유기 EL의 화소 구성에서는, 제1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제2 트랜지스터(11a)는 EL 소자(EL막)(15)에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(11a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(11a)의 온 전류의 변동이 그대로 표시에 나타난다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터이면, 매우 균일하지만, 염가의 유리 기판에 형성할 수 있는 형성 온도가 450도 이하의 저온 폴리실리콘기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값의 변동이 ±0.2 V 0.5V의 범위에서 변동이 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이에 대응하여 변동하여, 표시에 얼룩짐이 발생한다. 이들 얼룩짐은 임계값 전압의 변동뿐만 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

이 현상은 저온 폴리실리콘 기술에 한정되는 것이 아니며, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것에서도 발생한다. 그밖에, 유기 트랜지스터에서도 발생한다. 비정질 실리콘 트랜지스터에서도 발생한다.

이하에 설명하는 본 발명은 이들 기술에 대응하여 대책할 수 있는 구성 혹은 방식이다. 또, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주에서 설명한다.

따라서, 도 46과 같이, 전압을 기입함으로써 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해서, 디바이스의 특성을 엄밀하게 제어할 필요가 있다. 그러나, 현상의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 변동을 소정 범위 이내로 억제한다고 하는 스펙을 만족할 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 도시한 바와 같이 단위 화소가 최저 4개로 이루어지는 복수의 트랜지스터(11) 및 EL 소자에 의 해 형성된다. 화소 전극은 소스 신호선과 중첩되도록 구성한다. 즉, 소스 신호선(18)상에 절연막 혹은 아크릴 재료로 이루어지는 평탄화막을 형성하여 절연하고, 이 절연막 위에 화소 전극(105)을 형성한다. 이와 같이 소스 신호선(18) 상의 적어도 1부에 화소 전극을 중첩하는 구성을 하이 개구(HA) 구조라고 부른다. 불필요한 간섭광 등이 저감하여 양호한 발광 상태를 기대할 수 있다.

게이트 신호선(제1 주사선)(17a)을 액티브(ON 전압을 인가)로 함으로써 EL 소자(15)의 구동용 트랜지스터(11a) 및 스위치용 트랜지스터(11c)를 통해서, 상기 EL 소자(15)에 흘려야 할 전류값을 소스 드라이버 회로(14)로부터 흘려보낸다. 또한, 트랜지스터(11a)의 게이트와 드레인 사이를 단락하도록 트랜지스터(11b)가 게이트 신호선(17a)을 액티브(ON 전압을 인가)로 하는 것에 의해 개방됨과 함께, 트랜지스터(11a)의 게이트와 소스 사이에 접속된 컨덴서(캐패시터, 축적 용량, 부가 용량)(19)에 트랜지스터(11a)의 게이트 전압(혹은 드레인 전압)을 기억한다(도 3의 (a)를 참조).

또, 컨덴서(축적 용량)(19)의 크기는 O.2pF 이상 2pF 이하로 하는 것이 좋고, 그 중에서도 컨덴서(축적 용량)(19)의 크기는 0.4pF 이상 1.2pF 이하로 하는 것이 좋다. 화소 사이즈를 고려하여 컨덴서(19)의 용량을 결정한다. 1 화소에 필요한 용량을 Cs(pF)로 하고, 1 화소가 차지하는 면적(개구율이 아님)을 Sp(평방㎛)로 하면, 500/S≤Cs≤20000/S로 되고, 더욱 바람직하게는, 1000/Sp≤Cs≤10000/Sp로 되도록 한다. 또, 트랜지스터의 게이트 용량은 작기 때문에, 여기서 말하는 Q란, 축적 용량(컨덴서)(19) 단독의 용량이다.

게이트 신호선(17a)을 비 액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 하여, 전류가 흐르는 경로를 상기 제1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 상기 EL 소자(15)를 포함하는 경로로 전환하여, 기억한 전류를 상기 EL 소자(15)에 흘리도록 동작한다(도 3의 (b)를 참조).

이 회로는 1 화소 내에 4개의 트랜지스터(11)를 갖고 있고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인은 트랜지스터(11c)의 소스 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 드레인은 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또, 도 1에서는 모든 트랜지스터는 P 채널로 구성하고 있다. P 채널은 다소 N채널의 트랜지스터에 비하여 모빌리티가 낮지만, 내압이 크고 또 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P 채널로 구성하는 것에만 한정되는 것이 아니다. N채널로만 구성해도 된다. 또, N채널과 P 채널의 양방을 이용하여 구성해도 된다.

최적하게는 화소를 구성하는 트랜지스터(11)를 전부 P 채널로 형성하고, 내장 게이트 드라이버 회로(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성하는 것에 의해, 마스크 매수가 5매로 되어, 저 비용화, 고 수율화를 실현할 수 있다.

이하, 본 발명의 이해를 더욱 쉽게 하기 위해서, 본 발명의 EL 소자 구성에 대하여 도 3을 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)가 ON함으로써, 등가 회로로서 도 3의 (a)가 된다. 여기서, 신호선으로부터

소정의 전류 Iw가 기입된다. 이에 의해 트랜지스터(11a)는 게이트와 드레인이 접속된 상태로 되고, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 Iw가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스의 전압은 I1이 흐르는 전압이 된다.

제2 타이밍은 트랜지스터(11a)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방되는 타이밍으로, 이 때의 등가 회로는 도 3의 (b)가 된다. 트랜지스터(11a)의 소스-게이트 사이의 전압은 유지된 그대로가 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, Iw의 전류는 일정해진다.

이와 같이 동작시키면, 도 5에 도시하는 바와 같아진다. 즉, 도 5의 (a)의 (51a)는 표시 화면(50)에 있어서의, 어느 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소 행)를 나타내고 있다. 이 화소(행)(51a)는 도 5의 (b)에 도시하는 바와 같이 비점등(비표시 화소(행))으로 한다. 다른 화소(행)는 표시 화소(행)(53)로 한다(표시 영역(53)의 화소(16)의 EL 소자(15)에는 전류가 흘러, EL 소자(15)가 발광하고 있음).

도 1의 화소 구성인 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시에는 프로그램 전류 Iw가 소스 신호선(18)에 흐른다. 이 전류 Iw가 트랜지스터 (11a)를 흐르고, Iw를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘려보내는 기간에는 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(Vgh)이 인가되어, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(Vgl)이 인가되어, 트랜지스터(11d)가 온 상태로 된다.

이 타이밍차트를 도 4에 도시한다. 또, 도 4 등에 있어서, 괄호 내의 첨자(예를 들면, (1) 등)는 화소 행의 번호를 나타내고 있다. 즉, 게이트 신호선(17a)(1)이란, 화소 행(1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 *H(「*」에는 임의의 기호, 수치가 적합하며, 수평 주사선의 번호를 나타냄)란, 수평 주사 기간을 나타내고 있다. 즉, 1H란 제1번째의 수평 주사 기간이다. 또, 이상의 사항은 설명을 쉽게 하기 위한 것으로, 한정(1H의 번호, 1H 주기, 화소 행 번호의 순서 등)되는 것은 아니다.

도 4에서 알 수 있듯이, 각 선택된 화소 행(선택 기간은 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되고 있을 때에는, 게이트 신호선(17b)에는 오프 전압이 인가된다. 또한, 이 기간에는 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에는 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되어 있다. 또한, 이 기간에는 EL 소자(15)에 전류가 흐르고 있다(점등 상태).

또, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(11a)에 접속된다. 그러나, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트를 서로 다른 게이트 신호선(11)에 접속해도 좋다(도 32를 참조). 1 화소의 게이트 신호선은 3개가 된다(도 1의 구성은 2개임). 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별로 제어함으로써, 트랜지스터(11a)의 변동에 따른 EL 소자(15)의 전류값 변동을 더욱 저감할 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하고, 트랜지스터(11c와 11d)가 서로 다른 도전형(N 채널과 P 채널)으로 하면, 구동 회로의 간략화, 및 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면 본 발명의 동작 타이밍으로서는 신호선에서의 기입 경로가 오프로 된다. 즉 소정의 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류값이 트랜지스터(11a)의 소스(S)-게이트(G)간 용량(컨덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 서로 다른 도전형으로 하는 것에 의해, 서로의 임계값을 제어함으로써 주사선의 전환 타이밍에서 반드시 트랜지스터(11c)가 오프로 된 후에, 트랜지스터(11d)가 온하는 것이 가능해진다.

단, 이 경우 서로의 임계값을 정확하게 컨트롤할 필요가 있으므로 프로세스의 주의가 필요하다. 또, 이상 진술한 회로는 최저 4개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍의 컨트롤 혹은 후술하는 바와 같이, 미러 효과 저감을 위해 트랜지스터(11e)를 도 2에 도시한 바와 같이, 캐스케이드 접속하여 트랜지스 터의 총수가 4 이상으로 되더라도 동작 원리는 동일하다. 이와 같이 트랜지스터(11e)를 가한 구성으로 함으로써, 트랜지스터(11c)를 통하여 프로그램한 전류를 보다 정밀도 좋게 EL 소자(15)에 흘려보낼 수 있게 된다.

또, 본 발명의 화소 구성은 도 1, 도 2의 구성에 한정되는 것이 아니다. 예를 들면, 도 113과 같이 구성해도 된다. 도 113은, 도 1의 구성에 비하여 트랜지스터(11d)가 없다. 대신에 전환 스위치(1131)가 형성 또는 배치되어 있다. 도 1의 스위치(11d)는 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류를 온 오프(흘린다, 흘리지 않는다) 제어하는 기능을 갖춘다. 이후의 실시예에서도 설명을 하지만, 본 발명은 이 트랜지스터(11d)의 온 오프 제어 기능이 중요한

구성 요소이다. 트랜지스터(11d)를 형성하지 않고 온 오프 기능을 실현하는 것이, 도 113의 구성이다.

도 113에 있어서, 전환 스위치(1131)의 a 단자는 애노드 전압 Vdd에 접속되어 있다. 또, a 단자에 인가하는 전압은 애노드 전압 Vdd에 한정되는 것이 아니며, EL 소자(15)에 흐르는 전류를 오프할 수 있는 전압이면 어느 것이라도 좋다.

전환 스위치(1131)의 b 단자는 캐소드 전압(도 113에서는 접지로 도시함)에 접속되어 있다. 또,b 단자에 인가하는 전압은 캐소드 전압에 한정되는 것이 아니며, EL 소자(15)에 흐르는 전류를 온할 수 있는 전압이면 어느 것이어도 된다.

전환 스위치(1131)의 c 단자에는 EL 소자(15)의 캐소드 단자가 접속되어 있다. 또, 전환 스위치(1131)는 EL 소자(15)에 흐르는 전류를 온 오프시키는 기능을 갖는 것이면 어느 것이라도 좋다. 따라서, 도 113의 형성 위치에 한정되는 것이 아니며, EL 소자(15)의 전류가 흐르는 경로이면 어느 것이라도 좋다. 또한, 스위치의 기능이 한정되는 것도 아니고, EL 소자(15)에 흐르는 전류를 온 오프할 수 있으면 어느 것이라도 무방하다. 즉, 본 발명에서는 EL 소자(15)의 전류 경로에 EL 소자(15)에 흘리는 전류를 온 오프할 수 있는 스위칭 수단을 구비하면 어느 화소 구성이라도 좋다.

또한, 오프란 완전히 전류가 흐르지 않는 상태를 의미하는 것이 아니다. EL 소자(15)에 흐르는 전류를 통상보다도 저감 가능한 것이면 된다. 이상의 사항은 본 발명의 다른 구성에 있어서도 마찬가지이다.

전환 스위치(1131)는 P 채널과 N채널의 트랜지스터를 조합하여 용이하게 실현할 수 있기 때문에 설명이 필요 없을 것이다. 예를 들면, 아날로그 스위치를 2 회로 형성하면 된다. 물론, 스위치(1131)는 EL 소자(15)에 흐르는 전류를 온 오프 상태로 할 뿐이므로, P 채널 트랜지스터 혹은 N채널 트랜지스터로도 형성할 수 있다는 것은 물론이다.

스위치(1131)가 a 단자에 접속되어 있을 때는, EL 소자(15)의 캐소드 단자에 Vdd 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G가 어떠한 전압 유지 상태이더라도 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, EL 소자(15)는 비점등 상태가 된다.

스위치(1131)가 b 단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 GND 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G에 유지된 전압 상태에 대응하여 EL 소자(15)에 전류가 흐른다. 따라서, EL 소자(15)는 점등 상태가 된다.

이상 내지 도 113의 화소 구성에서는, 구동용 트랜지스터(11a)와 EL 소자(15) 사이에는 스위칭용 트랜지스터(11d)가 형성되어 있지 않다. 그러나, 스위치(1131)를 제어함으로써 EL 소자(15)의 점등 제어를 행할 수 있다.

도 1, 도 2 등의 화소 구성에서는, 구동용 트랜지스터(11a)는 1 화소에 대하여 하나이다. 본 발명은 이것에 한정되는 것이 아니고, 구동용 트랜지스터(11a)는 1 화소에 복수 개를 형성 또는 배치해도 된다. 도 116은 그 실시예이다. 도 116에서는 1 화소에 2개의 구동용 트랜지스터(11a1, 11a2)가 형성되고, 2개의 구동용 트랜지스터(11a1, 11a2)의 게이트 단자는 공통의 컨덴서(19)에 접속되어 있다. 구동용 트랜지스터(11a)를 복수개 형성하는 것에 의해, 프로그램되는 전류 변동이 저감한다고 하는 효과가 있다. 다른 구성은 도 1 등과 마찬가지이기 때문에 설명을 생략한다.

도 1, 도 2는 구동용 트랜지스터(11a)가 출력하는 전류를 EL 소자(15)에 흘려보내고, 상기 전류를 구동용 트랜지스터(11a)와 EL 소자(15) 사이에 배치된 트랜지스터(11d)에서 온 오프 제어하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 117의 구성이 예시된다.

도 117의 실시예에서는 EL 소자(15)에 흘리는 전류가 구동용 트랜지스터(11a)에서 제어된다. EL 소자(15)에 흐르는 전류를 온 오프시키는 것은 Vdd 단자와 EL 소자(15) 사이에 배치된 스위칭 소자(11d)에서 제어된다. 따라서, 본 발명은 스위칭 소자(11d)의 배치는 어디라도 무방하며, EL 소자(15)에 흐르는 전류를 제어할 수 있는 것이면 어느 것이라도 좋다.

트랜지스터(11a)의 특성 변동은 트랜지스터 사이즈와 상관이 있다. 특성 변동을 작게 하기 위해서, 제1 트랜지스터(11a)의 채널 길이가 5㎛ 이상 100㎛ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제1 트랜지스터(11a)의 채널 길이가 10㎛ 이상 50㎛ 이하로 하는 것이 바람직하다. 이것은, 채널 길이 L을 길게 한 경우, 채널에 포함되는 입계가 불어나는 것에 의해서 전계가 완화되어 킹크 효과가 낮게 억제되기 때문이라고 생각된다.

이상과 같이, 본 발명은 EL 소자(15)에 전류가 흘러 들어오는 경로, 또는 EL 소자(15)로부터 전류가 흘러 나가는 경로(즉, EL 소자(15)의 전류 경로임)에 EL 소자(15)에 흐르는 전류를 제어하는 회로 수단을 구성 또는 형성 혹은 배치한 것이다.

전류 프로그램 방식의 하나인 커런트 미러 방식이더라도, 도 114에 도시하는 바와 같이, 구동용 트랜지스터(11b)와 EL 소자(15) 사이에 스위칭 소자로서의 트랜지스터(11g)를 형성 또는 배치하는 것에 의해 EL 소자(15)에 흐르는 전류를 온 오프할 수 있다(제어할 수 있다). 물론, 트랜지스터(11g)는 도 113의 스위치(1131)로 치환하여도 된다.

또, 도 114의 스위칭용 트랜지스터(11d, 11c)는 하나의 게이트 신호선(17a)에 접속되어 있지만, 도 115에 도시하는 바와 같이, 트랜지스터(11c)는 게이트 신호선(17a1)에서 제어하고, 트랜지스터(11d)는 게이트 신호선(17a2)에서 제어하도록 구성해도 된다. 도 115의 구성 쪽이 화소(16)의 제어의 범용성이 높아진다.

또한, 도 42의 (a)에 도시하는 바와 같이, 트랜지스터(11b, 11c) 등은 N채널 트랜지스터로 형성해도 된다. 또, 도 42의 (b)에 도시하는 바와 같이 트랜지스터(11c, 11d) 등은 P 채널 트랜지스터로 형성해도 된다.

본 특허의 발명의 목적은, 트랜지스터 특성의 변동이 표시에 영향을 주지 않는 회로 구성을 제안하는 것으로, 이를 위해 4개의 트랜지스터 이상이 필요하다. 이들 트랜지스터의 특성에 의해 회로 상수를 결정하는 경우, 4개의 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 상수를 구하는 것이 곤란하다. 레이저 조사의 길이축 방향에 대하여, 채널 방향이 수평인 경우와 수직인 경우에서는, 트랜지스터 특성의 임계값과 이동도가 다르게 형성된다. 또, 어느 경우에도 변동의 정도는 동일하다. 수평 방향과 수직 방향에서는 이동도, 임계값의 수치의 평균값이 서로 다르다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 것이 바람직하다.

또한, 축적 용량(19)의 용량값을 Cs, 제2 트랜지스터(11b)의 오프 전류값을 Ioff로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$3<Cs/Ioff<24$

더욱 바람직하게는, 다음 식을 만족시키는 것이 바람직하다.

$6<Cs/Ioff<18$

트랜지스터(11b)의 오프 전류를 5pA 이하로 함으로써, EL을 흐르는 전류값의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 리크 전류가 증가하면, 전압 비기입 상태에 있어서 게이트-소스간(컨덴서의 양단)에 축적된 전하를 1 필드간 유 지할 수 없기 때문이다. 따라서, 컨덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 충족함으로써 인접 화소간의 전류값의 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p-채널 폴리실리콘 박막 트랜지스터에 구성되고, 트랜지스터(11b)가 듀얼 게이트 이상인 멀티 게이트 구조로 하는 것이 바람직하다. 트랜지스터(11b)는 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용하기 때문에, 될 수 있는 한 ON/OFF비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 함으로써 ON/OFF비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건 변동이 트랜지스터(11) 특성의 변동이 된다. 그러나, 1 화소(16) 내의 트랜지스터(11)의 특성이 일치되어 있으면, 도 1 등의 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은 전압 프로그램에 없는 이점이다. 레이저로서는 엑시머 레이저를 이용하는 것이 바람직하다.

또, 본 발명에 있어서, 반도체막의 형성은 레이저 어닐링 방법에 한정되는 것이 아니며, 열 어닐링 방법, 고상(CGS) 성장에 의한 방법이어도 좋다. 기타, 저온 폴리실리콘 기술에 한정되는 것이 아니고, 고온 폴리실리콘 기술을 이용하여도 됨은 물론이다. 또한, 비정질 실리콘 기술을 이용하여 형성한 반도체막이어도 된다.

이 과제에 대하여, 본 발명에서는 도 7에 도시한 바와 같이, 어닐링시의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1 화소 열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1 화소 열에 한정되는 것이 아니며, 예를 들면, 도 55의 RGB를 1 화소(16)라고 하는 단위로 레이저를 조사해도 된다(이 경우에는, 3 화소 열이 됨). 또한, 복수의 화소에 동시에 조사해도 된다. 또, 레이저의 조사 범위의 이동이 오버랩해도 됨은 말할 필요도 없다(통상, 이동하는 레이저광의 조사 범위는 오버랩하는 것이 보통임).

화소는 RGB의 3 화소로 정방형의 형상이 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로 길이의 화소 형상이 된다. 따라서, 레이저 조사 스폿(72)을 세로 길이로 하여 어닐링하는 것에 의해, 1 화소 내에서는 트랜지스터(11)의 특성 변동이 발생하지 않도록 할 수 있다. 또, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, Vt, S치 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 다른 경우가 있지만, 하나의 소스 신호선에 접속된 트랜지스터(11)의 특성은 거의 동일하게 할 수 있음).

도 7의 구성에서는, 레이저 조사 스폿(72)의 길이의 범위 내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(72)을 조사하는 어닐링 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치에서 행한다. 어닐링 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하여, 화소 열의 위치를 산출해 낸다(레이저 조사 범위(72)가 소스 신호선(18) 과 평행하게 되도록 함). 화소 열 위치에 중첩되도록 레이저 조사 스폿(72)을 조사하여 어닐링을 순차 행한다.

도 7에서 설명한 레이저 어닐링 방법(소스 신호선(18)과 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은, 유기 EL 표시 패널의 전류 프로그램 방식 시에 특히 채용하는 것이 바람직하다. 왜냐하면, 소스 신호선과 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향에 인접한 화소 트랜지스터의 특성이 근사함). 그 때문에, 전류 구동 시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다.

예를 들면, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흘리는 전류는 거의 동일하기 때문에, 소스 드라이버 IC(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약, 도 1의 트랜지스터(11a)의 특성이 동일하고, 각 화소에 전류 프로그램하는 전류값이 화소 열에서 동일한 것이면, 전류 프로그램 시의 소스 신호선(18)의 전위는 일정하다.

따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작게 된다. 이것은 도 38 등의 다른 전류 프로그램 방식의 화소 구성에서도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직함).

또한, 도 27, 도 30 등에서 설명하는 복수의 화소 행을 동시 기입하는 방식에서 균일한 화상 표시(주로 트랜지스터 특성의 변동에 기인하는 표시 얼룩짐이 발생하기 어렵기 때문임)를 실현할 수 있다. 도 27 등은 복수 화소 행 동시에 선택 하기 때문에, 인접한 화소 행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 얼룩짐은 소스 드라이버 회로(14)에서 흡수할 수 있다.

또 도 7에서는, 소스 드라이버 회로(14)가 IC 칩을 적재하도록 도시하고 있지만, 이것에 한정되는 것이 아니고, 소스 드라이버 회로(14)를 화소(16)와 동일 프로세스로 형성해도 되는 것은 물론이다.

본 발명에서는 특히, 구동용 트랜지스터(11b)의 임계 전압 Vth2가 화소 내에서 대응하는 구동용 트랜지스터(11a)의 임계 전압 Vth1보다 낮아지지 않도록 설정하고 있다. 예를 들면, 트랜지스터(11b)의 게이트 길이 L2를 트랜지스터(11a)의 게이트 길이 L1보다도 길게 하고, 이들 박막 트랜지스터의 프로세스 파라미터가 변동해도, Vth2가 Vth1보다도 낮아지지 않도록 한다. 이에 의해, 미소한 전류 누설을 억제하는 것이 가능하다.

또, 이상의 사항은 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는 신호 전류가 흐르는 구동용 트랜지스터(11a), EL 소자(15) 등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b) 외에, 게이트 신호선(17a1)의 제어에 의해서 화소 회로와 데이터선 data를 접속 혹은 차단하는 스위치용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해서 기입 기간 중에 트랜지스터(11a)의 게이트 · 드레인을 단락하는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스간 전압을 기입 종료 후에도 유지하기 위한 용량 C(19) 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N채널 트랜지스터, 그밖의 트랜지스터는 P 채널 트랜지스터로 구성하고 있지만, 이것은 일례이고, 반드시 이대로 할 필요는 없다. 용량 Cs는 그 한쪽 단자가 트랜지스터(11a)의 게이트에 접속되고, 다른 쪽의 단자는 Vdd(전원 전위)에 접속되어 있지만, Vdd에 한하지 않고 임의의 일정 전위라도 무방하다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음에, 본 발명의 EL 표시 패널 혹은 EL 표시 장치에 대하여 설명한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 전류를 출력하는 소스 드라이버 회로(14)가 접속되어 있다. 소스 드라이버 회로(14)의 출력단은 영상 신호의 비트 수에 대응한 커런트 미러 회로가 형성되어 있다(나중에 설명함). 예를 들면, 64 계조이면, 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들 커런트 미러 회로의 개수를 선택함으로써 원하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다(도 48을 참조).

또, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA 이상 50nA로 하고 있다. 특히 커런트 미러 회로의 최소 출력 전류는 15nA 이상 35nA로 하는 것이 좋다. 소스 드라이버 IC(14) 내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위해서이다.

또한, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로를 내장한다. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로의 전압(전류) 출력치는, R, G, B에서 독립적으

로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 서 로 다르기 때문이다(프리차지 회로에 대해서는 도 65, 도 67 및 그 설명을 참조할 것).

유기 EL 소자는 큰 온도 의존성 특성(온특(溫特))이 있다는 것이 알려져 있다. 이 온특에 의한 발광 휘도 변화를 조정하기 위해서, 커런트 미러 회로에 출력 전류를 변화시키는 서미스터 혹은 포지스터 등의 비직선 소자를 부가하고, 온특에 의한 변화를 상기 서미스터 등으로 조정하는 것에 의해 아날로그적으로 기준 전류를 조정한다(변화시킴).

본 발명에 있어서, 소스 드라이버 회로(14)는 반도체 실리콘 칩으로 형성하고, 칩 온 글라스(COG) 기술로 어레이 기판(71)의 소스 신호선(18)의 단자와 접속되어 있다. 소스 드라이버 회로(14)의 실장은 COG 기술에 한정되는 것이 아니며, 칩 온 필름(COF) 기술에 전술의 소스 드라이버 IC(14) 등을 적재하고, 표시 패널의 신호선과 접속한 구성으로 하여도 좋다. 또한, 드라이브 IC는 전원 IC(82)를 별도 제작하여, 3칩 구성으로 하여도 좋다.

한편, 게이트 드라이버 회로(12)는 저온 폴리실리콘 기술로 형성하고 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은 소스 드라이버 회로(14)에 비하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘기술로 형성해도 용이하게 형성할 수 있고, 또한 협소한 프레임화를 실현할 수 있다. 물론, 게이트 드라이버 회로(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용하여 어레이 기판(71)상에 실장해도 됨은 물론이다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기 술로 형성해도 되고, 유기 재료로 형성(유기 트랜지스터)해도 된다.

게이트 드라이버 회로(12)는 게이트 신호선(17a)용의 시프트 레지스터 회로(61a)와, 게이트 신호선(17b)용의 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스터 회로(61)는 플러스 상과 마이너스 상의 클럭 신호(CLKxP, CLKxN), 스타트 펄스(STx)로 제어된다(도 6을 참조). 그밖에, 게이트 신호선의 출력, 비 출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전하는 업다운(UPDWM) 신호를 부가하는 것이 바람직하다. 그 외에, 스타트 펄스가 시프트 레지스터에 시프트되고, 그리고 출력되고 있음을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또, 시프트 레지스터의 시프트 타이밍은 컨트롤 IC(81)로부터의 제어 신호에 의해 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접적으로는 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 2개 이상의 인버터 회로(62)가 형성되어 있다.

소스 드라이버 회로(14)를 저온 폴리실리콘등의 폴리실리콘기술로 어레이 기판(71)상에 직접 형성하는 경우도 마찬가지로, 소스 신호선(18)을 구동하는 트랜스퍼 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버 회로(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 혹은 트랜스퍼 게이트 등의 출력단 사이에 배치되는 인버터 회로에 관한 사항)은, 소스 드라이브 및 게이트 드라이브 회로에 공통된 사항이다.

예를 들면, 도 6에서는 소스 드라이버 회로(14)의 출력이 직접 소스 신호선(18)에 접속되어 있도록 도시했지만, 실제로는 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로가 접속되고, 인버터의 출력이 트랜스퍼 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P 채널의 MOS 트랜지스터와 N채널의 MOS 트랜지스터로 구성된다. 앞에서도 설명한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단으로 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또, 인버터 회로(62)는 P 채널만으로 구성해도 된다. 단, 이 경우에는 인버터가 아니라 단순한 게이트 회로로서 구성해도 된다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 혹은 표시 장치의 구성도이다. 컨트롤 IC(81)로부터 소스 드라이버 회로(14a)에 공급하는 신호(전원 배선, 데이터 배선 등)는 플렉시블 기판(84)을 통하여 공급한다.

도 8에서 게이트 드라이버 회로(12)의 제어 신호는 컨트롤 IC에서 발생시켜, 소스 드라이버 회로(14)에서, 레벨 시프트를 행한 후, 게이트 드라이버 회로(12)에 인가하고 있다. 소스 드라이버 회로(14)의 구동 전압은 4 내지 8(V)이므로, 컨트롤 IC(81)로부터 출력된 3.3(V) 진폭의 제어 신호를, 게이트 드라이버 회로(12)가 수취할 수 있는 5(V) 진폭으로 변환할 수 있다.

또, 도 8 등에 있어서 (14)를 소스 드라이버라고 기재했지만, 단순한 드라이버 뿐만아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 좋다. 또, 도 8 등에서 설명하는 구성에 있어서도, 도 9등에서 설명하는 3변 프리 구성 혹은 구성, 구동 방식 등을 적용할 수 있음은 물론이다.

표시 패널을 휴대 전화 등의 정보 표시 장치에 사용하는 경우, 도 9에 도시한 바와 같이, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12)는, 표시 패널의 1변에 실장(형성)하는 것이 바람직하다(또, 이와 같이 1변에 드라이버 IC(회로)를 실장(형성)하는 형태를 3변 프리 구성(구조)이라고 함. 종래에는, 표시 영역의 X변에 게이트 드라이버 IC(12)가 실장되고, Y변에 소스가 실장되어 있었음). 화면(50)의 중심선이 표시 장치의 중심이 되도록 설계하기 쉽고, 또한 드라이버 IC의 실장도 용이해지기 때문이다. 또, 게이트 드라이버 회로를 고온 폴리실리콘 혹은 저온 폴리 실리콘 기술 등으로 3변 프리의 구성으로 제작해도 된다(즉, 도 9의 소스 드라이버 회로(14)와 게이트 드라이버 회로(12) 중, 적어도 한쪽을 폴리실리콘 기술로 어레이 기판(71)에 직접 형성함).

또, 3변 프리 구성이란, 어레이 기판(71)에 직접 IC를 적재 혹은 형성한 구성 뿐만아니라, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12) 등을 장착한 필름(TCP, TAB 기술 등)을 어레이 기판(71)의 1변(혹은 거의 1변)에 부착한 구성도 포함한다. 즉, 2변에 IC가 실장 혹은 장착되어 있지 않은 구성, 배치 혹은 그것과 유사한 모두를 의미한다.

도 9와 같이 게이트 드라이버 회로(12)를 소스 드라이버 회로(14)의 가로에 배치하면, 게이트 신호선(17)은 변 C를 따라서 형성할 필요가 있다.

또, 도 9 등에서 굵은 실선으로 도시한 개소는 게이트 신호선(17)이 병렬하여 형성된 개소를 도시하고 있다. 따라서, b의 부분(화면 하부)은 주사 신호선의 개수분의 게이트 신호선(17)이 병렬하여 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 하나 형성되어 있다.

C변에 형성하는 게이트 신호선(17)의 피치는 5㎛ 이상 12㎛ 이하로 한다. 5㎛ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 타버린다. 실험에 의하면, 7μ 이하에서 기생 용량의 영향이 현저히 발생한다. 또한 5㎛ 미만에서는 표시 화면에 사탕무 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우로 다르고, 이 사탕무 형상 등의 화상 노이즈를 저감하는 것은 곤란하다. 또한, 저감 12㎛를 넘으면 표시 패널의 프레임 폭 D가 지나치게 커져 실용적이지 않다.

전술한 화상 노이즈를 저감하기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 혹은 상층에, 그랜트 패턴(일정 전압에 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴)을 배치하는 것에 의해 저감할 수 있다. 또한, 별도 마련한 실드판(실드박(일정 전압에 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17)상에 배치하면 된다.

도 9의 C변의 게이트 신호선(17)은 ITO 전극으로 형성해도 되지만, 저 저항 화하기 위해서, ITO와 금속 박막을 적층하여 형성하는 것이 바람직하다. 또한, 금속막으로 형성하는 것이 바람직하다. ITO와 적층하는 경우에는, ITO 상에 티탄막을 형성하고, 그 위에 알루미늄 혹은 알루미늄과 몰리브덴의 합금 박막을 형성한다. 혹은 ITO 상에 크롬막을 형성한다. 금속막인 경우에는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

또, 도 9 등에 있어서, 게이트 신호선(17) 등은 표시 영역의 편측에 배치한다고 했지만 이것에 한정되는 것이 아니고, 양방에 배치해도 된다. 예를 들면, 게이트 신호선(17a)을 표시 화면(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 화면(50)의 좌측에 배치(형성)해도 된다. 이상의 사항은 다른 실시예에서도 마찬가지이다.

또한, 소스 드라이버 IC(14)와 게이트 드라이버 IC(12)를 1 칩화 해도 된다. 1 칩화하면, 표시 패널에의 IC 칩의 실장이 하나로 끝난다. 따라서, 실장 비용도 저감할 수 있다. 또한, 1 칩 드라이버 IC 내에서 사용하는 각종 전압도 동시에 발생할 수 있다.

또, 소스 드라이버 IC(14), 게이트 드라이버 IC(12)는 실리콘 등의 반도체 웨이퍼로 제작하여 표시 패널에 실장한다고 했지만, 이것에 한정되는 것이 아니고, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술에 의해 표시 패널(82)에 직접 형성해도 됨은 물론이다.

또, 화소는 R, G, B의 3원색으로 했지만 이것에 한정되는 것이 아니고, 시안, 옐로우, 마젠더의 3색이어도 된다. 또한, B와 옐로우의 2색이라도 좋다. 물 론, 단색이어도 무방하다. 또한, R, G, B, 시안, 옐로우, 마젠더의 6색이어도 된다. R, G, B, 시안, 마젠더의 5색이어도 좋다. 이들은 내츄럴 컬러로서 색 재현 범위가 확대되어 양호한 표시를 실현할 수 있다. 이상과 같이 본 발명의 EL 표시 장치는 RGB의 3원색으로 컬러 표시를 행하는 것에 한정되는 것이 아니다.

유기 EL 표시 패널의 컬러화에는 주로 3가지 방식이 있는데, 색 변환 방식은 이 중의 하나이다. 발광층으로서 청색만의 단층을 형성하면 되고, 풀컬러화에 필요한 남은 녹색과 적색은 청색 광으로부터 색 변환에 의해서 만들어낸다. 따라서, RGB의 각 층을 분할 도포할 필요가 없고, RGB의 각 색의 유기 EL 재료를 갖출 필요가 없다고 하는 이점이 있다. 색 변환 방식은 분할 도포 방식과 같은 수율 저하가 없다. 본 발명의 EL 표시 패널 등은 이들 어느 방식에서도 적

용된다.

또한, 3원색 외에, 백색 발광의 화소를 형성해도 된다. 백색 발광의 화소는 R, G, B발광의 구조를 적층함으로써 제작(형성 또는 구성)하는 것에 의해 실현할 수 있다. 1조의 화소는 RGB의 3원색과, 백색 발광의 화소(16W)로 이루어진다. 백색 발광의 화소를 형성하는 것에 의해, 백색의 피크 휘도가 표현하기 쉬워진다. 따라서, 휘도감이 있는 화상 표시를 실현할 수 있다.

RGB 등의 3원색을 1조의 화소로 하는 경우에서도, 각 색의 화소 전극의 면적은 서로 다르게 한 것이 바람직하다. 물론, 각 색의 발광 효율이 밸런스 좋고, 색 순도도 밸런스가 좋으면, 동일 면적이더라도 상관없다. 그러나, 하나 또는 복수의 색의 밸런스가 나쁘면, 화소 전극(발광 면적)을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 된다. 즉, 색 온도가 7000K(켈빈) 이상 12000K 이하의 범위에서 화이트 밸런스를 조정했을 때, 각 색의 전류 밀도의 차가 ±30% 이내로 되도록 한다. 더욱 바람직하게는 ±15% 이내로 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터로 하면, 3원색이 어느 것이나 70A/평방미터 이상 130A/평방미터 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 어느 것이나 85A/평방미터 이상 115A/평방미터 이하로 되도록 한다.

유기 EL 소자(15)는 자기 발광 소자이다. 이 발광에 의한 빛이 스위칭 소자로서의 트랜지스터에 입사하면, 포토컨덕터 현상(photoconductor)이 발생한다. 포토컨덕터란, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 시에서의 누설(오프 누설)이 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버 회로(12)(경우에 따라서는 소스 드라이버 회로(14))의 하층, 화소 트랜지스터(11)의 하층의 차광막을 형성하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하며, 그 막 두께는 50 nm 이상 150 nm 이하로 한다. 막 두께가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11a1)의 패터닝이 곤란해진다.

드라이버 회로(12) 등은 이면 뿐만아니라, 표면에서의 빛의 진입도 억제해야 된다. 포토컨덕터의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는 캐소드 전극이 금속막인 경우에는, 드라이버(12) 등의 표면에도 캐소드 전극을 형성하여, 이 전극을 차광막으로서 이용하고 있다.

그러나, 드라이버(12) 위에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 혹은 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해서, 본 발명에서는 드라이버 회로(12) 등의 위에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극 상의 유기 EL막 형성과 동시에 형성한다.

화소의 하나 이상의 트랜지스터(11)의 단자간 혹은 트랜지스터(11)와 신호선이 단락하면, EL 소자(15)가 상시 점등하는 휘점이 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)할 필요가 있다. 휘점에 대해서는, 해당 화소(16)를 검출하고, 컨덴서(19)에 레이저광을 조사하여 컨덴서의 단자 사이를 단락시킨다. 따라서, 컨덴서(19)에는 전하를 유지할 수 없게 되므로, 트랜지스터(11a)는 전류를 흘려보내지 않게 할 수 있다. 레이저광을 조사하는 위치에 대응하는 캐소드막을 제거해 놓는 것이 바람직하다. 레이저 조사에 의해, 컨덴서(19)의 단자 전극과 캐소드막이 쇼트하는 것을 방지하기 위해서이다.

화소(16)의 트랜지스터(11)의 결함은 소스 드라이버 IC(14) 등에도 영향을 준다. 예를 들면, 도 45에서는 구동용 트랜지스터(11a)에 소스-드레인(SD) 쇼트(452)가 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버 IC(14)에 인가된다. 따라서, 소스 드라이버 IC(14)의 전원 전압은, 패널의 전원 전압 Vdd와 동일 혹은 높게 해 두는 것이 바람직하다. 또, 소스 드라이버 IC에서 사용하는 기준 전류는 전자 볼륨(451)으로 조정할 수 있도록 구성해 놓는 것이 바람직하다.

트랜지스터(11a)에 SD 쇼트(452)가 발생하고 있으면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 상시 점등 상태(휘점)로 된다. 휘점은 결함으로서 눈에 띄기 쉽다. 예를 들면, 도 45에 있어서, 트랜지스터(11a)의 소스-드레 인(SD) 쇼트가 발생하고 있으면, 트랜지스터(11a)의 게이트(G) 단자 전위의 대소에 상관없이, Vdd 전압으로부터 EL 소자(15)에 전류가 상시 흐른다(트랜지스터(11d)가 온일 때). 따라서, 휘점이 된다.

한편, 트랜지스터(11a)에 SD 쇼트가 발생하고 있으면, 트랜지스터(11c)가 온 상태일 때, Vdd 전압이 소스 신호선(18)에 인가되고 소스 드라이버 회로(14)에 Vdd 전압이 인가된다. 만약, 소스 드라이버 회로(14)의 전원 전압이 Vdd 이하이면, 내압을 초과하여, 소스 드라이버 회로(14)가 파괴될 우려가 있다. 그 때문에, 소스 드라이버 회로(14)의 전원 전압은 Vdd 전압(패널이 높은 쪽의 전압) 이상으로 하는 것이 바람직하다.

트랜지스터(11a)의 SD 쇼트 등은 점 결함으로 머물지 않고, 패널의 소스 드라이버 회로를 파괴하는 데로 연결될 우려가 있으며, 또한, 휘점은 눈에 띄기 때문에 패널로서는 불량이 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를

접속하는 배선을 절단하여, 휘점을 흑점 결함으로 할 필요가 있다. 이 절단에는 레이저광 등의 광학 수단을 이용하여 절단하는 것이 좋다.

이하, 본 발명의 구동 방법에 대하여 설명한다. 도 1에 도시한 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p 채널 트랜지스터이기 때문에 로우 레벨에서 도통이 됨)가 되고, 게이트 신호선(17b)은 비선택 기간일 때에 도통 상태로 된다.

소스 신호선(18)에는 기생 용량(도시하지 않음)이 존재한다. 기생 용량은 소스 신호선(18)과 게이트 신호선(17)의 크로스부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t는 부유 용량의 크기를 C, 소스 신호선의 전압을 V, 소스 신호선에 흐르는 전류를 I로 하면 $t=C \cdot V/I$이기 때문에 전류값을 10배 크게 할 수 있다는 것은 전류값 변화에 요하는 시간이 10분의 1 가까이까지 짧게 할 수 있고, 또는 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류값으로 변화할 수 있다는 것을 나타낸다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값을 증가시키는 것이 유효하다.

입력 전류를 10배로 하면 출력 전류도 10배로 되고, EL의 휘도가 10배로 되기 때문에 소정의 휘도를 얻기 위해서, 도 1의 트랜지스터(17d)의 도통 기간을 종래의 10분의 1로 하고, 발광 기간을 10분의 1로 함으로써, 소정 휘도를 표시하도록 했다. 또, 10배를 예시하여 설명하고 있는 것은 이해를 쉽게 하기 위해서이다. 10배로 한정하는 것이 아님은 물론이다.

즉, 소스 신호선(18)의 기생 용량의 충방전을 충분히 행하고, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 프로그램하기 위해서는, 소스 드라이버 회로(14)로부터 비교적 큰 전류를 출력할 필요가 있다. 그러나, 이와 같이 큰 전류를 소스 신호선(18)에 흘리면 이 전류값이 화소에 프로그램되고, 소정의 전류에 대하여 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연히 10배의 전류가 EL 소자(15)에 흐르고, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10로 하면 된다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 소정의 발광 휘도를 얻을 수 있다.

또, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 컨덴서(19)의 단자 전압을 설정하고 있음)에 기입하고, EL 소자(15)의 온 시간을 1/10로 한 것으로 했지만 이것은 일례이다. 경우에 따라서는, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/5로 하여도 좋다. 반대로 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/2배로 하는 경우도 있을 것이다.

본 발명은 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 쉽게 하기 위해서, N배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/N배로 하는 것으로 하여 설명한다. 그러나, 이것에 한정되는 것이 아니라, N1배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/(N2)배(N1과 N2는 서로 다름)이어도 됨은 물론이다.

백 래스터 표시에 있어서, 표시 화면(50)의 1 필드(프레임) 기간의 평균 휘도를 B0으로 가정한다. 이 때, 각 화소(16)의 휘도 B1이 평균 휘도 B0보다도 높아지도록 전류(전압) 프로그램을 행하는 구동 방법이다. 또한, 적어도 1필드(프레임) 기간에 있어서, 비표시 영역(53)이 발생하도록 하는 구동 방법이다. 따라서, 본 발명의 구동 방법에서는, 1 필드(프레임) 기간의 평균 휘도는 B1보다도 낮아진다.

또, 간헐하는 간격(비표시 영역(52)/비표시 영역(53))은 등간격에 한정되는 것이 아니다. 예를 들면, 랜덤하여도 된다(전체적으로, 표시 기간 혹은 비표시 기간이 소정값(일정 비율)이 되면 됨). 또한, RGB에서 서로 다르더라도 무방하다. 즉, 백(화이트) 밸런스가 최적이 되도록, R, G, B 표시 기간 혹은 비표시 기간이 소정값(일정 비율)으로 되도록 조정(설정)하면 된다.

본 발명의 구동 방법의 설명을 쉽게 하기 위해서, 1/N이란, 1F(1 필드 또는 1 프레임)를 기준으로 하여 이 1F를 1/N로 하는 것으로 하여 설명한다. 그러나, 1 화소 행이 선택되고, 전류값이 프로그램되는 시간(통상, 1수평 주사 기간(1H))이 있고, 또한, 주사 상태에 따라서는 오차도 발생함은 말할 필요도 없다.

예를 들면, N=10배의 전류로 화소(16)에 전류 프로그램하고, 1/5의 기간 동안, EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는 10/5=2배의 휘도로 점등한다. N=2배의 전류로 화소(16)에 전류 프로그램하고, 1/4의 기간 동안, EL 소자(15)를 점등시켜도 된다. EL 소자(15)는 2/4=0.5배의 휘도로 점등한다. 즉, 본 발명은 N=1배가 아닌 전류로 프로그램하고, 또한 상시 점등(1/1, 즉, 간헐 표시가 아님) 상태 이외의 표시를 실시하는 것이다. 또한, EL 소자(15)에 공급하는 전류를 1 프레임(혹은 1 필드)의 기간에 있어서, 적어도 1회, 오프 상태로 하는 구동 방식이다. 또한, 소정값보

다도 큰 전류로 화소(16)에 프로그램하고, 적어도 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는 CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 다른 점에도 과제가 있다. 즉, EL 표시 장치에서는, 1F(1 필드 혹은 1 프레임)의 기간 동안은 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 윤곽이 흐려진다고 하는 과제가 발생한다.

본 발명에서는 1F/N의 기간 동안만, EL 소자(15)에 전류를 흘려 보내고, 다른 기간(1F(N-1)/N)은 전류를 흘려 보내지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 간헐 표시 상태가 된다. 동화상 데이터 표시를, 간헐 표시 상태에서 보면 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

본 발명의 구동 방법에서는 간헐 표시를 실현한다. 그러나, 간헐 표시는 트랜지스터(11d)를 1H 주기로 온 오프 제어하기만 하여도 된다. 따라서, 회로의 메인 클럭은 종래와 변하지 않기 때문에, 회로의 소비 전력이 증가하는 일도 없다. 액정 표시 패널에서는 간헐 표시를 실현하기 위해서 화상 메모리가 필요하다. 본 발명은, 화상 데이터는 각 화소(16)에 유지되어 있다. 따라서, 간헐 표시를 실시하기 위한 화상 메모리는 불필요하다.

본 발명은 스위칭의 트랜지스터(11d), 혹은 트랜지스터(11e) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 Iw를 오프해도, 화상 데이터는 그대로 컨덴서(19)에 유지되어 있다. 따라서, 다음 타이밍에서 트랜지스터(11d) 등을 온시켜, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있던 전류값과 동일하다. 본 발명에서는 흑 삽입(흑 표시 등의 간헐 표시)을 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간 축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기까지의 시간이 짧아, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시함으로써 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 신호선(18)의 배선 길이가 길어지고, 소스 신호선(18)의 기생 용량이 커지는 경우에는, N값을 크게 함으로써 대응할 수 있다. 소스 신호선(18)에 인가하는 프로그램 전류값을 N배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 1F/N으로 하면 된다. 이에 따라 텔레비전, 모니터 등의 대형 표시 장치 등에도 적용이 가능하다.

이하, 도면을 참조하면서, 본 발명의 구동 방법에 대하여 더욱 자세하게 설명한다. 소스 신호선(18)의 기생 용량은, 인접한 소스 신호선(18) 사이의 결합 용량, 소스 드라이버 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)의 크로스 용량 등에 의해 발생한다. 이 기생 용량은 통상 10pF 이상이 된다. 전압 구동의 경우는, 소스 드라이버 IC(14)로부터는 저 임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에서는 문제가 되지 않는다.

그러나, 전류 구동에서는 특히 흑 레벨의 화상 표시에서는 20nA 이하의 미소 전류로 화소의 컨덴서(19)를 프로그램할 필요가 있다. 따라서, 기생 용량이 소정값 이상의 크기에서 발생하면, 1 화소 행에 프로그램하는 시간(통상 1H 이내, 단, 2 화소 행을 동시에 기입하는 경우도 있으므로 1H 이내로 한정되는 것은 아님) 내에 기생 용량을 충방전할 수 없다. 1H 기간에 충방전할 수 있으면, 화소에의 기입 부족이 되어, 해상도가 나오지 않는다.

도 1의 화소 구성인 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시에는, 프로그램 전류 Iw가 소스 신호선(18)에 흐른다. 이 전류 Iw가 트랜지스터(11a)를 흘러, Iw를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하여, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(Vgh)이 인가되고, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(Vgl)이 인가되고, 트랜지스터(11d)가 온 상태로 된다.

이제, 전류 I1이 본래 흘리는 전류(소정값)의 N배라고 하면, 도 3의 (b)의 EL 소자(15)에 흐르는 전류도 Iw가 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광한다. 즉, 도 12에 도시하는 바와 같이, 배율 N을 높게 할수록, 화소(16)의 표시 휘도 B도 높아진다. 따라서, 배율과 화소(16)의 휘도는 비례 관계가 된다.

그래서, 트랜지스터(11d)를 본래 온하는 시간(약 1F)의 1/N의 기간만 온시키 고, 다른 기간 (N-1)/N 기간은 오프시키면, 1F 전체의 평균 휘도는 소정의 휘도가 된다. 이 표시 상태는 CRT이 전자총으로 화면을 주사하고 있는 것과 근사하다. 다른 점은 화면 전체의 1/N(전 화면을 1로 함)이 점등하고 있는 점이다(CRT에서는 점등하고 있는 범위는 1

화소 행임(엄밀하게는 1 화소임)).

본 발명에서는, 이 1F/N의 화상 표시 영역(53)이 도 13의 (b)에 도시한 바와 같이 화면(50)의 위에서 아래로 이동한다. 본 발명에서는 1F/N의 기간 동안만, EL 소자(15)에 전류가 흐르고, 다른 기간(1F · (N-1)/N)은 전류가 흐르지 않는다. 따라서, 각 화소(16)는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태가 되므로, 전 화면이 균일하게 표시되어 있게 보인다.

또, 도 13에 도시하는 바와 같이, 기입 화소 행(51a)은 비점등 표시(52a)로 한다. 그러나, 이것은 도 1, 도 2 등의 화소 구성인 경우이다. 도 38 등에서 도시하는 커런트 미러의 화소 구성에서는, 기입 화소 행(51a)은 점등 상태로 하여도 좋다. 그러나, 본 명세서에서는 설명을 쉽게 하기 위해서, 주로 도 1의 화소 구성을 예시하여 설명한다. 또한, 도 13, 도 16 등의 소정 구동 전류 Iw보다도 큰 전류로 프로그램하고, 간헐 구동하는 구동 방법을 N배 펄스 구동이라고 부른다.

이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태가 된다. 액정 표시 패널(본 발명 이외의 EL 표시 패널)에서는, 1F의 기간, 화소에 데이터가 유지되고 있기 때문에, 동화상 표시의 경우는 화상 데이터가 변화해도 그 변화에 추종할 수 없어, 동화상 불선명으로 되어 있었다(화상의 윤곽 흐려 짐). 그러나, 본 발명에서는 화상을 간헐 표시하기 위해서, 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

또, 도 13에 도시하는 바와 같이, 구동하기 위해서는, 화소(16)의 전류 프로그램 기간(도 1의 화소 구성에서는, 게이트 신호선(17a)의 온 전압 Vgl이 인가되어 있는 기간)과, EL 소자(15)를 오프 또는 온 제어하고 있는 기간(도 1의 화소 구성에서는, 게이트 신호선(17b)의 온 전압 Vgl 또는 오프 전압 Vgh가 인가되어 있는 기간)을 독립적으로 제어할 수 있을 필요가 있다. 따라서, 게이트 신호선(17a)과 게이트 신호선(17b)은 분리되어 있을 필요가 있다.

예를 들면, 게이트 드라이버 회로(12)로부터 화소(16)에 배선된 게이트 신호선(17)이 하나인 경우, 게이트 신호선(17)에 인가된 로직(Vgh 또는 Vgl)을 트랜지스터(11b)에 인가하고, 게이트 신호선(17)에 인가된 로직을 인버터로 변환하여 (Vgl 또는 Vgh), 트랜지스터(11d)에 인가한다고 하는 구성에서는, 본 발명의 구동 방법은 실시할 수 없다. 따라서, 본 발명에서는 게이트 신호선(17a)을 조작하는 게이트 드라이버 회로(12a)와, 게이트 신호선(17b)을 조작하는 게이트 드라이버 회로(12b)가 필요해진다.

또한 본 발명의 구동 방법은, 도 1의 화소 구성에서도, 전류 프로그램 기간(1H) 이외의 기간에서도, 비점등 표시로 하는 구동 방법이다.

도 13의 구동 방법의 타이밍차트를 도 14에 도시한다. 또, 본 발명 등에 있어서, 특히 거절이 없을 때의 화소 구성은 도 1이라고 한다. 도 14에서 알 수 있 듯이, 각 선택된 화소 행(선택 기간은 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압(Vgl)이 인가되고 있을 때(도 14의 (a)를 참조)에는, 게이트 신호선(17b)에는 오프 전압(V9h)이 인가되고 있다(도 14의 (b)를 참조). 또한, 이 기간은 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에 오프 전압(Vgh)이 인가되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가되고 있다. 또한, 이 기간은 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정의 N배의 휘도(N · B)로 점등하며, 그 점등 기간은 1F/N이다. 따라서, 1F를 평균한 표시 패널의 표시 휘도는 (N · B)×(1/N)=B(소정 휘도)가 된다.

도 15는 도 14의 동작을 각 화소 행에 적용한 실시예이다. 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다. 전압 파형은 오프 전압을 Vgh(H 레벨)로 하고, 온 전압을 Vgl(L 레벨)로 하고 있다. (1)(2) 등의 첨자는 선택하고 있는 화소 행 번호를 나타내고 있다.

도 15에 있어서, 게이트 신호선(17a)(1)이 선택되고(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, N=10으로 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정치가 아님)이다. 따라서, 컨덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(1)이 선택되었을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)은 오프 전압(Vgh)이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a)(2)이 선택되고(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, N=10으로 설명함)이다. 따라서, 컨덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(2)이 선택되었을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)은 오프 전압(Vgh)이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)의 게이트 신호선(17a)(1)에는 오프 전압(Vgh)이 인가되

고, 게이트 신호선(17b)(1)에는 온 전압(Vgl)이 인가되기 때문에, 점등 상태로 되어 있다.

다음의 1H 후에는 게이트 신호선(17a)(3)이 선택되고, 게이트 신호선(17b)(3)은 오프 전압(Vgh)이 인가되어, 화소 행(3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)(2)의 게이트 신호선(17a)(1)(2)에는 오프 전압(Vgh)이 인가되고, 게이트 신호선(17b)(1)(2)에는 온 전압(Vgl)이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 15의 구동 방식에서는, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에서 소정의 휘도 표시를 행하기 위해서는, 프로그램 전류를 1/10로 하여 놓으면 되는 것은 물론이다. 그러나, 1/10의 전류이면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전 류로 프로그램하고, 비점등 영역(52)의 삽입에 의해 소정의 휘도를 얻는 것은 본 발명의 기본적인 주지이다.

또, 본 발명의 구동 방법에 있어서, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하여, 소스 신호선(18)의 기생 용량을 충분히 충방전한다고 하는 개념이다. 즉, EL 소자(15)에 N배의 전류를 흘리지 않더라도 무방하다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하고(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등), 더미 EL 소자와 EL 소자(15)로 분류하여 전류를 흘려 보내도 좋다. 예를 들면, 신호 전류가 0.2μA일 때, 프로그램 전류를 2.2μA로 하여, 트랜지스터(11a)에는 2.2μA를 흘린다. 이 전류 중, 신호 전류 0.2μA를 EL 소자(15)에 흘려 보내고, 2μA를 더미의 EL 소자에 흘리는 등의 방식이 예시된다. 즉, 도 27의 더미 화소 행(271)을 항상 선택 상태로 한다. 또, 더미 화소 행은 발광시키지 않는다든지, 혹은 차광막 등을 형성하고, 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배로 증가시키는 것에 의해, 구동용 트랜지스터(11a)에 N배의 전류가 흐르도록 프로그램할 수가 있고, 또한, 전류 EL 소자(15)에는, N배보다는 충분히 작은 전류를 흘려 보낼 수 있게 된다. 이상의 방법에서는, 도 5에 도시하는 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전 표시 화면(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13의 (a)는 표시 화면(50)에의 기입 상태를 나타내고 있다. 도 13의 (a)에 있어서, (51a)는 기입 화소 행이다. 소스 드라이버 IC(14)로부터 각 소스 신호 선(18)에 프로그램 전류가 공급된다. 또, 도 13 등에서는 1H 기간에 기입하는 화소 행은 1 행이다. 그러나, 조금도 1H에 한정되는 것이 아니며, 0.5H 기간이어도, 2H 기간이어도 좋다. 또한, 소스 신호선(18)에 프로그램 전류를 기입한 것으로 했지만, 본 발명은 전류 프로그램 방식에 한정되는 것이 아니며, 소스 신호선(18)에 기입되는 것은 전압인 전압 프로그램 방식(도 46 등)이어도 된다.

도 13의 (a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램된다. 이 때, 게이트 신호선(17b)은 오프 전압이 인가되어 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, EL 소자(15)측에 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 보여, 이 용량에 영향받아 컨덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1의 구성을 예로 하면, 도 13의 (b)에서 도시한 바와 같이 전류가 기입되고 있는 화소 행은 비점등 영역(52)이 된다.

이제, N(여기서는, 앞서 말한 것처럼 N=10으로 함)배의 전류로 프로그램했다 고 한다면, 화면의 휘도는 10배가 된다. 따라서, 표시 화면(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋다. 따라서, 화상 표시 영역의 수평 주사선이 QCIF의 220개(S=220)라고 하면, 22개를 표시 영역(53)으로 하고, 220-22=198개를 비표시 영역(52)으로 하면 된다. 일반적으로 진술하면, 수평 주사선(화소 행 수)을 S라고 하면, S/N의 영역을 표시 영역(53)으로 하고, 이 표시 영역(53)을 N배의 휘도로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, S(N-1)/N의 영역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑 표시(비 발 광)이다. 또한, 이 비 발광부(52)는 트랜지스터(11d)를 오프시키는 것에 의해 실현한다. 또, N배의 휘도로 점등시킨 것으로 했지만, 당연한 것이지만 밝기 조정, 감마 조정에 의해 N배의 값을 조정하는 것은 물론이다.

또한, 앞의 실시예에서, 10배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배가 되고, 표시 화면(50)의 90%의 범위를 비점등 영역(52)으로 하면 된다고 했다. 그러나, 이것은 RGB의 화소를 공통으로 비점등 영역(52)으로 하는 것에 한정되는 것은 아니다. 예를 들면, R의 화소는 1/8을 비점등 영역(52)으로 하고, G의 화소는 1/6을 비점등 영역(52)으로 하고, B의 화소는 1/10을 비점등 영역(52)으로, 각각의 색에 의해 변화시켜도 좋다. 또한, RGB의 색에서 개별로 비점등 영역(52)(혹은 점등 영역(53))을 조정할 수 있도록 하여도 좋다. 이들을 실현하기 위해서는, R, G, B에서 개별적인 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 함으로써, 화이트 밸런스를 조정하는 것이 가능해져, 각 계조에 있어서 색의 밸런스 조정이 용이해진다(도 41을 참조).

도 13의 (b)에 도시하는 바와 같이, 기입 화소 행(51a)을 포함하는 화소 행을 비점등 영역(52)으로 하고, 기입 화소 행(51a)보다도 위 화면의 S/N(시간적으로는 1F/N)의 범위를 표시 영역(53)으로 한다(기입 주사가 화면의 위에서 아래 방향인 경우, 화면을 아래에서 위로 주사하는 경우에는, 그 역이 됨). 화상 표시 상태는 표시 영역(53)이 띠 형상으로

되고, 화면의 위에서 아래로 이동한다.

도 13의 표시에서는 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 감았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 16에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 이 분할된 총합이 S(N-1)/N의 면적으로 되면, 도 13의 밝기와 동등하게 된다. 또, 분할된 표시 영역(53)은 똑같게 할 필요는 없다. 또한, 분할된 비표시 영역(52)도 똑같게 할 필요는 없다.

이상과 같이, 표시 영역(53)을 복수로 분할하는 것에 의해 화면의 어른거림은 감소한다. 따라서, 깜박임의 발생이 없어, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 미세하게 해도 된다. 그러나, 분할할수록 동화상 표시 성능은 저하한다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 17에서 분명한 바와 같이, 게이트 신호선(17b)을 Vgl로 하는 기간(1F/N)을 복수로 분할(분할 수 K)하고 있다. 즉, Vgl로 하는 기간은 1F/(K · N)의 기간을 K회 실시한다. 이와 같이 제어하면, 깜박임의 발생을 억제할 수 있고, 저 프레임 레이트의 화상 표시를 실현할 수 있다. 또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르거나, 혹은 밝기 조정볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경해도 된다. 또, 사용자가 휘도를 조정하도록 구성해도 된다. 표시하는 화상의 내용, 데이터에 의해 수동으로 혹은 자동적으로 변화시키도록 구성해도 된다.

또, 도 17 등에 있어서, 게이트 신호선(17b)을 Vgl로 하는 기간(1F/N)을 복 수로 분할(분할 수 K)하고, Vgl로 하는 기간은 1F/(K · N)의 기간을 K회 실시한다고 했지만 이것에 한정되는 것이 아니다. 1F/(K · N)의 기간을 L(L≠K)회 실시해도 된다. 즉, 본 발명은 EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 표시 화면(50)을 표시하는 것이다. 따라서, 1F/(K · N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시키는 것에 의해, 표시 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화가 된다. 또한, 화상의 표시 영역(53)을 분할할 때, 게이트 신호선(17b)을 Vgl로 하는 기간은 동일 기간에 한정하는 것이 아니다.

이상의 실시예는, EL 소자(15)에 흐르는 전류를 차단하고, 또한 EL 소자에 흐르는 전류를 접속하는 것에 의해, 표시 화면(50)을 온 오프(점등, 비점등)하는 것이었다. 즉, 컨덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수회, 대략 동일 전류를 흘려 보내는 것이다. 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 컨덴서(19)에 유지된 전하를 충방전시킴으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 방식이어도 좋다.

도 18은 도 16의 화상 표시 상태를 실현하기 위한, 게이트 신호선(17)에 인가하는 전압 파형이다. 도 18과 도 15의 차이는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수분만큼 온 오프(Vgl과 Vgh) 동작한다. 다른 점은 도 15와 동일하기 때문에 설명을 생략한다.

EL 표시 장치에서는 흑 표시는 완전히 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이 콘트라스트 저하도 없다. 또한, 도 1, 도 2, 도 32, 도 43, 도 117의 구성에서는, 트랜지스터(11d)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51, 도 115의 구성에서는, 트랜지스터 소자(11e)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또, 도 113에서는 전환 회로(1131)를 제어하는 것에 의해 간헐 표시를 실현할 수 있다. 또한, 도 114에서는, 트랜지스터(11g)를 온 오프 제어함으로써 간헐 표시를 실현할 수 있다. 이것은 컨덴서(19)에 화상 데이터가 메모리(아날로그값이므로 계조 수는 무한대)되어 있기 때문이다. 즉, 각 화소(16)에, 화상 데이터는 1F의 기간중에는 유지되고 있다. 이 유지되고 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘려 보낼지 여부를 트랜지스터(11d, 11e)의 제어에 의해 실현하고 있는 것이다.

따라서, 이상의 구동 방법은 전류 구동 방식에 한정되는 것이 아니고, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류가 각 화소 내에서 보존하고 있는 구성에 있어서, 구동용 트랜지스터(11)를 EL 소자(15) 사이의 전류 경로를 온 오프함으로써 간헐 구동을 실현하는 것이다.

컨덴서(19)의 단자 전압을 유지하는 것은 깜박임 저감과 저 소비 전력화에 중요하다. 1 필드(프레임) 기간에 컨덴서(19)의 단자 전압이 변화(충방전)하면, 화면 휘도가 변화하여, 프레임 레이트가 저하했을 때에 어른거림(깜박임 등)이 발생하기 때문이다. 트랜지스터(11a)가 1 프레임(1 필드) 기간에 EL 소자(15)에 흘리는 전류는, 적어도 65% 이하로 저하하지 않도록 할 필요가 있다. 이 65%란, 화소(16)에 기입하고, EL 소자(15)에 흘리는 전류의 최초가 100%라고 했을 때, 다음 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 흘리는 전류를 65% 이상으로 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에는, 1 화소를 구성하는 트랜지스터(11)의 개수에 변화가 없다. 즉, 화소 구성은 그대로이고, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그램을 실현하고 있다. 나아가서는, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버 회로(12)의 동작 클럭은 소스 드라이버 회로(14)의 동작 클럭에 비하여 충분히 느리기 때문에, 회로의 메인 클럭이 높아진다고 하는 일은 없다. 또한, N의 값의 변경도 용이하다.

또, 화상 표시 방향(화상 기입 방향)은, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 좋다. 즉, 위에서 아래 방향과, 아래에서 위 방향을 교대로 반복한다.

또한, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하여, 일단, 전 화면을 흑 표시(비표시)로 한 후, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 또한, 일단, 전 화면을 흑 표시(비표시)로 하여도 좋다.

또, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 위에서 아래 혹은 아래에서 위로 했지만, 이것에 한정되는 것이 아니다. 화면의 기입 방향은 끊임없이, 화면의 위에서 아래 혹은 아래에서 위로 고정하고, 비표시 영역(52)의 동작 방향을 1 필드째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드 째에서는 화면의 아래에서 위 방향으로 하여도 좋다. 또한, 1 프레임을 3 필드로 분할하여, 제1 필드에서는 R, 제2 필드에서는 G, 제3 필드에서는 B로 하여, 3 필드에서 1 프레임을 형성하는 것으로 해도 좋다. 또한, 1수평 주사 기간(1H)마다, R, G, B를 전환하여 표시해도 된다(도 125 내지 도 132와 그 설명 등을 참조). 이상의 사항은 다른 본 발명의 실시예에서도 마찬가지이다.

비표시 영역(52)은 완전히 비점등 상태일 필요는 없다. 미약한 발광 혹은 저휘도의 화상 표시가 있더라도 실용상은 문제없다. 즉, 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 된다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시 중 1색 또는 2색만이 비표시 상태라고 하는 경우도 포함된다. 또한, R, G, B 화상 표시 중 1색 또는 2색만이 저휘도의 화상 표시 상태라고 하는 경우도 포함된다.

기본적으로는 표시 영역(53)의 휘도(밝기)가 소정 값으로 유지되는 경우, 표시 영역(53)의 면적이 넓어질수록, 화면(50)의 휘도는 높아진다. 예를 들면, 표시 영역(53)의 휘도가 100(nt)인 경우, 표시 영역(53)이 전 화면(50)에 차지하는 비율이 10% 내지 20%라고 하면, 화면의 휘도는 2배가 된다. 따라서, 전 화면(50)에 차지하는 표시 영역(53)의 면적을 변화시키는 것에 의해, 화면의 표시 휘도를 변화시킬 수 있다. 화면(50)의 표시 휘도는 화면(50)에 차지하는 표시 영역(53)의 비율에 비례한다.

표시 영역(53)의 면적은 시프트 레지스터 회로(61)에의 데이터 펄스(ST2)를 제어함으로써 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시키는 것에 의해, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다. 1F 주기에서의 데이터 펄스 수를 많게 하면, 화면(50)은 밝아지고, 적게 하면, 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되고, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태가 된다.

도 19의 (a)는 도 13과 같이 표시 영역(53)이 연속하고 있는 경우의 밝기 조정 방식이다. 도 19(a1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(a2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(a3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19의 (a)는 가장 동화상 표시에 적합하다.

도 19(a1)에서 도 19(a3)로의 변화(혹은 그 역)는, 앞에서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압은 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고서 표시 화면(50)의 휘도 변화를 실시할 수 있다. 또한, 도 19(a1)에서 도 19(a3)로의 변화시에, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 화면(50)의 휘도에 상관없이, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다.

종래의 화면의 휘도 조정에서는, 화면(50)의 휘도가 낮을 때에는 계조 성능이 저하한다. 즉, 고휘도 표시 시에는 64 계조 표시를 실현할 수 있더라도, 저휘도 표시 시에는, 반 이하의 계조 수밖에 표시할 수 없는 경우가 대부분이다. 이에 비하여, 본 발명의 구동 방법에서는 화면의 표시 휘도에 의존하지 않고, 최고의 64 계조 표시를 실현할 수 있다.

도 19의 (b)는 도 16과 같이 표시 영역(53)이 분산하고 있는 경우의 밝기 조정 방식이다. 도 19(b1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(b2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(b3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(b1)에서 도 19(b3)로의 변화(혹은 그 역)는, 앞에서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 19의 (b)와 같이 표시 영역(53)을 분산시키면, 저 프레임 레이트에서도 깜박임이 발생하지 않는다.

또한 저 프레임 레이트에서도 깜박임이 발생하지 않도록 하기 위해서는, 도 19의 (c)와 같이 표시 영역(53)을 미세하게 분산시키면 된다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19의 (a)의 구동 방법이 적합하다. 정지 화상을 표시하고, 저 소비 전력화를 요망할 때에는, 도 19의 (c)의 구동 방법이 적합하다. 도 19의 (a)에서 도 19의 (c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현 가능하다.

이상의 실시예는 주로, N=2배, 4배 등으로 하는 실시예였다. 그러나, 본 발명은 정수배에 한정되는 것이 아님은 물론이다. 또한, N=2 이상으로 한정되는 것도 아니다. 예를 들면, 어떤 시각에서 표시 화면(50)의 반 이하의 영역을 비점등 영역(52)으로 하는 일도 있다. 소정값의 5/4배의 전류 Iw로 전류 프로그램하고, 1F의 4/5 기간 점등시키면, 소정의 휘도를 실현할 수 있다.

본 발명은 이것에 한정되는 것이 아니다. 일례로서, 10/4배의 전류 Iw로 전류 프로그래밍하여, 1F의 4/5 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우 에는 소정 휘도의 2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하고, 1F의 2/5 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우에는, 소정 휘도의 1/2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하여, 1F의 1/1 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우에는 소정 휘도의 5/4배로 점등한다.

즉, 본 발명은 프로그램 전류의 크기와 1F의 점등 기간을 제어함으로써 표시 화면의 휘도를 제어하는 방식이다. 또한, 1F 기간보다도 짧은 기간 점등시키는 것에 의해, 비점등 영역(52)을 삽입할 수 있고, 동화상 표시 성능을 향상시킬 수 있다. 1F의 기간, 상시 점등시키는 것에 의해 밝은 화면을 표시할 수 있다.

화소에 기입하는 전류(소스 드라이버 회로(14)로부터 출력하는 프로그램 전류)는, 화소 사이즈를 A평방mm로 하고, 백 래스터 표시 소정 휘도를 B(nt)로 했을 때, 프로그램 전류 I(μA)는,

$(A \times B)/20 \leq I \leq (A \times B)$

의 범위로 하는 것이 바람직하다. 발광 효율이 양호해지고, 또한 전류 기입 부족이 해소된다.

또한 바람직하게는, 프로그램 전류 I(μA)는,

$(A \times B)/10 \leq I \leq (A \times B)$

의 범위로 하는 것이 바람직하다.

도 20은 소스 신호선(18)에 흐르는 전류를 증대시키는 다른 실시예의 설명도이다. 기본적으로 복수의 화소 행을 동시에 선택하고, 복수의 화소 행을 합한 전 류로 소스 신호선(18)의 기생 용량 등을 충방전하여 전류 기입 부족을 대폭 개선하는 방식이다. 단, 복수의 화소 행을 동시에 선택하기 때문에, 1 화소당 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 쉽게 하기 위해서, 일례로서, N=10으로 하여 설명한다(소스 신호선(18)에 흘리는 전류를 10배로 함).

도 20에서 설명하는 본 발명에서, 화소 행은 동시에 M 화소 행을 선택한다. 소스 드라이버 IC(14)로부터는 소정 전류의 N배 전류를 소스 신호선(18)에 인가한다. 각 화소에는 EL 소자(15)에 흘려보내는 전류의 N/M배의 전류가 프로그램된다. 일례로서, EL 소자(15)를 소정 발광 휘도로 하기 위해서, EL 소자(15)에 흐르는 시간을 1 프레임(1 필드)의 M/N 시간으로 한다(단, M/N에 한정하는 것은 아님. M/N으로 하는 것은 이해를 쉽게 하기 위해서이다. 앞에서도 설명한 바와 같이, 표시하는 화면(50) 휘도에 의해 자유롭게 설정 가능함은 물론임). 이와 같이 구동하는 것에 의해, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 양호한 해상도를 소정의 발광 휘도를 얻을 수 있다.

1 프레임(1 필드)의 M/N의 기간 동안만, EL 소자(15)에 전류를 흘려 보내고, 다른 기간(1F(N-1)M/N)은 전류를 흘려 보내지 않도록 표시한다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태가 된다. 따라서, 화상의 윤곽 흐려짐이 없어져 양호한 동화상 표시를 실현 가능하다. 또한, 소스 신호선(18)에는 N배의 전류로 구동하기 때문에, 기생 용량의 영향을 받지 않고, 고정 밀 표시 패널에도 대응할 수 있다.

도 21은 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 신호 파형은 오프 전압을 Vgh(H 레벨)로 하고, 온 전압을 Vgl(L 레벨)로 하고 있다. 각 신호선의 첨자는 화소 행의 번호((1)(2)(3) 등)를 기재하고 있다. 또, 행 수는 QCIF 표시 패널의 경우에는 220개이고, VGA 패널에서는 480개이다.

도 21에 있어서, 게이트 신호선(17a)(1)이 선택되고(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 여기서는 설명을 쉽게 하기 위해서, 우선 기입 화

소 행(51a)이 화소 행(1)번째라고 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, N=10으로 하여 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정치가 아님)이다. 또한, 5 화소 행이 동시에 선택(M=5)되는 것으로 하여 설명한다. 따라서, 이상적으로는 하나의 화소의 컨덴서(19)에는 2배(N/M=10/5=2)로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

기입 화소 행이 (1) 화소 행째일 때, 도 21에서 도시한 바와 같이, 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다. 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 역 위상으로 되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행 의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 Iw×2의 전류를 소스 신호선(18)에 흘려 보낸다(즉, 소스 신호선(18)에는 Iw×2×N=Iw×2×5=Iw×10. 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 Iw라고 하면, Iw의 10배의 전류가 소스 신호선(18)에 흐름).

이상의 동작(구동 방법)에 의해, 각 화소(16)의 컨덴서(19)에는, 2배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(Vt, S치)이 일치하고 있는 것으로 해서 설명한다.

동시에 선택하는 화소 행이 5 화소 행(M=5)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 10/5=2배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 본래 기입하는 전류 Iw로 하고, 소스 신호선(18)에는 Iw×10의 전류를 흘려 보낸다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)은 소스 신호선(18)에의 전류량을 증가시키기 위해서, 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 4 화소 행(51b)에 있어서, 1H 기간 동안은 (51a)과 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다. 단, 도 38과 같은 커런트 미러의 화소 구성, 그밖의 전압 프로그램 방식의 화소 구성에서는 표시 상태로 하여도 좋다.

1H 후에는, 게이트 신호선(17a)(1)은 비선택이 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한, 동시에, 게이트 신호선(17a)(6)이 선택되고(Vgl 전압), 선택된 화소 행(6)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한 동시에, 게이트 신호선(17a)(7)이 선택되고(Vgl 전압), 선택된 화소 행(7)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작과 1 화소 행씩 시프트하면서 주사하는 것에 의해 1 화면이 재기입된다.

도 20의 구동 방법에서는, 각 화소에는 2배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배가 된다. 따라서, 표시 화면의 휘도는 소정값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 화면(50)의 1/2의 범위를 비표시 영역(52)으로 하면 된다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동하면, 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 감았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 22에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 된다. 분할된 비표시 영역(52)을 가한 부분이 S(N-1)/N의 면적이 되면, 분할하지 않는 경우와 동일해진다.

도 23은 게이트 신호선(17)에 인가하는 전압 파형이다. 도 21과 도 23의 차이는 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수분만큼 온 오프(Vgl와 Vgh) 동작한다. 다른 점은 도 21과 거의 동일 혹은 유추할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할하는 것에 의해 화면의 어른거림은 감소한다. 따라서, 깜박임의 발생이 없어, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 미세하게 해도 된다. 그러나, 분할하면 할수록 깜박임은 경감한

다. 특히 EL 소자(15)의 응답성이 빠르기 때문에, 5μsec보다도 작은 시간에 온 오프해도, 표시 휘도의 저하는 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온 오프는 게이트 신호선(17b)에 인가하는 신호의 온 오프로 제어할 수 있다. 그 때문에, 본 발명의 구동 방법에서는 KHz 오더의 저주파 수로 제어가 가능하다. 또한, 흑 화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저비용으로 본 발명의 구동 회로 혹은 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소 행이 2 화소 행인 경우이다. 검토한 결과에 따르면, 저온 폴리실리콘 기술로 형성한 표시 패널에서는, 2 화소 행을 동시에 선택하는 방법은 표시 균일성이 실용적이었다. 이것은 인접한 화소의 구동용 트랜지 스터(11a)의 특성이 매우 일치하고 있기 때문으로 추정된다. 또한, 레이저 어닐링할 때에, 스트라이프형의 레이저의 조사 방향은 소스 신호선(18)과 평행하게 조사함으로써 양호한 결과가 얻어졌다.

이것은 동일 시간에 어닐링되는 범위의 반도체막은 특성이 균일하기 때문이다. 즉, 스트라이프형의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되고, 이 반도체막을 이용한 트랜지스터의 Vt, 모빌리티가 거의 같게 되기 때문이다. 따라서, 소스 신호선(18)의 형성 방향에 평행하게 스트라이프형의 레이저 샷을 조사하고, 이 조사 위치를 이동시키는 것에 의해, 소스 신호선(18)에 따른 화소(화소 열, 화면의 상하 방향의 화소)의 특성은 거의 동등하게 제작된다. 따라서, 복수의 화소 행을 동시에 온시켜 전류 프로그램을 행했을 때, 프로그램 전류는 동시에 선택되어 복수의 화소에는 프로그램 전류가 선택된 화소 수로 나눈 전류가, 거의 동일하게 전류 프로그램된다. 따라서, 목표치에 가까운 전류 프로그램을 실시할 수 있어, 균일 표시를 실현할 수 있다. 따라서, 레이저 샷 방향과 도 24 등에서 설명하는 구동 방식은 상승 효과가 있다.

이상과 같이, 레이저 샷의 방향을 소스 신호선(18)의 형성 방향과 대략 일치(도 7을 참조)시키는 것에 의해, 화소의 상하 방향의 트랜지스터(11a)의 특성이 거의 동일하게 되어, 양호한 전류 프로그램을 실시할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않더라도). 이상의 동작은 1H(1수평 주사 기간)에 동기하여, 1 화소 행 혹은 복수 화소 행씩 선택 화소 행 위치를 어긋나게 하여 실시한다.

또, 도 8에서 설명한 바와 같이, 레이저 샷의 방향을 소스 신호선(18)과 평행하게 하는 것으로 했지만, 반드시 평행이 아니더라도 무방하다. 소스 신호선(18)에 대하여 경사 방향으로 레이저 샷을 조사해도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치하여 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 샷을 조사한다고 함은, 소스 신호선(18)을 따른 임의의 화소의 위 또는 아래에 인접한 화소를, 하나의 레이저 조사 범위로 들어가도록 형성한다는 것이다. 또한, 소스 신호선(18)이란 일반적으로는, 영상 신호가 되는 프로그램 전류 혹은 전압을 전달하는 배선이다.

또, 본 발명의 실시예에서는 1H마다 기입 화소 행 위치를 시프트시키는 것으로 했지만, 이것에 한정되는 것이 아니고, 2H마다 시프트(2 화소 행마다)해도 되며, 또한 그 이상의 화소 행씩 시프트시키더라도 무방하다. 또한, 임의의 시간 단위로 시프트해도 된다. 또, 1 화소 행 건너 띄고 시프트해도 된다.

화면 위치에 대응하여 시프트하는 시간을 변화시켜도 좋다. 예를 들면, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 해도 된다. 예를 들면, 화면(50)의 중앙부는 200μsec마다 1 화소 행을 시프트하고, 화면(50)의 상하부는 100μsec마다 1 화소 행을 시프트한다. 이와 같이 시프트하는 것에 의해, 화면(50)의 중앙부의 발광 휘도가 높아져, 주변(화면(50)의 상부와 하부)을 낮게 할 수 있다. 또, 화면(50)의 중앙부와 화면 상부의 시프트 시간, 화면(50)의 중앙부와 화면 하부의 시프트 시간은 순조롭게 시간 변화하도록 하고, 휘도 윤곽이 생기지 않도록 제어하는 것은 물론이다.

또, 소스 드라이버 회로(14)의 기준 전류를 화면(50)의 주사 위치에 대응하여 변화(도 146 등을 참조)시키더라도 좋다. 예를 들면, 화면(50)의 중앙부의 기준 전류를 10μA로 하고, 화면(50)의 상하부의 기준 전류는 5μA로 한다. 이와 같이 화면(50) 위치에 대응하여 기준 전류를 변화시키는 것에 의해, 화면(50)의 중앙부의 발광 휘도가 높아져, 주변(화면(50)의 상부와 하부)을 낮게 할 수 있다. 또, 화면(50)의 중앙부와 화면 상부 사이의 기준 전류, 화면(50)의 중앙부와 화면 하부 사이의 기준 전류의 값은 순조롭게 시간 변화하도록 하고, 휘도 윤곽이 생기지 않도록 기준 전류를 제어하는 것은 물론이다.

또한, 화면 위치에 대응하여, 화소 행을 시프트하는 시간을 제어하는 구동 방법과, 화면(50) 위치에 대응하여 기준 전류를 변화시키는 구동 방법을 조합하여 화상 표시를 행하여도 됨은 물론이다.

프레임마다 시프트 시간을 변화시키더라도 좋다. 또한, 연속한 복수 화소 행을 선택하는 것에 한정되는 것이 아니다. 예를 들면, 1 화소 행 사이에 둔 화소 행을 선택해도 된다.

즉, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행을 선택하고, 제2번째의 수평 주사 기간에

제2번째의 화소 행과 제4번째의 화소 행을 선택하고, 제3번째의 수평 주사 기간에 제3번째의 화소 행과 제5번째의 화소 행을 선택하고, 제4번째의 수평 주사 기간에 제4번째의 화소 행과 제6번째의 화소 행을 선택하는 구동 방법이다. 물론, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행과 제5번째의 화소 행을 선택한다고 하는 구동 방법도 기술적 범 주이다. 물론, 복수 화소 행 사이에 둔 화소 행 위치를 선택해도 된다.

또, 이상의 레이저 샷 방향과 복수개의 화소 행을 동시에 선택한다고 하는 조합은, 도 1, 도 2, 도 32의 화소 구성에만 한정되는 것이 아니며, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 도 43, 도 51, 도 54, 도 46 등의 전압 구동의 화소 구성에도 적용할 수 있다. 즉, 화소 상하의 트랜지스터의 특성이 일치되어 있으면, 동일한 소스 신호선(18)에 인가한 전압값에 의해 양호하게 전압 프로그램을 실시할 수 있기 때문이다.

도 24에 있어서, 기입 화소 행이 (1) 화소 행째일 때, 게이트 신호선(17a)은 (1)(2)가 선택되어 있다(도 25를 참조). 즉, 화소 행(1)(2)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 따라서, 적어도 화소 행(1)(2)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 또, 도 24에서는 깜박임의 발생을 저감하기 위해서, 표시 영역(53)을 5 분할하고 있다.

이상적으로는, 2 화소(행)의 트랜지스터(11a)가 각각 Iw×5(N=10인 경우. 즉, K=2이므로, 소스 신호선(18)에 흐르는 전류는 Iw×K×5=Iw×10이 됨)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 컨덴서(19)에는 5배의 전류가 프로그램된다.

동시에 선택하는 화소 행이 2 화소 행(K=2)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 10/2=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 2개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

예를 들면, 기입 화소 행(51a)에, 본래 기입하는 전류를 Iw로 하고, 소스 신호선(18)에는 Iw×10의 전류를 흘려 보낸다. 기입 화소 행(51b)은 후에 정규 화상 데이터가 기입되기 때문에 문제가 없다. 화소 행(51b)은 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의, 1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한 동시에, 게이트 신호선(17a)(3)이 선택되고(Vgl 전압), 선택된 화소 행(3)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한 동시에, 게이트 신호선(17a)(4)이 선택되고(Vgl 전압), 선택된 화소 행(4)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작과 1 화소 행씩 시프트(물론, 복수 화소 행씩 시프트해도 됨. 예를 들면, 의사 인터레이스 구동이면, 2 행씩 시프트할 것이다. 또한, 화상 표시의 관점에서, 복수의 화소 행에 동일 화상을 기입하는 경우도 있을 것임)하면서 주사하는 것에 의해 1 화면이 재기입된다.

도 16과 마찬가지이지만, 도 24의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배가 된다. 따라서, 표시 영역(53)의 휘도는 소정값보다도 5배가 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16 등에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 화면1의 1/5의 범위를 비표시 영역(52)으로 하면 된다.

도 27에 도시하는 바와 같이, 2개의 기입 화소 행(51)(51a, 51b)이 선택되고, 화면(50)의 상변에서 하변으로 순차 선택되어 간다(도 26도 참조. 도 26에서는 화소(16a와 16b)가 선택되어 있음). 그러나, 도 27의 (b)와 같이, 화면의 하변까지 오면 기입 화소 행(51a)은 존재하지만, (51b)는 없어진다. 즉, 선택하는 화소 행이 하나밖에 없게 된다. 그 때문에, 소스 신호선(18)에 인가된 전류는 전부 화소 행(51a)에 기입된다. 따라서, 화소 행(51a)에 비하여 2배의 전류가 화소에 프로그램된다.

이 과제에 대하여, 본 발명은 도 27의 (b)에 도시하는 바와 같이 화면(50)의 하변에 더미 화소 행(271)을 형성(배치)하고 있다. 따라서, 선택 화소 행이 화면(50)의 하변까지 선택된 경우에는, 화면(50)의 최종 화소 행과 더미 화소 행(271)이 선택된다. 그 때문에, 도 27의 (b)의 기입 화소 행에는 규정대로의 전류가 기입된다.

또, 더미 화소 행(271)은 표시 화면(50)의 상단 혹은 하단에 인접하여 형성 한 바와 같이 도시했지만, 이것에 한정되는 것이 아니다. 표시 화면(50)으로부터 떨어진 위치에 형성되어 있어도 좋다. 또한, 더미 화소 행(271)은 도 1의 스

위칭용 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 형성하지 않음으로써, 더미 화소 행(271)의 사이즈는 작아진다.

도 28은 도 27의 (b)의 상태를 나타내고 있다. 도 28에서 분명한 바와 같이, 선택 화소 행이 화면(50)의 하변의 화소(16c) 행까지 선택된 경우에는, 화면(50)의 최종 화소 행(더미 화소 행)(271)이 선택된다. 더미 화소 행(271)은 표시 화면(50) 밖에 배치한다. 즉, 더미 화소 행(더미 화소)(271)은 점등하지 않거나 혹은 점등시키지 않거나, 혹은 점등해도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극(105)과 트랜지스터(11)의 컨택트홀을 없앤다든지, 더미 화소 행(271)에는 EL막(15)을 형성하지 않는다든지 하는 것이다. 또한, 더미 화소 행의 화소 전극(105)상에 절연막을 형성하는 구성 등이 예시된다.

도 27에서는 화면(50)의 하변에 더미 화소(행)(271)를 마련(형성, 배치)하는 것으로 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 도 29의 (a)에 도시하는 바와 같이, 화면의 하변에서 상변으로 주사(상하 역전 주사)하는 경우에는, 도 29의 (b)에 도시하는 바와 같이 화면(50)의 상변에도 더미 화소 행(271)을 형성하여야 한다. 즉, 화면(50)의 상변을 하변의 각각에 더미 화소 행(271)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다. 이상의 실시예는 2 화소 행을 동시 선택하는 경우였다.

본 발명은 이것에 한정되는 것이 아니고, 예를 들면, 5 화소 행을 동시 선택 하는 방식(도 23을 참조)이라도 좋다. 즉, 5 화소 행 동시 구동인 경우에는, 더미 화소 행(271)은 4 행분 형성하면 된다. 따라서, 더미 화소 행(271)은 동시에 선택하는 화소 행(11)의 화소 수분을 형성하면 된다. 단, 이것은 1 화소 행씩 선택하는 화소 행을 시프트하는 경우이다. 복수 화소 행씩 시프트하는 경우에는, 선택하는 화소 수를 M으로 하고, 시프트하는 화소 행 수를 L로 했을 때, (M-1)×L 화소 행분을 형성하면 된다.

본 발명의 더미 화소 행 구성 혹은 더미 화소 행 구동은, 적어도 하나 이상의 더미 화소 행을 이용하는 방식이다. 물론, 더미 화소 행 구동 방법과 N배 펄스 구동을 조합하여 이용하는 것이 바람직하다.

복수개의 화소 행을 동시에 선택하는 구동 방법에서는, 동시에 선택하는 화소 행 수가 증가할수록, 트랜지스터(11a)의 특성 변동을 흡수하는 것이 곤란해진다. 그러나, 동시 선택 화소 행 수 M이 적어지면, 1 화소에 프로그램하는 전류가 커져, EL 소자(15)에 큰 전류를 흘려 보내게 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉽다.

도 30은 이 과제를 해결하는 것이다. 도 30의 기본 개념은, 1/2H(수평 주사 기간의 1/2)는 도 22, 도 29에서 설명한 바와 같이, 복수의 화소 행을 동시에 선택하는 방법이다. 그 후의 (1/2)H(수평 주사 기간의 1/2)는 도 5, 도 13 등에서 설명한 바와 같이, 1 화소 행을 선택하는 방법을 조합한 것이다. 이와 같이 조합하는 것에 의해, 트랜지스터(11a)의 특성 변동을 흡수하여, 보다 고속으로 또한 면내 균일성을 양호하게 할 수 있다. 또, 이해를 쉽게 하기 위해서, (1/2)H로 조작하는 것으로 해서 설명하지만 이것에 한정되는 것이 아니다. 최초의 기간을(1/4)H로 하고, 후반의 기간을 (3/4)H로 하여도 좋다.

도 30에 있어서, 설명을 쉽게 하기 위해서, 제1 기간에서는 5 화소 행을 동시에 선택하고, 제2 기간에서는 1 화소 행을 선택하는 것으로 하여 설명한다. 우선, 제1 기간(전반의 1/2H)에서는 도 30(a1)에 도시하는 바와 같이, 5 화소 행을 동시에 선택한다. 이 동작은 도 22를 이용하여 설명했기 때문에 생략한다. 일례로서 소스 신호선(18)에 흘리는 전류는 소정값의 25배로 한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성인 경우)에는 5배의 전류(25/5 화소 행=5)가 프로그램된다. 25배의 전류이므로, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단기간에 충방전된다. 따라서, 소스 신호선(18)의 전위는, 단시간에 목표의 전위로 되어, 각 화소(16)의 컨덴서(19)의 단자 전압도 25배 전류를 흘리도록 프로그램된다. 이 25배 전류의 인가 시간은 전반의 1/2H(1수평 주사 기간의 1/2)로 한다.

당연한 것이지만, 기입 화소 행의 5 화소 행은 동일 화상 데이터가 기입되기 때문에, 표시하지 않도록 5 화소 행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30(a2)이 된다.

다음의 후반의 1/2H 기간은 1 화소 행을 선택하여 전류(전압) 프로그램을 행한다. 이 상태를 도 30(b1)에 도시하고 있다. 기입 화소 행(51a)은 앞과 같이 5배의 전류를 흘리도록 전류(전압) 프로그램된다. 도 30(a1)과 도 30(b1)에서 각 화소에 흘리는 전류를 동일하게 하는 것은, 프로그램된 컨덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표의 전류를 흘릴 수 있도록 하기 위해서이다.

즉, 도 30(a1)에서, 복수의 화소에 전류를 흘려 보내, 고속으로 개략의 전류가 흐르는 값까지 근접시킨다. 이 제1 단계에서는, 복수의 트랜지스터(11a)에서 프로그램하고 있기 때문에, 목표치에 대하여 트랜지스터의 변동에 의한 오차가 발생하고 있다. 다음의 제2 단계에서, 데이터를 기입하고 또한 유지하는 화소 행만을 선택하여, 개략의 목표치에서 소정의 목표치까지 완전한 프로그램을 행하는 것이다.

또, 비점등 영역(52)을 화면의 위에서 아래 방향으로 주사하고, 또한 기입 화소 행(51a)도 화면의 위에서 아래 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지이기 때문에 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있듯이, 1H(1수평 주사 기간)는 2개의 페이즈로 구성되어 있다. 이 2개의 페이즈는 ISEL 신호로 전환한다. ISEL 신호는 도 31에 도시하고 있다.

우선, ISEL 신호에 대하여 설명을 해 둔다. 도 30을 실시하는 드라이버 회로(14)는, 전류 출력 회로 A와 전류 출력 회로 B를 구비하고 있다. 각각의 전류 출력 회로는, 8 비트의 계조 데이터를 DA 변환하는 DA 회로와 연산 증폭기 등으로 구성된다. 도 30의 실시예에서는, 전류 출력 회로 A는 25배의 전류를 출력하도록 구성되어 있다. 한편, 전류 출력 회로 B는 5배의 전류를 출력하도록 구성되어 있다. 전류 출력 회로 A와 전류 출력 회로 B의 출력은 ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되어, 소스 신호선(18)에 인가된다.

이 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는 L 레벨일 때, 25배 전류를 출력하는 전류 출력 회로 A가 선택되어 소스 신호선(18)으로부터의 전류를 소스 드라이버 IC(14)가 흡수한다(보다 적절하게는, 소스 드라이버 회로(14) 내에 형성된 전류 출력 회로 A가 흡수함). 25배, 5배 등의 전류 출력 회로 전류의 크기 조정은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 도시한 바와 같이 기입 화소 행이 (1) 화소 행째일 때(도 30의 1H의 란을 참조), 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다(도 1의 화소 구성인 경우). 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가 각각 Iw×2의 전류를 소스 신호선(18)에 흘려 보낸다. 그리고, 각 화소(16)의 컨덴서(19)에는 5배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(Vt, S치)이 일치하고 있는 것으로 설명한다.

동시에 선택하는 화소 행이 5 화소 행(K=5)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 25/5=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 종래의 구동 방법으로 화소에 기입하는 전류 Iw로 할 때, 소스 신호선(18)에는 Iw×25의 전류를 흘려 보낸다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)은, 소스 신호선(18)에의 전류량을 증가시키기 위해서 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소 행(51b)은, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의 1/2H(수평 주사 기간의 1/2)에서는 기입 화소 행(51a)만을 선택한다. 즉, (1) 화소 행째만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a)(1)만이 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(2)(3)(4)(5)은 오프(Vgh)가 인가되어 있다. 따라서, 화소 행(1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다.

또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행(1)의 트랜지스터(11a)가 각각 Iw×5의 전류를 소스 신호선(18)에 흘려 보낸다. 그리고, 각 화소 행(1)의 컨덴서(19)에는 5배의 전류가 프로그램된다.

다음의 수평 주사 기간에서는 1 화소 행, 기입 화소 행이 시프트한다. 즉, 이번에는 기입 화소 행이 (2)이다. 최초의 1/2H의 기간에는, 도 31에 도시한 바와 같이 기입 화소 행이 (2) 화소 행째일 때, 게이트 신호선(17a)은 (2)(3)(4)(5)(6)이 선택되어 있다. 즉, 화소 행(2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한,

게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되어 있다.

따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 한편, 화소 행(1)의 게이트 신호선(17b)(1)은 Vgl 전압이 인가되고 있기 때문에, 트랜지스터(11d)는 온 상태이고, 화소 행(1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소 행이 5 화소 행(K=5)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 25/5=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

다음의 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소 행(51a)만을 선택한다. 즉, (2) 화소 행째만을 선택한다. 도 31로 분명한 바와 같이, 게이트 신호선(17a)(2)만이 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(3)(4)(5)(6)은 오프(Vgh)가 인가되어 있다.

따라서, 화소 행(1)(2)의 트랜지스터(11a)는 동작 상태(화소 행(1)은 EL 소자(15)에 전류를 흘려 보내고, 화소 행(2)은 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(3)(4)(5)(6)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다.

또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로(1222b)와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행(2)의 트랜지스터(11a)가 각각 Iw×5의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소 행(2)의 컨덴서(19)에는 5배의 전류가 프로그램된다. 이상의 동작을 순차 실시하는 것에 의해 1 화면을 표시할 수 있다.

도 30에서 설명한 구동 방법은, 제1 기간에 G 화소 행(G는 2 이상)을 선택하고, 각 화소 행에는 N배의 전류를 흘리도록 프로그램한다. 제1 기간 후의 제2 기 간에서는 B 화소 행(B는 G보다도 작고 1 이상)을 선택하고, 화소에는 N배의 전류를 흘리도록 프로그램하는 방식이다.

그러나, 다른 방책도 있다. 제1 기간에 G 화소 행(G는 2 이상)을 선택하고, 각 화소 행의 총합 전류가 N배의 전류로 되도록 프로그램한다. 제1 기간 후의 제2 기간에서는 B 화소 행(B는 G보다도 작고, 1 이상)을 선택하고, 선택된 화소 행의 총합의 전류(단, 선택 화소 행이 1의 시에는, 1 화소 행의 전류)가 N배로 되도록 프로그램하는 방식이다.

예를 들면, 도 30(a1)에 있어서, 5 화소 행을 동시에 선택하고, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘려 보낸다. 따라서, 소스 신호선(18)에는 5×2배=10배의 전류가 흐른다. 다음의 제2 기간에서는 도 30(b1)에 있어서, 1 화소 행을 선택한다. 이 1 화소의 트랜지스터(11a)에는 10배의 전류를 흘려 보낸다.

또, 도 31에 있어서, 복수의 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 1 화소 행을 선택하는 기간을 1/2H로 했는데 이것에 한정되는 것이 아니다. 복수의 화소 행을 동시에 선택하는 기간을 1/4H로 하고, 1 화소 행을 선택하는 기간을 3/4H로 하여도 좋다. 또한, 복수의 화소 행을 동시에 선택하는 기간과, 1 화소 행을 선택하는 기간을 가한 기간은 1H로 했지만 이것에 한정되는 것이 아니다. 예를 들면, 2H 기간이라도 1.5H 기간이더라도 무방하다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 다음의 제2 기간에서는 2 화소 행을 동시에 선택하는 것으로 해도 좋다. 이 경우라도 실용상 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 제1 기간을 1/2H로 하고, 1 화소 행을 선택하는 제2 기간을 1/2H로 하는 2 단계로 했지만 이것에 한정되는 것이 아니다. 예를 들면, 제1 단계는, 5 화소 행을 동시에 선택하고, 제2 기간에는 상기 5 화소 행 중, 2 화소 행을 선택하고, 마지막으로 1 화소 행을 선택하는 3개의 단계로 하여도 된다. 즉, 복수의 단계에서 화소 행에 화상 데이터를 기입하여도 좋다.

이상의 실시예는, 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식, 혹은 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식이다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 화상 데이터에 대응하여 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식과, 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식을 조합하여도 된다.

이하, 본 발명의 인터레이스 구동에 대하여 설명한다. 도 133은 인터레이스 구동을 행하는 본 발명의 표시 패널의 구성이다. 도 133에 있어서, 홀수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a2)에 접속되어 있다. 한편, 홀수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b2)에 접속되어 있다.

따라서, 게이트 드라이버 회로(12a1)의 동작(제어)에 의해 홀수 화소 행의 화상 데이터가 순차 재기입된다. 홀수 화소 행은 게이트 드라이버 회로(12b1)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행하여진다. 또한, 게이트 드라이버 회로(12a2)의 동작(제어)에 의해 짝수 화소 행의 화상 데이터가 순차 재기입된다. 또한, 짝수 화소 행은, 게이트 드라이버 회로(12b2)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행하여진다.

도 134의 (a)는 제1 필드에서의 표시 패널의 동작 상태이다. 도 134의 (b)는 제2 필드에서의 표시 패널의 동작 상태이다. 또, 설명을 쉽게 하기 위해서, 1 프레임은 2 필드로 구성되어 있는 것으로 한다. 도 134에 있어서, 사선을 기입한 게이트 드라이버 회로(12)는 데이터의 주사 동작이 하지 않음을 나타내고 있다. 즉, 도 134의 (a)의 제1 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a1)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b2)가 동작한다. 도 134의 (b)의 제2 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a2)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b1)가 동작한다. 이상의 동작이, 프레임 내에서 반복된다.

도 135가 제1 필드에서의 화상 표시 상태이다. 도 135의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 도시하고 있다. 도 135(a1)→(a2)→(a3)로 기입 화소 행 위치가 순차 시프트된다. 제1 필드에서는, 홀수 화소 행이 순차 재기입된다(짝수 화소 행의 화상 데이터는 유지되어 있음). 도 135의 (b)가 홀수 화소 행의 표시 상태를 나타내고 있다. 또, 도 135의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 135의 (c)에 도시하고 있다. 도 135의 (b)에서도 분명한 바와 같이, 홀수 화소 행에 대응하는 화소의 EL 소자 (15)는 비점등 상태이다. 한편, 짝수 화소 행은 도 135의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

도 136은 제2 필드에서의 화상 표시 상태이다. 도 136의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 도시하고 있다. 도 136(a1)→(a2)→(a3)로 기입 화소 행 위치가 순차 시프트된다. 제2 필드에서는, 짝수 화소 행이 순차 재기입된다(홀수 화소 행의 화상 데이터는 유지되어 있음). 도 136의 (b)가 홀수 화소 행의 표시 상태를 나타내고 있다. 또, 도 136의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 136의 (c)에 도시하고 있다. 도 136의 (b)에서도 분명한 바와 같이, 짝수 화소 행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 홀수 화소 행은, 도 136의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

이상과 같이 구동함으로써, 인터레이스 구동을 EL 표시 패널로 용이하게 실현할 수 있다. 또, N배 펄스 구동을 실시하는 것에 의해 기입 부족도 발생하지 않고, 동화상 불선명도 발생하지 않는다. 또한, 전류(전압) 프로그램의 제어와, EL 소자(15)의 점등 제어도 용이하고, 회로도 용이하게 실현할 수 있다.

또, 본 발명의 구동 방식은 도 135, 도 136의 구동 방식에 한정되는 것이 아니다. 예를 들면, 도 137의 구동 방식도 예시된다. 도 135, 도 136은 전류(전압) 프로그램을 행하고 있는 홀수 화소 행 또는 짝수 화소 행은 비표시 영역(52)(비점등, 흑 표시)으로 하는 것이었다. 도 137의 실시예는, EL 소자(15)의 점등 제어를 행하는 게이트 드라이버 회로(12b1, 12b2)의 양방을 동기시켜 동작시키는 것이다. 단, 전류(전압) 프로그램을 행하고 있는 화소 행(51)은 비표시 영역이 되도록 제어하는 것은 물론이다(도 38의 커런트 미러 화소 구성에서는 그 필요는 없음). 도 137에서는 홀수 화소 행과 짝수 화소 행의 점등 제어가 동일하기 때문에, 게이트 드라이버 회로(12b1과 12b2)의 2개로 설치할 필요는 없다. 게이트 드라이버 회로(12b)를 하나로 점등 제어할 수 있다.

도 137은 홀수 화소 행과 짝수 화소 행의 점등 제어를 동일하게 하는 구동 방법이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 도 138은 홀수 화소 행과 짝수 화소 행의 점등 제어를 다르게 한 실시예이다. 특히, 도 138은 홀수 화소 행의 점등 상태(표시 영역(53), 비표시 영역(52))의 역 패턴을 짝수 화소 행의 점등 상태로 한 예이다. 따라서, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은 동일하게 되도록 하고 있다. 물론, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은) 동일하게 되는 것에 한정되는 것이 아니다.

또한, 도 136, 도 135에 있어서, 홀수 화소 행 혹은 짝수 화소 행에서 모든 화소 행이 비점등 상태로 하는 것에 한정되는 것이 아니다.

이상의 실시예는 1 화소 행씩 전류(전압) 프로그램을 실시하는 구동 방법이었다. 그러나, 본 발명의 구동 방법은 이것에 한정되는 것이 아니고, 도 139에 도시하는 바와 같이 2 화소 행(복수 화소 행)을 동시에 전류(전압) 프로그램 행하

여도 됨은 말할 필요도 없다(도 27과 그 설명도 참조). 도 139의 (a)는 홀수 필드의 실시예이고, 도 139의 (b)는 짝수 필드의 실시예이다. 홀수 필드에서는, (1, 2) 화소 행, (3, 4) 화소 행, (5, 6) 화소 행, (7, 8) 화소 행, (9, 10) 화소 행, (11, 12) 화소 행, ……(n, n+1) 화소 행(n은 1 이상의 정수)의 조로 2 화소 행을 순차 선택하여, 전류 프로그램을 행하여 간다. 짝수 필드에서는 (2, 3) 화소 행, (4, 5) 화소 행, (6, 7) 화소 행, (8, 9) 화소 행, (10, 11) 화소 행, (12, 13) 화소 행, ……(n+1, n+2) 화소 행(n은 1 이상의 정수)의 조로 2 화소 행을 순차 선택하여, 전류 프로그램을 행하여 간다.

이상과 같이 각 필드에서 복수 화소 행을 선택하여 전류 프로그램을 행함으로써 소스 신호선(18)에 흘리는 전류를 증가할 수 있어, 흑 기입을 양호하게 할 수 있다. 또, 홀수 필드와 짝수 필드에서 선택하는 복수 화소 행의 조를 적어도 1 화소 행 어긋나게 함으로써, 화상의 해상도를 향상시킬 수 있다.

도 139의 실시예는 각 필드에서 선택하는 화소 행을 2 화소 행으로 했지만, 이것에 한정하는 것이 아니고 3 화소 행으로 하여도 좋다. 이 경우에는, 홀수 필드와 짝수 필드에서 선택하는 3 화소 행의 조는 1 화소 행 어긋나게 하는 방법과, 2 화소 행 어긋나게 하는 방법의 2 방식을 선택 가능하다. 또한, 각 필드에서 선택하는 화소 행은 4 화소 행 이상으로 하여도 된다. 또한, 도 125 내지 도 132에 도시하는 바와 같이, 1 프레임을 3 필드 이상으로 구성하도록 하여도 좋다.

또한, 도 139의 실시예에서는 2 화소 행을 동시에 선택하는 것으로 했지만, 이것에 한정되는 것이 아니며, 1H를 전반 1/2H와 후반의 1/2H로 하여, 홀수 필드에서는, 제1H 기간의 전반의 1/2H 기간에 제1 화소 행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제2 화소 행을 선택하여 전류 프로그램을 행한다. 다음의 제2H 기간의 전반의 1/2H 기간에 제3 화소 행을 선택하여 전류 프로그램을 행 하고, 후반의 1/2H 기간에 제4 화소 행을 선택하여 전류 프로그램을 행한다. 또한, 다음의 제3H 기간의 제1H 기간의 전반의 1/2H 기간에 제5 화소 행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제6 화소 행을 선택하여 전류 프로그램을 행한다. ……라는 식으로 구동해도 된다.

또한, 짝수 필드에서는, 제1H 기간의 전반의 1/2H 기간에 제2 화소 행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제3 화소 행을 선택하여 전류 프로그램을 행한다. 다음의 제2H 기간의 전반의 1/2H 기간에 제4 화소 행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제5 화소 행을 선택하여 전류 프로그램을 행한다. 또한, 다음의 제3H 기간의 제1H 기간의 전반의 1/2H 기간에 제6 화소 행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제7 화소 행을 선택하여 전류 프로그램을 행한다. ……라는 식으로 구동해도 된다.

이상의 실시예에서도 각 필드에서 선택하는 화소 행을 2 화소 행으로 했지만, 이것에 한정하는 것이 아니며 3 화소 행으로 하여도 좋다. 이 경우에는, 홀수 필드와 짝수 필드에서 선택하는 3 화소 행의 조는 1 화소 행 어긋나게 하는 방법과, 2 화소 행 어긋나게 하는 방법의 2 방식을 선택 가능하다. 또한, 각 필드에서 선택하는 화소 행은 4 화소 행 이상으로 해도 된다.

본 발명의 N배 펄스 구동 방법에서는, 각 화소 행에서 게이트 신호선(17b)의 파형을 동일하게 하여, 1H의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 1F/N으로 규정하면서, 순차, 점등하는 화소 행을 시프트시킬 수 있다. 이와 같이, 각 화소 행에서, 게이트 신호선 (17b)의 파형을 동일하게 하여, 시프트시키고 있는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가하는 데이터인 ST1, ST2를 제어하면 되기 때문이다. 예를 들면, 입력 ST2가 L 레벨일 때, 게이트 신호선(17b)에 Vgl이 출력되고, 입력 ST2가 H 레벨일 때, 게이트 신호선(17b)에 Vgh가 출력된다고 하면, 시프트 레지스터(17b)에 인가하는 ST2를 1F/N의 기간만큼 L 레벨로 입력하고, 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2로 시프트해 갈 뿐이다.

또, EL 소자(15)를 온 오프하는 주기는 O.5 msec 이상으로 할 필요가 있다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑 표시 상태가 되지 않고, 화상이 희미해져, 마치 해상도가 저하된 것처럼 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태가 된다. 그러나, 온 오프 주기가 100msec 이상으로 되면, 점멸 상태로 보인다. 따라서, EL 소자의 온 오프 주기는 O.5μsec 이상 100 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 2 msec 이상 30 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 3 msec 이상 20 msec 이하로 해야 한다.

앞에서도 기재했지만, 흑 화면(52)의 분할 수는, 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 어른거림이 보이기 쉽게 된다. 따라서, 흑 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할 수를 너무나 많게 하면 동화상 불선명이 발생한다. 분할 수는 1 이상 8 이하로 하여야 한다. 더욱 바람직하게는 1 이상 5 이하로 하는 것이 바람직하다.

또, 흑 화면의 분할 수는 정지 화상과 동화상으로 변경할 수 있도록 구성하는 것이 바람직하다. 분할 수란, N=4에서는 75%가 흑 화면이고, 25%가 화상 표시이다. 이 때, 75%의 흑 표시부를 75%의 흑 띠 상태에서 화면의 상하 방향으로 주사하는 것이 분할 수 1이다. 25%의 흑 화면과 25/3%의 표시 화면의 3 블록으로 주사하는 것이 분할 수 3이다. 정

지 화상은 분할 수를 많게 한다. 동화상은 분할 수를 적게 한다. 전환은 입력 화상에 대응하여 자동적(동화상 검출 등)으로 행하여도 되고, 사용자가 수동으로 행하여도 된다. 또한, 표시 장치의 영상 등에 입력 콘센트에 대응하여 전환할 수 있도록 구성하면 된다.

예를 들면, 휴대 전화 등에 있어서, 화면 표시, 입력 화면에서는 분할 수를 10 이상으로 한다(극단적으로는 1H마다 온 오프해도 됨). NTSC의 동화상을 표시할 때는, 분할 수를 1 이상 5 이하로 한다. 또, 분할 수는 3 이상의 다단계로 전환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할 수가고, 2, 4, 8 등이다.

또한, 전 표시 화면에 대한 흑 화면의 비율은, 전 화면의 면적을 1로 했을 때, 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높아져, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉽게 된다.

또한, 1초당의 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 또한 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수 가 적으면, 화면의 어른거림이 눈에 띄게 되고, 너무나도 프레임 수가 많으면, 소스 드라이버 회로(14) 등으로부터의 기입이 힘들어져 해상도가 열화된다.

또, 이상의 사항은 도 38 등의 전류 프로그램의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그램의 화소 구성에서도 적용할 수 있음은 물론이다. 도 38에서는, 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온 오프 제어하면 된다. 이와 같이, EL 소자(15)에 전류를 흘리는 배선을 온 오프함으로써, 본 발명의 N배 펄스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 1F/N의 기간만, Vgl로 하는 시각은 1F(1F에 한정되는 것이 아님. 단위 기간이면 됨)의 기간 중 어느 시각이라도 좋다. 단위 시간 중 소정의 기간만 EL 소자(15)를 온시키는 것에 의해, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그램 기간(1H) 후, 곧 게이트 신호선(17b)을 Vgl로 하여 EL 소자(15)를 발광시키는 쪽이 좋다. 도 1의 컨덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 눌러서, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경한다. 표시하는 화상의 내용, 데이터에 의해 수동으로 혹은 자동적으로 변화시키도록 구성해도 된다.

이와 같이 K의 값(화상 표시부(53)의 분할 수)을 변화시키는 것도 용이하게 실현할 수 있다. 도 6에 있어서 ST에 인가하는 데이터의 타이밍(1F의 언제 L 레벨로 할지)을 조정 혹은 가변할 수 있도록 구성해 두면 되기 때문이다.

또, 도 16 등에서는, 게이트 신호선(17b)을 Vgl로 하는 기간(1F/N)을 복수로 분할(분할 수 M)하고, Vgl로 하는 기간은 1F/(K · N)의 기간을 K회 실시하는 것으로 했지만 이것에 한정되는 것이 아니다. 1F/(K · N)의 기간을 L(L≠K)회 실시해도 된다. 즉, 본 발명은 EL 소자(15)에 흘려 보내는 기간(시간)을 제어함으로써 표시 화면(50)을 표시하는 것이다. 따라서, 1F/(K · N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 표시 화면(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화가 된다. 이들 제어도 본 발명의 다른 실시예에도 적용할 수 있음은 말할 필요도 없다(물론, 이후에 설명하는 본 발명에도 적용할 수 있음). 이들도 본 발명의 N배 펄스 구동이다.

이상의 실시예는, EL 소자(15)와 구동용 트랜지스터(11a)의 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하고, 이 트랜지스터(11d)를 제어하는 것에 의해, 화면(50)을 온 오프 표시하는 것이었다. 이 구동 방법에 의해, 전류 프로그램 방식의 흑 표시 상태에서의 전류 기입 부족을 없애고, 양호한 해상도 혹은 흑 표시를 실현하는 것이었다. 즉, 전류 프로그램 방식에서는, 양호한 흑 표시를 실현하는 것이 중요하다. 다음에 설명하는 구동 방법은, 구동용 트랜지스터(11a)를 리셋하여 양호한 흑 표시를 실현하는 것이다. 이하, 도 32를 이용하여, 그 실시예에 대하여 설명한다.

도 32는 기본적으로는 도 1의 화소 구성이다. 도 32의 화소 구성에서는, 프로그램된 Iw 전류가 EL 소자(15)에 흘러, EL 소자(15)가 발광한다. 즉, 구동용 트 랜지스터(11a)는 프로그램됨으로써, 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용하여 트랜지스터(11a)를 리셋(오프 상태)으로 하는 방식이 도 32의 구동 방식이다. 이후, 이 구동 방식을 리셋 구동이라고 부른다.

도 1의 화소 구성으로 리셋 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립하여 온 오프 제어할 수 있도록 구성할 필요가 있다. 즉, 도 32에서 도시하는 바와 같이 트랜지스터(11b)를 온 오프 제어하는 게이트 신호선(17a)(게이트 신호선 WR), 트랜지스터(11c)를 온 오프 제어하는 게이트 신호선(17c)(게이트 신호선 EL)을 독립하여 제어할 수 있도록 한다. 게이트 신호선(17a)과 게이트 신호선(17c)의 제어는, 도 6에 도시하는 바와 같이 독립된 2개의 시프트 레지스터 회로(61)에서 행하면 된다.

트랜지스터(11b)를 구동하는 게이트 신호선(17a)과 트랜지스터(11d)를 구동하는 게이트 신호선(17b)의 구동 전압은 변화시키면 된다(도 1의 화소 구성인 경우). 게이트 신호선(17a)의 진폭치(온 전압과 오프 전압의 차)는 게이트 신호선(17b)의 진폭치보다도 작게 한다.

게이트 신호선(17)의 진폭치가 크면, 게이트 신호선(17)과 화소(16)의 관통 전압이 커져, 흑이 들뜨는 현상이 발생한다. 게이트 신호선(17a)의 진폭은 소스 신호선(18)의 전위가 화소(16)에 인가되지 않는다(인가함(선택 시간))를 제어하면 되는 것이다. 소스 신호선(18)의 전위 변동은 작기 때문에, 게이트 신호선(17a)의 진폭치는 작게 할 수 있다.

한편, 게이트 신호선(17b)은 EL의 온 오프 제어를 실시할 필요가 있다. 따 라서, 진폭치는 커진다. 이에 대응하기 위해서, 시프트 레지스터(61a와 61b)의 출력 전압을 변화시킨다. 화소가 P 채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터 회로(61a와 61b)의 Vgh(오프 전압)를 대략 동일하게 하고, 시프트 레지스터 회로(61a)의 Vgl(온 전압)을 시프트 레지스터 회로(61b)의 Vgl(온 전압)보다도 낮게 한다.

이하, 도 33을 참조하면서, 리셋 구동 방식에 대하여 설명한다. 도 33은 리셋 구동의 원리 설명도이다. 우선, 도 33의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온 상태로 한다. 그렇게 하면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, Ib 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 전의 필드(프레임)에서 전류 프로그램되어 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되고, 트랜지스터(11b)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자에 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)이 된다.

또, 도 33의 (a)의 동작 전에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘린다고 하는 동작을 실시하는 것이 바람직하다. 이 동작은 극력히 단시간에 완료시키는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 콘트라스트를 저하시킬 우려가 있기 때문이다. 이 동작 시간은, 1H(1수평 주 사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2% 이상 2% 이하로 되도록 하는 것이 바람직하다. 혹은 0.2μsec 이상 5μsec 이하로 되도록 하는 것이 바람직하다. 또한, 전 화면의 화소(16)에 일괄해서 전술한 동작(도 33의 (a)의 앞에 행하는 동작)을 실시해도 된다. 이상의 동작을 실시함으로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하되어, 도 33의 (a)의 상태로 원활한 Ib 전류를 흘릴 수 있게 된다. 또, 이상의 사항은 본 발명의 다른 리셋 구동 방식에도 적용된다.

도 33의 (a)의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 33의 (a)의 실시 시간은 1H 이상 5H 이하로 하는 것이 바람직하다.

또, 이 기간은 R, G, B의 화소로 다르게 하는 것이 바람직하다. 각 색의 화소에서 EL 재료가 서로 다르고, 이 EL 재료가 상승 전압 등에 차이가 있기 때문이다. RGB의 각 화소에서, EL 재료에 적응하여 가장 최적의 기간을 설정한다. 또, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 하는 것으로 했지만, 흑 삽입(흑 화면을 기입함)을 주로 하는 구동 방식에서는, 5H 이상이어도 됨은 물론이다. 또, 이 기간이 길수록, 화소의 흑 표시 상태는 양호해진다.

도 33의 (a)를 실시한 후, 1H 이상 5H 이하의 기간에 있어서 도 33의 (b)의 상태로 된다. 도 33의 (b)는 트랜지스터(11c), 트랜지스터(11b)를 온시키고, 트랜지스터(11d)를 오프시킨 상태이다. 도 33의 (b)의 상태는 이전에도 설명했지만, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하여, 이 프로그램 전류 Iw를 구동용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 설정하는 것이다(설정 전위는 컨덴서(19)에 유지됨).

만약, 프로그램 전류 Iw가 0(A)이면, 트랜지스터(11a)는 전류를 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 그대로가 되므로, 양호한 흑 표시를 실현할 수 있다. 또한, 도 33의 (b)에서 백 표시의 전류 프로그램을 행하는 경우에도, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 대응하여 똑같아진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 33의 (b)의 전류 프로그래밍 후에, 도 33의 (c)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)에서의 프로그램 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 33의 (c)에 관해도, 도 1 등에서 이전에 설명을 했기 때문에 상세는 생략한다.

즉, 도 33에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태)하고, 또한 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이 를 쇼트하는 제1 동작과, 상

기 동작의 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 또한, 적어도 제2 동작은 제1 동작 후에 행하는 것이다. 또, 리셋 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록, 구성해 두지 않으면 안된다.

화상 표시 상태는(만약, 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램이 행해지는 화소 행은, 리셋 상태(흑 표시 상태)가 되고, 1H 후에 전류 프로그램이 행해진다(이 때도 흑 표시 상태이다. 트랜지스터(11d)가 오프이기 때문임). 다음에, EL 소자(15)에 전류가 공급되고, 화소 행은 소정 휘도(프로그램된 전류)로 발광한다. 즉, 화면의 위에서 아래 방향으로, 흑 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재기입되어 가듯이 보일 것이다.

또, 리셋 후, 1H 후에 전류 프로그램을 행한다고 했지만 이 기간은 5H 정도 이내로 하여도 좋다. 도 33의 (a)의 리셋이 완전히 행해지는 데 비교적 장시간을 필요로 하기 때문이다. 만약, 이 기간을 5H로 하면, 5 화소 행이 흑 표시(전류 프로그램의 화소 행도 넣으면 6 화소 행)가 될 것이다.

또한, 리셋 상태는 1 화소 행씩 행하는 것에 한정되는 것이 아니며, 복수 화소 행씩 동시에 리셋 상태로 하여도 좋다. 또한, 복수 화소 행씩 동시에 리셋 상태로 하고, 또한 오버랩하면서 주사해도 된다. 예를 들면, 4 화소 행을 동시에 리셋하는 것이면, 제1 수평 주사 기간(1 단위)에, 화소 행(1)(2)(3)(4)을 리셋 상태로 하고, 다음의 제2 수평 주사 기간에, 화소 행(3)(4)(5)(6)을 리셋 상태로 하고, 또 다음의 제3 수평 주사 기간에, 화소 행(5)(6)(7)(8)을 리셋 상태로 한다. 또한, 다음의 제4 수평 주사 기간에, 화소 행(7)(8)(9)(10)을 리셋 상태로 한다고 하는 구동 상태가 예시된다. 또, 당연히 도 33의 (b), 도 33의 (c)의 구동 상태도 도 33의 (a)의 구동 상태와 동기하여 실시된다.

또한, 1 화면의 화소 전체를 동시에 혹은 주사 상태에서 리셋 상태로 하고 나서, 도 33의 (b)의 (c)의 구동을 실시해도 됨은 물론이다. 또한, 인터레이스 구동 상태(1 화소 행 혹은 복수 화소 행의 비월 주사)로, 리셋 상태(1 화소 행 혹은 복수 화소 행 비월)로 하여도 됨은 물론이다. 또한, 랜덤의 리셋 상태를 실시해도 된다. 또, 본 발명의 리셋 구동의 설명은 화소 행을 조작하는 방식이다(즉, 화면의 상하 방향의 제어). 그러나, 리셋 구동의 개념은 제어 방향이 화소 행에 한정되는 것이 아니다. 예를 들면, 화소 열 방향으로 리셋 구동을 실시해도 되는 것은 물론이다.

또, 도 33의 리셋 구동은 본 발명의 N배 펄스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다. 특히 도 22의 구성, 간헐 N/K배 펄스 구동(1 화면에 점등 영역을 복수 설치하는 구동 방법이다. 이 구동 방법은 게이트 신호선(17b)을 제어하고, 트랜지스터(11d)를 온 오프 동작시키는 것에 의해 용이하게 실현할 수 있다. 이것은 이전에 설명을 했음)을 용이하게 실현할 수 있기 때문에, 깜박임의 발생도 없고 양호한 화상 표시를 실현할 수 있다.

또한, 다른 구동 방법, 예를 들면, 이후 설명하는 프리차지 구동 방식 등과 조합함으로써 더욱 우수한 화상 표시를 실현할 수 있는 것은 물론이다. 이상과 같이, 본 발명과 같이 리셋 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 물론이다.

도 34는 리셋 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버 회로(12a)는 도 32에서의 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11b)가 온 오프 제어된다. 또한, 게이트 신호선(17b)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11d)가 온 오프 제어된다. 게이트 드라이버 회로(12b)는 도 32에서의 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11c)가 온 오프 제어된다.

따라서, 게이트 신호선(17a)은 게이트 드라이버 회로(12a)에서 조작하고, 게이트 신호선(17c)은 게이트 드라이버 회로(12b)에서 조작한다. 그 때문에, 트랜지스터(11b)를 온시켜 구동용 트랜지스터(11a)를 리셋하는 타이밍과, 트랜지스터(11c)를 온시켜 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 타이밍을 자유롭게 설정할 수 있다. 다른 구성 등은 이전에 설명한 것과 동일 또는 유사하기 때문에 설명을 생략한다.

도 35는 리셋 구동의 타이밍차트이다. 게이트 신호선(17a)에 온 전압을 인가하여, 트랜지스터(11b)를 온시키고, 구동용 트랜지스터(11a)를 리셋하고 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32의 (a)의 상태로 되어 있다. 이 기간에 Ib 전류가 흐른다.

도 35의 타이밍차트에서는, 리셋 시간은 2H(게이트 신호선(17a)에 온 전압이 인가되어, 트랜지스터(11b)가 온 상태로 함)로 하고 있지만, 이것에 한정되는 것이 아니다. 2H 이상이라도 좋다. 또한, 리셋이 매우 고속으로 행할 수 있는 경우에는, 리셋 시간은 1H 미만이어도 된다.

리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간에 용이하게 변경할 수 있다. 예를 들면, ST 단자에 입력하는 DATA를 2H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출

력되는 리셋 기간은 2H 기간이 된다. 마찬가지로, ST 단자에 입력하는 DATA를 5H 기간 동안H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 5H 기간이 된다.

1H 기간의 리셋 후, 화소 행(1)의 게이트 신호선(17c)(1)에 온 전압이 인가된다. 트랜지스터(11c)가 온함으로써, 소스 신호선(18)에 인가된 프로그램 전류 Iw가 트랜지스터(11c)를 통하여 구동용 트랜지스터(11a)에 기입된다.

전류 프로그램 후, 화소(1)의 게이트 신호선(17c)에 오프 전압이 인가되고, 트랜지스터(11c)가 오프 상태로 되어, 화소가 소스 신호선과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 전압이 인가되어, 구동용 트랜지스터(11a)의 리셋 상태가 해소된다(또, 이 기간은 리셋 상태라고 표현하는 것보다도, 전류 프로그램 상태라고 표현하는 쪽이 적절함). 또한, 게이트 신호선(17b)에는 온 전압이 인가되고, 트랜지스터(11d)가 온 상태로 되어, 구동용 트랜지스터(11a)에 프로그램된 전 류가 EL 소자(15)에 흐른다. 또, 화소 행(2) 이후에 대해서도, 화소 행(1)과 마찬가지이고, 또한 도 35로부터 그 동작은 분명하므로 설명을 생략한다.

도 35에 있어서, 리셋 기간은 1H 기간이었다. 도 36은 리셋 기간을 5H로 한 실시예이다. 리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간으로 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버 회로(12a)의 ST1 단자에 입력하는 DATA를 5H 기간 동안 H 레벨로 하고, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간을 5H 기간으로 한 실시예이다. 리셋 기간은 길수록 리셋이 완전히 행해져, 양호한 흑 표시를 실현할 수 있다. 그러나, 리셋 기간의 비율분은 표시 휘도가 저하하게 된다.

도 36은 리셋 기간을 5H로 한 실시예였다. 또한, 이 리셋 상태는 연속 상태였다. 그러나, 리셋 상태는 연속하여 행하는 것에 한정되는 것이 아니다. 예를 들면, 각 게이트 신호선(17a)으로부터 출력되는 신호를 1H마다 온 오프 동작시키더라도 무방하다. 이와 같이 온 오프 동작시키는 것은, 시프트 레지스터의 출력단에 형성된 인에이블 회로(도시하지 않음)를 조작하는 것에 의해 용이하게 실현할 수 있다. 또한, 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스를 제어함으로써 용이하게 실현할 수 있다.

도 34의 회로 구성에서는, 게이트 드라이버 회로(12a)는 적어도 2개의 시프트 레지스터 회로(하나는 게이트 신호선(17a) 제어용, 다른 하나는 게이트 신호선(17b) 제어용)가 필요했다. 그 때문에, 게이트 드라이버 회로(12a)의 회로 규모가 커진다고 하는 과제가 있었다. 도 37은 게이트 드라이버 회로(12a)의 시프트 레지 스터를 하나로 한 실시예이다. 도 37의 회로를 동작시킨 출력 신호의 타이밍차트는 도 35와 같아진다. 또, 도 35와 도 37은 게이트 드라이버 회로(12a, 12b)로부터 출력되어 있는 게이트 신호선(17)의 기호가 서로 다르기 때문에 주의가 필요하다.

도 37의 OR 회로(371)가 부가되어 있는 점에서 분명하지만, 각 게이트 신호선(17a)의 출력은, 시프트 레지스터 회로(61a)의 전단 출력과의 OR를 취해 출력된다. 즉 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안 온 전압이 인가된다.

예를 들면, 시프트 레지스터 회로(61a)의 2번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(1)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(1)는 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(2)의 게이트 신호선(17a)에도 온 전압이 출력되어, 화소(16)(2)의 트랜지스터(11b)가 온 상태로 되고, 화소(16)(2)의 구동용 트랜지스터(11a)가 리셋된다.

마찬가지로, 시프트 레지스터 회로(61a)의 3번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(2)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(2)는 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(3의 게이트 신호선(17a)에도 온 전압이 출력되고, 화소(16)(3) 트랜지스터(11b)가 온 상태로 되어, 화소(16)(3) 구동용 트랜지스터(11a)가 리셋된다. 즉, 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력되어, 게이트 신호선(17c)에 1H 기간 온 전압이 출력된다.

프로그램 상태일 때에는, 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되기(도 33의 (b)) 때문에, 비 프로그램 상태(도 33의 (c))로 이행할 때, 트랜지스터(11c)가 트랜지스터(11b)보다도 먼저 오프 상태로 되면, 도 33의 (b)의 리셋 상태로 되어 버린다. 이를 방지하기 위해서는, 트랜지스터(11c)가 트랜지스터(11b)보다도 나중에 오프 상태로 할 필요가 있다. 이를 위해서는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 전압이 인가되도록 제어할 필요가 있다.

이상의 실시예는, 도 32(기본적으로는 도 1)의 화소 구성에 관한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 38에 도시한 바와 같은 커런트 미러의 화소 구성으로도 실시할 수 있다. 또, 도 38에서는 트랜지스터(11e)를 온 오프 제어하는 것에 의해, 도 13, 도 15 등에서 도시하는 N배 펄스 구동을 실현할 수 있다. 도 39는 도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서, 커런트 미러의 화소 구성에 있어서의 리셋 구동 방식에 대하여 설명한다.

도 39의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 된다. 그렇게 하면, 전류 프로그램용 트랜지스터(11b)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 전의 필드(프레임)에서 전류 프로그램되어, 전류를 흘려 보내는 능력이 있다(게이트 전위는 컨덴서(19)에 1F 기간 유지되고, 화상 표시를 행하고 있기 대문에 당연함. 단, 완전한 흑 표시를 행하고 있는 경우, 전류는 흐르지 않음). 이 상태에서 트랜지스터(11e)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자의 방향으로 흐른다(게이트(G) 단자와 드레인(D) 단자가 쇼트됨). 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다. 또한, 구동용 트랜지스터(11b)의 게이트(G) 단자는 전류 프로그램용 트랜지스터(11a)의 게이트(G) 단자와 공통이므로, 구동용 트랜지스터(11b)도 리셋 상태가 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘려 보내지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 39의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압(전류가 흐르기 시작하는 개시 전압. 이 전압의 절대값 이상의 전압을 인가함으로써, 트랜지스터(11)에 전류가 흐름)이 유지되어 있게 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 서로 다른 전압값이다. 따라서, 도 39의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘려 보내지 않는(즉, 흑 표시 전류(거의 0과 같음)) 상태가 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또, 도 39의 (a)에서도 도 33의 (a)와 마찬가지로, 리셋의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따 라서, 도 39의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 39의 (a)의 실시 시간은 1H 이상 10H(10 수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직하다. 혹은, 20μsec 이상 2 msec 이하로 하는 것이 바람직하다. 이것은 도 33의 구동 방식에서도 마찬가지이다.

도 33의 (a)도 마찬가지이지만, 도 39의 (a)의 리셋 상태와 도 39의 (b)의 전류 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 39의 (a)의 리셋 상태에서 도 39의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정치)가 되므로 문제는 없다(고정치로 되어 있음). 즉, 도 33의 (a) 혹은 도 39의 (a)의 리셋 상태에서, 도 33의 (b) 혹은 도 39의 (b)의 전류 프로그램 상태까지의 기간이, 1H 이상 10H(10수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직한 것이다. 혹은, 20μsec 이상 2 msec 이하로 하는 것이 바람직한 것이다. 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무나도 길면 구동용 트랜지스터(11)가 완전히 오프 상태로 되고, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(50)의 휘도도 저하한다.

도 39의 (a)를 실시 후, 도 39의 (b)의 상태로 된다. 도 39의 (b)는 트랜지스터(11c), 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시킨 상태이다. 도 39의 (b)의 상태는 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하고, 이 프로그램 전류 Iw를 전류 프로그램용 트랜지스터(11a)에 흘려보낸다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트(G) 단자의 전위를 컨덴서(19)에 설정하는 것이다.

만약, 프로그램 전류 Iw가 0(A)(흑 표시)이면, 트랜지스터(11b)는 전류를 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 그대로가 되므로, 양호한 흑 표시를 실현 가능하다. 또한, 도 39의 (b)에서 백 표시의 전류 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 응답하여 똑같아진다. 그 때문에, 트랜지스터(11a) 혹은 트랜지스터(11b)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 39의 (b)의 전류 프로그래밍 후, 도 39의 (c)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온시켜, 구동용 트랜지스터(11b)에서의 프로그램 전류 Iw(=Ie)를 EL 소자(15)에 흘려 보내, EL 소자(15)를 발광시킨다. 도 39의 (c)에 관해도 이전에 설명을 했기 때문에 상세는 생략한다.

도 33, 도 39에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태. 트랜지스터(11e) 혹은 트랜지스터(11d)에서 행함)하고, 또한 구동용 트랜지스터의 드레 인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다.

적어도 제2 동작은 제1 동작 후에 행하는 것이다. 또, 제1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단한다고 하는 동작은, 반드시 필수적인 조건이 아니다. 만약, 제1 동작에 있어서의 구

동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단하지 않고서, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자 사이를 쇼트하는 제1 동작을 행하여도 다소의 리셋 상태의 변동이 발생하는 정도로 끝나는 경우가 있기 때문이다. 이것은 제작한 어레이의 트랜지스터 특성을 검토하여 결정한다.

도 39의 커런트 미러의 화소 구성은, 전류 프로그램 트랜지스터(11a)를 리셋하는 것에 의해, 결과적으로 구동용 트랜지스터(11b)를 리셋하는 구동 방법이었다.

도 39의 커런트 미러의 화소 구성에서는, 리셋 상태에서는 반드시 구동용 트랜지스터(11b)와 EL 소자(15) 사이를 절단할 필요는 없다. 따라서, 전류 프로그램용 트랜지스터 a의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 전류 프로그램용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자, 혹은 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후에, 전류 프로그램용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 그리고, 적어도 제2 동작은 제1 동작 후에 행하는 것이다.

화상 표시 상태는(만약, 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행해지는 화소 행은, 리셋 상태(흑 표시 상태)로 되고, 소정 H 후에 전류 프로그램이 행해진다. 화면의 위에서 아래 방향으로, 흑 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재기입되듯이 보일 것이다.

이상의 실시예는, 전류 프로그램의 화소 구성을 중심으로 하여 설명을 했지만, 본 발명의 리셋 구동은 전압 프로그램의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그램의 화소 구성에서의 리셋 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(11a)를 리셋 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 전압이 인가됨으로써, 트랜지스터(11e)가 온 상태로 되고, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이를 쇼트시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(11a)의 전류 경로를 절단하는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그램의 화소 구성에 있어서의 본 발명의 리셋 구동 방식에 대하여 설명한다.

도 44의 (a)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단 자가 동일 전위가 되고, 구동용 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)이 된다. 또, 트랜지스터(11a)를 리셋하기 전에, 도 33 혹은 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘려 놓는다. 그 후, 도 44의 (a)의 동작을 실시한다.

또, 전압 프로그램의 화소 구성에 있어서도, 전류 프로그램의 화소 구성과 마찬가지로, 도 44의 (a)의 리셋의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실시 시간은, 0.2H 이상 5H(5수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 0.5H 이상 4H 이하로 하는 것이 바람직하다. 혹은, 2μsec 이상 400μsec 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소 행의 게이트 신호선(17a)과 공통으로 해 두는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소 행의 게이트 신호선(17a)을 쇼트 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라고 부른다. 또, 전단 게이트 제어 방식이란, 주목 화소 행보다 적어도 1H 전 이상에서 선택되는 화소 행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1 화소 행 전에 한정되는 것은 아니다. 예를 들면, 2 화소 행전의 게이트 신호선의 신호 파형을 이용하여 주목 화소의 구동용 트랜지스터(11a)의 리셋을 실시해도 된다.

전단 게이트 제어 방식을 더 구체적으로 기재하면 이하와 같아진다. 주목하는 화소 행이 (N) 화소 행이라고 하고, 그 게이트 신호선이 게이트 신호선 (17e)(N), 게이트 신호선(17a)(N)이라고 한다. 1H 전에 선택되는 전단의 화소 행은 화소 행이 (N-1) 화소 행이라고 하고, 그 게이트 신호선이 게이트 신호선(17e)(N-1), 게이트 신호선(17a)(N-1)이라고 한다. 또한, 주목 화소 행의 다음의 1H 후에 선택되는 화소 행이 (N+1) 화소 행이라고 하고, 그 게이트 신호선이 게이트 신호선(17e)(N+1), 게이트 신호선(17a)(N+1)이라고 한다.

제(N-1)H 기간에서는, 제(N-1) 화소 행의 게이트 신호선(17a)(N-1)에 온 전압이 인가되면, 제(N) 화소 행의 게이트 신호선(17e)(N)에도 온 전압이 인가된다. 게이트 신호선(17e)(N)과 전단의 화소 행의 게이트 신호선(17a)(N-1)이 쇼트 상태로 형성되어 있기 때문이다. 따라서, 제(N-1) 화소 행의 화소의 트랜지스터(11b)(N-1)가 온 상태로 되고, 소스 신호선(18)의 전압이 구동용 트랜지스터(11a)(N-1)의 게이트(G) 단자에 기입된다. 동시에, 제(N) 화소 행의 화소의 트랜지스터(11e)(N)가 온 상태로 되고, 구동용 트랜지스터(11a)(N)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N)가 리셋된다.

제(N-1)H 기간의 다음 제(N) 기간에서는, 제(N) 화소 행의 게이트 신호선(17a)(N)에 온 전압이 인가되면, 제(N+1) 화소 행의 게이트 신호선(17e)(N+1)에도 온 전압이 인가된다. 따라서, 제(N) 화소 행의 화소의 트랜지스터(11b)(N)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N)의 게이트(G) 단자에 기입된다. 동시에, 제(N+l) 화소 행의 화소의 트랜지스터(11e)(N+1)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N+1)가 리셋된다.

이하 마찬가지로, 제(N)H 기간의 다음의 제(N+1) 기간에서는, 제(N+1) 화소 행의 게이트 신호선(17a)(N+1)에 온 전압이 인가되면, 제(N+2) 화소 행의 게이트 신호선(17e)(N+2)에도 온 전압이 인가된다. 따라서, 제(N+1) 화소 행의 화소의 트랜지스터(11b)(N+1)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자에 기입된다. 동시에, 제(N+2) 화소 행의 화소의 트랜지스터(11e)(N+2)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+2)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N+2)가 리셋된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1H 기간, 구동용 트랜지스터(11a)는 리셋되고, 그 후 전압(전류) 프로그램이 실시된다.

도 33의 (a)도 마찬가지이지만, 도 44의 (a)의 리셋 상태와 도 44의 (b)의 전압 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 44의 (a)의 리셋 상태에서 도 44의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정치)가 되므로 문제는 없다(고정치로 되어 있음). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무나 길면 구동용 트랜지스터(11a)가 완전히 오프 상태로 되어, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(12)의 휘도도 저하한다.

도 44의 (a)를 실시 후, 도 44의 (b)의 상태로 된다. 도 44의 (b)는 트랜지스터(11b)를 온시키고, 트랜지스터(11e), 트랜지스터(11d)를 오프시킨 상태이다. 도 44의 (b)의 상태는 전압 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전압을 출력하고, 이 프로그램 전압을 구동용 트랜지스터(11a)의 게이트(G) 단자에 기입한다(구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 컨덴서(19)에 설정함). 또, 전압 프로그램 방식의 경우에는, 전압 프로그램 시에 트랜지스터(11d)를 반드시 오프시킬 필요는 없다. 또한, 도 13, 도 15 등의 N배 펄스 구동 등과 조합하는 것, 혹은 이상과 같은 간헐 N/K배 펄스 구동(1 화면에 점등 영역을 복수 설치하는 구동 방법이다. 이 구동 방법은 트랜지스터(11e)를 온 오프 동작시킴으로써 용이하게 실현할 수 있음)을 실시할 필요가 없으면, 트랜지스터(11e)가 필요하지 않다. 이것은 이전에 설명을 했기 때문에, 설명을 생략한다.

도 43의 구성 혹은 도 44의 구동 방법으로 백 표시의 전압 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)부터 전압 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 대응하여 같아진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 44의 (b)의 전류 프로그래밍 후, 도 44의 (c)에 도시하는 바와 같이, 트랜지스터(11b)를 오프 상태로 하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)에서의 프로그램 전류를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다.

이상과 같이, 도 43의 전압 프로그램에 있어서의 본 발명의 리셋 구동은, 우선, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터 (11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘리는 제1 동작과, 트랜지스터(11a)와 EL 소자(15) 사이를 절단하고, 또한 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제2 동작과, 상기 동작의 후, 구동용 트랜지스터(11a)에 전압 프로그램을 행하는 제3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터(11a)(도 1의 화소 구성인 경우)로부터 EL 소자(15)에 흘리는 전류를 제어하는 데에, 트랜지스터(11d)를 온 오프시켜 행한다. 트랜지스터(11d)를 온 오프시키기 위해서는, 게이트 신호선(17b)을 주사할 필요가 있는데, 주사를 위해서는, 시프트 레지스터 회로(61)(게이트 드라이버 회로(12))가 필요하다. 그러나, 시프트 레지스터 회로(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터 회로(61)를 이용한 것으로는 협소화할 수 없다. 도 40에서 설명하는 방식은 이 과제를 해결하는 것이다.

또, 본 발명은 주로 도 1 등에 도시하는 전류 프로그램의 화소 구성을 예시하여 설명하지만, 이것에 한정되는 것이 아니고, 도 38 등에서 설명한 다른 전류 프로그램 구성(커런트 미러의 화소 구성)이더라도 적용할 수 있는 것은 물론이다. 또한, 블록으로 온 오프하는 기술적 개념은 도 41 등의 전압 프로그램의 화소 구성에서도 적용할 수 있음은 물론이다.

도 40은 블록 구동 방식의 실시예이다. 우선, 설명을 쉽게 하기 위해서, 게이트 드라이버 회로(12)는 어레이 기판(71)에 직접 형성했다든지, 혹은 실리콘 칩 의 게이트 드라이버 IC(12)를 어레이 기판(71)에 적재한 것으로 해서 설명한다. 또한, 소스 드라이버 회로(14) 및 소스 신호선(18)은 도면이 번잡해지기 때문에 생략한다.

도 40에 있어서, 게이트 신호선(17a)은 게이트 드라이버 회로(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 4개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또, 4개의 게이트 신호선(17b)으로 블록 한다고 하는 것은 이것에 한정되는 것이 아니며, 그 이상이어도 되는 것은 물론이다. 일반적으로 표시 화면(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 나아가서는, 20 이상으로 분할하는 것이 바람직하다. 분할 수가 적으면, 깜박임이 보이기 쉽다. 너무나도 분할 수가 많으면, 점등 제어선(401)의 개수가 많아져, 점등 제어선(401)의 레이아웃이 곤란해진다.

따라서, QCIF 표시 패널의 경우에는, 수직 주사선의 개수가 220개이므로, 적어도, 220/5=44개 이상으로 블록화할 필요가 있으며, 바람직하게는 220/10=11 이상으로 블록화할 필요가 있다. 단, 홀수 행과 짝수 행으로 2개의 블록화를 행한 경우에는, 저 프레임 레이트에서도 비교적 깜박임의 발생이 적기 때문에, 2개의 블록화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d……401n)으로 순차, 온 전압(Vgl)을 인가하거나 혹은 오프 전압(Vgh)을 인가하고, 블록마다 EL 소자(15)에 흐르는 전류를 온 오프시킨다.

또, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 크로스하는 일이 없다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)의 쇼트 결함이 발생하지 않는다. 또, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하지 않기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b) 측을 보았을 때의 용량 부가가 매우 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버 회로(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 전압을 인가하는 것에 의해, 화소 행이 선택되고, 선택된 각 화소의 트랜지스터(11b, 11c)는 온 상태로 되어, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 컨덴서(19)에 프로그램한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트(G) 단자와 접속되어 있다. 따라서, 점등 제어선(401)에 온 전압(Vgl)이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)의 전류 경로를 형성하고, 반대로 오프 전압(Vgh)이 인가되었을 때에는, EL 소자(15)의 애노드 단자를 오픈으로 한다.

또, 점등 제어선(401)에 인가하는 온 오프 전압의 제어 타이밍과, 게이트 드라이버 회로(12)가 게이트 신호선(17a)에 출력하는 화소 행 선택 전압(Vgl)의 타이밍은 1수평 주사 클럭(1H)에 동기하고 있는 것이 바람직하다. 그러나, 이것에 한정되는 것이 아니다.

점등 제어선(401)에 인가하는 신호는 단순히, EL 소자(15)에의 전류를 온 오프시킬뿐이다. 또한, 소스 드라이버 회로(14)가 출력하는 화상 데이터와 동기가 취해져 있을 필요도 없다. 점등 제어선(401)에 인가하는 신호는, 각 화소(16)의 컨덴서(19)에 프로그램된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소 행의 선택 신호와 동기가 취해져 있을 필요는 없다. 또한, 동기하는 경우에도 클럭은 1H 신호에 한정되는 것이 아니며, 1/2H이더라도, 1/4H이더라도 좋다.

도 38에 도시한 커런트 미러의 화소 구성의 경우에서도, 게이트 신호선(17b)을 점등 제어선(401)에 접속하는 것에 의해, 트랜지스터(11e)를 온 오프 제어할 수 있다. 따라서, 블록 구동을 실현할 수 있다.

또, 도 32에 있어서, 게이트 신호선(17a)을 점등 제어선(401)에 접속하고, 리셋을 실시하면, 블록 구동을 실현할 수 있다. 즉, 본 발명의 블록 구동이란, 하나의 제어선으로, 복수의 화소 행을 동시에 비점등(혹은 흑 표시)으로 하는 구동 방법이다.

이상의 실시예는 1 화소 행마다 하나의 선택 화소 행을 배치(형성)하는 구성이었다. 본 발명은 이것에 한정되는 것이 아니고, 복수의 화소 행으로 하나의 선택 게이트 신호선을 배치(형성)해도 된다.

도 41은 그 실시예이다. 또, 설명을 쉽게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 41에서는 화소 행의 선택 게이트 신호선(17a)은 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. R의 기호라 함은 적색의 화소 관련을 의미하고, G의 기호는 녹색의 화소 관련을 의미하며, B의 기호는 청색의 화소 관련을 의미하는 것으로 한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소 (16B)가 동시에 선택되어 데이터 기입 상

태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 데이터를 컨덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 컨덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 데이터를 컨덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 별개로 온 오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 각각의 게이트 신호선(17bR, 17bG, 17bB)을 제어하는 것에 의해, 점등 시간, 점등 주기를 개별로 제어 가능하다.

이 동작을 실현하기 위해서는, 도 6의 구성에 있어서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 4개를 형성(배치)하는 것이 적절하다.

또, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘려 보내고, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘려 보내는 것으로 했지만, 실용상은 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 컨덴서(19)에 관통하여, 컨덴서(19)에 원하는 전압값(전류값)을 설정할 수 없기 때문이 다. 일반적으로 컨덴서(19)에는 원하는 전압값(전류값)보다도 낮은 전압값(전류값)이 설정된다. 예를 들면, 10배의 전류값을 설정하도록 구동해도, 5배 정도의 전류밖에 컨덴서(19)에는 설정되지 않는다. 예를 들면, N=10으로 하여도 실제로 EL 소자(15)에 흐르는 전류는 N=5인 경우와 동일해진다. 따라서, 본 발명은 N배의 전류값을 설정하고, N배에 비례한 혹은 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 혹은, 소망치보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망치보다 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망 휘도보다도 높아지는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하고, EL 소자(15)에 흐르는 전류를 간헐로 함으로써, 원하는 EL 소자의 발광 휘도를 얻는 것이다.

또한, 도 1 등의 스위칭용 트랜지스터(11b, 11c) 등은 N채널로 형성하는 것이 바람직하다. 컨덴서(19)에의 관통 전압이 저감하기 때문이다. 또한, 컨덴서(19)의 오프 누설도 감소하므로, 10Hz 이하의 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 따라서는, 관통 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향으로 작용하는 경우에는, 백 피크 전류가 증가하고, 화상 표시의 콘트라스트감이 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭용 트랜지스터(11b, 11c)를 P 채널로 함으로써 관통을 발생시켜, 보다 흑 표시를 양호하게 하는 방법도 유효하다. P 채널 트랜지스터 (11b)가 오프할 때에는 Vgh 전압으로 된다. 그 때문에, 컨덴서(19)의 단자 전압이 Vdd측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압이 상승하여, 보다 흑 표시가 된다. 또한, 제1 계조 표시로 하는 전류값을 크게 할 수 있으므로(계조 1까지 일정한 베이스 전류를 흘릴 수 있음), 전류 프로그램 방식으로 기입 전류 부족을 경감할 수 있다.

이하, 도면을 참조하면서 본 발명의 다른 구동 방식에 대하여 설명한다. 도 125는 본 발명의 시퀀스 구동을 실시하기 위한 표시 패널의 설명도이다. 소스 드라이버 회로(14)는 접속 단자(681)에 R, G, B 데이터를 전환하여 출력한다. 따라서, 소스 드라이버 회로(14)의 출력 단자 수는 도 48 등의 경우에 비하여 1/3의 출력 단자 수로 끝난다.

소스 드라이버 회로(14)로부터 접속 단자(681)에 출력하는 신호는, 출력 전환 회로(1251)에 의해 소스 신호선(18R, 18G, 18B)으로 분류된다. 출력 전환 회로(1251)는 폴리실리콘 기술 혹은 비정질 실리콘 기술로 어레이 기판(71)에 직접 형성한다. 또한, 출력 전환 회로(1251)는 실리콘 칩으로 형성하고, COG 기술, TAB 기술, COF 기술로 어레이 기판(71)에 실장해도 된다. 또, 출력 전환 회로(1251)는 출력 전환 회로(1251)를 소스 드라이버 회로(14)의 회로로서, 소스 드라이버 회로(14)에 내장시켜도 된다.

전환 스위치(1252)가 R단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18R)에 인가된다. 전환 스위치(1252)가 G 단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는 소스 신호선(18G)에 인가된다. 전환 스위치(1252)가 B단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는 소스 신호선(18B)에 인가된다.

또 도 126의 구성에서는, 전환 스위치(1252)가 R단자에 접속되어 있을 때에는, 전환 스위치의 G 단자 및 B단자는 오픈이다. 따라서, 소스 신호선(18C 및 18 B)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18G 및 18B)에 접속된 화소(16)는 흑 표시가 된다.

전환 스위치(1252)가 G 단자에 접속되어 있을 때에는, 전환 스위치의 R단자 및 B 단자는 오픈이다. 따라서, 소스 신호선(18R 및 18B)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R 및 18B)에 접속된 화소(16)는 흑 표시가 된다.

또, 도 126의 구성에서는, 전환 스위치(1252)가 B단자에 접속되어 있을 때에는, 전환 스위치의 R단자 및 G 단자는 오픈이다. 따라서, 소스 신호선(18R 및 18G)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R 및 18G)에 접속된 화소(16)는 흑 표시가 된다.

기본적으로는, 1 프레임이 3 필드로 구성되는 경우, 제1 필드에서 표시 화면(50)의 화소(16)에 순차 R화상 데이터가 기입된다. 제2 필드에서는 표시 화면(50)의 화소(16)에 순차 G 화상 데이터가 기입된다. 또한, 제3 필드에서는 표시 화면(50)의 화소(16)에 순차 B 화상이 기입된다.

이상과 같이, 필드마다 R데이터→ G 데이터→ B 데이터→ R데이터→ G 데이터→ B 데이터→ R데이터→……가 순차 재기입되어 시퀀스 구동이 실현된다. 도 1과 같이 스위칭용 트랜지스터(11d)를 온 오프시켜, N배 펄스 구동을 실현하는 것 등은, 도 5, 도 13, 도 16 등에서 설명을 했다. 이들의 구동 방법을 시퀀스 구동과 조합할 수 있음은 물론이다. 물론, 그밖의 본 발명의 구동 방법과 시퀀스 구동을 조합할 수 있는 것은 말할 필요도 없다.

또한, 앞서 설명한 실시예에서는, R화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. G 화소(16)에 화상 데이터를 기입할 때는, R화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. B 화소(16)에 화상 데이터를 기입할 때는, R화소 및 G 화소에는 흑 데이터를 기입한다고 했다. 본 발명은 이것에 한정되는 것이 아니다.

예를 들면, R화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소의 화상 데이터는 전 필드에서 재기입된 화상 데이터를 유지하도록 하여도 좋다. 이와 같이 구동하면 화면(50) 휘도를 밝게 할 수 있다. G 화소(16)에 화상 데이터를 기입할 때는, R화소 및 B 화소의 화상 데이터는 전 필드에서 재기입된 화상 데이터를 유지하도록 한다. B 화소(16)에 화상 데이터를 기입할 때에는, G 화소 및 R화소의 화상 데이터는 전 필드에서 재기입된 화상 데이터를 유지한다.

이상과 같이, 재기입하고 있는 색 화소 이외의 화소의 화상 데이터를 유지하기 위해서는, RGB 화소에서 게이트 신호선(17a)을 독립적으로 제어할 수 있도록 하면 된다. 예를 들면, 도 125에 도시하는 바와 같이, 게이트 신호선(17aR)은 R화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 또한, 게이트 신호선(17aC)은 G 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 게이트 신호선(17aB)은 B 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 한편, 게이트 신호선(17b)은 R화소, G 화소, B 화소의 트랜지스터(11d)를 공통으로 온 오프시키는 신호선으로 한다.

이상과 같이 구성하면, 소스 드라이버 회로(14)가 R의 화상 데이터를 출력하고, 전환 스위치(1252)가 R접점으로 전환되어 있을 때는, 게이트 신호선(17aR)에 온 전압을 인가하고, 게이트 신호선 aG과 게이트 신호선 aB에 오프 전압을 인가할 수 있다. 따라서, R의 화상 데이터를 R화소(16)에 기입하고, G 화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 채로 할 수 있다.

제2 필드에서 소스 드라이버 회로(14)가 G의 화상 데이터를 출력하고, 전환 스위치(1252)가 G 접점으로 전환되어 있을 때는, 게이트 신호선(17aG)에 온 전압을 인가하고, 게이트 신호선 aR과 게이트 신호선 aB에 오프 전압을 인가할 수 있다. 따라서, G의 화상 데이터를 G 화소(16)에 기입하고, R화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 채로 할 수 있다.

제3 필드에서 소스 드라이버 회로(14)가 B의 화상 데이터를 출력하고, 전환 스위치(1252)가 B접점으로 전환되어 있을 때는, 게이트 신호선(17aB)에 온 전압을 인가하고, 게이트 신호선 aR과 게이트 신호선 aG에 오프 전압을 인가할 수 있다. 따라서, B의 화상 데이터를 B 화소(16)에 기입하고, R화소(16) 및 G 화소(16)는 앞에 필드의 화상 데이터를 유지한 채로 할 수 있다.

도 125의 실시예에서는, RCB마다 화소(16)의 트랜지스터(11b)를 온 오프시키는 게이트 신호선(17a)을 형성 혹은 배치한다고 했다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 126에 도시하는 바와 같이, RGB의 화소(16)에 공통의 게이트 신호선(17a)을 형성 또는 배치하는 구성이어도 된다.

도 125 등의 구성에 있어서, 전환 스위치(1252)가 R의 소스 신호선을 선택하고 있을 때는, G의 소스 신호선과 B의 소스 신호선은 오픈이 되는 것으로 해서 설명했다. 그러나, 오픈 상태는 전기적으로는 부유 상태로, 바람직한 것이 아니다.

도 126은 이 부유 상태를 없애기 위해서 대책을 행한 구성이다. 출력 전환 회로(1251)의 전환 스위치(1252)의 a 단

자는 Vaa 전압(흑 표시가 되는 전압)에 접속되어 있다. b 단자는 소스 드라이버 회로(14)의 출력 단자와 접속되어 있다. 전환 스위치(1252)는 RGB 각각에 마련되어 있다.

도 126의 상태에서는, 전환 스위치(1252R)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18R)에는 Vaa 전압(흑 전압)이 인가되어 있다. 전환 스위치(1252G)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18G)에는 Vaa 전압(흑 전압)이 인가되어 있다. 전환 스위치(1252) B는 소스 드라이버 회로(14)의 출력 단자에 접속되어 있다. 따라서, 소스 신호선(18B)에는 B의 영상 신호가 인가되어 있다.

이상의 상태에서는, B 화소가 재기입 상태이고, R화소와 G 화소에는 흑 표시 전압이 인가된다. 이상과 같이 전환 스위치(1252)를 제어하는 것에 의해, 화소(16)의 화상은 재기입된다. 또, 게이트 신호선(17b)의 제어 등에 관해서는 이전에 설명한 실시예와 마찬가지이기 때문에 설명을 생략한다.

이상의 실시예에서는, 제1 필드에서 R화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입한다고 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다. 본 발명은 이것에 한정되는 것이 아니다. 1수평 주사 기간(1H)마다 재기입하는 화소의 색을 변화시켜도 된다. 예를 들면, 1H째에 R화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R화소를 재기입하고, ……하는 식으로 구동하는 방법이다. 물론, 2H 이상의 복수 수평 주사 기간마다 재기입하는 화소의 색을 변화시켜도 좋고, 1/3 필드마다 재기입하는 화소의 색을 변화시켜도 된다.

도 127은 1H마다 재기입하는 화소의 색을 변화시킨 실시예이다. 또, 도 127 내지 도 129에 있어서, 사선으로 도시한 화소(16)는, 화소를 재기입하지 않고서 전 필드의 화상 데이터를 유지하고 있거나, 혹은 흑 표시로 되어 있음을 나타내고 있다. 물론, 화소를 흑 표시하거나, 전 필드의 데이터를 보유하거나 하여 반복해서 실시해도 된다.

또, 도 125 내지 도 129의 구동 방식에 있어서, 도 13 등의 N배 펄스 구동이나 M행 동시 구동을 실시해도 됨은 물론이다. 도 125 내지 도 129 등은 화소(16)의 기입 상태를 설명하고 있다. EL 소자(15)의 점등 제어는 설명하지 않지만, 이전 혹은 이후에 설명하는 실시예를 조합할 수 있음은 물론이다. 물론, 도 27에서 설명한 더미 화소 행(271)을 형성한 구성, 더미 화소 행을 사용하는 구동 방법과 조합하더라도 무방하다.

또한, 1 프레임은 3 필드로 구성되는 것에 한정되는 것이 아니다. 2 필드여도 좋고, 4 필드 이상이어도 된다. 1 프레임이 2 필드에서 RGB의 3원색인 경우에 는, 제1 필드에서 R과 G 화소를 재기입하고, 제2 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 또한, 1 프레임이 4 필드에서 RGB의 3원색인 경우에는, 제1 필드에서 R화소를 재기입하고, 제2 필드에서 G 화소를 재기입하고, 제3 필드와 제4 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 이들 시퀀스는 RGB의 EL 소자(15)의 발광 효율을 고려하여 검토함으로써 효율적으로 화이트 밸런스를 취할 수 있다.

이상의 실시예에서는, 제1필드에서 R화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입하는 것으로 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다.

도 127의 실시예에서는, 제1 필드의 1H 째에 R화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R화소를 재기입하고, ……라는 식으로 구동하는 방법이다. 물론, 2H 이상의 복수 수평 주사 기간마다 재기입하는 화소의 색을 변화시키더라도 좋고, 1/3 필드마다 재기입하는 화소의 색을 변화시켜도 된다.

도 127의 실시예에서는, 제1 필드의 1H째에 R화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R화소를 재기입한다. 제2 필드의 1H째에 G 화소를 재기입하고, 2H 번째에 B 화소를 재기입하고, 3H 번째에 R화소를 재기입하고, 4H 번째에 G 화소를 재기입한다. 제3 필드의 1H째에 B 화소를 재기입하고, 2H 번째에 R화소를 재기입하고, 3H 번째에 G 화소를 재기입하고, 4H 번째에 B 화소를 재기입한다.

이상과 같이, 각 필드에서 R, G, B 화소를 임의로 혹은 소정의 규칙성을 갖고 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또, 깜박임의 발생도 억제할 수 있다.

도 128에서는, 1H마다 재기입되는 화소(16)의 색 수는 복수로 되어 있다. 도 127에서는 제1 필드에서, 1H 번째는 재기입되는 화소(16)는 R화소이고, 2H 번째는 재기입되는 화소(16)는 G 화소이다. 또한, 3H 번째는 재기입되는 화소(16)는 B 화소이고, 4H 번째는 재기입되는 화소(16)는 R화소이다.

도 128에서는 1H마다, 재기입하는 화소의 색 위치를 다르게 하고 있다. 각 필드에서 R, G, B 화소를 달리 하여(소정의 규칙성을 가지고 있어도 됨은 말할 필요도 없음), 순차 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또, 깜박임의 발생도 억제할 수 있다.

또, 도 128의 실시예에 있어서도, 각 회소(RGB 화소의 조)에서는, RGB의 점등 시간 혹은 발광 강도를 일치시킨다. 이것은 도 126, 도 127 등의 실시예에 있어서도 당연히 실시하는 것은 물론이다. 색 얼룩이 되기 때문이다.

도 128과 같이, 1H마다 재기입하는 화소의 색 수(도 128의 제1 필드의 1H 번째는, R, G, B의 3색이 재기입되어 있음)를 복수로 하는 것은, 도 125에 있어서, 소스 드라이버 회로(14)가 각 출력 단자에 임의(일정한 규칙성이 있어도 됨)의 색의 영상 신호를 출력할 수 있도록 구성하고, 전환 스위치(1252)가 접점 R, G, B를 임의(일정한 규칙성이 있어도 됨)로 접속할 수 있도록 구성하면 된다. 도 129의 실시예의 표시 패널에서는, RGB의 3원색 외에, W(백)의 화소(16W)를 갖고 있다. 화소(16W)를 형성 또는 배치하는 것에 의해, 색 피크 휘도를 양호하게 실현할 수 있다. 또한, 고휘도 표시를 실현할 수 있다. 도 129의 (a)는 1 화소 행에, R, G, B, W 화소(16)를 형성한 실시예이다. 도 129의 (b)는 1 화소 행마다 RGBW의 화소(16)를 배치한 구성이다.

도 129의 구동 방법에 있어서도, 도 127, 도 128 등의 구동 방식을 실시할 수 있음은 물론이다. 또한, N배 펄스 구동이나, M 화소 행 동시 구동 등을 실시할 수 있는 것은 말할 필요도 없다. 이들 사항은 당업자이면 본 명세서에 의해 용이하게 구현화할 수 있기 때문에 설명을 생략한다.

또, 본 발명은 설명을 쉽게 하기 위해서, 본 발명의 표시 패널은 RGB의 3원색을 갖는 것으로 해서 설명하고 있지만, 이것에 한정되는 것이 아니다. RGB 외에, 시안, 옐로우, 마젠더를 가하더라도 좋고, R, G, B 중 어느 하나의 단색, R, G, B 중 어느 2색을 이용한 표시 패널이어도 된다.

또한, 이상의 시퀀스 구동 방식에서는, 필드마다 RGB를 조작하는 것으로 했지만, 본 발명은 이것에 한정되는 것이 아닌 것은 물론이다. 또한, 도 125 내지 도 129의 실시예는, 화소(16)에 화상 데이터를 기입하는 방법에 대하여 설명한 것이다. 도 1 등의 트랜지스터(11d)를 조작하여, EL 소자(15)에 전류를 흘려보내 화상을 표시하는 방식을 설명한 것이 아니다(물론, 관련되어 있음). EL 소자(15)에 흐르는 전류는, 도 1의 화소 구성에서는 트랜지스터(11d)를 제어하는 것에 의해 행한다.

또한, 도 127, 도 128 등의 구동 방법에서는, 트랜지스터(11d)(도 1의 경우) 를 제어하는 것에 의해, RGB 화상을 순차 표시할 수 있다. 예를 들면, 도 130의 (a)는 1 프레임(1 필드) 기간에 R표시 영역(53R), G 표시 영역(53G), B 표시 영역(53B)을 화면의 위에서 아래 방향(아래 방향이어도 위 방향이어도 됨)으로 주사한다. RGB의 표시 영역 이외의 영역은 비표시 영역(52)으로 한다. 즉, 간헐 구동을 실시한다.

도 130의 (b)는 1 필드(1 프레임) 기간에 RGB 표시 영역(53)을 복수 발생하도록 실시한 실시예이다. 이 구동 방법은 도 16의 구동 방법과 유사하다. 따라서, 설명을 필요로 하지 않을 것이다. 도 130의 (b)에 표시 영역(53)을 복수로 분할하는 것에 의해, 깜박임의 발생은 보다 저 프레임 레이트에서도 없어지게 된다.

도 131의 (a)는 RGB의 표시 영역(53)에서 표시 영역(53)의 면적을 달리한 것이다(표시 영역(53)의 면적은 점등 기간에 비례함은 말할 필요도 없음). 도 131의 (a)에서는 R표시 영역(53R)과 G 표시 영역(53G)의 면적을 동일하게 하고 있다. G 표시 영역(53G)보다 B 표시 영역(53B)의 면적을 크게 하고 있다. 유기 EL 표시 패널에서는 B의 발광 효율이 나쁜 경우가 많아, 도 131의 (a)와 같이 B 표시 영역(53B)을 다른 색의 표시 영역(53)보다도 크게 하는 것에 의해, 효율적으로 화이트 밸런스를 취할 수 있게 된다.

도 131의 (b)는 1 필드(프레임) 기간에, B 표시 기간(53B)이 복수(53B1, 53B2)로 되도록 한 실시예이다. 도 131의 (a)는 하나의 B 표시 영역(53B)을 변화시키는 방법이었다. 변화시키는 것에 의해 화이트 밸런스를 양호하게 조정할 수 있도록 한다. 도 131의 (b)는 동일 면적의 B 표시 영역(53B)을 복수 표시시킴으로 써, 화이트 밸런스를 양호하게 한다.

본 발명의 구동 방식은 도 131의 (a)와 도 131의 (b) 중 어느 것에 한정되는 것이 아니다. R, G, B의 표시 영역(53)을 발생하고, 또한 간헐 표시하는 것에 의해, 결과적으로 동화상 불선명을 대책하여, 화소(16)에의 기입 부족을 개선하는 것을 목적으로 하고 있다. 또, 도 16의 구동 방법에서는 R, G, B가 독립된 표시 영역(53)은 발생하지 않는다. RGB가 동시에 표시된다(W 표시 영역(53)이 표시된다고 표현하여야 함). 또, 도 131의 (a)와 도 131의 (b)는 조합하여도 되는 것은 물론이다. 예를 들면, 도 131의 (a)의 RGB의 표시 면적(53)을 변화하고, 또한 도 131의 (b)의 RGB의 표시 영역(53)을 복수 발생시키는 구동 방법의 실시이다.

또, 도 130에서 도 131의 구동 방식은 도 125 내지 도 129의 본 발명의 구동 방식에 한정되는 것이 아니다. 도 41과 같이, RGB마다 EL 소자(15)(EL 소자(15R), EL 소자(15G), EL 소자(15B))에 흐르는 전류를 제어할 수 있는 구성이면, 도 130, 도 131의 구동 방식을 용이하게 실시할 수 있음은 말할 필요도 없을 것이다. 게이트 신호선(17bR)에 온 오프 전압을 인가하는 것에 의해, R화소(16R)를 온 오프 제어할 수 있다. 게이트 신호선(17bG)에 온 오프 전압을 인가하는 것에 의해, G 화소(16G)를 온 오프 제어할 수 있다. 게이트 신호선(17bB)에 온 오프 전압을 인가하는 것에 의해, B 화소(16B)를 온 오프 제어할 수 있다.

또한, 이상의 구동을 실현하기 위해서는, 도 132에 도시하는 바와 같이, 게이트 신호선(17bR)을 제어하는 게이트 드라이버 회로(12bR), 게이트 신호선(17bG)을 제어하는 게이트 드라이버 회로(12bG), 게이트 신호선(17bB)을 제어하는 게이트 드라이버 회로(12bB)를 형성 또는 배치하면 된다. 도 132의 게이트 드라이버 회로(12bR, 12bG, 12bB)를 도 6 등에서 설명한 방법으로 구동하는 것에 의해, 도 130, 도 131의 구동 방법을 실현할 수 있다. 물론, 도 132의 표시 패널의 구성으로, 도 16의 구동 방법 등도 실현할 수 있음은 물론이다.

또한, 도 125 내지 도 128의 구성으로, 화상 데이터를 재기입하는 화소(16) 이외의 화소(16)에, 흑 화상 데이터를 재기입하는 방식이면, EL 소자(15R)를 제어하는 게이트 신호선(17bR), EL 소자(15G)를 제어하는 게이트 신호선(17bG), EL 소자(15B)를 제어하는 게이트 신호선bB가 분리되어 있지 않고, RGB 화소에 공통의 게이트 신호선(17b)이더라도, 도 130, 도 131의 구동 방식을 실현할 수 있음은 물론이다.

도 15, 도 18, 도 21 등에서는 게이트 신호선(17b)(EL측 선택 신호선)은 1수평 주사 기간(1H)을 단위로 하여, 온 전압(Vgl), 오프 전압(Vgh)을 인가하는 것으로 설명했다. 그러나, EL 소자(15)의 발광량은, 흘려 보내는 전류가 정전류일 때, 흘려 보내는 시간에 비례한다. 따라서, 흘려 보내는 시간은 1H 단위로 한정할 필요는 없다.

아웃풋 인에이블(OEV)의 개념을 도입하기 위해서, 이하와 같이 규정한다. OEV 제어를 행함으로써, 1수평 주사 기간(1H) 이내의 게이트 신호선(17a, 17b)에 온 오프 전압(Vgl 전압, Vgh 전압)을 화소(16)에 인가할 수 있게 된다.

설명을 쉽게 하기 위해서, 본 발명의 표시 패널에서는, 전류 프로그램을 행하는 화소 행을 선택하는 게이트 신호선(17a)(도 1인 경우)으로 하여 설명한다. 또한, 게이트 신호선(17a)을 제어하는 게이트 드라이버 회로(12a)의 출력을 WR측 선택 신호선이라고 부른다. EL 소자(15)를 선택하는 게이트 신호선(17b)(도 1의 경우)으로 하여 설명한다. 또한, 게이트 신호선(17b)을 제어하는 게이트 드라이버 회로(12b)의 출력을 EL측 선택 신호선이라고 부른다.

게이트 드라이버 회로(12)는, 스타트 펄스가 입력되고, 입력된 스타트 펄스가 유지 데이터로서 순차 시프트 레지스터 내를 시프트한다. 게이트 드라이버 회로(12a)의 시프트 레지스터 내의 유지 데이터에 의해, WR측 선택 신호선에 출력되는 전압이 온 전압(Vgl)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12a)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV1 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV1 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12a)의 출력인 WR측 선택 신호를 그대로 게이트 신호선(17a)에 출력한다. 이상의 관계를 로직적으로 나타내면, 도 224의 (a)의 관계가 된다(OR 회로임). 또, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12a)가 오프 전압을 출력하고 있는 경우에는, 게이트 신호선(17a)에 오프 전압이 인가된다. 게이트 드라이버 회로(12a)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV1 회로의 출력과 OR이 취해져 게이트 신호선(17a)에 출력된다. 즉, OEV1 회로는, H 레벨일 때, 게이트 드라이버 신호선(17a)에 출력하는 전압을 오프 전압(Vgh)으로 한다(도 176의 타이밍차트의 예를 참조).

게이트 드라이버 회로(12b)의 시프트 레지스터 내의 유지 데이터에 의해, 게이트 신호선(17b)(EL측 선택 신호선)에 출력되는 전압이 온 전압(Vgl)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12b)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV2 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV2 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12b)의 출력을 그대로 게이트 신호선(17b)에 출력한다. 이상의 관계를 로직적으로 도시하면, 도 176의 (a)의 관계가 된다. 또, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12b)가 오프 전압을 출력하고 있는 경우(EL측 선택 신호는 오프 전압)에는, 게이트 신호선(17b)에 오프 전압이 인가된다. 게이트 드라이버 회로(12b)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV2 회로의 출력과 OR이 취해져 게이트 신호선(17b)에 출력된다. 즉, OEV2 회로는, 입력 신호가 H 레벨일 때, 게이트 드라이버 신호선(17b)에 출력하는 전압을 오프 전압(Vgh)으로 한다. 따라서, OEV2 회로에 의해 EL측 선택 신호가 온 전압 출력 상태이더라도, 강제적으로 게이트 신호선(17b)에 출력되는 신호는 오프 전압(Vgh)이 된다. 또, OEV2 회로의 입력이 L이면, EL측 선택 신호가 스루로 게이트 신호선(17b)에 출력된다(도 176의 타이밍차트의 예를 참조).

또, OEV2의 제어에 의해, 화면 휘도를 조정한다. 화면 휘도에 의해 변화할 수 있는 밝기의 허용 범위가 있다. 도 175는 허용 변화(%)와 화면 휘도(nt)의 관계를 나타낸 것이다. 도 175로부터 알 수 있듯이, 비교적 어두운 화상으로 허용 변화량이 작다. 따라서, OEV2에 의한 제어 혹은 duty비 제어에 의한 화면(50)의 휘도 조정은, 화면(50) 휘도를 고려하여 제어한다. 제어에 의한 허용 변화는 화면이 밝은 시간보다도 어두운 때를 짧게 한다.

도 140은 1/4 duty비 구동이다. 4H 기간에 1H 기간 동안, 게이트 신호선(17b)(EL측 선택 신호선)에 온 전압이 인가되고, 수평 동기 신호(HD)에 동기하여 온 전압이 인가되어 있는 위치가 주사된다. 따라서, 온 시간은 1H 단위이다.

그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 143에 도시하는 바와 같이 1H 미만(도 143은 1/2H)이어도 좋고, 또한 1H 이하로 하여도 좋다. 즉, 1H 단위로 한정되는 것이 아니며, 1H 단위 이외의 발생도 용이하다. 게이트 드라이버 회로(12b)(게이트 신호선(17b)을 제어하는 회로임)의 출력단에 형성 또는 배치된 OEV2 회로를 이용하면 된다. OEV2 회로는 먼저 설명한 OEV1 회로와 마찬가지이기 때문에 설명을 생략한다.

도 141은 게이트 신호선(17b)(EL측 선택 신호선)의 온 시간은 1H를 단위로 하고 있지 않다. 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 1H약(弱)의 기간 온 전압이 인가된다. 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 극히 짧은 기간 온 전압이 인가된다. 또한, 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T1과 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T2를 가한 시간을 1H 기간이 되도록 하고 있다. 도 141을 제1 필드의 상태로 한다.

제1 필드의 다음의 제2 필드에서는, 짝수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)은 1H약의 기간 온 전압이 인가된다. 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 극히 짧은 기간 온 전압이 인가된다. 또한, 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T1과 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T2를 가한 시간을 1H 기간이 되도록 하고 있다.

이상과 같이, 복수 화소 행에서의 게이트 신호선(17b)(EL측 선택 신호선)에 인가하는 온 시간의 합을 일정해지도록 하고, 또한 복수 필드에서 각 화소 행의 EL 소자(15)의 점등 시간을 일정해지도록 하여도 된다.

도 142는 게이트 신호선(17b)(EL측 선택 신호선)의 온 시간을 1.5H로 하고 있다. 또, A점에서의 게이트 신호선(17b)(EL측 선택 신호선)의 상승과 하강이 중첩되도록 하고 있다. 게이트 신호선(17b)(EL측 선택 신호선)과 소스 신호선(18)은 커플링하고 있다. 그 때문에, 게이트 신호선(17b)(EL측 선택 신호선)의 파형이 변화하면 파형의 변화가 소스 신호선(18)에 관통한다. 이 관통에 의해 소스 신호선(18)에 전위 변동이 발생하면 전류(전압) 프로그램의 정밀도가 저하하여, 구동용 트랜지스터(11a)의 특성 얼룩짐이 표시되게 된다.

도 142에 있어서, A점에 있어서, 게이트 신호선(17b)(EL측 선택 신호선)(1)은 온 전압(Vgl) 인가 상태에서 오프 전압(Vgh) 인가 상태로 변화한다. 게이트 신호선(17b)(EL측 선택 신호선)(2)은 오프 전압(Vgh) 인가 상태에서 온 전압(Vgl) 인가 상태로 변화한다. 따라서, A점에서는 게이트 신호선(17b)(EL측 선택 신호선)(1)의 신호 파형과 게이트 신호선(17b)(EL측 선택 신호선)(2)의 신호 파형이 상쇄 된다. 따라서, 소스 신호선(18)과 게이트 신호선(17b)(EL측 선택 신호선)이 커플링하고 있더라도, 게이트 신호선(17b)(EL측 선택 신호선)의 파형 변화가 소스 신호선(18)에 관통하는 일은 없다. 그 때문에, 양호한 전류(전압) 프로그램 정밀도를 얻을 수 있고, 균일한 화상 표시를 실현할 수 있다.

또, 도 142는 온 시간이 1.5H의 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 144에 도시하는 바와 같이, 온 전압의 인가 시간을 1H 이하로 하여도 됨은 물론이다.

게이트 신호선(17b)(EL측 선택 신호선)에 온 전압을 인가하는 기간을 조정함으로써, 표시 화면(50)의 휘도를 선형으로 조정할 수 있다. 이것은 OEV2 회로를 제어하는 것에 의해 용이하게 실현할 수 있다. 예를 들면, 도 145에서는 도 145의 (a)보다도 도 145의 (b)쪽이 표시 휘도가 낮아진다. 또한, 도 145의 (b)보다도 도 145의 (c)쪽이 표시 휘도가 낮아진다.

도 109는 OEV2와 게이트 신호선(17b)의 신호 파형의 관계를 나타낸 것이다. 도 109에 있어서, 도 109의 (a)가 OEV2로 L 레벨로 되는 기간이 가장 짧다. 따라서, 게이트 신호선(17b)에 온 전압이 인가되는 기간이 짧기 때문에, EL 소자(15)에 흐르는 전류 기간은 짧아진다. 이 상태는 결과적으로는 duty비가 작은 상태이다. 도 109의 (b)가 다음으로 OEV2가 L 레벨이 되는 기간이 길다. 또한 도 109의 (c)는 도 109의 (b)보다도 OEV2가 L 레벨이 되는 기간이 길다. 그 때문에, 도 109의 (c)의 duty비는 도 109의 (b)의 duty비보다도 크게 된다.

또, 도 109의 (a)(b)(c)의 실시예는, 1H보다 짧은 기간에 duty비 제어를 행 하는 것이다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 109의 (d)에 도시하는 바와 같이 1H 단위로 duty비 제어를 행하여도 좋다. 또, 도 109의 (d)는 duty비 1/2의 실시예이다.

도 109의 (a)가 가장 OEV2가 L 레벨이 되는 기간이 짧다. 따라서, 게이트 신호선(17b)에 온 전압이 인가되는 기간이 짧기 때문에, EL 소자(15)에 흐르는 전류 기간이 짧아진다. 이 상태는 결과적으로는 duty비가 작은 상태이다.

도 109의 (a)가 가장 OEV2가 L 레벨이 되는 기간이 짧다. 따라서, 게이트 신호선(17b)에 온 전압이 인가되는 기간이 짧기 때문에, EL 소자(15)에 흐르는 전류 기간이 짧아진다. 이 상태는 결과적으로는 duty비가 작은 상태이다.

또한, 도 146에 도시하는 바와 같이, 1H 기간에 온 전압을 인가하는 기간과 오프 전압을 인가하는 기간의 조를 복수회 마련하여도 좋다. 도 146의 (a)는 6회 마련한 실시예이다. 도 146의 (b)는 3회 마련한 실시예이다. 도 146의 (c)는

1회 마련한 실시예이다. 도 146에서는 도 146의 (a)보다도 도 146의 (b)쪽이 표시 휘도가 낮아진다. 또한, 도 146의 (b)보다도 도 146의 (c)쪽이 표시 휘도가 낮게 된다. 따라서, 온 기간의 횟수를 제어함으로써 표시 휘도를 용이하게 조정(제어)할 수 있다.

이후, 본 발명의 전류 구동 방식의 소스 드라이버 IC(회로)(14)에 대하여 설명한다. 본 발명의 소스 드라이버 IC는 이전에 설명한 본 발명의 구동 방법, 구동 회로를 실현하기 위해서 이용한다. 또한, 본 발명의 구동 방법, 구동 회로, 표시 장치와 조합하여 이용한다. 또, 설명은 IC 칩으로서 설명을 하지만 이것에 한정되 는 것이 아니라, 저온 폴리실리콘 기술, 비정질 실리콘 기술 등을 이용하여, 표시 패널의 어레이 기판(71)상에 제작해도 됨은 물론이다.

우선, 도 55에, 종래의 전류 구동 방식의 드라이버 회로의 일례를 나타낸다. 단, 도 55는 본 발명의 전류 구동 방식의 소스 드라이버 IC(소스 드라이버 회로)(14)를 설명하기 위한 원리적인 것이다.

도 55에 있어서, (551)는 D/A 변환기이다. D/A 변환기(551)에는 n비트의 데이터 신호가 입력되고, 입력된 데이터에 기초하여 D/A 변환기로부터 아날로그 신호가 출력된다. 이 아날로그 신호는 연산 증폭기(552)에 입력된다. 연산 증폭기(552)는 N채널 트랜지스터(471a)에 입력되고, 트랜지스터(471a)에 흐르는 전류가 저항(531)에 흐른다. 저항 R의 단자 전압은 연산 증폭기(552)의 -입력이 되고, 이 -단자의 전압과 연산 증폭기(552)의 +단자는 동일 전압이 된다. 따라서 D/A 변환기(551)의 출력 전압은 저항(531)의 단자 전압이 된다.

저항(531)의 저항값이 1 MΩ이고, D/A 변환기(551)의 출력이 1(V)이면, 저항(531)에는 1(V)/1 MΩ=1(μA)의 전류가 흐른다. 이것이 정전류 회로가 된다. 따라서, 데이터 신호의 값에 대응하여, D/A 변환기(551)의 아날로그 출력이 변화하고, 이 아날로그 출력에 값에 기초하여 저항(531)에 소정 전류가 흘러, 프로그램 전류 Iw가 된다.

그러나, DA 변환 회로(551)의 회로 규모는 크다. 또한, 연산 증폭기(552)의 회로 규모도 크다. 1 출력 회로에, DA 변환 회로(551)와 연산 증폭기(552)를 형성하면 소스 드라이버 IC(14)의 크기는 거대해진다. 따라서, 실용상은 제작하는 것 이 불가능하다.

본 발명은 이러한 점을 감안하여 이루어진 것이다. 본 발명의 소스 드라이버 회로(14)는, 전류 출력 회로의 규모를 컴팩트하게 하고, 전류 출력 단자 사이의 출력 전류 변동을 될 수 있는 한 최소한으로 하기 위한 회로 구성, 레이아웃 구성을 갖는 것이다.

도 47에, 본 발명의 전류 구동 방식의 소스 드라이버 IC(회로)(14)의 1 실시예에서의 구성도를 도시한다. 도 47은 일례로서 전류원을 3단 구성(471, 472, 473)으로 한 경우의 다단식 커런트 미러 회로를 나타내고 있다.

도 47에 있어서, 제1단의 전류원(471)의 전류값은, N개(단, N은 임의의 정수)의 제2단 전류원(472)에 커런트 미러 회로에 의해 복사된다. 또한, 제2단 전류원(472)의 전류값은, M개(단, M은 임의의 정수)의 제3단 전류원(473)에 커런트 미러 회로에 의해 복사된다. 이 구성에 의해, 결과적으로 제1단 전류원(471)의 전류값은 N×M개의 제3단 전류원(473)에 복사되게 된다.

예를 들면, QCIF 형식의 표시 패널의 소스 신호선(18)에 하나의 소스 드라이버 IC(14)로 구동하는 경우에는, 176 출력(소스 신호선이 각 RGB에서 176 출력 필요하기 때문)이 된다. 이 경우에는, N을 16개로 하고, M=11개로 한다. 따라서, 16×11=176이 되고, 176 출력에 대응할 수 있다. 이와 같이, N 또는 M 중, 한쪽을 8 또는 16 혹은 그 배수로 함으로써, 드라이버 IC의 전류원의 레이아웃 설계가 용이해진다.

본 발명의 다단식 커런트 미러 회로에 의한 전류 구동 방식의 소스 드라이버 IC(회로)(14)에서는, 상기한 바와 같이, 제1단 전류원(471)의 전류값을 직접 N×M개의 제3단 전류원(473)에 커런트 미러 회로에서 복사하는 것이 아니고, 중간에 제2단 전류원(472)을 배치하고 있으므로, 그래서 트랜지스터 특성의 변동을 흡수하는 것이 가능하다.

특히, 본 발명은 제1단의 커런트 미러 회로(전류원(471))와 제2단에 커런트 미러 회로(전류원(472))를 밀접하게 배치하는 부분에 특징이 있다. 제1단의 전류원(471)에서 제3단의 전류원(473)(즉, 커런트 미러 회로의 2단 구성)이면, 제1단의 전류원과 접속되는 제2단의 전류원(473)의 개수가 많아, 제1단의 전류원(471)과 제3단의 전류원(473)을 밀접하게 배치할 수 없다.

본 발명의 소스 드라이버 회로(14)와 같이, 제1단의 커런트 미러 회로(전류원(471))의 전류를 제2단의 커런트 미러 회로(전류원(472))에 복사하고, 제2단의 커런트 미러 회로(전류원(472))의 전류를 제3단의 커런트 미러 회로(전류원(472))에 복사하는 구성이다. 이 구성에서는, 제1단의 커런트 미러 회로(전류원(471))에 접속되는 제2단의 커런트 미러 회로(전류원(472))의 개수는 적다. 따라서, 제1단의 커런트 미러 회로(전류원(471))와 제2단의 커런트 미러 회로(전류원(472))를 밀접하게 배치할 수 있다.

밀접하게 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으면, 당연한 말이지만, 트랜지스터의 변동은 적어지므로, 복사되는 전류값의 변동도 적어진다. 또한, 제2단의 커런트 미러 회로(전류원(472))에 접속되는 제3단의 커런트 미러 회로(전류원(473))의 개수도 적어진다. 따라서, 제2단의 커런트 미러 회로(전류원(472))와 제3단의 커런트 미러 회로(전류원(473))를 밀접시켜 배치할 수 있다.

즉, 전체적으로, 제1단의 커런트 미러 회로(전류원(471)), 제2단의 커런트 미러 회로(전류원(472)), 제3단의 커런트 미러 회로(전류원(473))의 전류 수취부의 트랜지스터를 밀접하게 배치할 수 있다. 따라서, 밀접하게 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으므로, 트랜지스터의 변동이 적어져, 출력 단자로부터의 전류 신호의 변동은 매우 적어진다(정밀도가 높음).

본 발명에 있어서, 전류원(471, 472, 473)이라고 표현하거나, 커런트 미러 회로라고 표현하기도 한다. 이들은 동의로 사용하고 있다. 즉, 전류원이란, 본 발명의 기본적인 구성 개념이고, 전류원을 구체적으로 구성하면 커런트 미러 회로가 되기 때문이다. 따라서, 전류원은 커런트 미러 회로에만 한정되는 것이 아니며, 연산 증폭기(552)와 트랜지스터(471)와 저항 R의 조합으로 이루어지는 정전류 회로이더라도 좋다.

도 48은 더욱 구체적인 소스 드라이버 IC(회로)(14)의 구조 도면이다. 도 48은 제3 전류원(473)의 부분을 도시하고 있다. 즉, 하나의 소스 신호선(18)에 접속되는 출력부이다. 최종단의 커런트 미러 구성으로서, 복수의 동일 사이즈의 커런트 미러 회로(단위 트랜지스터(484)(1 단위))로 구성되어 있고, 그 개수가 화상 데이터의 비트에 대응하여 비트 가중되어 있다.

또, 본 발명의 소스 드라이버 IC(회로)(14)를 구성하는 트랜지스터는, MOS 타입에 한정되는 것이 아니며, 바이폴라 타입이라도 좋다. 또한, 실리콘 반도체에 한정되는 것이 아니며, 갈륨 비소 반도체이어도 된다. 또한, 게르마늄 반도체라도 좋다. 또한, 기판에 저온 폴리실리콘 등의 폴리실리콘 기술, 비정질 실리콘 기술로 직접 형성한 것이어도 좋다.

도 48에서 분명하지만, 본 발명의 1실시예로서, 6 비트의 디지털 입력인 경우를 도시하고 있다. 즉, 2의 6승이므로, 64 계조 표시이다. 이 소스 드라이버 IC(14)를 어레이 기판에 적재하는 것에 의해, 적(R), 녹(G), 청(B)이 각 64 계조이므로, 64×64×64=약 26만색을 표시할 수 있게 된다.

64 계조인 경우에는, D0 비트의 단위 트랜지스터(484)는 하나, D1 비트의 단위 트랜지스터(484)는 2개, D2 비트의 단위 트랜지스터(484)는 4개, D3 비트의 단위 트랜지스터(484)는 8개, D4 비트의 단위 트랜지스터(484)는 16개, D5 비트의 단위 트랜지스터(484)는 32개이므로, 계 단위 트랜지스터(484)는 63개이다. 즉, 본 발명은 계조의 표현 수(이 실시예의 경우는, 64 계조) -1개의 단위 트랜지스터(484)를 1 출력으로 구성(형성)한다. 또, 단위 트랜지스터 1개가 복수의 서브 단위 트랜지스터로 분할되어 있는 경우에서도, 단위 트랜지스터가 단순히 서브 단위 트랜지스터로 분할되어 있을 뿐이다. 따라서, 본 발명이 계조의 표현 수 -1개의 단위 트랜지스터로 구성되어 있는 것에는 차이가 없다(동의임).

도 48에 있어서, D0은 LSB 입력을 나타내고 있고, D5는 MSB 입력을 나타내고 있다. D0 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(481a)(온 오프 수단이다. 물론, 단체 트랜지스터로 구성해도 되고, P 채널 트랜지스터와 N채널 트랜지스터를 조합한 아날로그 스위치 등이어도 됨)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 전류원(1 단위)(484)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(483)에 흐른다. 이 내부 배선(483)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(483)에 흐르는 전류가 화소(16)의 프로그램 전류가 된다.

예를 들면, D1 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(481b)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 2개의 전류원(1 단위)(484)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(483)으로 흐른다. 이 내부 배선(483)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(483)에 흐르는 전류가 화소(16)의 프로그램 전류가 된다.

다른 스위치(481)에서도 마찬가지이다. D2 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(481c)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 4개의 전류원(1 단위)(484)을 향하여 전류가 흐른다. D5 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(481F)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 32개의 전류원(1 단위)(484)을 향하여 전류가 흐른다.

이상과 같이, 외부로부터의 데이터(D0 D5)에 응답하여, 그것에 대응하는 전류원(1 단위)를 향하여 전류가 흐른다. 따라서, 데이터에 대응하여, 0개 내지 63개에 전류원(1 단위)에 전류가 흐르도록 구성되어 있다.

또, 본 발명은 설명을 쉽게 하기 위해서, 전류원은 6 비트의 63개로 하고 있지만, 이것에 한정되는 것이 아니다. 8 비트의 경우에는, 255개의 단위 트랜지스 터(484)를 형성(배치)하면 된다. 또한, 4 비트일 때에는, 15개의 단위 트랜지

스터(484)를 형성(배치)하면 된다.

단위 전류원을 구성하는 트랜지스터(484)는 동일한 채널 폭 W, 채널 폭 L로 한다. 이와 같이 동일한 트랜지스터로 구성함으로써, 변동이 적은 출력단을 구성할 수 있다.

또한, 단위 트랜지스터(484)는 전체가, 동일한 전류를 흘려 보내는 것에 한정되는 것이 아니다. 예를 들면, 각 단위 트랜지스터(484)를 가중해도 된다. 예를 들면, 1 단위의 단위 트랜지스터(484)와, 2배의 단위 트랜지스터(484)와, 4배의 단위 트랜지스터(484) 등을 혼재시켜 전류 출력 회로를 구성해도 된다. 그러나, 단위 트랜지스터(484)를 가중하여 구성하면, 각 가중한 전류원이 가중한 비율이 되지 않아, 변동이 발생할 가능성이 있다. 따라서, 가중하는 경우에도, 각 전류원은 1 단위의 전류원이 되는 트랜지스터를 복수개 형성하는 것에 의해 구성하는 것이 바람직하다.

단위 트랜지스터(484)를 구성하는 트랜지스터의 크기는 일정 이상의 크기가 필요하다. 트랜지스터 사이즈가 작을수록 출력 전류의 변동이 커진다. 트랜지스터(484)의 크기란, 채널 길이 L과 채널 폭 W를 곱한 사이즈를 말한다. 예를 들면, W=3㎛, L=4㎛이면, 하나의 단위 전류원을 구성하는 트랜지스터(484)의 사이즈는, W×L=12 평방㎛이다. 트랜지스터 사이즈가 작아질수록 변동이 크게 되는 것은 실리콘 웨이퍼의 결정 계면의 상태가 영향을 주고 있기 때문으로 생각된다. 따라서, 하나의 트랜지스터가 복수의 결정 계면에 걸쳐서 형성되어 있으면 트랜지스터의 출 력 전류 변동은 작아진다.

트랜지스터 사이즈와 출력 전류의 변동의 관계를 도 119에 도시한다. 도 119의 그래프의 횡축은 트랜지스터 사이즈(평방㎛)이다. 종축은, 출력 전류의 변동을 %로 나타낸 것이다. 단, 출력 전류의 변동 %는 단위 전류원(하나의 단위 트랜지스터)(484)을 63개의 조로 형성(63개 형성)하고, 이 조를 다수조 웨이퍼상에 형성하여, 출력 전류의 변동을 구한 것이다. 따라서, 그래프의 횡축은, 하나의 단위 전류원을 구성하는 트랜지스터 사이즈(단위 트랜지스터(484)의 사이즈)로 나타내고 있지만, 실제 병렬하는 트랜지스터는 63개가 되므로 면적은 63배이다. 그러나, 도 119에서는 단위 트랜지스터(484)의 크기를 단위로 하여 검토하고 있다. 따라서, 도 119에 있어서, 30 평방㎛의 단위 트랜지스터(484)를 63개 형성했을 때, 그 때의 출력 전류의 변동은 0.5%가 됨을 나타내고 있다.

64 계조의 경우에는 100/64=1.5%이다. 따라서, 출력 전류 변동은 1.5% 이내로 할 필요가 있다. 도 119로부터 1.5% 이하로 하기 위해서는, 단위 트랜지스터의 사이즈는 2 평방㎛ 이상으로 할 필요가 있다(64 계조는 63개의 2 평방㎛의 단위 트랜지스터가 동작함). 한편으로 트랜지스터 사이즈에는 제한이 있다. IC 칩 사이즈가 커진다는 점과, 1 출력당의 횡폭에 제한이 있기 때문이다. 이 점에서, 단위 트랜지스터(484)의 사이즈의 상한은 300 평방㎛이다. 따라서, 64 계조 표시에서는, 단위 트랜지스터(484)의 사이즈는 2 평방㎛ 이상 300 평방㎛ 이하로 할 필요가 있다.

128 계조인 경우는, 100/128=1%이다. 따라서, 출력 전류 변동은 1% 이내로 할 필요가 있다. 도 119로부터 1% 이하로 하기 위해서는, 단위 트랜지스터의 사이즈는 8 평방㎛ 이상으로 할 필요가 있다. 따라서, 128 계조 표시에서는, 단위 트랜지스터(484)의 사이즈는 8 평방㎛ 이상 300 평방㎛ 이하로 할 필요가 있다.

일반적으로, 계조 수를 K로 하고, 단위 트랜지스터(484)의 크기를 St(평방㎛)로 했을 때,

$40 \leq K/\sqrt{(St)}$이고 또한 $St \leq 300$의 관계를 만족시킨다.

더욱 바람직하게는, $120 \leq K/\sqrt{(St)}$이고 또한 $St \leq 300$의 관계를 만족시키는 것이 바람직하다.

이상의 예는, 64 계조로 63개의 트랜지스터를 형성한 경우이다. 64 계조를127개의 단위 트랜지스터(484)로 구성하는 경우에는, 단위 트랜지스터(484)의 사이즈란, 2개의 단위 트랜지스터(484)를 가한 사이즈이다. 예를 들면, 64 계조로, 단위 트랜지스터(484)의 사이즈가 10 평방㎛이고, 127개 형성되어 있으면, 도 119에서는 단위 트랜지스터의 사이즈는 10×2=20의 란을 볼 필요가 있다. 마찬가지로, 64 계조로, 단위 트랜지스터(484)의 사이즈가10 평방㎛이고, 255개 형성되어 있으면, 도 119에서는 단위 트랜지스터의 사이즈는 10×4=40의 란을 볼 필요가 있다.

단위 트랜지스터(484)는 크기뿐만 아니라, 형상도 고려할 필요가 있다. 킹크의 영향을 저감하기 위해서이다. 킹크란, 단위 트랜지스터(484)의 게이트 전압을 일정하게 유지한 상태에서, 단위 트랜지스터(484)의 소스(S)-드레인(D) 전압을 변화시켰을 때에, 단위 트랜지스터(484)에 흐르는 전류가 변화하는 현상이라고 한다. 킹크의 영향이 없는 경우(이상 상태)에는, 소스(S)-드레인(D) 사이에 인가하 는 전압을 변화시키더라도, 단위 트랜지스터(484)에 흐르는 전류는 변화하지 않는다.

킹크의 영향이 발생하는 것은, 도 1 등의 구동용 트랜지스터(11a)의 Vt의 변동에 의해 소스 신호선(18)이 서로 다른 경우이다. 드라이버 회로(14)는 화소의 구동용 트랜지스터(11a)에 프로그램 전류가 흐르도록, 프로그램 전류를 소스 신호선(18)에 흘려 보낸다. 이 프로그램 전류에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전압이 변화하여, 구동용 트랜지스터(11a)에 프로그램 전류가 흐르게 된다. 도 3에서 알 수 있듯이, 선택된 화소(16)가 프로그램 상태일 때

에는, 구동용 트랜지스터(11a)의 게이트 단자 전압=소스 신호선(18) 전위이다.

따라서, 각 화소(16)의 구동용 트랜지스터(11a)의 Vt 변동에 의해, 소스 신호선(18)의 전위는 서로 다르다. 소스 신호선(18)의 전위는 드라이버 회로(14)의 단위 트랜지스터(484)의 소스-드레인 전압이 된다. 즉, 화소(16)의 구동용 트랜지스터(11a)의 Vt 변동에 의해, 단위 트랜지스터(484)에 인가되는 소스-드레인 전압이 다르고, 이 소스-드레인간 전압에 의해, 단위 트랜지스터(484)에 킹크에 의한 출력 전류의 변동이 발생한다.

도 123은 단위 트랜지스터 L/W와 목표치로부터의 어긋남(변동)의 그래프이다. 단위 트랜지스터의 L/W비가 2 이하에서는, 목표치로부터의 어긋남이 크다(직선의 기울기가 큼). 그러나, L/W가 커짐에 따라서, 목표치의 어긋남이 작아지는 경향이 있다. 단위 트랜지스터 L/W가 2 이상에서는 목표치로부터의 어긋남의 변화가 작아진다. 또한, 목표치로부터의 어긋남(변동)은 L/W=2 이상이고, O.5% 이하가 된다. 따라서, 트랜지스터의 정밀도로서 소스 드라이버 회로(14)에 채용할 수 있다. 또, L은 단위 트랜지스터(484)의 채널 길이, W는 단위 트랜지스터의 채널 폭이다.

그러나, 단위 트랜지스터(484)의 채널 길이 L을 얼마든지 길게 하는 것은 불가능하다. L이 길수록 IC 칩(14)이 커지기 때문이다. 또한, 단위 트랜지스터(484)의 게이트 단자 전압이 상승하여, 소스 드라이버 IC(14)에 필요한 전원 전압이 높아진다. 전원 전압이 높아지면 고 내압의 IC 프로세스를 채용할 필요가 있다. 고 내압의 IC 프로세스로 형성한 소스 드라이버 IC(14)는 단위 트랜지스터(484)의 출력 변동이 크다(도 121과 그 설명을 참조). 검토의 결과에 의하면, L/W는 100 이하로 하는 것이 바람직하다. 더욱 바람직하게는, L/W는 50 이하로 하는 것이 바람직하다.

이상의 점으로부터, 단위 트랜지스터 L/W는 2 이상으로 하는 것이 바람직하다. 또한, L/W는 100 이하로 하는 것이 바람직하다. 더욱 바람직하게는, L/W는 40 이하로 하는 것이 바람직하다.

또한, L/W의 크기는 계조 수에도 의존한다. 계조 수가 적은 경우에는, 계조와 계조의 차가 크기 때문에, 킹크의 영향에 의해 단위 트랜지스터(484)의 출력 전류가 변동되더라도 문제가 없다. 그러나, 계조 수가 많은 표시 패널에서는, 계조와 계조의 차가 작기 때문에, 킹크의 영향에 의해 단위 트랜지스터(484)의 출력 전류가 조금이라도 변동되면 계조 수가 저감한다.

이상의 것을 감안하여, 본 발명의 드라이버 회로(14)는 계조 수를 K로 하고, 단위 트랜지스터(484)의 L/W(L은 단위 트랜지스터(484)의 채널 길이, W는 단위 트랜지스터의 채널 폭)로 했을 때,

$(\sqrt{}(K/16)) \leq L/W \leq$ 이고 또한 $(\sqrt{}(K/16)) \times 20$

의 관계를 만족시키도록 구성(형성)하고 있다. 이 관계를 도시하면 도 120과 같아진다. 도 120의 직선의 상측이 본 발명의 실시 범위이다.

단위 트랜지스터(484)의 출력 전류의 변동은 소스 드라이버 IC(14)의 내압에도 의존하고 있다. 소스 드라이버 IC의 내압이란 일반적으로 IC의 전원 전압을 의미한다. 예를 들면, 5(V) 내압이란, 전원 전압을 표준 전압 5(V)로 사용한다. 또, IC 내압이란 최대 사용 전압으로 고쳐 읽어도 좋다. 이들 내압은 반도체 IC 제조사가 5(V) 내압 프로세스, 10(V) 내압 프로세스로 표준화하여 보유하고 있다.

IC 내압이 단위 트랜지스터(484)의 출력 변동에 영향을 주는 것은, 단위 트랜지스터(484)의 게이트 절연막의 막질, 막 두께에 의하는 것으로 생각된다. IC 내압이 높은 프로세스로 제조한 트랜지스터(484)는 게이트 절연막이 두껍다. 이것은 고전압의 인가에서도 절연 파괴를 발생하지 않도록 하기 위해서이다. 절연막이 두꺼우면, 게이트 절연막 두께의 제어가 곤란해지고, 또한 게이트 절연막의 막질 변동도 커진다. 그 때문에, 트랜지스터의 변동이 커진다. 또한, 고 내압 프로세스로 제조한 트랜지스터는 모빌리티가 낮아진다. 모빌리티가 낮으면, 트랜지스터의 게이트에 주입되는 전자가 조금 변화하는 것만으로 특성이 서로 달라진다. 따라서, 트랜지스터의 변동이 커진다. 따라서, 단위 트랜지스터(484)의 변동을 적게 하기 위해서는, IC 내압이 낮은 IC 프로세스를 채용하는 것이 바람직하다.

도 121은 IC 내압을 단위 트랜지스터(484)의 출력 변동의 관계를 도시한 것이다. 종축의 변동 비율이란, 1.8(V) 내압 프로세스로 제작하여 단위 트랜지스터(484)의 변동을 1로 하고 있다. 또, 도 121은 단위 트랜지스터(484)의 형상 L/W를 12(㎛)/6(㎛)으로 하고, 각 내압 프로세스로 제조한 단위 트랜지스터(484)의 출력 변동을 나타내고 있다. 또한, 각 IC 내압 프로세스로 복수의 단위 트랜지스터를 형성하고, 출력 전류 변동을 구하고 있다. 단, 내압 프로세스는 1.8(V) 내압, 2.5(V) 내압, 3.3(V) 내압, 5(V) 내압, 8(V) 내압, 10(V) 내압, 15(V) 내압 등 이산값이다. 그러나, 설명을 쉽게 하기 위해서, 각 내압으로 형성한 트랜지스터의 변동을 그래프에 기입하여, 직선으로 연결하고 있다.

도 121에서도 알 수 있는데, IC 내압이 9(V) 정도까지는 IC 프로세스에 대한 변동 비율(단위 트랜지스터(484)의 출력 전류 변동)의 증가 비율이 작다. 그러나, IC 내압이 10(V) 이상으로 되면 IC 내압에 대한 변동 비율의 기울기가 커진다.

도 121에 있어서의 변동 비율은 3 이내가, 64 계조 내지 256 계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은 단위 트랜지스터(484)의 면적, L/W에 의해 서로 다르다. 그러나, 단위 트랜지스터(484)의 형상 등을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차가 없다. IC 내압 9 10(V) 이상으로 변동 비율이 커지는 경향이 있다.

한편, 도 48의 출력 단자(681)의 전위는, 화소(16)의 구동용 트랜지스터(11a)의 프로그램 전류에 의해 변화한다. 거의, 구동용 트랜지스터(11a)의 게이트 단자 전압과 소스 신호선(18)의 전위와 동일하다. 또한, 소스 신호선(18)의 전위 가 소스 드라이버 IC(회로)(14)의 출력 단자(681)의 전위가 된다. 화소(16)의 구동용 트랜지스터(11a)가 백 래스터(최대 백 표시)의 전류를 흘려 보낼 때의 게이트 단자 전위 Vw로 한다. 화소(16)의 구동용 트랜지스터(11a)가 흑 래스터(완전 흑 표시)의 전류를 흘려 보낼 때의 게이트 단자 전위 Vb로 한다. Vw-Vb의 절대값은 2(V) 이상 필요하다. 또한, Vw 전압이 단자(681)에 인가되고 있을 때, 단위 트랜지스터(484)의 채널 사이 전압은 0.5(V) 필요하다.

따라서, 출력 단자(681)(단자(681)는 소스 신호선(18)과 접속되어, 전류 프로그램 시, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압이 인가됨)에는, 0.5(V) 내지 ((Vw-Vb)+0.5)(V)의 전압이 인가된다. Vw-Vb는 2(V)이므로, 단자(681)는 최대 2(V)+0.5(V)=2.5(V) 인가된다. 따라서, 소스 드라이버 IC(14)의 출력 전압(전류)이 rail-to-rail 회로 구성(IC 전원 전위까지, 전압을 출력할 수 있는 회로 구성)이더라도, IC 내압으로서는 2.5(V) 필요하다. 단자(741)의 진폭 필요 범위는, 2.5(V) 이상 필요하다.

이상의 점으로부터, 소스 드라이버 IC(14)의 내압은, 2.5(V) 이상 10(V) 이하의 프로세스를 사용하는 것이 바람직하다. 더욱 바람직하게는, 소스 드라이버 IC(14)의 내압은 3(V) 이상9(V) 이하의 프로세스를 사용하는 것이 바람직하다.

또 이상의 설명은, 소스 드라이버 IC(12)의 사용 내압 프로세스는 2.5(V) 이상 10(V) 이하의 프로세스를 사용한다고 했다. 그러나, 이 내압은 어레이 기판(71)에 직접적으로 소스 드라이버 회로(14)가 형성된 실시예(저온 폴리실리콘 프로세스 등)에도 적용된다. 어레이 기판(71)에 형성된 소스 드라이버 회로(14)의 사 용 내압은 15(V) 이상으로 높은 경우가 있다. 이 경우에는, 소스 드라이버 회로(14)에 사용하는 전원 전압을 도 121에 도시하는 IC 내압으로 치환하여도 좋다. 또한, 소스 드라이버 IC(14)에 있어서도, IC 내압으로 하지 않고, 사용하는 전원 전압으로 치환하여도 된다.

단위 트랜지스터(484)의 면적은 출력 전류의 변동과 상관이 있다. 도 122는 단위 트랜지스터(484)의 면적을 일정하다고 하고, 단위 트랜지스터(484)의 트랜지스터 폭 W를 변화시켰을 때의 그래프이다. 도 121은 단위 트랜지스터(484)의 채널 폭 W=2(㎛)의 변동을 1로 하고 있다. 그래프의 종축은 채널 폭 W=2(㎛)의 변동을 1로 했을 때에 상대비이다.

도 122에서 도시한 바와 같이 변동 비율은, 단위 트랜지스터의 W가 2(㎛)에서 9 10(㎛)까지 느슨히 증가하여, 10(㎛) 이상으로 변동 비율의 증가가 커지는 경향이 있다. 또한, 채널 폭 W=2(㎛) 이하에서 변동 비율이 증가하는 경향이 있다.

도 122에 있어서의 변동 비율은 3 이내가, 64 계조 내지 256 계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은 단위 트랜지스터(484)의 면적에 따라서 서로 다르다. 그러나, 단위 트랜지스터(484)의 면적을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차가 없다.

이상의 점에서, 단위 트랜지스터(484)의 채널 폭 W는 2(㎛) 이상 10(㎛) 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 단위 트랜지스터(484)의 채널 폭 W는 2(㎛) 이상 9(㎛) 이하로 하는 것이 바람직하다. 단, 계조 수가 64 계조일 때 에는, 채널 폭 W는 2(㎛) 이상 15(㎛) 이하라도 실용상은 지장이 없다.

도 52에 도시하는 바와 같이, 제2단의 커런트 미러 회로(472b)를 흐르는 전류는, 제3단의 커런트 미러 회로를 구성하는 트랜지스터(473a)에 복사되고, 커런트 미러 배율이 1배일 때에는, 이 전류가 트랜지스터(473b)에 흐른다. 이 전류는 최종단의 단위 트랜지스터(484)에 복사된다.

D0에 대응하는 부분은 하나의 단위 트랜지스터(484)로 구성되어 있기 때문에, 최종단 전류원의 단위 트랜지스터(473)에 흐르는 전류값이다. D1에 대응하는 부분은 2개의 단위 트랜지스터(484)로 구성되어 있기 때문에, 최종단 전류원의 2배의 전류값이다. D2는 4개의 단위 트랜지스터(484)로 구성되어 있기 때문에, 최종단 전류원의 4배의 전류값이고, …, D5에 대응하는 부분은 32개의 트랜지스터로 구성되어 있기 때문에, 최종단 전류원의 32배의 전류값이다. 단, 최종단의 커런트 미러 회로의 미러비가 1인 경우이다.

6 비트의 화상 데이터 D0, D1, D2, …, D5로 제어되는 스위치를 통하여 프로그램 전류 Iw는 소스 신호선에 출력된다(전류를 인입한다). 따라서, 6 비트의 화상 데이터 D0, D1, D2, · · · D5의 ON, OFF에 대응하여, 출력선에는 최종단 전류원(473)의 1배, 2배, 4배, …, 32배의 전류가 가산되어 출력된다. 즉, 6 비트의 화상 데이터 D0, D1, D2, …, D5

에 의해, 최종단 전류원(473)의 0 63배의 전류값이 출력선으로부터 출력된다(소스 신호선(18)으로부터 전류를 끌어들임).

실제로는, 도 76, 도 77, 도 78, 도 118에 도시하는 바와 같이, 소스 드라이버 IC(14) 내에는, R, G, B마다의 기준 전류(IaR, IaG, IaB)는, 저항(491)(491R, 491G, 491B) 등으로 조정할 수 있도록 구성되어 있다. 기준 전류 Ia를 조정함으로써, 화이트 밸런스를 용이하게 조정할 수 있다.

EL 표시 패널에서, 풀컬러 표시를 실현하기 위해서는, RGB의 각각에 기준 전류를 형성(작성)할 필요가 있다. RGB의 기준 전류의 비율로 화이트 밸런스를 조정할 수 있다. 전류 구동 방식의 경우에는 또한, 본 발명은 하나의 기준 전류로부터 단위 트랜지스터(484)가 흘려보내는 전류값을 결정한다. 따라서, 기준 전류의 크기를 결정하면, 단위 트랜지스터(484)가 흘리는 전류를 결정할 수 있다. 그 때문에, R, G, B의 각각의 기준 전류를 설정하면, 모든 계조에 있어서의 화이트 밸런스가 떨어지게 된다. 이상의 사항은 소스 드라이버 회로(14)가 전류 조각 출력(전류 구동)이라는 점에서 발휘되는 효과이다. 따라서, 어떻게 RGB마다 기준 전류의 크기를 설정할 수 있을지가 포인트가 된다.

EL 소자의 발광 효율은 EL 재료의 증착 혹은 도포하는 막 두께로 결정된다. 혹은, 지배적인 요인이다. 막 두께는 로트마다 거의 일정하다. 따라서, EL 소자(15)의 형성 막 두께를 로트 관리하면, EL 소자(15)에 흘려보내는 전류와 발광 휘도의 관계가 결정된다. 즉, 로트마다, 화이트 밸런스를 취하기 위한 전류값은 고정이다.

도 49에, 3단식 커런트 미러 회로에 의한 176 출력(N×M=176)의 회로도의 일례를 나타낸다. 도 49에서는 제1단 커런트 미러 회로에 의한 전류원(471)을 모 전류원, 제2단 커런트 미러 회로에 의한 전류원(472)을 자 전류원, 제3단 커런트 미러 회로에 의한 전류원(473)을 손 전류원으로 기록하고 있다. 최종단 커런트 미러 회로인 제3단 커런트 미러 회로에 의한 전류원의 정수배의 구성에 의해, 176 출력의 변동을 극력 억제하여, 고정밀도의 전류 출력이 가능하다.

또, 밀집되게 배치한다 함은, 제1 전류원(471)과 제2 전류원(472)을 적어도 8mm 이내의 거리에 배치(전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측)하는 것을 말한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 실리콘 칩 내에서 배치되어 트랜지스터의 특성(Vt, 모빌리티(μ)) 차가 거의 발생하지 않기 때문이다. 또한, 마찬가지로, 제2 전류원(472)과 제3 전류원(473)(전류의 출력측과 전류의 입력측)도 적어도 8mm 이내의 거리에 배치한다. 더욱 바람직하게는, 5mm 이내의 위치에 배치하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에서도 적용되는 것은 물론이다.

이 전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측이란, 이하의 관계를 의미한다. 도 50의 전압 교환의 경우에는, 제(I)단의 전류원의 트랜지스터(471)(출력측)와 제(I+1)의 전류원의 트랜지스터(472a)(입력측)를 밀집되게 배치하는 관계이다. 도 51의 전류 교환의 경우에는, 제(I)단의 전류원의 트랜지스터(471a)(출력측)와 제(I+1)의 전류원의 트랜지스터(472b)(입력측)를 밀집되게 배치하는 관계이다.

또, 도 49, 도 50 등에 있어서, 트랜지스터(471)는 하나로 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 작은 서브 트랜지스터(471)를 복수개 형성하고, 이 복수개의 서브 트랜지스터의 소스 또는 드레인 단자를 저항(491)과 접속하여 단위 트랜지스터(484)를 구성해도 된다. 작은 서브 트랜지스터를 복수개 병렬 로 접속하는 것에 의해, 단위 트랜지스터(484)의 변동을 저감할 수 있다.

마찬가지로, 트랜지스터(472a)는 하나로 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 작은 트랜지스터(472a)를 복수개 형성하고, 이 트랜지스터(472a)의 복수개의 게이트 단자를, 트랜지스터(471)의 게이트 단자와 접속해도 된다. 작은 트랜지스터(472a)를 복수개 병렬로 접속하는 것에 의해, 트랜지스터(472a)의 변동을 저감할 수 있다.

따라서, 본 발명의 구성에서는, 하나의 트랜지스터(471)와 복수개의 트랜지스터(472a)를 접속하는 구성, 복수개의 트랜지스터(471)와 하나의 트랜지스터(472a)를 접속하는 구성, 복수개의 트랜지스터(471)와 복수개의 트랜지스터(472a)를 접속하는 구성이 예시된다. 이상의 실시예는 후에 상세히 설명한다.

이상의 사항은 도 52의 트랜지스터(473a)와 트랜지스터(473b)의 구성에도 적용된다. 1개의 트랜지스터(473a)와 복수개의 트랜지스터(473ba)를 접속하는 구성, 복수개의 트랜지스터(473a)와 1개의 트랜지스터(473b)를 접속하는 구성, 복수개의 트랜지스터(473a)와 복수개의 트랜지스터(473b)를 접속하는 구성이 예시된다. 작은 트랜지스터(473)를 복수개 병렬로 접속함으로써, 트랜지스터(473)의 변동을 저감하는 것이 가능하기 때문이다.

이상의 사항은 도 52의 트랜지스터(472a, 472b)의 관계에도 적용할 수 있다. 또, 도 48의 트랜지스터(473b)도 복수개의 트랜지스터로 구성하는 것이 바람직하다. 도 56, 도 57의 트랜지스터(473)에 대해서도 마찬가지로 복수개의 트랜지스터로 구성하는 것이 바람직하다.

여기서, 소스 드라이버 IC(14)는 실리콘 칩으로 형성하는 것으로 해서 설명하지만, 이것에 한정되는 것이 아니다. 소

스 드라이버 IC(14)는 갈륨 기판, 게르마늄 기판 등 형성된 다른 반도체 칩이어도 된다. 또한, 단위 트랜지스터(484)는 바이폴라 트랜지스터, CMOS 트랜지스터, FET, 바이 CMOS 트랜지스터, DMOS 트랜지스터의 어느 것이라도 무방하다. 그러나, 단위 트랜지스터(484)의 출력 변동을 작게 하는 관점에서, 단위 트랜지스터(484)는 CMOS 트랜지스터로 구성하는 것이 바람직하다.

단위 트랜지스터(484)는 N채널로 구성하는 것이 바람직하다. P 채널 트랜지스터로 구성한 단위 트랜지스터는, N채널 트랜지스터로 구성한 단위 트랜지스터에 비하여, 출력 변동이 1.5배가 된다.

소스 드라이버 IC(14)의 단위 트랜지스터(484)는 N채널 트랜지스터로 구성하는 것이 바람직하다는 점에서, 소스 드라이버 IC(14)의 프로그램 전류는 화소(16)에서 소스 드라이버 IC에의 인입 전류가 된다. 따라서, 화소(16)의 구동용 트랜지스터(11a)는 P 채널로 구성된다. 또한, 도 1의 스위칭용 트랜지스터(11d)도 P 채널 트랜지스터로 구성된다.

이상의 점에서, 소스 드라이버 IC(회로)(14)의 출력단의 단위 트랜지스터(484)를 N채널 트랜지스터로 구성하고, 화소(16)의 구동용 트랜지스터(11a)를 P 채널 트랜지스터로 구성한다고 하는 구성은, 본 발명의 특징이 있는 구성이다. 또, 화소(16)를 구성하는 트랜지스터(11)의 전체(트랜지스터(11a, 11b, 11c, 11d)를 P 채널로 형성하면 된다. N채널 트랜지스터를 형성하는 프로세스와 없앨 수 있으므 로, 저 비용화와 고 수율화를 실현할 수 있다.

또, 단위 트랜지스터(484)는 IC(14)에 형성하는 것으로 했지만, 이것에 한정되는 것이 아니다. 저온 폴리실리콘 기술로 소스 드라이버 회로(14)를 형성해도 된다. 이 경우에도, 소스 드라이버 회로(14) 내의 단위 트랜지스터(484)는 N채널 트랜지스터로 구성하는 것이 바람직하다.

도 51은 전류 교환 구성의 실시예이다. 또, 도 50은 전압 교환 구성의 실시예이다. 도 50, 도 51 모두 회로도로서는 동일하며, 레이아웃 구성 즉 배선의 배치 방법이 서로 다르다. 도 50에 있어서, (471)는 제1단 전류원용 N채널 트랜지스터, (472a)는 제2단 전류원용 N채널 트랜지스터, (472b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 51에 있어서, (471a)는 제1단 전류원용 N채널 트랜지스터, (472a)는 제2단 전류원용 N채널 트랜지스터, (472b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 50에서는, 가변 저항(491)(전류를 변화하기 위해서 이용하는 것임)과 N채널 트랜지스터(471)로 구성되는 제1단 전류원의 게이트 전압이, 제2단 전류원의 N채널 트랜지스터(472a)의 게이트와 교환되고 있기 때문에, 전압 교환 방식의 레이아웃 구성이 된다.

한편, 도 51에서는 가변 저항(491)과 N채널 트랜지스터(471a)로 구성되는 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N채널 트랜지스터(472a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(472b)와 교환되고 있기 때문에, 전류 교환 방식의 레이아웃 구성이 된다.

또, 본 발명의 실시예에서는 설명을 쉽게 하기 위해서, 혹은 이해를 쉽게 하기 위해서, 제1 전류원과 제2 전류원의 관계를 중심으로 설명하고 있지만, 이것에 한정되는 것이 아니고, 제2 전류원과 제3 전류원의 관계, 혹은 그 이외의 전류원과의 관계에 있어서도 적용됨(적용할 수 있음)은 물론이다.

도 50에 도시한 전압 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단의 전류원의 N채널 트랜지스터(471)와 제2단의 전류원의 N채널 트랜지스터(472a)가 따로따로 떨어지게 되기(따로따로 떨어지게 되기 쉽다고 해야 되기는 함) 때문에, 양자의 트랜지스터 특성에 상위가 발생하기 쉽다. 따라서, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되지 않아, 변동이 발생하기 쉽다.

이에 대하여, 도 51에 도시한 전류 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단 전류원의 N채널 트랜지스터(471a)와 제2단 전류원의 N채널 트랜지스터(472a)가 인접하고 있기(인접하여 배치하기 쉬움) 때문에, 양자의 트랜지스터 특성에 상위는 발생하기 어렵고, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되어, 변동이 발생하기 어렵다.

이상의 점에서, 본 발명의 다단식 커런트 미러 회로의 회로 구성(본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)로서, 전압 교환이 아니고, 전류 교환이 되는 레이아웃 구성으로 함으로써, 보다 변동을 작게 할 수 있어 바람직하다. 이상의 실시예는 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

또, 설명의 형편상, 제1단 전류원에서 제2단 전류원의 경우를 나타냈지만, 제2단 전류원에서 제3단 전류원, 제3단 전류원에서 제4단 전류원, …등의 다단의 경우에도 마찬가지임은 물론이다. 또한, 본 발명은 1단의 전류원 구성을 채용해도 됨은 말할 필요도 없다(도 164, 도 165, 도 166 등을 참조).

도 52는 도 49의 3단 구성의 커런트 미러 회로(3단 구성의 전류원)를, 전류 교환 방식으로 한 경우의 예를 나타내고 있다(따라서, 도 49는 전압 교환 방식의 회로 구성임).

도 52에서는 우선, 가변 저항(491)과 N채널 트랜지스터(471)로 기준 전류가 작성된다. 또, 가변 저항(491)으로 기준 전류를 조정하도록 설명하고 있지만, 실제로는 소스 드라이버 IC(회로)(14) 내에 형성(혹은 배치)된 전자 볼륨 회로에 의해 트랜지스터(471)의 소스 전압이 설정되고, 조정되도록 구성된다. 혹은, 도 48에 도시하는 다수의 전류원(1 단위)(484)로 구성되는 전류 방식의 전자 볼륨으로부터 출력되는 전류를 직접 트랜지스터(471)의 소스 단자에 공급함으로써 기준 전류는 조정된다(도 53을 참조).

트랜지스터(471)에 의한 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N채널 트랜지스터(472a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(472b)와 교환된다. 또한, 제2 전류원의 트랜지스터(472b)에 의한 게이트 전압이, 인접하는 제3단 전류원의 N채널 트랜지스터(473a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제3단 전류원의 N채널 트랜지스터(473b)와 교환된다. 제3단 전류원의 N채널 트랜 지스터(473b)의 게이트에는 도 48에 도시하는 다수의 단위 트랜지스터(484)가 필요한 비트 수에 대응하여 형성(배치)된다.

도 53에서는, 상기 다단식 커런트 미러 회로의 제1단 전류원(471)에, 전류값 조정용 소자가 구비되어 있는 것을 특징으로 하고 있다. 이 구성에 의해, 제1단 전류원(471)의 전류값을 변화시킴으로써, 출력 전류를 컨트롤하는 것이 가능해진다.

트랜지스터의 Vt 변동(특성 변동)은 1 웨이퍼 내에서 100(mV) 정도의 변동이 있다. 그러나, 100μ 이내에 근접하여 형성된 트랜지스터의 Vt 변동은, 적어도 10(mV) 이하이다(실측). 즉, 트랜지스터를 근접하여 형성하고, 커런트 미러 회로를 구성함으로써, 커런트 미러 회로의 출력 전류 변동을 감소시킬 수 있다. 따라서, 소스 드라이버 IC의 각 단자의 출력 전류 변동을 적게 할 수 있다.

또, 트랜지스터의 변동은 Vt인 것으로 하여 설명을 하지만, 트랜지스터의 변동은 Vt뿐만이 아니다. 그러나, Vt 변동이 트랜지스터의 특성 변동의 주 요인이므로, 이해를 쉽게 하기 위해서, Vt 변동=트랜지스터 변동으로 하여 설명한다.

도 118은 트랜지스터의 형성 면적(평방 밀리미터)과, 단체 트랜지스터(484)의 출력 전류 변동의 측정 결과를 나타내고 있다. 출력 전류 변동이란, Vt 전압에서의 전류 변동이다. 흑점은 소정의 형성 면적 내에 제작된 평가 샘플(10-200개)의 트랜지스터 출력 전류 변동이다. 도 118의 A영역(형성 면적 0.5 평방 밀리미터 이내) 내에서 형성된 트랜지스터에는, 거의 출력 전류의 변동이 없다(거의, 오차 범위의 출력 전류 변동밖에 없음. 즉, 일정한 출력 전류가 출력됨). 반대로 C 영 역(형성 면적 2.4평방 밀리미터 이상)에서는, 형성 면적에 대한 출력 전류의 변동이 급격히 커지는 경향이 있다. B 영역(형성 면적 O.5평방 밀리미터 이상 2.4평방 밀리미터 이하)에서는, 형성 면적에 대한 출력 전류의 변동은 거의 비례 관계에 있다.

단, 출력 전류의 절대값은 웨이퍼마다 서로 다르다. 그러나, 이 문제는 본 발명의 소스 드라이버 회로(IC14)에 있어서, 기준 전류를 조정하는 것, 혹은 소정값으로 함으로써 대응할 수 있다. 또한, 커런트 미러 회로 등의 회로 고안으로 대응할 수 있다(해결할 수 있음).

본 발명은 입력 디지털 데이터(D)에 의해, 단위 트랜지스터(484)에 흐르는 전류 수를 전환함으로써 소스 신호선(18)에 흐르는 전류량을 변화(제어)한다. 계조 수가 64 계조 이상이면, 1/64=0.015이므로, 이론적으로는 1 2% 이내의 출력 전류 변동 이내로 할 필요가 있다. 또, 1% 이내의 출력 변동은 시각적으로는 판별하는 것이 곤란해져도, 0.5% 이하에서는 거의 판별할 수 없다(균일하게 보임).

출력 전류 변동(%)을 1% 이내로 하기 위해서는, 도 118의 결과에 도시한 바와 같이 트랜지스터군(변동의 발생을 억제하여야 할 트랜지스터)의 형성 면적을 2평방 밀리미터 이내로 할 필요가 있다. 더욱 바람직하게는, 출력 전류의 변동(즉, 트랜지스터의 Vt 변동)을 0.5% 이내로 하는 것이 바람직하다. 도 118의 결과에 도시한 바와 같이 트랜지스터군(521)의 형성 면적을 1.2평방 밀리미터 이내로 하면 된다. 또, 형성 면적이란, 세로×가로의 길이의 면적이다. 예를 들면 일례로서, 1.2평방 밀리미터에서는 1mm×1.2mm이다.

또한, 단위 트랜지스터(484)의 조(64 계조이면 63개의 트랜지스터(484)의 덩어리(도 48 등을 참조))에 관해도 마찬가지이다. 단위 트랜지스터(484)의 조의 형성 면적을 2평방 밀리미터 이내로 할 필요가 있다. 더욱 바람직하게는, 단위 트랜지스터의 조484의 형성 면적을 1.2평방 밀리미터 이내로 하면 된다.

또, 이상은 특히 8 비트(256 계조) 이상인 경우이다. 256 계조 이하인 경우, 예를 들면, 6 비트(64 계조)의 경우에는, 출력 전류의 변동은 2% 정도이어도 된다(화상 표시상, 실상은 문제가 없음). 이 경우에는, 트랜지스터군(521)은 5평방 밀리미터 이내로 형성하면 된다. 또한, 트랜지스터군(521)(도 52에서는, 트랜지스터군(521a와 521b)의 2개를 도

시함)의 양방이, 이 조건을 만족하는 것을 요하지 않는다. 적어도 한쪽(3개 이상 있는 경우에는, 하나 이상의 트랜지스터군(521))이 조건을 만족하도록 구성하면 본 발명의 효과가 발휘된다. 특히, 하위의 트랜지스터군(521)((521a)이 상위이고, (521b)가 하위의 관계)에 관하여 이 조건을 만족시키는 것이 바람직하다. 화상 표시에 문제가 발생하기 어렵게 되기 때문이다.

본 발명의 소스 드라이버 회로(IC1)(4)는, 도 52에 도시하는 바와 같이, 모, 자, 손이라는 식으로 복수의 전류원을 다단 접속하고, 또한 각 전류원을 밀집 배치로 하고 있다(물론, 모자의 2단 접속이어도 됨). 또한, 각 전류원 사이(트랜지스터군(521) 사이)를 전류 교환으로 하고 있다. 구체적으로는, 도 52의 점선으로 둘러싼 범위(트랜지스터군(521))를 밀집 배치로 한다. 이 트랜지스터군(521)은 전압 교환의 관계에 있다. 또한, 모의 전류원(471)과 자의 전류원(472a)은 소스 칩의 대략 중앙부에 형성 또는 배치한다. 칩의 좌우에 배치된 자의 전류원을 구성하는 트랜지스터(472a)와, 자의 전류원을 구성하는 트랜지스터(472b)의 거리를 비교적 짧게 할 수 있기 때문이다. 즉, 최상위의 트랜지스터군(521a)을 IC 칩의 대략 중앙부에 배치한다. 그리고, IC 칩(14)의 좌우에, 하위의 트랜지스터군(521b)을 배치한다. 바람직하게는, 이 하위의 트랜지스터군(521b)의 개수가 IC 칩의 좌우로 대략 똑같아지도록 배치 또는 형성 혹은 제작하는 것이다. 또, 이상의 사항은 IC 칩(14)에 한정되지 않고, 저온 폴리실리콘 기술 혹은 고온 폴리실리콘 기술로 어레이 기판(71)에 직접 형성한 소스 드라이버 회로(14)에도 적용된다. 다른 사항도 마찬가지이다.

본 발명에서는, 트랜지스터군(521a)은 IC 칩(14)의 대략 중앙부에 하나 구성 또는 배치 또는 형성 혹은 제작되어 있고, 칩의 좌우에 8개씩 트랜지스터군(521b)이 형성되어 있다(N=8+8, 도 47을 참조). 자의 트랜지스터군(521b)은 칩의 좌우와 똑같아지도록, 혹은, 칩 중앙의 모가 형성된 위치에 대하여, 좌측에 형성 또는 배치된 트랜지스터군(521b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터군(521b)의 개수의 차가, 4개 이내로 되도록 구성하는 것이 바람직하다. 나아가서는, 칩의 좌측에 형성 또는 배치된 트랜지스터군(521b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터군(521b)의 개수의 차가, 하나 이내로 되도록 구성하는 것이 바람직하다. 이상의 사항은 손에 대응하는 트랜지스터군(도 52에서는 생략되어 있지만)에 대해서도 마찬가지이다.

모 전류원(471)과 자 전류원(472a) 사이는 전압 교환(전압 접속)되어 있다. 따라서, 트랜지스터의 Vt 변동의 영향을 받기 쉽다. 그 때문에, 트랜지스터군(521a)의 부분을 밀집 배치한다. 이 트랜지스터군(521a)의 형성 면적을, 도 118에 도시하는 바와 같이 2평방 밀리미터 이내의 면적에 형성한다. 더욱 바람직하게는 1.2평방 밀리미터 이내에 형성한다. 물론, 계조 수가 64 계조 이하인 경우에는, 5평방 밀리미터 이내여도 좋다.

트랜지스터군(521a)과 자 트랜지스터(472b) 사이는 전류로 데이터를 교환(전류 교환)을 하고 있기 때문에, 거리는 흐르더라도 상관없다. 이 거리의 범위(예를 들면, 상위의 트랜지스터군(521a)의 출력단에서 하위의 트랜지스터군(521b)의 입력단까지의 거리)는, 앞서 설명한 바와 같이, 제2 전류원(자)을 구성하는 트랜지스터(472a)와 제2 전류원(자)을 구성하는 트랜지스터(472b)를, 적어도 10mm 이내의 거리에 배치한다. 바람직하게는 8mm 이내에 배치 또는 형성한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다.

이 범위이면, 검토에 의해 실리콘 칩 내에서 배치되어 트랜지스터의 특성(Vt, 모빌리티(μ)) 차가, 전류 교환에서는 거의 영향을 주지 않기 때문이다. 특히, 이 관계는 하위의 트랜지스터군에서 실시하는 것이 바람직하다. 예를 들면, 트랜지스터군(521a)이 상위이고, 그 하위에 트랜지스터군(521b), 또 그 하위에 트랜지스터군(521c)이 있으면, 트랜지스터군(521b)과 트랜지스터군(521c)의 전류 교환을 이 관계를 만족시킨다. 따라서, 모든 트랜지스터군(521)이 이 관계를 만족시키는 데에, 본 발명이 한정되는 것이 아니다. 적어도 1조의 트랜지스터군(521)이 이 관계를 만족하도록 하면 된다. 특히, 하위 쪽이 트랜지스터군(521)의 개수가 많아지기 때문이다.

제3 전류원(손)을 구성하는 트랜지스터(473a)와 제3 전류원을 구성하는 트랜지스터(473b)에 대해서도 마찬가지이다. 또, 전압 교환이라도 거의 적용할 수 있음은 물론이다.

트랜지스터군(521b)은 칩의 좌우 방향(길이 방향, 즉, 출력 단자(681)와 대면하는 위치에)에 형성 또는 제작 혹은 배치되어 있다. 트랜지스터군(521b)은 칩의 좌우 방향(길이 방향, 즉, 출력 단자(681)와 대면하는 위치에)에 형성 또는 제작 혹은 배치되어 있다. 이 트랜지스터군(521b)의 개수 M은 본 발명에서는 11개(도 47을 참조)이다.

자 전류원(472b)과 손 전류원(473a) 사이는 전압 교환(전압 접속)되어 있다. 그 때문에, 트랜지스터군(521a)과 같이 트랜지스터군(521b)의 부분을 밀집 배치한다. 이 트랜지스터군(521b)의 형성 면적을, 도 118의 도시하는 바와 같이 2평방 밀리미터 이내의 면적에 형성한다. 더욱 바람직하게는 1.2평방 밀리미터 이내에 형성한다. 단, 이 트랜지스터군(521b) 부분의 Vt가 조금이라도 변동되면 화상으로서 인식되기 쉽다. 따라서, 거의 변동이 발생하지 않도록, 형성 면적은 도 118의 A영역(0.5평방 밀리미터 이내)으로 하는 것이 바람직하다.

트랜지스터군(521b)을 손자 트랜지스터(473a)와 트랜지스터(473b) 사이는 전류로 데이터를 교환(전류 교환)하고 있기 때문에, 다소 거리는 흐르더라도 상관없다. 이 거리의 범위에 대해서도 앞의 설명과 마찬가지이다. 제3 전류원(손)을 구성하는 트랜지스터(473a)와 제2 전류원(손)을 구성하는 트랜지스터(473b)를, 적어 도 8mm 이내의 거리에 배치

한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다.

도 53에, 상기 전류값 제어용 소자로서, 전자 볼륨으로 구성한 경우를 도시한다. 전자 볼륨은 저항(531)(전류 제한 및 각 기준 전압을 작성함. 저항(531)은 폴리실리로 형성함), 디코더 회로(532), 레벨 시프터 회로(533) 등으로 구성된다. 또, 전자 볼륨은 전류를 출력한다. 트랜지스터(481)는 아날로그 스위치 회로로서 기능한다.

또, 소스 드라이버 IC(회로)(14)에 있어서, 트랜지스터를 전류원이라고 기재하는 경우가 있다. 트랜지스터로 구성된 커런트 미러 회로 등은 전류원으로서 기능하기 때문이다.

또한, 전자 볼륨 회로는 EL 표시 패널의 색 수에 대응하여 형성(혹은 배치)한다. 예를 들면, RGB의 3원색이면, 각 색에 대응하는 3개의 전자 볼륨 회로를 형성(혹은 배치)하고, 각 색을 독립적으로 조정할 수 있도록 하는 것이 바람직하다. 그러나, 하나의 색을 기준으로 한(고정함) 경우에는, 색 수 -1분의 전자 볼륨 회로를 형성(혹은 배치)한다.

도 68은 RGB의 3원색을 독립적으로 기준 전류를 제어하는 저항 소자(491)를 형성(배치)한 구성이다. 물론, 저항 소자(491)는 전자 볼륨으로 치환하여도 됨은 물론이다. 또한, 저항 소자(491)는 소스 드라이버 IC(회로)(14) 내에 내장시켜도 좋다. 전류원(471), 전류원(472) 등의 모 전류원, 자 전류원 등 기본(근본)이 되는 전류원은 도 68에 도시하는 영역에 출력 전류 회로(654)에 밀집되게 배치한다. 밀집되게 배치함으로써, 각 소스 신호선(18)으로부터의 출력 변동이 저감한다. 도 68에 도시하는 바와 같이 IC 칩(회로)(14)의 중앙부에 출력 전류 회로(654)(전류 출력 회로에 한정되는 것이 아님. 기준 전류 발생 회로부, 컨트롤러부이어도 됨. 즉, (654)란 출력 회로가 형성되어 있지 않은 영역임)에 배치하는 것에 의해, IC 칩(회로)(14)의 좌우에 전류원(471, 472) 등으로부터 전류를 균등하게 분배하는 것이 용이해진다. 따라서, 좌우의 출력 변동이 발생하기 어렵다.

단, 중앙부에 출력 전류 회로(654)에 배치하는 것에 한정되는 것이 아니다. IC 칩의 한쪽 끝 혹은 양단에 형성해도 된다. 또, 출력 전류 회로(654)와 평행하게 형성 또는 배치해도 된다.

IC 칩(14)의 중앙부에 컨트롤러 혹은 출력 전류 회로(654)를 형성하는 것은, IC 칩(14)의 단위 트랜지스터(484)의 Vt 분포의 영향을 받기 쉽기 때문에, 그다지 바람직하다고는 할 수는 없다(웨이퍼의 Vt는 웨이퍼 내에서 원활한 분포가 발생하고 있기 때문임).

도 52의 회로 구성에서는, 하나의 트랜지스터(473a)와 하나의 트랜지스터(473b)가 일대일의 관계로 접속되어 있다. 도 51에서도, 하나의 트랜지스터(472a)와 하나의 트랜지스터(472b)가 일대일의 완성으로 접속되어 있다. 도 49 등에서도 마찬가지이다.

그러나, 하나의 트랜지스터와 하나의 트랜지스터가 일대일의 관계로 접속되어 있으면, 대응하는 트랜지스터의 특성(Vt 등)의 특성이 바랙과 이 트랜지스터에 접속된 트랜지스터의 출력에 변동이 발생한다.

이 과제를 해결하는 구성의 실시예가 도 58의 구성이다. 도 58의 구성은, 일례로서 4개의 트랜지스터(473a)로 이루어지는 전달 트랜지스터군(521b)(521b1, 521b2, 521b3)과 4개의 트랜지스터(473b)로 이루어지는 전달 트랜지스터군(521c)(521c1, 521c2, 521c3)이 접속되어 있다. 단, 전달 트랜지스터군(521b), 전달 트랜지스터군(521c)은 각각 4개의 트랜지스터(473)로 구성되는 것으로 했지만 이것에 한정되는 것이 아니고, 3 이하여도 되고, 5 이상이어도 됨은 물론이다. 즉, 트랜지스터(473a)에 흐르는 기준 전류 Ib를, 트랜지스터(473a)와 커런트 미러 회로를 구성하는 복수의 트랜지스터(473)로 출력하고, 이 출력 전류를 복수의 트랜지스터(473b)에서 받는 것이다.

복수의 트랜지스터(473a)와 복수의 트랜지스터(473b)가 대략 동일 사이즈이고, 또한 동일 개수로 설정하는 것이 바람직하다. 또한, 1 출력을 구성하는 단위 트랜지스터(484)의 개수(도 48과 같이 64 계조인 경우에는 63개)와, 단위 트랜지스터(484)와 커런트 미러를 구성하는 트랜지스터(473b)의 개수는 대략 동일 사이즈, 또한 동일 개수로 하는 것이 바람직하다. 구체적으로는 단위 트랜지스터(484)의 사이즈와 트랜지스터(473b)의 사이즈의 차는, ±25% 이내로 하는 것이 바람직하다. 이상과 같이 구성하면 전류 배율이 정밀도 좋게 설정할 수 있고, 또한 출력 전류의 변동도 적어진다. 또, 트랜지스터의 면적이란, 트랜지스터의 채널 길이 L과 트랜지스터의 채널 폭 W를 곱한 면적을 말한다.

또, 트랜지스터(473b)에 흘리는 전류 Ic1에 대하여, (472b)에 흐르는 전류 Ib는 5배 이상으로 되도록 설정하는 것이 바람직하다. 트랜지스터(473a)의 게이트 전위가 안정되고, 출력 전류에 의한 과도 현상의 발생을 억제할 수 있기 때문이다.

또한, 전달 트랜지스터군(521b1)에는 4개의 트랜지스터(473a)가 인접하여 배치되고, 전달 트랜지스터군(521b1)에 인접하여 전달 트랜지스터군(521b2)이 배치되고, 이 전달 트랜지스터군(521b2)에는 4개의 트랜지스터(473a)가 인접하여 배치된다는 식으로 형성되는 것으로 하고 있지만 이것에 한정되는 것이 아니다. 예를 들면, 전달 트랜지스터군(521b1)의 트랜지스터(473a)와 전달 트랜지스터군(521b2)의 트랜지스터(473a)가 서로 위치 관계를 교착하도록

배치 또는 형성해도 된다. 위치 관계를 교착(트랜지스터(473)의 배치를 전달 트랜지스터군(521) 사이에서 교체함)시킴으로써, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 보다 적게 할 수 있다.

이와 같이 전류 교환하는 트랜지스터를 복수의 트랜지스터로 구성함으로써, 트랜지스터군 전체적으로 출력 전류의 변동이 적어져, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 보다 적게 할 수 있다.

전달 트랜지스터군(521)을 구성하는 트랜지스터(473)의 형성 면적의 총합이 중요한 항목이다. 기본적으로 트랜지스터(473)의 형성 면적의 총합이 클수록, 출력 전류(소스 신호선(18)으로부터 유입하는 프로그램 전류)의 변동은 적어진다. 즉, 전달 트랜지스터군(521)의 형성 면적(트랜지스터(473)의 형성 면적의 총합)이 클수록 변동은 작아진다. 그러나, 트랜지스터(473)의 형성 면적이 커지면 칩 면적이 커져, IC 칩(14)의 가격이 높아진다.

또, 전달 트랜지스터군(521)의 형성 면적이란, 전달 트랜지스터군(521)을 구 성하는 트랜지스터(473)의 면적의 총합이다. 또한, 트랜지스터(473)의 면적이란, 트랜지스터(473)의 채널 길이 L과 트랜지스터(473)의 채널 폭 W를 곱한 면적을 말한다. 따라서, 트랜지스터군(521)이 10개의 트랜지스터(473)로 구성되고, 트랜지스터(473)의 채널 길이 L이 10㎛, 트랜지스터(473)의 채널 폭 W가 5㎛라고 하면, 전달 트랜지스터군521의 형성 면적 Tm(평방㎛)은 10㎛×5㎛×10개=500(평방㎛)이다.

전달 트랜지스터군(521)의 형성 면적은 단위 트랜지스터(484)와의 관계를 소정의 관계를 유지하도록 할 필요가 있다. 또한, 전달 트랜지스터군(521a)과 전달 트랜지스터군(521b)은 소정의 관계를 유지하도록 할 필요가 있다.

트랜지스터군(521)의 형성 면적은 단위 트랜지스터(484)와의 관계에 대하여 설명한다. 도 50에서도 도시하고 있는 바와 같이, 하나의 트랜지스터(473b)에 대응하여 복수의 단위 트랜지스터(484)가 접속되어 있다. 64 계조의 경우는, 하나의 트랜지스터(473b)에 대응하는 단위 트랜지스터(484)는 63개이다(도 48의 구성인 경우). 이 단위 트랜지스터군(이 예에서는, 단위 트랜지스터(484)가 63개)의 형성 면적 Ts(평방 ㎛)는, 단위 트랜지스터(473)의 채널 길이 L이 10㎛, 트랜지스터(473)의 채널 폭 W가 10㎛라고 하면, 10㎛×10㎛×63개=6300 평방㎛이다.

도 48의 트랜지스터(473b)가, 도 58에서는 전달 트랜지스터군(521c)이 해당한다. 단위 트랜지스터군의 형성 면적 Ts와 전달 트랜지스터군(521c)의 형성 면적 Tm은, 이하의 관계가 되도록 한다.

$1/4 \leq Tm/Ts \leq 6$

더욱 바람직하게는, 단위 트랜지스터군의 형성 면적 Ts와 전달 트랜지스터군(521c)의 형성 면적 Tm은, 이하의 관계가 되도록 한다.

$1/2 \leq Tm/Ts \leq 4$

이상의 관계를 만족시키는 것에 의해, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 적게 할 수 있다.

또한, 전달 트랜지스터군(521b)의 형성 면적 Tmm과 전달 트랜지스터군(521c)의 형성 면적 Tms는, 이하의 관계로 되도록 한다.

$1/2 \leq Tmm/Tms \leq 8$

더욱 바람직하게는, 단위 트랜지스터군의 형성 면적 Ts와 전달 트랜지스터군(521c)의 형성 면적 Tm은, 이하의 관계가 되도록 한다.

$1 \leq Tm/Ts \leq 4$

이상의 관계를 만족시킴으로써, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 적게 할 수 있다.

트랜지스터군(521b1)으로부터의 출력 전류 Ic1, 트랜지스터군(521b2)으로부터의 출력 전류 Ic2, 트랜지스터군(521b2)으로부터의 출력 전류 Ic3으로 할 때, 출력 전류 Ic1, 출력 전류 Ic2, 및 출력 전류 Ic3은 일치시킬 필요가 있다. 본 발명에서는, 트랜지스터군(521)은 복수의 트랜지스터(473)로 구성하고 있기 때문에, 개개의 트랜지스터(473)가 변동되어 있더라도, 트랜지스터군(521)에서는, 출력 전류 Ic의 변동은 발생하지 않는다.

또, 이상의 실시예는 도 52와 같이 3단의 커런트 미러 접속(다단의 커런트 미러 접속)의 구성에 한정되는 것이 아니다. 1단의 커런트 미러 접속에도 적용할 수 있음은 물론이다. 또한, 도 52의 실시예는, 복수의 트랜지스터(473a)로 이루어지는 트랜지스터군(521b)(521b1, 521b2, 521b 3……)과 복수의 트랜지스터(473b)로 이루어지는 트랜지스터군(5

21c)(521c1, 521c2, 521c 3……)을 접속한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 하나의 트랜지스터(473a)와 복수의 트랜지스터(473b)로 이루어지는 트랜지스터군(521c)(521c1, 521c2, 521c 3……)을 접속해도 된다. 또, 복수의 트랜지스터(473a)로 이루어지는 트랜지스터군(521b)(521b1, 521b2, 521b 3……)과 하나의 트랜지스터군(473b)을 접속해도 된다.

도 48에 있어서, 스위치(481a)는 0 비트째에 대응하고, 스위치(481b)는 1 비트째에 대응하고, 스위치(481c)는 2 비트째에 대응하고, ……스위치(481F)는 5 비트째에 대응한다. 0 비트째는 하나의 단위 트랜지스터로 구성되고, 1 비트째는 2개의 단위 트랜지스터로 구성되고, 2 비트째는 4개의 단위 트랜지스터로 구성되고, ……5 비트째는 32개의 단위 트랜지스터로 구성된다. 설명을 쉽게 하기 위해서, 소스 드라이버 회로(14)는 64 계조 표시 대응으로, 6 비트라고 하여 설명한다.

본 발명의 소스 드라이버 IC(회로)(14)의 구성에서는, 1 비트째는 0 비트째에 대하여 2배의 프로그램 전류를 출력한다. 2 비트째는 1 비트째에 대하여 2배의 프로그램 전류를 출력한다. 3 비트째는 2 비트째에 대하여 2배의 프로그램 전류를 출력한다. 4 비트째는 3 비트째에 대하여 2배의 프로그램 전류를 출력한다. 5 비트째는 4 비트째에 대하여 2배의 프로그램 전류를 출력한다. 반대로 말하면, 각 인접한 비트는 정확하게 2배의 프로그램 전류를 출력할 수 있도록 구성할 필요가 있다.

도 58의 구성은 복수의 트랜지스터(473a)의 출력 전류를 복수의 트랜지스터(473b)에서 수취하는 것에 의해, 각 단자의 출력 전류의 변동을 저감시키는 것이었다. 도 60은 기준 전류를 트랜지스터군의 양측에서 급전하는 것에 의해 출력 전류의 변동을 저감하는 구성이다. 즉, 전류 Ib의 공급원을 복수 마련한다. 본 발명에서는, 전류 Ib1과 전류 Ib2는 동일한 전류값으로 하고, 전류 Ib1을 발생하는 트랜지스터와 전류 Ib2를 발생하는 트랜지스터와, 쌍을 이루는 트랜지스터로 커런트 미러 회로를 구성하고 있다.

따라서, 본 발명은, 단위 트랜지스터(484)의 출력 전류를 규정하는 기준 전류를 발생하는 트랜지스터(전류 발생 수단)를 복수개 형성 또는 배치된 구성이다. 더욱 바람직하게는, 복수의 트랜지스터로부터의 출력 전류를, 커런트 미러 회로를 구성하는 트랜지스터 등의 전류 수취 회로에 접속하고, 이 복수의 트랜지스터가 발생하는 게이트 전압에 의해 단위 트랜지스터(484)의 출력 전류를 제어하는 구성이다. 즉, 본 발명은, 단위 트랜지스터(484)와 커런트 미러 회로를 구성하는 트랜지스터(473b)가 복수개 형성된 구성이다. 도 58에서는 단위 트랜지스터(484)가 63개 형성된 트랜지스터군에 대하여, 커런트 미러 회로를 형성하는 5개의 트랜지스터(473b)가 배치(형성)되어 있다.

단위 트랜지스터(484)의 게이트 단자 전압은, IC 칩이 실리콘 칩인 경우, 0.52 이상 0.68(V) 이하의 범위로 설정하는 것이 바람직하다. 이 범위이면, 단위 트랜지스터(484)의 출력 전류의 변동이 적어진다. 이상의 사항은 도 163, 도 164, 도 165 등의 본 발명의 다른 실시예에 있어서도 마찬가지이다.

도 60에 있어서, 기준 전류 Ib1과 기준 전류 Ib2를 개별로 조정할 수 있도록 구성해 두면, 게이트 단자(581)의 a점의 전압과b 점의 전압을 자유롭게 설정할 수 있게 된다. 기준 전류 Ib1과 Ib2의 조정에 의해, IC 칩(14)의 좌우로 단위 트랜지스터의 Vt가 서로 다르기 때문에, 출력 전류의 경사가 발생하고 있는 경우도 보정할 수 있다.

커런트 미러 회로를 구성하는 트랜지스터가 발생하는 전류를 교환하는 것은, 복수의 트랜지스터로 교환하는 것이 바람직하다. IC 칩(14) 내에 형성되는 트랜지스터에는 특성 변동이 발생한다. 트랜지스터의 특성 변동을 억제하기 위해서는, 트랜지스터 사이즈를 크게 하는 방법이 있다. 그러나, 트랜지스터 사이즈를 크게 해도 커런트 미러 회로의 커런트 미러 배율이 크게 어긋나는 경우가 있다. 이 과제를 해결하기 위해서는, 복수의 트랜지스터로 전류 혹은 전압 교환을 하도록 구성하면 된다. 복수의 트랜지스터로 구성하면, 각 트랜지스터의 특성이 변동되고 있더라도 전체적으로의 특성 변동은 작아진다. 또한, 커런트 미러 배율의 정밀도도 향상된다. 전체적으로 생각하면 IC 칩 면적도 작아진다.

도 58은 트랜지스터군(521a)과 트랜지스터군(521b)으로 커런트 미러 회로를 구성하고 있다. 트랜지스터(521a)는 복수의 트랜지스터(472b)로 구성되어 있다. 한편, 트랜지스터군(521b)은 트랜지스터(473a)로 구성되어 있다. 마찬가지로 트랜지스터군(521c)도 복수의 트랜지스터(473b)로 구성되어 있다.

트랜지스터군(521b1), 트랜지스터군(521b2), 트랜지스터군(521b3), 트랜지스 터군(521b4)……를 구성하는 트랜지스터(473a)는 동일 개수로 형성하고 있다. 또, 각 트랜지스터군(521b)의 트랜지스터(473a)의 총 면적(트랜지스터군(521b) 내의 트랜지스터(473a)의 WL 사이즈×트랜지스터(473a) 수)은 대략 같아지도록 형성하고 있다. 트랜지스터군(521c)에 대해서도 마찬가지이다.

트랜지스터(521c)의 트랜지스터(473b)의 총 면적(트랜지스터군(521c) 내의 트랜지스터(473b)의 WL 사이즈×트랜지스터(473b) 수)을 Sc로 한다. 또한, 트랜지스터521b의 트랜지스터(473a)의 총 면적(트랜지스터군(521b) 내의 트랜지스터(473a)의 WL 사이즈×트랜지스터(473a) 수)을 Sb로 한다. 트랜지스터(521a)의 트랜지스터(472b)의 총 면적(트랜지스터군(521a) 내의 트랜지스터(472b)의 WL 사이즈×트랜지스터(472b) 수)을 Sa로 한다. 또한, 1 출력의

단위 트랜지스터(484)의 총 면적을 Sd(도 48의 실시예에서는 단위 트랜지스터(484)의 WL 면적×63)로 한다.

총 면적 Sc과 총 면적 Sb는 대략 같아지도록 형성하는 것이 바람직하다. 트랜지스터군(521b)을 구성하는 트랜지스터(473a)의 개수와, 트랜지스터군(521c)의 트랜지스터(473b)의 개수를 동수로 하는 것이 바람직하다. 단, IC 칩(14)의 레이아웃의 제약 등으로부터, 트랜지스터군(521b)을 구성하는 트랜지스터(473a)의 개수를, 트랜지스터군(521c)의 트랜지스터(473b)의 개수보다도 적게 하고, 트랜지스터군(521b)을 구성하는 트랜지스터(473a)의 사이즈를 트랜지스터군(521c)의 트랜지스터(473b)의 사이즈보다도 크게 해도 된다.

이 실시예를 도 59에 도시한다. 트랜지스터군(521a)은 복수의 트랜지스터(472b)로 구성되어 있다. 트랜지스터군(521a)과 트랜지스터(473a)는 커런트 미러 회로를 구성한다. 트랜지스터(473a)는 전류 Ic를 발생시킨다. 하나의 트랜지스터(473a)는 트랜지스터군(521c)의 복수의 트랜지스터(473b)를 구동한다(하나의 트랜지스터(473a)에서의 전류 Ic는 복수의 트랜지스터(473b)로 분류됨). 일반적으로 트랜지스터(473a)의 개수는 출력 회로분의 개수가 배치 또는 형성된다. 예를 들면, QCIF+패널인 경우는, R, G, B회로에서, 각176개의 트랜지스터(473a)가 형성 또는 배치된다.

총 면적 Sd와 총 면적 Sc의 관계는 출력 변동에 상관이 있다. 이 관계를 도 124에 도시하고 있다. 또, 변동 비율 등에 관해서는 도 121을 참조할 것. 변동 비율은 총 면적 Sd:총 면적 Sc=2:1(Sc/Sd=1/2)일 때를 1로 하고 있다. 도 124에서도 알 수 있듯이, Sc/Sd가 작으면 급격히 변동 비율이 나빠진다. 특히 Sc/Sd=1/2 이하로 나빠지는 경향이 있다. Sc/Sd가 1/2 이상에서는 출력 변동이 저감한다. 그 저감 효과는 완만하다. 또한, Sc/Sd=1/2 정도로 출력 변동이 허용 범위가 된다. 이상의 점에서, 1/2≤Sc/Sd의 관계로 되도록 형성하는 것이 바람직하다. 그러나, Sc가 커지면 IC 칩 사이즈도 커지게 된다. 따라서, 상한은 Sc/Sd=4로 하는 것이 바람직하다. 즉, 1/2≤Sc/Sd≤4의 관계를 만족하도록 한다.

또, A≥B는 A는 B 이상이라는 의미이다. A> B는 A는 B보다 크다고 하는 의미이다. A≤B는 A는 B 이하라는 의미이다. A<B는 A는 B보다 작다고 하는 의미이다.

나아가서는, 총 면적 Sd와 총 면적 Sc는 대략 같아지도록 하는 것이 바람직하다. 또한 1 출력의 단위 트랜지스터(484)의 개수와, 트랜지스터군(521c)의 트랜 지스터(473b)의 개수를 동수로 하는 것이 바람직하다. 즉, 64 계조 표시이면, 1 출력의 단위 트랜지스터(484)는 63개 형성된다. 따라서, 트랜지스터군(521c)을 구성하는 트랜지스터(473b)의 개수는 63개 형성된다.

또한, 바람직하게는, 트랜지스터군(521a), 트랜지스터군(521b), 트랜지스터(521c), 단위 트랜지스터(484)는 WL 면적의 비율이 4배 이내의 트랜지스터로 구성하는 것이 바람직하다. 더욱 바람직하게는 WL 면적의 비율이 2배 이내의 트랜지스터로 구성하는 것이 바람직하다. 나아가서는, 전부 동일 사이즈의 트랜지스터로 구성하는 것이 바람직하다. 즉, 대략 동일 형상의 트랜지스터로 커런트 미러 회로, 출력 전류 회로(654)를 구성하는 것이 바람직하다.

총 면적 Sa는 총 면적 Sb보다도 커지도록 한다. 바람직하게는, 200 Sb≥Sa≥4Sb의 관계를 만족하도록 구성한다. 또한, 모든 트랜지스터군(521b)을 구성하는 트랜지스터(473a)의 총 면적과 Sa가 대략 같아지도록 구성한다.

도 60 등은 게이트 배선(581)의 양단에 트랜지스터 혹은 트랜지스터군을 배치하는 구성이었다. 따라서, 게이트 배선(581)의 양측에 배치하는 트랜지스터는 2개이고, 또는, 트랜지스터군은 2조였다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 도 61에 도시하는 바와 같이 게이트 배선(581)의 중앙부 등에도 트랜지스터 혹은 트랜지스터군을 배치 또는 형성해도 된다. 도 61에서는 3개의 트랜지스터군(521a)을 형성하고 있다. 본 발명은 게이트 배선(581)에 형성하는 트랜지스터 혹은 트랜지스터군(521)은 복수 형성하는 것에 특징이 있다. 복수 형성하는 것에 의해, 게이트 배선(581)을 저 임피던스화할 수 있어, 안정도가 향상된다.

더욱 안정도를 향상시키기 위해서는, 도 62에 도시하는 바와 같이, 게이트 배선(581)에 컨덴서(661)를 형성 또는 배치하는 것이 바람직하다. 컨덴서(661)는 IC 칩(14) 혹은 소스 드라이버 회로(14) 내에 형성해도 좋고, 소스 드라이버 IC(14)의 외장 컨덴서로서 칩 외부에 배치 혹은 적재해도 된다. 컨덴서(661)를 외장으로 하는 경우에는, IC 칩의 단자에 컨덴서 접속 단자를 배치한다.

이상의 실시예는, 기준 전류를 흘려 보내, 이 기준 전류를 커런트 미러 회로에서 복사하고, 최종단의 단위 트랜지스터(484)에 전달하는 구성이다. 화상 표시가 흑 표시(완전한 흑 래스터)일 때에는, 어느 단위 트랜지스터(484)에도 전류가 흐르지 않는다. 어느 스위치(481)도 오픈이기 때문이다. 따라서, 소스 신호선(18)에 흐르는 전류는 0(A)이므로, 전력은 소비하지 않는다.

그러나, 흑 래스터 표시이더라도, 기준 전류는 흐른다. 예를 들면, 도 63의 전류 Ib 및 전류 Ic이다. 이 전류는 무효 전류가 된다. 기준 전류는 전류 프로그램 시에 흐르도록 구성하면 효율이 좋다. 따라서, 화상의 수직 블랭킹 기간 수평 블랭킹 기간에는 기준 전류가 흐르는 것을 제한한다. 또한, 웨이트 기간 등도 기준 전류가 흐르는 것을 제한한다.

기준 전류가 흐르지 않도록 하기 위해서는, 도 63에 도시하는 바와 같이 슬립 스위치(631)를 오픈으로 하면 된다. 슬립 스위치(631)는 아날로그 스위치이다. 아날로그 스위치는 소스 드라이버 회로 혹은 소스 드라이버 IC(14) 내에 형성한다. 물론, 소스 드라이버 IC(14)의 외부에 슬립 스위치(631)를 배치하고, 이 슬립 스위치(631)를 제어해도 된다.

슬립 스위치(631)를 오프로 함으로써, 기준 전류 Ib가 흐르지 않게 된다. 그 때문에, 트랜지스터군(521a1) 내의 트랜지스터(473a)에 전류가 흐르지 않으므로, 기준 전류 Ic도 0(A)이 된다. 따라서, 트랜지스터군(521c)의 트랜지스터(473b)에도 전류가 흐르지 않는다. 따라서, 전력 효율이 향상된다.

도 64는 타이밍차트이다. 수평 동기 신호 HD에 동기하여 블랭킹 신호가 발생한다. 블랭킹 신호는H 레벨일 때, 블랭킹 기간이고, L 레벨일 때, 영상 신호가 인가되고 있는 기간이다. 슬립 스위치(631)는 L 레벨일 때, 오프(오픈)이고, H 레벨일 때, 온이다.

따라서, 블랭킹 기간 A일 때, 슬립 스위치(631)는 오프이므로, 기준 전류는 흐르지 않는다. D의 기간, 슬립 스위치(631)는 온이고, 기준 전류가 발생한다.

또, 화상 데이터에 대응하여 슬립 스위치(631)의 온 오프 제어를 행하여도 된다. 예를 들면, 1 화소 행의 화상 데이터가 전부 흑 화상 데이터일 때(1H의 기간은 모든 소스 신호선(18)에 출력되는 프로그램 전류는 0임), 슬립 스위치(631)를 오프로 하여, 기준 전류(Ic, Ib 등)가 흐르지 않도록 한다. 또한, 각 소스 신호선에 대응하도록 슬립 스위치를 형성 또는 배치하고, 온 오프 제어해도 된다. 예를 들면, 홀수 번째의 소스 신호선(18)이 흑 표시(세로 흑 스트라이프 표시)일 때에는, 홀수 번째에 대응하는 슬립 스위치를 오프로 한다.

도 52, 도 77은 다단 접속의 커런트 미러 구성을 갖는 소스 드라이버 회로(IC14)의 구성도이다. 본 발명은 도 52 등의 다단 접속의 구성에 한정되는 것이 아니다. 1단 접속의 소스 드라이버 회로라도 좋다. 도 166 내지 도 172는 1단 접속의 소스 드라이버 회로(IC)의 구성도이다.

특히 1단 접속의 소스 드라이버 회로에서는, 표시 패널에 화상을 표시하면 소스 신호선(18)에 인가된 전류에 의해 소스 신호선 전위가 변동한다. 이 전위 변동에 의해 소스 드라이버 IC(14)의 게이트 배선(581)이 흔들리는 과제가 있다. 이 흔들림은 소스 드라이버 IC(14)의 전원 전압이 영향을 준다. 최대 전압까지 진폭하기 때문이다. 도 163은 소스 드라이버 IC(14)의 전원 전압이 1.8(V)일 때를 기준으로 한 게이트 배선의 전위 변동 비율이다. 변동 비율은 소스 드라이버 IC(14)의 전원 전압이 높아짐에 따라서 변동 비율도 커진다. 변동 비율의 허용 범위는 3 정도이다. 이 이상 변동 비율이 크면, 가로 크로스토크가 발생한다. 또한, 변동 비율은 IC 전원 전압이 10 12(V) 이상에서 전원 전압에 대한 변화 비율이 커지는 경향이 있다. 따라서, 소스 드라이버 IC(14)의 전원 전압은 12(V) 이하로 할 필요가 있다.

한편, 구동용 트랜지스터(11a)가 백 표시로부터 흑 표시의 전류를 흘려 보내기 위해서, 소스 신호선(18)의 전위는 일정 진폭 변화시킬 필요가 있다. 이 진폭필요 범위는 2.5(V) 이상 필요하다. 진폭 필요 범위는 전원 전압 이하이다. 소스 신호선(18)의 출력 전압이 IC의 전원 전압을 초과할 수는 없기 때문이다.

이상의 점에서, 소스 드라이버 IC(14)의 전원 전압은 2.5(V) 이상 12(V) 이하로 할 필요가 있다. 이 범위로 함으로써 게이트 배선(581)의 변동이 규정 범위로 억제되어, 가로 크로스토크가 발생하지 않고, 양호한 화상 표시를 실현할 수 있다.

게이트 배선(581)의 배선 저항도 과제가 된다. 게이트 배선(581)의 배선 저항 R(Ω)이란, 도 167에서는 트랜지스터(473b1)에서 트랜지스터(473b2)까지의 배선 전체 길이의 저항이다. 또는, 게이트 배선 전체 길이의 저항이다. 게이트 배선(581)의 과도 현상의 크기는 1수평 주사 기간(1H)에도 의존한다. 1H 기간이 짧으면, 과도 현상의 영향도 크기 때문이다. 배선 저항 R(Ω)이 높을수록 과도 현상은 발생하기 쉽다. 이 현상은 특히, 도 166 내지 도 172의 1단 커런트 미러 접속의 구성에서 과제가 된다. 게이트 배선(581)이 길고, 하나의 게이트 배선(581)에 접속된 단위 트랜지스터(484)의 수가 많기 때문이다.

도 164는 게이트 배선(581)의 배선 저항 R(Ω)과 1H 기간 T(sec)와 승산(R · T)을 횡축에 취하고, 종축에 변동 비율을 취하는 그래프이다. 변동 비율의 1은 R · T=100을 기준으로 하고 있다. 도 212에서 알 수 있듯이, R · T가 5 이하에서 변동 비율이 커지는 경향이 있다. 또한, R · T가 1000 이상에서 변동 비율이 커지는 경향이 있다. 따라서, R · T는 5 이상 100 이하로 하는 것이 바람직하다.

도 167에 있어서, 트랜지스터(472b)와 2개의 트랜지스터(473a)는 커런트 미러 회로를 구성하고 있다. 트랜지스터(473a1)와 트랜지스터(473a2)는 동일 사이즈이다. 따라서, 트랜지스터(473a1)가 흘리는 전류 Ic와 트랜지스터(473a2)가 흘리는 전류 Ic는 동일하다.

도 167의 단위 트랜지스터(484)로 이루어지는 트랜지스터군(521c)과 트랜지스터(473b1) 및 트랜지스터(473b2)는

커런트 미러 회로를 구성한다. 트랜지스터군(521c)의 출력 전류에는 변동이 발생한다. 그러나, 근접해서 커런트 미러 회로를 구성하는 트랜지스터군(521)의 출력은 정밀도 좋게 전류가 규정된다. 트랜지스터(473b1)와 트랜지스터군(521c1)은 근접하여 커런트 미러 회로를 구성한다. 또한, 트랜지스터(473b2)와 트랜지스터군(521cn)은 근접하여 커런트 미러 회로를 구성한다. 따라서, 트랜지스터(473b1)에 흐르는 전류와 트랜지스터(473b2)에 흐르는 전류가 동일하면, 트랜지스터군(521c1)의 출력 전류와 트랜지스터군(521cn)의 출력 전류는 같아진다. 각 IC 칩에서 전류 Ic를 정밀도 좋게 발생시키면, 어느 IC 칩에서도 출력단의 양단의 트랜지스터군(521c)의 출력 전류는 같아진다. 그 때문에, IC 칩을 캐스케이드 접속하더라도 IC와 IC의 이음매의 발생을 눈에 띄지 않게 할 수 있다.

트랜지스터(473b)는 도 62와 마찬가지로 복수의 트랜지스터로 형성하고, 트랜지스터군(521b1), 트랜지스터(521b2)로 하여도 좋다. 또한, 트랜지스터(473a)도 도 62와 마찬가지로 트랜지스터군(521a)으로 하여도 좋다.

또한, 트랜지스터(472b)의 전류는 저항 R1로 규정한다고 했지만 이것에 한정되는 것이 아니고, 도 170에 도시하는 바와 같이, 전자 볼륨(451a, 451b)으로 하여도 된다. 도 170의 구성에서는 전자 볼륨(451a)과 전자 볼륨(451b)을 독립적으로 동작시킬 수 있다. 따라서, 트랜지스터(472a1)와 트랜지스터(472a2)가 흘리는 전류의 값을 변경할 수 있다. 따라서, 칩 좌우의 출력단(521c)의 출력 전류 기울기를 조정 가능하다. 또, 전자 볼륨(451)은 도 171에 도시하는 바와 같이 하나로 하고, 2개의 연산 증폭기(722)를 제어하도록 구성해도 된다. 또, 도 63에서 슬립 스위치(631)에 대하여 설명했다. 마찬가지로, 도 172와 마찬가지로 슬립 스위치를 배치 혹은 형성해도 됨은 물론이다.

도 166 내지 도 172의 커런트 미러의 1단 구성에서는 단위 트랜지스터(484)의 개수가 매우 많기 때문에, 소스 드라이버 회로(IC14)의 드라이버 회로 출력단에 대하여 설명을 덧붙여 놓는다. 또, 설명을 쉽게 하기 위해서, 도 168, 도 169를 예시하여 설명한다. 그러나, 설명은 트랜지스터(473b)의 개수와 그 총 면적, 단위 트랜지스터(484)의 개수와 총 면적에 관한 사항이기 때문에 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 168, 도 169에 있어서, 트랜지스터군(521b)의 트랜지스터(473b)의 총 면적(트랜지스터군(521b) 내의 트랜지스터(473b)의 WL 사이즈×트랜지스터(473b) 수)을 Sb로 한다. 또, 도 168, 도 169와 같이 게이트 배선(581)의 좌우에 트랜지스터군(521b)이 있는 경우에는 면적을 2배로 한다. 도 167과 같이 2개인 경우는 트랜지스터(473b)의 면적×2이다. 또, 트랜지스터군(521b)이 하나의 트랜지스터(473b)로 구성되는 경우에는, 하나의 트랜지스터(473b)의 사이즈인 것은 물론이다.

또한, 트랜지스터군(521c)의 단위 트랜지스터(484)의 총 면적(트랜지스터군(521c) 내의 트랜지스터(484)의 WL 사이즈×트랜지스터(484) 수)을 Sc로 한다. 트랜지스터군(521c)의 개수를 n으로 한다. n은 QCIF+패널인 경우에는 176이다(RGB마다 기준 전류 회로가 형성되어 있는 경우).

도 165의 횡축은 Sc×n/Sb이다. 종축은 변동 비율이고, 변동 비율은 가장 나쁜 상황을 1로 하고 있다. 도 165에 도시하는 바와 같이 Sc×n/Sb가 커짐에 따라서, 변동 비율은 나빠진다. Sc×n/Sb가 커지는 것은, 출력 단자 수 n을 일정하다고 하면, 트랜지스터군(521c)의 단위 트랜지스터(484)총 면적이, 트랜지스터군(521b)의 트랜지스터(473b) 총 면적에 대하여 넓음을 나타낸다. 이 경우에는 변동 비율이 나빠진다.

Sc×n/Sb가 작아지는 것은, 출력 단자 수 n을 일정하다고 하면, 트랜지스터군(521c)의 단위 트랜지스터(484)총 면적이, 트랜지스터군(521b)의 트랜지스터(473b) 총 면적에 대하여 좁다는 것을 나타낸다. 이 경우에는 변동 비율이 작아진다.

변동 허용 범위는 Sc×n/Sb가 50 이하이다. Sc×n/Sb가 50 이하이면, 변동 비율은 허용 범위 내이고, 게이트 배선(581)의 전위 변동은 매우 작아진다. 따라서, 가로 크로스토크의 발생도 없고, 출력 변동도 허용 범위 내로 되어 양호한 화상 표시를 실현할 수 있다. Sc×n/Sb가 50 이하이면 허용 범위이지만, Sc×n/Sb를 5 이하로 하여도 거의 효과가 없다. 반대로, Sb가 커져 IC(14)의 칩 면적이 증가한다. 따라서, Sc×n/Sb는 5 이상 50 이하로 하는 것이 바람직하다.

화소(16)를 구성하는 트랜지스터(11)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)으로 흘러 나가는 방향이 된다. 그 때문에, 소스 드라이버 회로의 단위 트랜지스터(484)(도 48, 도 57 등을 참조)는, N채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록 회로 구성할 필요가 있다.

따라서, 화소(16)의 구동용 트랜지스터(11a)(도 1인 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도 록, 단위 트랜지스터(484)를 N채널 트랜지스터로 구성한다. 소스 드라이버 회로(14)를 어레이 기판(71)에 형성하기 위해서는, N채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양방을 이용할 필요가 있다. 개념적으로 진술하면, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

따라서, 화소(16)의 트랜지스터(11)를 P 채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 형성한다. 이와 같이 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양방을 P 채널 트랜지스터로 형성함으로써 어레이 기판(71)을 저 비용화할 수 있다. 그러나, 소스 드라이버 회로(14)는, 단위 트랜지스터(484)를 N 채널 트랜지스터로 형성하는 것이 필요하게 된다. 따라서, 소스 드라이버 회로(14)는 어레이 기판(71)에 직접 형성할 수 없다. 그래서 별도, 실리콘 칩 등으로 소스 드라이버 회로(14)를 제작하여, 어레이 기판(71)에 적재한다. 즉, 본 발명은 소스 드라이버 IC(14)(영상 신호로서의 프로그램 전류를 출력하는 수단)를 외장으로 하는 구성이다.

또, 소스 드라이버 회로(14)는 실리콘 칩으로 구성한다고 했지만 이것에 한정되는 것이 아니다. 예를 들면, 저온 폴리실리콘 기술 등으로 유리 기판에 다수개를 동시에 형성하고, 칩 형상으로 절단하여, 어레이 기판(71)에 적재해도 된다. 또, 어레이 기판(71)에 소스 드라이버 회로를 적재하는 것으로 해서 설명하고 있지만, 적재에 한정되는 것이 아니다. 소스 드라이버 회로(14)의 출력 단자(521)를 어레이 기판(71)의 소스 신호선(18)에 접속하는 것이면 어느 형태라도 좋다. 예를 들면, TAB 기술로 소스 드라이버 회로(14)를 소스 신호선(18)에 접속하는 방식이 예시된다. 실리콘 칩 등에 별도 소스 드라이버 회로(14)를 형성하는 것에 의해, 출력 전류의 변동이 저감하여, 양호한 화상 표시를 실현할 수 있다. 또한, 저 비용화가 가능하다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스, FED(필드 에미션 디스플레이)에도 적용할 수 있다.

화소(16)의 스위칭용 트랜지스터(11b, 11c)가 P 채널 트랜지스터로 형성되어 있으면, Vgh에서 화소(16)가 선택 상태가 된다. Vgl에서 화소(16)가 비선택 상태가 된다. 이전에도 설명했지만, 게이트 신호선(17a)이 온(Vgl)에서 오프(Vgh)로 될 때에 전압이 관통한다(관통 전압). 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터로 형성되어 있으면, 흑 표시 상태의 시, 이 관통 전압에 의해 트랜지스터(11a)가 보다 전류가 흐르지 않게 된다. 따라서, 양호한 흑 표시를 실현할 수 있다. 흑 표시를 실현하는 것이 곤란하다고 하는 점이, 전류 구동 방식의 과제이다.

본 발명에서는, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성함으로써, 온 전압이 Vgh로 된다. 따라서, P 채널 트랜지스터로 형성된 화소(16)와 매칭이 좋다. 또한, 흑 표시를 양호하게 하는 효과를 발휘시키기 위해서는, 도 1, 도 2, 도 32, 도 113, 도 116의 화소(16)의 구성과 같이, 애노드 전압 Vdd에서 구동용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)에 프로그램 전류 Iw가 유입하도록 구성하는 것이 중요하다. 따라서, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(484)를 N채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다. 또한, N채널로 형성한 단위 트랜지스터(484)는 P 채널로 형성한 단위 트랜지스터(484)에 비하여 출력 전류의 변동이 작다. 동일 면적(W · L)의 트랜지스터(484)에서 비교한 경우, N채널의 단위 트랜지스터(484)는 P 채널의 단위 트랜지스터(484)에 비하여, 출력 전류의 변동은, 1/1.5에서 1/2로 된다. 이런 이유로부터도 소스 드라이버 IC(14)의 단위 트랜지스터(484)는 N채널로 형성하는 것이 바람직하다.

또, 도 42의 (b)에서도 마찬가지이다. 도 42의 (b)는 구동용 트랜지스터(11b)를 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)에 전류가 유입되는 것은 아니다. 그러나, 애노드 전압 Vdd에서 프로그램용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)에 프로그램 전류 Iw가 유입하도록 구성한다. 따라서, 도 1과 같이, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(484)를 N채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다.

또, 본 발명에서는, 화소(16)의 구동 트랜지스터(11a)를 P 채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 P 채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(484)를 N채널로 구성하는 것으로 했다. 또한, 바람직하게는, 게이트 드라이버 회로(12)는 P 채널 트랜지스터로 구성하는 것으로 했다.

전술한 역의 구성이라도 효과를 발휘하는 것은 물론이다. 화소(16)의 구동 트랜지스터(11a)를 N채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 N채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(484)를 P 채널로 하는 구성이다. 또, 바람직하게는, 게이트 드라이버 회로(12)는 N채널 트랜지스터로 구성한다. 이 구성도 본 발명의 구성이다.

이하, 기준 전류 회로에 대하여 설명한다. 도 68에 도시하는 바와 같이 기준 전류 회로(691)는, R, G, B마다 형성(배치)한다. 또한, 기준 전류 회로(691R, 691G, 691B)는 근접하게 배치한다.

R의 기준 전류 회로(654R)에는 기준 전류를 조정하는 볼륨(전자 볼륨)(491R)이 배치되고, G의 기준 전류 회로(654G)에는 기준 전류를 조정하는 볼륨(전자 볼륨)(491G)이 배치되고, B의 기준 전류 회로(654) B에는 기준 전류를 조정하는 볼륨(전자 볼륨)(491B)이 배치된다.

또, 볼륨(491) 등은 EL 소자(15)의 온특을 보상할 수 있도록, 온도로 변화하도록 구성하는 것이 바람직하다. 또한, 도 69에 도시하는 바와 같이, 기준 전류 회로(691)는 전류 제어 회로(692)에서 제어된다. 기준 전류의 제어(조정)에 의해, 단위 트랜지스터(484)로부터 출력하는 단위 전류를 변화시킬 수 있다.

IC 칩의 출력 단자에는 출력 패드(681)가 형성 또는 배치되어 있다. 이 출력 패드와 표시 패널의 소스 신호선(18)이 접속된다. 출력 패드(681)는 도금 기술 혹은 네일 헤드 본더 기술에 의해 범프(돌기)가 형성되어 있다. 돌기의 높이는 10㎛ 이상 40㎛ 이하의 높이로 한다.

상기 범프와 각 소스 신호선(18)은 도전성 접합층(도시하지 않음)을 통하여 전기적으로 접속되어 있다. 도전성 접합층은 접착제로서 에폭시계, 페놀계 등을 주요제로 하고, 은(Ag), 금(Au), 니켈(Ni), 카본(C), 산화 주석(SnO2) 등의 후레이크를 섞은 것, 혹은 자외선 경화 수지 등이다. 도전성 접합층은 전사 등의 기술로 범프상에 형성한다. 또, 범프 혹은 출력 패드(681)와 소스 신호선(18)의 접속은, 이상의 방식에 한정되는 것이 아니다. 또, 어레이 기판 위에 IC(14)를 적재하지 않고, 필름캐리어 기술을 이용하여도 좋다. 또한, 폴리이미드 필름 등을 이용하여 소스 신호선(18) 등과 접속해도 된다.

본 발명에서는, 상기 기준 전류 회로(691)가 R용, G용, B용의 3계통으로 분리되어 있기 때문에, 발광 특성이나 온도 특성을 R, G, B에서 각각 조정하는 것이 가능하며, 최적의 화이트 밸런스를 얻는 것이 가능하다(도 70을 참조).

다음에 프리차지 회로에 대하여 설명한다. 앞에서도 설명하였지만, 전류 구동 방식에서는, 흑 표시시간에 화소에 기입하는 전류가 작다. 그 때문에, 소스 신호선(18) 등에 기생 용량이 있으면, 1수평 주사 기간(1H)에 화소(16)에 충분한 전류를 기입할 수 없다고 하는 문제점이 있었다. 일반에, 전류 구동형 발광 소자에서는, 흑 레벨의 전류값은 수 nA 정도로 미약하기 때문에, 그 신호치로 수 10pF 정 도 된다고 생각되는 기생 용량(배선 부하 용량)을 구동하는 것은 곤란하다. 이 과제를 해결하기 위해서는, 소스 신호선(18)에 화상 데이터를 기입하기 전에, 프리차지 전압을 인가하고, 소스 신호선(18)의 전위 레벨을 화소의 트랜지스터(11a)의 흑 표시 전류(기본적으로는 트랜지스터(11a)는 오프 상태)로 하는 것이 유효하다. 이 프리차지 전압의 형성(작성)에는, 화상 데이터의 상위 비트를 디코드하는 것에 의해, 흑 레벨의 정전압 출력을 행하는 것이 유효하다.

도 65에, 본 발명의 프리차지 기능을 갖춘 전류 출력 방식의 소스 드라이버 회로(IC14)의 일례를 나타낸다. 도 65에서는 6 비트의 정전류 출력 회로의 출력단에 프리차지 기능을 탑재한 경우를 나타내고 있다. 도 65에 있어서, 프리차지 제어 신호는, 화상 데이터 D0 D5의 상위 3 비트 D3, D4, D5가 전부 0인 경우를 NOR 회로(652)에서 디코드하고, 수평 동기 신호 HD에 의한 리셋 기능을 갖추는 도트 클럭 CLK의 카운터 회로(651)의 출력과의 AND 회로(653)를 취해, 일정 기간 흑 레벨 전압 Vp을 출력하도록 구성되어 있다. 다른 경우에는, 전류 출력단(654)(구체적으로는 도 48, 도 56, 도 57 등의 구성임)으로부터의 출력 전류가 소스 신호선(18)에 인가된다(소스 신호선(18)로부터 프로그램 전류 Iw를 흡수함). 이 구성에 의해, 화상 데이터가 흑 레벨에 가까운 0 계조째 7 계조째인 경우, 1수평 기간의 처음 일정 기간만 흑 레벨에 상당하는 전압이 기입되고, 전류 구동의 부담이 감소하여, 기입 부족을 보충하는 것이 가능해진다. 또, 완전 흑 표시를 0 계조째로 하고, 완전 백 표시를 63 계조째로 한다(64 계조 표시의 경우).

도 65에서는, 프리차지 전압을 인가하면, 내부 배선(483)의 B점에 프리차지 전압이 인가된다. 따라서, 프리차지 전압은 전류 출력단(654)에도 인가되게 된다. 그러나, 전류 출력단(654)은 정전류 회로이므로, 고 임피던스이다. 그 때문에, 정전류 회로(654)에 프리차지 전압이 인가되더라도 회로의 동작상 문제는 발생하지 않는다. 또, 전류 출력단(654)에 프리차지 전압이 인가되지 않도록 하기 위해서는, 도 65의 A점에서 절단하여, 스위치(655)를 배치하면 된다(도 66을 참조). 상기 스위치는 프리차지 스위치(481a)와 연동시켜, 프리차지 스위치(481a)가 온 상태로 되어 있을 때에는 오프가 되도록 제어한다.

프리차지는 전 계조 범위에서 실시해도 되지만, 바람직하게는, 프리차지를 행하는 계조는 흑 표시 영역에 한정하여야 한다. 즉, 기입하여 화상 데이터를 판정하여, 흑 영역 계조(저휘도, 즉 전류 구동 방식에서는, 기입 전류가 작음(미소))을 선택하여 프리차지한다(선택 프리차지라고 부름). 전 계조 데이터에 대하여 프리차지하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로 줄이 표시된다고 하는 과제가 발생하는 경우가 있다.

바람직하게는, 계조 데이터의 계조 0 내지 전 계조의 1/8의 영역의 계조 영역에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 7 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 또한, 바람직하게는, 계조 데이터의 계조 O 내지 1/16의 영역의 계조로, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 3 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함).

특히 흑 표시에서, 콘트라스트를 높게 하기 위해서는, 계조 O만을 검출하여 프리차지하는 방식도 유효하다. 매우 흑 표시가 양호하게 된다. 계조 O만을 프리차지하는 방법은 화상 표시에 공급하는 폐해의 발생이 적다. 따라서, 가장 프리차지 기술로서 채용하는 것이 바람직하다.

또, 프리차지의 전압, 계조 범위는 R, G, B에서 다르게 한 것도 유효하다. EL 표시 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예를 들면, R은 계조 데이터의 계조 0 내지 1/8의 영역의 계조로, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 01 계조째에서 7 계조째까지의 화상 데이터의 시, 프리차지를 행하고 나서, 화상 데이터를 기입함). 다른 색(G, B)은 계조 데이터의 계조 0 내지 1/16의 영역의 계조로, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 3 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 프리차지 전압도, R은 7(V)이면, 다른 색(G, B)은 7.5(V)의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 프리차지 전압은 EL 표시 패널의 제조 로트에서 서로 다른 경우가 많다. 따라서, 프리차지 전압은 외부 볼륨 등으로 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

또, 프리차지 전압은 도 1의 애노드 전압 Vdd-0.5(V) 이하, 애노드 전압 Vdd-2.5(V) 이내로 하는 것이 바람직하다.

계조 0만을 프리차지하는 방법에 있어서도, R, G, B의 일색 혹은 2색을 선택 하여 프리차지하는 방법도 유효하다. 화상 표시에 공급하는 폐해의 발생이 적다. 또한, 화면 휘도가 소정 휘도 이하 혹은 소정 휘도이상일 때에, 프리차지하는 것도 유효하다. 특히 화면(50)의 휘도가 저휘도일 때에는, 흑 표시가 곤란하다. 저휘도일 때에, O 계조 프리차지 등의 프리차지 구동을 실시함으로써 화상의 콘트라스트감이 양호해진다.

또한, 완전 프리차지하지 않는 제0 모드, 계조 0만을 프리차지하는 제1 모드, 계조 0 내지 계조3의 범위에서 프리차지하는 제2 모드, 계조 0 내지 계조7의 범위에서 프리차지하는 제3 모드, 전 계조의 범위에서 프리차지하는 제4 모드 등을 설정하고, 이들을 커맨드로 전환하도록 구성하는 것이 바람직하다. 이들은 소스 드라이버 회로(IC14) 내에서 로직 회로를 구성(설계)하는 것에 의해 용이하게 실현할 수 있다.

도 66은 선택 프리차지 회로부의 구체화 구성도이다. PV는 프리차지 전압의 입력 단자이다. 외부 입력 혹은 전자 볼륨 회로에 의해, R, G, B에서 개별의 프리차지 전압이 설정된다. 또, R, G, B에서 개별 프리차지 전압을 설정한다고 했지만 이것에 한정되는 것이 아니다. R, G, B에서 공통이어도 된다. 프리차지 전압은 화소(16)의 구동용 트랜지스터(11a)의 Vt에 상관하는 것이며, 이 화소(16)는 R, G, B 화소에서 동일하기 때문이다. 화소(16)의 구동용 트랜지스터(11a)의 W/L비 등을 R, G, B에서 서로 달리 하고 있는(서로 다른 설계로 되어 있음) 경우에는, 프리차지 전압을 다른 설계에 대응하여 조정하는 것이 바람직하다. 예를 들면, 구동용 트랜지스터(11a)의 채널 길이 L이 커지면, 트랜지스터(11a)의 다이오드 특성은 나 빠지고, 소스-드레인(SD) 전압은 커진다. 따라서, 프리차지 전압은 소스 전위(Vdd)에 대하여 낮게 설정할 필요가 있다.

프리차지 전압 PV는 아날로그 스위치(561)에 입력되어 있다. 이 아날로그 스위치의 W(채널 폭)는 온 저항을 저감하기 위해서, 10㎛ 이상으로 할 필요가 있다. 그러나, 너무 W가 크면, 기생 용량도 커지기 때문에 100㎛ 이하로 한다. 더욱 바람직하게는, 채널 폭 W는 15㎛ 이상 60㎛ 이하로 하는 것이 바람직하다.

또, 이 선택 프리차지는, 계조 O만을 프리차지한다든지, 계조 0 내지 계조7의 범위에서 프리차지한다든지 고정해도 되지만, 저 계조 유역(도 79의 계조 0 내지 계조 R1 혹은 계조(R1-1))를 선택 프리차지한다고 하는 식으로, 저 계조 영역과 연동시키더라도 좋다. 즉, 선택 프리차지는 저 계조 영역이 계조 0 내지 계조 R1일 때에는 이 범위에서 실시하고, 저 계조 영역이 계조 0 내지 계조 R2일 때에는 이 범위에서 실시하도록 연동시켜 실시한다. 또, 이 제어 방식 쪽이 다른 방식에 비교하여 하드 규모가 작아진다.

이상의 신호의 인가 상태에 의해, 스위치(481a)가 온 오프 제어되고, 스위치(481a) 온일 때, 프리차지 전압 PV가 소스 신호선(18)에 인가된다. 또, 프리차지 전압 PV를 인가하는 시간은, 별도 형성한 카운터(도시하지 않음)에 의해 설정된다. 이 카운터는 커맨드에 의해 설정할 수 있도록 구성되어 있다. 또한, 프리차지 전압의 인가 시간은 1수평 주사 기간(1H)의 1/100 이상 1/5 이하의 시간으로 설정하는 것이 바람직하다. 예를 들면, 1H가 100μsec라고 하면, 1μsec 이상 20μsec(1H의 1/100 이상 1H의 1/5 이하)로 한다. 더욱 바람직하게는, 2μsec 이상 10 μsec(1H의 2/100 이상 1H의 1/10 이하)로 한다.

도 67은 도 65 혹은 도 66의 변형예이다. 도 67은 입력 화상 데이터에 대응하여 프리차지할지 여부를 판정하여, 프리차지 제어를 행하는 프리차지 회로이다. 예를 들면, 화상 데이터가 계조 O만일 때에 프리차지를 행하는 설정, 화상 데이터가 계조 0, 1만일 때에 프리차지를 행하는 설정, 계조 0은 반드시 프리차지하고, 계조 1이 소정 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다.

도 67은 본 발명의 프리차지 기능을 갖춘 전류 출력 방식의 소스 드라이버 회로(IC14)의 일례를 나타낸다. 도 67에서는 6 비트의 정전류 출력 회로의 출력단에 프리차지 기능을 탑재한 경우를 나타내고 있다. 도 67에 있어서, 일치 회로(671)는 화상 데이터 D0 D5에 대응하여 디코드하고, 수평 동기 신호 HD에 의한 리셋 기능을 갖추는 REN 단자 입력, 도트 클럭 CLK 단자 입력으로 프리차지할지 여부를 판정한다. 또한, 일치 회로(671)는 메모리를 갖고 있고, 수 H 혹은 수 필드(프레임)의 화상 데이터에 의한 프리차지 출력 결과를 유지하고 있다. 유지 결과에 기초하여, 프리차지할

지 여부를 판정하고, 프리차지 제어하는 기능을 갖춘다. 예를 들면, 계조 0은 반드시 프리차지하고, 계조 1이 6H(6수평 주사 기간) 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다. 또, 계조 O, 1은 반드시 프리차지하고, 계조 2가 3F(3 프레임 기간) 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다.

일치 회로(671)의 출력과 카운터 회로(651)의 출력이, AND 회로(653)에서 AND되어, 일정 기간 흑 레벨 전압 Vp를 출력하도록 구성되어 있다. 다른 경우에 는, 도 52 등에서 설명한 전류 출력단(654)으로부터의 출력 전류가 소스 신호선(18)에 인가된다(소스 신호선(18)으로부터 프로그램 전류 Iw를 흡수함). 다른 구성은 도 65, 도 66 등과 동등 혹은 유사하기 때문에 설명을 생략한다. 또, 도 67에서는 프리차지 전압은 A점에 인가하고 있지만, B점에 인가해도 되는 것은 물론이다(도 66도 참조).

소스 신호선(18)에 인가하는 화상 데이터에 의해, 프리차지 전압 PV 인가 시간을 가변함으로써도 양호한 결과가 얻어진다. 예를 들면, 완전 흑 표시의 계조 0에서는 인가 시간을 길게 하고, 계조 4에서는 그보다도 짧게 하는 등이다. 또한, 1H전의 화상 데이터와 다음에 인가하는 화상 데이터의 차를 고려하여, 인가 시간을 설정하는 것도 양호한 결과를 얻을 수 있다. 예를 들면, 1H 전에 소스 신호선에 화소를 백 표시로 하는 전류라고 기입하고, 다음의 1H에, 화소에 흑 표시로 하는 전류를 기입할 때는, 프리차지 시간을 길게 한다. 흑 표시의 전류는 미소하기 때문이다. 반대로, 1H 전에 소스 신호선에 화소를 흑 표시로 하는 전류라고 기입하고, 다음의 1H에, 백소에 흑 표시로 하는 전류를 기입할 때는, 프리차지 시간을 짧게 하거나, 혹은 프리차지를 정지한다(행하지 않음). 백 표시의 기입 전류는 크기 때문이다.

인가하는 화상 데이터에 대응하여 프리차지 전압을 변화하는 것도 유효하다. 흑 표시의 기입 전류는 미소하고, 백 표시의 기입 전류는 크기 때문이다. 따라서, 저 계조 영역으로 됨에 따라서, 프리차지 전압을 높게(Vdd에 대하여. 또, 화소 트랜지스터(11a)가 P 채널일 때) 하고, 고 계조 영역이 됨에 따라서, 프리차지 전압 을 낮게(화소 트랜지스터(11a)가 P 채널일 때) 한다고 하는 제어 방법도 유효하다.

이하, 이해를 쉽게 하기 위해서, 도 66을 중심으로 설명한다. 또, 이하에 설명하는 사항은 도 65, 도 67의 프리차지 회로에도 적용할 수 있는 것은 물론이다.

프로그램 전류 오픈 단자(P0 단자)가 “0'일 때에는, 스위치(655)가 오프 상태로 되고, IL 단자 및 IH 단자와 소스 신호선(18)은 분리된다(Iout 단자가 소스 신호선(18)과 접속되어 있음). 따라서, 프로그램 전류 Iw는 소스 신호선(18)에는 흐르지 않는다. PO 단자는 프로그램 전류 Iw를 소스 신호선에 인가하고 있을 때는, '1'로 하고, 스위치(655)를 온 상태로 하여, 프로그램 전류 Iw를 소스 신호선(18)에 흘린다.

PO 단자에 '0'을 인가하고, 스위치(655)를 오픈으로 할 때에는, 표시 영역의 어느 화소 행도 선택되어 있지 않은 때이다. 단위 트랜지스터(484)는 입력 데이터(D0　D5)에 기초하여 전류를 끊임없이, 소스 신호선(18)으로부터 인입하고 있다. 이 전류가 선택된 화소(16)의 Vdd 단자로부터 트랜지스터(11a)를 통하여 소스 신호선(18)에 유입되는 전류이다. 따라서, 어느 화소 행도 선택되어 있지 않을 때에는, 화소(16)로부터 소스 신호선(18)에 전류가 흐르는 경로가 없다. 어느 화소 행도 선택되어 있지 않을 때란, 임의의 화소 행이 선택되고, 다음의 화소 행이 선택되기까지의 사이에 발생한다. 또, 이러한 어느 화소(화소 행)도 선택되지 않아, 소스 신호선(18)에 유입되는(흘러 나감) 경로가 없는 상태를, 전 비선택 기간이라고 부른다.

이 상태에서, 출력 단자(681)가 소스 신호선(18)에 접속되어 있으면, 온 상태로 하고 있는 단위 트랜지스터(484)(실제로는 온 상태로 하고 있는 것은 D0　D5 단자의 데이터에 의해 제어되는 스위치(481)이지만)에 전류가 흐른다. 그 때문에, 소스 신호선(18)의 기생 용량에 충전된 전하가 방전하고, 소스 신호선(18)의 전위가 급격히 저하한다. 이상과 같이, 소스 신호선(18)의 전위가 저하하면, 본래 소스 신호선(18)에 기입하는 전류에 의해, 원래의 전위까지 회복하는데 시간을 요하도록 되어 버린다.

이 과제를 해결하기 위해서, 본 발명은 전 비선택 기간에, PO 단자에 '0'을 인가하고, 도 66의 스위치(655)를 오프로 하여, 출력 단자(681)와 소스 신호선(18)을 분리한다. 분리하는 것에 의해, 소스 신호선(18)으로부터 단위 트랜지스터(484)에 전류가 유입되는 일은 없어지므로, 전 비선택 기간에 소스 신호선(18)의 전위 변화는 발생하지 않는다. 이상과 같이, 전 비선택 기간에 PO 단자를 제어하고, 소스 신호선(18)으로부터 전류원을 분리하는 것에 의해, 양호한 전류 기입을 실시할 수 있다.

또한, 화면에 백 표시 영역(일정한 휘도를 갖는 영역)의 면적(백 면적)과, 흑 표시 영역(소정 이하의 휘도의 영역)의 면적(흑 면적)이 혼재하여, 백 면적과 흑 면적의 비율이 일정한 범위일 때, 프리차지를 정지한다고 하는 기능을 부가하는 것은 유효하다(적정 프리차지). 이 일정한 범위에서, 화상에 세로 줄이 발생하기 때문이다. 물론, 반대로 일정한 범위에서 프리차지한다고 하는 경우도 있다. 또한, 화상이 움직였을 때, 화상이 노이즈적으로 되기 때문이다. 적정 프리차지는 연산 회로에서 백 면적과 흑 면적에 해당하는 화소의 데이터를 카운트(연산)함으로써, 용이하게 실현하는 것이 가능하다.

프리차지 제어는 R, G, B에서 서로 다르게 하는 것도 유효하다. EL 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 서로 다르기 때문이다. 예를 들면, R은 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:20 이상에서 프리차지를 정지 또는 개시하고, G와 B는 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:16 이상에서 프리차지를 정지 또는 개시하는 방법이 예시된다. 또, 실험 및 검토 결과에 따르면, 유기 EL 패널의 경우, 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:100 이상(즉, 흑 면적이 백 면적의 100배 이상)에서 프리차지를 정지하는 것이 바람직하다. 나아가서는, 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:200 이상(즉, 흑 면적이 백 면적의 200배 이상)에서 프리차지를 정지하는 것이 바람직하다.

도 1과 같이 화소(16)의 구동용 트랜지스터(11a), 선택 트랜지스터(11b, 11c)가 P 채널 트랜지스터인 경우는, 관통 전압이 발생한다. 이것은, 게이트 신호선(17a)의 전위 변동이, 선택 트랜지스터(11b, 11c)의 G-S 용량(기생 용량)을 통하여, 컨덴서(19)의 단자에 관통하기 때문이다. P 채널 트랜지스터(11b)가 오프할 때에는 Vgh 전압이 된다. 그 때문에, 컨덴서(19)의 단자 전압이 Vdd측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 보다 흑 표시가 된다. 따라서, 양호한 흑 표시를 실현할 수 있다.

그러나, 제0 계조째의 완전 흑 표시는 실현할 수 있지만, 제1 계조 등은 표 시하기 어렵게 된다. 혹은, 제 O 계조에서 제1계조까지 크게 계조 분산이 발생하거나, 특정한 계조 범위에서 흑 손상이 발생하기도 한다.

이 과제를 해결하는 구성이 도 54의 구성이다. 출력 전류값을 인상하는 기능을 갖추는 것을 특징으로 하고 있다. 인상 회로(541)의 주된 목적은, 관통 전압의 보상이다. 또한, 화상 데이터가 흑 레벨 0이더라도, 어느 정도(수10nA) 전류가 흐르도록 하여, 흑 레벨의 조정에도 이용할 수 있다.

기본적으로는, 도 54는 도 48의 출력단에 인상 회로(도 54의 점선으로 둘러싸인 부분)를 추가한 것이다. 도 54는 전류값 인상 제어 신호로서 3 비트(K0, K1, K 2)를 가정한 것이고, 이 3 비트의 제어 신호에 의해, 손 전류원의 전류값의 0 7배의 전류값을 출력 전류에 가산하는 것이 가능하다.

이상이 본 발명의 소스 드라이버 회로(IC14)의 기본적인 개요이다. 이후, 더욱 상세히 본 발명의 소스 드라이버 회로(IC14)에 대하여 더욱 자세하게 설명한다.

EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 선형의 관계가 있다. 즉, EL 소자(15)에 흘려 보내는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 전류 구동 방식에서는 1 스텝(계조 등급)은, 전류(단위 트랜지스터(484)(1 단위))이다.

인간의 휘도에 대한 시각은 제곱 특성을 가지고 있다. 즉, 제곱의 곡선에서 변화할 때, 밝기는 직선적으로 변화하고 있도록 인식된다. 그러나, 도 83의 관계이면, 저휘도 영역에서도 고휘도 영역에서도, EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 따라서, 1 스텝(1 계조) 등급씩 변화시키면, 저 계 조부(흑 영역)에서는, 1 스텝에 대한 휘도 변화가 크다(흑 날림이 발생한다). 고 계조부(백 영역)는 거의 제곱 커브의 직선 영역과 일치하기 때문에, 1 스텝에 대한 휘도 변화는 등간격으로 변화하고 있도록 인식된다. 이상의 점에서, 전류 구동 방식(1 스텝이 전류 등급의 경우)에 있어서(전류 구동 방식의 소스 드라이버 회로(IC14)에 있어서), 흑 표시 영역의 표시가 특히 과제가 된다.

이 과제에 대하여, 저 계조 영역(계조 0(완전 흑 표시)부터 계조(R1))의 전류 출력의 기울기를 작게 하고, 고 계조 영역(계조(R1)부터 최대 계조(R))의 전류 출력의 기울기를 크게 한다. 즉, 저 계조 영역에서는 1 계조당(1 스텝) 증가하는 전류량으로 작게 한다. 고 계조 영역에서는, 1 계조당(1 스텝) 증가하는 전류량으로 크게 한다. 고 계조 영역과 저 계조 영역에서 1 스텝당으로 변화하는 전류량을 다르게 함으로써, 계조 특성이 제곱 커브에 가까워져, 저 계조 영역에서의 흑 날림의 발생이 없다.

또, 이상의 실시예에서는 저 계조 영역과 고 계조 영역의 2 단계의 전류 기울기로 했지만, 이것에 한정되는 것이 아니다. 3 단계 이상이어도 되는 것은 물론이다. 그러나, 2 단계의 경우에는 회로 구성이 간단해지므로 바람직한 것은 말할 필요도 없다. 바람직하게는 5 단계 이상의 기울기를 발생할 수 있도록 감마 회로는 구성하는 것이 바람직하다.

본 발명의 기술적 사상은 전류 구동 방식의 소스 드라이버 회로(IC) 등에 있어서(기본적으로는 전류 출력으로 계조 표시를 행하는 회로이다. 따라서, 표시 패널이 액티브 매트릭스형에 한정되는 것이 아니며, 단순매트릭스형도 포함됨), 1 계 조 스텝당의 전류 증가량이 복수 존재하는 것이다.

EL 등의 전류 구동형의 표시 패널은, 인가되는 전류량에 비례하여 표시 휘도가 변화한다. 따라서, 본 발명의 소스 드라이버 회로(IC14)에서는, 하나의 전류원(1 단위 트랜지스터(484)에 흐르는 기본이 되는 기준 전류를 조정하는 것에 의해, 용이하게 표시 패널의 휘도를 조정하는 것이 가능하다.

EL 표시 패널에서는 R, G, B에서 발광 효율이 다르고, 또한, NTSC 기준에 대한 색 순도가 어긋나 있다. 따라서, 화이

트 밸런스를 최적으로 하기 위해서는 RGB의 비율을 적정히 조정할 필요가 있다. 조정은, RGB의 각각의 기준 전류를 조정함으로써 행한다. 예를 들면, R의 기준 전류를 2μA로 하고, G의 기준 전류를 1.5μA로 하고, B의 기준 전류를 3.5μA로 한다. 이상과 같이 적어도 복수의 표시 색의 기준 전류 중, 적어도 1색의 기준 전류는 변경 혹은 조정 혹은 제어할 수 있도록 구성하는 것이 바람직하다.

전류 구동 방식은 EL에 흘리는 전류 I와 휘도의 관계는 직선의 관계가 있다. 따라서, RGB의 혼합에 의한 화이트 밸런스의 조정은, 소정의 휘도의 일점에서 RGB의 기준 전류를 조정하기만 하여도 된다. 즉, 소정의 휘도의 일점으로 RGB의 기준 전류를 조정하고, 화이트 밸런스를 조정하면, 기본적으로는 전 계조에 걸쳐 화이트 밸런스가 취해져 있다. 따라서, 본 발명은 RGB의 기준 전류를 조정할 수 있는 조정 수단을 구비하는 점, 1점 꺾기 또는 다점 꺾기 감마커브 발생 회로(발생 수단)를 구비하는 점에 특징이 있다. 이상의 사항은 전류 제어의 EL 표시 패널에 특유의 회로 방식이다.

본 발명의 감마 회로에서는, 일례로서 저 계조 영역에서 1 계조당 10nA 증가(저 계조 영역에서의 감마커브의 기울기)로 한다. 또한, 고 계조 영역에서 1 계조당 50nA 증가(고 계조 영역에서의 감마커브의 기울기)한다.

또, 고 계조 영역에서 1 계조당 전류 증가량/저 계조 영역에서 1 계조당 전류 증가량을 감마 전류 비율이라고 부른다. 이 실시예에서는, 감마 전류 비율은 50nA/10nA=5이다. RGB의 감마 전류 비율은 동일하게 한다. 즉, RGB에서는 감마 전류 비율을 동일하게 한 상태에서 EL 소자(15)에 흐르는 전류(=프로그램 전류)를 제어한다.

이와 같이 감마 전류 비율을 RGB에서 동일하게 유지한 채로 조정하면 회로 구성은 용이하게 된다. 각 색에, 저 계조부에 인가하는 기준 전류를 발생하는 정전류 회로와, 고 계조부에 인가하는 기준 전류를 발생하는 정전류 회로를 제작하고, 이들에 상대적으로 흘리는 전류를 조정하는 볼륨을 제작(배치)하면 되기 때문이다.

도 56은 저 전류 영역의 정전류 발생 회로부의 구성도이다. 또한, 도 57은 고 전류 영역의 정전류 회로부 및 인상 전류 회로부의 구성도이다. 도 56에 도시하는 바와 같이 저 전류원 회로부는 기준 전류 INL이 인가되고, 기본적으로는 이 전류가 단위 전류로 되고, 입력 데이터 L0 L4에 의해, 단위 트랜지스터(484)가 필요 개수 동작하며, 그 총합으로서 저 전류부의 프로그램 전류 IwL이 흐른다.

또한, 도 57에 도시하는 바와 같이 고 전류원 회로부는 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되고, 입력 데이터 H0 L5에 의해, 단위 트랜지스터(484)가 필요 개수 동작하며, 그 총합으로서 저 전류부의 프로그램 전류 IwH가 흐른다.

인상 전류 회로부도 마찬가지로서, 도 57에 도시하는 바와 같이 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되어, 입력 데이터 AK0 AK2에 의해, 단위 트랜지스터(484)가 필요 개수 동작하고, 그 총합으로서 인상 전류에 대응하는 전류 IwK가 흐르는 소스 신호선(18)에 흐르는 프로그램 전류 Iw는 Iw=IwH+IwL+IwK이다. IwH와 IwL의 비율, 즉 감마 전류 비율은, 앞에서도 설명한 제1 관계를 만족시키도록 한다.

도 56, 도 57에 도시하는 바와 같이 온 오프 스위치(481)는, 인버터(562)와 P 채널 트랜지스터와 N채널 트랜지스터로 이루어지는 아날로그 스위치(561)로 구성된다. 이와 같이 스위치(481)를, 인버터(562)와 P 채널 트랜지스터와 N 채널 트랜지스터로 이루어지는 아날로그 스위치(561)로 구성함으로써, 온 저항을 저하할 수가 있고, 단위 트랜지스터(484)와 소스 신호선(18) 사이의 전압 강하를 매우 작게 할 수 있다. 이것은 본 발명의 다른 실시예에 있어서도 적용되는 것은 물론이다.

도 56의 저 전류 회로부와 도 57의 고 전류 회로부의 동작에 대하여 설명한다. 본 발명의 소스 드라이버 회로(IC14)는, 저 전류 회로부 L0 L4의 5 비트로 구성되고, 고 전류 회로부 H0 H5의 6 비트로 구성된다. 또, 회로의 외부로부터 입력되는 데이터는 D0 D5의 6 비트(각 색 64 계조)이다. 이 6 비트 데이터를 L0 L4의 5 비트, 고 전류 회로부 H0 H5의 6 비트로 변환하여 소스 신호선에 화상 데이터에 대응하는 프로그램 전류 Iw를 인가한다. 즉, 입력 6 비트 데이터를, 5+6=11 비트 데이터로 변환하고 있다. 따라서, 고정밀도의 감마커브를 형성할 수 있다.

이상과 같이, 입력 6 비트 데이터를, 5+6=11 비트 데이터로 변환하고 있다. 본 발명에서는, 고 전류 영역의 회로의 비트 수(H)는 입력 데이터(D)의 비트 수와 동일하게 하고, 저 전류 영역의 회로의 비트 수(1)는 입력 데이터(D)의 비트 수 -1로 하고 있다. 또, 저 전류 영역의 회로의 비트 수(1)는, 입력 데이터(D)의 비트 수 -2로 하여도 좋다. 이와 같이 구성함으로써, 저 전류 영역의 감마커브와, 고 전류 영역의 감마커브가, EL 표시 패널의 화상 표시에 최적이 된다.

게이트 드라이버 회로(12)는 통상, N채널 트랜지스터와 P 채널 트랜지스터로 구성한다. 그러나, P 채널 트랜지스터만으로 형성하는 것이 바람직하다. 어레이 제작에 필요로 하는 마스크 수가 감소하고, 제조 수율 향상, 처리량의 향상이 예상되기 때문이다. 따라서, 도 1, 도 2 등에 예시한 바와 같이, 화소(16)를 구성하는 트랜지스터를 P 채널 트랜지스터로 함과 동시에, 게이트 드라이버 회로(12)도 P 채널 트랜지스터로 형성 혹은 구성한다. N채널 트랜지스터와 P 채널 트랜지스터로 게이트 드라이버 회로를 구성하면 필요한 마스크 수는 10매가 되지만, P 채널 트랜지스터만으로

형성하면 필요한 마스크 수는 5매가 된다.

그러나, P 채널 트랜지스터만으로 게이트 드라이버 회로(12) 등을 구성하면, 레벨 시프터 회로를 어레이 기판(71)에 형성할 수 없다. 레벨 시프터 회로는 N채널 트랜지스터와 P 채널 트랜지스터로 구성하기 때문이다.

이하, 어레이 기판(71)에 내장하는 게이트 드라이버 회로(12)를 P 채널의 트 랜지스터만으로 구성한 본 발명의 게이트 드라이버 회로(12)에 대하여 설명한다. 앞에서도 설명한 바와 같이, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터만으로 형성(즉, 어레이 기판(71)에 형성하는 트랜지스터는 전부 P 채널 트랜지스터이다. 반대로 말하면, N채널의 트랜지스터를 이용하지 않는 상태)함으로써, 어레이 제작에 필요로 하는 마스크 수가 감소하고, 제조 수율 향상, 처리량의 향상이 예상되기 때문이다. 또한, P 채널 트랜지스터의 성능만의 향상에 속도가 생기므로, 결과적으로 특성 개선이 용이하다. 예를 들면, Vt 전압의 저감화(보다 0(V)에 가깝게 하는 등), Vt 변동의 감소를, CM0S 구조(P 채널과 N채널 트랜지스터를 이용하는 구성)보다도 용이하게 실시할 수 있다.

본 발명의 실시예에서는, 주로 도 1의 화소 구성을 예시하여 설명을 하지만 이것에 한정되는 것이 아니고, 다른 화소 구성이어도 되는 것은 물론이다. 또한, 이하에 설명하는 게이트 드라이버 회로(12) 구성 혹은 배치 형태는, 유기 EL 표시 패널 등의 자기 발광 디바이스에 한정되는 것이 아니다. 액정 표시 패널, 전자 유동 표시 패널 혹은 FED(필드에미션 디스플레이) 등에도 채용할 수 있다. 예를 들면, 액정 표시 패널에서는, 화소의 선택 스위칭 소자의 제어로서 본 발명의 게이트 드라이버 회로(12)의 구성 혹은 방식을 채용해도 된다. 또, 게이트 드라이버 회로(12)를 2상(相) 이용하는 경우에는, 1상을 화소의 스위칭 소자의 선택용으로서 이용하고, 다른 쪽을 화소에 있어서, 축적 용량의 한쪽의 단자에 접속해도 된다. 이 방식은 독립 CC 구동이라고 불리는 것이다. 또한, 도 71, 도 73 등에서 설명하는 구성은, 게이트 드라이버 회로(12) 뿐만아니라, 소스 드라이버 회로(14)의 시프트 레지스터 회로 등에도 채용하는 것이 가능함은 물론이다.

도 71은 본 발명의 게이트 드라이버 회로(12)의 블록도이다. 설명을 쉽게 하기 위해서, 4단 분밖에 도시하지 않지만, 기본적으로는 게이트 신호선(17) 수에 대응하는 단위 게이트 출력 회로(711)가 형성 또는 배치된다.

도 71에 도시하는 바와 같이, 본 발명의 게이트 드라이버 회로(12)(12 a, 12b)에서는, 4개의 클럭 단자(SCK0, SCK1, SCK2, SCK3)와, 하나의 스타트 단자(데이터 신호(SSTA)), 시프트 방향을 상하 반전 제어하는 2개의 반전 단자(DIRA, DIRB, 이들은 역상의 신호를 인가함)의 신호 단자로 구성된다. 또한, 전원 단자로서 L 전원 단자(VBB)와, H 전원 단자(Vd) 등으로 구성된다.

화소(16)를 P 채널의 트랜지스터로 구성함으로써, P 채널 트랜지스터로 형성한 게이트 드라이버 회로(12)와의 매칭이 좋아진다. P 채널 트랜지스터(도 1의 화소 구성에서는, 트랜지스터(11b, 11c), 트랜지스터(11d))는 L 전압으로 온 상태로 된다. 한편, 게이트 드라이버 회로(12)도 L 전압이 선택 전압이다. P 채널의 게이트 드라이버는 도 73의 구성에서도 알 수 있겠지만, L 레벨을 선택 레벨로 하면 매칭이 좋다. L 레벨을 장기간 유지할 수 없기 때문이다. 한편, H 전압은 장시간 유지할 수 있다.

EL 소자(15)에 전류를 공급하는 구동용 트랜지스터(도 1로서는 트랜지스터(11a))를 P 채널로 구성함으로써, EL 소자(15)의 캐소드가 금속 박막의 전체 전극에 구성할 수 있다. 또, 애노드 전위 Vdd에서 순방향으로 EL 소자(15)에 전류를 흘릴 수 있다. 이상의 사항으로부터, 화소(16)의 트랜지스터를 P 채널로 하고, 게 이트 드라이버 회로(12)의 트랜지스터도 P 채널로 하는 것이 좋다. 이상의 점에서, 본 발명의 화소(16)를 구성하는 트랜지스터(구동용 트랜지스터, 스위칭용 트랜지스터)를 P 채널로 형성하고, 게이트 드라이버 회로(12)의 트랜지스터를 P 채널로 구성한다고 하는 사항은 단순한 설계 사항이 아니다.

또, 레벨 시프터(LS) 회로를 어레이 기판(71)에 직접 형성해도 된다. 즉, 레벨 시프터(LS) 회로를 N채널과 P 채널 트랜지스터로 형성한다. 컨트롤러(도시하지 않음)로부터의 로직 신호는, 어레이 기판(71)에 직접 형성된 레벨 시프터 회로에서, P 채널 트랜지스터로 형성된 게이트 드라이버 회로(12)의 로직 레벨에 적합하도록 승압한다. 이 승압한 로직 전압을 상기 게이트 드라이버 회로(12)에 인가한다.

또, 레벨 시프터 회로를 반도체 칩으로 형성하고, 어레이 기판(71)에 COG 실장 등을 해도 된다. 또, 소스 드라이버 회로(14)는 반도체 칩으로 형성하고, 어레이 기판(71)에 COG 실장한다. 단, 소스 드라이버 회로(14)를 반도체 칩으로 형성하는 것에 한정되는 것이 아니며, 폴리실리콘 기술을 이용하여 어레이 기판(71)에 직접 형성해도 된다.

화소(16)를 구성하는 트랜지스터(11)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)으로 흘러 나가는 방향이 된다. 그 때문에, 소스 드라이버 회로의 단위 전류 회로(484)(도 56, 도 57 등을 참조)는, N채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록 회로 구성할 필요가 있다.

따라서, 화소(16)의 구동용 트랜지스터(11a)(도 1의 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록, 단위 트랜지스터(484)를 N채널 트랜지스터로 구성한다. 소스 드라이버 회로(14)를 어레이 기판(71)에 형성하기 위해서는, N채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양방을 이용할 필요가 있다. 개념적으로 진술하면, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

따라서, 화소(16)의 트랜지스터(11)를 P 채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 형성한다. 이와 같이 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양방을 P 채널 트랜지스터로 형성함으로써 어레이 기판(71)을 저 비용화할 수 있다. 그러나, 소스 드라이버 회로(14)는 단위 트랜지스터(484)를 N채널 트랜지스터로 형성할 필요가 있다. 따라서, 소스 드라이버 회로(14)는 어레이 기판(71)에 직접 형성할 수 없다. 그래서 별도로, 실리콘 칩 등으로 소스 드라이버 회로(14)를 제작하여 어레이 기판(71)에 적재한다. 또, 소스 드라이버 회로(14)는 실리콘 칩으로 구성한다고 했지만 이것에 한정되는 것이 아니다. 예를 들면, 저온 폴리실리콘 기술 등으로 유리 기판에 다수개를 동시에 형성하고, 칩 형상으로 절단하여 어레이 기판(71)에 적재해도 된다. 또, 어레이 기판(71)에 소스 드라이버 회로를 적재하는 것으로 설명하고 있지만, 적재에 한정되는 것이 아니다. 소스 드라이버 회로(14)의 출력 단자(681)를 어레이 기판 (71)의 소스 신호선(18)에 접속하는 것이면 어느 형태라도 무방하다. 예를 들면, TAB 기술로 소스 드라이버 회로(14)를 소스 신호선(18)에 접속하는 방식이 예시된다. 실리콘 칩 등에 별도 소스 드라이버 회로(14)를 형성하는 것에 의해, 출력 전류의 변동이 저감하여 양호한 화상 표시를 실현할 수 있다. 또한, 저 비용화가 가능하다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스, FED(필드 에미션 디스플레이)에도 적용할 수 있다.

반전 단자(DIRA, DIRB)는 각 단위 게이트 출력 회로(711)에 대하여 공통의 신호가 인가된다. 또, 도 73의 등가 회로도를 보면 이해할 수 있는데, 반전 단자(DIRA, DIRB)는 상호 역 극성의 전압값을 입력한다. 또한, 시프트 레지스터의 주사 방향을 반전시키는 경우에는, 반전 단자(DIRA, DIRB)에 인가하고 있는 전압의 극성을 반전시킨다.

또, 도 71의 회로 구성은 클럭 신호선 수가 4개이다. 4개가 본 발명에서는 최적의 수이지만, 본 발명은 이것에 한정되는 것이 아니다. 4개 이하여도 4개 이상이어도 좋다.

클럭 신호(SCK0, SCK1, SCK2, SCK3)의 입력은 인접한 단위 게이트 출력 회로(711)에서 서로 달리 하고 있다. 예를 들면, 단위 게이트 출력 회로(711a)에는 클럭 단자의 SCK0이 OC에, SCK2가 RST에 입력되어 있다. 이 상태는 단위 게이트 출 력 회로(711c)도 마찬가지이다. 단위 게이트 출력 회로(711a)에 인접한 단위 게이트 출력 회로(711b)(차단의 단위 게이트 출력 회로)는, 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되어 있다. 따라서, 단위 게이트 출력 회로(711)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되고, 차단은, 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되며, 또한 차단의 단위 게이트 출력 회로(711)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되는 식으로 교대로 다르게 하고 있다.

도 73이 단위 게이트 출력 회로(711)의 회로 구성이다. 구성하는 트랜지스터는 P 채널만으로 구성하고 있다. 도 74가 도 73의 회로 구성을 설명하기 위한 타이밍차트이다. 또, 도 72는 도 73의 복수단 분에 있어서의 타이밍차트를 도시한 것이다. 따라서, 도 73을 이해함으로써, 전체의 동작을 이해할 수 있다. 동작의 이해는 문장으로 설명하는 것보다도, 도 73의 등가 회로도를 참조하면서, 도 74의 타이밍차트를 이해하는 것에 의해 달성되기 때문에, 상세한 각 트랜지스터의 동작의 설명은 생략한다.

P 채널만으로 드라이버 회로 구성을 작성하면, 기본적으로 게이트 신호선(17)을 H 레벨(도 73에서는 Vd 전압)로 유지하는 것은 가능하다. 그러나, L 레벨(도 73에서는 VBB 전압)로 장시간 유지하는 것은 곤란하다. 그러나, 화소 행의 선택 시간 등의 단기간 유지는 충분히 할 수 있다.

화소(16)의 스위칭용 트랜지스터(11b, 11c)가 P 채널 트랜지스터로 형성되어 있으면, Vgh에서 화소(16)가 선택 상태로 된다. Vgl에서 화소(16)가 비선택 상태 로 된다. 이전에도 설명했지만, 게이트 신호선(17a)이 온(Vgl)에서 오프(Vgh)로 될 때에 전압이 관통한다(관통 전압). 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터로 형성되어 있으면, 흑 표시 상태일 때, 이 관통 전압에 의해 트랜지스터(11a)가 보다 전류가 흐르지 않게 된다. 따라서, 양호한 흑 표시를 실현할 수 있다. 흑 표시를 실현하는 것이 곤란하다고 하는 점이, 전류 구동 방식의 과제이다. 그러나, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성함으로써, 온 전압은 Vgh가 된다. 따라서, P 채널 트랜지스터로 형성된 화소(16)와 매칭이 좋다. 또한, 도 1, 도 2, 도 32, 도 113, 도 116의 화소(16) 구성과 같이, 애노드 전압 Vdd에서 구동용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)로 프로그램 전류 Iw가 유입하도록 구성하는 것이 중요하다. 따라서, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(484)를 N채

널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다.

또, 도 42의 (b)에 있어서도 마찬가지이다. 도 42의 (b)는 구동용 트랜지스터(11b)를 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)에 전류가 유입되는 것은 아니다. 그러나, 애노드 전압 Vdd에서 프로그램용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(484)에 프로그램 전류 Iw가 유입되도록 하는 구성이다. 따라서, 도 1과 같이, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(484)를 N채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다.

IN 단자에 입력된 신호와, RST 단자에 입력된 SCK 클럭에 의해, n1이 변화하고, n2는 n1의 반전 신호 상태가 된다. n2의 전위와 n4의 전위는 동일 극성이지만, OC 단자에 입력된 SCK 클럭에 의해 n4의 전위 레벨은 더욱 낮아진다. 이 낮아지는 레벨에 대응하여, Q 단자가 그 기간 동안 L 레벨로 유지된다(온 전압이 게이트 신호선(17)으로부터 출력됨). SQ 혹은 Q 단자에 출력되는 신호는 차단의 단위 게이트 출력 회로(711)에 전송된다.

도 71, 도 73의 회로 구성에 있어서, IN(INA, INB) 단자, 클럭 단자의 인가 신호의 타이밍을 제어함으로써, 도 75의 (a)에 도시하는 바와 같이, 1 게이트 신호선(17)을 선택하는 상태와, 도 75의 (b)에 도시하는 바와 같이 2 게이트 신호선(17)을 선택하는 상태를 동일한 회로 구성을 이용하여 실현할 수 있다.

선택측의 게이트 드라이버 회로(12a)에서, 도 75의 (a)의 상태는 1 화소 행((51a))을 동시에 선택하는 구동 방식이다(노멀 구동). 또한, 선택 화소 행은 1 행씩 시프트한다. 도 75의 (b)는 2 화소 행을 선택하는 구성이다. 이 구동 방식은 도 27, 도 28, 도 29에서 설명한 복수 화소 행((51a), 51b)의 동시 선택 구동(더미 화소 행을 구성하는 방식)이다. 선택 화소 행은 1 화소 행씩 시프트하고, 또한 인접한 2 화소 행이 동시에 선택된다. 특히, 도 75의 (b)의 구동 방법은 최종적인 영상을 유지하는 화소 행((51a))에 대하여, 화소 행(51b)은 예비 충전된다. 그 때문에, 화소(16)가 기입하기 쉽게 된다. 즉, 본 발명은 단자에 인가하는 신호 에 의해 2개의 구동 방식을 전환하여 실현할 수 있다.

또, 도 75의 (b)는 인접한 화소(16) 행을 선택하는 방식이지만, 도 76에 도시하는 바와 같이, 인접한 이외의 화소(16) 행을 선택해도 된다(도 76은 3 화소 행 떨어진 위치의 화소 행을 선택하고 있는 실시예임). 또한, 도 73의 구성에서는 4 화소 행의 조에서 제어된다. 4 화소 행 중, 1 화소 행을 선택할지, 연속한 2 화소 행을 선택할지의 제어를 실시할 수 있다. 이것은 사용하는 클럭(SCK)이 4개에 의한 것의 제약이다. 클럭(SCK) 8개가 되면, 8 화소 행의 조에서 제어를 실시할 수 있다.

선택측의 게이트 드라이버 회로(12a)의 동작은 도 75의 동작이다. 도 75의 (a)에 도시하는 바와 같이, 1 화소 행을 선택하고, 선택 위치를 1수평 동기 신호에 동기하여 1 화소 행씩 시프트한다. 또한, 도 75의 (b)에 도시하는 바와 같이, 2 화소 행을 선택하고, 선택 위치를 1수평 동기 신호에 동기하여 1 화소 행씩 시프트한다.

이하, 도면을 참조하면서, 전류 구동 방식(전류 프로그램 방식)에 의한 고화질 표시 방법에 대하여 설명한다. 전류 프로그램 방식은 화소(16)에 전류 신호를 인가하고, 화소(16)에 전류 신호를 유지시킨다. 그리고, EL 소자(15)에 유지시킨 전류를 인가하는 것이다.

EL 소자(15)는 인가한 전류의 크기에 비례하여 발광한다. 즉, EL 소자(15)의 발광 휘도는 프로그램하는 전류의 값과 선형의 관계가 있다. 한편, 전압 프로그램 방식에서는 인가한 전압을 화소(16)에서 전류로 변환한다. 이 전압-전류 변환은 비선형이다. 비선형의 변환은 제어 방법이 복잡해진다.

전류 구동 방식은 영상 데이터의 값을 그대로 프로그램 전류에 선형으로 변환한다. 간단한 예로 예시하면, 64 계조 표시이면, 영상 데이터의 0은 프로그램 전류 Iw=0μA로 하고, 영상 데이터 63은 프로그램 전류 Iw=6.3μA로 한다(비례의 관계가 됨). 마찬가지로, 영상 데이터 32는 프로그램 전류 Iw=3.2μA로 하고, 영상 데이터 10은 프로그램 전류 Iw=1.0μA로 한다. 즉, 영상 데이터는 그대로, 비례의 관계에서 프로그램 전류 Iw로 변환된다.

이해를 쉽게 하기 위해서, 영상 데이터와 프로그램 전류는 비례의 관계에서 변환되는 것으로 설명한다. 실제로는 더욱 용이하게 영상 데이터와 프로그램 전류를 변환할 수 있다. 도 48에 도시하는 바와 같이 본 발명은 단위 트랜지스터(484)의 단위 전류가, 영상 데이터의 1에 해당하기 때문이다. 또한, 단위 전류는 기준 전류 회로를 조정하는 것에 의해, 용이하게 임의의 값으로 조정할 수 있기 때문이다. 또한, 기준 전류는 R, G, B 회로마다 마련되어 있고, RGB 회로에 기준 전류 회로를 조정함으로써 전 계조 범위에 걸치어 화이트 밸런스를 취할 수 있기 때문이다. 이것은 전류 프로그램 방식으로, 또한 본 발명의 소스 드라이버 회로(14), 표시 패널 구성의 상승 효과이다.

EL 표시 패널에서는, 프로그램 전류와 EL 소자(15)의 발광 휘도가 선형의 관계에 있다고 하는 특징이 있다. 이것은 전류 프로그램 방식의 큰 특징이다. 즉, 프로그램 전류의 크기를 제어하면, 선형에 EL 소자(15)의 발광 휘도를 조정할 수 있다.

구동 트랜지스터(11a)는 게이트 단자에 인가한 전압과, 구동용 트랜지스터(11a)가 흘리는 전류는 비선형이다(제곱 커브가 되는 일이 많음). 따라서, 전압 프로그램 방식에서는, 프로그램 전압과 발광 휘도는 비선형의 관계에 있고, 매우 발광 제어가 곤란하다. 전압 프로그램에 비교하여 전류 프로그램 방식에서는 매우 발광 제어가 용이하다. 특히, 도 1의 화소 구성에서는, 프로그램 전류와 EL 소자(15)에 흐르는 전류가 이론상은 동일하다. 따라서, 발광 제어가 매우 알기 쉽고, 제어가 용이하다. 본 발명의 N배 펄스 구동의 경우에도, 프로그램 전류를 1/N로 하여 계산함으로써 발광 휘도를 파악할 수 있으므로, 발광 제어가 용이하다고 하는 점에서 우수하다. 도 38 등의 화소 구성이 커런트 미러 구성인 경우에는, 구동용 트랜지스터(11b)와 프로그램용 트랜지스터(11a)가 달라, 커런트 미러 배율의 어긋남이 발생하기 때문에, 발광 휘도의 오차 요인이 있다. 그러나, 도 1의 화소 구성에서는 구동용 트랜지스터와 프로그램용 트랜지스터가 동일하므로, 이 과제도 없다.

EL 소자(15)는 투입 전류량에 따라 발광 휘도가 비례하여 변화한다. EL 소자(15)에 인가하는 전압(애노드 전압)은 고정치이다. 따라서, EL 표시 패널의 발광 휘도는 소비 전력과 비례의 관계에 있다.

이상의 점에서, 영상 데이터와 프로그램 전류가 비례하고, 프로그램 전류와 EL 소자(15)의 발광 휘도가 비례하고, EL 소자(15)의 발광 휘도와 소비 전력이 비례한다. 따라서, 영상 데이터를 로직 처리하면, EL 표시 패널의 소비 전류(전력), EL 표시 패널의 발광 휘도, EL 표시 패널의 소비 전력을 제어할 수 있게 된다. 즉 , 영상 데이터를 로직 처리(가산 등)하는 것에 의해, EL 표시 패널의 휘도, 소비 전력을 파악할 수 있다. 따라서, 피크 전류가 설정치를 초과하지 않도록 하는 등의 처리가 매우 용이하다.

특히 본 발명의 EL 표시 패널은 전류 구동 방식이다. 또한 특징 있는 구성의 화상 표시 제어가 보다 용이하다. 특징 있는 화상 표시 제어 방법은 2가지 있다. 하나는 기준 전류의 제어이다. 도 하나는 duty비 제어이다. 이 기준 전류 제어와 duty비 제어를 단독으로 혹은 조합하는 것에 의해, 다이내믹 범위가 넓고, 또한 고화질 표시, 고 콘트라스트를 실현할 수 있다.

우선, 기준 전류 제어는 도 77에 도시하는 바와 같이, 소스 드라이버 회로(IC14)는 각 RGB의 기준 전류를 조정하는 회로를 구비하고 있다. 또, 소스 드라이버 회로(14)로부터의 프로그램 전류 Iw는 몇 개의 단위 트랜지스터(484)에 흐르고 있는지 출력되고 있는지로 결정된다.

하나의 단위 트랜지스터(484)가 출력하는 전류는 기준 전류의 크기에 비례한다. 따라서, 기준 전류를 조정하는 것에 의해, 하나의 단위 트랜지스터(484)가 출력하는 전류가 결정되고, 프로그램 전류의 크기가 결정된다. 기준 전류와 단위 트랜지스터(484)의 출력 전류가 선형의 관계에 있고, 또한, 프로그램 전류와 휘도가 선형의 관계에 있다는 점에서, 백 래스터 표시로 각 RGB의 기준 전류를 조정하여 화이트 밸런스를 조정하면, 모든 계조로 화이트 밸런스가 유지된다.

또, 도 77은 커런트 미러를 다단 접속한 구성이지만, 본 발명은 이것에 한정되는 것이 아니다. 도 166 내지 도 170 등의 1단 구성의 소스 드라이버 회로 (IC14)이더라도 기준 전류를 용이하게 조정할 수 있으며, 전 계조에서 화이트 밸런스가 유지되는 것은 물론이다. 또한, 기준 전류의 조정으로, EL 표시 패널의 휘도를 제어할 수 있는 것은 물론이다.

도 78은 duty비 제어 방법이다. 도 78의 (a)는 비표시 영역(52)을 연속하여 삽입하는 방법이다. 동화상 표시에 적합하다. 또, 도 78(a1)이 화상이 가장 어둡고, 도 78(a4)이 가장 밝다. 게이트 신호선(17b)의 제어로 자유롭게 duty비를 변경할 수 있다. 도 78의 (c)는 비표시 영역(52)을 다수로 분할하여 삽입하는 방법이다. 특히 정지 화상 표시에 적합하다. 또, 도 78(c1)이 화상이 가장 어둡고, 도 78(c4)가 가장 밝다. 게이트 신호선(17b)의 제어로 자유롭게 duty비를 변경할 수 있다. 또한, 도 78의 (b)는 도 78의 (a)와 도 78의 (c)의 중간 상태이다. 도 78의 (b)도 마찬가지로 게이트 신호선(17b)의 제어로 자유롭게 duty비를 변경할 수 있다.

표시 영역(53)의 분산은 표시 패널의 화소 행 수가 220개이고, 1/4 duty이면, 220/4=55가 되므로, 1에서 55이다(1의 밝기에서 그 55배의 밝기까지 조정할 수 있음). 또한, 표시 패널의 화소 행이 220개이고, 1/2 duty이면, 220/2=110이 되므로, 1에서 110이다(1의 밝기에서 그 110배의 밝기까지 조정할 수 있음). 따라서, 화면 휘도 50의 밝기의 조정 범위는 매우 넓다(화상 표시의 다이내믹 범위가 넓음). 또한, 어느 밝기이더라도, 표현할 수 있는 계조 수를 유지할 수 있으면 특징이 있다. 예를 들면, 64 계조 표시이면, 백 래스터에서의 화면(50) 휘도가 300nt이더라도, 3nt이더라도 64 계조 표시를 실현할 수 있다.

또, 이전에도 설명했지만, duty는 게이트 드라이버 회로(12b)에의 스타트 펄스를 제어함으로써 용이하게 변경할 수 있다. 따라서, 1/2 duty, 1/4 duty, 3/4 duty, 3/8 duty로 다종다양한 duty를 용이하게 변경할 수 있다.

1수평 주사 기간(1H) 단위의 duty비 구동은, 수평 동기 신호에 동기시켜 게이트 신호선(17b)의 온 오프 신호를 인가하면 된다. 또한, 1H 단위 이하에서도 duty비를 제어할 수 있다. 도 145, 도 146의 구동 방법이다. 1H 기간 이내에 있어서, OEV2 제어를 행함으로써, 미소 스텝의 밝기 제어(duty비 제어)가 가능하다(도 109와 그 설명도 참조. 또한, 도

175와 그 설명을 참조).

1H 이내의 duty비 제어를 행하는 것은 duty비가 1/4 duty 이하인 경우에 실시한다. 화소 행 수가 220 화소 행이면, 55/220 duty 이하이다. 즉, 1/220 내지 55/220 duty의 범위에서 행한다. 1 스텝의 변화가 변화전에서 변화후로 1/20(5%) 이상 변화할 때에 실시한다. 더욱 바람직하게는, 1/50(2%) 이하의 변화에서도 OEV2 제어를 행하여 미소한 duty비 구동 제어를 행하는 것이 바람직하다. 즉, 게이트 신호선(17b)에 의한 duty비 제어에서는 변화전에서 변화후의 밝기 변화가 5% 이상으로 될 때에는, OEV2에 의한 제어를 행함으로써 변화량이 5% 이하로 되도록 조금씩 변화시킨다. 이 변화에는 도 94에서 설명하는 대기 기능을 도입하는 것이 바람직하다.

duty비가 1/4 duty 이하에서 1H 이내의 duty비 제어를 실시하는 것은, 1 스텝당의 변화량이 크기 때문도 있지만, 화상이 중간조이기 때문에, 미소한 변화라도 시각적으로 인식되기 쉽기 때문이기도 하다. 인간의 시각은 일정 이상의 어두운 화면에서는, 밝기 변화에 대한 검출 능력이 낮다. 또한, 일정 이상의 밝은 화면에서도 밝기 변화에 대한 검출 능력이 낮다. 이것은 인간의 시각이 제곱 특성에 의존하고 있기 때문으로 생각된다.

도 174는 화면의 변화에 대한 검출 기능을 그래프화한 것이다. 횡축은 화면의 밝기(nt)이다. 종축은 허용 변화(%)이다. 허용 변화(%)는 임의 duty에서 다음의 duty로 변화시킨 밝기의 변화 비율(%)을, 허용할 수 있을지 한계점을 기재한 것이다. 단, 허용 변화(%)는 화상의 내용(변화 비율, 신(scene) 등)에 의해 변동 비율이 크다. 또한, 개인적인 동화상 검출 능력 등에 의존하기 쉽다.

도 174에서도 알 수 있듯이, 화면(50)의 휘도가 높을 때에는 duty 변화에 대한 허용 변화가 크다. 또한, 화면(50)의 휘도가 어두울 때에도 duty 변화에 대한 허용 변화가 큰 경향이 있다. 그러나, 중간조 표시인 경우에는, 허용 변화의 한계치(%)는 작다. 화상이 중간조이기 때문에, 미소한 변화라도 시각적으로 인식되기 쉽기 때문이다.

일례를 들면, 패널의 화소 행이 200개가면, 50/200 duty 이하(1/200 이상 50/200 이하)에서 OEV2 제어를 행하고, 1H 이하의 기간의 duty비 제어를 행한다. 1/200 duty에서 2/200 duty로 변화하면, 1/200 duty와 2/200 duty의 차는 1/200이고, 100%의 변화로 된다. 이 변화는 깜박임으로서 완전히 시각적으로 인식되어 버린다. 따라서, OEV2 제어(도 175 등을 참조)를 행하고, 1H(1수평 주사 기간) 이하의 기간에 EL 소자(15)에의 전류 공급을 제어한다. 또, 1H 기간 이하(1H 기간 이내)에서 duty비 제어한다고 했지만, 이것에 한정되는 것이 아니며, 도 19에서도 알 수 있듯이 비표시 영역(52)은 연속하고 있다. 즉, 10.5H 기간과 같은 제어도 본 발명의 범주이다. 즉, 본 발명은 1H 기간에 한정되지 않고(소수점 이하가 발생함), duty비 구동을 행하는 것이다.

40/200 duty에서 41/200 duty로 변화하면, 40/200 duty와 41/200 duty의 차는 1/200이고, (1/200)/(40/200)로 2.5%의 변화가 된다. 이 변화는 깜박임으로서 시각적으로 인식될지 여부는 화면 휘도 50에 의존할 가능성이 높다. 단, 40/200 duty는 중간조 표시이기 때문에, 시각적으로 민감하다. 따라서, OEV2 제어(도 175 등을 참조)를 행하고, 1H(1수평 주사 기간) 이하의 기간에 EL 소자(15)에의 전류 공급을 제어하는 것이 바람직하다.

이상과 같이, 본 발명의 구동 방법 및 표시 장치는, 화소(16)에 EL 소자(15)에 흘리는 전류값을 기억할 수 있는 구성(도 1에서는 컨덴서(19)가 해당함)과, 구동용 트랜지스터(11a)와 발광 소자(EL 소자(15)가 예시됨)의 전류 경로를 온 오프할 수 있는 구성(도 1, 도 43, 도 113, 도 114, 도 117 등의 화소 구성이 해당됨)의 표시 패널에 있어서, 적어도 표시 화상의 표시 상태에서 도 19의 표시 상태가 발생시키는(화상의 휘도에 따라서는 화면(50)이 표시 영역(53)(duty 1/1로 되어도 좋음) 구동 방법이다. 또한, duty비 구동(적어도 화면(50)의 일부가 비표시 영역(53)이 되는 구동 방법 또는 구동 상태)이 소정의 duty비 이하에서는, 1수평 주사 기간(1H 기간) 이내 혹은 1H 기간 단위로 한정되는 EL 소자(15)에 흘리는 전류를 제어하고, 표시 화면(50)의 휘도 제어를 행하는 것이다. 이 제어는 OEV2 제어에 의해 실시한다(OEV2에 관해서는 도 175와 그 설명을 참조).

1H 단위 이외의 duty비 제어를 행하는 소정 duty비는, duty비가 1/4 duty 이하인 경우에 실시한다. 반대로 소정 duty비 이상에서는, 1H 단위로 duty비 제어를 행한다. 혹은 OEV2 제어는 실시하지 않는다. 또, 1H 기간 이외의 duty비 제어는, 1 스텝의 변화가 변화전에서 변화후로 1/20(5%) 이상 변화할 때에 실시한다. 더욱 바람직하게는, 1/50(2%) 이하의 변화에서도 OEV2 제어를 행하여 미소한 duty비 구동 제어를 행하는 것이 바람직하다. 혹은, 백 래스터의 최대 휘도의 1/4 이하의 휘도로 실시한다.

본 발명의 duty비 제어 구동에 따르면, 도 79에 도시하는 바와 같이, EL 표시 패널의 계조 표현 수가 64 계조이면, 표시 화면(50)의 표시 휘도(nt)가 어느 휘도이더라도 64 계조 표시가 유지된다. 예를 들면, 화소 행 수가 220개이고, 1 화소 행만이 표시 영역(53)(표시 상태)일 때(duty비 1/220)이더라도, 64 계조 표시를 실현할 수 있다. 각 화소 행이 소스 드라이버 회로(14)의 프로그램 전류 Iw에 의해 순차 화상이 기입되고, 게이트 신호선(17b)에 의해, 이 1 화소 행분이 순차 화상 표시되기 때문이다.

물론, 220 화소 행의 전체가 표시 영역(53)(표시 상태)일 때(duty비 220/220=duty비 1/1)이더라도, 64 계조 표시를

실현할 수 있다. 화소 행에 소스 드라이버 회로(14)의 프로그램 전류 Iw에 의해 순차 화상이 기입되고, 게이트 신호선(17b)에 의해 모든 화소 행이 동시에 화상 표시되기 때문이다. 또한, 20 화소 행만이 표시 영역(53)(표시 상태)일 때(duty 20/220=duty 1/11)이더라도, 64 계조 표시를 실현할 수 있다. 각 화소 행이 소스 드라이버 회로(14)의 프로그램 전류 Iw에 의해 순차 화상이 기입되고, 게이트 신호선(17b)에 의해, 이 20 화소 행분이 순차 주사되어 화상 표시되기 때문이다.

본 발명의 duty비 제어 구동은 EL 소자(15)의 점등 시간의 제어이므로, duty비에 대한 화면(50)의 밝기는 선형의 관계에 있다. 따라서, 화상의 밝기 제어가 매우 용이하고, 그 신호 처리 회로도 간단해져, 저 비용화를 실현할 수 있다. 도 77과 같이 RGB의 기준 전류를 조정하여, 화이트 밸런스를 취한다. duty비 제어에서는 R, G, B를 동시에 밝기 제어하기 위해서 어느 계조, 화면(50)의 밝기에 있어서도 화이트 밸런스는 유지된다.

duty비 제어는 표시 화면(50)에 대한 표시 영역(53)의 면적을 변화시키는 것에 의해, 화면(50)의 휘도를 변화시키는 것이었다. 당연히, 표시 면적(53)에 비례하여 EL 표시 패널에 흐르는 전류는 거의 비례하여 변화한다. 따라서, 영상 데이터의 총합을 구함으로써, 표시 화면(50)의 EL 소자(15)에 흐르는 전 소비 전류를 산출할 수 있다. EL 소자(15)의 애노드 전압 Vdd가 직류 전압이고 고정치이기 때문에, 전 소비 전류가 산출 가능하면, 화상 데이터에 대응하여 전 소비 전력을 리얼타임으로 산출할 수 있다. 산출된 전 소비 전력이 규정된 최대 전력을 넘는다고 예측되는 경우에는, 도 77의 기준 전류를 전자 볼륨 등의 조정 회로에서 조정하여, RGB의 기준 전류를 억제 제어하면 된다.

또한, 백 래스터 표시에서의 소정 휘도를 설정하고, 이 때를 duty비 최소로 되도록 설정한다. 예를 들면, duty비 1/8로 한다. 자연 화상은 duty비를 크게 한다. 최대의 duty는 1/1이다. 예를 들면, 화면(50)의 1/100밖에 화상이 표시되지 않는 자연 화상을 duty 1/1로 한다. duty비 1/1로부터 duty비 1/8은 화면(50)의 자연 화상의 표시 상태에서 순조롭게 변화시킨다.

이상과 같이 일 실시예로서, 백 래스터 표시(자연 화상에서는 모든 화소가 100% 점화하고 있는 상태)에서 duty비 1/8로 하고, 화면(50)의 1/100의 화소가 점등하고 있는 상태를 duty비 1/1로 한다. 개략적인 소비 전력은 화소 수×점등 화소 수의 비율×duty비로 산출할 수 있다.

설명을 쉽게 하기 위해서, 화소 수를 100으로 하면, 백 래스터 표시에서의 소비 전력은 100×1(100%)×duty비 1/8=80이 된다. 한편, 1/100이 점등하고 있는 자연 화상의 소비 전력은 100×(1/100)(1%)×duty비 1/1=1이 된다. duty비 1/1 duty비 1/8은 화상의 점등 화소 수(실제로는 점등 화소의 총 전류=1 프레임의 프로그램 전류의 총합)에 응답하여 깜박임이 발생하지 않도록 매끄럽게 duty비 제어가 실시된다.

이상과 같이 백 래스터에서 소비 전력 비율은 80이고, 1/100이 점등하고 있는 자연 화상의 소비 전력 비율은 1이 된다. 따라서, 백 래스터 표시에서의 소정 휘도를 설정하고, 이 때를 duty비 최소가 되도록 설정하면, 최대 전류를 제어할 수 있다.

본 발명은 1화면의 프로그램 전류의 총합을 S로 하고, duty비를 D로 하고, S×D로 구동 제어를 실시하는 것이다. 또한, 백 래스터 표시에서의 프로그램 전류의 총합을 Sw로 하고, 최대의 duty비를 Dmax(통상은 duty비 1/1이 최대임)로 하고, 최소의 duty비를 Dmin으로 하고, 또한, 임의의 자연 화소에서의 프로그램 전류의 총합을 Ss로 하고, Sw×Dmin≥Ss×Dmax의 관계가 유지되도록 하는 구동 방법 및 그것을 실현하는 표시 장치이다.

또, duty비의 최대는 1/1로 한다. 최소는 duty비 1/16 이상으로 하는 것이 바람직하다. 즉, duty비는 1/8 이상 1/1 이하로 한다. 또, 1/1을 반드시 사용하는 것에 제약이 되지 않는다는 것은 말할 필요도 없다. 바람직하게는, 최소의 duty비는 1/10 이상으로 한다. duty비가 지나치게 작으면, 깜박임의 발생이 눈에 띄기 쉽고, 또한, 화상 내용에 의한 화면의 휘도 변화가 커져, 화상이 보기 어렵게 되기 때문이다.

앞에서도 설명했지만 프로그램 전류는 영상 데이터와 비례 관계에 있다. 따라서, 프로그램 전류의 총합이란 프로그램 전류의 총합과 동의이다. 또, 1 프레임(1 필드) 기간의 프로그램 전류의 총합을 구한다고 했지만, 이것에 한정하는 것이 아니다. 1 프레임(1 필드)에 있어서, 소정 간격 혹은 소정 주기 등으로 프로그램 전류를 가산하는 화소를 샘플링하여 프로그램 전류(영상 데이터)의 총합으로 하여도 좋다. 또한, 제어를 행하는 프레임(필드)의 전후 총합 데이터를 이용하여도 되고, 추정 혹은 예측에 의한 총합 데이터를 이용하고, duty비 제어를 행하여도 된다.

또, 이상의 설명에서는 duty비 D로 제어하는 것으로 해서 설명했지만, duty비는, 소정 기간(통상은 1 필드 또는 1 프레임이다. 즉, 일반적으로는 임의의 화소의 화상 데이터가 재기입되는 주기 혹은 시간임)에 있어서의 EL 소자(15)의 점등 기간이다. 즉, duty비 1/8이란, 1 프레임의 1/8의 기간(1F/8) 동안, EL 소자(15) 가 점등하고 있음을 의미한다. 따라서, duty비는 화소(16)가 재기입되는 주기 시간을 Tf로 하고, 화소의 점등 기간 Ta로 했을 때, duty비=Ta/Tf로 고쳐 읽을 수 있다.

또, 화소(16)가 재기입되는 주기 시간을 Tf로 하고, Tf를 기준으로 한다고 했지만 이것에 한정되는 것이 아니다. 본 발명의 duty비 제어 구동은 1 프레임 혹은 1 필드에서 동작을 완결시킬 필요는 없다. 즉, 수 필드 혹은 수 프레임 기간을 1 주기로 하여 duty비 제어를 실시해도 된다(도 104 등을 참조). 따라서, Tf는 화소를 재기입하는 주기만에 한정되는 것이 아니며, 1프레임 혹은 1 필드 이상이어도 된다. 예를 들면, 1 필드 혹은 1 프레임마다 점등 기간 Ta가 서로 다른 경우에는, 반복 주기(기간)를 Tf로 하고, 이 기간의 총 점등 기간 Ta를 채용하면 된다. 즉, 수 필드 혹은 수 프레임 기간의 평균 점등 시간을 Ta로 하여도 좋다. duty비에 대해서도 마찬가지이다. duty가 프레임(필드)마다 서로 다른 경우에는, 복수 프레임(필드)의 평균 duty비를 산출하여 이용하면 된다.

따라서, 백 래스터 표시에서의 프로그램 전류의 총합을 Sw로 하고, 임의의 자연 화상에서의 프로그램 전류의 총합을 Ss로 하고, 최소의 점등 기간을 Tas, 최대의 점등 기간을 Tam(통상은 Tam=Tf이므로 Tam/Tf=1)으로 했을 때, Sw×(Tas/Tf)≥Ss×(Tam/Tf)의 관계가 유지되도록 하는 구동 방법 및 그것을 실현하는 표시 장치이다.

화면(50)의 밝기를 제어하는 방식으로서, 도 77 등에서 설명한 구성도 있다. 즉, 기준 전류를 조정함으로써, 단위 트랜지스터(634)에 흐르는 전류를 변화시켜 프로그램 전류의 크기를 조정하는 것에 의해, 화면 휘도 50을 변화시키는 방식이다. 또, 기준 전류의 조정 방식에 관해서는 도 53 등에서 설명하고 있다.

도 77의 (491R)은 적(R)의 기준 전류를 조정하는 볼륨이다. 단, 볼륨이라고 표현하고 있는 것은 설명을 쉽게 하기 위해서이고, 실제로는 전자 볼륨이며, 외부로부터 6 비트의 디지털 신호에 의해, 64 단계에서 R회로의 기준 전류 IaR이 선형으로 조정할 수 있도록 구성되어 있다. 기준 전류 IaR를 조정함으로써, 트랜지스터(471R)와 커런트 미러 회로를 구성하는 트랜지스터(472a)에 흐르는 전류를 선형으로 변화시킬 수 있다. 따라서, 트랜지스터군(521a)의 트랜지스터(472a)와 전류 교환된 트랜지스터(472b)에 흐르는 전류가 변화하고, 트랜지스터(472b)와 커런트 미러 회로를 구성하는 트랜지스터군(521b)의 트랜지스터(473a)가 변화하고, 트랜지스터(473a)와 전류 교환된 트랜지스터(473b)가 변화한다. 따라서, 단위 트랜지스터(484)의 구동 전류(단위 전류)가 변화하므로, 프로그램 전류를 변화시킬 수 있다. 또, G의 기준 전류 IaG, B의 기준 전류 IaB에 대해서도 마찬가지이다.

도 77은 친자손의 3 단계의 트랜지스터 접속이지만, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 166 내지 도 170과 같이 기준 전류를 발생하는 회로와 단위 트랜지스터(484)가 직결된 1단 구성에서도 적용되는 것은 물론이다. 즉, 본 발명은 하나의 기준 전류 혹은 기준 전압에 의해, 프로그램 전류 혹은 프로그램 전압을 변경할 수 있는 회로 구성에 있어서, 기준 전류 혹은 기준 전압에 의해 화면(50)의 밝기를 변화시키는 방식이다.

도 77에 도시하는 바와 같이, (전자)볼륨(491)은 적(R), 녹(G), B(청)의 회 로에 각각 형성되어 있다. 따라서, 볼륨(491R, 491G, 491B)을 조정함으로써, 각각에 접속된 단위 트랜지스터(484)의 전류를 변화(제어 혹은 조정)할 수 있다. 따라서, RGB의 비율 조정에 의해 화이트(W) 조정을 용이하게 행할 수 있다. 물론, RGB의 기준 전류(트랜지스터(472R, 472G, 472B)에 흐르는 전류)를 출하 시에 미리 조정해 두면, RGB의 전자 볼륨(491R, 491G, 491B)을 일괄해서 변화할 수 있는 전자 볼륨을 별도 마련하는 것에 의해, 화이트(W) 밸런스 조정을 행할 수도 있다. 예를 들면, 도 169, 도 170에 있어서, 저항 R1의 값을, 각 RGB 회로에 화이트 밸런스가 취해지도록 조정한다. 이 상태에서, 도 169, 도 170 전자 볼륨(451)의 스위치 S를 RGB에서 동일하게 전환하면 화이트 밸런스를 유지한 채로, 화면 휘도를 조정할 수 있다.

이상과 같이 본 발명의 기준 전류의 구동 방법은, 화이트 밸런스가 취해지도록, RGB의 기준 전류값을 조정한다. 그리고, 이 상태를 중심으로 하여, RGB의 기준 전류를 동일 비율로 조정하는 것이다. 동일 비율로 조정하기 때문에, 화이트 밸런스가 유지된다.

이상과 같이 전자 볼륨(491)의 조정에 의해, 프로그램 전류를 선형으로 변화할 수 있다. 또, 설명을 쉽게 하기 위해서, 도 1에 도시한 화소 구성을 예로 설명하지만, 본 발명은 이것에 한정되는 것이 아니고, 다른 화소 구성이어도 됨은 물론이다.

도 77에 도시 혹은 설명한 바와 같이 기준 전류의 제어에 의해, 프로그램 전류를 선형으로 조정할 수 있다. 하나당의 단위 트랜지스터(484)의 출력 전류가 변 화하기 때문이다. 단위 트랜지스터(484)의 출력 전류를 변화시키면 프로그램 전류 Iw도 변화한다. 화소의 컨덴서(19)에 프로그램되는 전류(실제로는 프로그램 전류에 상당하는 전압임)가 클수록, EL 소자(15)에 흐르는 전류도 커진다. EL 소자(15)에 흐르는 전류와 발광 휘도는 선형에 비례한다. 따라서, 기준 전류를 변화시킴으로써 EL 소자(15)의 발광 휘도를 선형으로 변화하게 하는 것이 가능하다.

또, 본 발명은 도 77에서 설명한 기준 전류 제어 방식과, 도 78에서 설명한 duty비 제어 방식 중, 적어도 한쪽 방식을 이용하여 화면의 밝기 등의 제어를 행하는 것이다. 바람직하게는, 도 77과 도 78의 방식을 조합하여 실시하는 것이 바람직하다.

이하, 도 77, 도 78에서 설명한 방식을 이용한 구동 방법에 대하여 더욱 자세하게 설명한다. 본 발명의 구동 방법은 E

L 표시 패널에 소비되는 소비 전류의 상한으로 리미트하는 것이 하나의 목적이다. EL 표시 패널은 EL 소자(15)에 흐르는 전류와 휘도가 비례 관계에 있다. 따라서, EL 소자(15)에 흐르는 전류를 증대시키면, EL 표시 패널의 휘도도 점점 밝게 할 수 있다. 휘도에 비례하여 소비되는 전류(=소비 전력)도 증대한다.

휴대 장치에 이용하는 경우에는 전지 등의 용량에 제한이 있다. 또한, 전원 회로도 소비되는 전류가 커지면 규모가 커진다. 따라서, 소비하는 전류에는 리미트를 마련할 필요가 있다. 이 리미트를 마련하는 것(피크 전류 억제)이 본 발명의 하나의 목적이다.

또한, 화상이 콘트라스트를 크게 함으로써, 표시가 양호해진다. 강약이 있 는 것처럼 화상 변환하여 화상을 표시하는 것에 의해 표시가 양호해진다. 이상과 같이 화상 표시를 양호하게 하는 것이 본 발명의 2번째의 목적이다. 이상의 2가지 목적(혹은 한쪽)을 실현하는 본 발명을 AI 구동이라고 부르기로 한다.

우선, 설명을 쉽게 하기 위해서, 본 발명의 IC 칩(14)은 64 계조 표시이라고 한다. AI 구동을 실현하기 위해서는 계조 표현 범위를 확대하는 것이 바람직하다. 설명을 쉽게 하기 위해서, 본 발명의 소스 드라이버 회로(IC14)는 64 계조 표시로 하고, 화상 데이터는 256 계조로 한다. 이 화상 데이터를 EL 표시 장치의 감마 특성에 적합하도록 감마 변환을 행한다. 감마 변환은 입력 256 계조를 1024 계조로 확대함으로써 실시한다. 감마 변환된 화상 데이터는 소스의 64 계조에 적합하도록, 오차 확산 처리 혹은 프레임 레이트 컨트롤(FRC) 처리가 행하여져, 소스 드라이버 IC(14)에 인가된다.

FRC는 필드마다 화상 표시를 정합시키는 것에 의해 고 계조 표시를 실현하는 것이다. 오차 확산 처리는 일례로서 도 99에 도시하는 바와 같이 화소 A의 화상 데이터를 처리 방향의 우측으로 7/16, 좌측 아래로 3/16, 아래로 5/16, 우측 아래로 1/16로 분산시키는 방법이다. 분산 처리에 의해 고 계조 표시를 실현할 수 있다. 일종의 면적 계조이다.

도시하는 용이성으로부터 도 80, 도 81에서는 64 계조 표시를 512 계조로 변환하는 것으로 해서 설명한다. 변환은 오차 확산 처리 방식 혹은 프레임 레이트 제어(FRC)에 의해 행한다. 단, 도 80에서는 계조 변환을 행하고 있다고 하기보다는, 화상의 밝기를 변환했다고 해석해도 된다.

도 80은 본 발명의 구동 방법에 의한 화상 변환 처리를 설명하는 것이다. 도 80은 횡축은 계조(번호)이다. 계조(번호)가 클수록, 화면(50)의 휘도가 밝음을 나타내고 있다. 반대로 계조(번호)가 작을수록, 화상이 어두운 것을 나타내고 있다. 종축은 도수(횟수)이다. 도수(횟수)란, 화상을 구성하는 화소의 밝기의 막대 그래프를 나타내고 있다. 예를 들면, 도 80의 (a)의 A1은 화상의 24 계조 레벨의 휘도의 화소가 가장 많음을 나타낸다.

도 80의 (a)는 화상의 계조 표현 수를 유지한 채로, 표시 밝기를 변화시킨 예이다. A1을 원화상으로 하면, 원화상은 대개 64 계조의 표현 범위이다. A2는 계조 표현 수를 유지한 채로, 밝기의 중심을 256 계조로 변환한 예이다. A3도 마찬가지로 계조 표현 수를 유지한 채로, 밝기의 중심을 448 계조로 변환한 예이다. 이러한 변환은 화상 데이터에 소정의 크기의 데이터를 가산함으로써 변환하는 것에 의해 달성할 수 있다.

그러나, 도 80의 (a)의 계조 변환은 본 발명의 구동 방식에서는 실현이 곤란하다. 본 발명의 구동 방식에서는 도 80의 (b)의 계조 변환을 행한다.

도 80의 (b)는 원화상의 도수(횟수) 분포를 확대한 예이다. B1을 원화상으로 하면, 원화상은 대개 64 계조의 표현 범위이다. B2는 계조 표현 범위를 256 계조까지 확대한 예이다. 화면의 휘도가 밝아져, 계조 표현 범위도 확대한다. B3은 또한 계조 표현 범위를 512 계조까지 확대한 예이다. 화면 표시 휘도가 더욱 밝아져, 계조 표현 범위도 확대된다.

도 80의 (b)의 실현은 본 발명의 구동 방식에서 용이하게 실현할 수 있다. 도 77에서 설명한 기준 전류를 변화시킴으로써 실현할 수 있다. 또한, 도 78의 duty비를 변경(제어)하는 것에 의해 실현할 수 있다. 혹은, 도 77과 도 78의 방식을 조합함으로써 실현할 수 있다. 기준 전류 제어 혹은 duty비 제어에 의해, 화상의 밝기 제어는 용이하다. 예를 들면, duty비가 1/4일 때에 도 80의 (b)의 B2의 표시 상태이면, duty비를 1/16로 하면, 도 80의 (b)의 B1의 표시 상태가 된다. 또, duty비를 1/2로 하면, 도 80의 (b)의 B3의 표시 상태가 된다. 기준 전류 제어인 경우도 마찬가지이다. 기준 전류의 크기를, 2배 혹은 1/4로 함으로써 도 80의 (b)의 화상 표시가 가능하다.

도 80의 (b)의 횡축은 계조 수로 하고 있다. 본 발명의 구동 방법에서는 계조 수의 증가가 아니다. 본 발명의 구동 방법에서는, 도 79에서 설명한 바와 같이 표시 휘도가 변화해도 계조 수가 유지되어 있는 데에 특징이 있다. 즉, 도 80의 (b)에서는 B1의 64 계조 수가, B2에서는 256 계조로 변환된 것으로 하고 있다. 그러나, B2의 계조 수는 64 계조이다. 하나의 계조 범위가 B1에 비교하여 4배로 확대되어 있다. B1에서 B2로의 변환은 화상 표시의 다이내믹 변환된 것이 분명하다. 따라서, 고 계조 표시를 실현한 것이 동등하다. 따라서, 고화질 표시를 실현할 수 있다.

마찬가지로, 도 80의 (b)에서는 B1의 64 계조 수가, B3에서는 512 계조로 변환된 것으로 하고 있다. 그러나, B3의

계조 수는 64 계조이다. 하나의 계조 범위가 B1에 비하여 8배로 확대되어 있다. B1에서 B3으로의 변환은 화상 표시의 다이내믹 변환된 것임에 틀림없다.

도 80의 (a)에서는 화면(50)의 휘도를 향상시킬 수 있다. 그러나, 화면(50)은 전체가 흰 빛을 띠게 된다(백색화). 그러나, 소비 전류의 증가는 비교적 적다(그러면서도, 화면 휘도에 비례하여 소비 전류는 증대함). 도 80의 (b)에서는 화면(50)의 휘도를 향상할 수 있고, 계조의 표시 범위도 확대되어 있기 때문에, 화질 열화도 없다. 그러나, 소비 전류의 증가는 크다.

계조 수와 화면 휘도를 비례로 하여 원화상을 64 계조로 하면, 계조 수의 증가(다이내믹 범위의 확대)=휘도의 증대가 된다. 따라서, 소비 전력(소비 전류)이 증가한다. 이 과제를 해결하기 위해서, 본 발명은 도 77의 기준 전류와 조정(제어)하는 방식, 도 78의 duty비를 제어하는 방식 중 어느 하나 혹은 양방을 조합한다.

1 화면의 화상 데이터가 전체적으로 클 때는 화상 데이터의 총합은 커진다. 예를 들면, 백 래스터는 64 계조 표시의 경우에는 화상 데이터로서는 63이므로, 화면(50)의 화소 수×63이 화상 데이터의 총합이다. 1/100의 백 윈도우 표시에서, 백 표시부가 최대 휘도의 백 표시에서는, 화면(50)의 화소 수×(1/100)×63이 화상 데이터의 총합이다.

본 발명에서는 화상 데이터의 총합 혹은 화면의 소비 전류량을 예측할 수 있는 값을 구하고, 이 총합 혹은 값에 의해 duty비 제어 혹은 기준 전류 제어를 행한다.

또, 화상 데이터의 총합을 구한다고 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 화상 데이터의 1 프레임의 평균 레벨을 구하고 이것을 이용하여도 좋 다. 아날로그 신호이면, 아날로그 화상 신호를 컨덴서에 의해 필터링함으로써 평균 레벨을 얻을 수 있다. 아날로그의 영상 신호에 대하여 필터를 통하여 직류 레벨을 추출하고, 이 직류 레벨을 AD 변환하여 화상 데이터의 총합으로 하여도 좋다. 이 경우에는 화상 데이터는 APL 레벨이라고도 할 수 있다.

또한, 화면(50)을 구성하는 화상의 모든 데이터를 가산할 필요는 없고, 화면(50)의 1/W(W는 1보다 큰 값)를 픽업하여 추출하고, 픽업한 데이터의 총합을 구하여도 좋다.

설명을 쉽게 하기 위해서, 이상의 경우에도 화상 데이터의 총합을 구하는 것으로 해서 설명한다. 화상 데이터의 총합은 화상의 APL 레벨을 구하는 것과 일치하는 경우가 많다. 또한, 화상 데이터의 총합이란, 디지털적으로 가산하는 수단도 있지만, 이상의 디지털 및 아날로그에 의한 화상 데이터의 총합을 구하는 방법을, 이후, 설명을 쉽게 하기 위해서 APL 레벨이라고 부른다.

백 래스터일 때에 APL 레벨은 화상이 RGB 각 6 비트이므로 63(63 계조째이므로 데이터의 표현에서는 63으로 나타내고 있음)×화소 수(QCIF 패널의 경우는 176×RGB×220)로 된다. 따라서, APL 레벨은 최대가 된다. 단, RGB의 EL 소자(15)에서 소비하는 전류는 서로 다르기 때문에, RGB에서 분리하여 화상 데이터를 산출하는 것이 바람직하다.

이 과제에 대하여, 도 84에 도시하는 연산 회로를 사용한다. 도 84에 있어서, (841, 842)는 승산기이다. (841)는 발광 휘도를 가중하는 승산기이다. R, G, B에서는 시감도가 서로 다르다. NTSC에서의 시감도는 R:G:B=3:6:1이다. 따라서, R의 승산기(841R)에서는 R화상 데이터(R data)에 대하여 3배의 승산을 행한다. 또한, G의 승산기(841G)에서는 G 화상 데이터(G data)에 대하여 6배의 승산을 행한다. 또한, B의 승산기(841B)에서는 B 화상 데이터(B data)에 대하여 1배의 승산을 행한다.

EL 소자(15)는 RGB에서 발광 효율이 서로 다르다. 통상, B의 발광 효율이 가장 나쁘다. 다음에 G가 나쁘다. R이 가장 발광 효율이 양호하다. 그래서, 승산기(842)에서 발광 효율의 가중을 행한다. R의 승산기(842R)에서는 R화상 데이터(R data)에 대하여 R의 발광 효율의 승산을 행한다. 또한, G의 승산기(842G)에서는 G 화상 데이터(G data)에 대하여 G의 발광 효율의 승산을 행한다. 또한, B의 승산기(842B)에서는 B 화상 데이터(B data)에 대하여 B의 발광 효율의 승산을 행한다.

승산기(841 및 842)의 결과는 가산기(843)에서 가산되어, 총합 회로(844)에 축적된다. 이 총합 회로(87)의 결과에 기초하여, 도 77의 duty비 제어, 도 78의 기준 전류 제어를 실시한다.

도 84와 같이 제어하면, 휘도 신호(Y 신호)에 대한 duty비 제어, 기준 전류 제어를 실시할 수 있다. 그러나, 휘도 신호(Y 신호)를 구하고, duty 제어 등을 행하면 과제가 발생하는 경우가 있다. 예를 들면, 블루백 표시이다. 블루백 표시에서는 EL 패널로 소비하는 전류가 비교적 크다. 그러나, 표시 휘도는 낮다. 블루(B)의 시감도가 낮기 때문이다. 그 때문에, 휘도 신호(Y 신호)의 총합(APL 레벨)이 작게 산출되기 때문에, duty 제어가 고 duty가 된다. 따라서, 깜박임의 발생 등이 발생한다.

이 과제에 대해서는 승산기(841)를 스루로 하여 이용하면 된다. 소비 전류에 대한 총합(APL 레벨)이 구해지기 때문

이다. 휘도 신호(Y 신호)에 의한 총합(APL 레벨)과 소비 전류에 의한 총합(APL 레벨)은, 양방을 구하여 가미하여 통합 APL 레벨을 구하는 것이 바람직하다. 통합 APL 레벨에 의해 duty비 제어, 기준 전류 제어를 실시한다.

흑 래스터는 64 계조 표시의 경우에는 0 계조째이므로, APL 레벨은 0에서 최소값이 된다. 도 80의 구동 방식에서는, 소비 전력(소비 전류)은 화상 데이터에 비례한다. 또, 화상 데이터는 화면(50)을 구성하는 데이터의 전 비트를 카운트할 필요는 없고, 예를 들면, 화상이 6 비트로 표현되는 경우, 상위 비트(MSB)만을 카운트해도 된다. 이 경우에는 계조수가 32 이상에서, 1 카운트된다. 따라서, 화면(50)을 구성하는 화상 데이터에 의해 APL 레벨은 변화한다.

본 발명에서는 얻어진 APL 레벨의 크기에 의해, 도 78의 기준 전류 제어 혹은 도 77의 duty비 제어를 실시한다.

이해를 쉽게 하기 위해서, 구체적으로 수치를 예시하여 설명한다. 단, 이것은 가상적이며, 실제로는 실험, 화상 평가에 의해 제어 데이터, 제어 방법을 결정할 필요가 있다.

EL 패널에서 최대로 흘릴 수 있는 전류를 100(mA)으로 한다. 백 래스터 표시일 때, 총합(APL 레벨)은 200(단위 없음)이 되는 것으로 한다. 이 APL 레벨이 200일 때, 그대로 패널에 인가하면 EL 패널에 200(mA)이 흐른다고 한다. 또, APL 레벨이 0일 때, EL 패널에 흐르는 전류는 0(mA)이다. 또한, APL 레벨이 100일 때, duty비는 1/2로 구동하는 것으로 한다.

따라서, APL이 100 이상인 경우에는, 제한인 100(mA) 이하로 되도록 할 필요가 있다. 가장 간단하게는, APL 레벨이 200일 때, duty를 (1/2)×(1/2)=1/4로 하고, APL 레벨이 100일 때, duty를 1/2로 한다. APL 레벨이 100 이상 200 이하일 때에는, duty가 1/4 1/2 사이를 취하도록 제어한다. duty비 1/4 1/2은 EL 선택측의 게이트 드라이버 회로(12b)가, 동시에 선택하는 게이트 신호선(17b)의 개수를 제어하는 것에 의해 실현할 수 있다.

단, APL 레벨만을 고려하여, duty비 제어를 실시하면, 화상에 대응하여 화면(50)의 평균 휘도(APL)에 대응하여 화면(50)의 휘도가 변화하여, 깜박임이 발생한다. 이 과제에 대하여, 구하는 APL 레벨은 적어도 2 프레임, 바람직하게는 10 프레임, 더욱 바람직하게는 60 프레임 이상의 기간 유지하고, 이 기간에 연산하여, APL 레벨에 의해 duty비 제어에 의한 duty비를 산출한다. 또한, 화면(50)의 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM) 등의 화상의 특징 추출을 행하여 duty비 제어를 행하는 것이 바람직하다. 이상의 사항은 기준 전류 제어에도 적용되는 것은 물론이다.

또한, 화상의 특징 추출에 의해, 흑 신장, 백 신장을 실시하는 것도 중요하다. 이것은 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)를 고려하여 행하면 된다. 예를 들면, 도 81의 (a)에서는, 화상의 중심 데이터 Kb는 256 계조 부근에 분포하고, 고휘도부 Kc는 320 계조 부근에 분포하고 있다. 또, 저휘도부 Ka는 128 계조 부근에 분포하고 있다.

도 81의 (b)는 도 81의 (a)의 화상에 대하여 흑 신장 및 백 신장을 실시한 예이다. 단, 흑 신장과 백 신장을 동시에 행할 필요는 없으며, 한쪽만을 실시해도 된다. 또, 화상의 중심 부분(도 81의 (a)의 Kb도 저 계조부 혹은 고 계조부로 이동시키켜도 좋다. 이들의 적절한 이동 정보는 APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)로부터 구할 수 있다. 단, 경험적인 사항인 경우도 있다. 인간의 시감도가 영향을 주기 때문이다. 따라서, 화상 평가와 실험을 반복하여 검토할 필요가 있다. 그러나, 흑 신장 혹은 백 신장 등의 화상 처리는 감마커브를 연산으로 혹은 룩업 테이블로부터 구할 수 있으므로 용이하게 실현할 수 있다. 도 81의 (b)와 같이 처리를 함으로써, 화상에 강약이 붙어, 양호한 화상 표시를 실현할 수 있다.

또, duty비 제어에 의해 화면(50)의 밝기를 변화시키는 것은, 도 82와 같이 행한다. 도 82의 (a)는 표시 영역(53)을 연속하여 변화시키는 구동 방법이다. 도 82(a1)의 화면(50) 휘도보다는 도 82(a2)의 화면(50) 휘도가 밝다. 가장 밝은 것은 도 82(an)의 상태이다. 도 82의 (a)의 duty비 제어에 의한 구동은 동화상 표시에 적합하다.

도 82의 (b)는 표시 영역(53)을 분할하여 변화시키는 구동 방법이다. 도 82(b1)는 일례로서 화면(50)의 2 개소에 표시 영역(53)을 발생시키고 있다. 도 82(b2)도 도 82(b1)와 같이 화면(50)의 2 개소에 표시 영역(53)을 발생시키고 있지만, 2 개소 중 1 개소에 표시 영역(53)의 화소 행이 증가하고 있다(한쪽은 1 화소 행이 표시 영역(53), 다른 쪽은 2 화소 행이 표시 영역(53)임). 도 82(b3)도 도 82(b2)와 같이 화면(50)의 2 개소에 표시 영역(53)을 발생시키고 있지만, 2 개소 중 1 개소에 표시 영역(53)의 화소 행이 증가하고 있다(양쪽 모두 2 화소 행이 표시 영역(53)임). 이상과 같이 표시 영역(53)을 분산시켜 duty비 제어를 행하여도 된다. 일반적으로 도 82의 (b)는 정지 화상 표시에 적합하다.

도 82의 (b)는 표시 영역(53)의 분산을 2 분산으로 하고 있다. 그러나, 이것은 작도를 쉽게 하기 위해서이다. 실제로는 표시 영역(53)의 분산은 3 분산 이상으로 한다.

도 83은 본 발명의 구동 회로의 블록도이다. 이하, 본 발명의 구동 회로에 대하여 설명한다. 도 83에서는, 외부로부터

Y/UV 영상 신호와, 콤포지트(C0MP) 영상 신호를 입력할 수 있도록 구성되어 있다. 어느 쪽에 영상 신호를 입력할지는, 스위치 회로(831)에 의해 선택된다.

스위치 회로(831)에서 선택된 영상 신호는, 디코더 및 A/D 회로에 의해 디코드 및 AD 변환되고, 디지털의 RGB 화상 데이터로 변환된다. RGB 화상 데이터는 각8 비트이다. 또한, RGB 화상 데이터는 감마 회로(834)에서 감마 처리된다. 동시에 휘도(Y) 신호가 구해진다. 감마 처리에 의해, RGB 화상 데이터는 각 10 비트의 화상 데이터로 변환된다.

감마 처리 후, 화상 데이터는 FRC 처리 또는 오차 확산 처리가 처리 회로(835)에서 행해진다. FRC 처리 또는 오차 확산 처리에 의해 RGB 화상 데이터는 6 비트로 변환된다. 이 화상 데이터는 AI 처리 회로(836)로 AI 처리 혹은 피크 전류 처리가 실시된다. 또한, 동화상 검출 회로(837)에서 동화상 검출이 행하여진다. 동시에, 컬러 매니지먼트 회로(838)에서 컬러 매니지먼트 처리가 행하여진다.

AI 처리 회로(836), 동화상 검출 회로(837), 컬러 매니지먼트 회로(838)의 처리 결과는 연산 회로(839)에 보내지고, 연산 처리 회로(839)에서 제어 연산, duty비 제어, 기준 전류 제어 데이터로 변환되어, 변환된 결과가, 소스 드라이버 회로(14) 및 게이트 드라이버 회로(12)에 제어 데이터로서 송출된다.

duty비 제어 데이터는 게이트 드라이버 회로(12b)에 보내지고, duty비 제어가 실시된다. 한편, 기준 전류 제어 데이터는 소스 드라이버 회로(14)에 보내져, 기준 전류 제어가 실시된다. 감마 보정되어, FRC 또는 오차 확산 처리된 화상 데이터도 소스 드라이버 회로(14)에 보내진다.

도 81의 (b)의 화상 데이터 변환은 감마 회로(834)의 감마 처리에 의해 행할 필요가 있다. 감마 회로(834), 다점 꺽기 감마커브에 의해 계조 변환을 행한다. 256 계조의 화상 데이터는, 다점 꺽기 감마커브에 의해 1024 계조로 변환된다.

감마 회로(834)에 의해 다점 꺽기 감마커브에서 감마 변환한다고 했지만, 이것에 한정되는 것이 아니다. 도 85에 도시하는 바와 같이, 일점 꺽기 감마커브에서 감마 변환해도 된다. 일점 꺾기 감마커브를 구성하는 하드 규모가 작기 때문에, 컨트롤 IC를 저 비용화할 수 있다.

도 85에 있어서, a는 32 계조째에서의 절선 감마 변환이다. b는 64 계조째에서의 절선 감마 변환이다. c는 96 계조째에서의 절선 감마 변환이다. d는 128 계조째에서의 절선 감마 변환이다. 화상 데이터가 고 계조에 집중하고 있는 경우에는, 고 계조에서의 계조 수를 많게 하기 위해서, 도 85의 d의 감마커브를 선택한다. 화상 데이터가 저 계조에 집중하고 있는 경우에는, 저 계조에서의 계조 수를 많게 하기 위해서, 도 85의 a의 감마커브를 선택한다. 화상 데이터의 분포가 분산하고 있는 경우에는, 도 85의 b, c 등의 감마커브를 선택한다. 또, 이상의 실시예에서는 감마커브를 선택한다고 했다. 그러나, 실제로는 감마커브는 연산에 의해 발생시키기 때문에 선택하는 것이 아니다.

감마커브의 선택은 APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)를 가미하여 행한다. 또한, duty비 제어, 기준 전류 제어도 가미하여 행한다.

도 86은 다점 꺽기 감마커브의 실시예이다. 화상 데이터가 고 계조에 집중하고 있는 경우에는, 고 계조에서의 계조 수를 많게 하기 위해서, 도 85의 n의 감마커브를 선택한다. 화상 데이터가 저 계조에 집중하고 있는 경우에는, 저 계조에서의 계조 수를 많게 하기 위해서, 도 85의 a의 감마커브를 선택한다. 화상 데이터의 분포가 분산하고 있는 경우에는, 도 85의 b에서 n-1의 감마커브를 선택한다. 감마커브의 선택은 APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)를 가미하여 행한다. 또한, duty비 제어, 기준 전류 제어도 가미하여 행한다.

표시 패널(표시 장치)이 사용하는 환경에 맞추어 선택하는 감마커브를 변화하는 것도 유효하다. 특히 EL 표시 패널에서는, 옥내에서는 양호한 화상 표시를 실현할 수 있지만, 옥외에서는 저 계조부는 보이지 않는다. EL 표시 패널은 자발 광이기 때문이다. 그래서, 도 87에 도시하는 바와 같이, 감마커브를 변화시켜도 좋다. 감마커브 a는 옥내용의 감마커브이다. 감마커브 b는 옥외용의 감마커브이다. 감마커브 a와 b의 전환은, 사용자가 스위치를 조작함으로써 전환하도록 한다. 또한, 외광의 밝기를 포토 센서로 검출하고, 자동적으로 전환하도록 해도 된다. 또, 감마커브를 전환하는 것으로 했지만, 이것에 한정되는 것이 아니다. 계산에 의해 감마커브를 발생시켜도 됨은 물론이다. 옥외의 경우에는, 외광이 밝기 때문에, 저 계조 표시부는 보이지 않는다. 따라서, 저 계조부를 손상시키는 감마커브 b를 선택하는 것이 유효하다.

옥외에서는 도 88과 같이 감마커브를 발생시키는 것도 유효하다. 감마커브 a는 128 계조째까지는 출력 계조는 0으로 한다. 128 계조로부터 감마 변환을 행한다. 이상과 같이, 저 계조부는 전혀 표시하지 않도록 감마 변환함으로써 소비 전력을 삭감할 수 있다. 또한, 도 88의 감마커브 b와 같이 감마 변환을 행하여도 된다. 도 88의 감마커브는 128 계조째까지는 출력 계조를 0으로 한다. 128 이상은 출력 계조를 512 이상으로 한다. 도 88의 감마커브 b에서는 고 계조부를 표시하고, 출력 계조 수도 적게 함으로써 옥외에서도 화상 표시를 보이기 쉽게 하는 효과가 있다.

본 발명의 구동 방식에서는, duty비 제어와 기준 전류 제어에 의해 화상 휘도를 제어하고, 또한 다이내믹 범위를 확대한다. 또한, 고 콘트라스트 표시를 실현한다.

액정 표시 패널에서는, 백 표시 및 흑 표시는 백라이트로부터의 투과율로 결 정된다. 본 발명의 duty비 구동과 같이 화면(50)에 비표시 영역(52)을 발생시키더라도, 흑 표시에 있어서의 투과율은 일정하다. 반대로 비표시 영역(52)을 발생시키는 것에 의해, 1 프레임 기간에 있어서의 백 표시 휘도가 저하하므로 표시 콘트라스트가 저하한다.

EL 표시 패널은, 흑 표시는 EL 소자(15)에 흐르는 전류가 0인 상태이다. 따라서, 본 발명의 duty비 구동과 같이 화면(50)에 비표시 영역(52)을 발생시키더라도, 흑 표시의 휘도는 0이다. 비표시 영역(52)의 면적을 크게 하면 백 표시 휘도는 저하한다. 그러나, 흑 표시의 휘도가 0이므로, 콘트라스트는 무한대이다. 따라서, duty비 구동은 EL 표시 패널에 최적의 구동 방법이다. 이상의 것은 기준 전류 제어에 있어서도 마찬가지이다. 기준 전류의 크기를 변화시키더라도, 흑 표시의 휘도는 O이다. 기준 전류를 크게 하면 백 표시 휘도는 증가한다. 따라서, 기준 전류 제어에 있어서도 양호한 화상 표시를 실현할 수 있다.

duty비 제어는 전 계조 범위에서 계조 수가 유지되고, 또한 전 계조 범위에서 화이트 밸런스가 유지된다. 또한, duty비 제어에 의해 화면(50)의 휘도 변화는 10배 가까이 변화시킬 수 있다. 또한, 변화는 duty비에 선형의 관계가 되므로 제어도 용이하다. 그러나, duty비 제어는 N배 펄스 구동이므로, EL 소자(15)에 흐르는 전류의 크기가 크고, 또한 화면(50)의 휘도에 관계없이, 항상 EL 소자에 흐르는 전류의 크기가 커지고, EL 소자(15)가 열화되기 쉽다고 하는 과제가 있다.

기준 전류 제어는 화면 휘도 50을 높게 할 때에, 기준 전류량을 크게 하는 것이다. 따라서, 화면(50)이 높을 때밖에, EL 소자(15)에 흐르는 전류가 커지지 않는다. 그 때문에, EL 소자(15)가 열화하기 어렵다. 과제는 기준 전류를 변화시켰을 때의 화이트 밸런스 유지가 곤란한 경향이 강하다.

본 발명에서는 기준 전류 제어와 duty비 제어의 양방을 이용한다. 화면(50)이 백 래스터 표시에 가까울 때에는, 기준 전류는 일정치로 고정하고, duty비만을 제어하여 표시 휘도 등을 변화시킨다. 화면(50)에 흑 래스터 표시에 가까울 때에는, duty비는 일정치로 고정하고, 기준 전류만을 제어시켜 표시 휘도 등을 변화시킨다.

duty비 제어는 데이터 합/최대값이 1/10 이상 1/1의 범위에서 실시한다. 더욱 바람직하게는, 데이터 합/최대값이 1/100 이상 1/1의 범위에서 실시한다. 또한, 기준 전류의 배율 변화(단위 트랜지스터(484)의 출력 전류 변화)는, 데이터 합/최대값이 1/10 이상 1/1000의 범위에서 실시한다. 더욱 바람직하게는 데이터 합/최대값이 1/100 이상 1/2000의 범위에서 실시한다. 기준 전류 제어와 duty비 제어는 오버랩하지 않도록 하는 것이 바람직하다. 도 89로서는 데이터 합/최대값이 1/100 이하에서는 기준 전류의 배율을 변화시키고 있고, 1/100 이상에서 duty비를 변화시키고 있다. 따라서, 오버랩은 하지 않는다.

여기서는 설명을 쉽게 하기 위해서, duty비의 최대는 duty비 1/1로 하고, 최소는 duty비 1/8로 한다. 기준 전류는 1배에서 3배로 변화하면 한다. 또한, 데이터 합은 화면(50)의 데이터의 총합을 의미하며, (데이터 합의) 최대값은, 최대 휘도에서의 백 래스터 표시에서의 화상 데이터의 총합이라고 한다. 또, duty비 1/1까지 사용할 필요가 없음은 물론이다. duty비 1/1은 최대값으로서 기재하고 있다. 본 발명의 구동 방법에서는, 최대의 duty비를 210/220 등으로 설정해도 되는 것은 물론이다. 또, 220은 QCIF+의 표시 패널의 화소 행 수를 예시하고 있다.

또, duty비의 최대는 duty비 1/1로 하고, 최소는 duty비 1/16 이내로 하는 것이 바람직하다. 더욱 바람직하게는 duty비 1/10 이내로 하면 좋다. 깜박임의 발생을 억제할 수 있기 때문이다. 기준 전류의 변화 범위는 4배 이내로 하는 것이 바람직하다. 더욱 바람직하게는 2.5배 이내로 한다. 기준 전류의 배수를 지나치게 크게 하면, 기준 전류 발생 회로의 선형성이 없어져, 화이트 밸런스 어긋남이 발생하기 때문이다.

데이터 합/(데이터 합의) 최대값=1/100이란, 일례로서 1/100의 백 윈도우표시이다. 자연 화상에서는, 화상 표시하는 화소의 데이터 합이 백 래스터 표시의 1/100로 환산할 수 있는 상태를 의미한다. 따라서, 100 화소당에 1점의 백 휘점 표시도 데이터 합/최대값이 1/100이다.

이하의 설명에서는 최대값이란 백 래스터의 화상 데이터의 가산치로 했지만, 이것은 설명을 쉽게 하기 위해서이다. 최대값은 화상 데이터의 가산 처리 혹은 APL 처리 등에서 발생하는 최대값이다. 따라서, 데이터 합/최대값이란, 처리를 행하는 화면의 화상 데이터의 최대값에 대한 비율이다.

또, 데이터 합은 소비 전류로 산정할지, 휘도로 산정할지는 어느 쪽이어도 좋다. 여기서는 설명을 쉽게 하기 위해서, 휘도(화상 데이터)의 가산인 것으로 해서 설명한다. 일반적으로 휘도(화상 데이터)의 가산의 방식이 처리가 용이하고, 컨트롤러 IC의 하드 규모도 작게 할 수 있다. 또한, duty비 제어에 의한 깜박임의 발생도 없고, 다이내믹 범위를 넓게 취할 수 있다는 점에서 바람직하다.

도 89는 본 발명의 기준 전류 제어와 duty비 제어를 실시한 예이다. 도 89에서는 데이터 합/최대값이 1/100 이하에서는 기준 전류의 배율을 3배까지 변화시키고 있다. 1/100 이상에서 duty비를 1/1에서 1/8까지 변화시키고 있다. 따라서, 데이터 합/최대값이 1/1에서 1/10000까지이고, duty비 제어로 8배, 기준 전류 제어로 3배이므로, 8×3=24배의 변화가 실시되어 있다. 기준 전류 제어 및 duty비 제어는 함께 화면 휘도를 변화시키니까, 24배의 다이내믹 범위가 실현되어 있게 된다.

데이터 합/최대값이 1/l에서는 duty비가 1/8이다. 따라서, 표시 휘도는 최대값의 1/8로 되어 있다. 데이터 합/최대값이 1이므로, 백 래스터 표시이다. 즉, 백 래스터 표시에서는 표시 휘도가 최대의 1/8로 저하하고 있다. 화면(50)의 1/8이 화상 표시 영역(53)이고, 비표시 영역(52)이 7/8을 차지하고 있다. 데이터 합/최대값이 1/1에 가까운 화상은, 대부분의 화소(16)가 고 계조 표시이다. 막대 그래프로 표현하면, 막대 그래프의 고 계조 영역에 대다수의 데이터가 분포하고 있다. 이 화상 표시에서는, 화상이 백 손상 상태이고 강약감이 없다. 그 때문에, 도 86 등의 감마커브의 n 또는 n에 가까운 것이 선택된다.

데이터 합/최대값이 1/100에서는 duty비는 1/1이다. 화면(50)의 전체가 표시 영역(53)이다. 따라서, N배 펄스 구동은 실시되고 있지 않다. EL 소자(15)의 발광 휘도가 그대로 화면(50)의 표시 휘도가 된다. 화상 표시는 대부분이 흑 표시이고, 일부에 화상이 표시되어 있는 상태이다. 이미지로 표현하면, 데이터 합/최 대값이 1/100의 화상 표시란, 캄캄한 밤하늘에 달이 나오고 있는 화상이다. 이 화상에서 duty비를 1/1로 한다는 것은, 달의 부분은 백 래스터의 휘도의 8배의 휘도로 표시되게 된다. 따라서, 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다. 화상 표시되고 있는 것은 1/100의 영역이므로, 1/100의 영역의 휘도를 8배로 했다고 해도 소비 전력의 증가는 근소하다.

데이터 합/최대값이 1/100에 가까운 화상은, 대부분의 화소(16)가 저 계조 표시이다. 막대 그래프로 표현하면, 막대 그래프의 저 계조 영역에 대다수의 데이터가 분포하고 있다. 이 화상 표시에서는 화상이 흑 손상 상태로 강약감이 없다. 그 때문에, 도 86 등의 감마커브의 b 또는 b에 가까운 것이 선택된다.

이상과 같이 본 발명의 구동 방법은, duty비가 커짐에 따라서, 감마의 x 승수를 크게 하는 구동 방법이다. duty비가 작아짐에 따라서, 감마의 x 승수를 작게 하는 구동 방법이다.

도 89에서는 데이터 합/최대값이 1/100 이하에서는 기준 전류의 배율을 3배까지 변화시키고 있다. 데이터 합/최대값이 1/100에서는 duty비가 1/1로 하여, duty비에 의해 화면 휘도를 높게 하고 있다. 데이터 합/최대값이 1/100보다도 작아짐에 따라서, 기준 전류의 배율을 크게 하고 있다. 따라서, 발광하고 있는 화소(16)는 보다 고휘도로 발광한다. 예를 들면, 데이터 합/최대값이 1/1000이란, 이미지로 표현하면, 캄캄한 밤하늘에 별이 나오고 있는 화상이다. 이 화상으로 duty비를 1/1로 한다는 것은, 별의 부분은 백 래스터의 휘도의 8×2=l6배의 휘도로 표시되게 된다. 따라서, 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다. 화상 표시되어 있는 것은 1/1000의 영역이므로, 1/1000의 영역의 휘도를 16배로 했다고 해도 소비 전력의 증가는 근소하다.

기준 전류의 제어는 화이트 밸런스를 유지하는 것이 어렵다고 하는 점이다. 그러나, 캄캄한 밤하늘에 별이 나오고 있는 화상에서는 화이트 밸런스가 어긋나 있더라도 시각적으로는 화이트 밸런스 어긋남은 인식되지 않는다. 이상의 점에서, 데이터 합/최대값이 매우 작은 범위이고, 기준 전류 제어를 행하는 본 발명은 적절한 구동 방법이다.

데이터 합/최대값이 1/1000에서는 duty비는 1/1이다. 화면(50)의 전체가 표시 영역(53)이다. 따라서, N배 펄스 구동은 실시되고 있지 않다. EL 소자(15)의 발광 휘도가 그대로 화면(50)의 표시 휘도가 된다. 화상 표시는 대부분이 흑 표시이고, 일부에 화상이 표시되어 있는 상태이다.

데이터 합/최대값이 1/1000에 가까운 화상은, 대부분의 화소(16)가 저 계조 표시이다. 히스토그램으로 표현하면, 막대 그래프의 저 계조 영역에 대다수의 데이터가 분포하고 있다. 이 화상 표시에서는 화상이 흑 손상 상태로 강약감이 없다. 그 때문에, 도 86 등의 감마커브의 b 또는 b에 가까운 것이 선택된다.

이상과 같이 본 발명의 구동 방법은 기준 전류가 작아짐에 따라서, 감마의 x 승수를 크게 하는 구동 방법이다. 또한, 기준 전류가 커짐에 따라서, 감마의 x 승수를 작게 하는 구동 방법이다.

도 89에서는 기준 전류의 변화 및 duty비 제어의 변화는 직선적으로 도시하고 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 도 90에 도시하는 바 와 같이 기준 전류의 배율 제어, duty비 제어를 곡선적으로 해도 된다. 도 89, 도 90에서는, 횡축의 데이터 합/최대값이 대수(對數)이므로, 기준 전류 제어 및 duty비 제어의 선이 곡선이 되는 것은 자연스럽다. 데이터 합/최대값과 기준 전류 배율의 관계, 데이터 합/최대값과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다.

도 89, 도 90은 RGB의 duty비 제어, 기준 전류 제어를 동일하게 한 실시예이다. 본 발명은 이것에 한정되는 것이 아니다. 도 91에 도시하는 바와 같이, RGB에서 기준 전류 배율의 기울기를 변화시켜도 좋다. 도 91에서는, 청(B)의 기

준 전류 배율의 변화의 기울기를 가장 크게 하고, 녹(G)의 기준 전류 배율의 변화의 기울기를 다음으로 크게 하고, 적(R)의 기준 전류 배율의 변화의 기울기를 가장 작게 하고 있다. 기준 전류를 크게 하면, EL 소자(15)에 흐르는 전류도 커진다. EL 소자는 RGB에서 발광 효율이 서로 다르다. 또, EL 소자(15)에 흐르는 전류가 커지면 인가 전류에 대한 발광 효율이 나빠진다. 특히, B에서는 그 경향이 현저하다. 그 때문에, RGB에서 기준 전류량을 조정하지 않으면 화이트 밸런스가 떨어지지 않게 된다. 따라서, 도 91과 같이, 기준 전류 배율을 크게 했을 때(각 RGB의 EL 소자(15)에 흘리는 전류가 큰 영역)에서는, 화이트 밸런스를 유지할 수 있도록 RGB의 기준 전류 배율을 다르게 한 것이 유효하다. 데이터 합/최대값과 기준 전류 배율의 관계, 데이터 합/최대값과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다.

도 91은 기준 전류 배율을 RGB에서 달리 한 실시예였다. 도 92는 duty비 제 어도 다르게 하고 있다. 데이터 합/최대값을 1/100 이상에서 B와 G에서 동일하게 하고, R의 기울기를 작게 하고 있다. 또, G와 R은 1/100 이하에서 duty비 1/1이지만, B는 1/100 이하에서 duty비 1/2로 하고 있다. 이상과 같은 구동 방법은, 도 125 내지 도 131에서 설명한 구동 방법에 의해 실시할 수 있다. 이상과 같이 구동하면, RGB의 화이트 밸런스 조정을 최적으로 할 수 있다. 데이터 합/최대값과 기준 전류 배율의 관계, 데이터 합/최대값과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다. 또한, 사용자가 자유롭게 설정 혹은 조정할 수 있도록 구성하는 것이 바람직하다.

도 89 내지 도 91은 일례로서 데이터 합/최대값을 1/100을 경계로 기준 전류 배율과 duty비를 변화시키는 방법이었다. 데이터 합/최대값을 일정한 값을 경계로 하여, 기준 전류 배율과 duty비를 변화시키고, 기준 전류 배율이 변화시키는 영역과 duty비를 변화시키는 영역을 중첩되지 않도록 하고 있다. 이와 같이 구성함으로써 화이트 밸런스의 유지가 용이하다. 즉, 데이터 합/최대값이 1/100 이상에서 duty비를 변화시키고, 데이터 합/최대값이 1/100 이하에서 기준 전류를 변화시키고 있다. 기준 전류 배율이 변화시키는 영역과 duty비를 변화시키는 영역을 중첩되지 않도록 하고 있다. 이 방법은 본 발명의 특징 있는 방법이다.

또, 데이터 합/최대값이 1/100 이상에서 duty비를 변화시키고, 데이터 합/최대값이 1/100 이하에서 기준 전류를 변화시킨 것으로 했지만, 역의 관계여도 된다. 즉, 데이터 합/최대값이 1/100 이하에서 duty비를 변화시키고, 데이터 합/최대값이 1/100 이상에서 기준 전류를 변화시켜도 좋다. 또한, 데이터 합/최대값이 1/10 이 상에서 duty비를 변화시키고, 데이터 합/최대값이 1/100 이하에서 기준 전류를 변화시키고, 데이터 합/최대값이 1/100 이상 1/10 이하에서는, 기준 전류 배율 및 duty비를 일정치로 하여도 된다.

경우에 따라서는, 본 발명은 이상의 방법에 한정되지 않는다. 도 93에 도시하는 바와 같이 데이터 합/최대값이 1/100 이상에서 duty비를 변화시키고, 데이터 합/최대값이 1/10 이하에서 B의 기준 전류를 변화시켜도 된다. B의 기준 전류 변화와 RGB의 duty비를 변화를 오버랩시키고 있다.

빠른 스피드로 밝은 화면과 어두운 화면이 교대로 반복할 때, 변화에 대응하여 duty비를 변화시키면 깜박임이 발생한다. 따라서, 어떤 duty비에서 다른 duty비로 변화할 때에는, 히스테리시스(시간 지연)를 마련하여 변화시키는 것이 바람직하다. 예를 들면, 히스테리시스 기간을 1 sec로 하면, 1 sec 기간 내에, 화면 휘도가 밝고 어두움이 복수회 반복하더라도, 이전의 duty비가 유지된다. 즉, duty비는 변화하지 않는다.

이 히스테리시스(시간 지연) 시간을 대기 시간이라고 부른다. 또한, 변화전의 duty비를 변화전 duty비라고 부르고, 변화후의 duty비를 변화후 duty비라고 부른다.

변화전 duty비가 작은 상태에서 다른 duty비로 변화할 때에는, 변화에 의한 깜박임의 발생이 발생하기 쉽다. 변화전 duty비가 작은 상태는, 화면(50)의 데이터 합이 작은 상태 혹은 화면(50)에 흑 표시부가 많은 상태이다. 따라서, 화면(50)이 중간조의 표시로 시감도가 높기 때문으로 생각된다. 또한, duty비가 작은 영역에서는 변화 duty와의 차가 커지는 경향이 있기 때문이다. 물론, duty비의 차가 커질 때에는 OEV2 단자를 이용하여 제어한다. 그러나, OEV2 제어에도 한계가 있다. 이상의 점에서, 변화전 duty비가 작을 때에는, 대기 시간을 길게 할 필요가 있다.

변화전 duty비가 큰 상태에서 다른 duty비로 변화할 때에는, 변화에 의한 깜박임의 발생이 발생하기 어렵다. 변화전 duty비가 큰 상태는, 화면(50)의 데이터 합이 큰 상태 혹은 화면(50)에 백 표시부가 많은 상태이다. 따라서, 화면(50) 전체가 백 표시로 시감도가 낮기 때문으로 생각된다. 이상의 점에서, 변화전 duty비가 클 때에는 대기 시간은 짧게 하면 된다.

이상의 관계를 도 94에 도시한다. 횡축은 변화전 duty비이다. 종축은 대기 시간(초)이다. duty비가 1/16 이하에서는 대기 시간을 3초(sec)로 길게 하고 있다. duty비가 1/16 이상 duty비 8/16(=1/2)에서는, duty비에 대응하여 대기 시간을 3초에서 2초로 변화하게 한다. duty비 8/16 이상 duty비 16/16=1/1에서는, duty비에 대응하여 2초에서 0초로 변화하게 한다.

이상과 같이, 본 발명의 duty비 제어는 duty비에 대응하여 대기 시간을 변화시킨다. duty비가 작을 때에는 대기 시간을 길게 하고, duty비가 클 때에는 대기 시간을 짧게 한다. 즉, 적어도 duty비를 가변하는 구동 방법에 있어서, 제1 변화전의 duty비가 제2 변화전의 duty비보다도 작고, 제1 변화전 duty비의 대기 시간이 제2 변화전 duty비의 대기 시간보다도 길게 설정하는 것을 특징으로 하는 것이다.

또, 이상의 실시예에서는 변화전 duty비를 기준으로 하여 대기 시간을 제어 혹은 규정한다고 했다. 그러나, 변화전 duty비와 변화후 duty비의 차는 근소하다. 따라서, 전술한 실시예에 있어서 변화전 duty비를 변화후 duty비라고 고쳐 읽어도 된다.

또한, 이상의 실시예에 있어서, 변화전 duty비와 변화후 duty비를 기준으로 하여 설명했다. 변화전 duty비와 변화후 duty비의 차가 클 때에는 대기 시간을 길게 잡을 필요가 있음은 물론이다. 또한, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화후 duty비로 변화하게 하는 것이 양호함은 물론이다.

본 발명의 duty비 제어 방법은, 변화전 duty비와 변화후 duty비의 차가 클 때에는 대기 시간을 길게 잡는 구동 방법이다. 즉, duty비의 차에 대응하여 대기 시간을 변화시키는 구동 방법이다. 또한, duty비의 차가 클 때에 대기 시간을 길게 잡는 구동 방법이다.

또한, 본 발명의 duty비의 방법은, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화후 duty비로 변화하게 하는 것을 특징으로 하는 구동 방법이다.

도 94의 실시예에서는, duty비에 대한 대기 시간을, R(적) G(녹) B(청)로 동일하게 하는 것으로 설명했다. 그러나, 본 발명은 도 95에 도시하는 바와 같이 RGB에서 대기 시간을 변화시켜도 됨은 물론이다. RGB에서 시감도가 다르기 때문이다. 시감도에 맞추어 대기 시간을 설정함으로써, 보다 양호한 화상 표시를 실현할 수 있다.

이상의 실시예는 duty비 제어에 관한 실시예였다. 기준 전류 제어에 대해서 도 대기 시간을 설정하는 것이 바람직하다. 도 96은 그 실시예이다.

기준 전류가 작을 때에는 화면(50)이 어둡고, 기준 전류가 클 때는 화면(50)이 밝다. 즉, 기준 전류 배율이 작을 때에는, 중간조 표시 상태라고 바꾸어 말할 수 있다. 기준 전류 배율이 높을 때는 고휘도의 화상 표시 상태이다. 따라서, 기준 전류 배율이 낮을 때는, 변화에 대한 시감도가 높기 때문에, 대기 시간을 길게 할 필요가 있다. 한편, 기준 전류 배율이 높을 때는, 변화에 대한 시감도가 낮기 때문에, 대기 시간이 짧아도 좋다. 따라서, 도 96에 도시하는 바와 같이, 기준 전류 배율에 대한 대기 시간을 설정하면 된다.

본 발명은 데이터 합 혹은 APL을 산출(검출)하고, 이 값에 의해 duty비 제어, 기준 전류 제어를 행하는 것이다. 도 98은 이 duty비와 기준 전류 배율을 구하는 흐름도이다.

도 98에 도시하는 바와 같이, 입력된 화상 데이터는 개략의 APL이 산출된다(임시 APL이 산출됨). 이 APL로부터 기준 전류의 값, 기준 전류 배율이 결정된다. 결정된 기준 전류와 기준 전류 배율은, 전자 볼륨 데이터로 변환되어 소스 드라이버 회로(14)에 인가된다.

한편, 화상 데이터는 감마 처리 회로에 입력되고, 감마 특성이 결정된다. 감마 특성이 처리된 화상 데이터로부터 APL이 산출된다. 산출된 APL로부터 duty비를 결정한다. 다음에, 화상이 동화상인지 정지 화상인지에 의해 duty 패턴이 결정된다. duty 패턴이란, 비표시 영역(52)과 표시 영역(53)의 분포 상태이다. 동화상의 경우에는 비표시 영역(52)을 일괄적으로 삽입한다. 정지 화상인 경우에는, 비표시 영역(52)을 분산시켜 삽입으로 한다. 따라서, 정지 화상의 경우에는, 비표시 영역(52)과 표시 영역(53)을 분산시켜 삽입하는 duty 패턴으로 변환한다. 동화상인 경우에는, 비표시 영역(52)을 일괄적으로 삽입하는 duty 패턴으로 변환한다. 변환된 패턴은 게이트 드라이버 회로(12b)의 스타트 펄스 ST(도 6을 참조)로서 인가된다.

도 94, 도 95에서는 duty비에 대응하여 대기 시간을 제어하는 것을 설명하고, 또한 도 89 내지 도 93에 있어서, 데이터 합에 대응하여 duty비 제어를 행하는 것을 설명했다. 도 103은 또한 duty비 제어 및 대기 시간을 행하기 위한 상세한 설명도이다. 단, 설명을 쉽게 하기 위해서, 시간적 팩터 등을 축소하여 표현하고 있다.

도 103에 있어서, 최상단은 프레임(필드) 번호를 나타낸다. 2단째는 APL 레벨(데이터 합이 해당)을 나타내고 있다. 3단째는 APL 레벨에서 산출된 대응 duty비를 나타내고 있다. 최하단은 대기 시간을 고려하여 보정해서 결과의 duty비(처리 duty비)를 나타내고 있다. 즉, 각 프레임의 APL 레벨에 의해 대응 duty비(3단째)는 8/64→9/64→9/64→10/64→9/64→10/64→11/64→11/64→12/64→14/64→……로 변화한다.

대응 duty비에 대하여, 처리 duty비는 대기 시간을 고려하여, 8/64→8/64→9/64→9/64→9/64→10/64→10/64→11

/64→12/64→12/64→……로 변화한다.

도 103에서는 대기 시간에 의해 대응 duty비를 보정하고 있다. 또, 처리 duty비는 분자가 정수로 하고 있다(도 107은 분자에는 소수점이 있는 것과 비교한 것). 도 103에서는 duty비의 변화가 순조롭게 하고, 깜박임이 발생하기 어렵도록 구동하고 있다. 도 103에 있어서, 프레임(3, 4, 5)에서 대응 duty비가 9/64, 10/64, 9/64로 변화하고 있지만, 대기 시간 제어를 실시하여, 처리 duty비는 9/64, 9/64, 9/64로 변화하게 하고 있다(프레임(4)에 있어서 점선으로 보정 개소를 기재하고 있음). 또한, 도 103에 있어서, 프레임(9, 10, 11)에서 대응 duty비가 12/64, 14/64, 11/64로 변화하고 있지만, 대기 시간 제어를 실시하여, 처리 duty비는, 12/64, 12/64, 11/64로 변화하게 하고 있다(프레임(10)에 있어서 점선으로 보정 개소를 기재하고 있음). 이상과 같이 대기 시간 제어를 행함으로써, duty비 제어에 히스테리시스(시간 지연 혹은 저역 통과 필터)를 갖게 하는 것에 의해, APL 레벨이 급격하게 변화해도 duty비가 변화하지 않도록 하고 있다.

이상과 같은, duty비 제어는 1 프레임 혹은 1 필드에서 완결할 필요는 없다. 수 필드(수 프레임)의 기간에 duty비 제어를 행하여도 좋다. 이 경우의 duty비는 수 필드(수 프레임)의 평균값을 duty비로 한다. 또, 수 필드(수 프레임)에서 duty비 제어를 행하는 경우에도, 수 필드(수 프레임) 기간은 6 필드(6 프레임) 이하로 하는 것이 바람직하다. 이 이상이면 깜박임이 발생하는 경우가 있기 때문이다. 또한, 수 필드(수 프레임)이란 정수가 아니고, 2.5 프레임(2.5 필드) 등이어도 좋다. 즉, 필드(프레임) 단위에는 한정되지 않는다.

도 104는 수 필드(수 프레임)에서 duty비 제어를 행하는 경우의 실시예이다. 도 104는 수 필드(수 프레임)를 행하는 경우의 개념을 도시하고 있다. M은 duty비 제어를 행하는 길이이다. 1 필드(1 프레임)가 화소 행 수 256이면, M=1024는 4 필 드(4 프레임)가 해당한다. 즉, 도 104는 4 필드(4 프레임)에서 duty비 제어를 행하는 실시예이다.

M은 가상적 게이트 드라이버 회로(12b)의 시프트 레지스터(61b)의 유지 데이터 열을 도시하고 있다(도 6을 참조). 유지 데이터 열에는 게이트 신호선(17b)에 인가하는 전압을 오프 전압으로 할지 온 전압으로 할지의 데이터(온 오프 전압)가 유지되고 있다. 이 유지 데이터 열의 평균값이 duty비를 나타내게 된다. 또, 도 104에 있어서, M=N이어도 되는 것은 물론이다. 또한, 경우에 따라서는, M<N의 관계로 duty비 제어를 행하여도 됨은 물론이다.

예를 들면, M=1024의 유지 데이터 열에 있어서, 온 전압 데이터가 256이고, 오프 전압이 768이면, duty비는 256/1024=1/4이 된다. 또, 온 전압 데이터의 분포 상태는, 표시 화상이 동화상인 경우에는, 뭉쳐서 유지되어 있고, 표시 화상이 정지 화상인 경우에는, 온 전압의 분포 상태는 분산하여 유지되어 있다.

즉, 가상적으로 온 오프 전압 데이터 열이 EL 표시 패널의 게이트 신호선(17b)에 순차 인가된다. 온 오프 전압이 순차 인가됨으로써 EL 표시 패널이 duty비 제어되어, 소정의 밝기로 유지된다.

도 105는 도 104의 duty비 제어를 실현하기 위한 회로 구성의 블록도이다. 우선, 영상 신호(화상 데이터)는 Y 변환 회로(1051)에 의해, 휘도 신호로 변환된다. 다음에, APL 연산 회로(1052)에 의해, APL 레벨(데이터 합 혹은 데이터 합/최대값)이 구해진다. 이 APL 레벨에 의해 duty비가 필드(프레임) 단위로 산출되어, 결과는 스택(1053)에 저장된다. 스택 회로(1053)는 선입선출(first in first out) 구성이다. 또, 대기 시간 제어에 의해 duty비는 보정되어 스택 회로(1053)에 저장된다. 스택(1053)에 저장된 duty비 데이터는, 병렬/직렬 변환(P/S) 회로(1054)에 의해, 시프트 레지스터(61b)의 ST 펄스(도 6을 참조)로서 인가되고, 인가된 데이터의 순서에 따라서 게이트 드라이버 회로(12b)에서 게이트 신호선(17b)의 온 오프 전압이 출력된다.

이상의 실시예에서는, 필드 혹은 프레임으로 duty비 제어를 실시하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 1 프레임=4 필드로 하고, 복수의 필드를 단위로 하여 duty비 제어를 행하여도 좋다. 복수의 필드를 이용하여 duty비 제어를 행함으로써, 깜박임이 발생하지 않는 원활한 화상 표시를 실현할 수 있다.

도 106에 있어서, 1-1은 1 프레임의 제1 필드를 의미하고, 1-2는 1 프레임의 제2 필드를 의미하고, 1-3은 1 프레임의 제3 필드를 의미하고, 1-4는 1 프레임의 제4 필드를 의미한다. 또한, 2-1은 2 프레임의 제1 필드를 의미한다.

duty비가 128/1024→132/1024로 변화하게 하는 경우에는, 1-1에서는 128/1024, 1-2에서는 129/1024, 1-3에서는 130/1024, 1-4에서는 131/1024, 2-1에서는 132/1024로 변화시킨다. 이상의 변화에 의해 128/1024에서 132/1024로 완만하게 변화한다.

duty비가 128/1024→130/1024으로 변화하게 하는 경우에는, 1-1에서는 128/1024, 1-2에서는 128/1024, 1-3에서는 129/1024, 1-4에서는 129/1024, 2-1에서는 130/1024으로 변화시킨다. 이상의 변화에 의해 128/1024에서 130/1024으로 완 만하게 변화한다.

duty비가 128/1024→136/1024으로 변화하게 하는 경우에는, 1-1에서는 128/1024, 1-2에서는 130/1024, 1-3에

서는 132/1024, 1-4에서는 134/1024, 2-1에서는 136/1024으로 변화시킨다. 이상의 변화에 의해 128/1024에서 136/1024로 완만하게 변화한다.

필드(프레임)의 duty비 제어에 있어서의 duty비의 분자는 정수일 필요는 없다. 예를 들면, 도 107에 도시하는 바와 같이, 소수점 이하로 되도록 제어해도 된다. 분자를 소수점 이하로 하는 것은, OEV2 단자를 제어함으로써 용이하게 실현할 수 있다. 또한, 복수의 프레임(필드)에서의 평균 duty비를 이용함으로써 duty비의 분모에 소수점 이하를 발생시킬 수 있다. 반대로, duty비의 분자에 소수점 이하를 발생하도록 하여도 좋다. 도 107에서는 분자를 30.8, 31.2 등 소수점 이하로 하고 있다. 또, 분모, 분자를 일정 이상의 큰 정수로 함으로써 소수점 이하를 필요 없도록 할 수 있다.

동화상과 정지 화상에서는, duty비 패턴을 변화시킨다. duty비 패턴을 급격하게 변화시키면 화상 변화가 인식되어 버리는 경우가 있다. 또한, 깜박임이 발생하는 경우가 있다. 이 과제는 동화상의 duty비와 정지 화상의 duty비의 차이에 의해서 발생한다. 동화상에서는 비표시 영역(52)을 일괄해서 삽입하는 duty 패턴을 이용한다. 정지 화상에서는 비표시 영역(52)을 분산하여 삽입하는 duty 패턴을 이용한다. 비표시 영역(52)의 면적/화면 면적 50의 비율이 duty비가 된다. 그러나, 동일 duty비이더라도, 비표시 영역(52)의 분산 상태에서 인간의 시감도는 서로 다 르다. 이것은 인간의 동화상 응답성에 의존하기 때문이라고 생각된다.

중간 동화상은, 비표시 영역(52)의 분산 상태가, 동화상의 분산 상태와 정지 화상의 분산 상태의 중간의 분산 상태이다. 또, 중간 동화상은 복수의 상태를 준비하고, 변화전의 동화상 상태 혹은 정지 화상 상태에 대응시켜 복수의 중간 동화상으로부터 선택해도 된다. 복수의 중간 동화상 상태란, 비표시 영역의 분산 상태가 동화상 표시에 가깝고, 예를 들면, 비표시 영역(52)이 3 분할된 구성이 일례로 예시된다. 또한, 반대로 비표시 영역이 정지 화상과 같이 다수로 분산된 상태가 예시된다.

정지 화상에서도 밝은 화상도 있고 어두운 화상도 있다. 동화상도 마찬가지이다. 따라서, 변화전의 상태에 대응하여 어떤 중간 동화상의 상태로 이행할지를 결정하면 된다. 또한, 경우에 따라서는, 중간 동화상을 경유하지 않고서 동화상에서 정지 화상으로 이행해도 된다. 중간 동화상을 경유하지 않고서 정지 화상에서 동화상으로 이행해도 된다. 예를 들면, 화면(50)이 저휘도인 화상은 동화상 표시와 정지 화상 표시가 직접 이동해도 위화감이 없다. 또한, 복수의 중간 동화상 표시를 경유하여 표시 상태를 이행시켜도 좋다. 예를 들면, 동화상 표시의 duty 상태에서, 중간 동화상 표시 1의 duty비 상태로 이행하고, 또한 중간 동화상 표시 2의 duty 상태로 이행하고 나서 정지 화상 표시의 duty 상태로 이행시키더라도 무방하다.

도 108에 도시하는 바와 같이 동화상 표시에서 정지 화상 표시로 이동할 때에, 중간 동화상 상태를 경유시킨다. 또한, 정지 화상 표시로부터 중간 동화상 표 시를 경유하여 동화상 표시로 이행시킨다. 각 상태의 이행 시간은 대기 시간을 두는 것이 바람직하다.

도 110은 동화상과 정지 화상 및 중간 동화상을 이행할 때의, duty비, 비표시 영역의 분산 수를 나타내고 있다. 도 110에 있어서, 동화상 정지 화상 레벨이 O일 때에는, 화상 표시가 동화상 레벨인 것, 1일 때에는 화상 표시가 준 동화상(중간 동화상) 상태임을 나타내고 있다. 또한, 2일 때에는, 화상 표시가 정지 화상 상태임을 나타내고 있다.

분산 수는 비표시 영역(52)의 분할 수이다. 1이란 비표시 영역(52)이 일괄해서 화면에 삽입되어 있는 것을 나타내고 있다. 30이란 비표시 영역(52)이 30으로 분할하여 삽입되어 있는 것을 나타내고 있다. 마찬가지로 50이란 비표시 영역(52)이 50으로 분할하여 삽입되어 있는 것을 나타내고 있다. duty비는 이전에도 설명했지만, 백 표시의 휘도 저감율을 나타내고 있다. 즉, duty비 1/2이란, 최고의 백 휘도의 1/2의 표시 상태로 되어 있는 것을 나타낸다.

도 110에 도시하는 바와 같이, 동화상 정지 화상 레벨은, 동화상에서 정지 화상으로 이행할 때, 정지 화상에서 동화상으로 이행할 때에 중간 동화상(준 동화상) 상태를 경유하고 난 이후이다.

동화상에서 정지 화상으로 이행하는 시간은, 도 111에 도시하는 바와 같이 대기 시간을 마련하는 것이 바람직하다. 대기 시간은 동화상의 비율에 따라서 결정하면 된다. 도 110의 횡축이 서로 다른 데이터 수란, 어떤 프레임과 다음 프레임 사이에서 동화상 검출을 하고, 동화상 검출에 의해 검출된 동화상의 비율을 나 타내고 있다. 즉, 프레임간에서 연산하여, 화상 데이터가 서로 다른 화소의 비율이 횡축이다. 따라서, 수치가 클수록, 동화상 표시에 가깝다고 하는 것이 된다. 도 110에서는 동화상 표시에 가까울수록, 대기 시간을 길게 확보하고 있다.

또한 duty비 제어에 대하여 설명하기 위해서, 본 발명의 유기 EL 표시 장치의 전원 회로에 대하여 설명한다. 도 112는 본 발명의 전원 회로의 구성도이다. (1122)는 제어 회로이다. 저항(1125a와 1125b)의 중점 전위를 제어하고, 트랜지스터(1126)의 게이트 신호를 출력한다. 트랜스포머(1121)의 1차측에는 전원 Vpc가 인가되고, 1차측의 전류가 트랜지스터(112)6의 온 오프 제어에 의해 2차측으로 전달된다. (1123)는 정류 다이오드이고, (1124)는 평활화 컨덴서이다.

유기 EL 표시 패널은 애노드 Vdd와 캐소드 Vk 사이에 EL 소자(15)가 형성(배치)되어 있다. 도 112의 전원 회로로부터 애노드 Vdd 전압 및 캐소드 Vk 전압의 공급을 받는다. EL 소자(15)가 발광하지 않을 때에는, 애노드-캐소드 사이에 흐르는 전류는 O이다. 본 발명의 duty비 제어에서는, 화소 행마다 게이트 신호선(17b)의 온 오프 전압으로 인가하여, EL 소자(15)의 전류 제어를 행한다. 또한, 온 전압을 인가한 게이트 신호선(17b)의 위치는 주사된다. 예를 들면, 도 97은 비표시 영역(52)을 4 분할한 실시예이다. 도 97의 (a), (b), (c), (d)는 비표시 영역(52)의 크기가 서로 다르다. 그러나, 비표시 영역(52)은 화면(50)의 상부에서 하부로 주사된다(이동해 감). 마찬가지로 표시 영역(53)도 화면(50)의 위에서 아래 방향으로 주사된다. 비표시 영역(52)에 해당하는 화소(16)의 EL 소자(15)에는 전류가 흐르지 않는다. 한편, 표시 영역(53)에 해당하는 화소(16)의 EL 소자(15)에는 전 류가 흐른다.

여기서 과제를 설명하기 위해서, 1 화소 행마다 비표시 영역(52)과 표시 영역(53)이 반복되는 표시 패턴을 예시한다. 이 표시 상태는 흑백의 가로 스트라이프 표시이다. 즉, 홀수 화소 행이 백 표시이고, 짝수 화소 행이 흑 표시이다. 또, 이 표시 패턴을 1 가로 스트라이프라고 부른다.

화소 행 수를 220 화소 행 수 있다고 하고, duty비를 110/220의 상태를 예시한다. duty비 110/220이란, 게이트 신호선(17b)에 대하여, 1 화소 행마다 온 전압과 오프 전압이 인가된 상태이다. 또한, 온 전압 또는 오프 전압이 인가된 게이트 신호선(17b) 위치는, 수평 동기 신호에 동기하여 주사된다. 따라서, 어떤 화소 행의 게이트 신호선(17b)에 주목하면, 이 게이트 신호선(17b)에는 수평 동기 신호에 동기하여, 온 전압 인가 상태와 오프 전압 인가 상태가 교대로 반복된다. 화면(50) 전체로 생각하면 짝수 화소 행에 온 전압이 인가된다. 이 기간에는 홀수 화소 행에는 오프 전압이 인가되어 있다. 1 수평 주사 기간 후에 홀수 화소 행에 온 전압이 인가된다. 이 기간에는 짝수 화소 행에는 오프 전압이 인가된다.

홀수 화소 행이 백 표시이고, 짝수 화소 행이 흑 표시인 1 가로 스트라이프 표시에서는, 홀수 화소 행에 온 전압이 인가되었을 때에는, 전원 회로에서 표시 영역에 전류가 흐른다. 그러나, 짝수 화소 행에 온 전압이 인가되었을 때는, 짝수 화소 행이 흑 표시이기 때문에, 전원 회로에서 표시 영역에는 전류가 흐르지 않는다. 따라서, 전원 회로는 1 수평 주사 기간마다, 전류를 흘리는 동작과, 전류를 전혀 흘리지 않는 동작을 반복하게 된다. 이 동작은 전원 회로에서 바람직한 것이 아니다. 전원 회로에 과도 현상이 발생하고, 또한 전원 효율이 악화되기 때문이다.

이 과제를 해결하는 구동 방식을 도 100에 도시한다. 도 100에서는, duty비를 1/2로 하지 않고, 복수의 duty비의 상태가 화면(50) 내에서 발생하도록 하여, 1가로 스트라이프 표시이더라도 항상 전류가 흐르도록 제어하고 있다.

도 100의 (a)(b)는 duty비 1/2과 duty비 1/1과 duty비 1/3을 발생시켜, 전체적으로(1 프레임 기간 평균해서) duty비 1/2를 실현하고 있다. 이상과 같이, 복수의 duty비를 1 프레임 기간에 조합함으로써 1가로 스트라이프 표시이더라도, 전원 회로로부터의 출력 전류가 온 오프 상태로 되는 일이 없어진다. 즉, 비교적 1 가로 스트라이프 등의 규칙 바른 표시 패턴은 많이 표시되는 일이 많다. 이에 대하여, 비표시 영역(52) 폭이 등간격이 되는 duty비 패턴에 의한 duty비 제어를 행하면 전원 회로에 부담이 발생하기 쉽다. 따라서, duty비 패턴은 화면(50)에 동시에 복수 발생하도록 구동하는 것이 바람직하다. 또한, duty비 패턴은 단일 duty비 패턴으로 하지 않고, 1 프레임 또는 복수 프레임(필드)의 평균으로서 소정 duty비가 되도록 하는 것이 바람직하다.

또, 도 100에 있어서, duty비 패턴은 도 97에 도시하는 바와 같이 화면(50)의 위에서 아래 방향으로 주사되는 것은 물론이다. 또한, 본 발명의 duty비 제어 방법에 있어서, 수평 동기 신호에 동기하여 1 화소 행마다 주사 위치를 이동시킨다고 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 수평 동기 신호에 동기하여 복수 화소 행씩 주사 위치를 이동시켜 좋다. 또한, 주사 방향은 화면(50)의 위에 서 아래 방향에 한정하는 것이 아니다. 예를 들면, 1 필드째는 화면(50)의 위에서 아래 방향으로 주사하고, 2 필드째는 화면(50)의 아래에서 위 방향으로 주사해도 된다.

도 100은 이산한 1 화소 행의 게이트 신호선(17b)마다 온 전압 인가와 오프 전압 인가하는 구동 방법이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 도 101a는 도 100의 구동 상태이다. 마찬가지의 화면(50) 휘도를 실현하는 구동은, 도 101의 (b)의 duty비 패턴으로 실현할 수 있다. 도 101의 (b)에서는 온 전압 또는 오프 전압이 인가되는 화소 행 연속하게 하고 있다.

동일한 화면(50) 휘도를 실현하는 duty비 패턴은 다종다양한 패턴이 있다. 도 102의 (a)에 도시하는 바와 같이, 비표시 영역(52)을 매우 많이 분산시키는 패턴도 있으며 도 102의 (b)와 같이 비교적 비표시 영역(52)의 분산 상태를 적게 한 패턴도 있다. 도 102의 (a)의 패턴도 도 102의 (b)의 패턴의 duty비를 약분하면 동일해진다. 따라서, 화면(50) 휘도는 동일하게 할 수 있다.

EL 표시 패널에서는, EL 소자(15)의 열화에 의해 화상이 타붙는다고 하는 문제가 있다. 특히 화상은 고정 패턴에서 타붙기 쉽다. 이 과제에 대응하기 위해서, 본 발명은 고정 패턴을 표시하는 서브 화상 표시 영역(50b)(서브 화면)을 구비하고 있다. 표시 영역(50a)(메인 화면)은 텔레비전 화상 등의 동화상 표시 영역이다.

도 147의 본 발명의 EL 표시 패널에서는 서브 화면(50b)과 메인 화면(50a)의 게이트 드라이버 회로(12)가 공통이다. 서브 화면(50a)은 20 화소 행 이상으로 한 다. 따라서, 일례로서 화면(50)은 메인 화면(50a)의 220 화소 행과, 서브 화면(50b)의 24 화소 행으로 구성된다. 또, 화소 열 수는 176×RGB이다.

메인 화면(50a)과 서브 화면(50b)은 도 149에 도시하는 바와 같이, 명확하게 분리해도 된다. 도 149에서는 메인 화면(50a)과 서브 화면(50b) 사이에 스페이스 BL을 마련하고 있다. 스페이스 BL은 화소(16)가 형성되어 있지 않은 영역이다.

또, 메인 화면(메인 패널)과 서브 화면(서브 패널)의 화소의 구동용 트랜지스터(17a)의 W/L(W는 구동용 트랜지스터의 채널 폭, L은 구동용 트랜지스터의 채널 길이)을 변화시켜도 좋다. 기본적으로는 서브 화면(서브 패널)의 W/L을 크게 한다. 또한, 메인 화면(메인 패널)(50a)의 화소(16a) 사이즈와 서브 화면(서브 패널)(50b)의 화소(16b) 사이즈의 크기를 변화시키더라도 좋다. 또한, 메인 화면(메인 패널)(50a)의 애노드 전원 혹은 캐소드 전원과, 서브 화면(서브 패널)(50b)의 애노드 전압 Vdd 혹은 캐소드 전압 Vk을 별도 전압으로 하고, 인가하는 전압을 변화시켜도 된다.

또한, 서브 패널(71a)과 메인 패널(71a)을 도 150의 (b)에 도시하는 바와 같이 거듭 사용하는 경우에는, 밀봉 기판(밀봉 박막층)(85a)과 밀봉 기판(밀봉 박막층)(85b) 사이에 완충 시트(1504)를 배치 혹은 형성한다. 완충 시트(1504)로서는, 마그네슘 합금 등의 금속으로 이루어지는 판 혹은 시트, 폴리에스테르 등의 수지로 이루어지는 판 혹은 시트가 예시된다.

도 150에도 도시하는 바와 같이, 서브 화면(50b)을 표시하는 서브 패널(71b)을 별도 마련하여도 된다. 메인 패널(71a)과 서브 패널(71b)은 플렉시블 기판(84) 으로 소스 신호선(18a와 18b)에 접속한다. 플렉시블 기판(84)에는 접속 배선(1503)을 형성해 둔다. 소스 신호선(18a)의 종단에는 아날로그 스위치(1501)로 구성되는 아날로그 스위치군을 배치한다. 아날로그 스위치(1501)는 소스 드라이버 회로(14)로부터의 전류 신호를 서브 패널(71b)에 공급할지 여부의 제어를 행하는 것이다.

아날로그 스위치(1501)의 온 오프 제어를 행하기 위해서, 스위치 제어선(1502)이 형성된다. 스위치 제어선(1502)에의 로직 신호에 의해 서브 패널에의 신호 공급이 제어되어 화상이 표시된다.

또, 서브 패널(71b)에 게이트 드라이버 회로를 형성하지 않고, 혹은 게이트 드라이버 IC 칩을 실장하지 않고, 도 9에서 설명한 바와 같이 WR측에 게이트 신호선(17)을 형성하고, 도 40에서 설명한 점등 제어선(401)을 형성 또는 배치해도 된다.

아날로그 스위치(1501)는 도 152에 도시하는 바와 같이 P 채널과 N채널을 조합한 CMOS 타입이 바람직하다. 스위치 제어선(1502)의 도중에 인버터(1521)를 배치하여 스위치(1501)를 온 오프 제어한다. 또한, 도 153에 도시하는 바와 같이, 아날로그 스위치(1501b)는 P 채널만으로 형성해도 된다.

또한, 서브 패널(71b)과 메인 패널(71a)에서 소스 신호선(18) 수가 서로 다른 경우에는, 도 154와 같이 구성해도 된다. 아날로그 스위치(1501a와 1501b)의 출력을 쇼트하여, 동일한 단자(1322a)에 접속한다. 또한, 도 155에 도시하는 바와 같이, 아날로그 스위치(1501b)의 출력을 Vdd 전압에 접속하여, 온하지 않도록 구성 해도 된다. 또, 도 156에 도시하는 바와 같이, 서브 패널(71b)과 접속하는 것이 불필요한 소스 신호선(18)의 종단에는 아날로그 스위치(1501a)(1501a1, 1501a2)를 배치 또는 형성해도 된다. 아날로그 스위치(1501a)는 오프 전압을 인가하여, 온하지 않도록 구성한다.

이어서, 본 발명의 구동 방식을 실시하는 본 발명의 표시 기기에 대한 실시예에 대하여 설명한다. 도 157은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 프레임(193)에 안테나(1571), 텐 키(1572) 등이 부착되어 있다. (1572) 등이 표시 색 전환 키 혹은 전원 온 오프, 프레임 레이트 전환 키이다.

키(1572)를 한번 누르면 표시 색은 8색 모드로, 계속해서 동 「키(1572)를 누르면 표시 색은 4096색 모드, 또한 키(1572)를 누르면 표시 색은 26만색 모드로 되도록 시퀀스를 조합하여도 좋다. 키는 누를 때마다 표시 색 모드가 변화하는 토글 스위치로 한다. 또, 별도 표시 색에 대한 변경 키를 마련하여도 된다. 이 경우, 키(1572)는 3개(이상)가 된다.

키(1572)는 푸시 스위치 외에, 슬라이드 스위치 등의 다른 메카니컬한 스위치여도 좋고, 또한 음성 인식 등에 의해 전환하는 것이어도 좋다. 예를 들면, 4096색을 수화기에 음성 입력하는 것, 예를 들면, 「고 품위 표시」, 「4096색 모드」 혹은 「저 표시 색 모드」라고 수화기에 음성 입력함으로써 표시 패널의 표시 화면(50)에 표시되는 표시 색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다.

또한, 표시 색의 전환은 전기적으로 전환하는 스위치여도 좋고, 표시 패널의 표시부(50)에 표시시킨 메뉴를 터치하는 것에 의해 선택하는 터치 패널이어도 좋다. 또한, 스위치를 누르는 횟수로 전환하거나, 혹은 클릭 볼과 같이 회전 혹은

방향에 의해 전환하도록 구성해도 된다.

(1572)는 표시 색 전환 키로 했지만, 프레임 레이트를 전환하는 키 등으로 해도 된다. 또, 동화상과 정지 화상을 전환하는 키 등으로 해도 된다. 또, 동화상과 정지 화상과 프레임 레이트 등의 복수의 요건을 동시에 전환하더라도 좋다. 또한, 계속 누르면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성해도 된다. 이 경우에는 발진기를 구성하는 컨덴서 C, 저항 R 중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 컨덴서는 트리머 컨덴서로 함으로써 실현할 수 있다. 또한, 반도체 칩에 복수의 컨덴서를 형성해 놓고, 하나 이상의 컨덴서를 선택하여, 이들을 회로적으로 병렬로 접속하는 것에 의해 실현해도 된다.

또한, 본 발명의 EL 표시 패널 혹은 EL 표시 장치 혹은 구동 방법을 채용한 실시 형태에 대하여, 도면을 참조하면서 설명한다.

도 158은 본 발명의 실시 형태에서의 뷰 파인더의 단면도이다. 단, 설명을 쉽게 하기 위해서 모식적으로 도시하고 있다. 또한 일부 확대 혹은 축소한 개소가 존재하고, 또한 생략한 개소도 있다. 예를 들면, 도 158에 있어서, 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에도 해당된다.

바디(1573)의 이면은 암색 혹은 흑색으로 되어 있다. 이것은 EL 표시 패널(표시 장치)(1574)로부터 출사한 미광이 바디(1573)의 내면으로 난반사하고 표시 콘 트라스트의 저하를 방지하기 때문이다. 또한, 표시 패널의 광 출사측에는 위상판(λ/4판 등)(108), 편광판(109) 등이 배치되어 있다. 이것은 도 10, 도 11에서도 설명하고 있다.

접안 링(1581)에는 확대 렌즈(1582)가 부착되어 있다. 관찰자는 접안 링(1581)을 바디(1573) 내에서의 삽입 위치를 가변하고, 표시 패널(1574)의 표시 화상(50)에 핀트가 맞도록 조정한다.

또한, 필요에 따라 표시 패널(1574)의 광 출사측에 플러스 렌즈(1583)를 배치하면, 확대 렌즈(1582)에 입사하는 주광선을 수속시킬 수 있다. 그 때문에, 확대 렌즈(1582)의 렌즈 직경을 작게 할 수 있어, 뷰 파인더를 소형화할 수 있다.

도 159는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(1592)와 비디오 카메라 본체(1573)를 구비하고, 촬영 렌즈부(1592)와 뷰 파인더부(1573)는 등을 맞대듯이 되어 있다. 또한, 뷰 파인더(도 158도 참조)(1573)에는 접안 커버가 부착되어 있다. 관찰자(사용자)는 이 접안 커버부에서 표시 패널(1574)의 화상(50)을 관찰한다.

한편, 본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시 화면(50)은 지점(1591)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(50)을 사용하지 않을 때에는, 저장부(1593)에 저장된다.

스위치(1594)는 이하의 기능을 실시하는 전환 혹은 제어 스위치이다. 스위치(1594)는 표시 모드 전환 스위치이다. 스위치(1594)는 휴대 전화 등에도 부착하는 것이 바람직하다. 이 표시 모드 전환 스위치(1594)에 대하여 설명한다.

본 발명의 구동 방법의 하나에 N배의 전류를 EL 소자(15)에 흘려 보내, 1F의 1/M 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘려 보낸다. 점등 기간을 1/M로 하고, M=1, 2, 3, 4로 전환하면, 1배 내지 4배까지의 밝기 전환이 가능해진다. 또, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경 가능하도록 구성해도 된다.

이상의 전환 동작은 휴대 전화, 모니터 등의 전원을 온했을 때에, 표시 화면(50)을 매우 밝게 표시하고, 일정한 시간을 경과한 후에는, 전력 세이브하기 위해서, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기로 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는 화면을 매우 밝게 한다. 옥외에서는 주변이 밝고, 화면이 전혀 보이지 않게 되기 때문이다. 그러나, 높은 휘도로 계속 표시하면 EL 소자(15)는 급격히 열화된다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀시키도록 구성해 둔다. 또한, 고휘도로 표시시키는 경우에는, 사용자가 버튼을 누름으로써 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 사용자가 버튼 스위치(1594)에 의해 전환할 수 있도록 하여 놓는다든지, 설정 모드로 자동적으로 변경할 수 있다든지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

또, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분 포 표시란, 중앙부의 휘도가 밝고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝다고 느껴진다. 주관 평가에 따르면, 주변부가 중앙부에 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더욱 저감시켜, 50% 휘도로 하여도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘려 보내, 1F의 1/M 기간만 점등시키는 방법)을 이용하여 화면의 위에서 아래 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값을 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은 게이트 드라이버 회로(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면의 좌우의 밝기 변조는 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 했을 때, 100% 휘도의 경우에 비교하여 약 20%의 저 소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 했을 때, 100% 휘도의 경우에 비하여 약 15%의 저 소비 전력화가 가능하다.

또, 가우스 분포 표시는 온 오프할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예를 들면, 옥외 등에서, 가우스 표시시키면 화면 주변부가 전혀 보이지 않게 되기 때문이다. 따라서, 사용자가 버튼으로 전환할 수 있도록 하여 놓는다든지, 설정 모드로 자동적으로 변경할 수 있는다든지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

액정 표시 패널에서는 백라이트로 고정의 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온 오프를 행하는 것은 불가능하다. 가우스 분포를 온 오프할 수 있는 것은 자기 발광형의 표시 디바이스 특유의 효과이다.

또한, 프레임 레이트가 소정일 때, 실내의 형광등 등의 점등 상태와 간섭하여 깜박임이 발생하는 경우가 있다. 즉, 형광등이 60Hz의 교류로 점등하고 있을 때, EL 표시 소자(15)가 프레임 레이트 60Hz에서 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하듯이 느껴지는 경우가 있다. 이를 피하기 위해서는 프레임 레이트를 변경하면 된다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또, N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘려 보내, 1F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(1594)에서 실현할 수 있도록 한다. 스위치(1594)는 표시 화면(50)의 메뉴에 따라 복수회 누름으로써, 이상에서 설명한 기능을 전환하여 실현한다.

또, 이상의 사항은 휴대 전화만에 한정되는 것이 아니며, 텔레비전, 모니터 등에 이용할 수 있는 것은 물론이다. 또한, 어떠한 표시 상태에 있는지를 사용자가 곧 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 두는 것이 바람직하다. 이상의 사항은 이하의 사항에 대하여도 마찬가지이다.

본 실시 형태의 EL 표시 장치 등은 비디오 카메라뿐만아니라, 도 160에 도시한 바와 같은 전자 카메라, 스틸카메라 등에도 적용할 수 있다. 표시 장치는 카메 라 본체(1601)에 부속된 모니터(50)로서 이용한다. 카메라 본체(1601)에는 셔터(1603) 외에, 스위치(1594)가 부착되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형인 경우이지만, 30인치 이상으로 대형으로 하면 표시 화면(50)이 휘기 쉽다. 그 대책을 위해, 본 발명에서는 도 161에 도시한 바와 같이 표시 패널에 외부 프레임(1611)을 붙이고, 외부 프레임(1611)을 매달듯이 고정 부재(1614)로 부착하고 있다. 이 고정 부재(1614)를 이용하여 벽 등에 부착한다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 무거워진다. 그 때문에, 표시 패널의 하측에 다리 부착부(1613)를 배치하고, 복수의 다리(1612)로 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(1612)는 A에 도시한 바와 같이 좌우로 이동할 수 있고, 또한 다리(1612)는 B에 도시한 바와 같이 수축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소에서도 표시 장치를 용이하게 마련할 수 있다.

도 161의 텔레비전에서는 화면의 표면을 보호 필름(보호판이어도 됨)으로 피복하고 있다. 이것은 표시 패널의 표면에 물체가 닿아 파손되는 것을 방지하는 것이 하나의 목적이다. 보호 필름의 표면에는 AIR 코팅이 형성되어 있고, 또한 표면을 엠보싱 가공함으로써 표시 패널에 밖의 상황(외광)이 찍혀 들어가는 것을 억제하고 있다.

보호 필름과 표시 패널 사이에 비즈 등을 산포함으로써, 일정 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하고, 이 볼 록부에 의해 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지함으로써 보호 필름으로부터의 충격이 표시 패널에 전달되는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 혹은 겔형의 아크릴 수지 혹은 에폭시 등의 고체 수지 등의 광 결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 동시에, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호 필름으로서는, 폴리카보네이트 필름(판), 폴리프로필렌 필름(판), 아크릴 필름(판), 폴리에스테르 필름(판), PVA 필름(판) 등이 예시된다. 기타 엔지니어링 수지 필름(ABS 등)을 이용할 수 있음은 물론이다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이어도 좋다. 보호 필름을 배치하는 대신에, 표시 패널의 표면을 에폭시 수지, 페놀 수지, 아크릴 수지로 0.5mm 이상 2.0mm 이하의 두께로 코팅하는 것도 마찬가지 효과가 있다. 또한, 이들 수지 표면에 엠보싱 가공

등을 하는 것도 유효하다.

또한, 보호 필름 혹은 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 닿는 오물을 세제 등으로 용이하게 닦아낼 수 있기 때문이다. 또한, 보호 필름을 두껍게 형성하여, 프론트 라이트와 겸용해도 된다.

본 발명의 실시예에서의 표시 패널은 3변 프리의 구성과 조합하는 것도 유효하다 것은 물론이다. 특히 3변 프리의 구성은 화소가 비정질 실리콘 기술을 이용하여 제작되었을 때에 유효하다. 또, 비정질 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 변동의 프로세스 제어가 불가능하기 때문에, 본 발명의 N 배 펄스 구동, 리셋 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 즉, 본 발명에 있어서의 트랜지스터(11) 등은, 폴리실리콘 기술에 의한 것에 한정되는 것이 아니며, 비정질 실리콘에 의한 것이어도 된다. 즉, 본 발명의 표시 패널에 있어서 화소(16)를 구성하는 트랜지스터(11)는 비정질 실리콘 기술로 이용하여 형성한 트랜지스터이어도 된다. 또, 게이트 드라이버 회로(12), 소스 드라이버 회로(14)도 비정질 실리콘 기술을 이용하여 형성 혹은 구성해도 됨은 물론이다.

또, 본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등) 등은, 저온 폴리실리콘 기술로 트랜지스터(11)를 형성한 표시 패널보다도, 비정질 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 비정질 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 거의 일치하고 있기 때문이다. 따라서, 가산한 전류로 구동해도 개개의 트랜지스터의 구동 전류는 거의 목표치로 되어 있다(특히, 도 22, 도 24, 도 30의 N배 펄스 구동은 비정질 실리콘으로 형성한 트랜지스터의 화소 구성에서 유효함).

duty비 제어 구동, 기준 전류 제어, N배 펄스 구동 등 본 명세서에서 기재한 본 발명의 구동 방법 및 구동 회로 등은, 유기 EL 표시 패널의 구동 방법 및 구동 회로 등에 한정되는 것이 아니다. 도 173에 도시하는 바와 같이 필드 에미션 디스플레이(FED) 등의 다른 디스플레이에도 적용할 수 있는 것은 물론이다.

도 173의 FED에서는 어레이 기판(71)상에 매트릭스 형상으로 전자를 방출하는 전자 방출 돌기(1733)(도 10에서는 화소 전극(105)이 해당됨)가 형성되어 있다. 화소에는 영상 신호 회로(1732)(도 1에서는 소스 드라이버 회로(14)가 해당됨)로부 터의 화상 데이터를 유지하는 유지 회로(1734)가 형성되어 있다(도 1에서는 컨덴서가 해당됨). 또한, 전자 방출 돌기(1733)의 전면에는 제어 전극(1731)이 배치되어 있다. 제어 전극(1731)에는 온 오프 제어 회로(1735)(도 1에서는 게이트 드라이버 회로(12)가 해당됨)에 의해 전압 신호가 인가된다.

도 173의 화소 구성에서, 도 174에 도시하는 바와 같이 주변 회로를 구성하면, duty비 제어 구동 혹은 N배 펄스 구동 등을 실시할 수 있다. 영상 신호 회로(1732)에서 소스 신호선(18)으로 화상 데이터 신호가 인가된다. 온 오프 제어 회로(1735a)에서 선택 신호선(2173)에 화소(16) 선택 신호가 인가되어 순차 화소(16)가 선택되고, 화상 데이터가 기입된다. 또한, 온 오프 제어 회로(1735b)에서 온 오프 신호선(1742)으로 온 오프 신호가 인가되어, 화소의 FED가 온 오프 제어(duty비 제어)된다.

본 발명의 실시예에서 설명한 기술적 사상은 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. , 또한, 뷰 파인더, 휴대 전화의 모니터, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트북 컴퓨터, 비디오 카메라, 전자 스틸 카메라에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 텔레비전 전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정전기 기기의 표시 모니터, 포켓 게임기기 및 그 모니터, 표시 패 널용 백라이트 혹은 가정용 혹은 업무용의 조명 장치 등에도 적용 혹은 응용 전개할 수 있음은 물론이다. 조명 장치는 색 온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은 RGB의 화소를 스트라이프형 혹은 도트매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다. 또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용할 수 있다.

또한, 스캐너의 광원으로서도 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스를 광원으로 하여, 대상물에 빛을 조사하여 화상을 판독한다. 물론, 단색이어도 되는 것은 물론이다. 또한, 액티브 매트릭스에 한정되는 것이 아니며, 단순매트릭스라도 무방하다. 색 온도를 조정 가능하도록 하면 화상 판독 정밀도도 향상된다.

또한, 액정 표시 장치의 백라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백라이트)의 RGB의 화소를 스트라이프형 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있고, 또한 밝기의 조정도 용이하다. 게다가, 면 광원이므로, 화면의 중앙부를 밝고 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B광을 교대로 주사하는, 필드 시켄셜 방식의 액정 표시 패널의 백라이트로서도 유효하다. 또, 백라이트를 점멸해도 흑 삽입하는 것에 의해 동화상 표시용 등의 액정 표시 패널의 백라이트로서도 이용 가

능하다.

산업상 이용 가능성

본 발명의 소스 드라이버 회로는, 커런트 미러 회로를 구성하는 트랜지스터 가 인접하도록 형성하고 있기 때문에, 임계값의 어긋남에 의한 출력 전류의 변동이 작다. 따라서, EL 표시 패널의 휘도 불균일 발생을 억제하는 것이 가능해져, 그 실용적 효과가 크다.

또한, 본 발명의 표시 패널, 표시 장치 등은 고화질, 양호한 동화상 표시 성능, 저 소비 전력, 저 비용화, 고 휘도화 등의 각각의 구성에 대응하여 특징 있는 효과를 발휘한다.

또, 본 발명을 이용하면, 저 소비 전력의 정보 표시 장치 등을 구성할 수 있기 때문에, 전력을 소비하지 않는다. 또, 소형 경량화할 수 있기 때문에, 자원을 소비하지 않는다. 또한, 고정밀 표시 패널이더라도 충분히 대응할 수 있다. 따라서, 지구 환경, 우주 환경에 우수한 것이 된다.

(57) 청구의 범위

청구항 1.

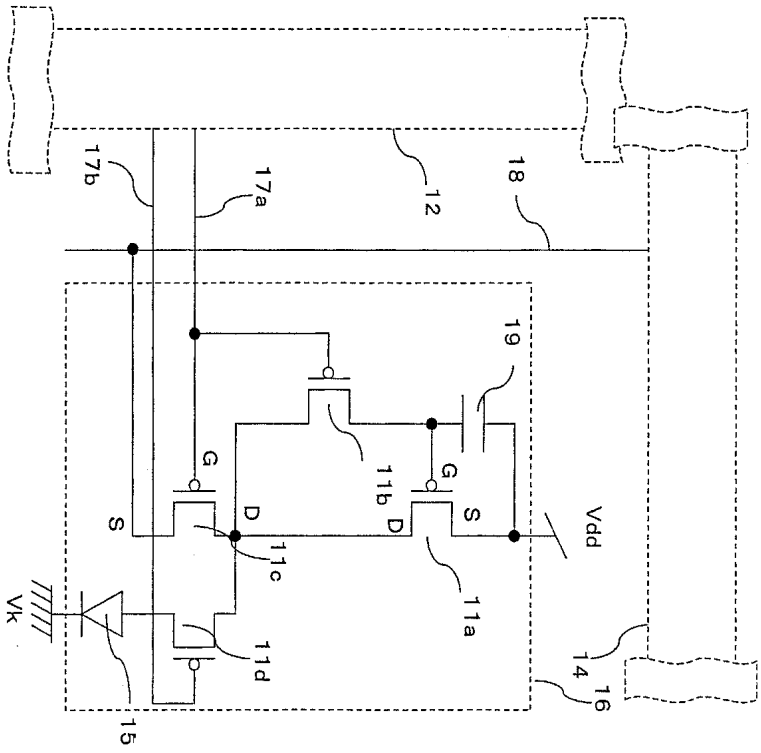
각 화소에 구동용 트랜지스터와 EL 소자 사이의 전류 경로를 온 오프 제어하는 스위치 소자를 갖는 EL 표시 장치의 구동 방법에 있어서,

화상 데이터 또는 화상 데이터에 준하는 데이터를 집계하고,

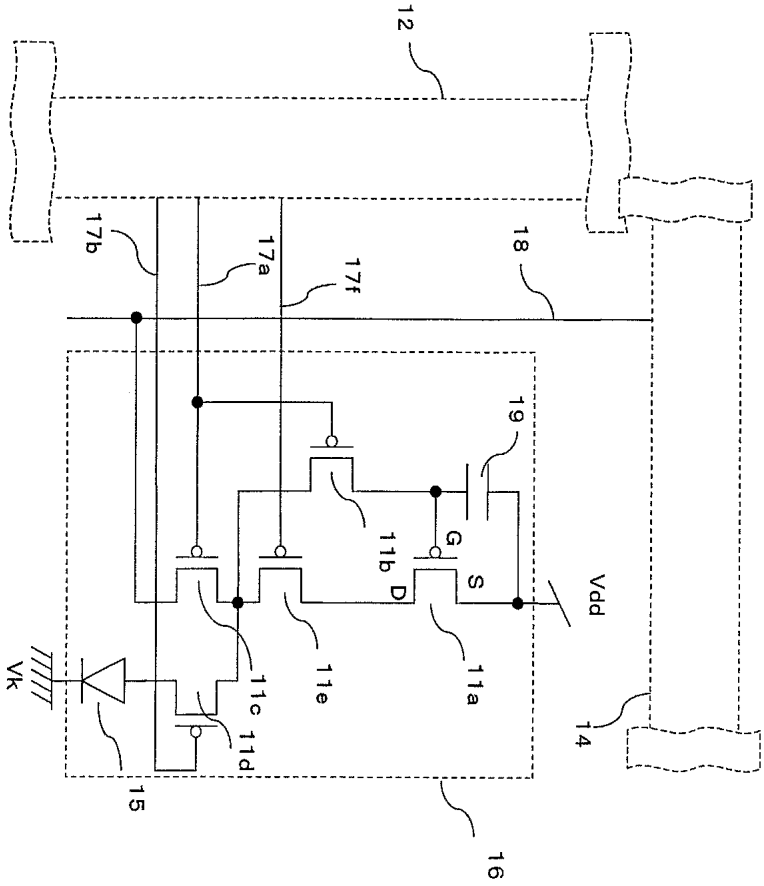
상기 집계한 데이터가 적을 때보다도 클 때가 상기 스위치 소자를 오프 상태로 하는 기간을 길게 하는 EL 표시 장치의 구동 방법.

도면

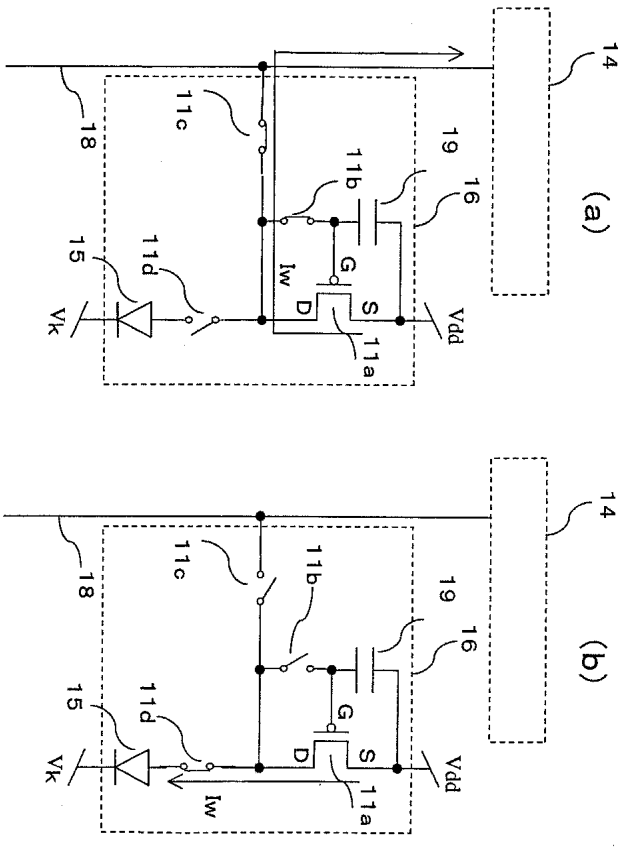
도면1



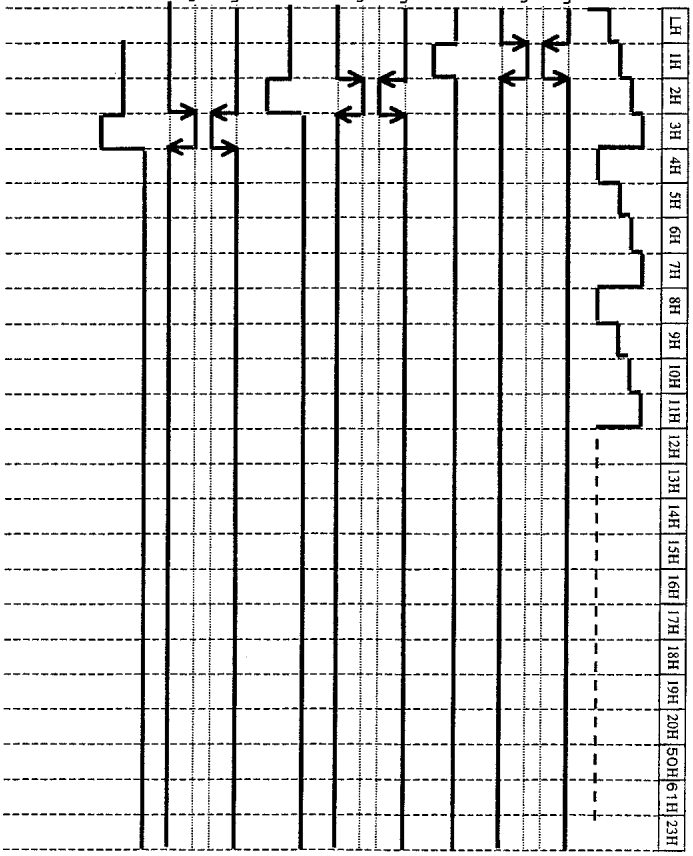
도면2


12
17b
17a
17f
18
19
G
S
D
11b
Vdd
11a
11e
11c
11d
Vk
15
16
14

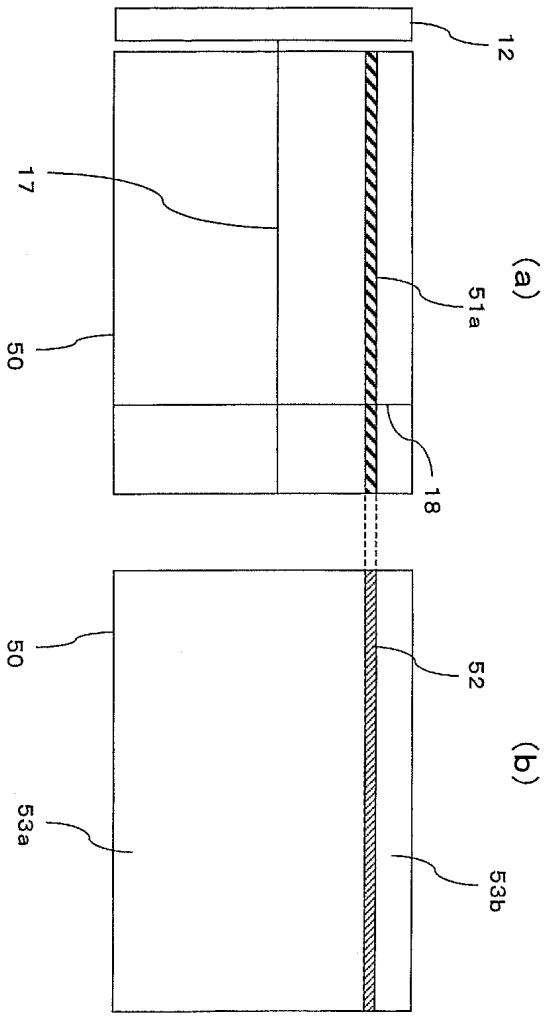
도면3


14
18
11c
19
16
11b
G
S
D
Iw
11d
15
Vk
Vdd
11a
(a)
(b)

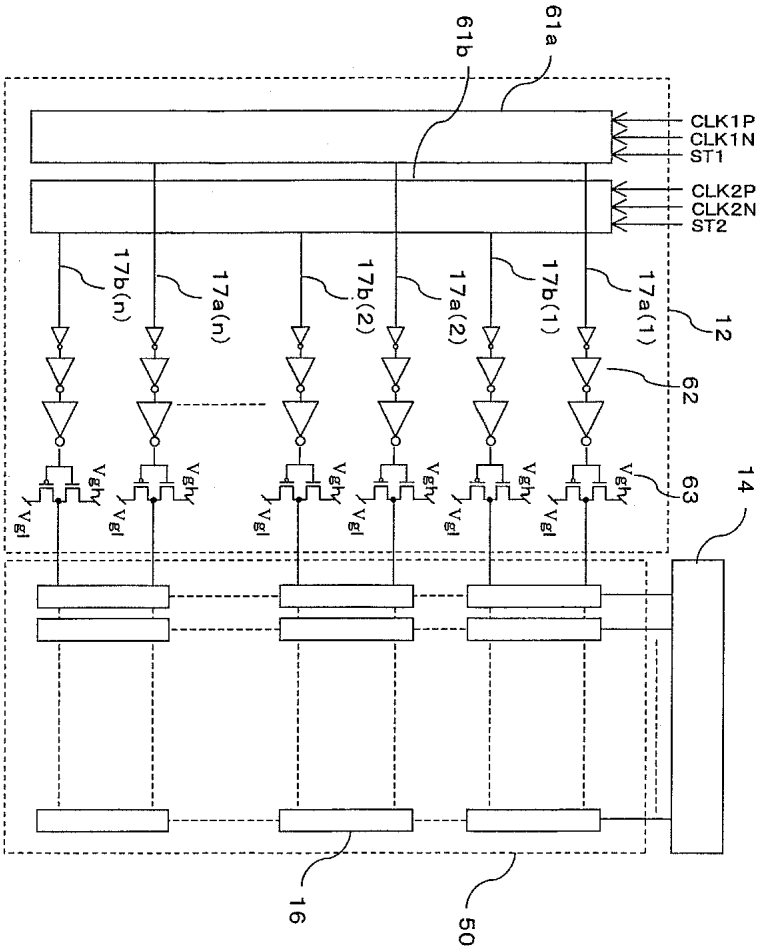
도면4


소스 신호선 18
게이트 신호선17a(1)
게이트 신호선17b(1)
EL(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
EL(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
EL(3)
Vgh
Vgl
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
50H
61H
23H

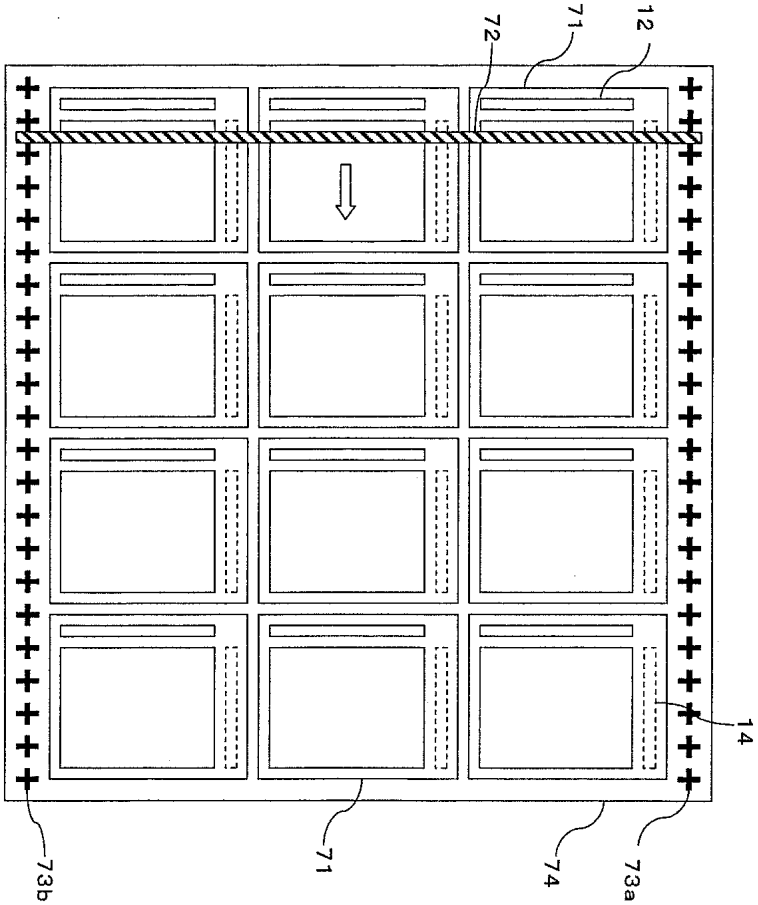
도면5



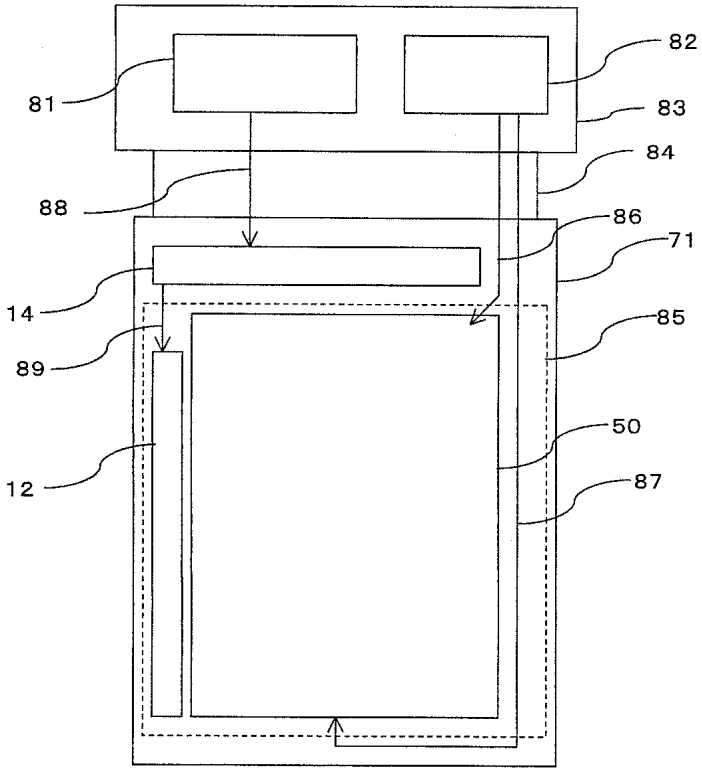
도면6


61b
61a
CLK1P
CLK1N
ST1
CLK2P
CLK2N
ST2
17b(n)
17a(n)
17b(2)
17a(2)
17b(1)
17a(1)
12
62
63
14
Vgh
Vgl
16
50

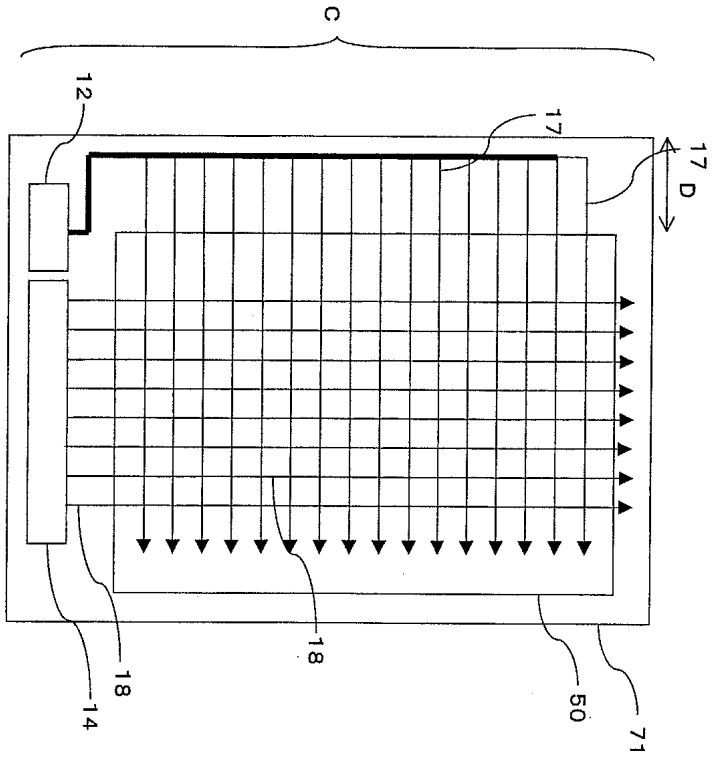
도면7



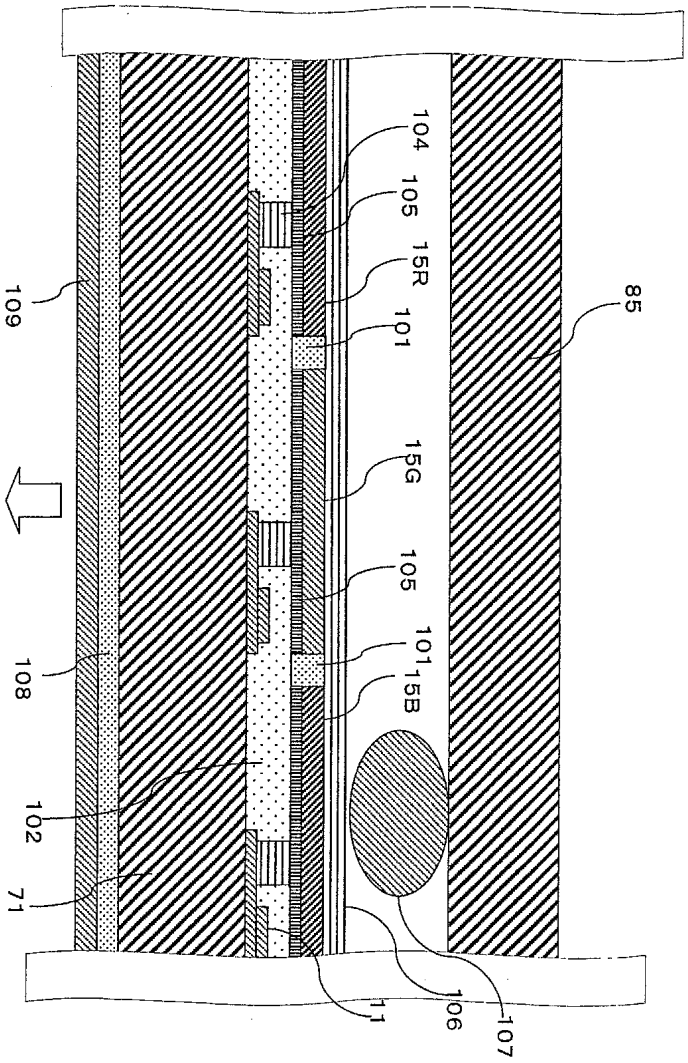
도면8



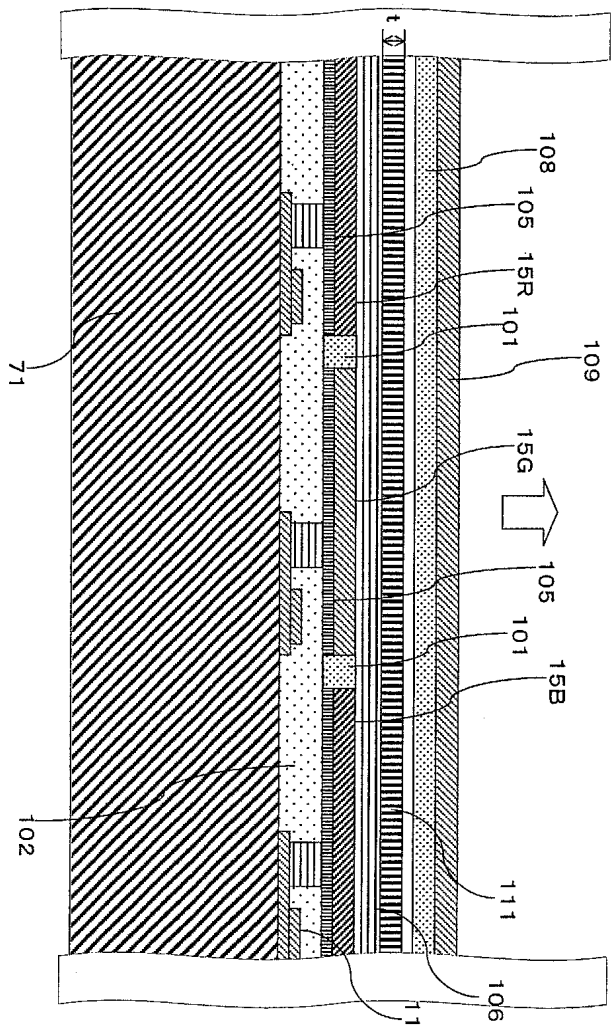
도면9



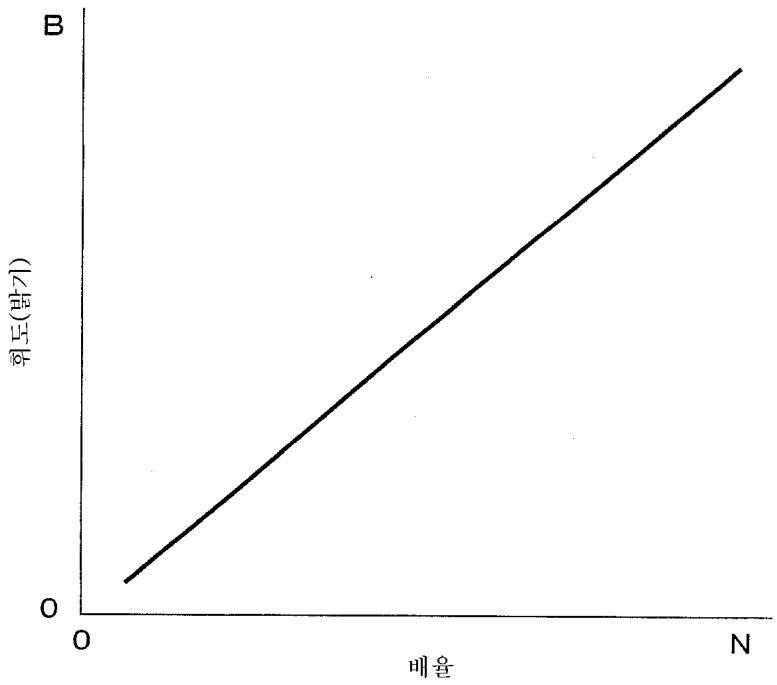
도면10



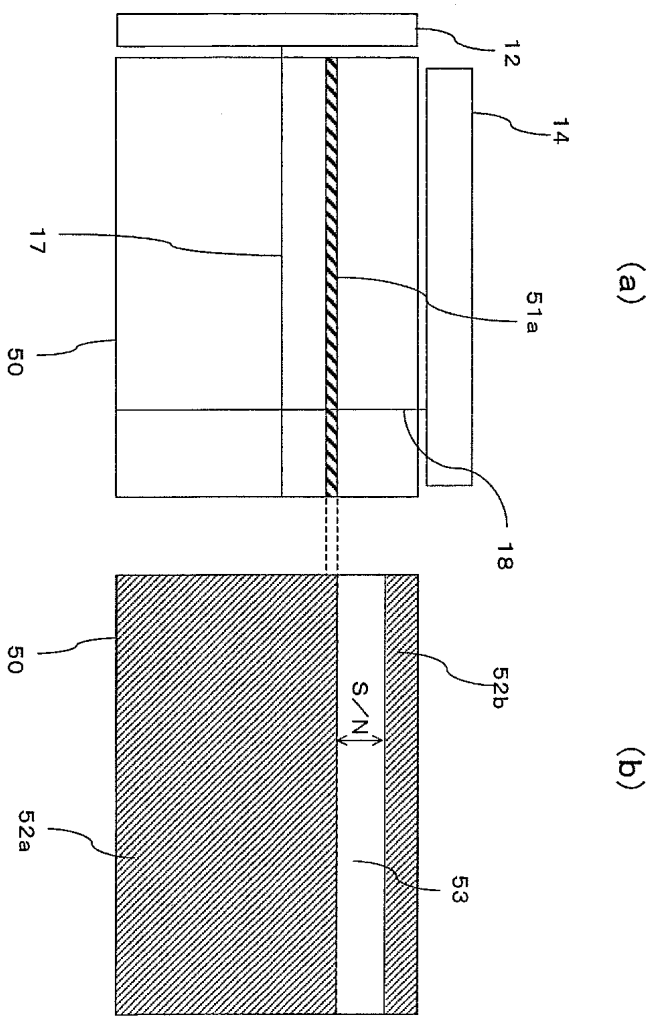
도면11


t
108
105
15R
101
109
71
15G
105
101
15B
102
111
106
11

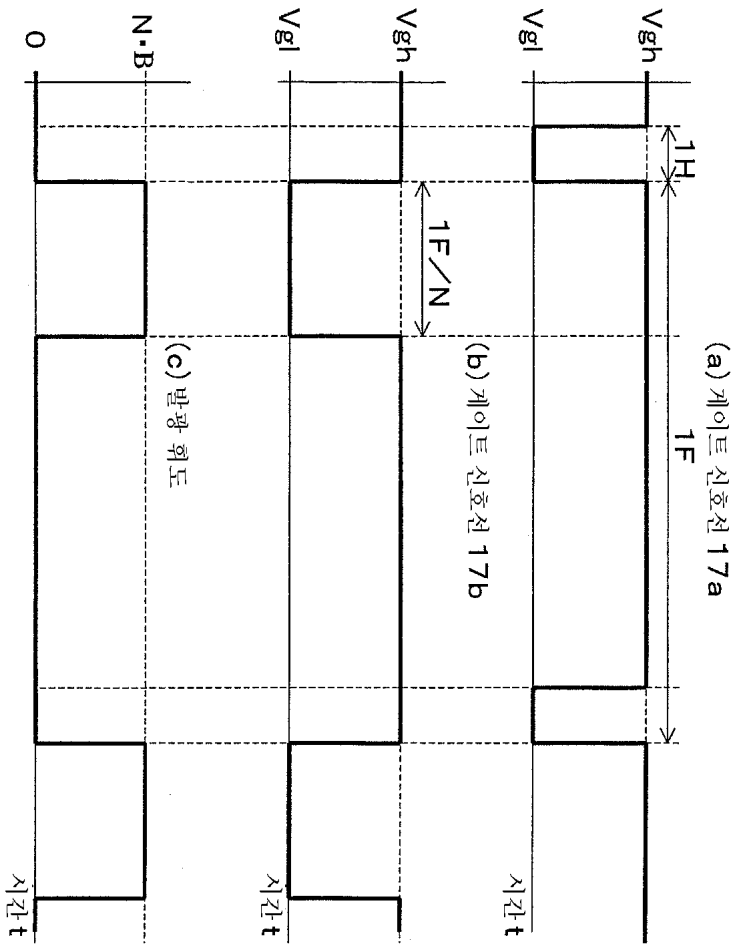
도면12


B
휘도(밝기)
0
0
N
배율

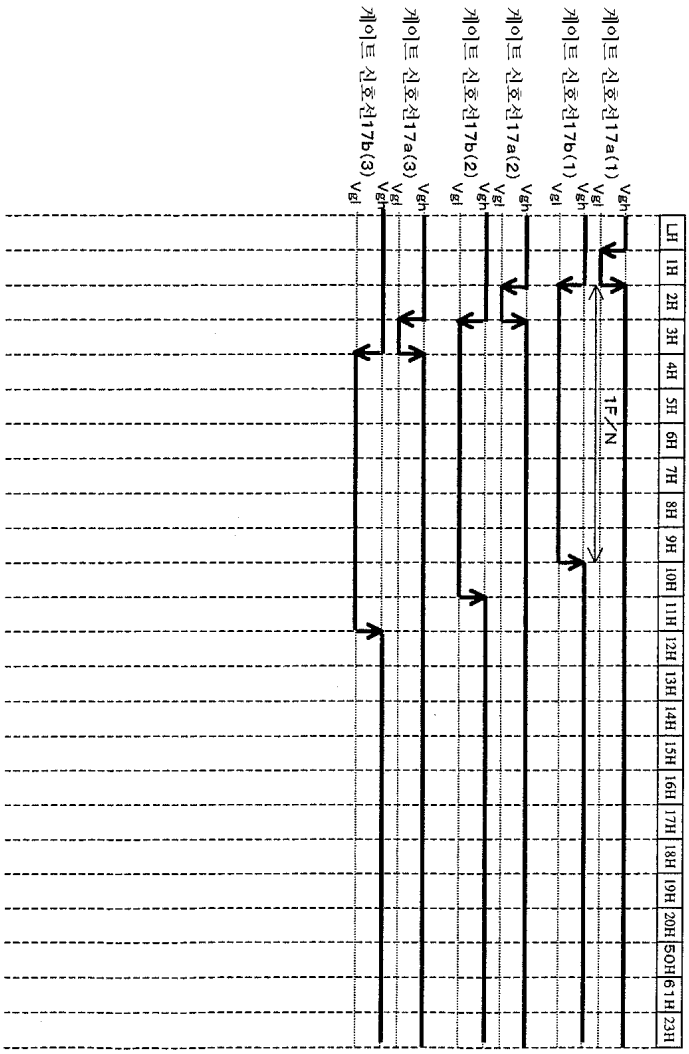
도면13



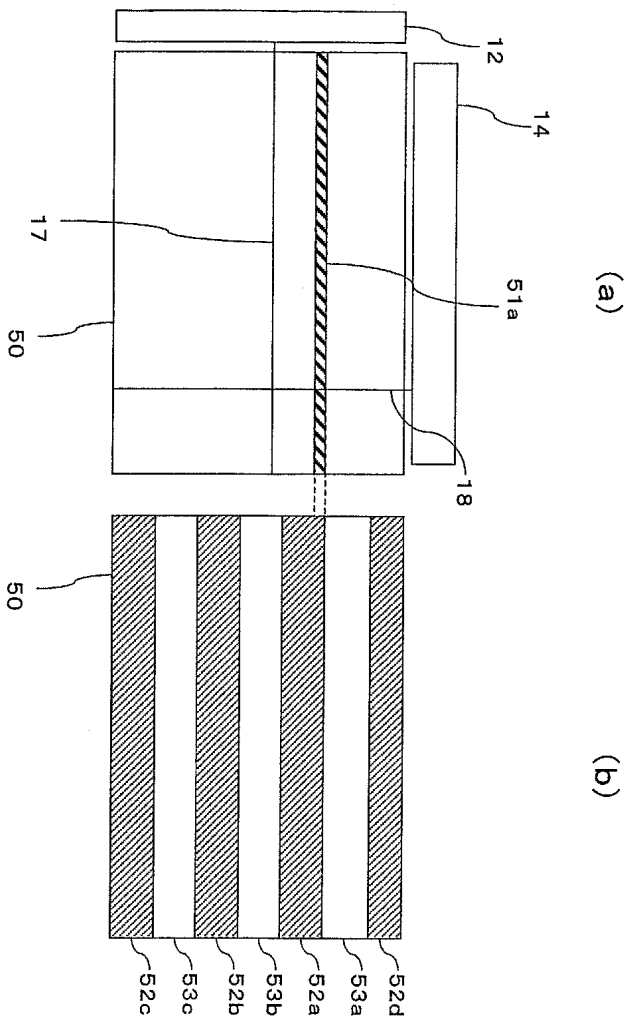
도면14


Vgh
Vgl
1H
1F
(a) 게이트 신호선 17a
시간 t
Vgh
Vgl
1F/N
(b) 게이트 신호선 17b
시간 t
N·B
0
(c) 발광 휘도
시간 t

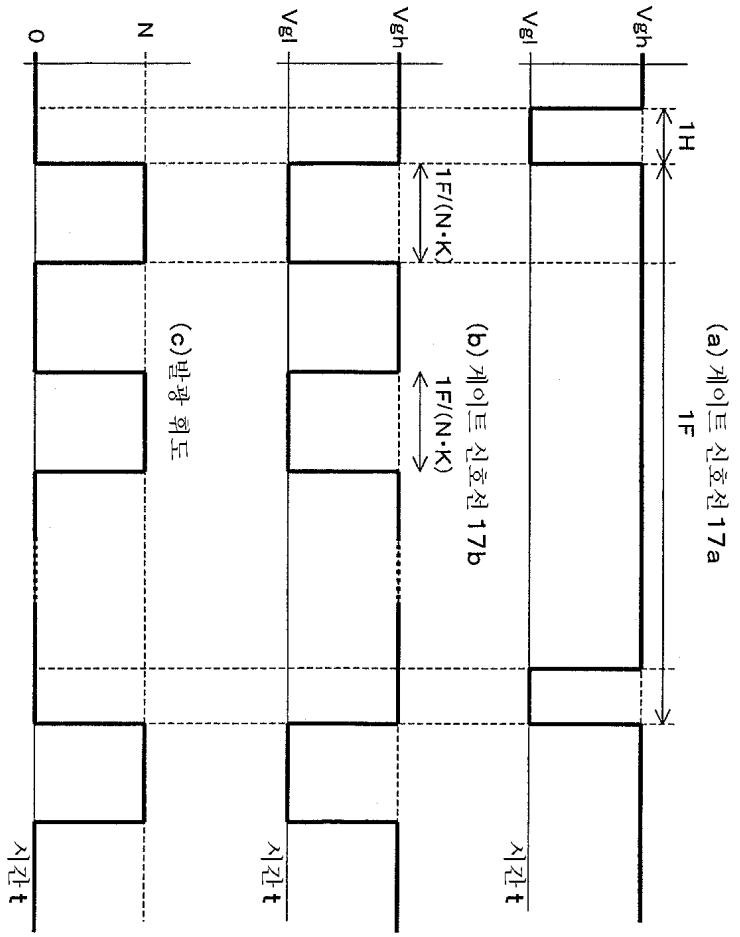
도면15


게이트 신호선17a(1)
게이트 신호선17b(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
Vgh
Vgl
1F/N
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
50H
61H
231H

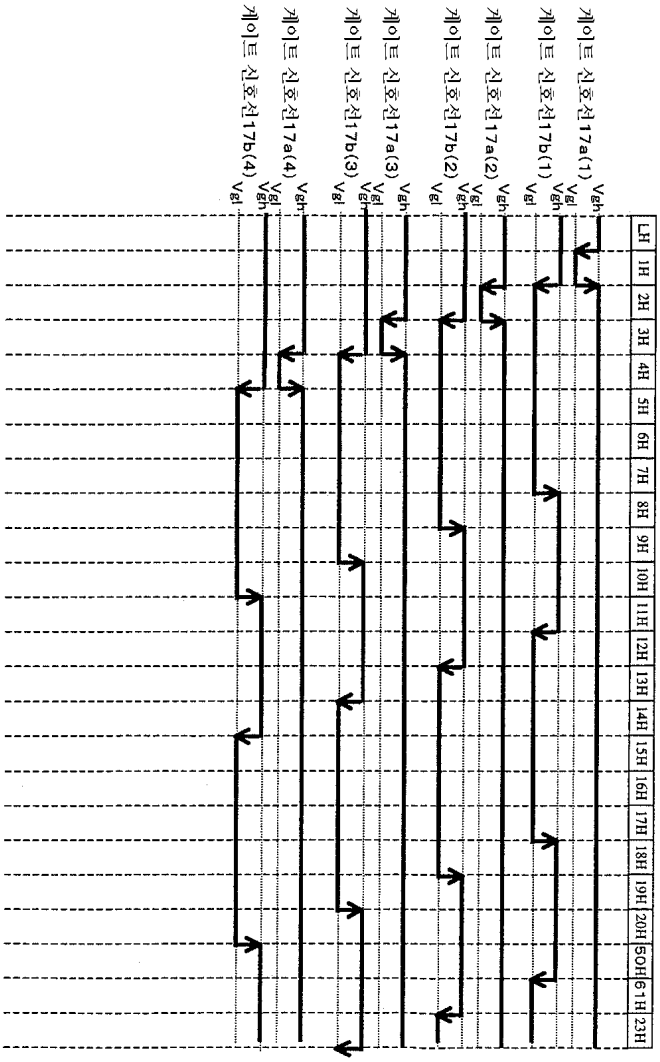
도면16



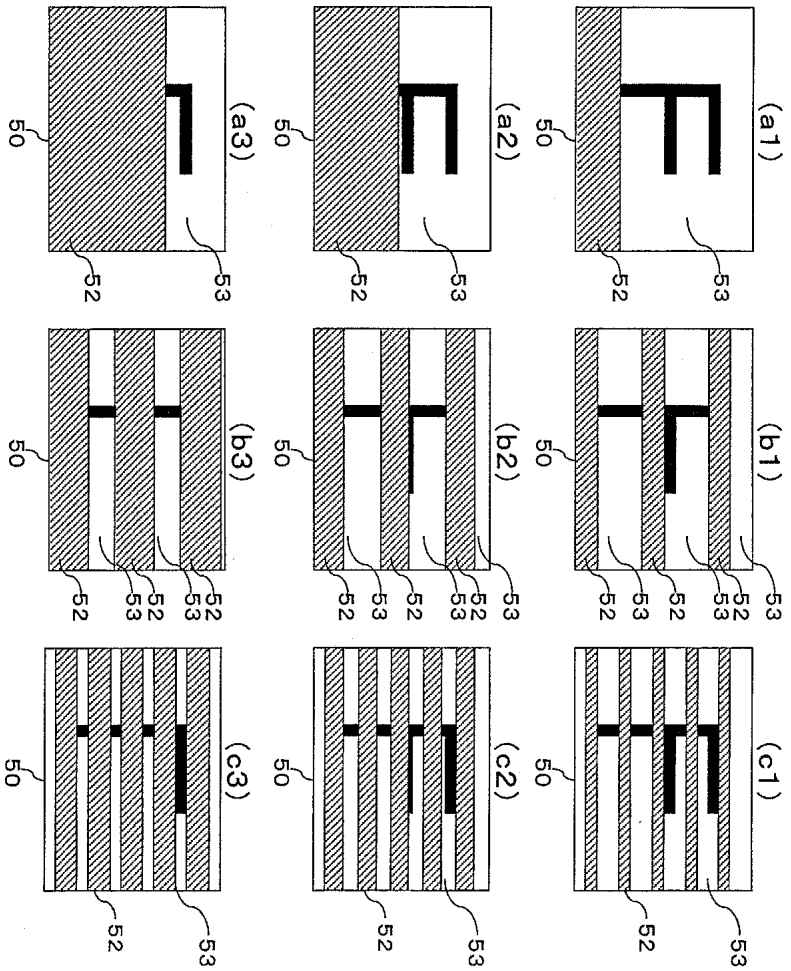
도면17


Vgh
Vgl
1H
1F
(a) 게이트 신호선 17a
시간 t
Vgh
Vgl
1F/(N·K)
(b) 게이트 신호선 17b
시간 t
N
0
(c)발광 휘도
시간 t

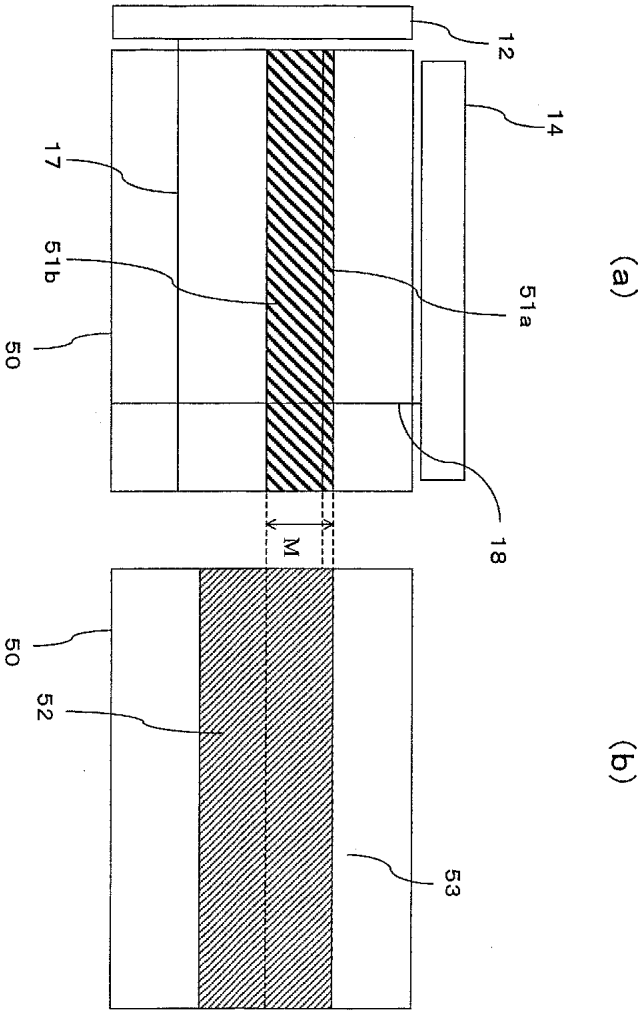
도면18


게이트 신호선17a(1)
게이트 신호선17b(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
게이트 신호선17a(4)
게이트 신호선17b(4)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
5OH
61H
23H

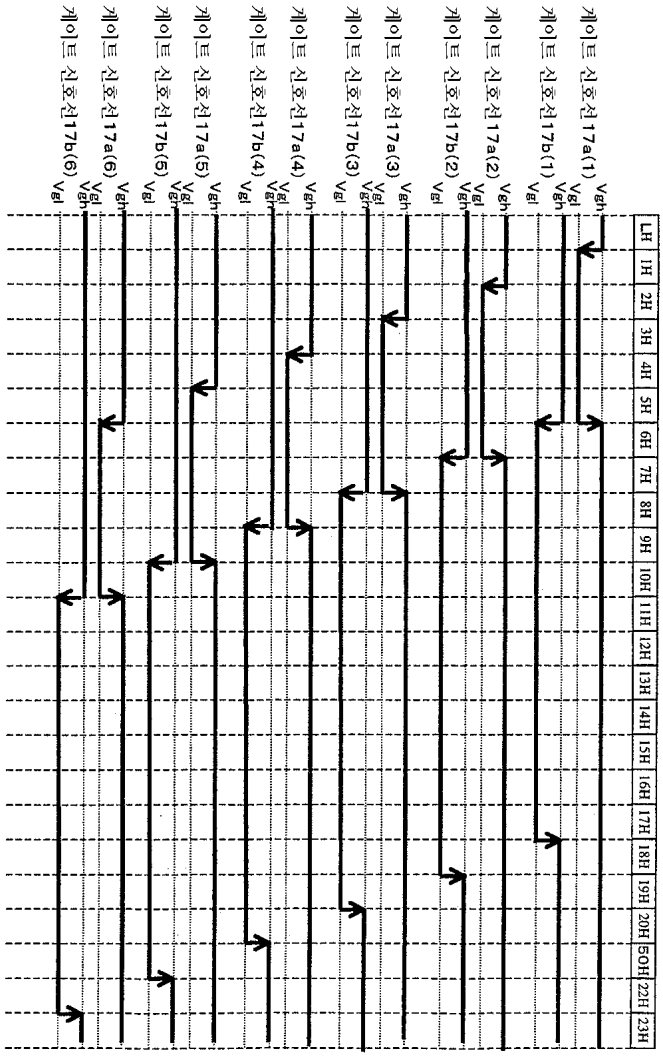
도면19



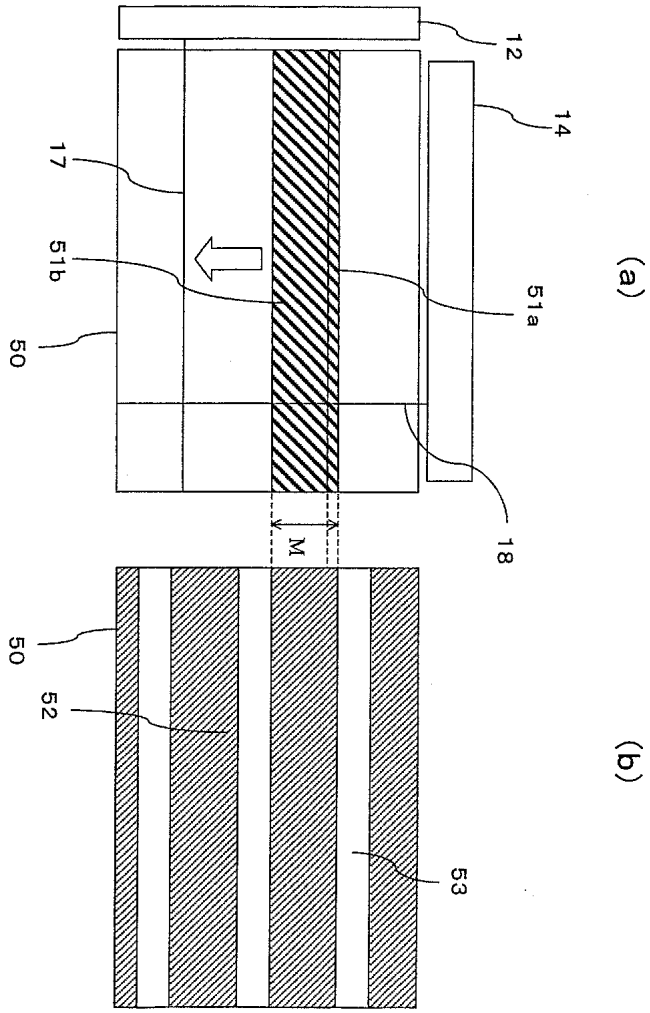
도면20



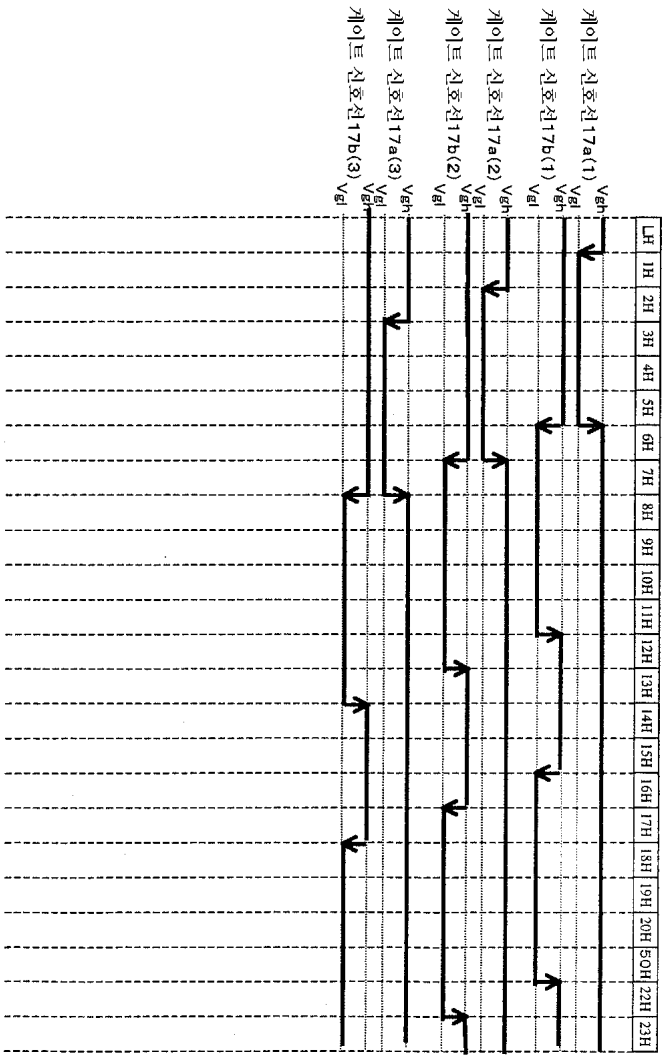
도면21


게이트 신호선17a(1)
게이트 신호선17b(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
게이트 신호선17a(4)
게이트 신호선17b(4)
게이트 신호선17a(5)
게이트 신호선17b(5)
게이트 신호선17a(6)
게이트 신호선17b(6)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
50H
22H
23H

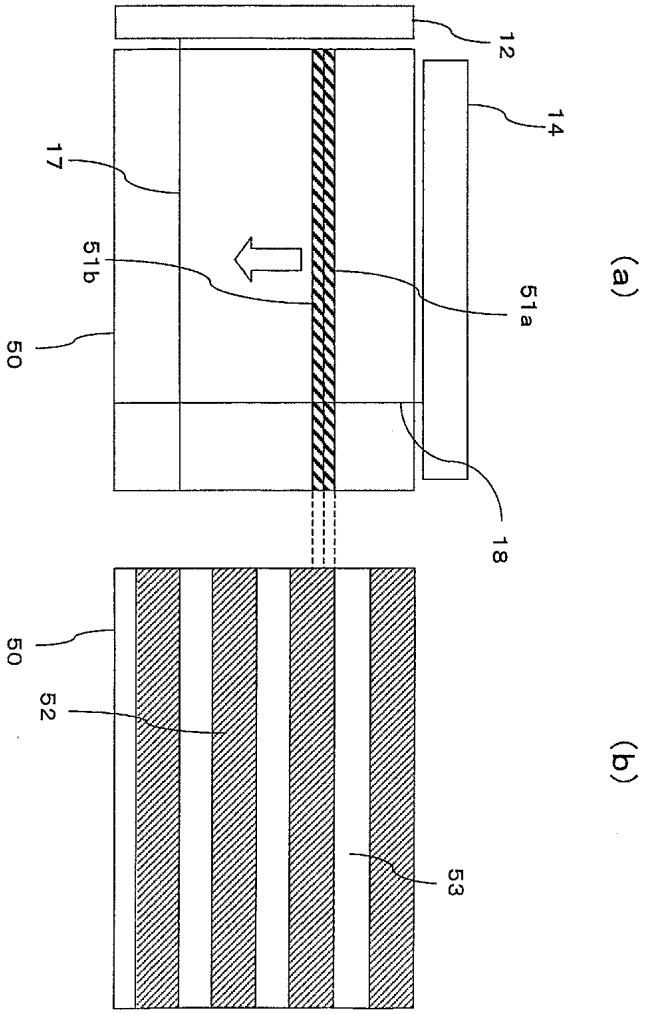
도면22



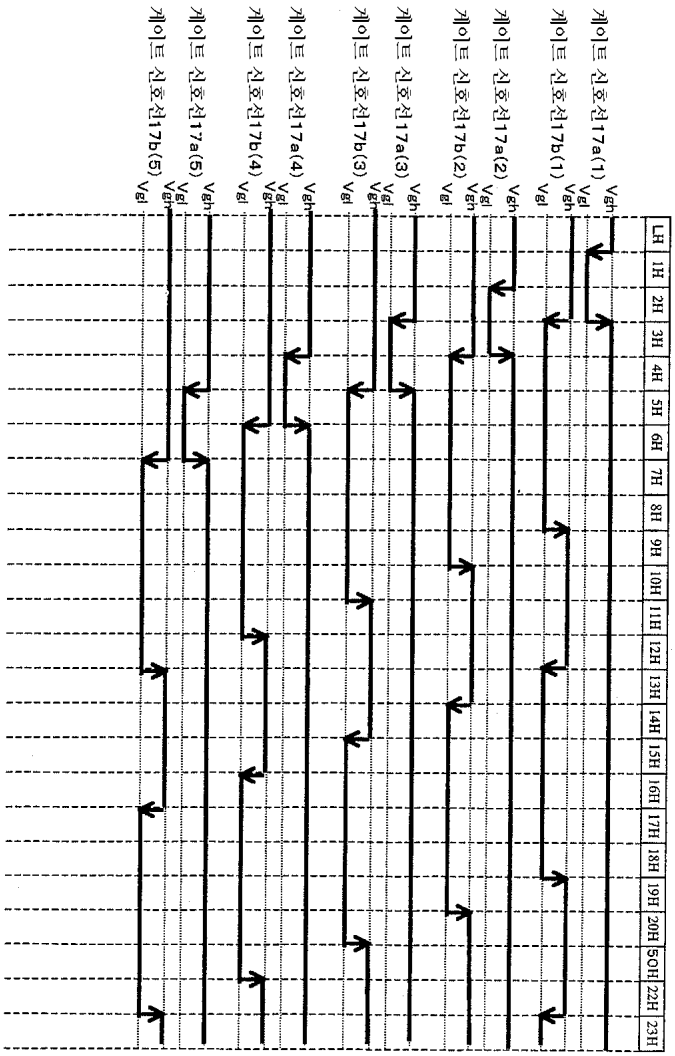
도면23


게이트 신호선17a(1)
게이트 신호선17b(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
SOH
22H
23H

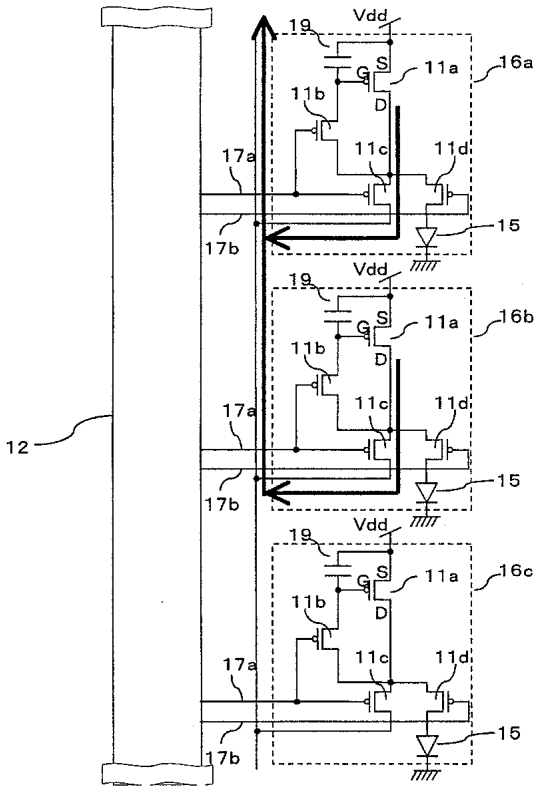
도면24



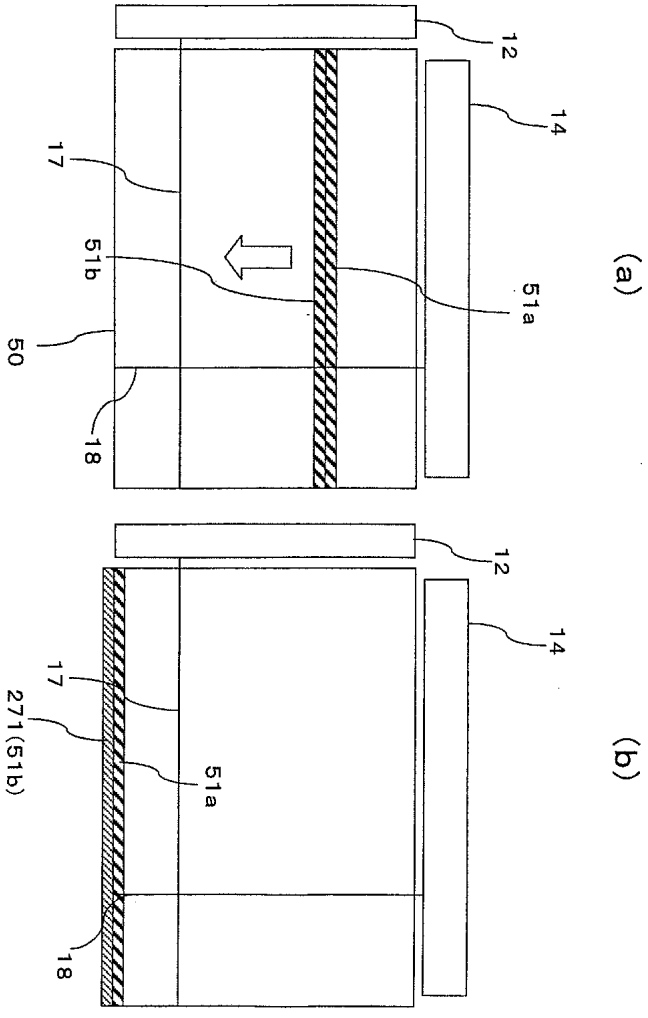
도면25


게이트 신호선17a(1)
게이트 신호선17b(1)
게이트 신호선17a(2)
게이트 신호선17b(2)
게이트 신호선17a(3)
게이트 신호선17b(3)
게이트 신호선17a(4)
게이트 신호선17b(4)
게이트 신호선17a(5)
게이트 신호선17b(5)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
SOH
22H
23H

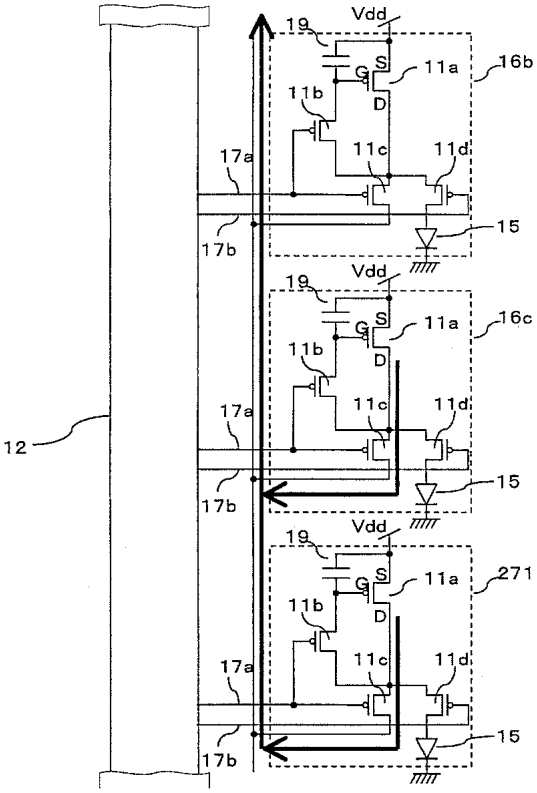
도면26


Vdd
19
S
G
D
11a
11b
11c
11d
16a
16b
16c
17a
17b
15
12

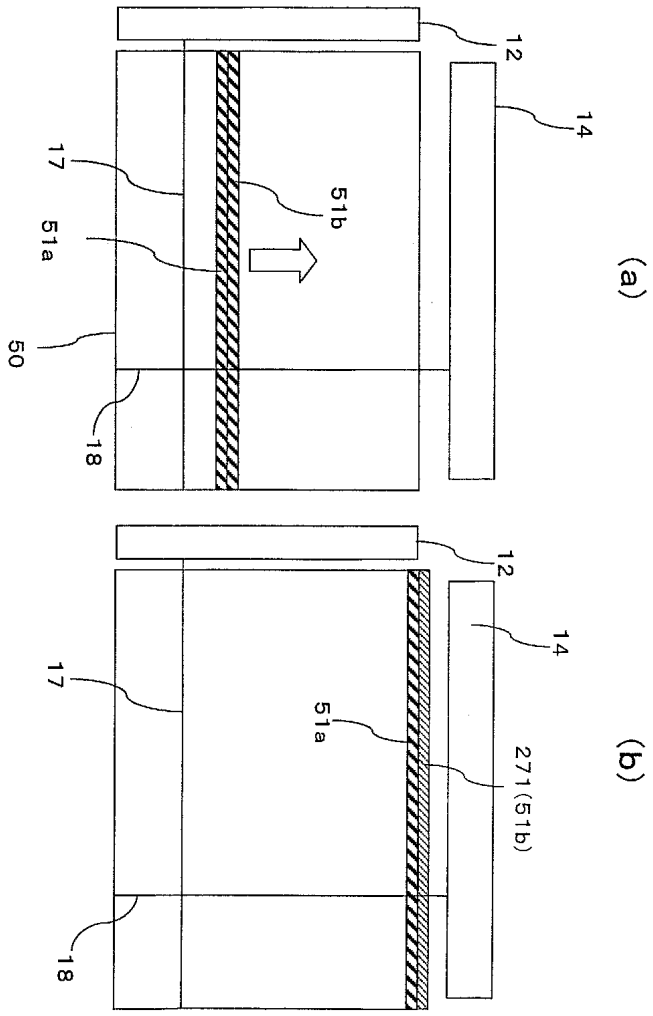
도면27


12
14
17
51b
51a
50
18
(a)
271(51b)
(b)

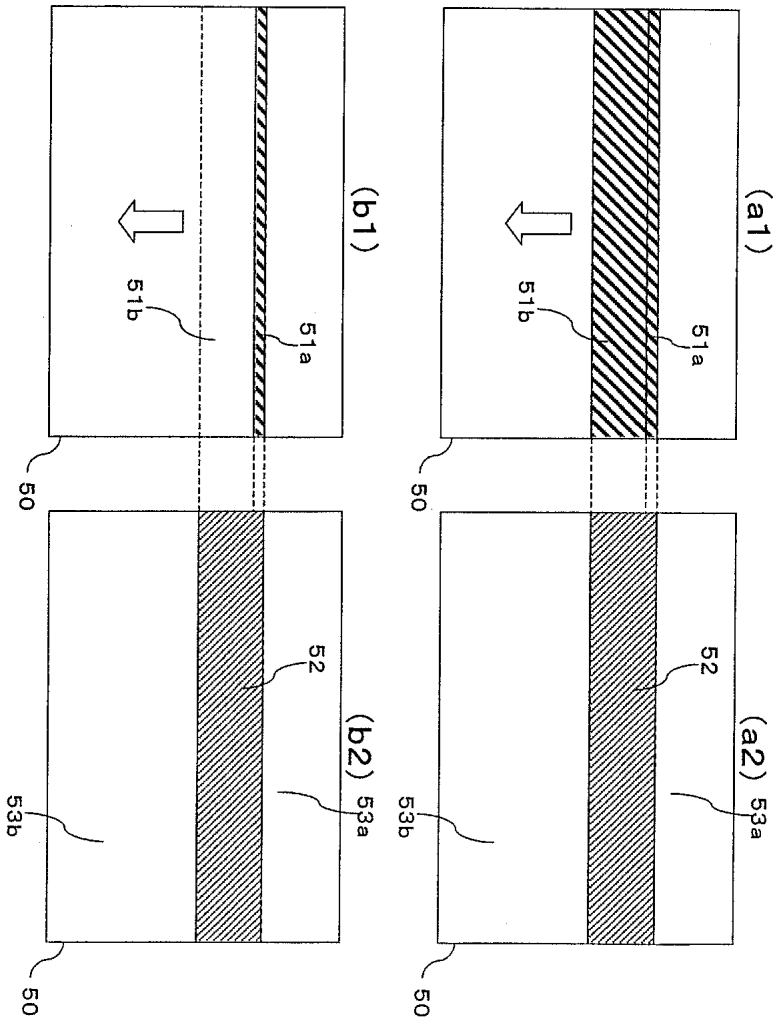
도면28



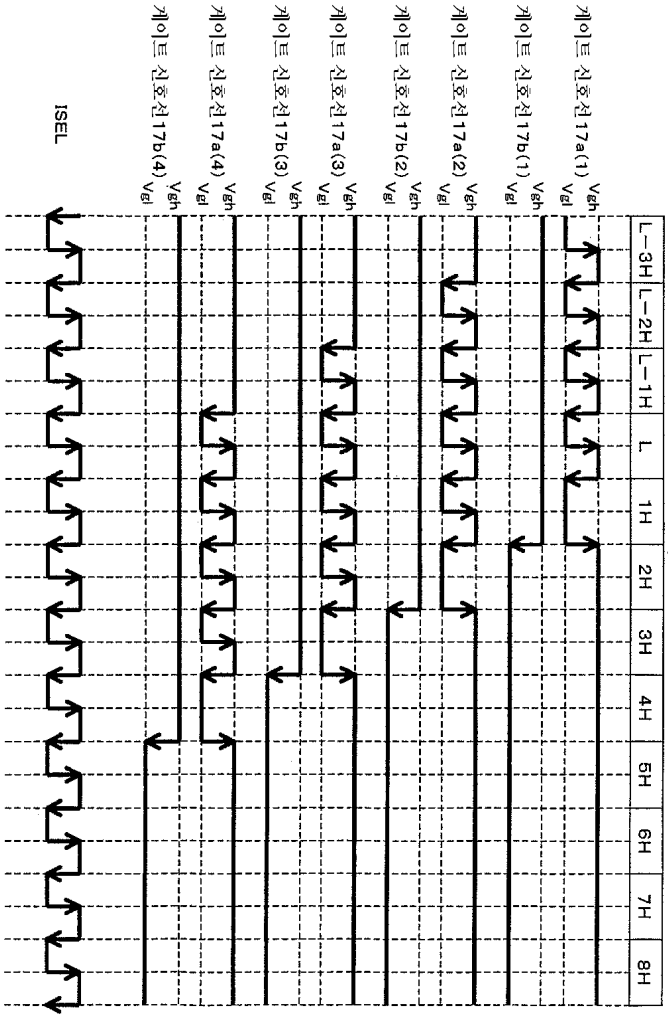
도면29



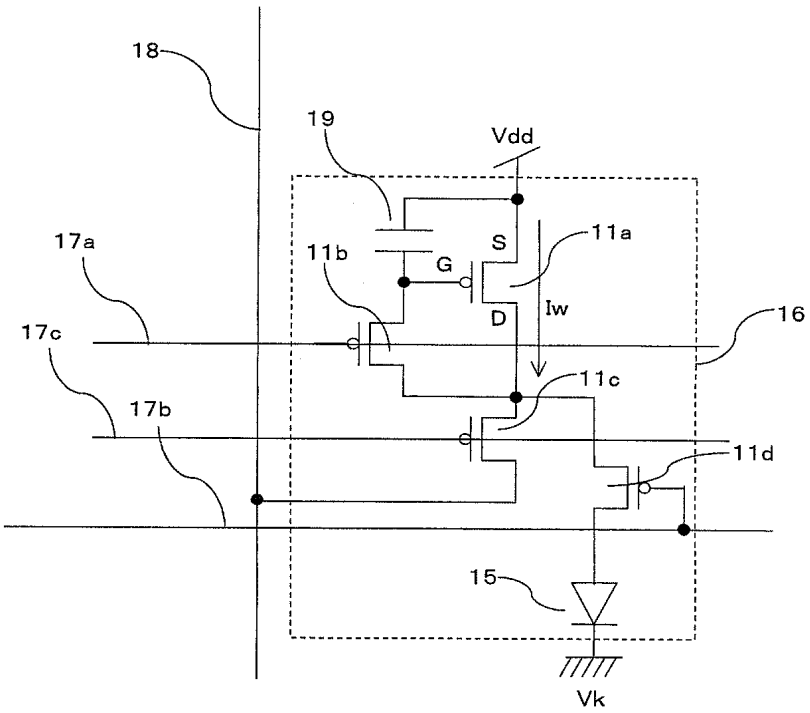
도면30



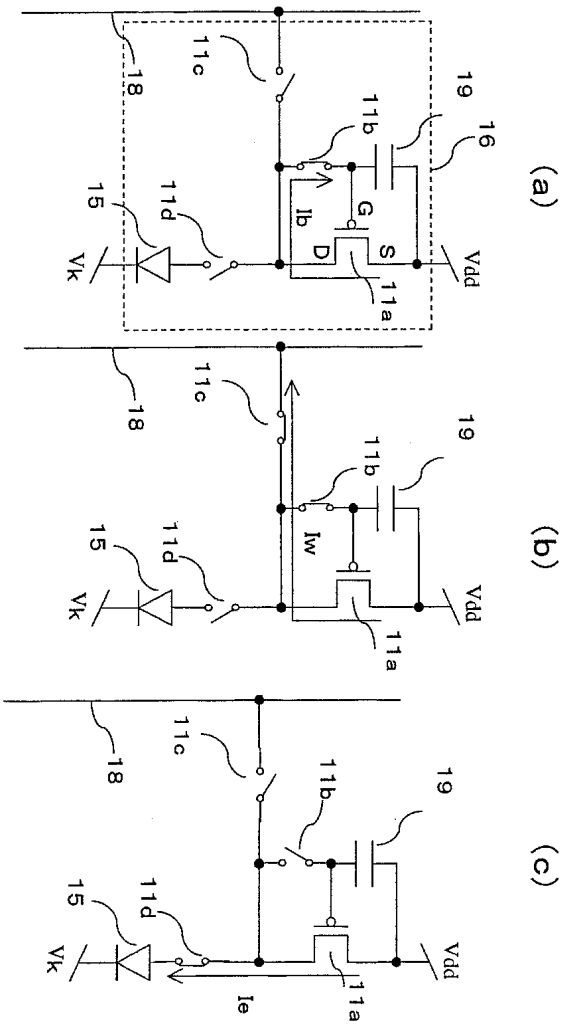
도면31


ISEL
게이트 신호선17b(4)
게이트 신호선17a(4)
게이트 신호선17b(3)
게이트 신호선17a(3)
게이트 신호선17b(2)
게이트 신호선17a(2)
게이트 신호선17b(1)
게이트 신호선17a(1)
Vgh
Vgl
L-3H
L-2H
L-1H
L
1H
2H
3H
4H
5H
6H
7H
8H

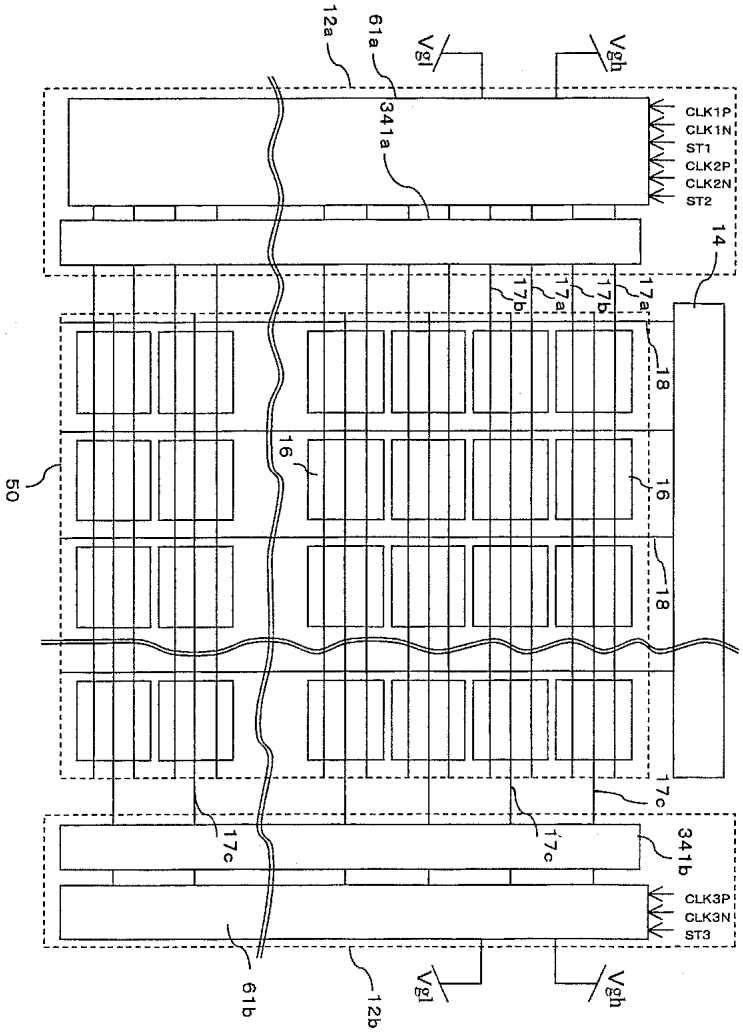
도면32


18
19
Vdd
11a
S
G
D
Iw
11b
17a
17c
16
11c
17b
11d
15
Vk

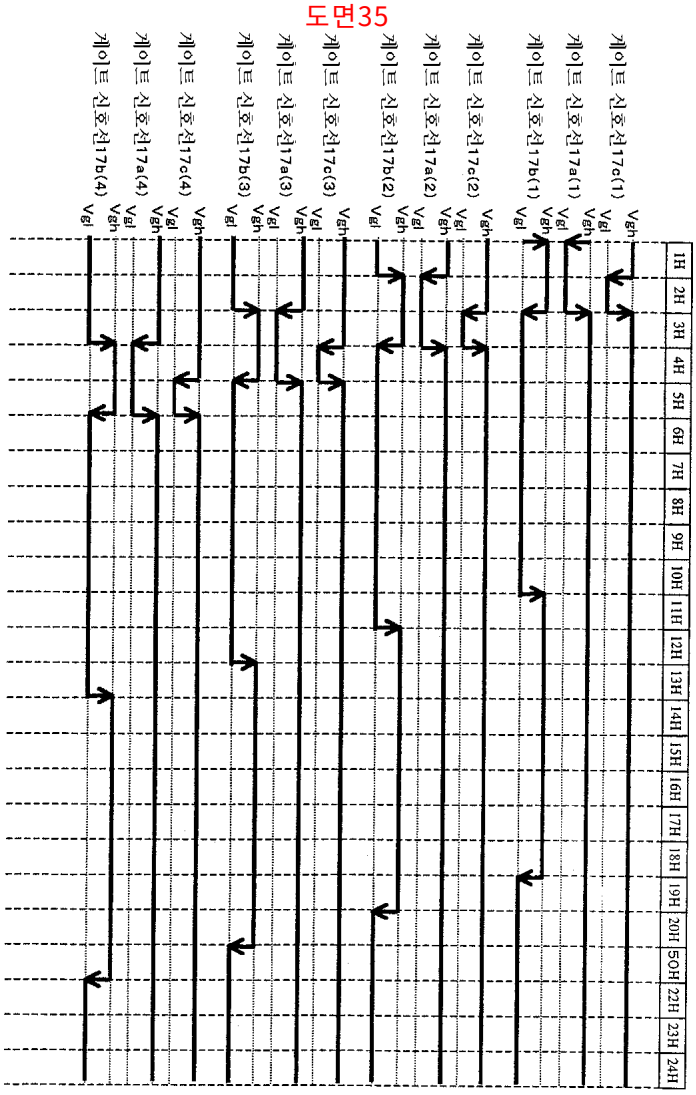
도면33


(a)
11c
18
19
16
11b
15
11d
Ib
G
D
S
Vk
Vdd
11a
(b)
11c
18
19
11b
15
11d
Iw
Vk
Vdd
11a
(c)
11c
18
19
11b
15
11d
Vk
Vdd
Ie
11a

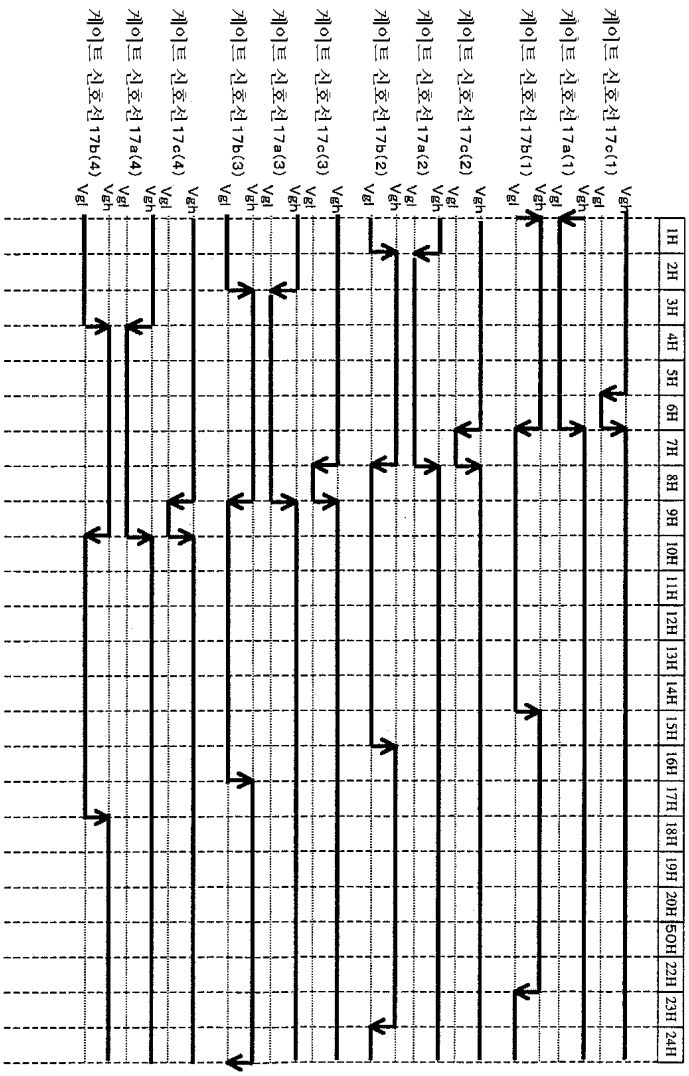
도면34


12a
61a
Vgl
Vgh
341a
CLK1P
CLK1N
ST1
CLK2P
CLK2N
ST2
14
17b
17a
18
16
50
17c
341b
CLK3P
CLK3N
ST3
61b
12b

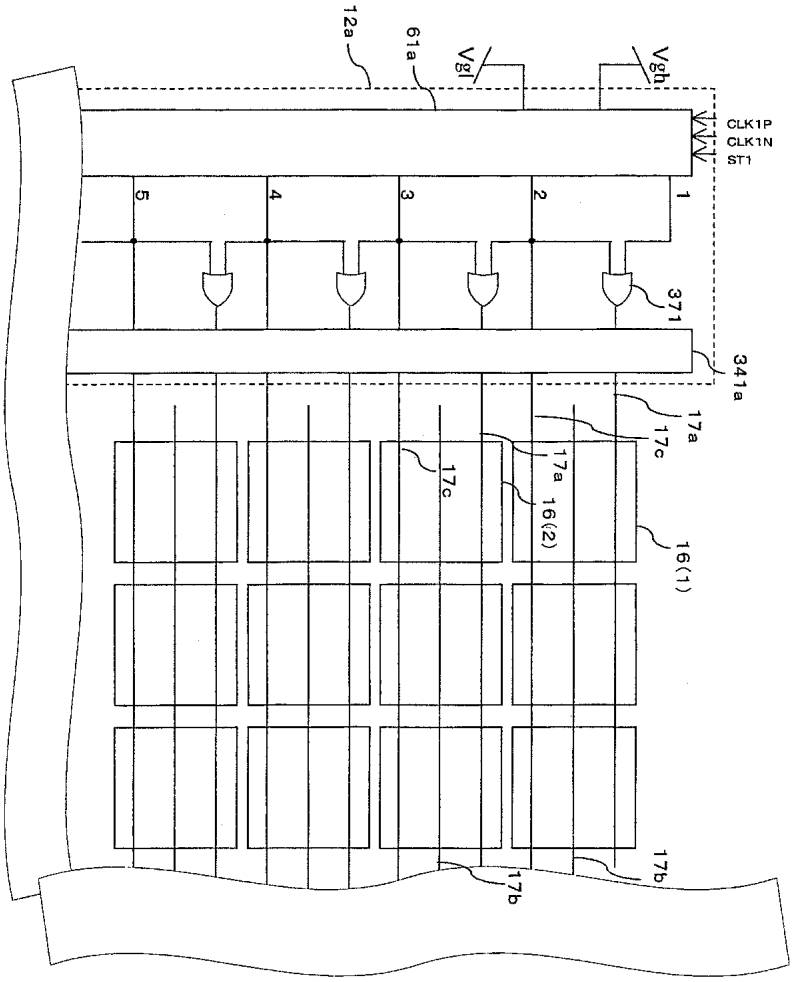
도면35


1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
50H
22H
23H
24H
케이트 신호선17c(1)
케이트 신호선17a(1)
케이트 신호선17b(1)
케이트 신호선17c(2)
케이트 신호선17a(2)
케이트 신호선17b(2)
케이트 신호선17c(3)
케이트 신호선17a(3)
케이트 신호선17b(3)
케이트 신호선17c(4)
케이트 신호선17a(4)
케이트 신호선17b(4)
Vgh
Vgl

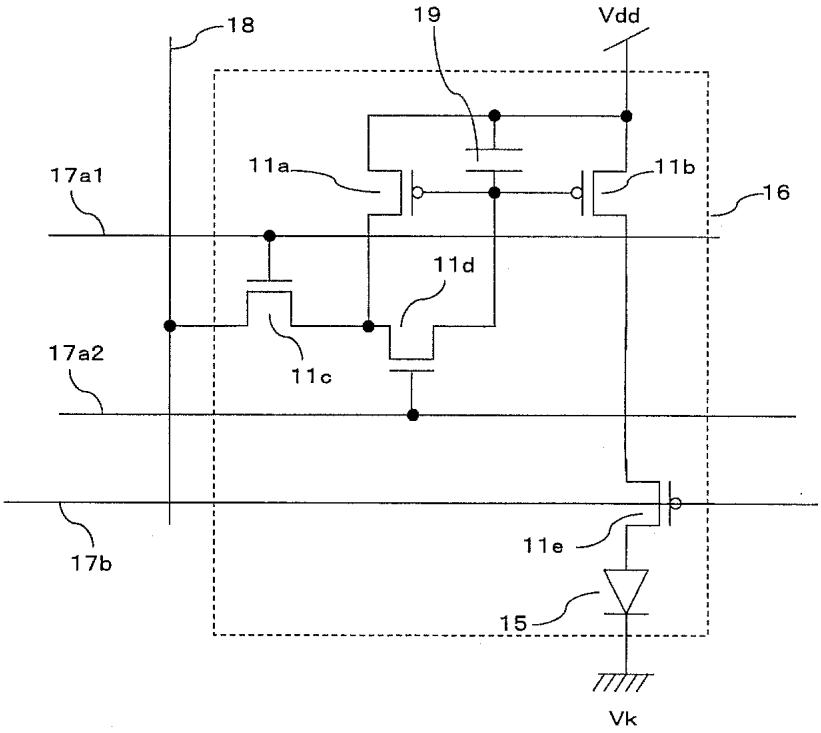
도면36


게이트 신호선 17c(1)
게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17b(2)
게이트 신호선 17a(2)
게이트 신호선 17c(2)
게이트 신호선 17c(3)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17c(4)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
Vgh
Vgl
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
50H
22H
23H
24H

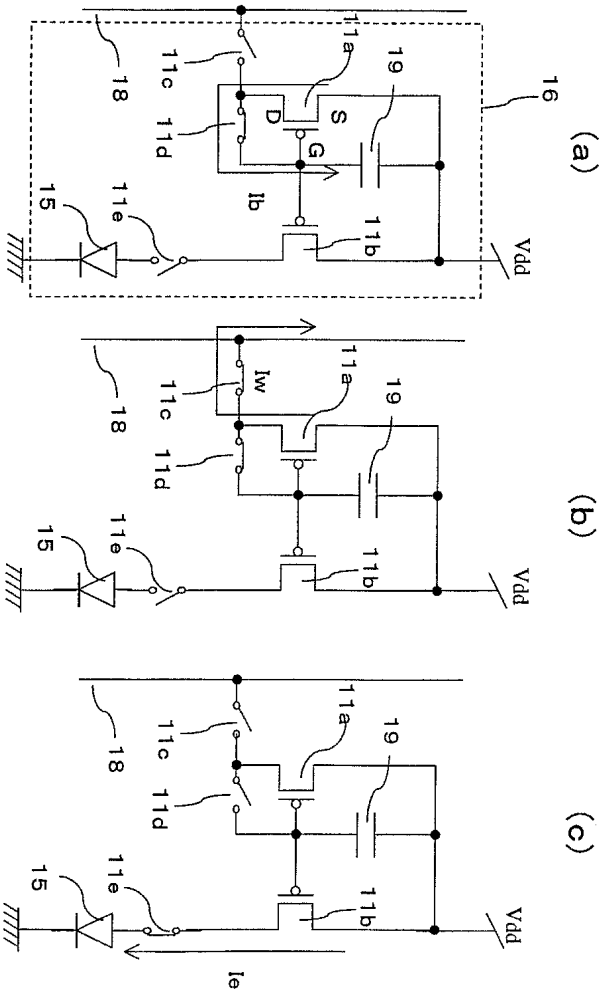
도면37


12a
61a
Vgl
Vgh
CLK1P
CLK1N
ST1
5
4
3
2
1
371
341a
17a
17c
17a
17c
16(2)
16(1)
17b
17b

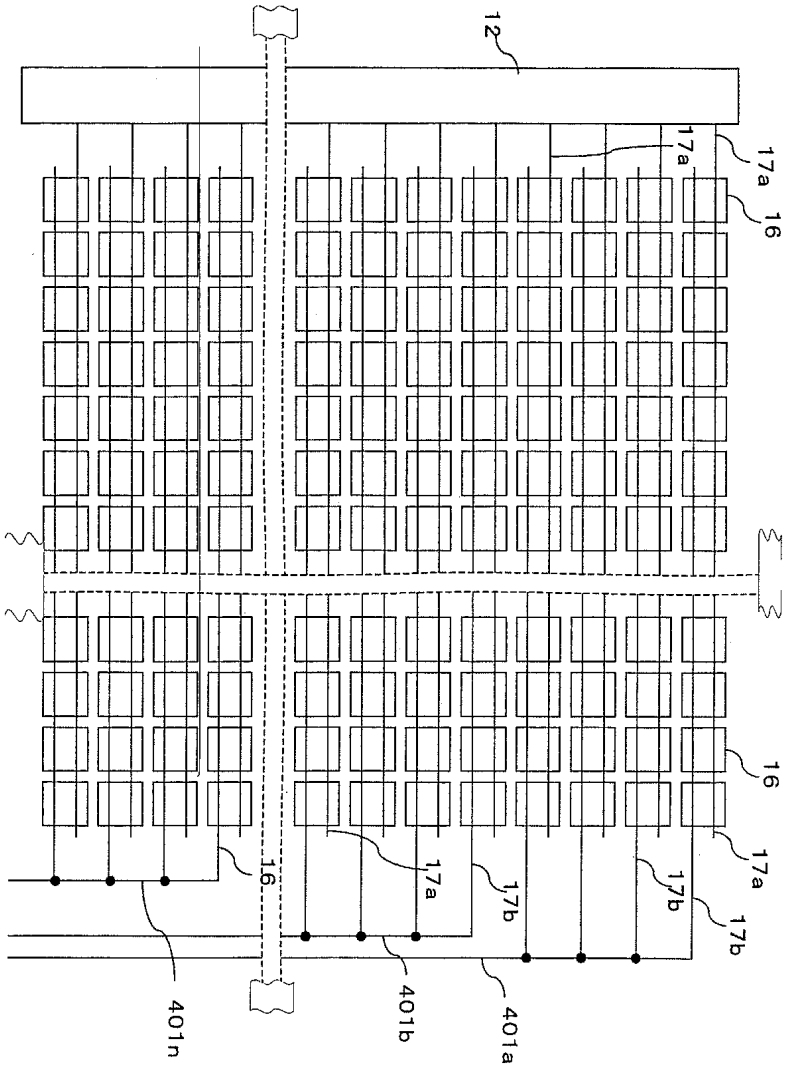
도면38


18
19
Vdd
17a1
11a
11b
16
11d
17a2
11c
17b
11e
15
Vk

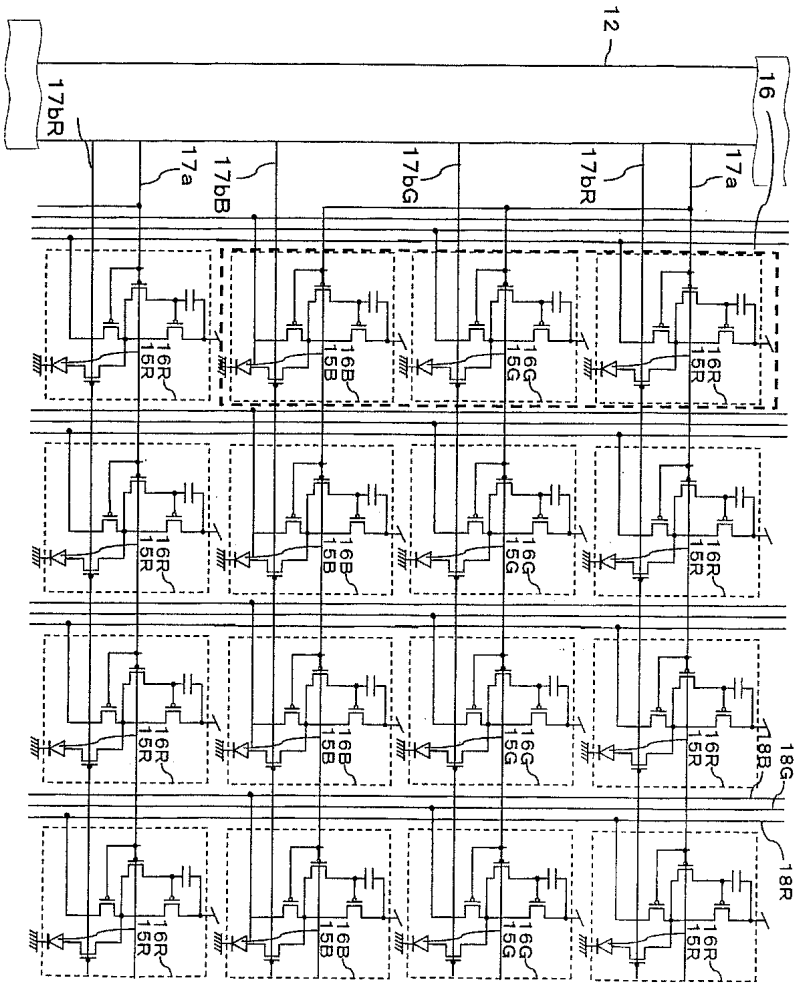
도면39



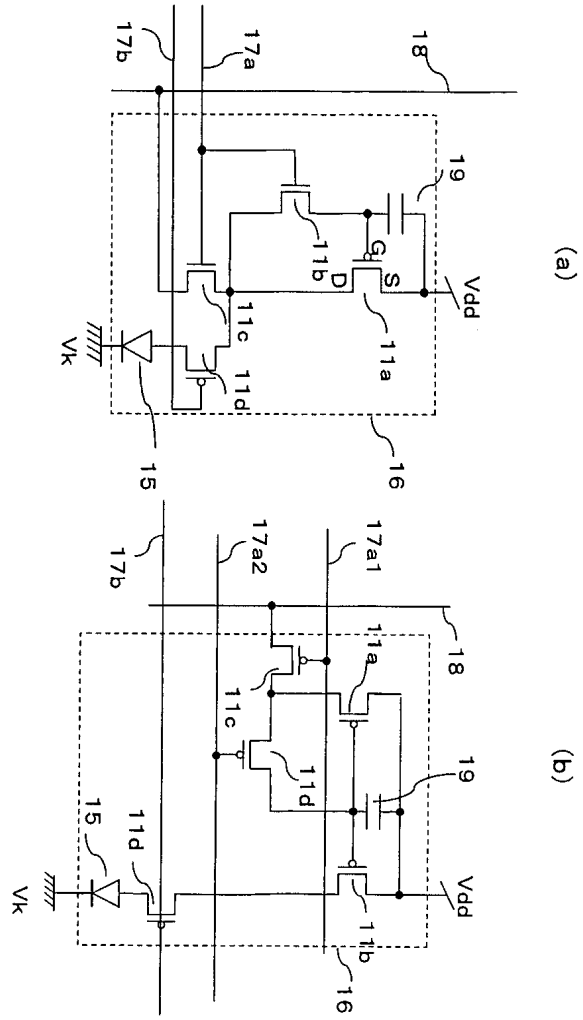
도면40



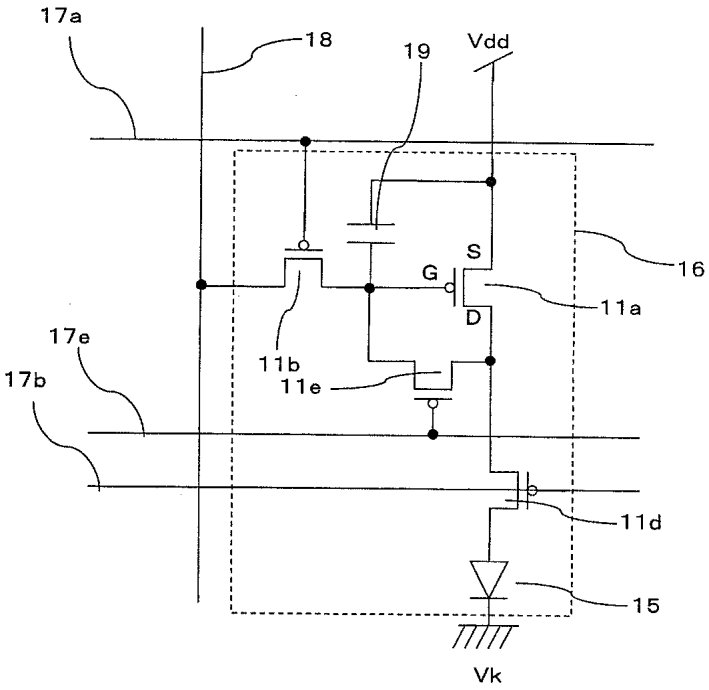
도면41


12
16
17bR
17a
17bB
17bG
17bR
17a
16R
15R
16B
15B
16G
15G
16R
15R
18G
18B
18R

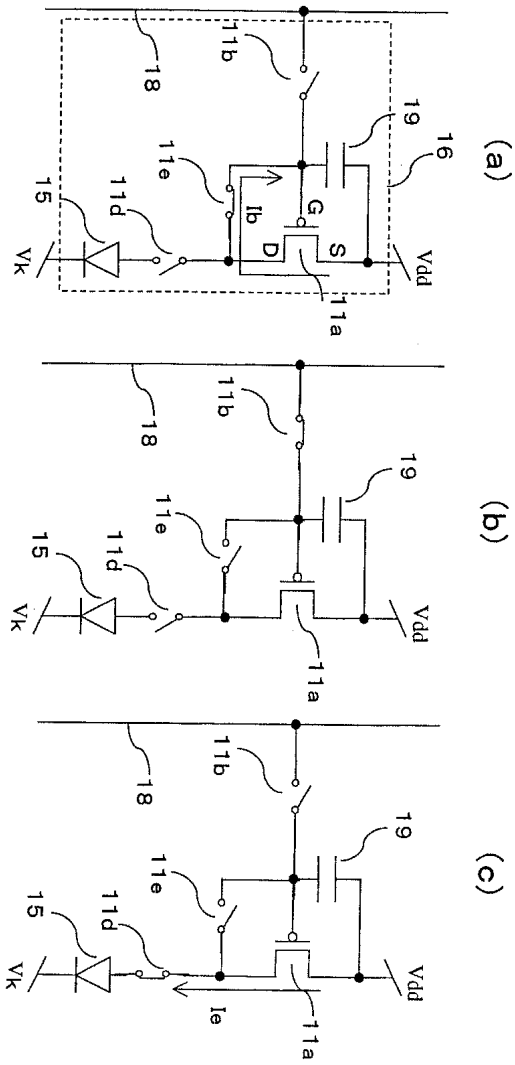
도면42


17b
17a
18
19
11b
G
D
S
Vdd
11c
11a
Vk
11d
15
16
(a)
17b
17a2
17a1
18
11a
11c
11d
19
15
11d
Vk
Vdd
11b
16
(b)

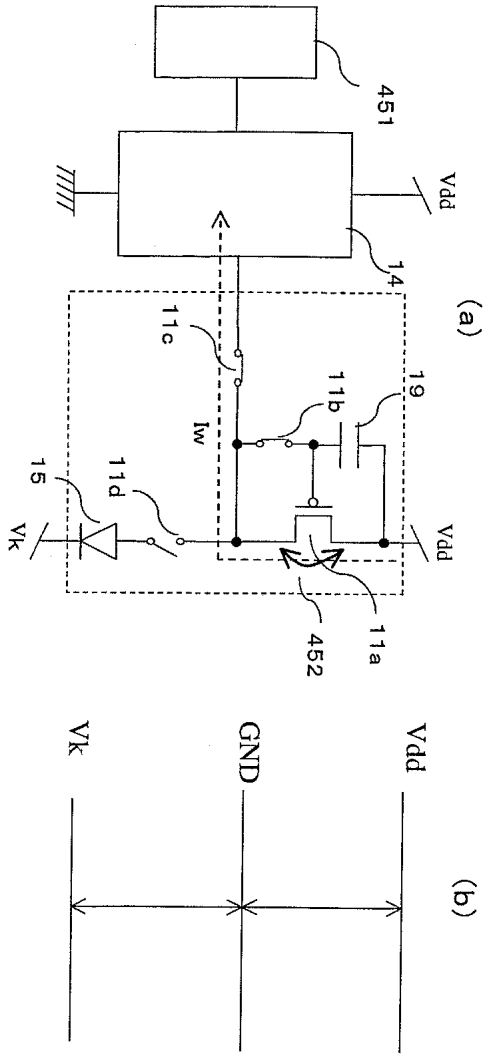
도면43


17a
18
19
Vdd
S
G
D
16
11a
17e
11b
11e
17b
11d
15
Vk

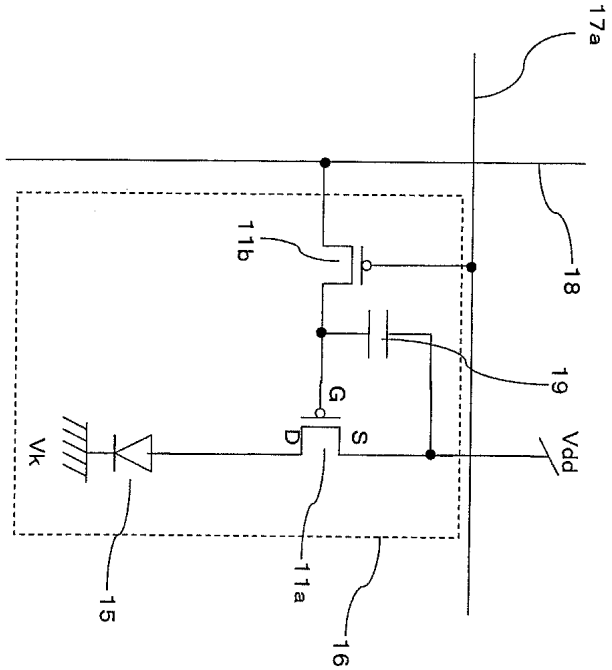
도면44


(a)
18
11b
19
16
11e
15
11d
Ib
G
D
S
Vk
Vdd
11a
(b)
18
11b
19
11e
15
11d
Vk
Vdd
11a
(c)
18
11b
19
11e
15
11d
Vk
Ie
Vdd
11a

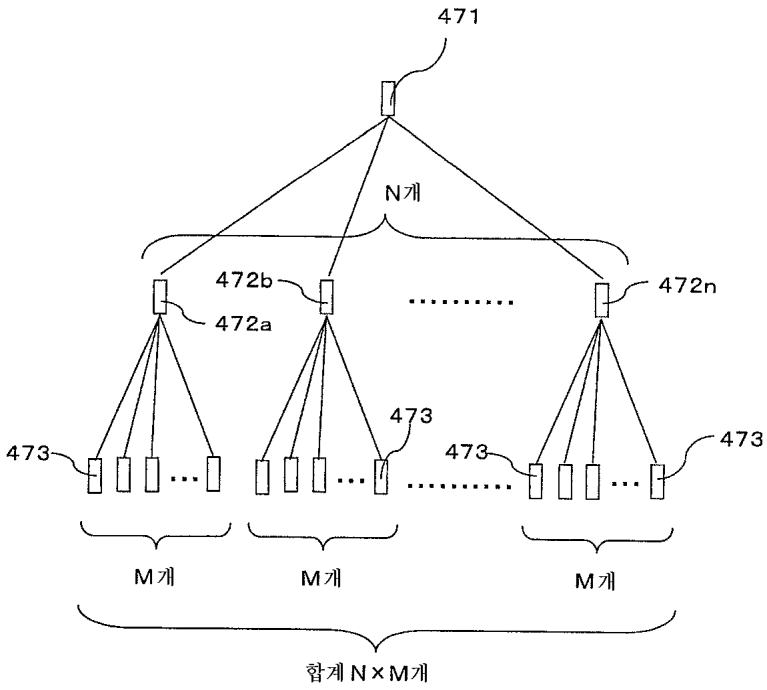
도면45


451
Vdd
14
(a)
11c
19
11b
Iw
15
11d
Vk
Vdd
452
11a
Vk
GND
Vdd
(b)

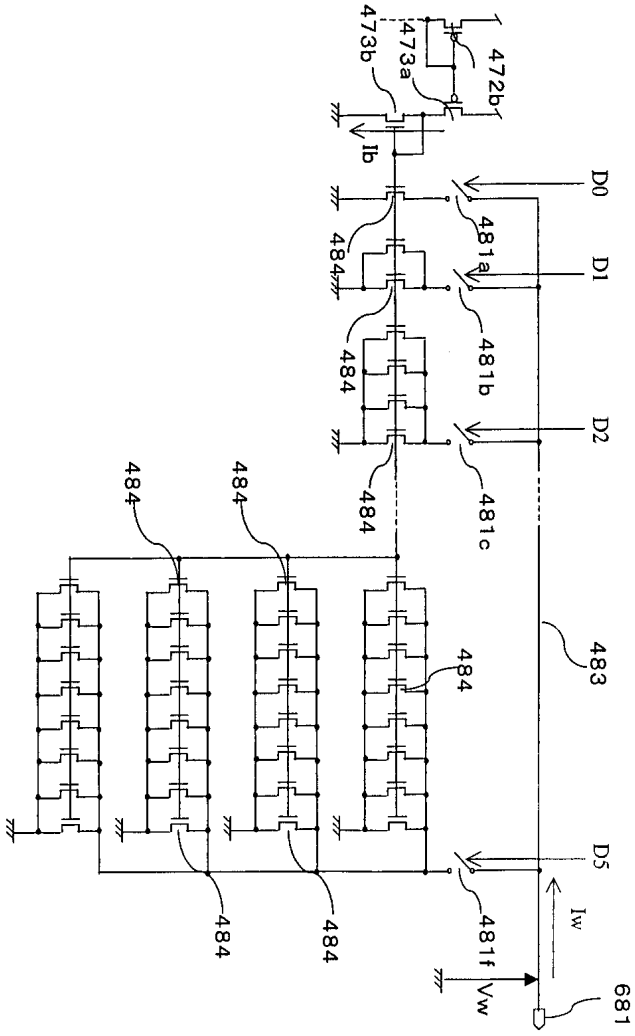
도면46


17a
18
11b
19
G
S
D
Vk
Vdd
15
11a
16

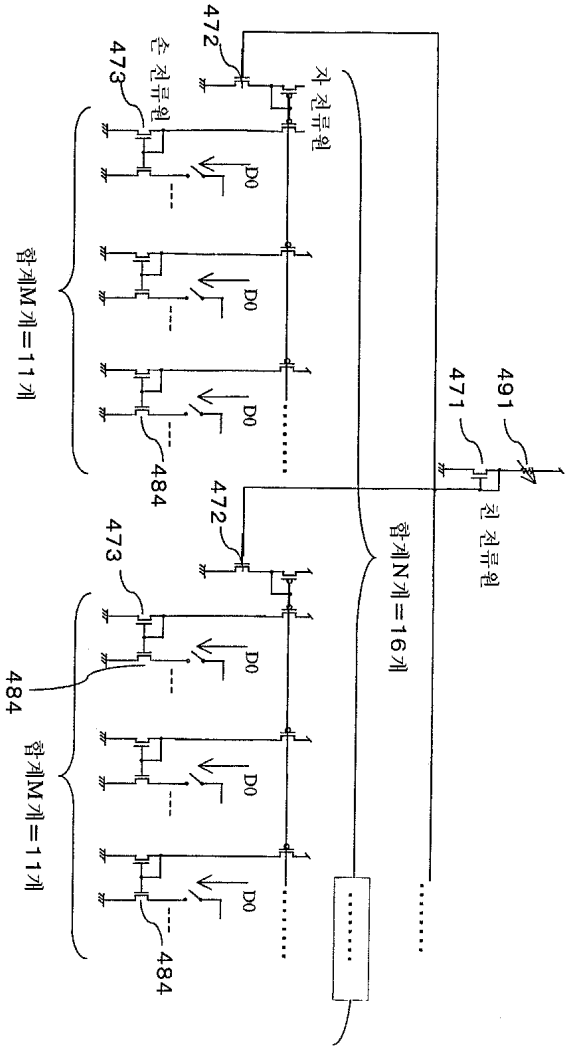
도면47


471
N개
472b
472a
472n
473
473
473
473
M개
M개
M개
합계 N×M개

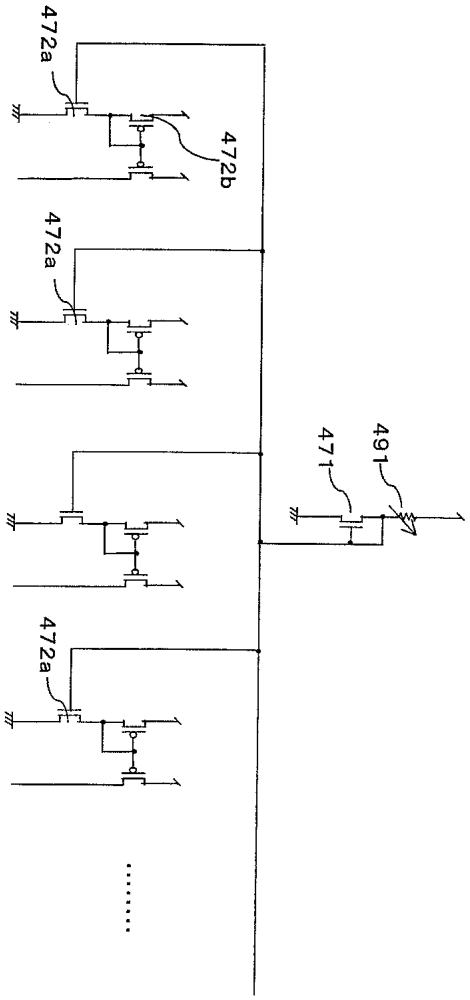
도면48


473b
473a
472b
Ib
D0
481a
D1
484
481b
D2
484
484
484
481c
484
483
484
484
484
D5
Iw
481f
Vw
681

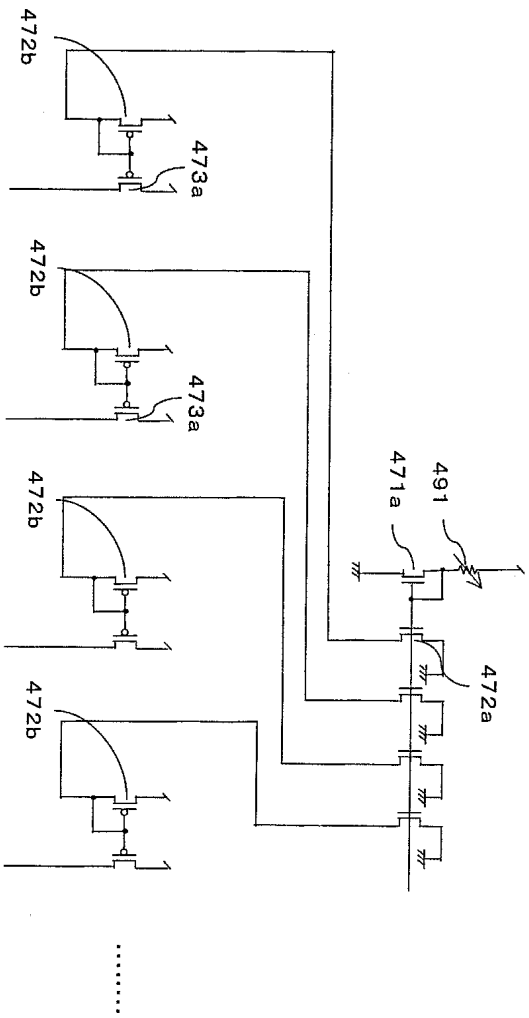
도면49



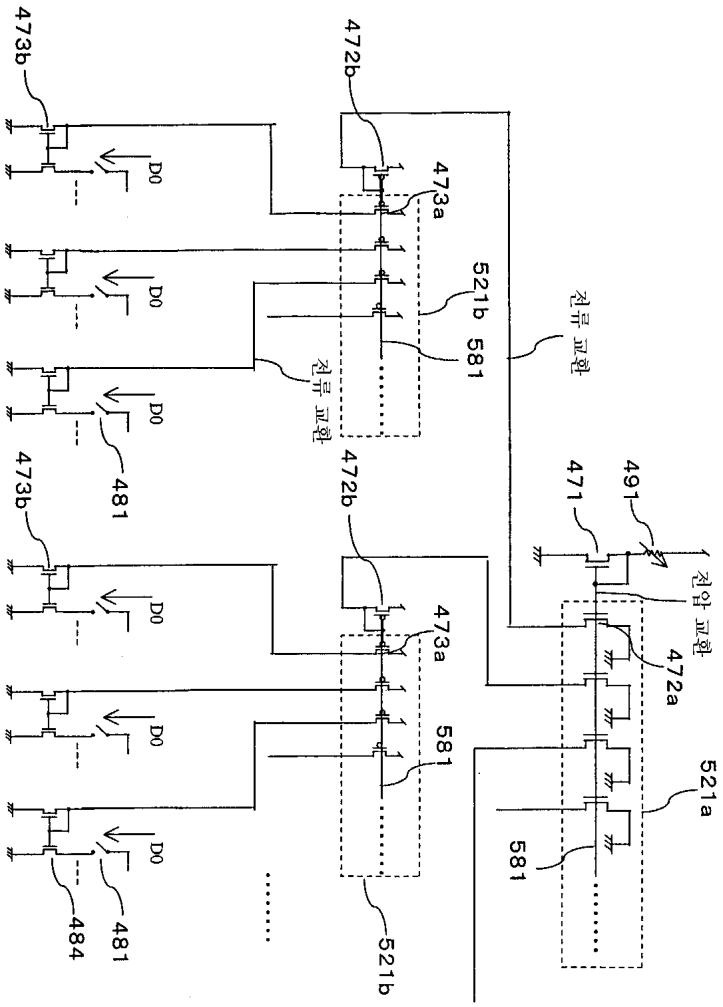
도면50



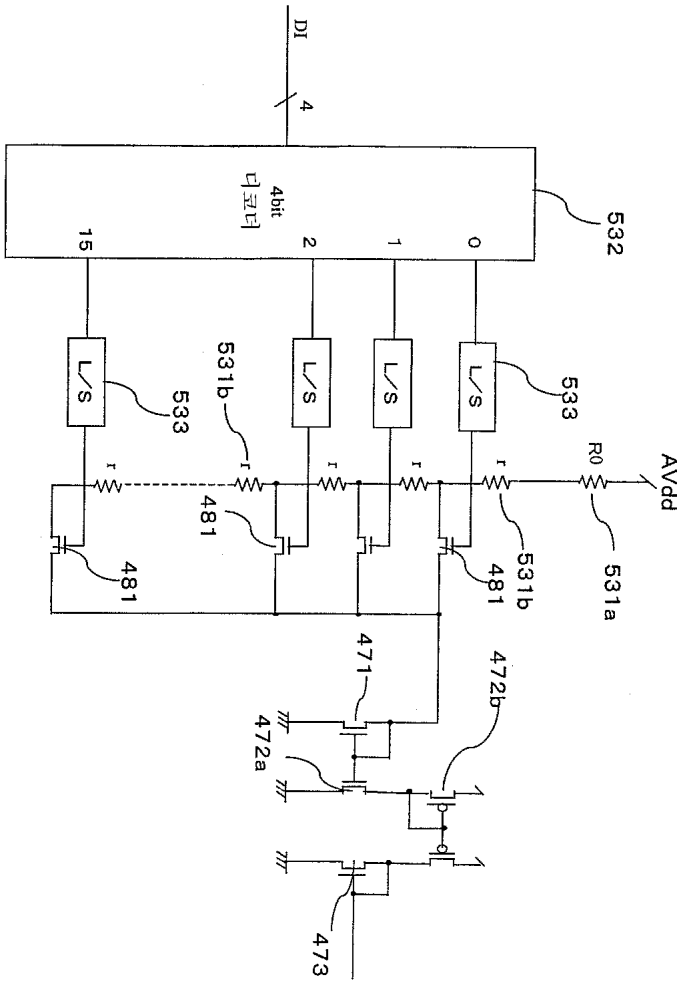
도면51



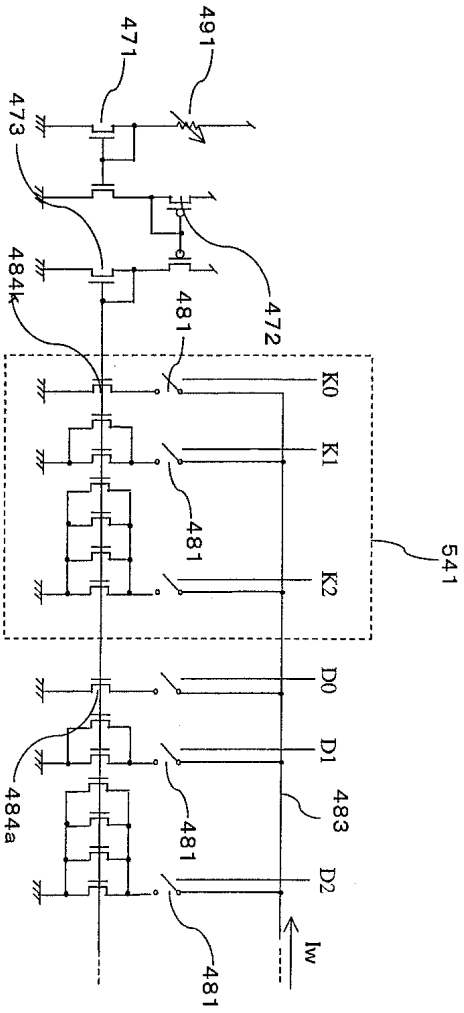
도면52



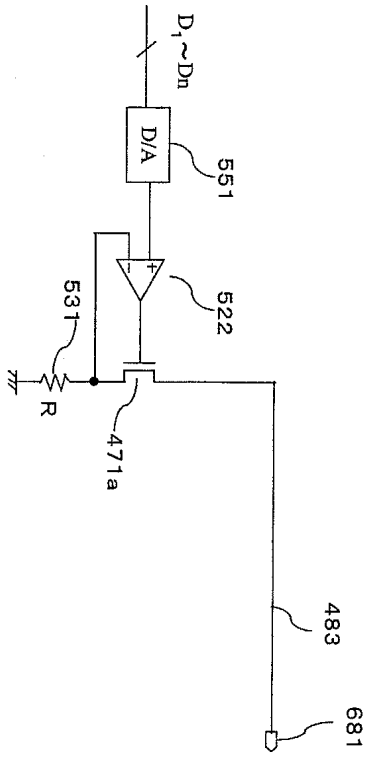
도면53


DI
4
4bit
디코더
532
15
2
1
0
L/S
533
531b
r
481
R0
AVdd
531a
471
472b
472a
473

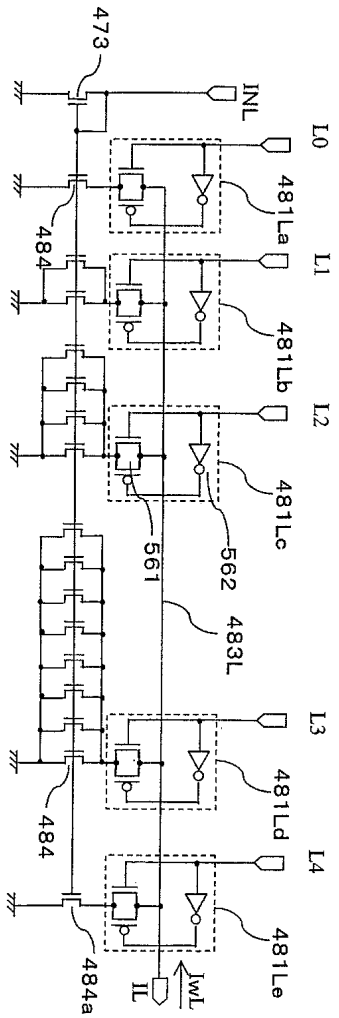
도면54


491
471
473
472
484k
481
K0
K1
481
K2
541
D0
D1
484a
481
483
D2
481
Iw

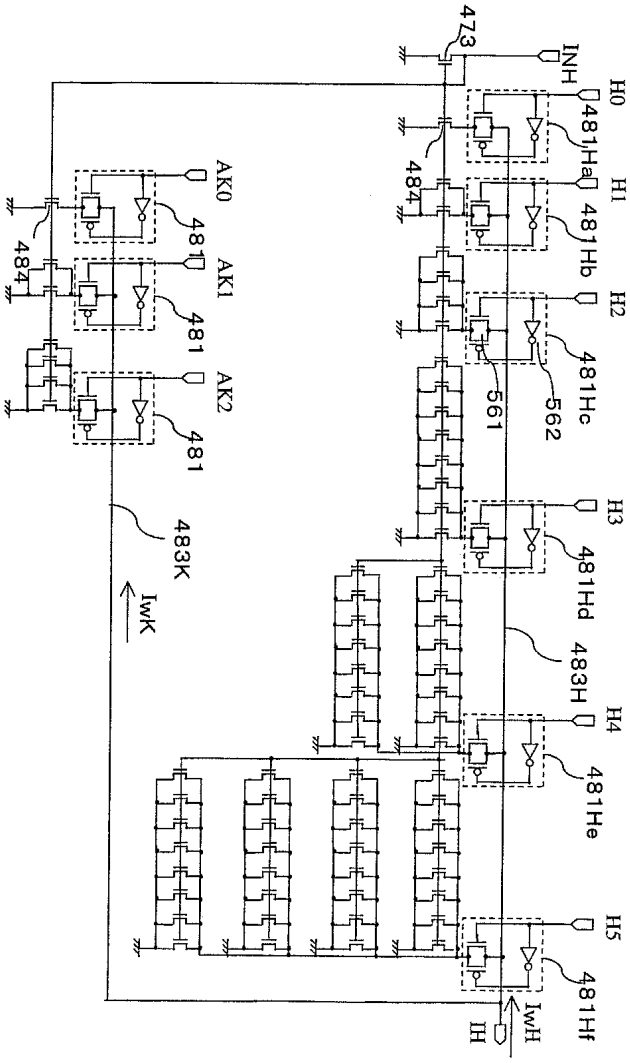
도면55


D1~Dn
D/A
551
522
531
R
471a
483
681

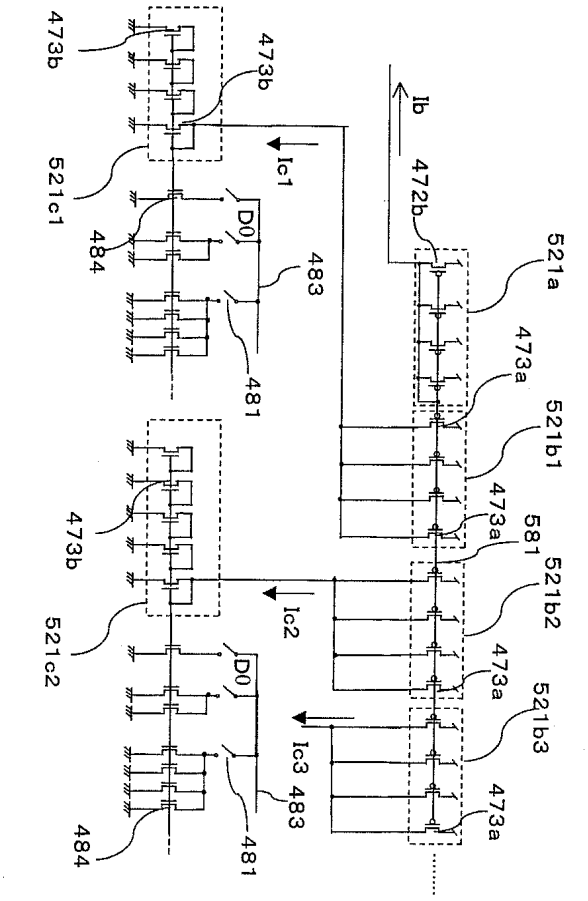
도면56


473
INL
L0
481La
484
L1
481Lb
L2
481Lc
561
562
483L
L3
481Ld
484
L4
481Le
484a
IL
IwL

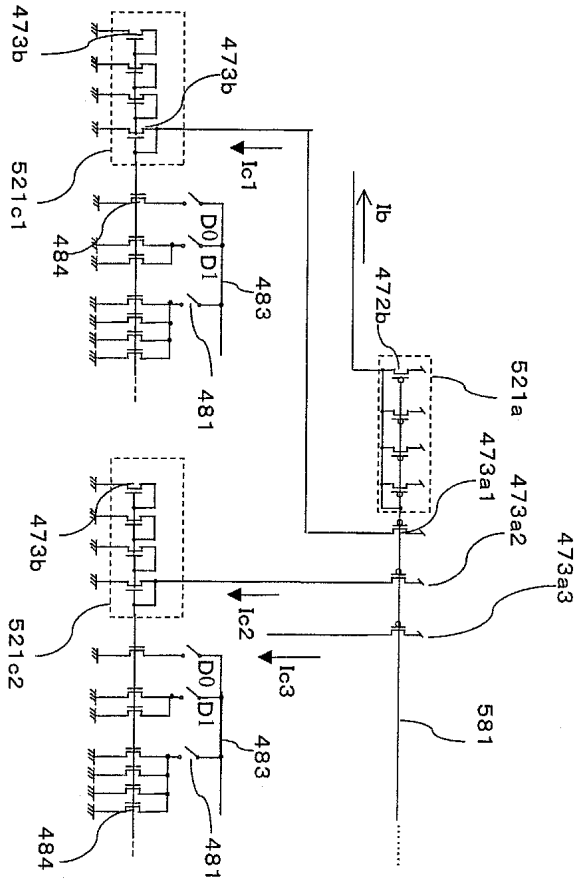
도면57


473
INH
H0
481Ha
484
H1
481Hb
AK0
481
484
AK1
481
H2
481Hc
561
562
AK2
481
H3
481Hd
483K
IwK
483H
H4
481He
H5
481Hf
IH
IwH

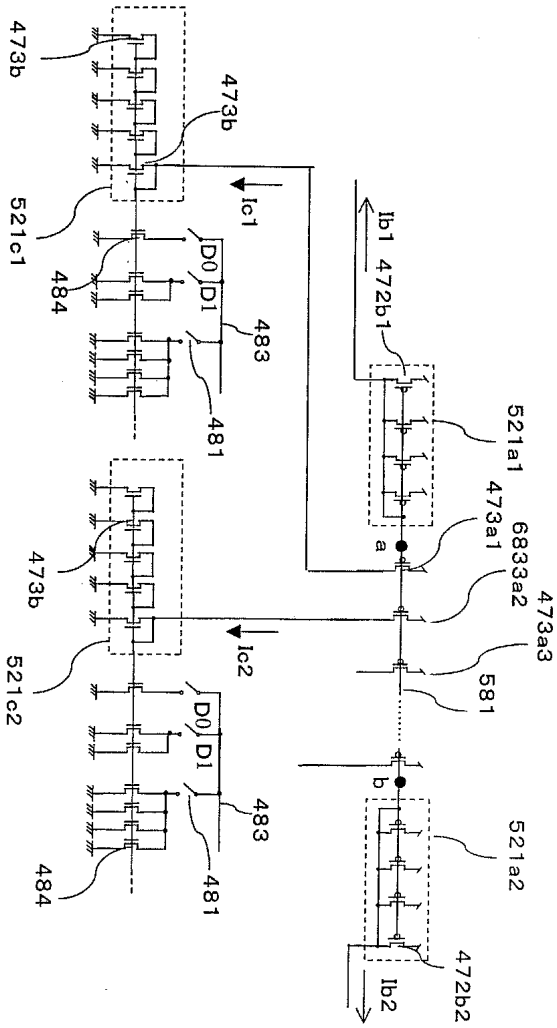
도면58


473b
473b
Ic1
Ib
472b
521c1
D0
484
483
481
521a
473a
521b1
473a
581
473b
521b2
Ic2
521c2
D0
473a
521b3
Ic3
483
484
481
473a

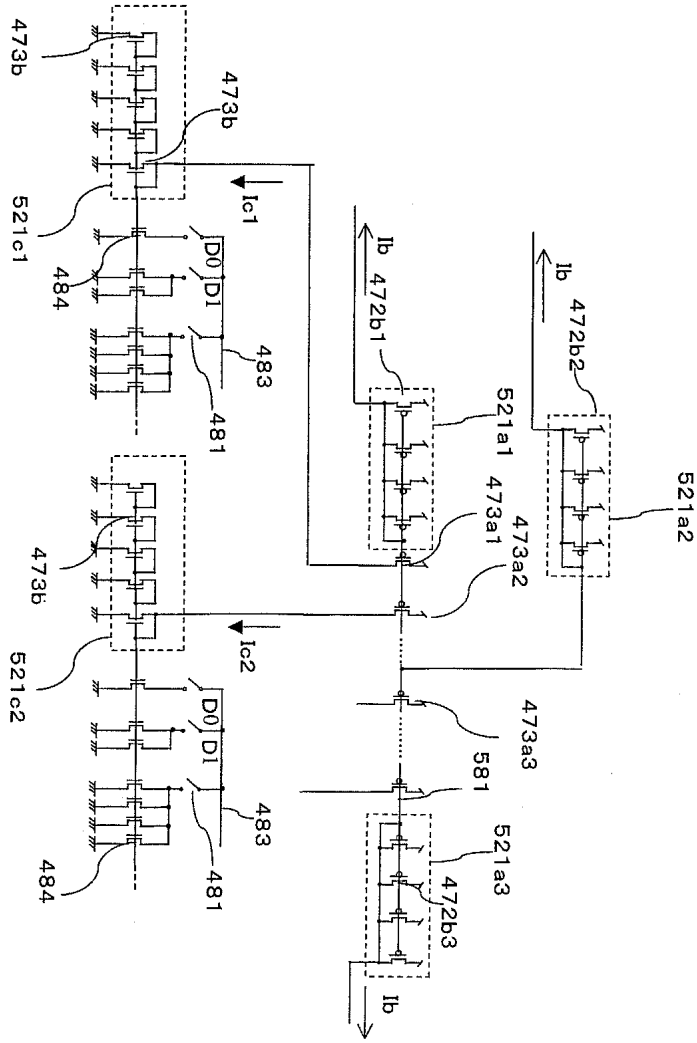
도면59


473b
473b
Ic1
Ib
472b
521c1
D0
D1
484
483
481
521a
473a1
473a2
473a3
473b
Ic2
Ic3
581
521c2
D0
D1
483
484
481

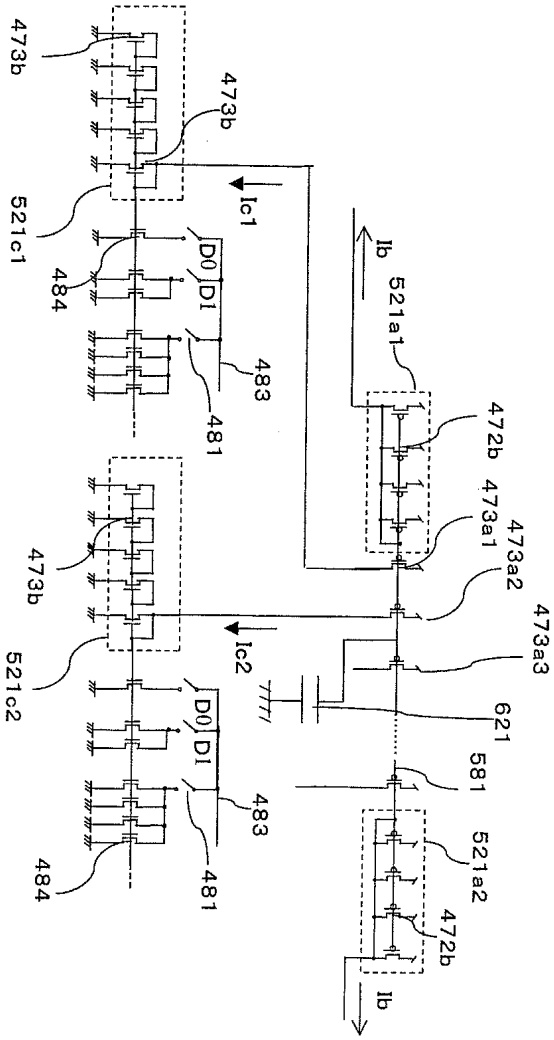
도면60


473b
473b
Ic1
521c1
484
D0
D1
483
481
Ib1
472b1
521a1
473a1
6833a2
473a3
581
a
473b
Ic2
521c2
484
D0
D1
483
481
b
521a2
472b2
Ib2

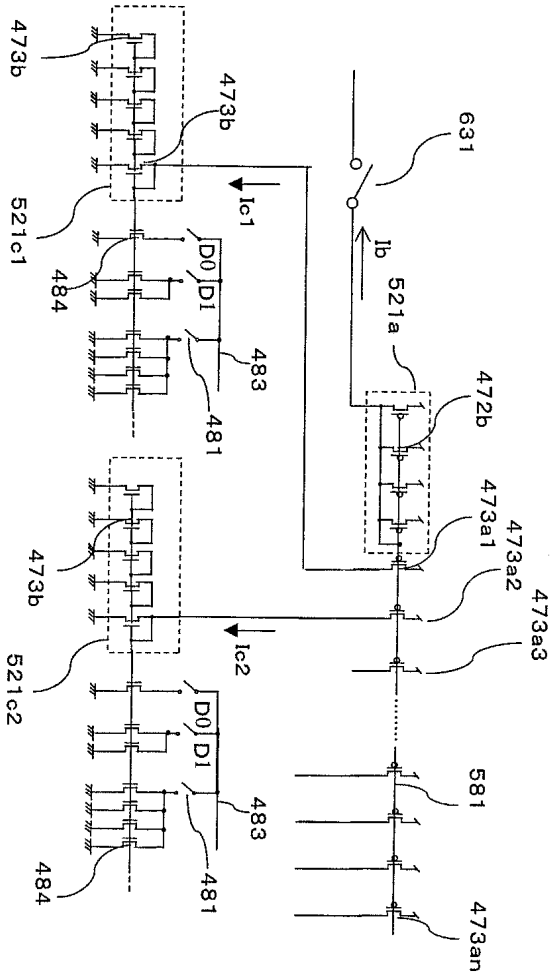
도면61


473b
473b
521c1
484
D0
D1
483
481
Ic1
Ib
472b1
Ib
472b2
521a1
521a2
473a1
473a2
473b
521c2
Ic2
473a3
581
521a3
472b3
Ib

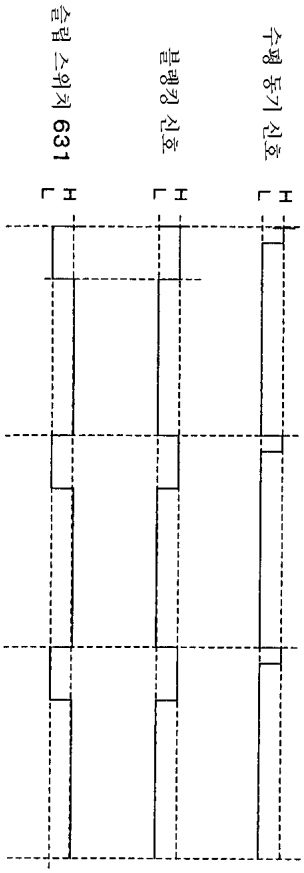
도면62


473b
473b
Ic1
521c1
D0
D1
484
483
481
Ib
521a1
472b
473a1
473a2
473a3
473b
Ic2
521c2
621
581
521a2
472b
Ib

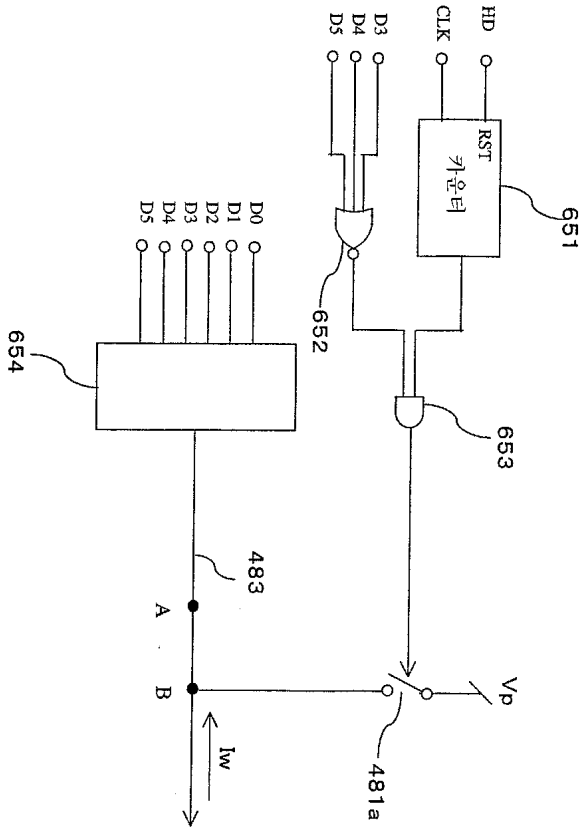
도면63


473b
473b
631
Ic1
Ib
521c1
D0
D1
484
521a
483
472b
481
473a1
473a2
473a3
473b
473b
Ic2
521c2
D0
D1
581
483
484
481
473an

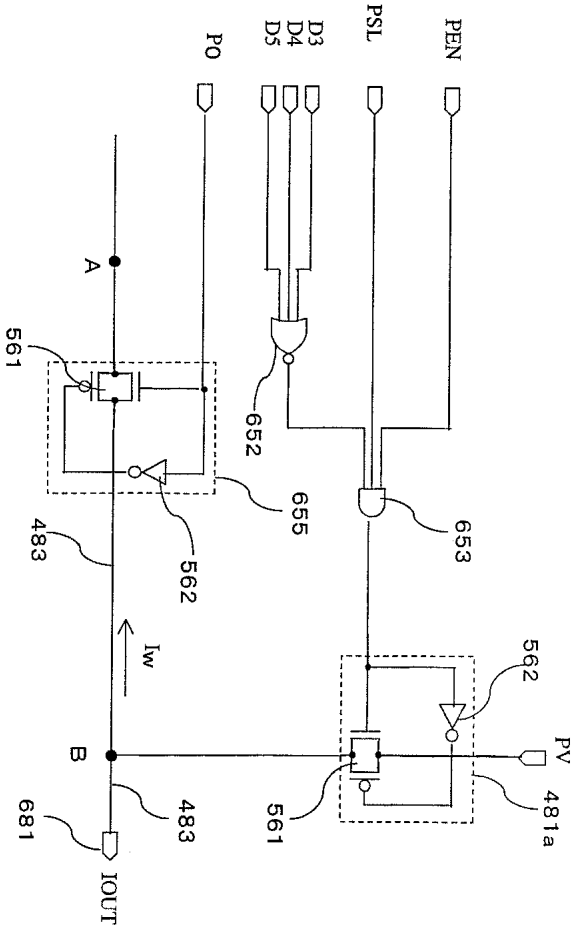
도면64


수평 동기 신호
블랭킹 신호
슬립 스위치 631
H
L

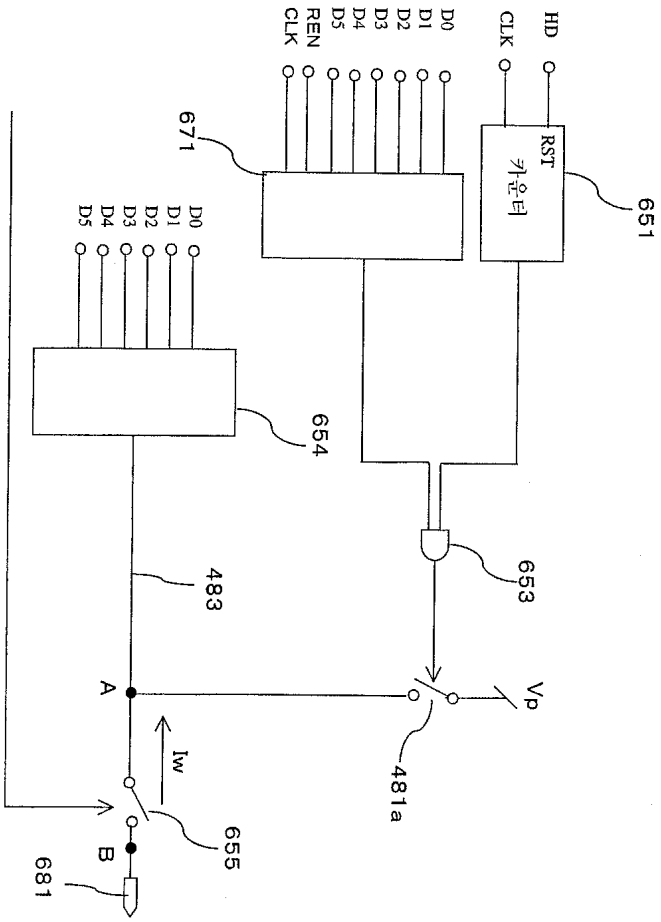
도면65


HD
CLK
D3
D4
D5
RST
카운터
651
652
653
654
D0
D1
D2
D3
D4
D5
483
A
B
Vp
Iw
481a

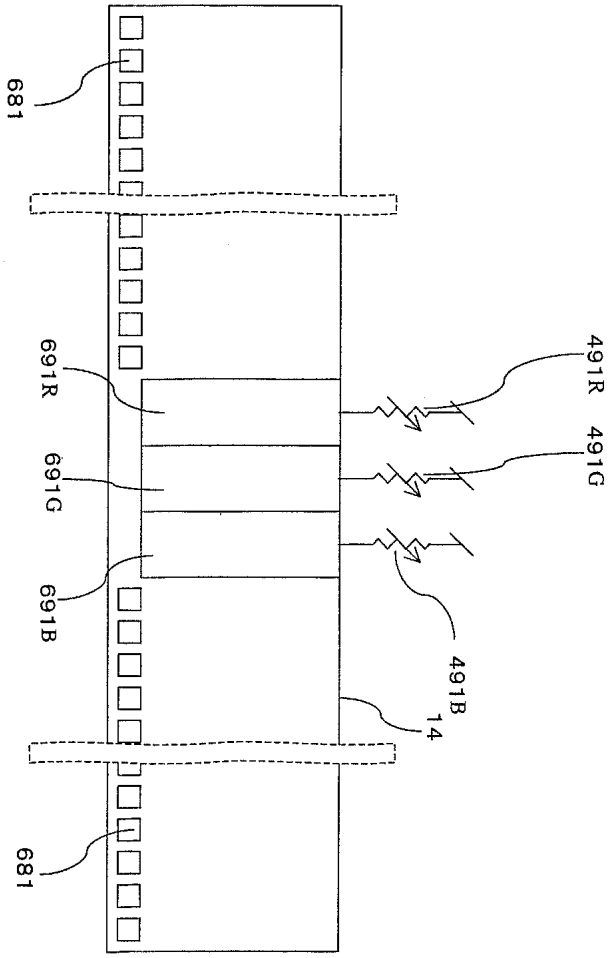
도면66


PO
D3
D4
D5
PSL
PEN
A
561
652
655
653
483
562
Iw
562
PV
B
681
483
561
481a
IOUT

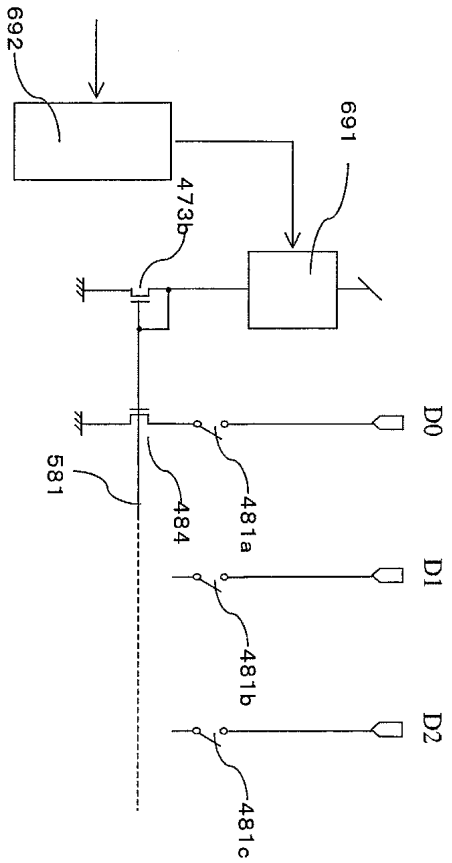
도면67


HD
CLK
D0
D1
D2
D3
D4
D5
REN
CLK
RST
카운터
651
671
654
653
483
A
B
Vp
Iw
481a
655
681

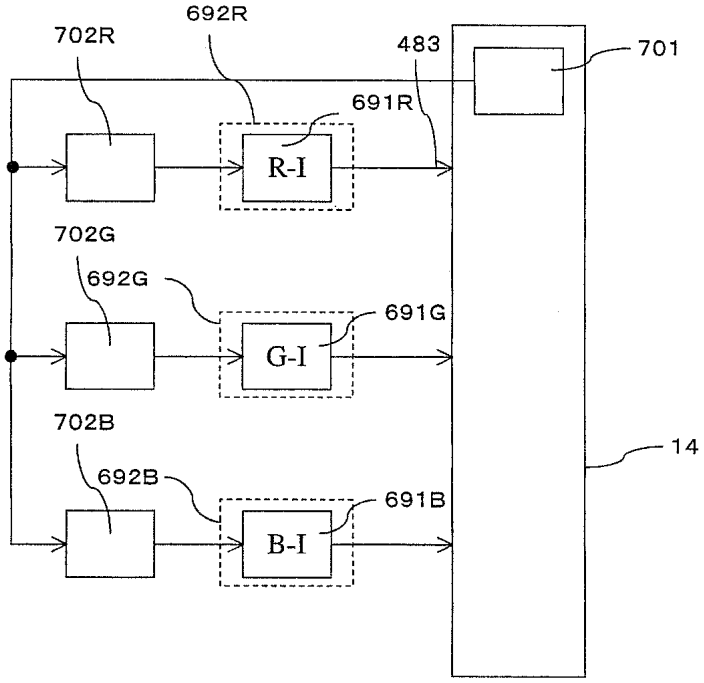
도면68



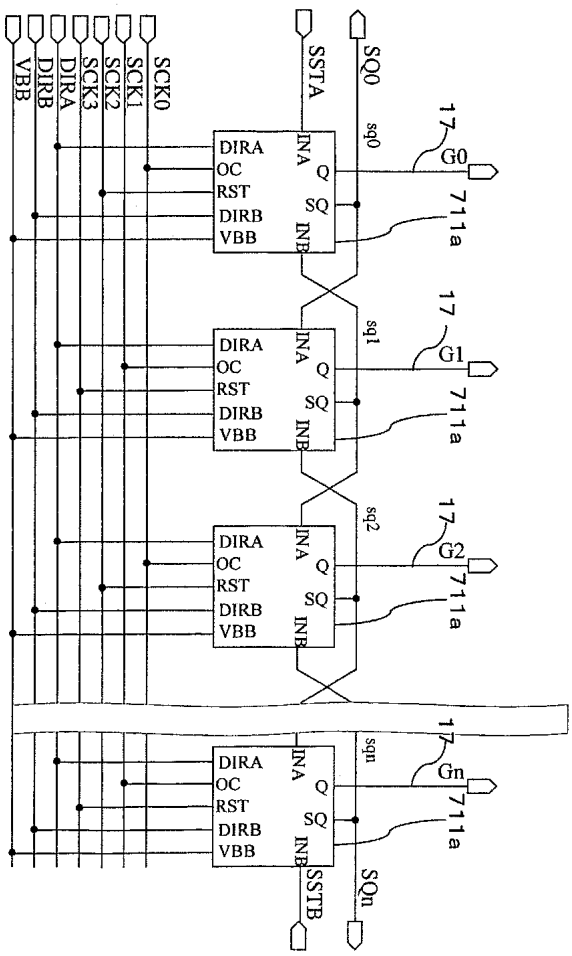
도면69


692
691
473b
D0
581
484
481a
D1
481b
D2
481c

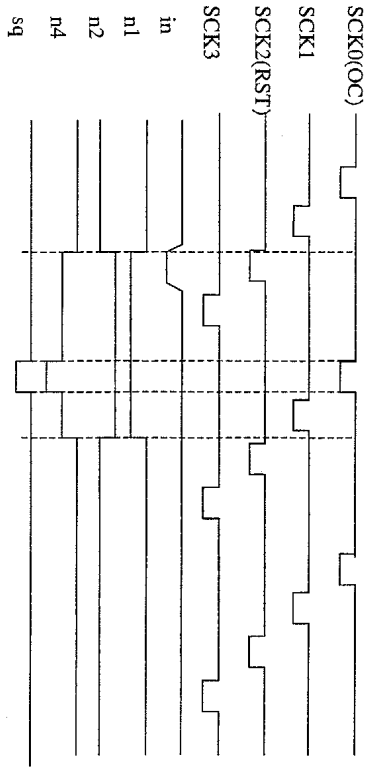
도면70


692R
702R
483
701
691R
R-I
702G
692G
691G
G-I
702B
692B
691B
B-I
14

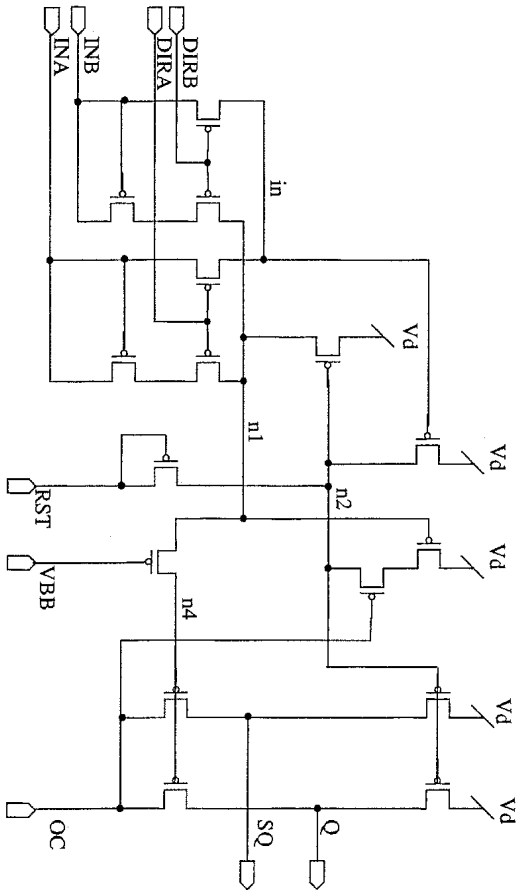
도면71


VBB
DIRB
DIRA
SCK3
SCK2
SCK1
SCK0
SSTA
SQ0
DIRA
OC
RST
DIRB
VBB
INA
INB
Q
SQ
sq0
sq1
sq2
sqn
17
G0
G1
G2
Gn
711a
SSTB
SQn

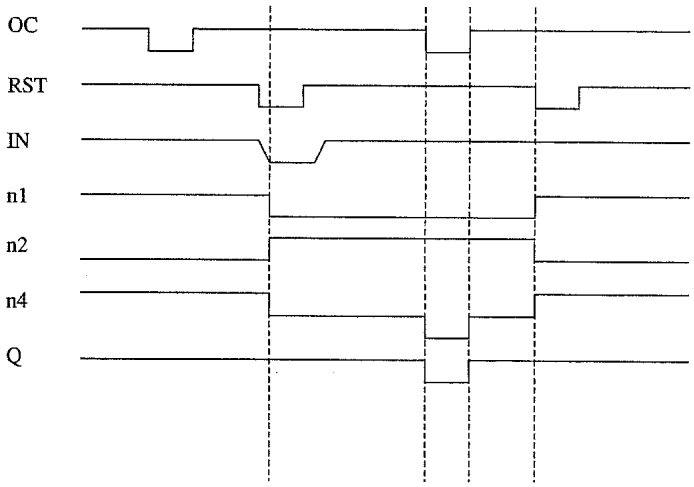
도면72


sq
n4
n2
n1
in
SCK3
SCK2(RST)
SCK1
SCK0(OC)

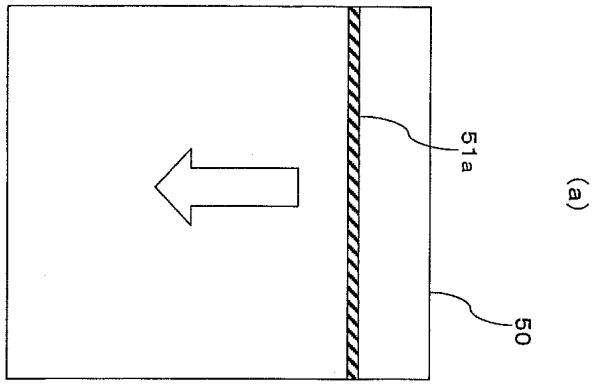
도면73

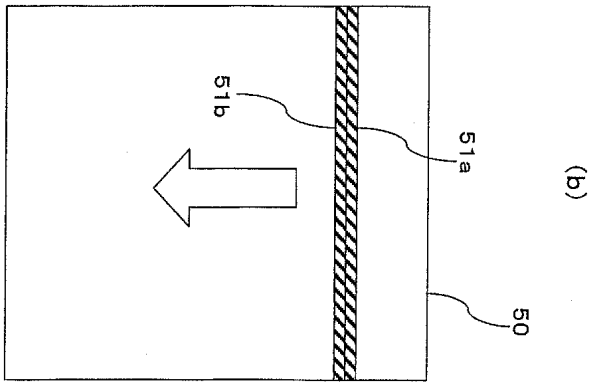

INA
INB
DIRA
DIRB
in
Vd
n1
Vd
RST
n2
Vd
VBB
n4
Vd
Vd
OC
SQ
Q

도면74

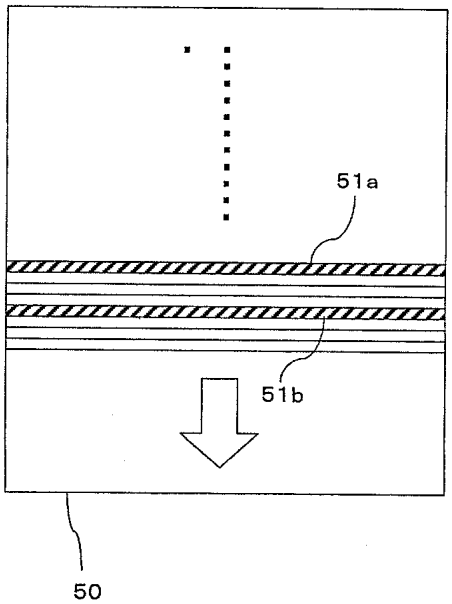

OC
RST
IN
n1
n2
n4
Q

도면75

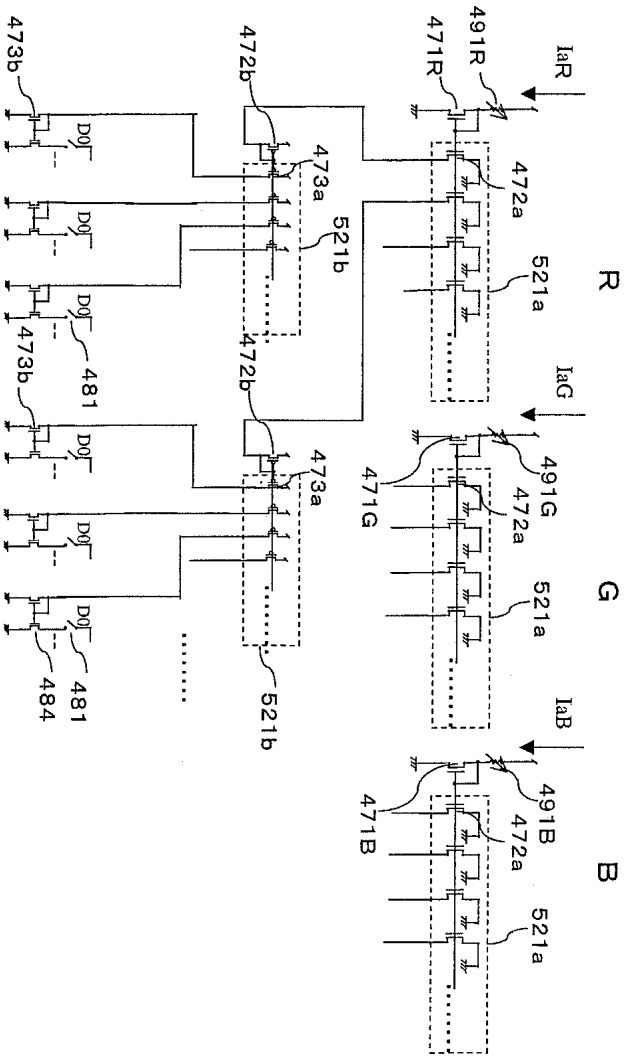




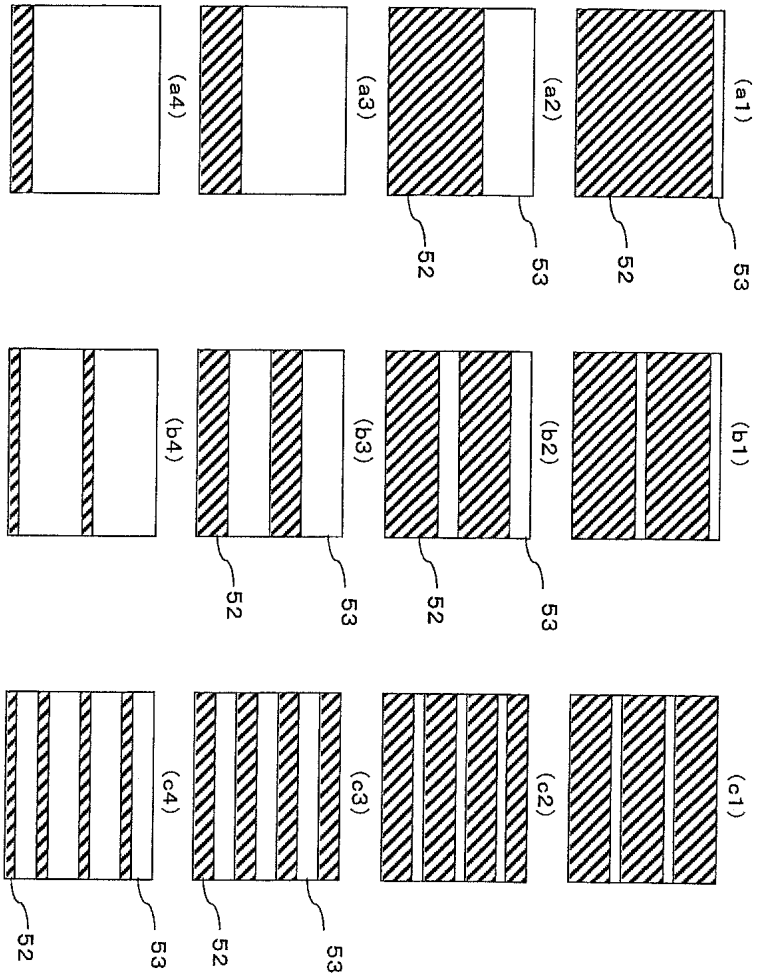
도면76



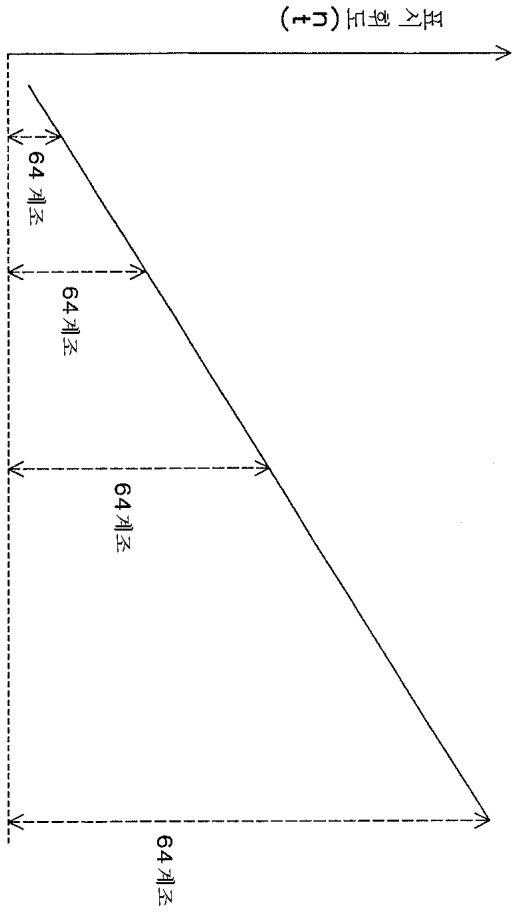
도면77


IaR
IaG
IaB
R
G
B
491R
471R
472a
521a
473b
472b
473a
521b
D0
481
484
491G
471G
491B
471B

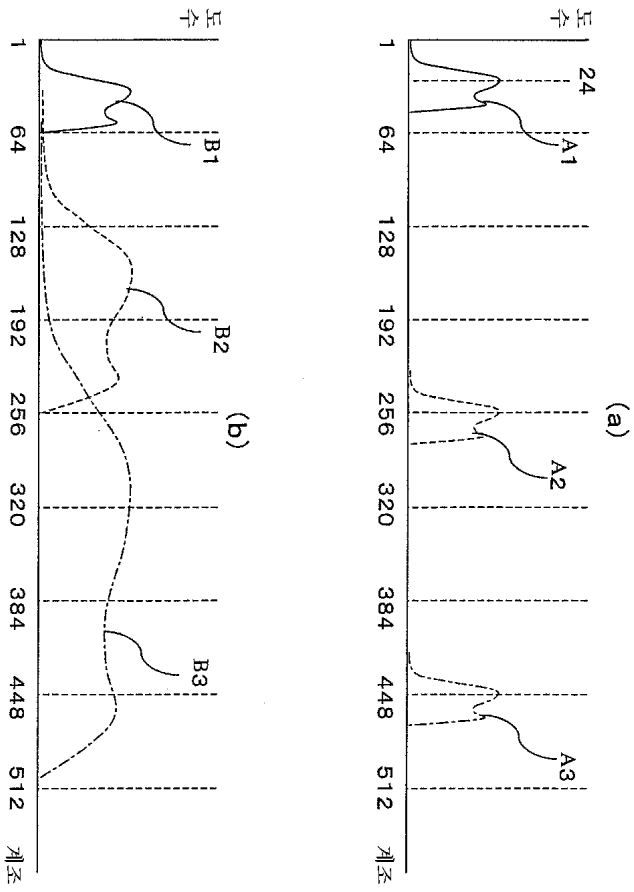
도면78



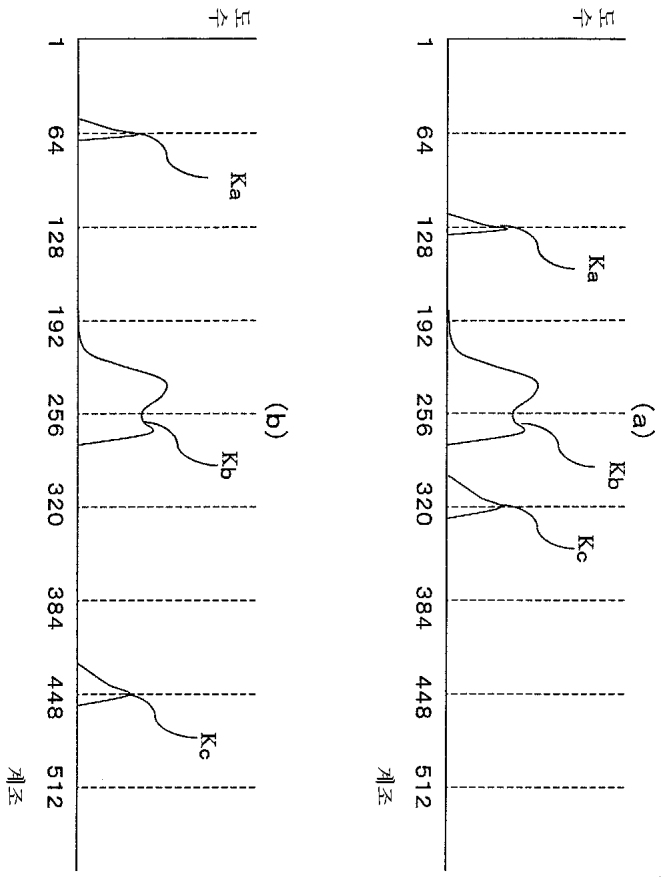
도면79


보조 휘도 (Cn)
64 계조
64 계조
64 계조
64 계조

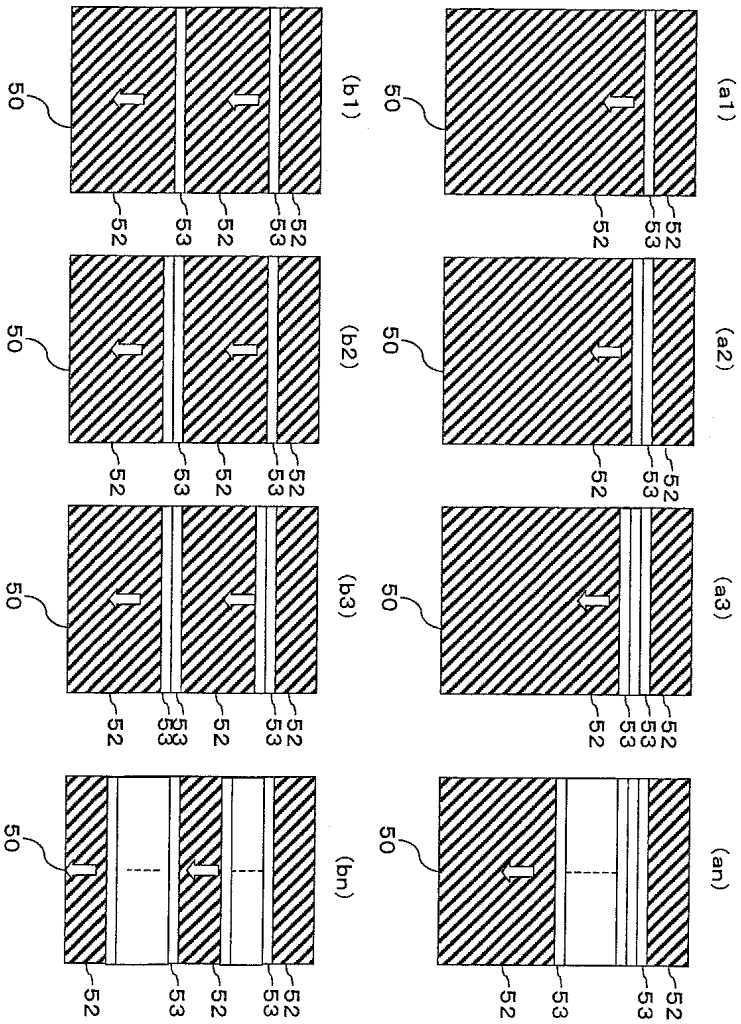
도면80


도수
1
64
128
192
256
320
384
448
512
계조
24
A1
A2
A3
(a)
B1
B2
B3
(b)

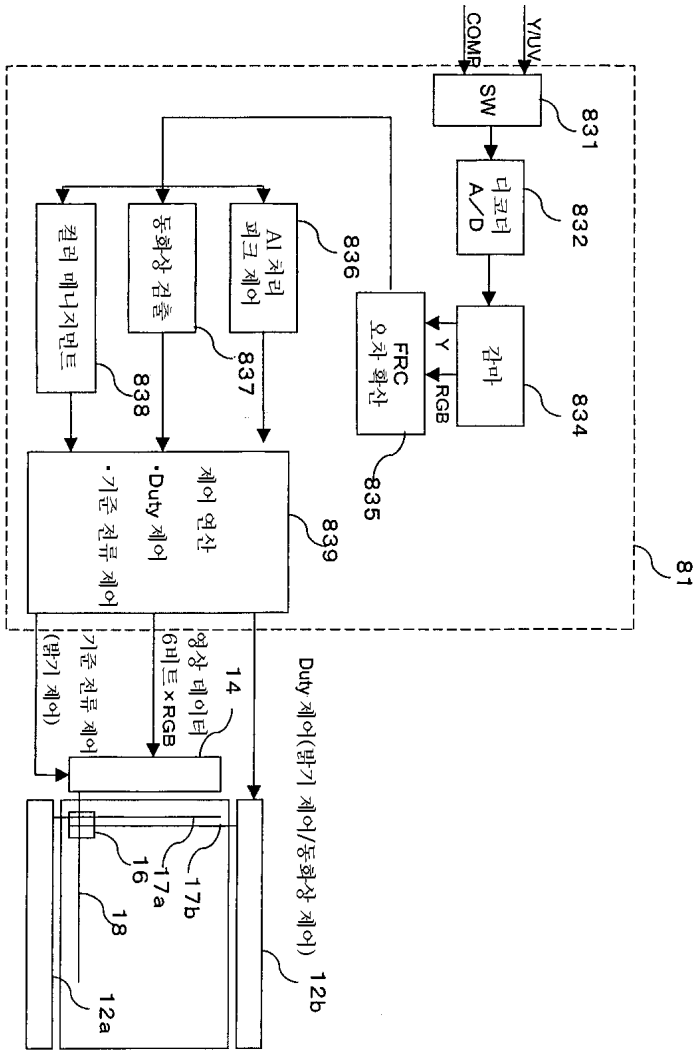
도면81


(a)
도수
1
64
128
192
256
320
384
448
512
계조
Ka
Kb
Kc
(b)
도수
1
64
128
192
256
320
384
448
512
계조
Ka
Kb
Kc

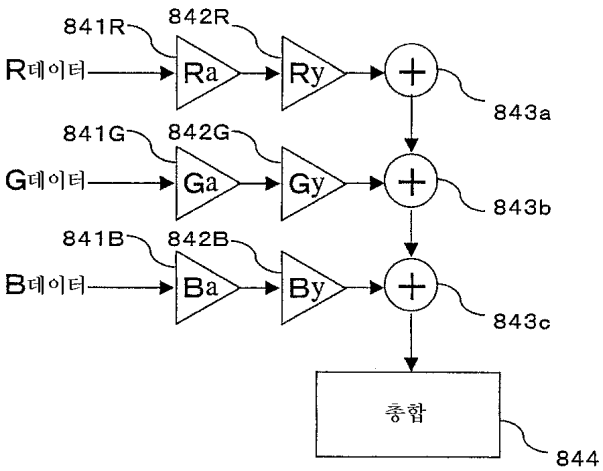
도면82



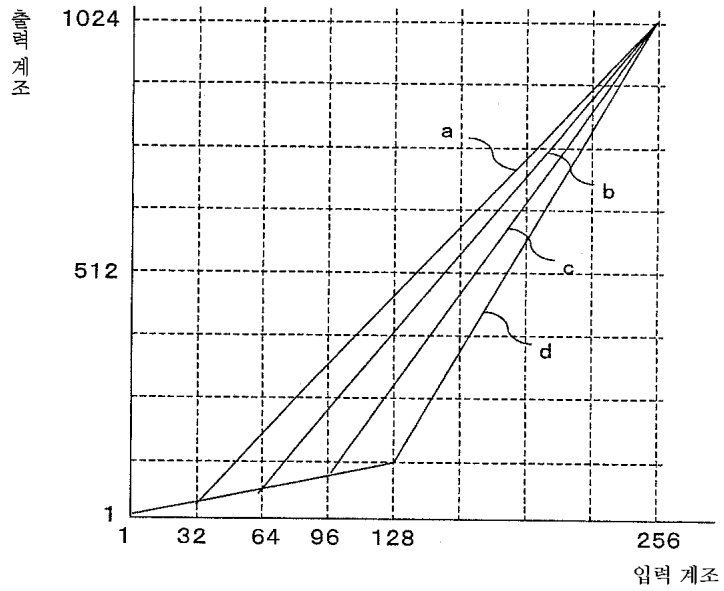
도면83


COMP
Y/UV
SW
831
디코더 A/D
832
감마
834
Y
RGB
FRC 오차 확산
835
AI 처리 피크 제어
836
동화상 검출
837
컬러 매니지먼트
838
제어 연산
·Duty 제어
·기준 전류 제어
839
81
기준 전류 제어 (밝기 제어)
영상 데이터 6비트×RGB
14
Duty 제어(밝기 제어/동화상 제어)
12b
16
17a
17b
18
12a

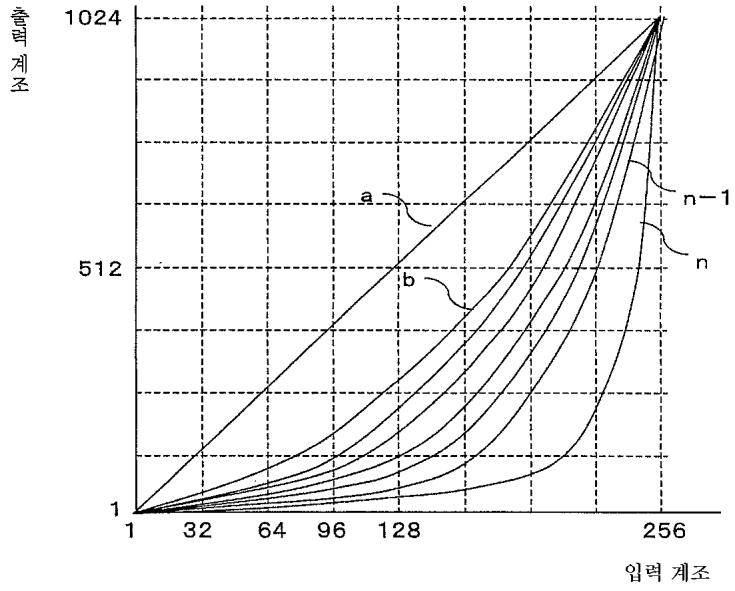
도면84


841R
842R
R데이터
Ra
Ry
843a
841G
842G
G데이터
Ga
Gy
843b
841B
842B
B데이터
Ba
By
843c
총합
844

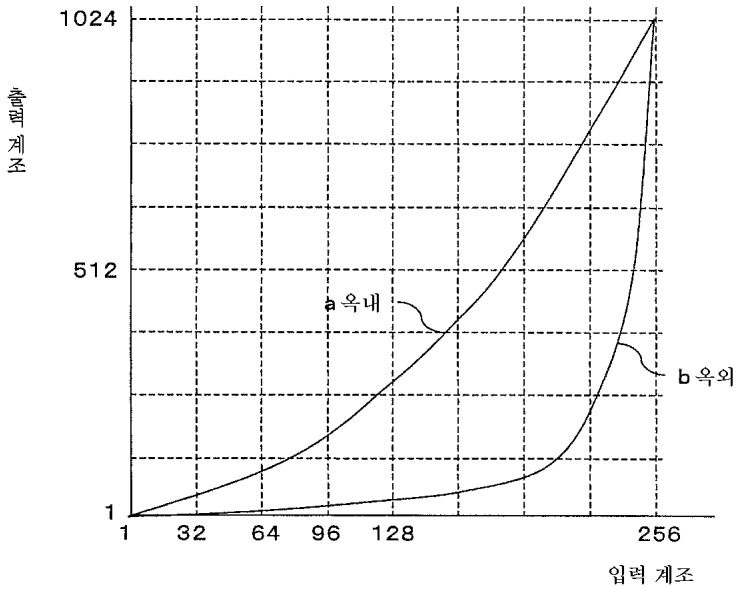
도면85


출력 계조
1024
512
1
a
b
c
d
1
32
64
96
128
256
입력 계조

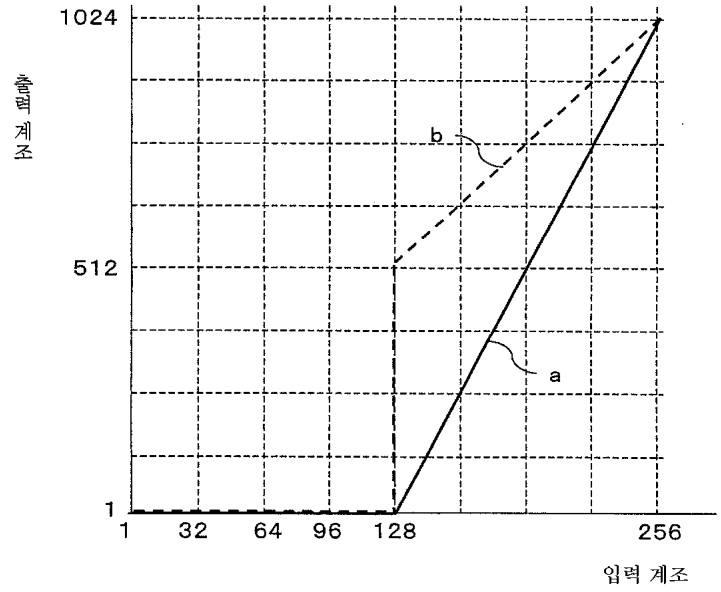
도면86


출력 계조
1024
512
1
a
b
n−1
n
1
32
64
96
128
256
입력 계조

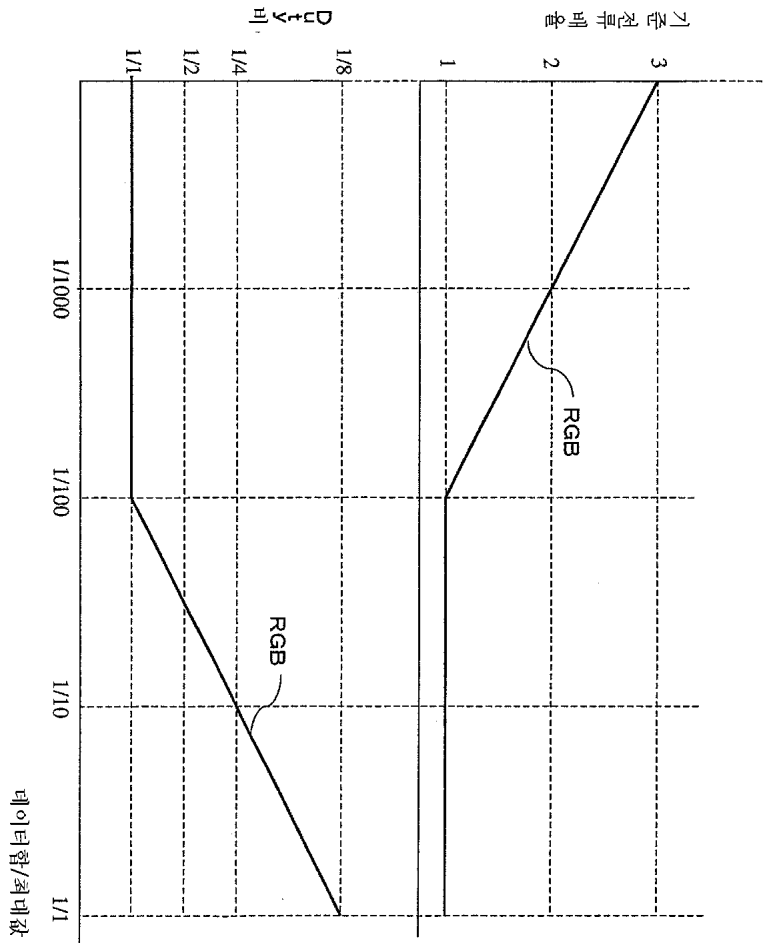
도면87


1024
512
1
출력 계조
a 옥내
b 옥외
1
32
64
96
128
256
입력 계조

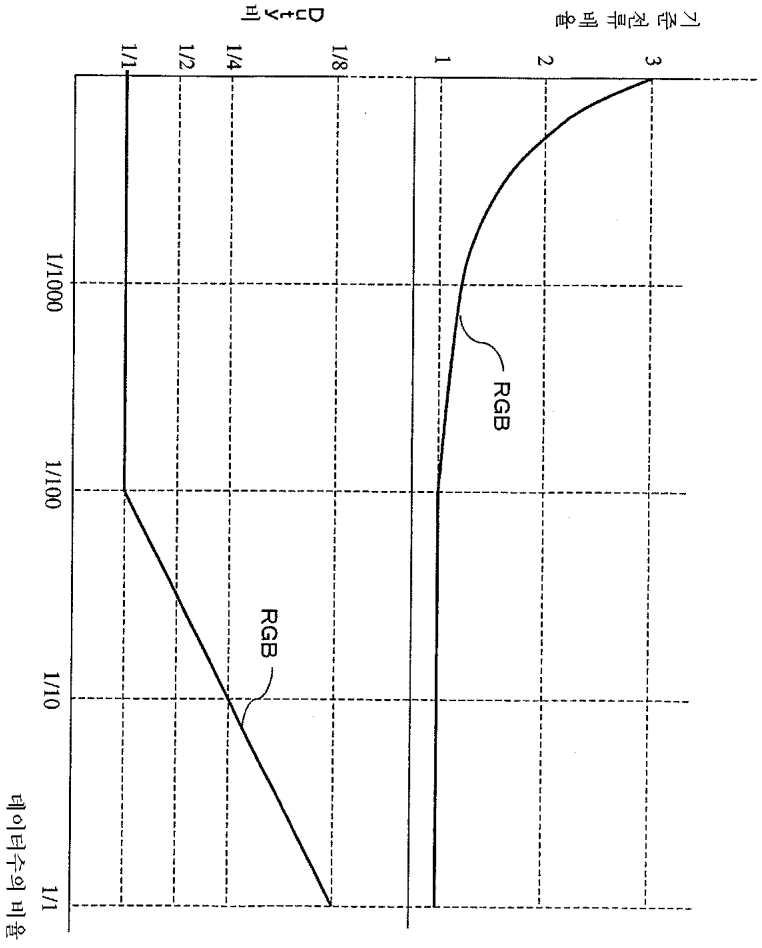
도면88


1024
512
1
출력 계조
b
a
1
32
64
96
128
256
입력 계조

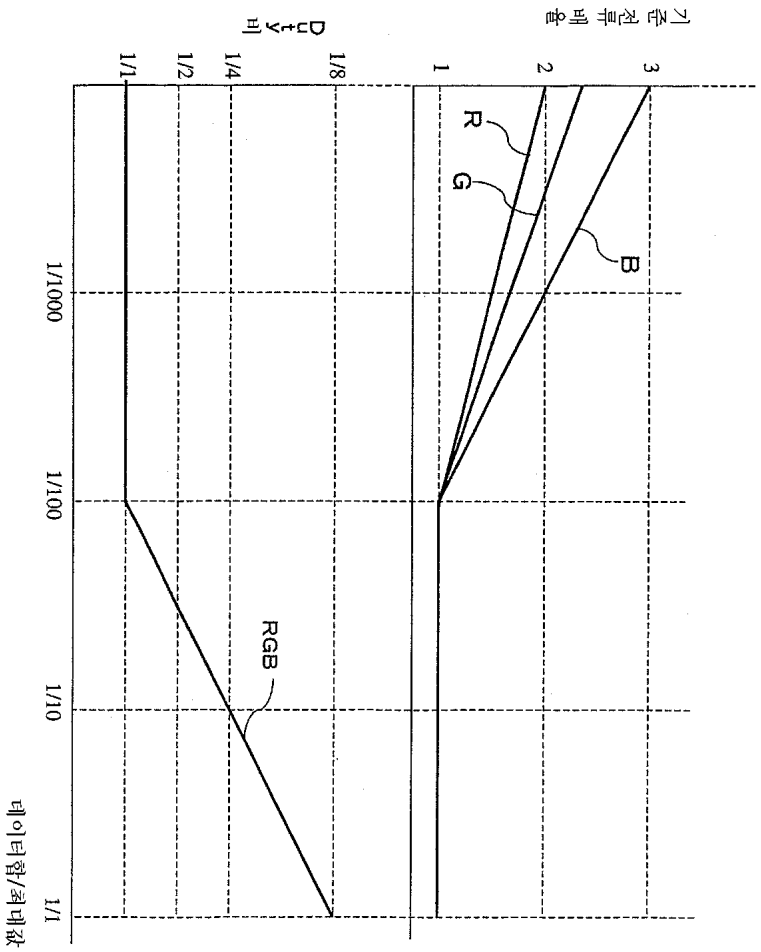
도면89



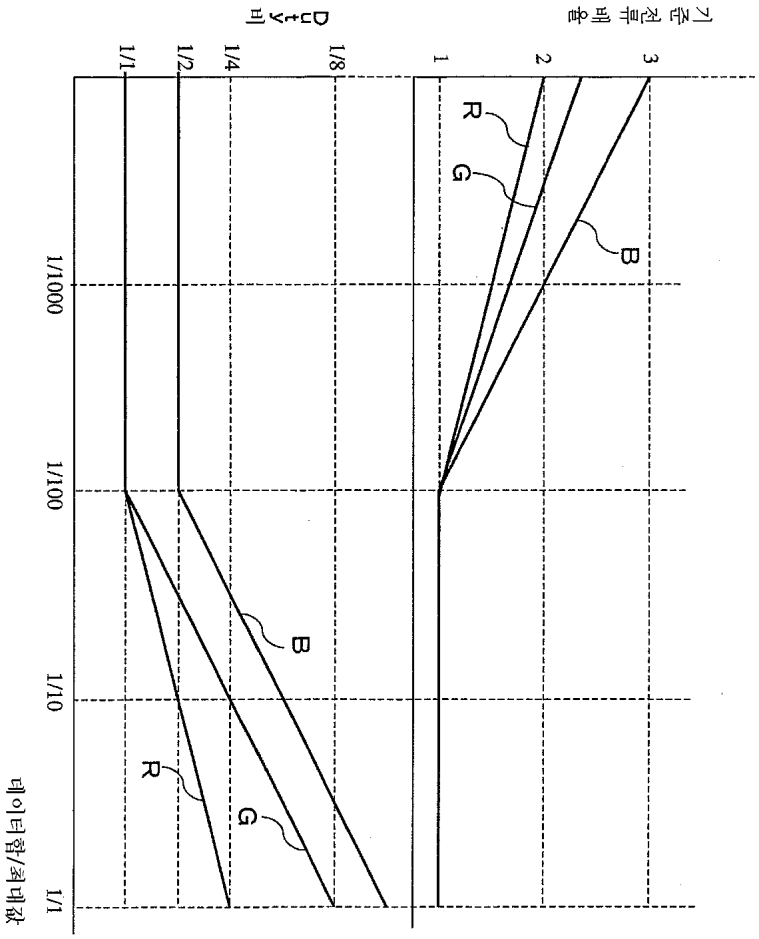
도면90



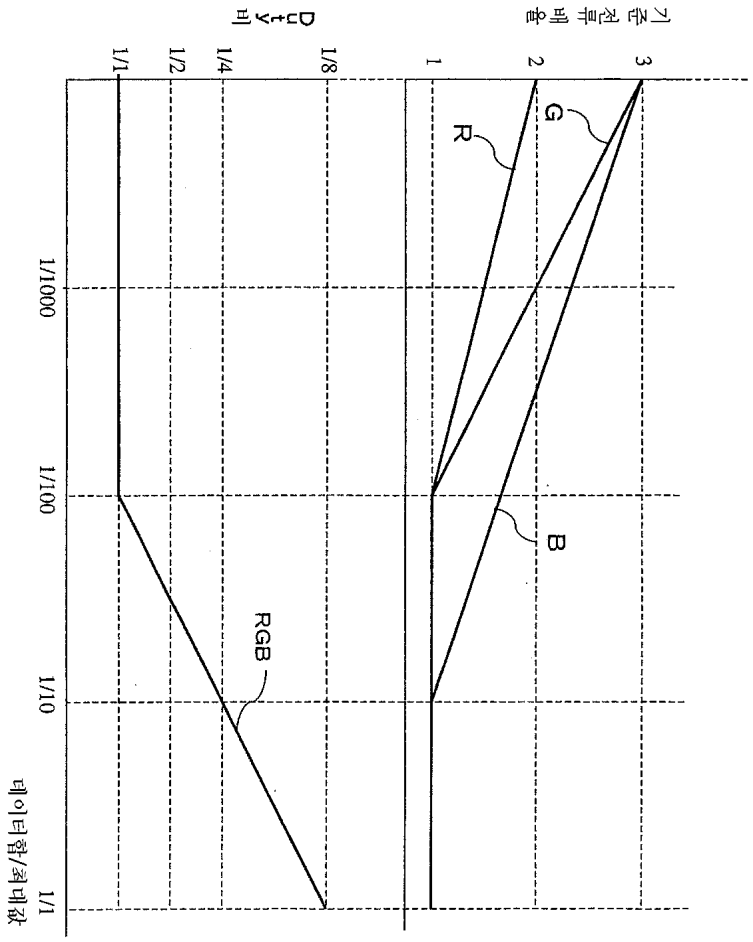
도면91



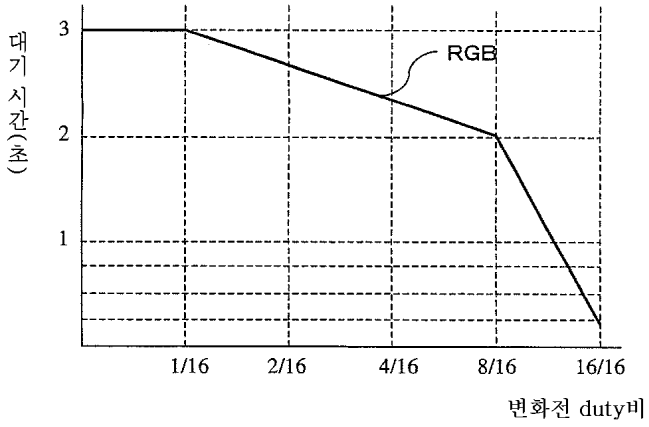
도면92



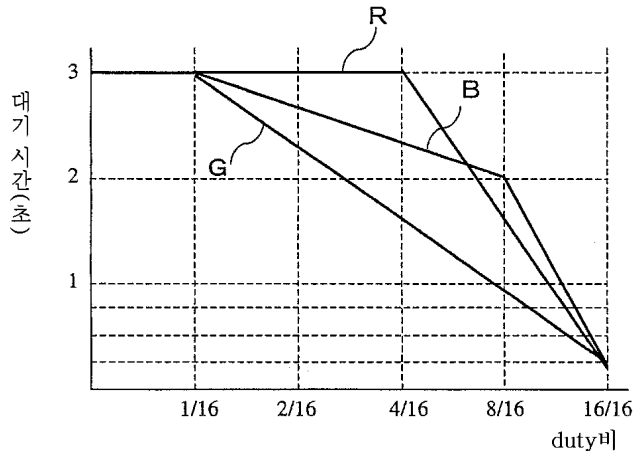
도면93


듀티비
1/1
1/2
1/4
1/8
기준 휘도 배율
1
2
3
R
G
B
RGB
1/1000
1/100
1/10
1/1
데이터합/최대값

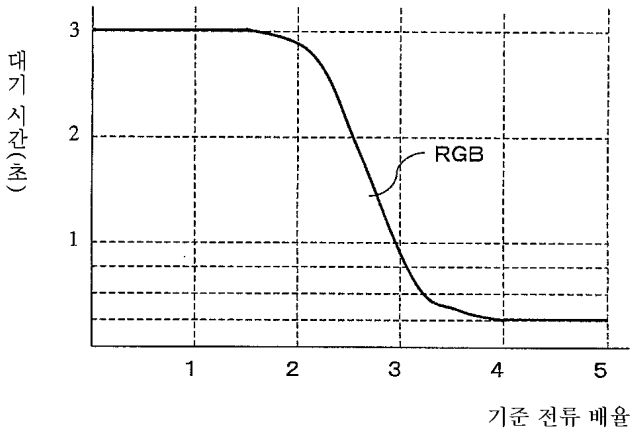
도면94


대기 시간(초)
3
2
1
RGB
1/16
2/16
4/16
8/16
16/16
변화전 duty비

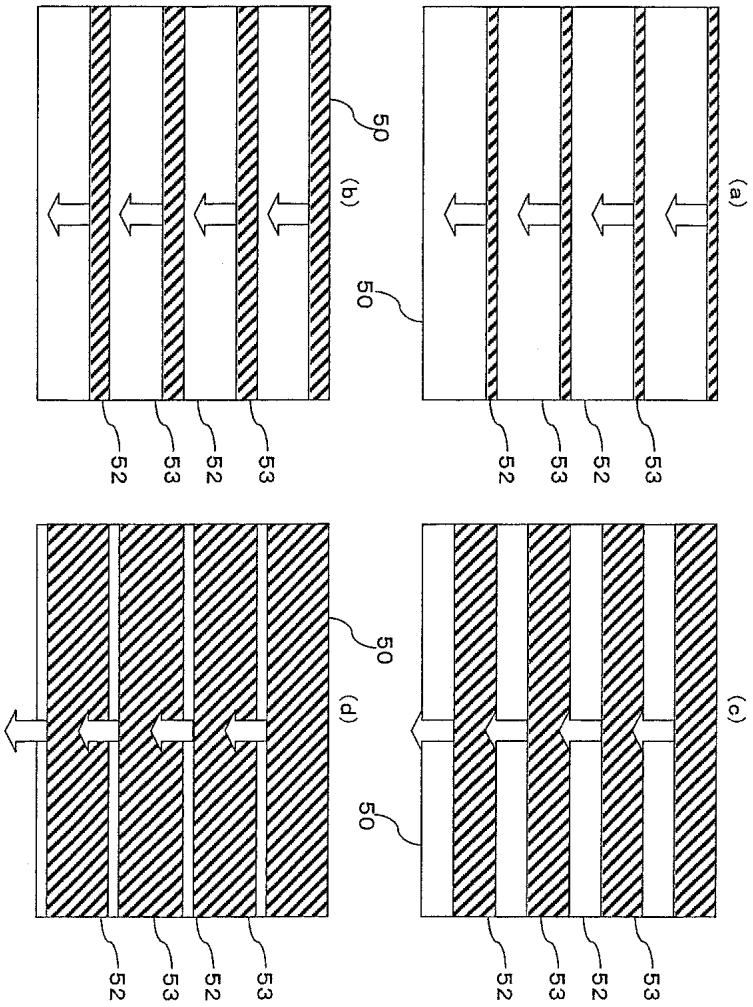
도면95


R
B
G
3
2
1
대기 시간(초)
1/16
2/16
4/16
8/16
16/16
duty비

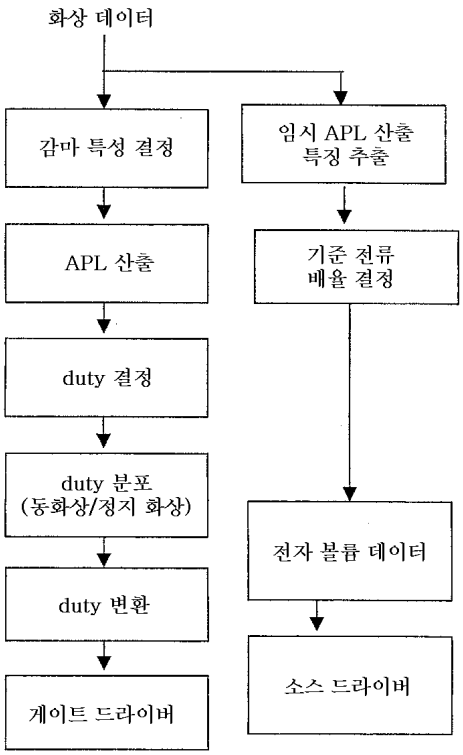
도면96


3
2
1
대기 시간(초)
RGB
1
2
3
4
5
기준 전류 배율

도면97

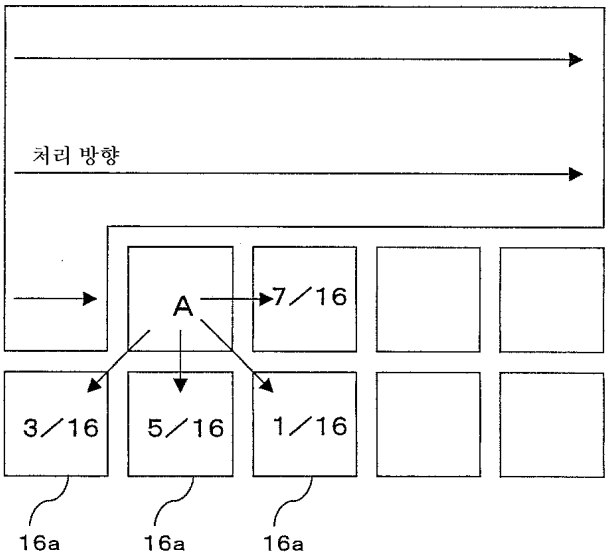

50
(b)
50
(a)
52
53
52
53
52
53
52
53
50
(d)
50
(c)
52
53
52
53
52
53
52
53

도면98

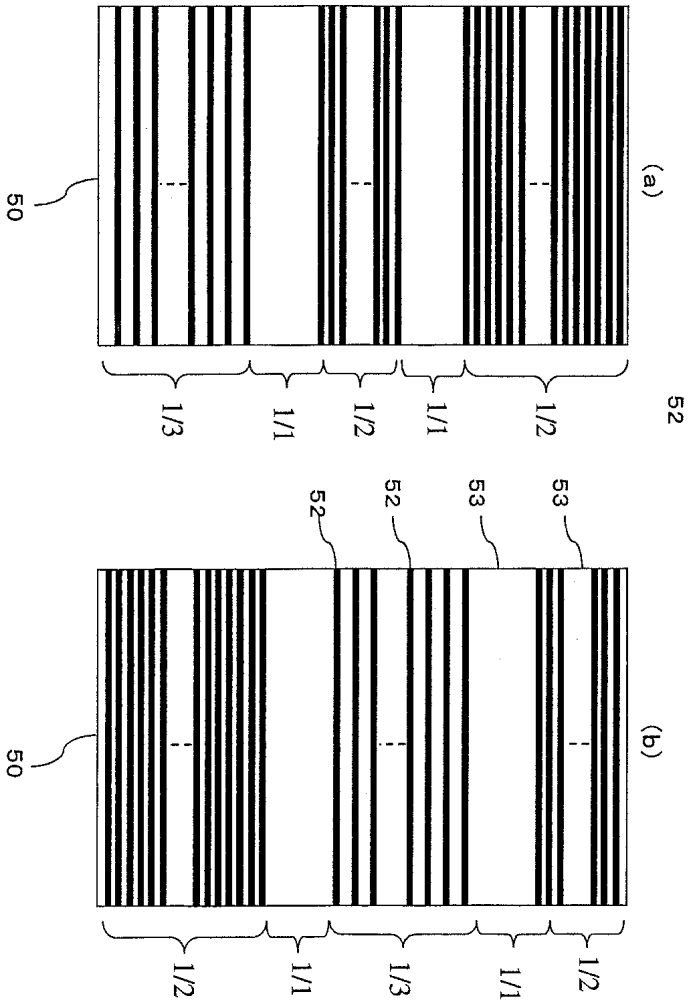

화상 데이터
감마 특성 결정
APL 산출
duty 결정
duty 분포
(동화상/정지 화상)
duty 변환
게이트 드라이버
임시 APL 산출
특징 추출
기준 전류
배율 결정
전자 볼륨 데이터
소스 드라이버

도면99

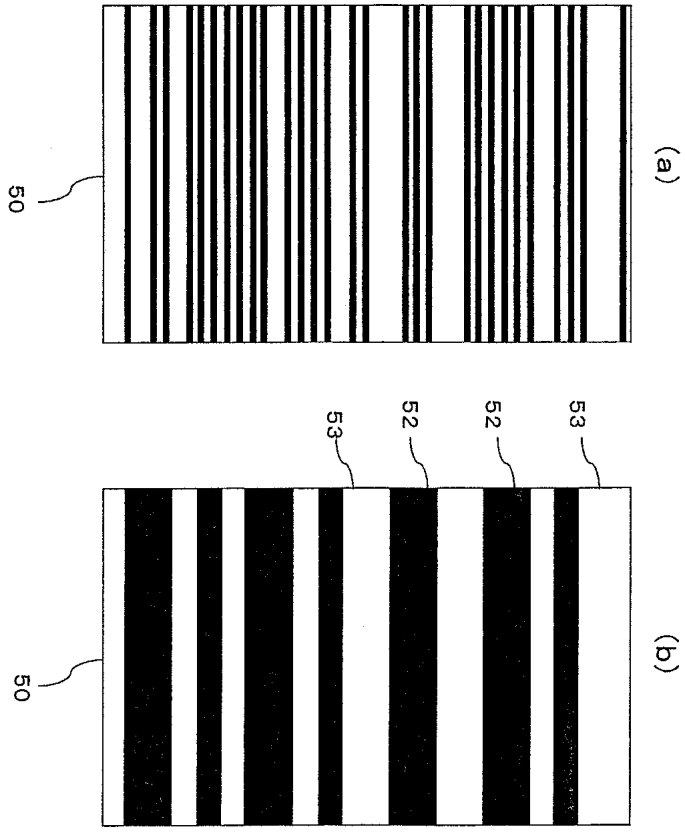
오차 확산
FRC



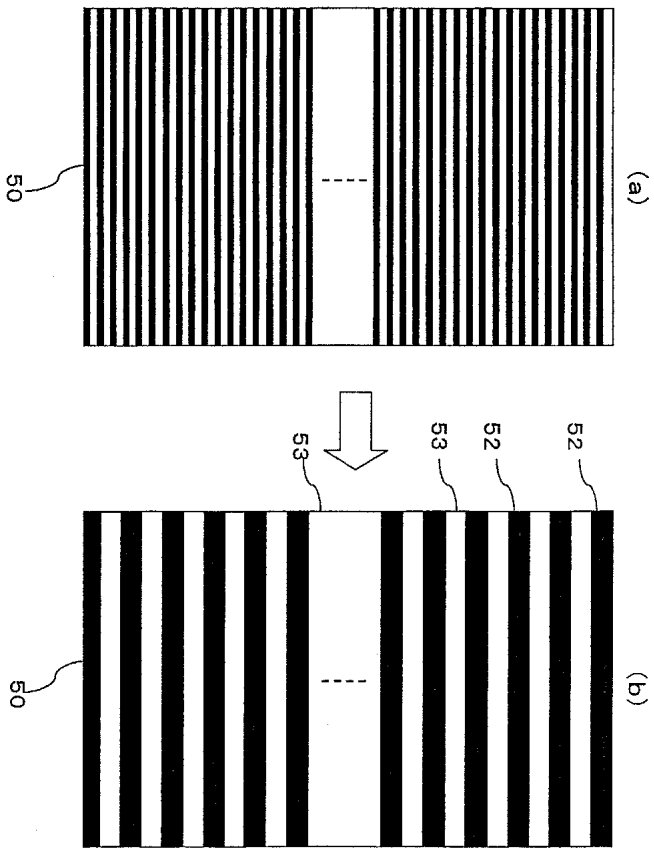
도면100



도면101



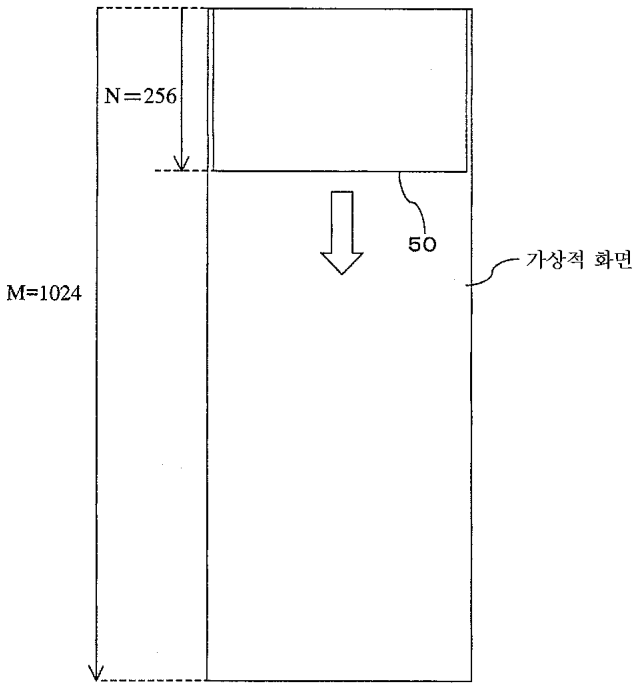
도면102



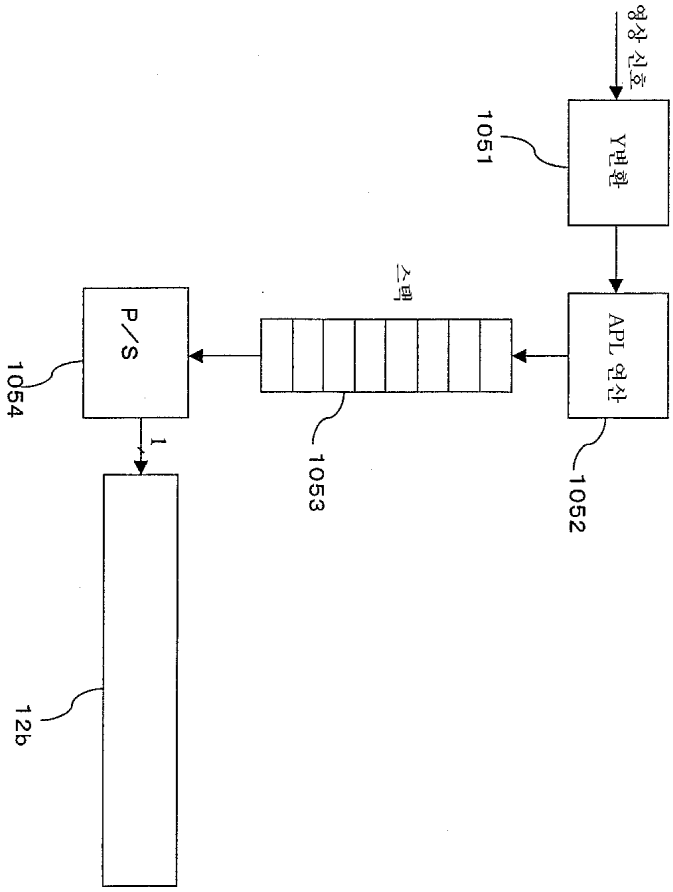
도면103

프레임(필드)번호	APL 레벨	대응 Duty비	처리 Duty비
1	228	8/64	8/64
2	220	9/64	8/64
3	218	9/64	9/64
4	216	10/64	9/64
5	212	9/64	9/64
6	210	10/64	10/64
7	192	11/64	10/64
8	198	11/64	11/64
9	182	12/64	12/64
10	168	14/64	12/64
11	192	11/64	11/64
12	182	12/64	12/64

도면104



도면105



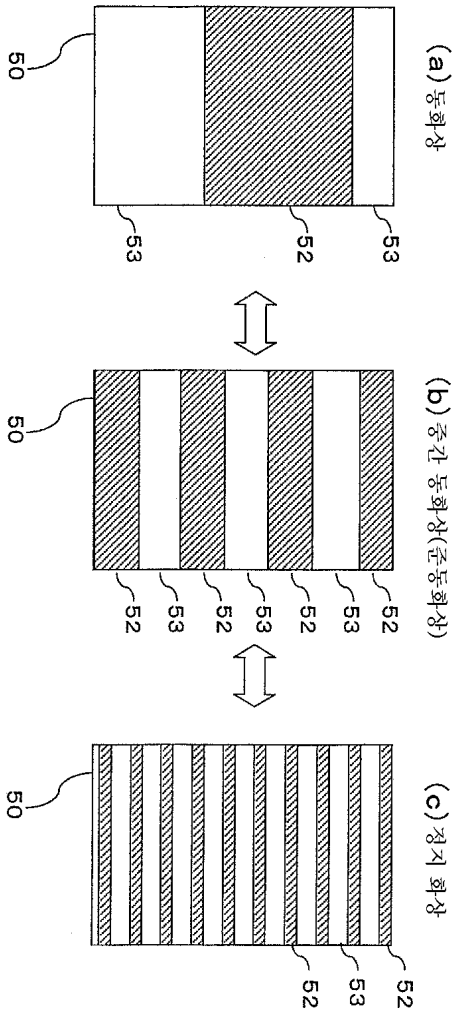
도면106

	1-1	1-2	1-3	1-4	2-1
128/1024→132/1024	128/1024	129/1024	130/1024	131/1024	132/1024
128/1024→130/1024	128/1024	128/1024	129/1024	129/1024	130/1024
128/1024→136/1024	128/1024	130/1024	132/1024	134/1024	136/1024

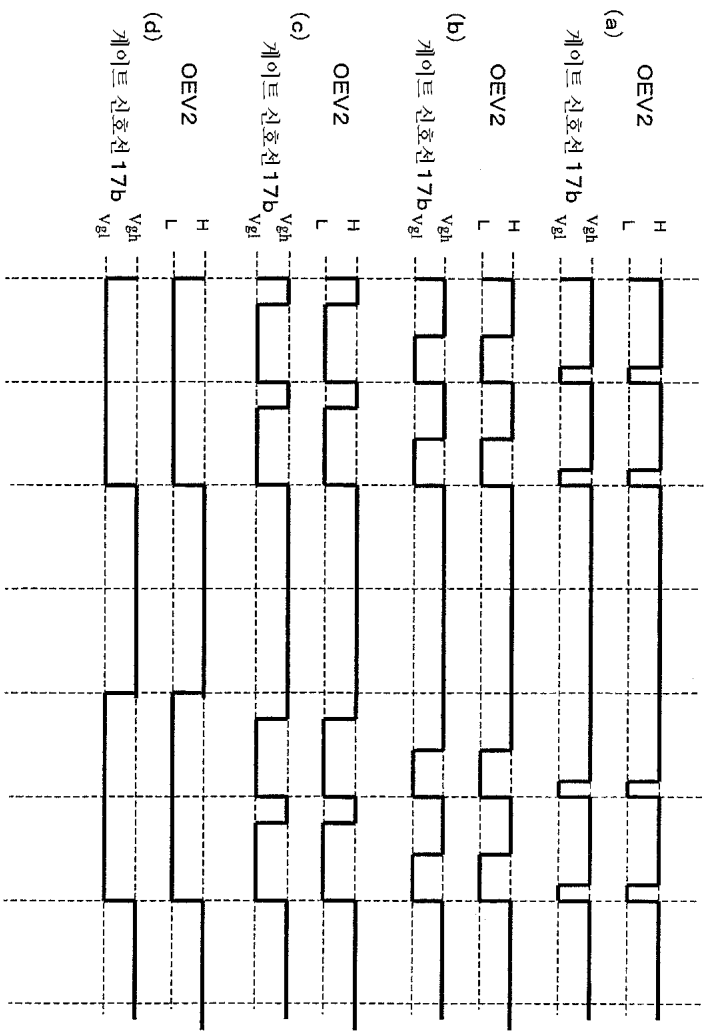
도면107

	1	2	3	4	5	6	7	8
A	30.0/256	30.2/256	30.4/256	30.6/256	30.8/256	31.0/256	31.2/256	31.4/256
B	30.0/256	30.0/256	30.4/256	30.4/256	30.8/256	30.8/256	31.2/256	31.2/256
C	30.2/256	30.5/256	30.0/256	30.5/256	31.0/256	30.5/256	31.0/256	31.5/256

도면108


(a) 동화상
50
53
52
53
(b) 중간 동화상(준동화상)
50
52
53
52
53
52
53
52
(c) 정지 화상
50
52
53
52

도면109

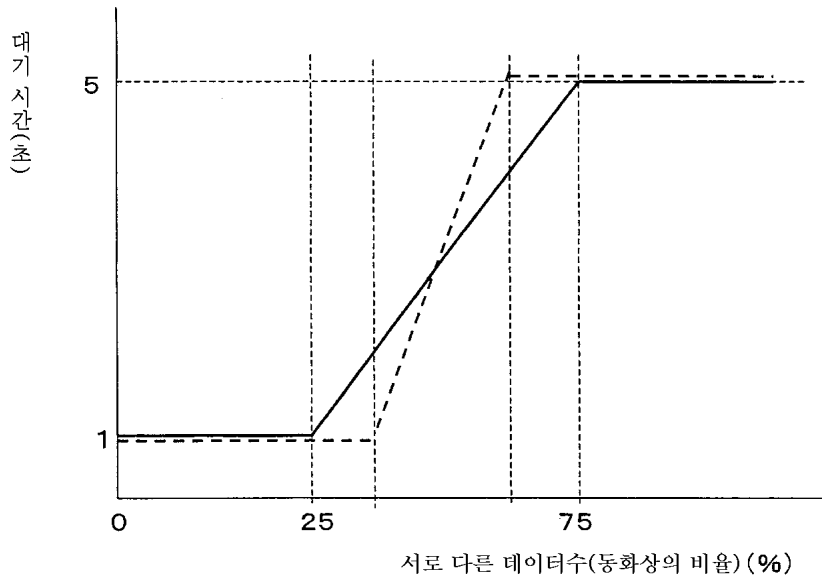

(a)
OEV2
H
L
게이트 신호선 17b
Vgh
Vgl
(b)
OEV2
H
L
게이트 신호선 17b
Vgh
Vgl
(c)
OEV2
H
L
게이트 신호선 17b
Vgh
Vgl
(d)
OEV2
H
L
게이트 신호선 17b
Vgh
Vgl

도면110

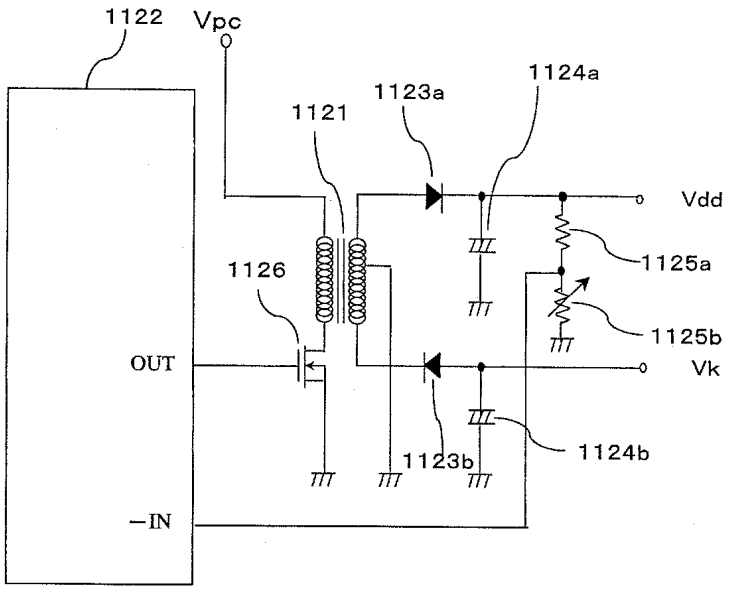
프레임	1	2	3	4	5	6	7	8	9	10	11	12
동화상 정지 화상 레벨	0	0	0	1	1	2	2	2	2	1	0	0
분산수	1	1	1	10	10	30	50	50	50	30	1	1
Duty비	4/9	5/9	5/9	4/9	4/9	8/9	8/9	7/9	6/9	3/9	3/9	4/9

0 정지 화상
1 준 동화상
2 동화상

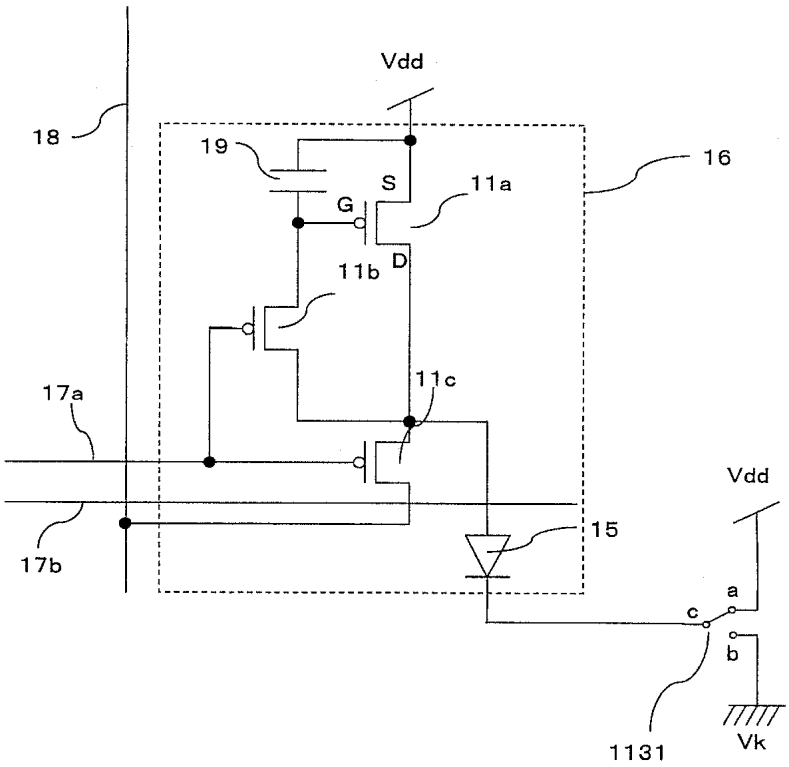
도면111



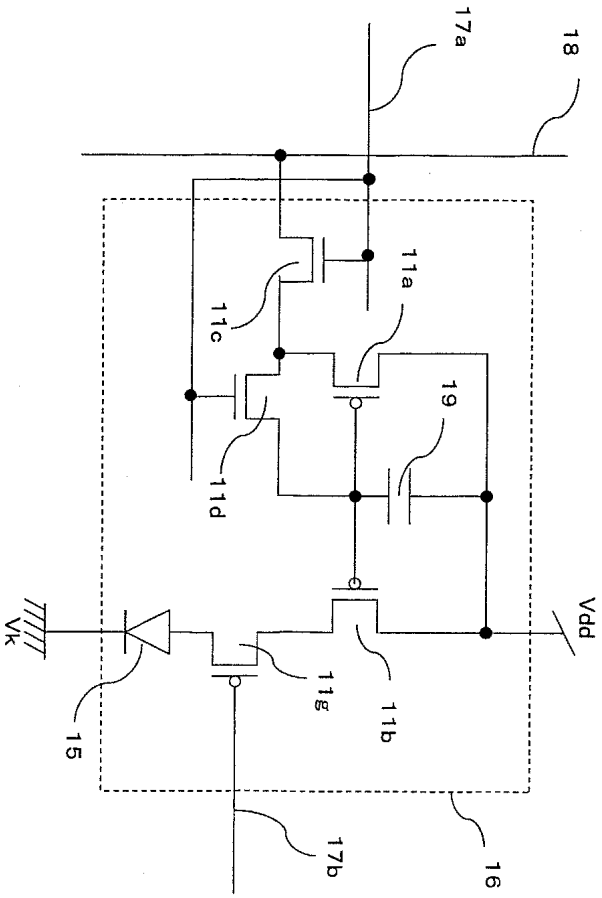
도면112


1122
Vpc
1124a
1123a
1121
Vdd
1125a
1126
1125b
OUT
Vk
1124b
1123b
−IN

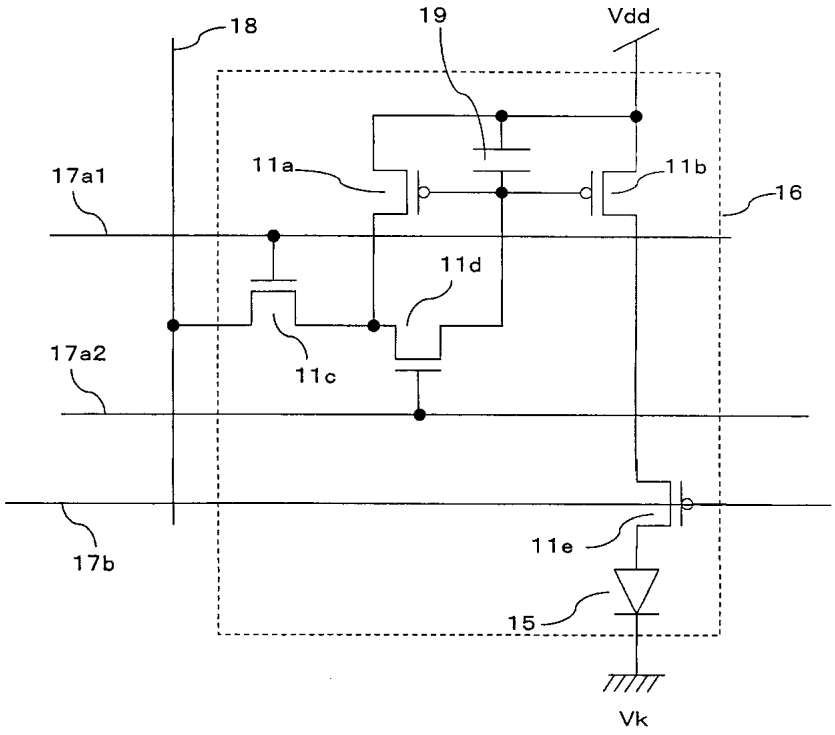
도면113


Vdd
18
19
16
S
11a
G
D
11b
11c
17a
Vdd
15
17b
a
c
b
1131
Vk

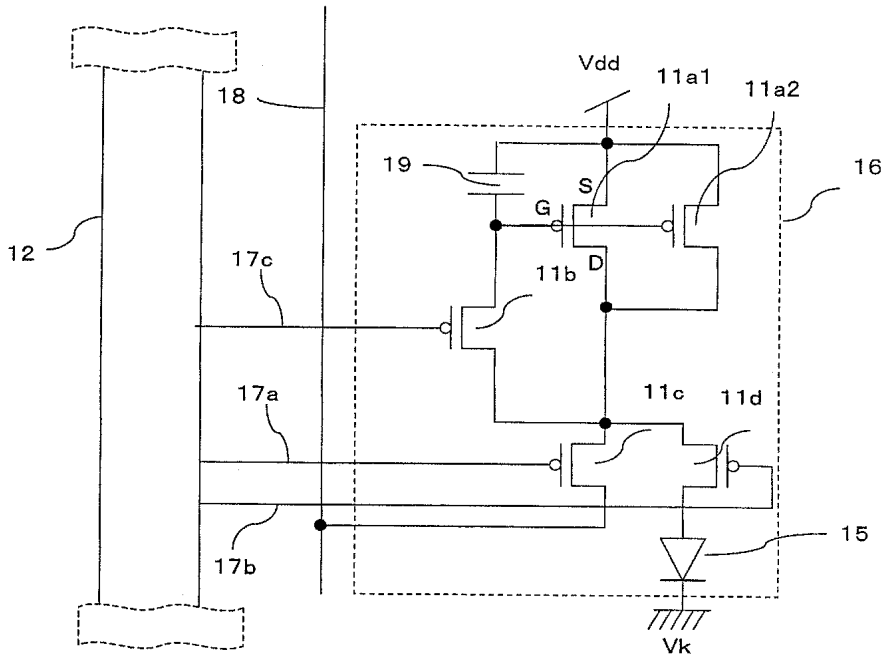
도면114


17a
18
11a
11c
19
11d
Vdd
Vk
11g
11b
15
17b
16

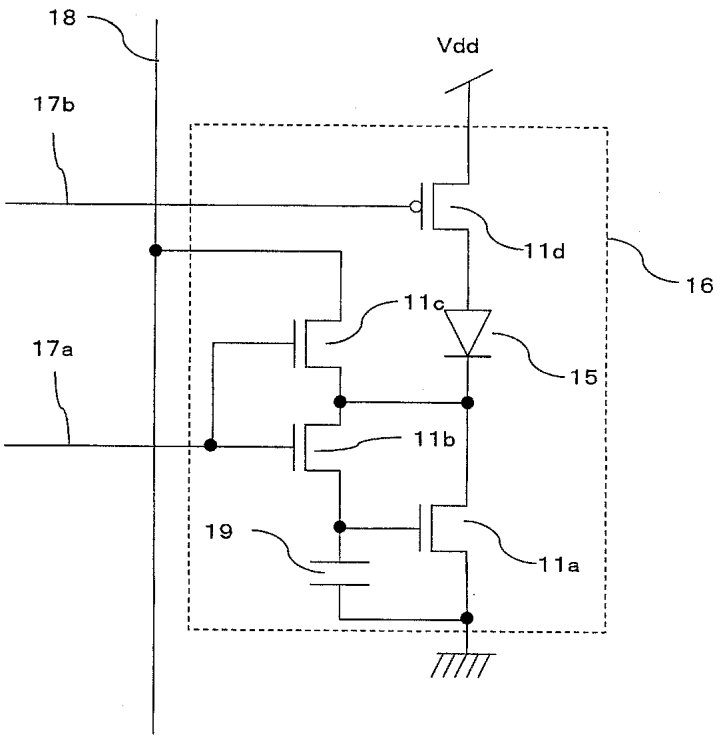
도면115


18
19
Vdd
11a
11b
16
17a1
11d
17a2
11c
11e
17b
15
Vk

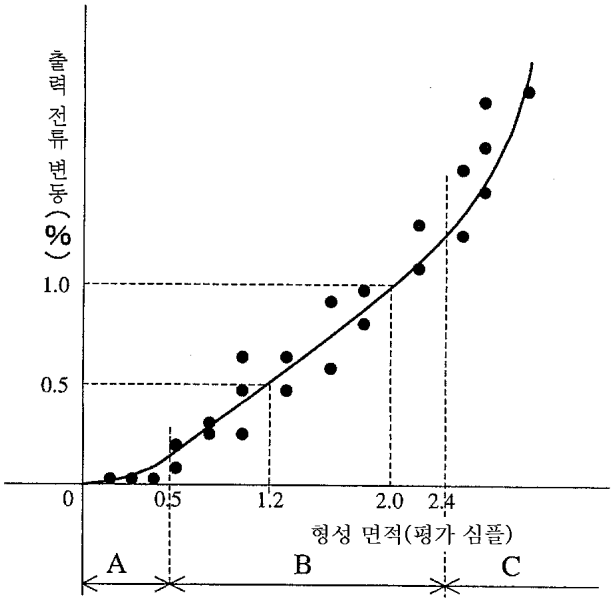
도면116


Vdd
11a1
11a2
18
19
16
S
G
12
17c
D
11b
17a
11c
11d
15
17b
Vk

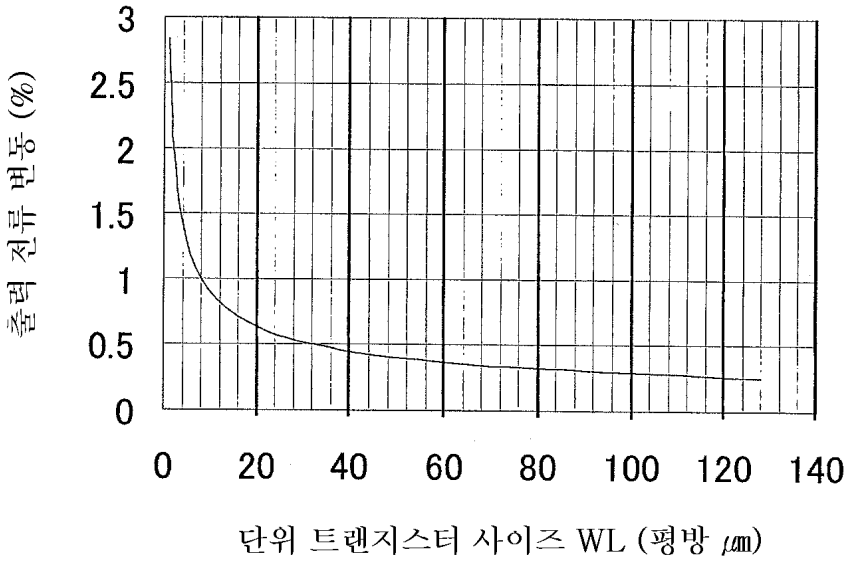
도면117


18
Vdd
17b
11d
16
11c
17a
15
11b
19
11a

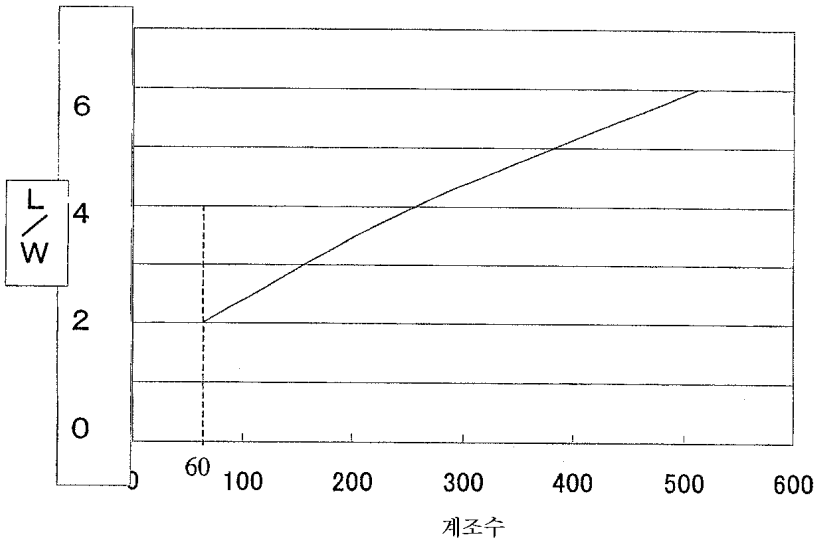
도면118


출력 전류 변동 (%)
1.0
0.5
0
0.5
1.2
2.0
2.4
형성 면적(평가 심플)
A
B
C

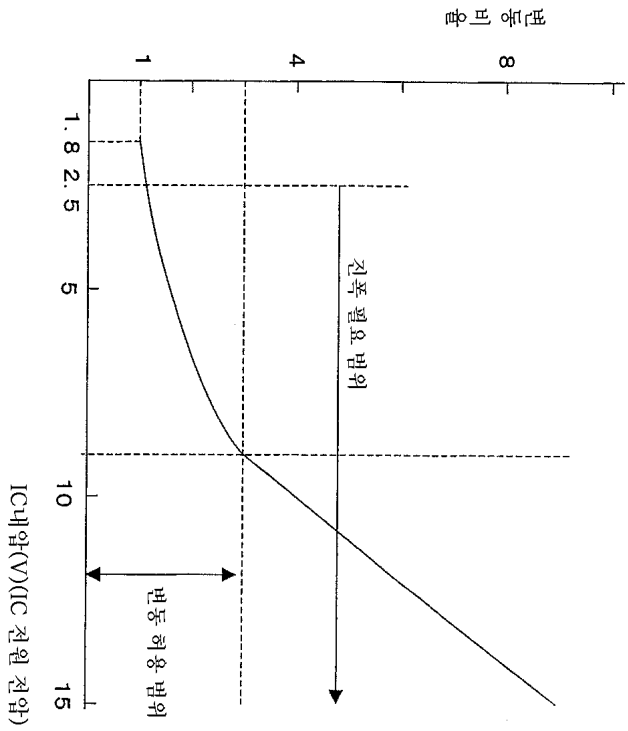
도면119


출력 전류 변동 (%)
3
2.5
2
1.5
1
0.5
0
0
20
40
60
80
100
120
140
단위 트랜지스터 사이즈 WL (평방 ㎛)

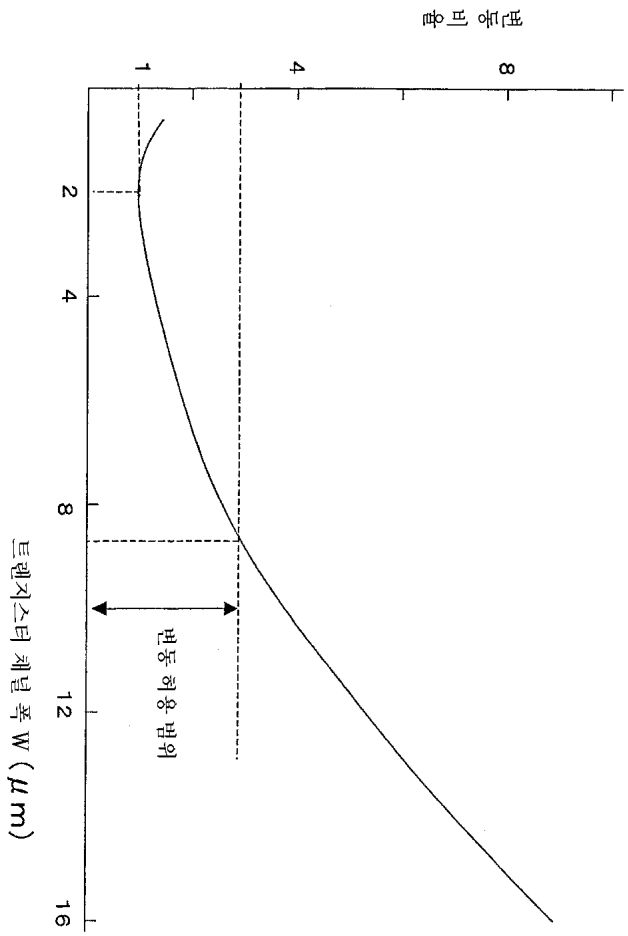
도면120


L/W
6
4
2
0
60
100
200
300
400
500
600
계조수

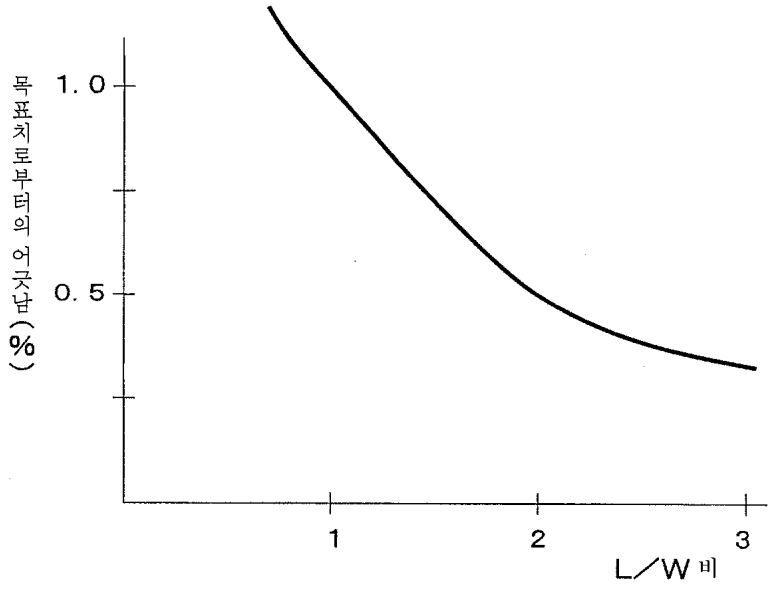
도면121


펄스 폭
1
4
8
1.8
2.5
5
10
15
IC내압(V)(IC 전원 전압)
전폭 필요 범위
변동 허용 범위

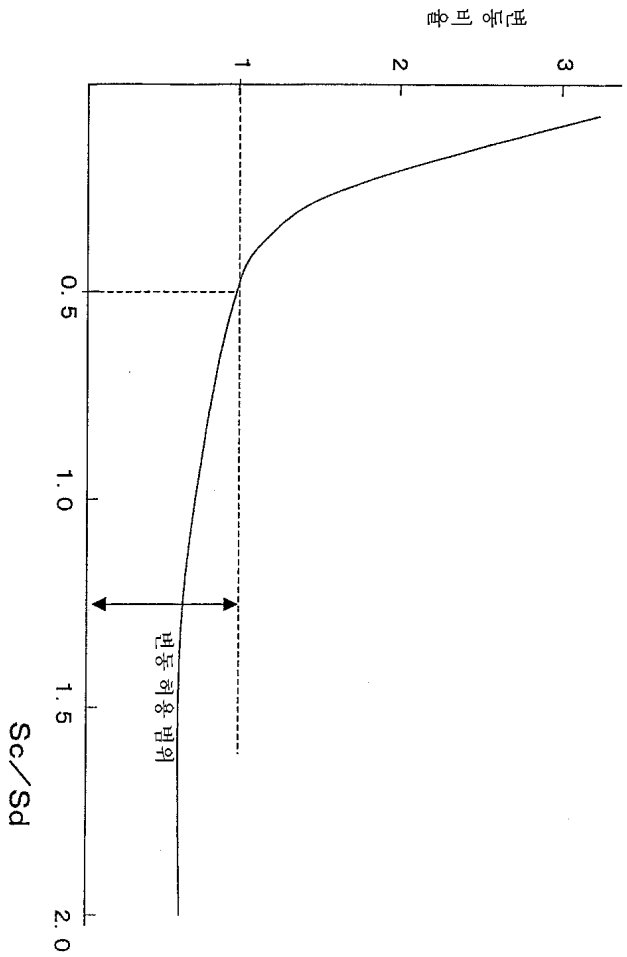
도면122


펄스 폭
1
4
8
2
4
8
12
16
트랜지스터 채널 폭 W (μm)
변동 허용 범위

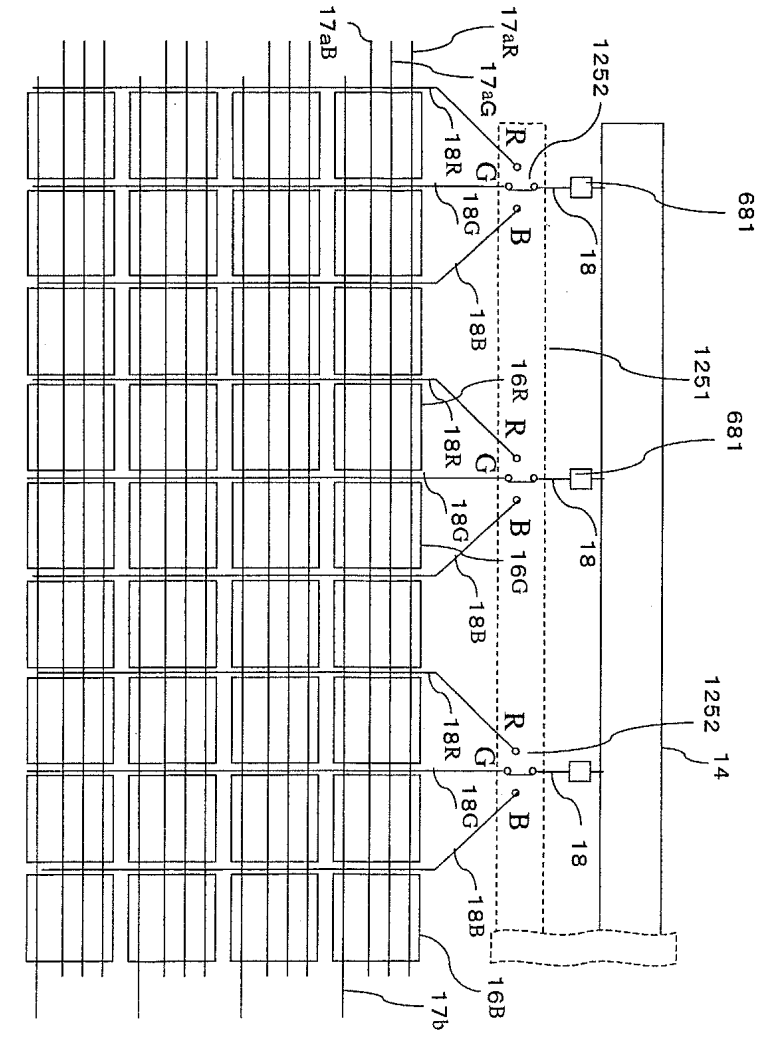
도면123


1.0
0.5
목표치로부터의 허용분 (%)
1
2
3
L/W 비

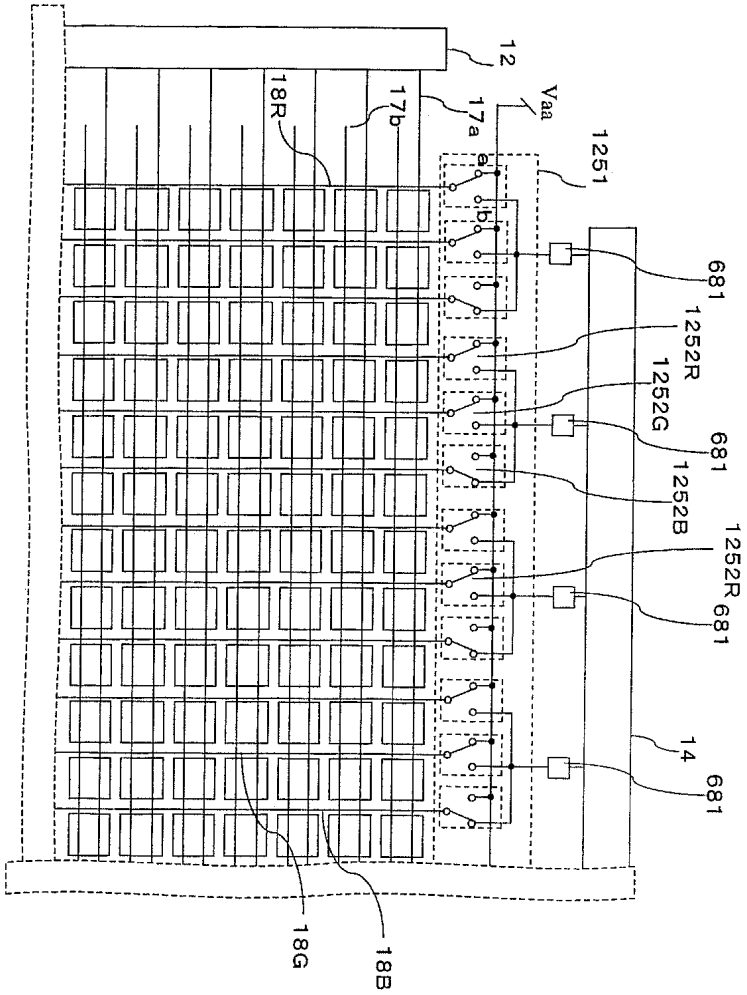
도면124



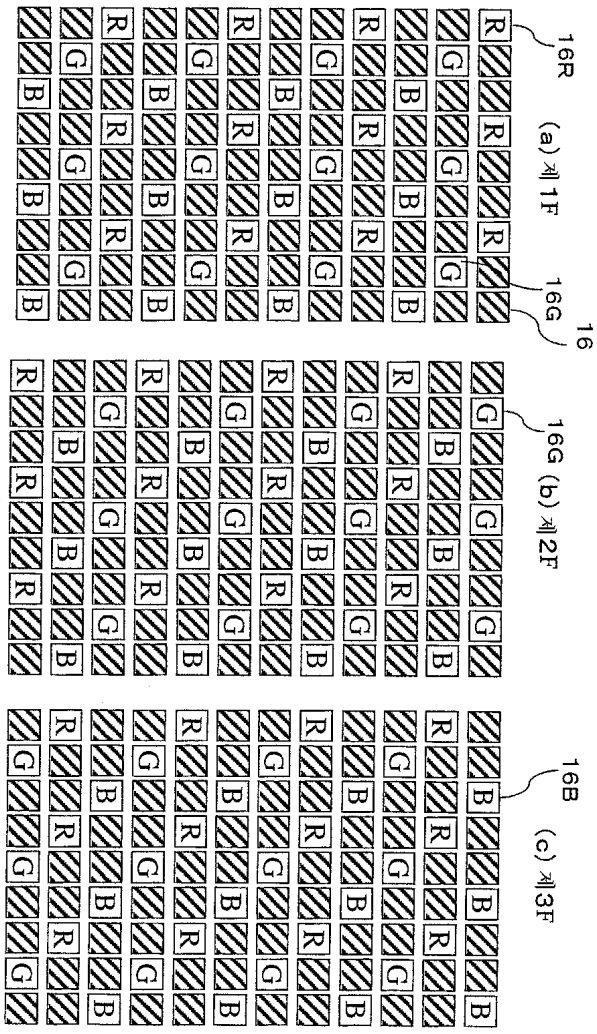
도면125


17aR
17aG
17aB
1252
681
R
G
B
18R
18G
18B
18
16R
16G
16B
1251
14
17b

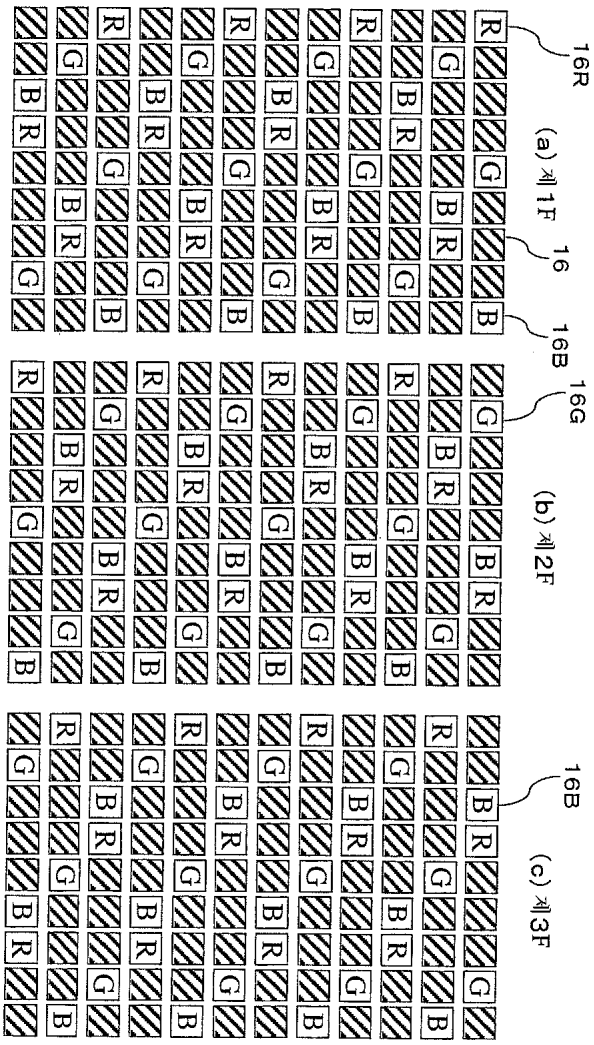
도면126


12
Vaa
1251
17a
17b
18R
a
b
681
1252R
1252G
681
1252B
1252R
681
14
681
18G
18B

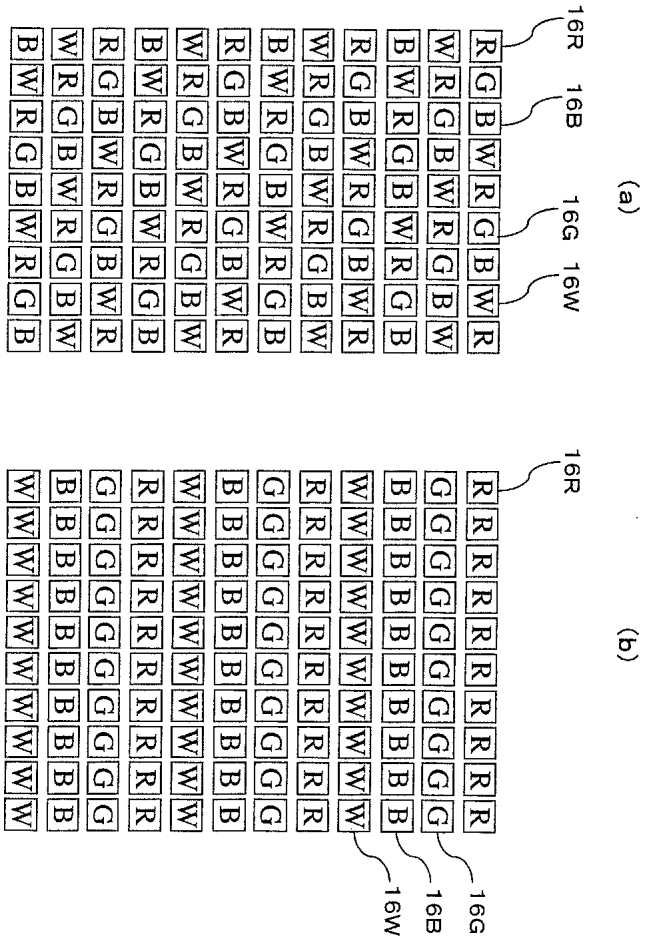
도면127



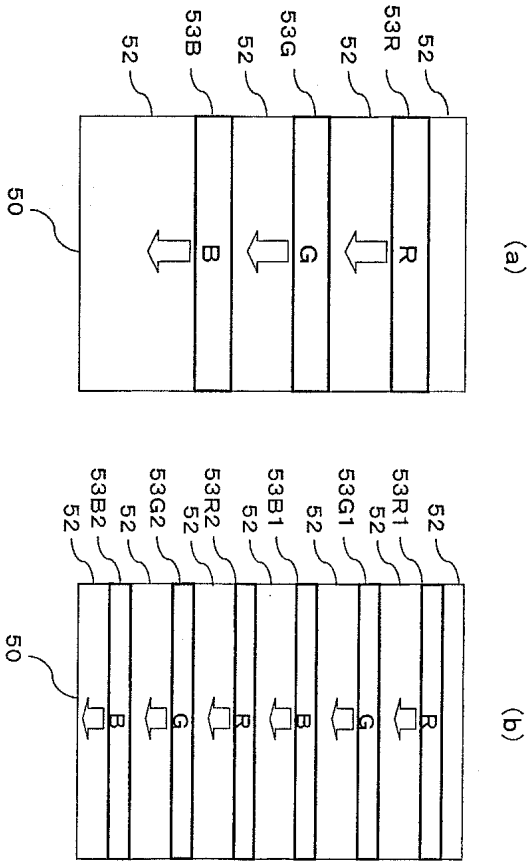
도면128



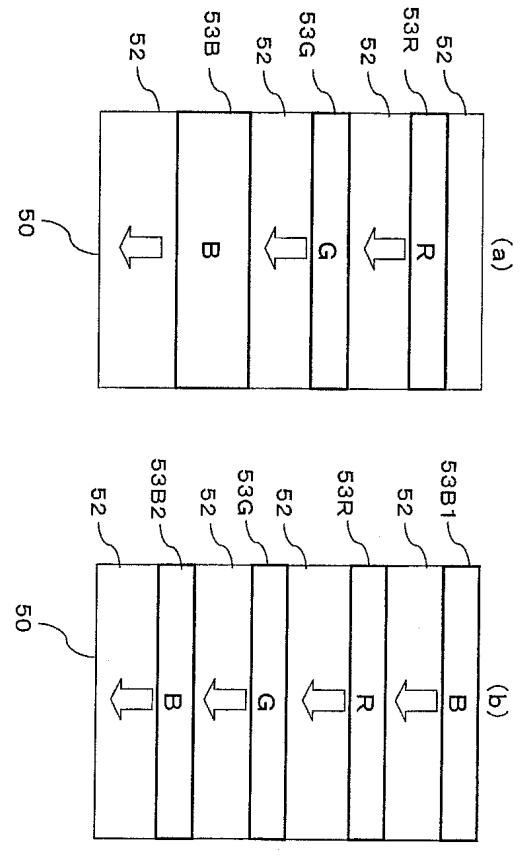
도면129



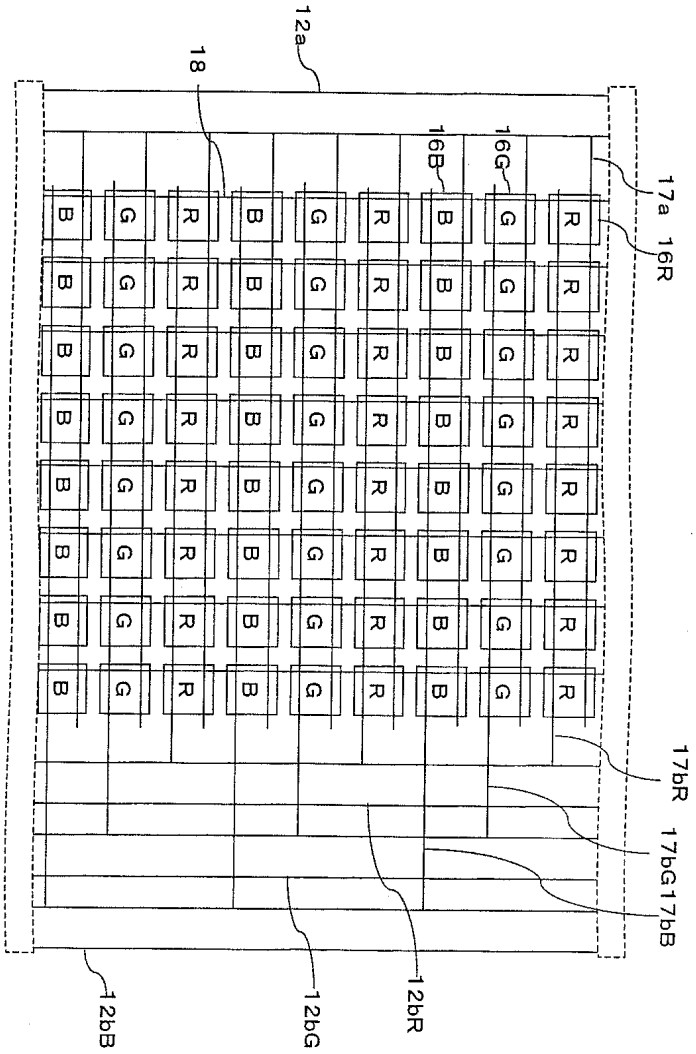
도면130


52
53B
52
53G
52
53R
52
B
G
R
50
(a)
52
53B2
52
53G2
52
53R2
52
53B1
52
53G1
52
53R1
52
B
G
R
B
G
R
50
(b)

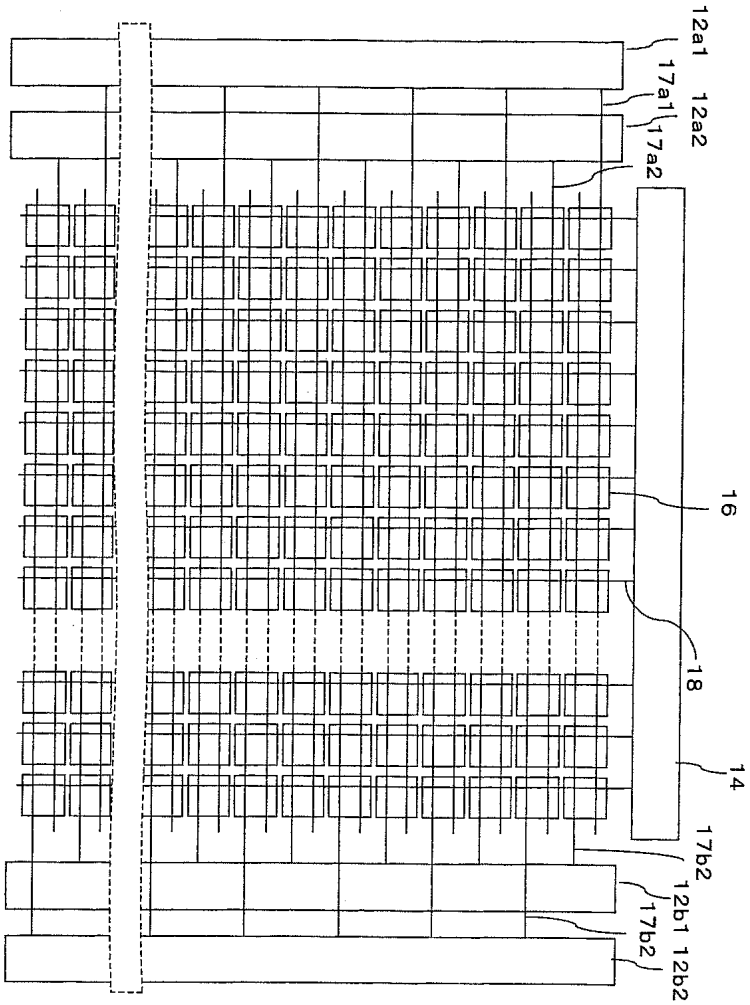
도면131


52
53B
52
53G
52
53R
52
B
G
R
50
(a)
52
53B2
52
53G
52
53R
52
53B1
B
G
R
B
50
(b)

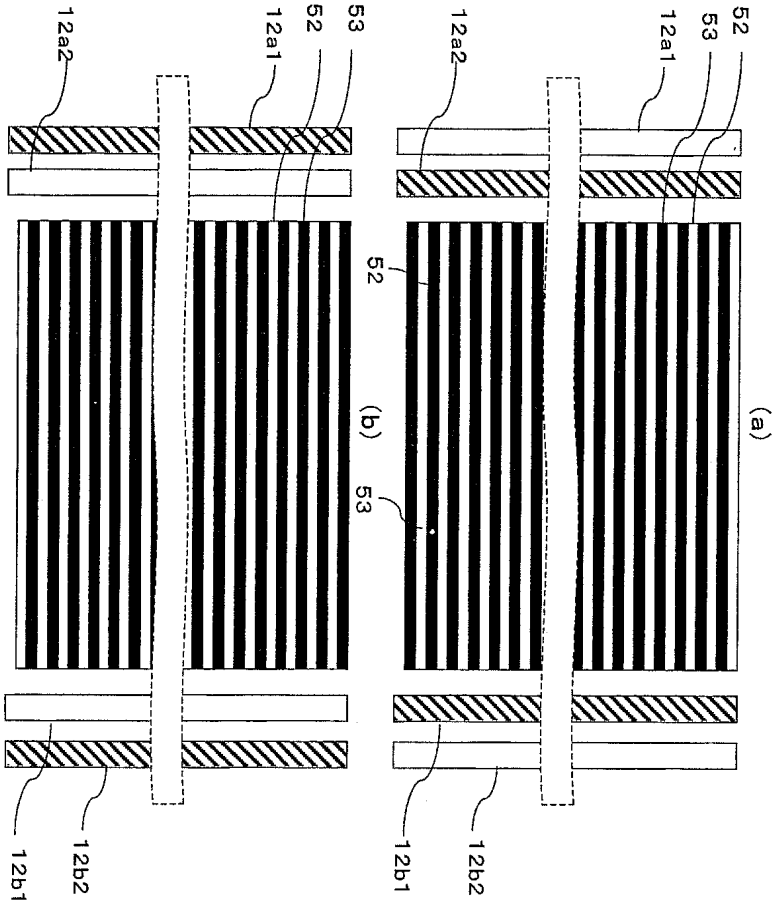
도면132



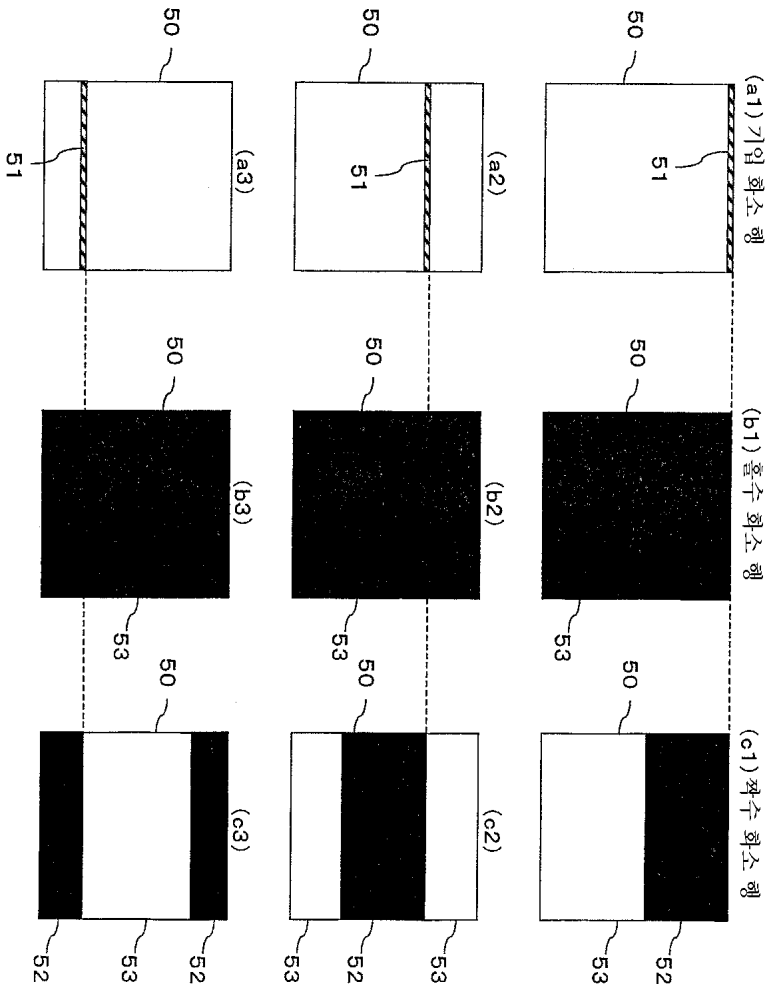
도면133



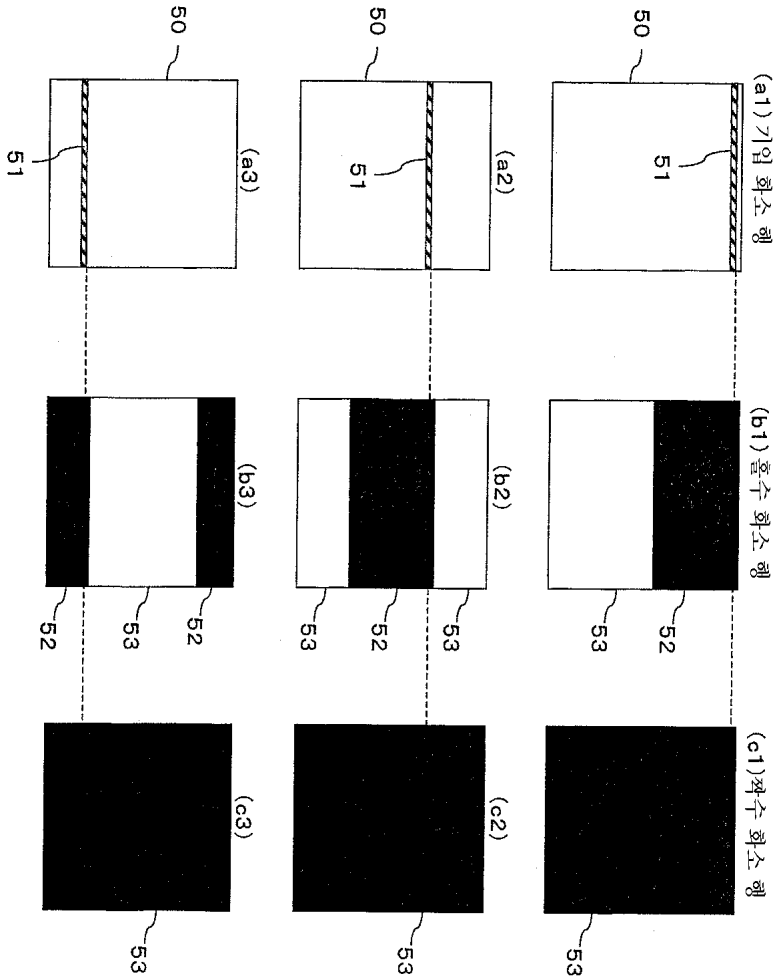
도면134



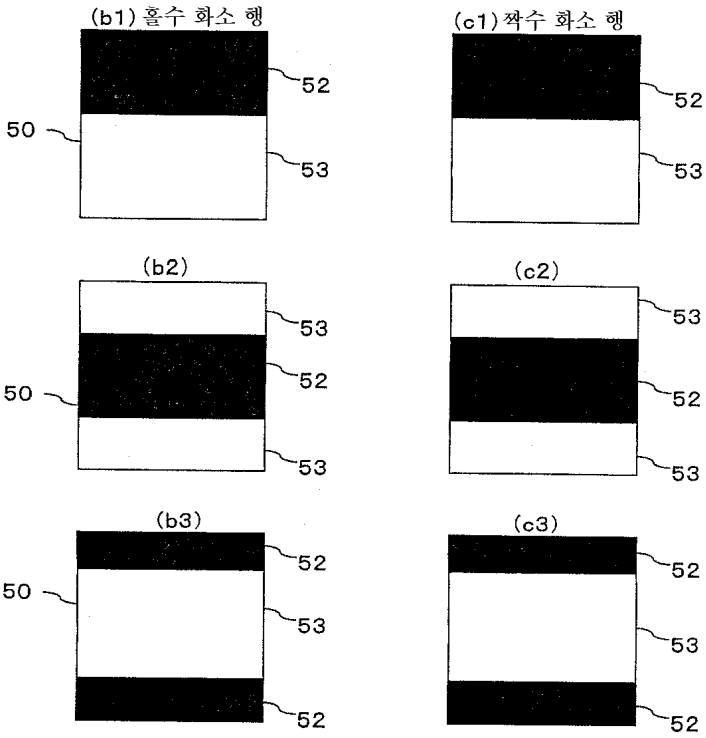
도면135



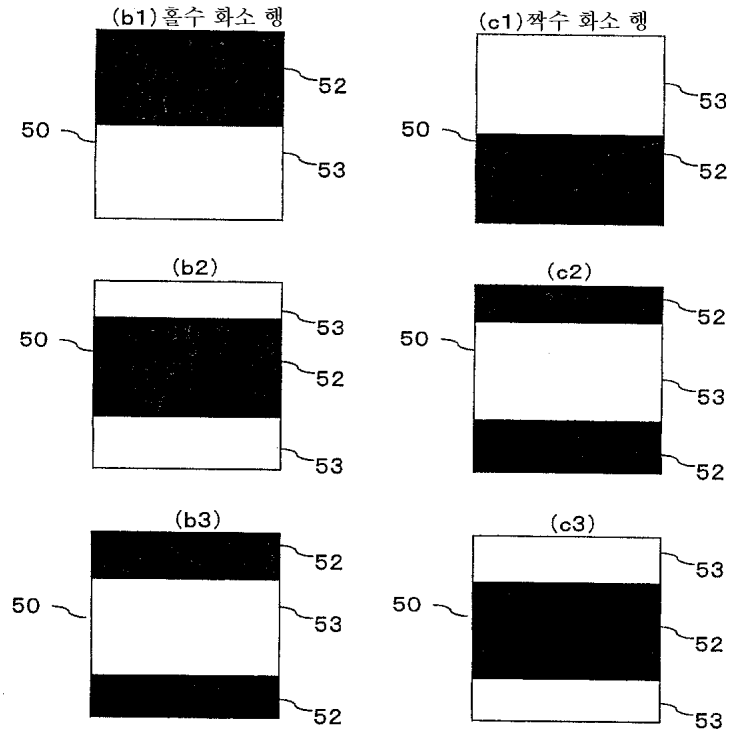
도면136


50
51
(a3)
(a2)
(a1) 기입 화소 행
(b3)
(b2)
(b1) 홀수 화소 행
52
53
(c3)
(c2)
(c1)짝수 화소 행

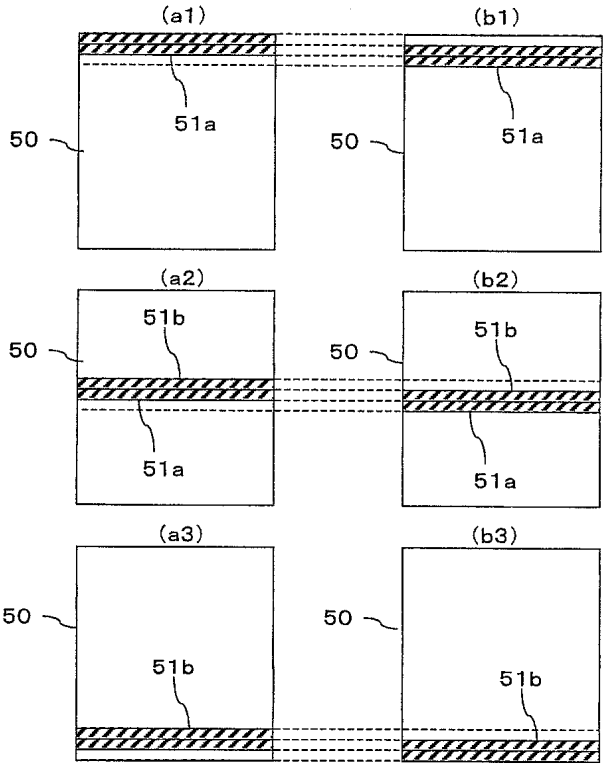
도면137


(b1) 홀수 화소 행
(c1) 짝수 화소 행
50
52
53
(b2)
(c2)
(b3)
(c3)

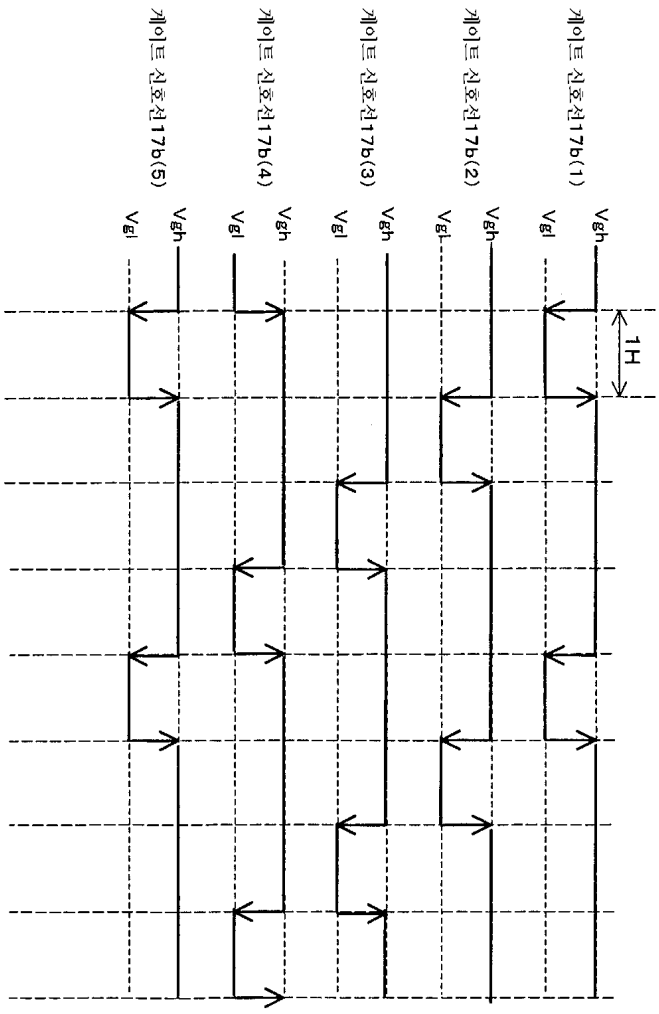
도면138



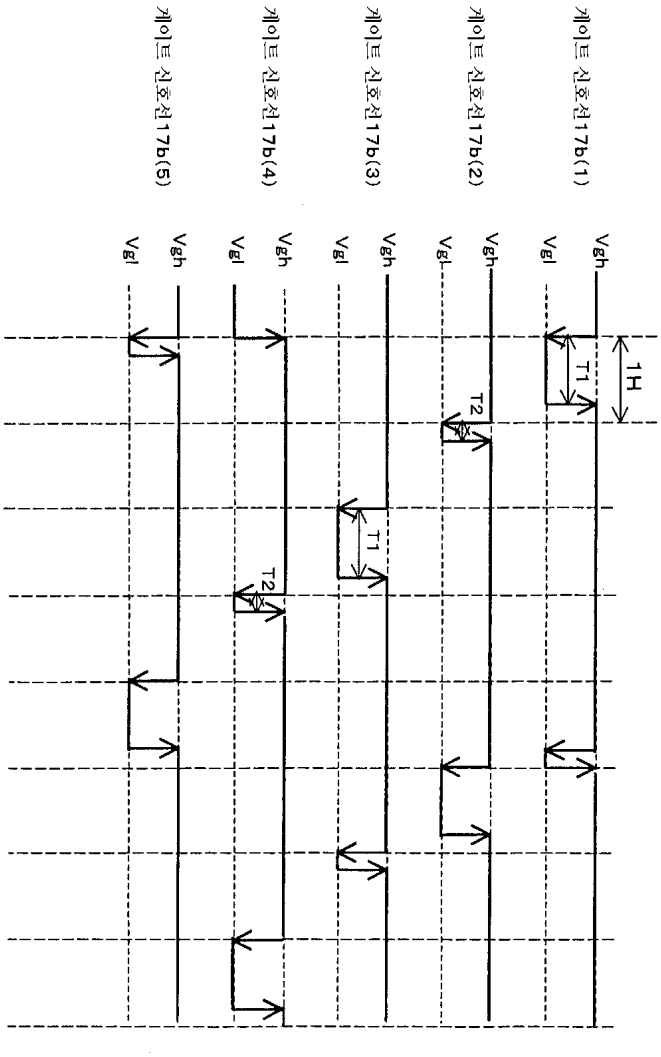
도면139



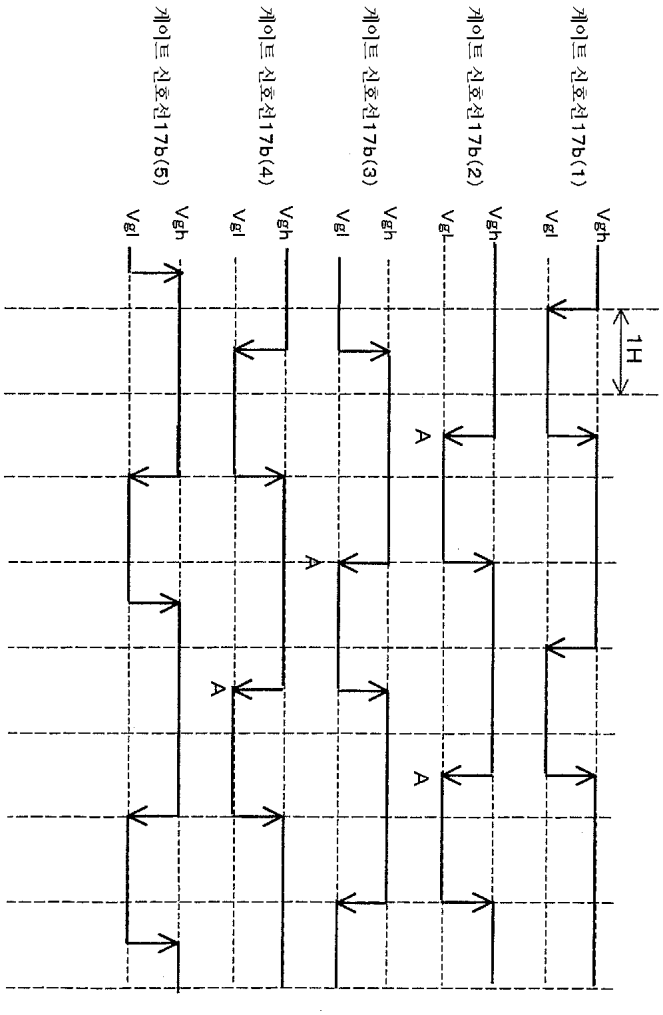
도면140


게이트 신호선17b(1)
게이트 신호선17b(2)
게이트 신호선17b(3)
게이트 신호선17b(4)
게이트 신호선17b(5)
Vgh
Vgl
1H

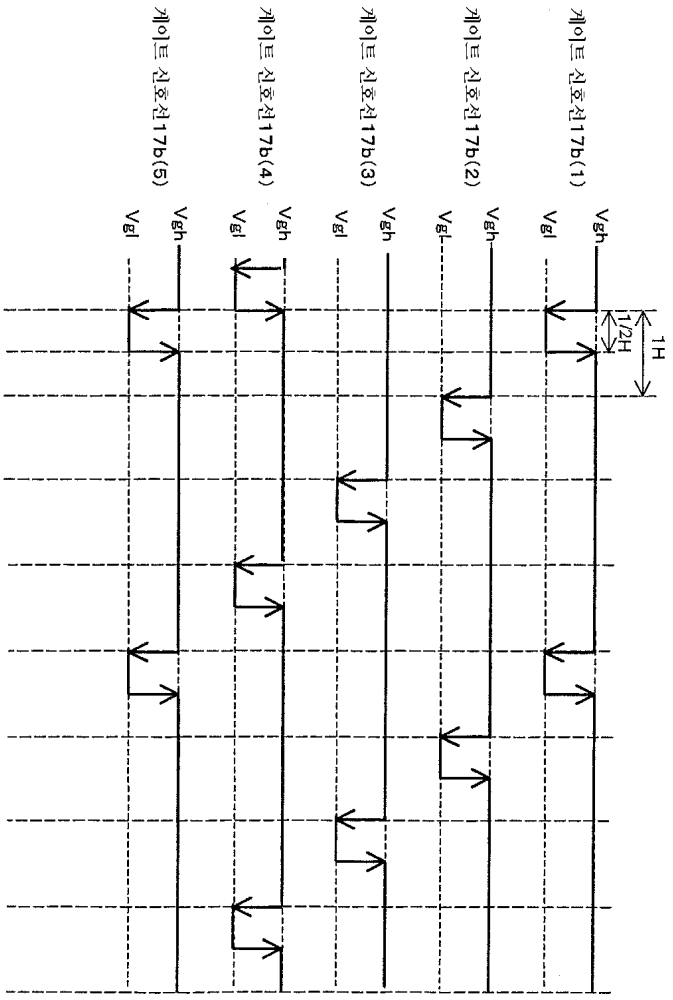
도면141


게이트 신호선17b(1)
게이트 신호선17b(2)
게이트 신호선17b(3)
게이트 신호선17b(4)
게이트 신호선17b(5)
Vgh
Vgl
T1
T2
1H

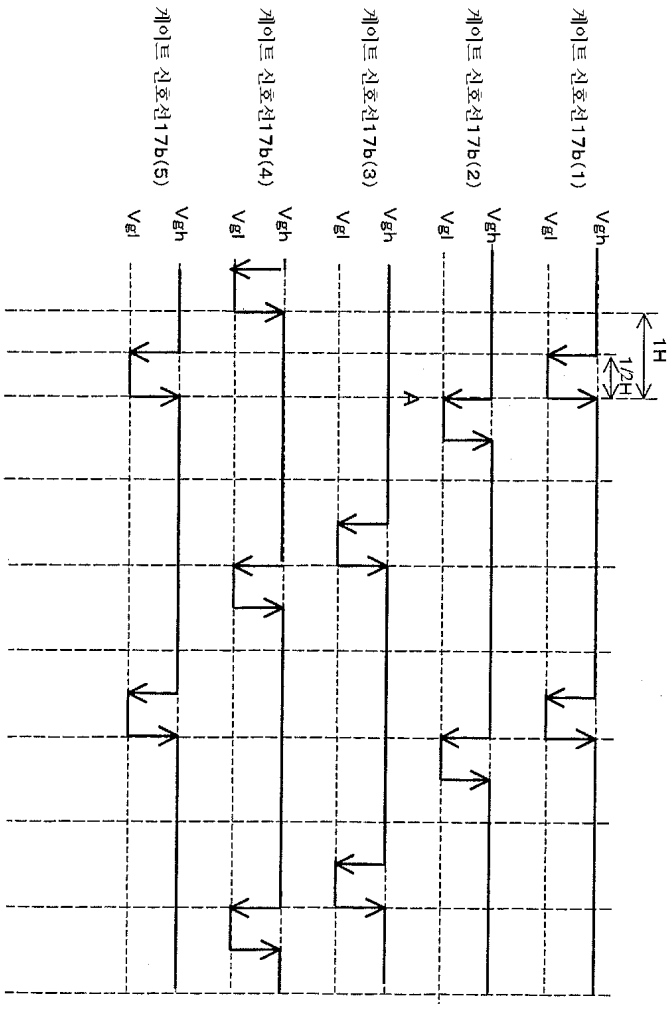
도면142


게이트 신호선17b(1)
게이트 신호선17b(2)
게이트 신호선17b(3)
게이트 신호선17b(4)
게이트 신호선17b(5)
Vgh
Vgl
1H
A

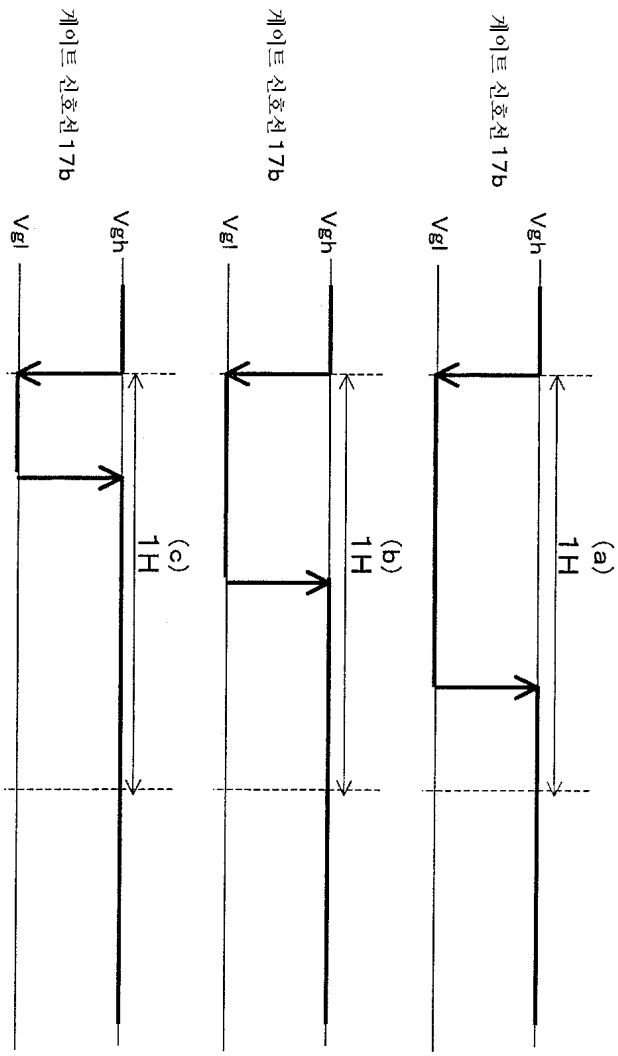
도면143


게이트 신호선17b(1)
게이트 신호선17b(2)
게이트 신호선17b(3)
게이트 신호선17b(4)
게이트 신호선17b(5)
Vgh
Vgl
1/2H
1H

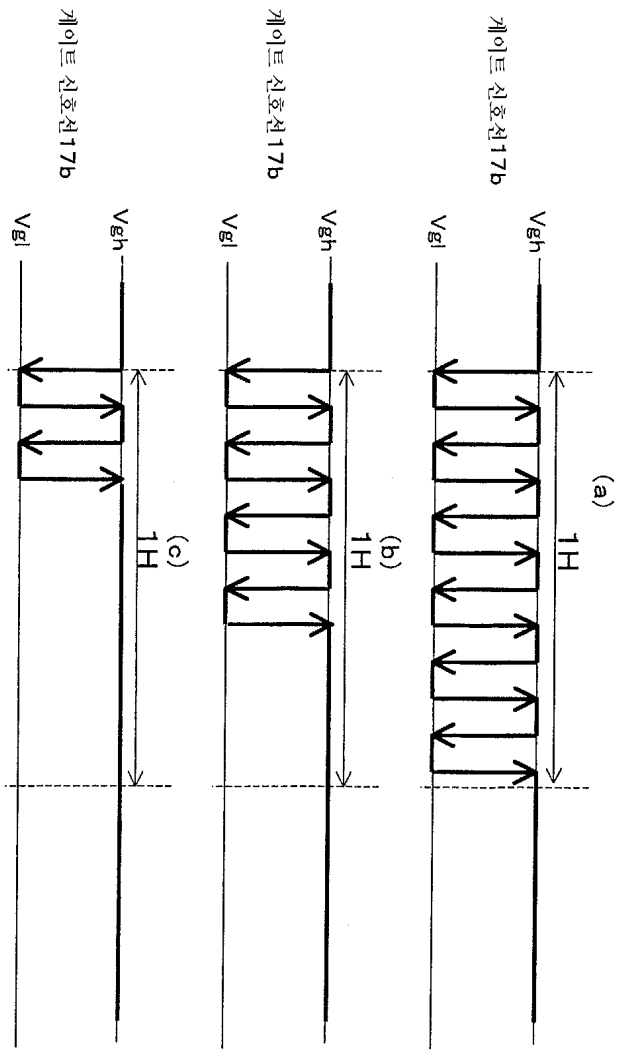
도면144


게이트 신호선17b(1)
게이트 신호선17b(2)
게이트 신호선17b(3)
게이트 신호선17b(4)
게이트 신호선17b(5)
Vgh
Vgl
1H
1/2H
A

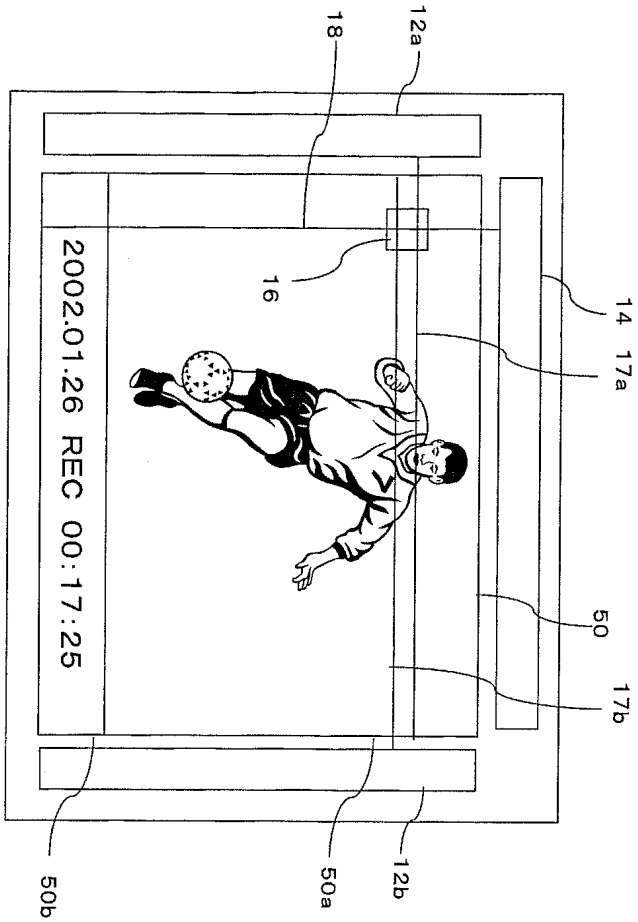
도면145


게이트 신호선 17b
Vgh
Vgl
(a)
1H
게이트 신호선 17b
Vgh
Vgl
(b)
1H
게이트 신호선 17b
Vgh
Vgl
(c)
1H

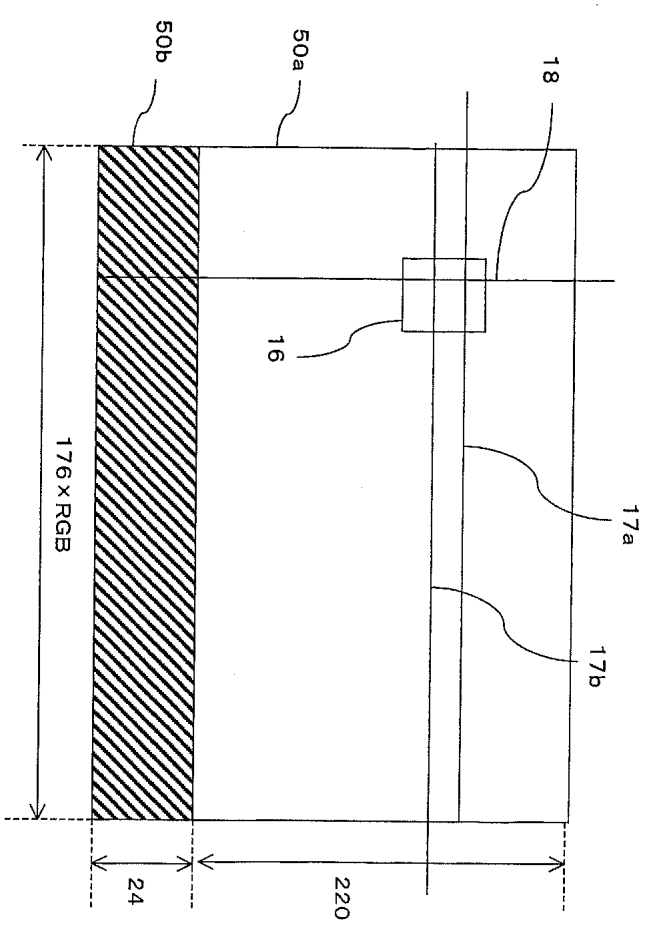
도면146


게이트 신호선17b
Vgh
Vgl
(a)
1H
게이트 신호선17b
Vgh
Vgl
(b)
1H
게이트 신호선17b
Vgh
Vgl
(c)
1H

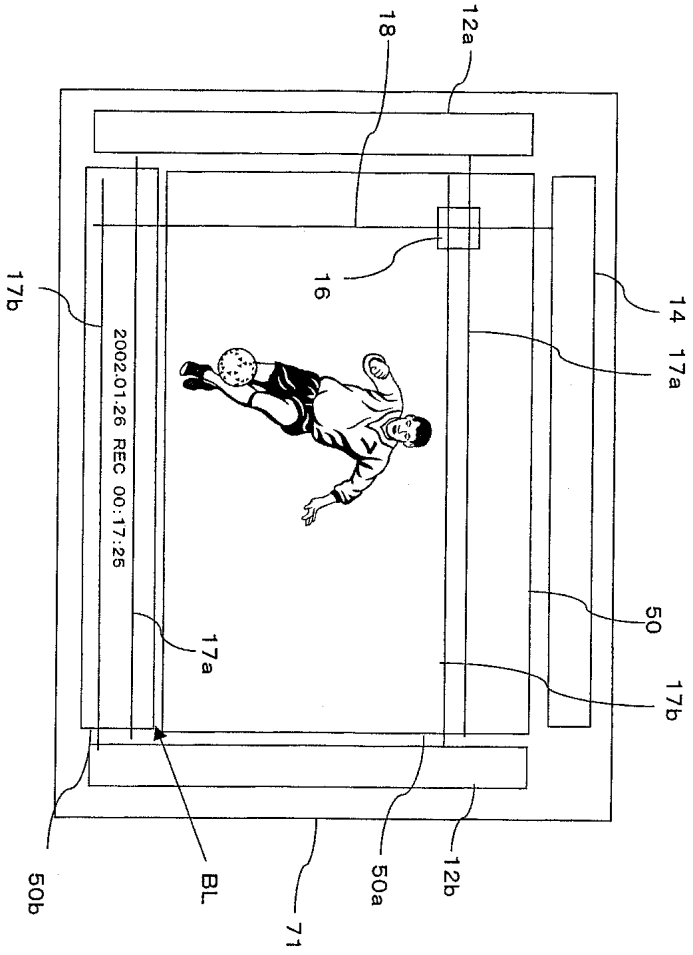
도면147



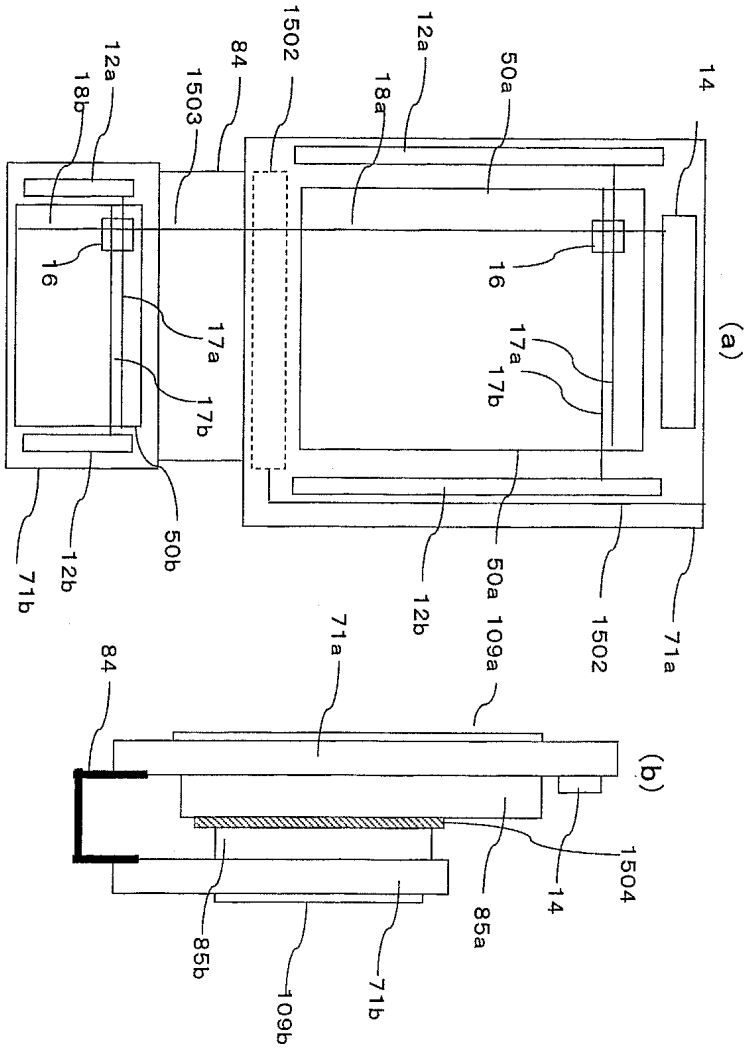
도면148



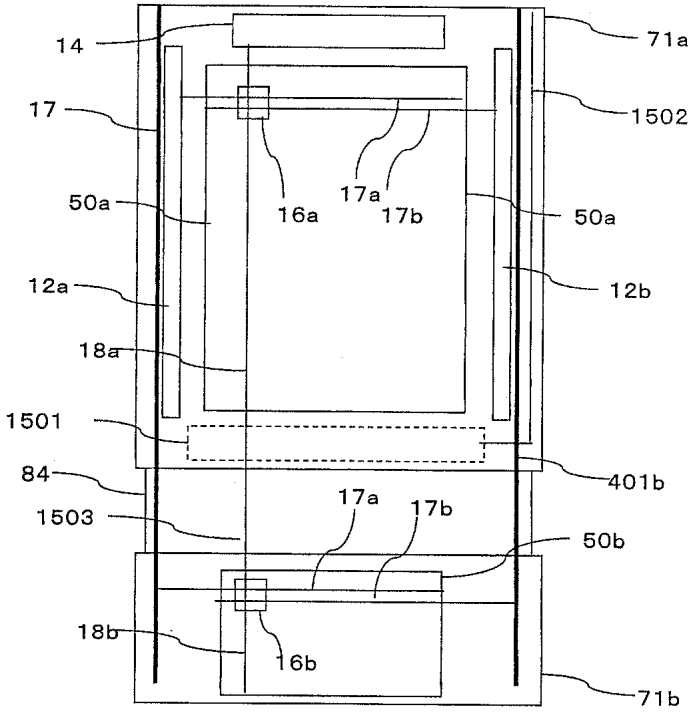
도면149


18
12a
16
17b
14
17a
2002.01.26 REC 00:17:25
50
17a
17b
50b
BL
71
50a
12b

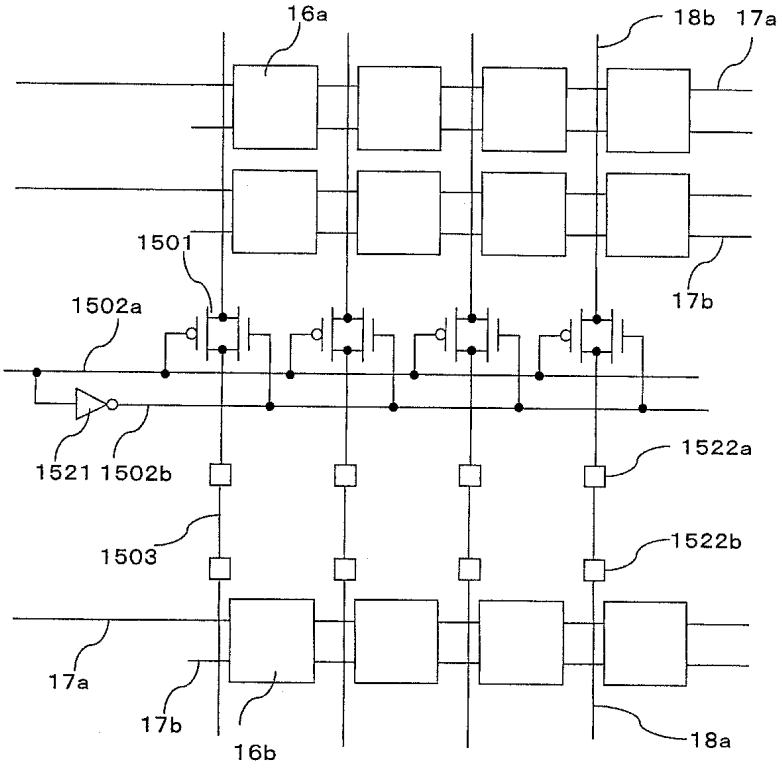
도면150


(a)
(b)
12a
18b
84
1503
1502
18a
50a
14
16
17a
17b
50b
12b
71b
71a
109a
1504
85a
85b
109b

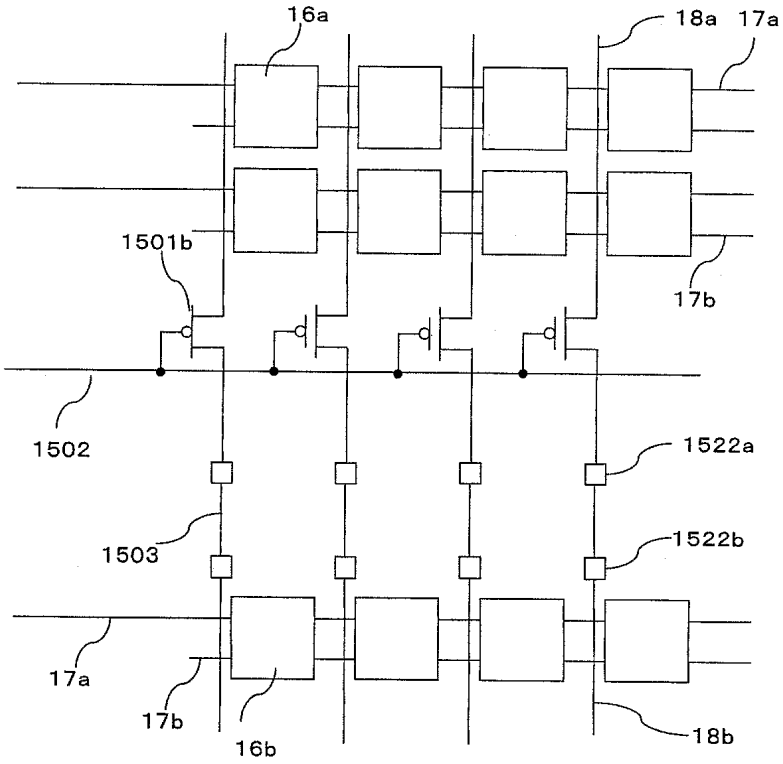
도면151


14
71a
17
1502
16a
17a
17b
50a
12a
12b
18a
1501
401b
84
1503
50b
18b
16b
71b

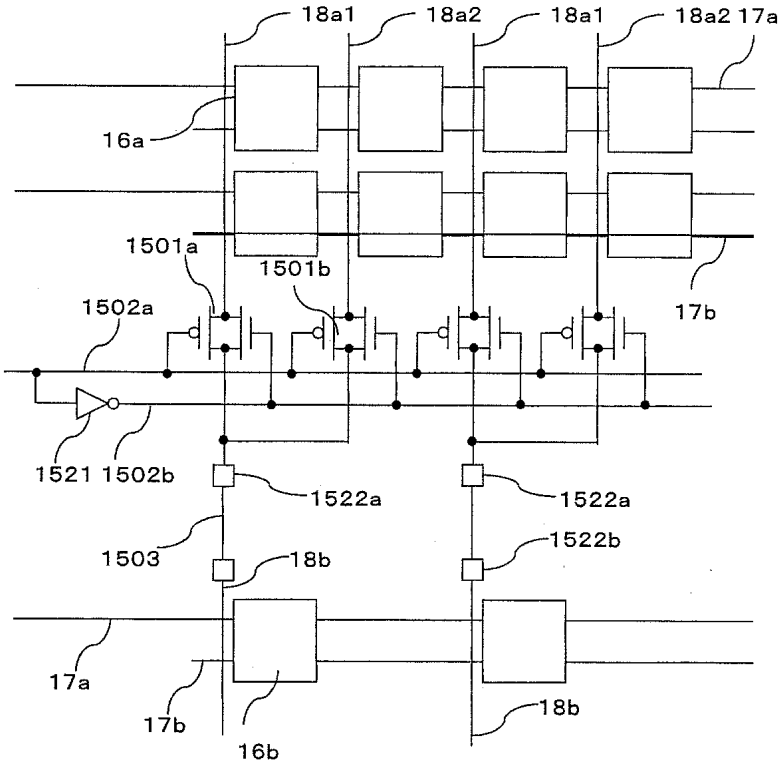
도면152


16a
18b
17a
1501
17b
1502a
1521
1502b
1522a
1503
1522b
17a
17b
16b
18a

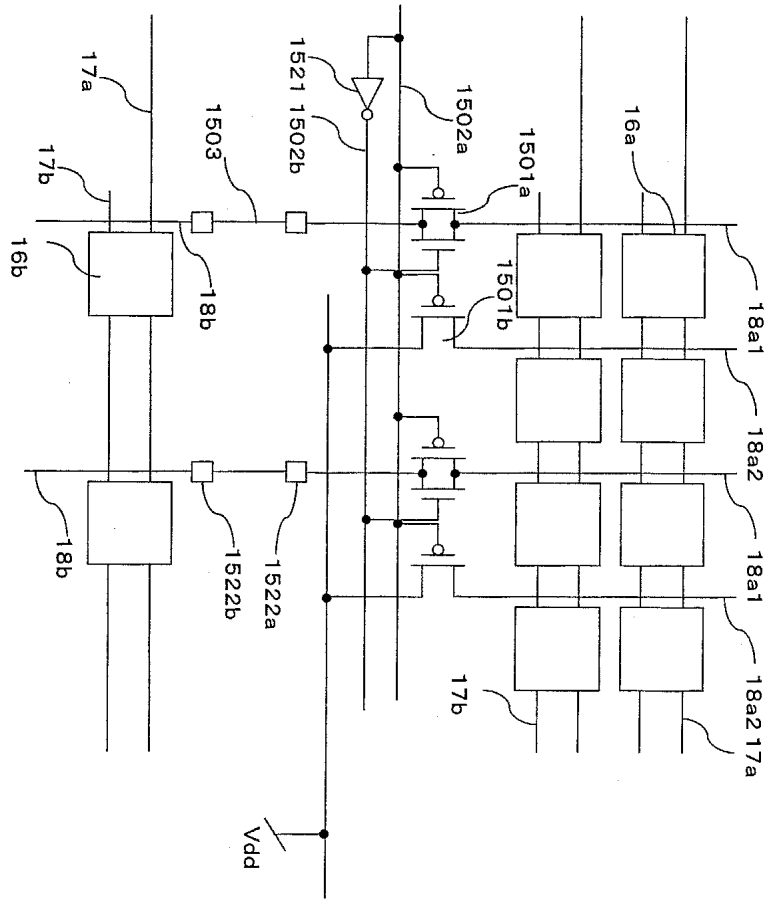
도면153


16a
18a
17a
1501b
17b
1502
1522a
1503
1522b
17a
17b
16b
18b

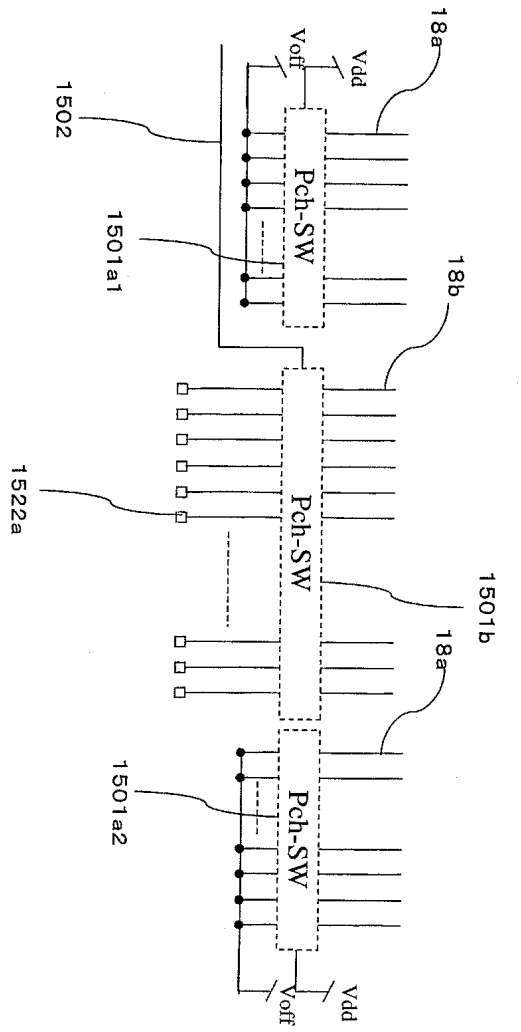
도면154


18a1
18a2
18a1
18a2
17a
16a
1501a
1501b
17b
1502a
1521
1502b
1522a
1522a
1503
18b
1522b
17a
17b
16b
18b

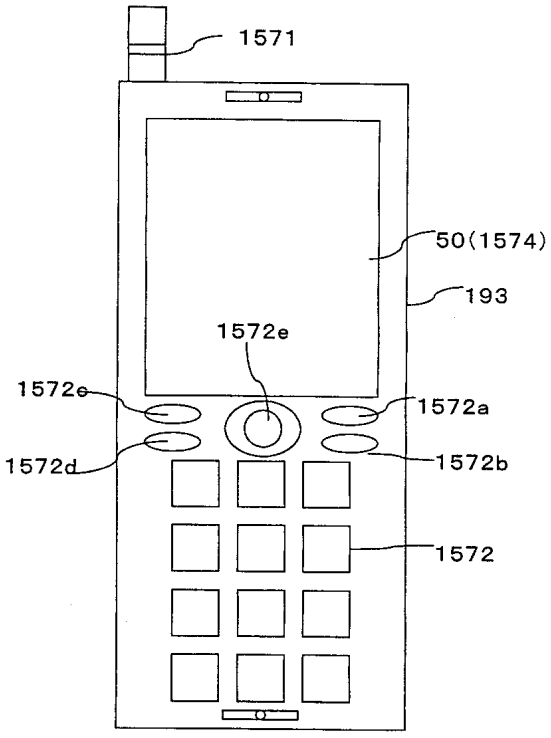
도면155


17a
1521
1502b
1503
1502a
1501a
16a
17b
16b
18b
1501b
18a1
18a2
18a1
18b
1522b
1522a
17b
18a2
17a
Vdd

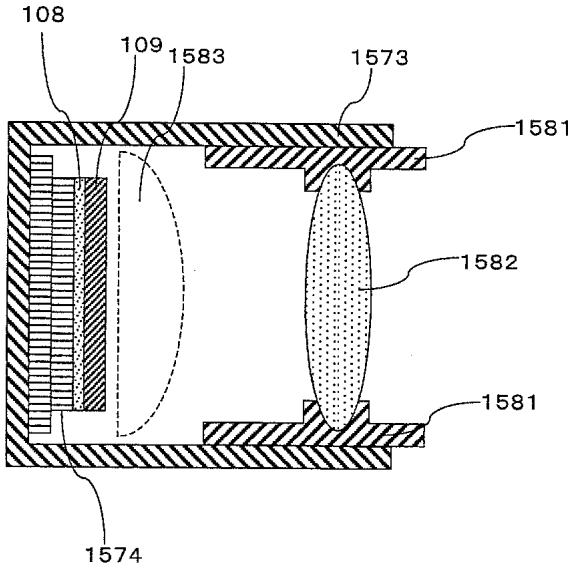
도면156


18a
Voff
Vdd
1502
Pch-SW
1501a1
18b
1522a
Pch-SW
1501b
18a
1501a2
Pch-SW
Voff
Vdd

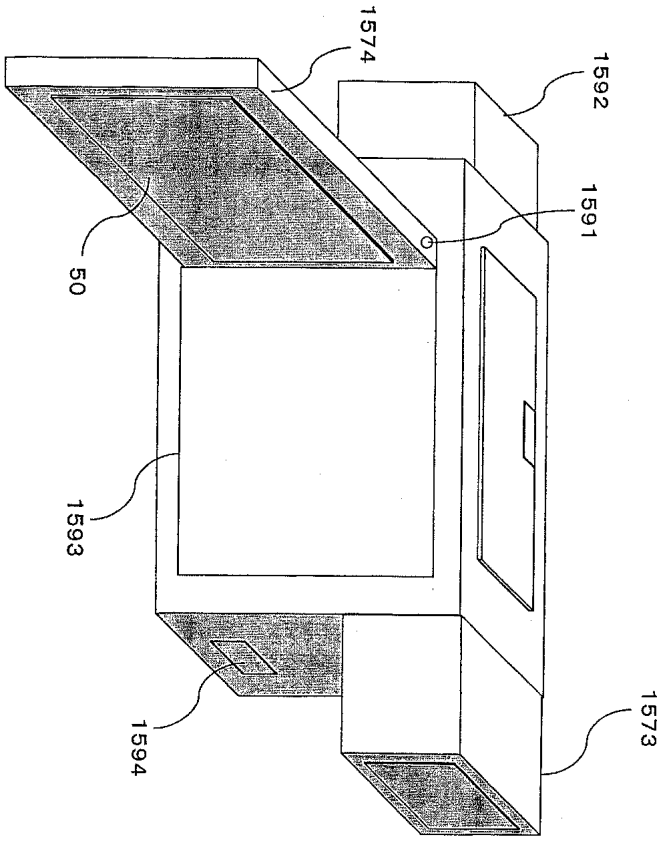
도면157


1571
50(1574)
193
1572e
1572e
1572a
1572d
1572b
1572

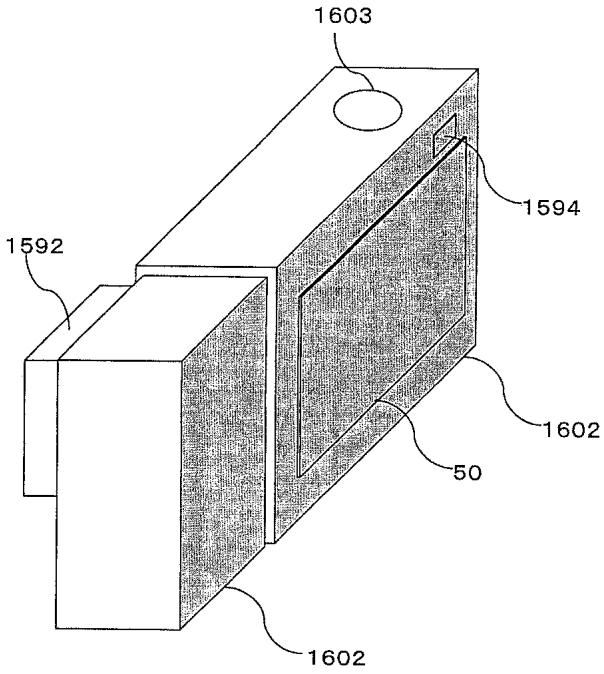
도면158


108
109
1583
1573
1581
1582
1581
1574

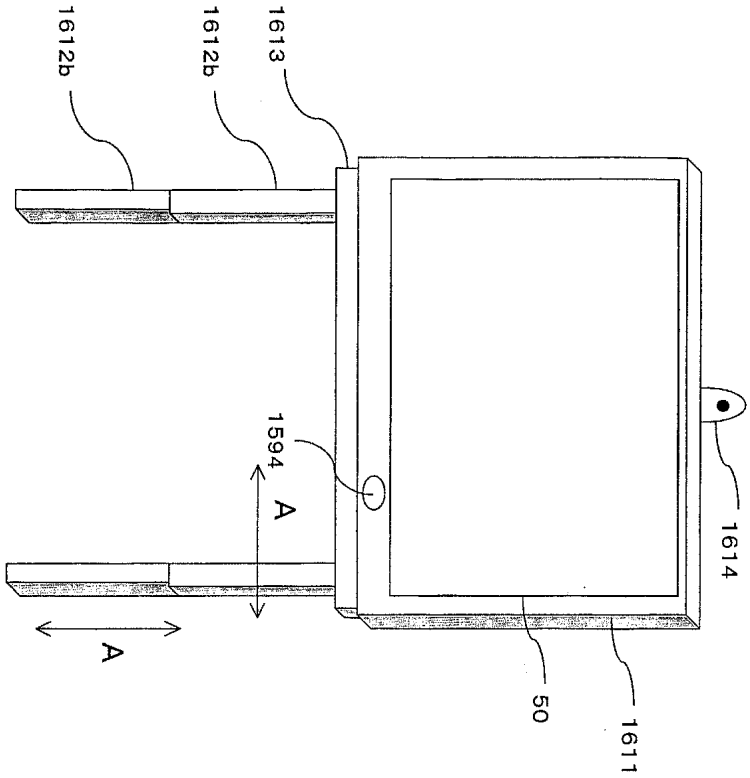
도면159


1574
1592
1591
50
1593
1594
1573

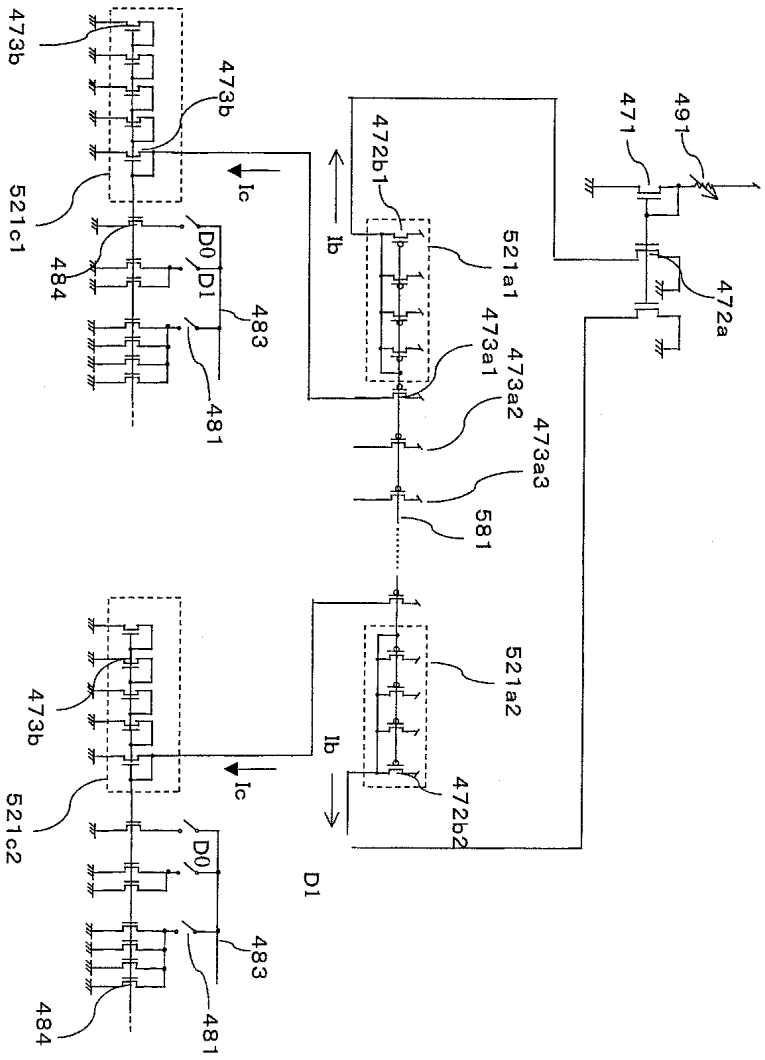
도면160


1603
1594
1592
1602
50
1602

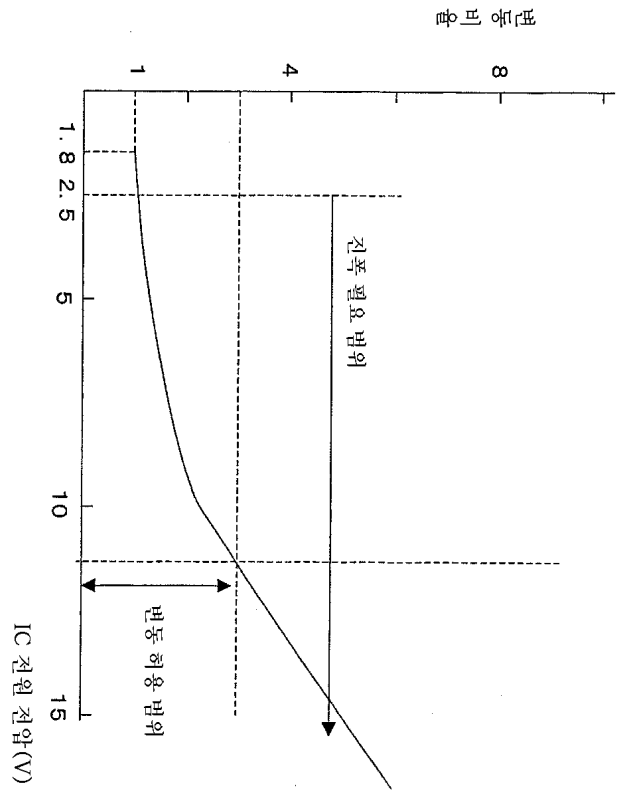
도면161


1612b
1612b
1613
1594
A
A
1614
50
1611

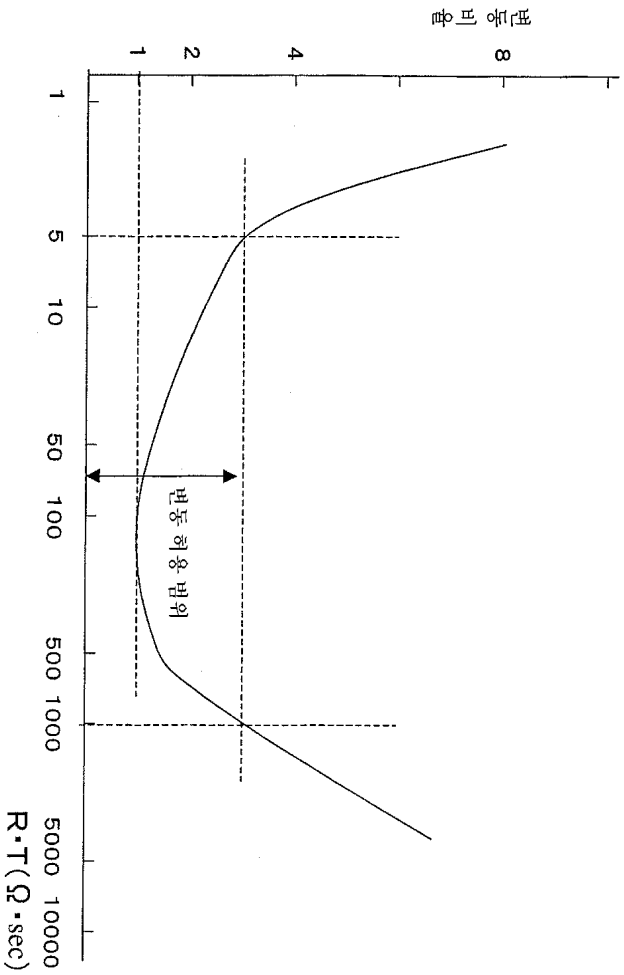
도면162


491
471
472a
472b1
521a1
473a1
473a2
473a3
581
521a2
472b2
473b
521c1
484
D0
D1
483
481
Ic
Ib
473b
521c2
484
D0
483
481
Ic
Ib
D1

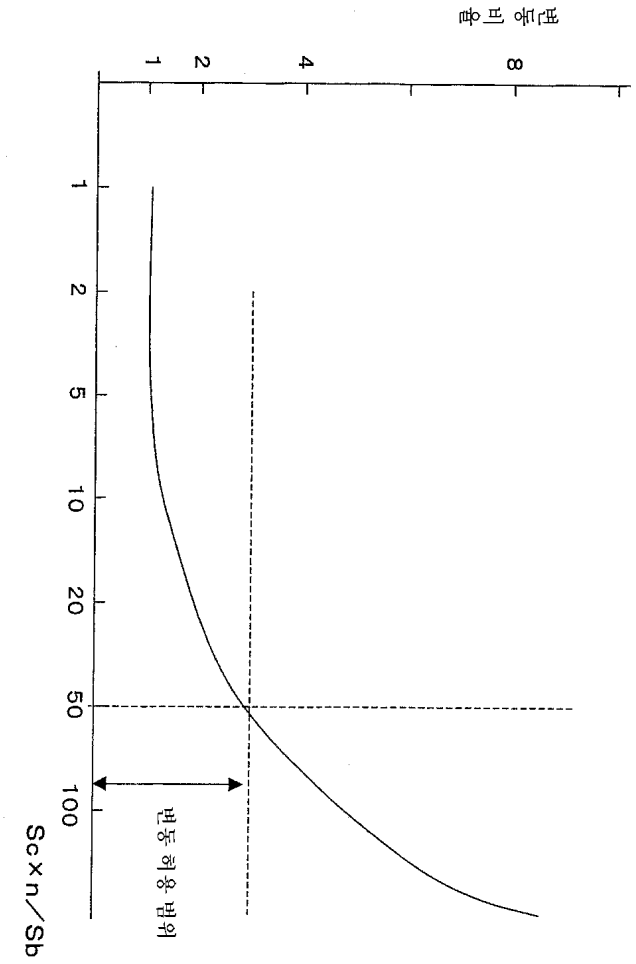
도면163


편동 비율
1
4
8
1.8 2.5
5
10
15
IC 전원 전압(V)
전폭 필요 범위
변동 허용 범위

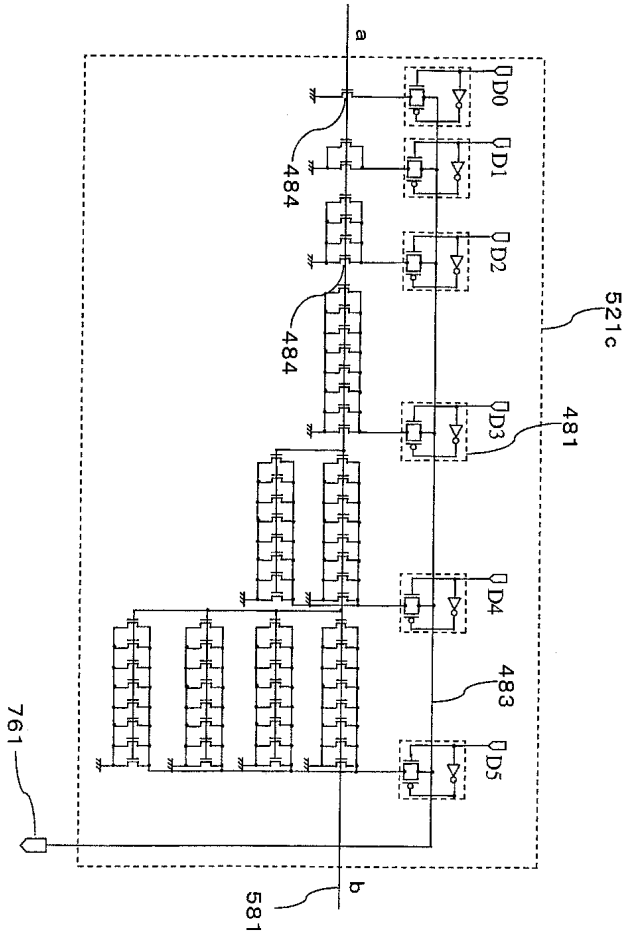
도면164


편동 비율
1
2
4
8
1
5
10
50
100
500
1000
5000
10000
R·T(Ω·sec)
변동 허용 범위

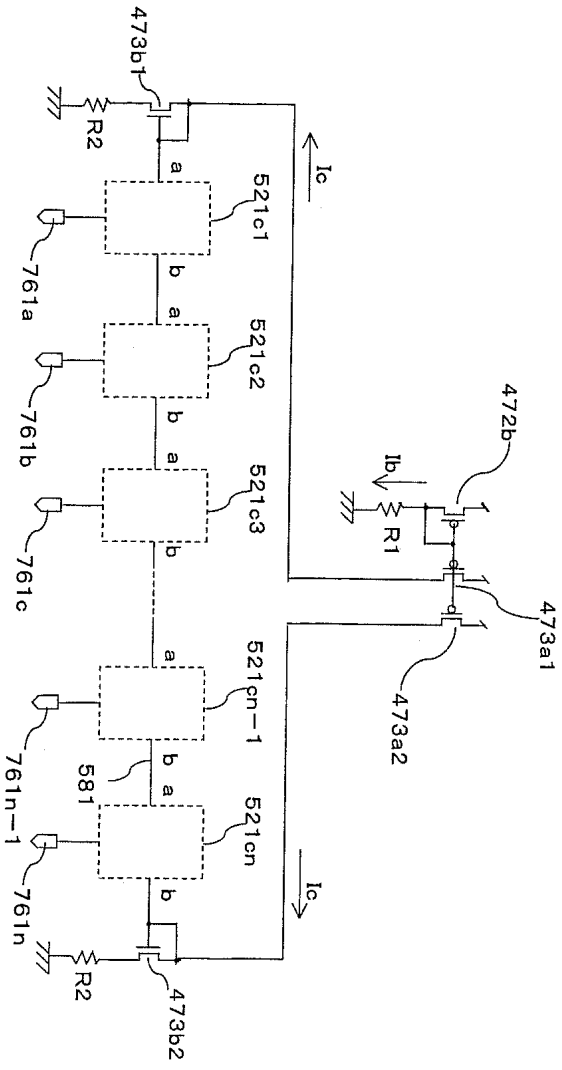
도면165



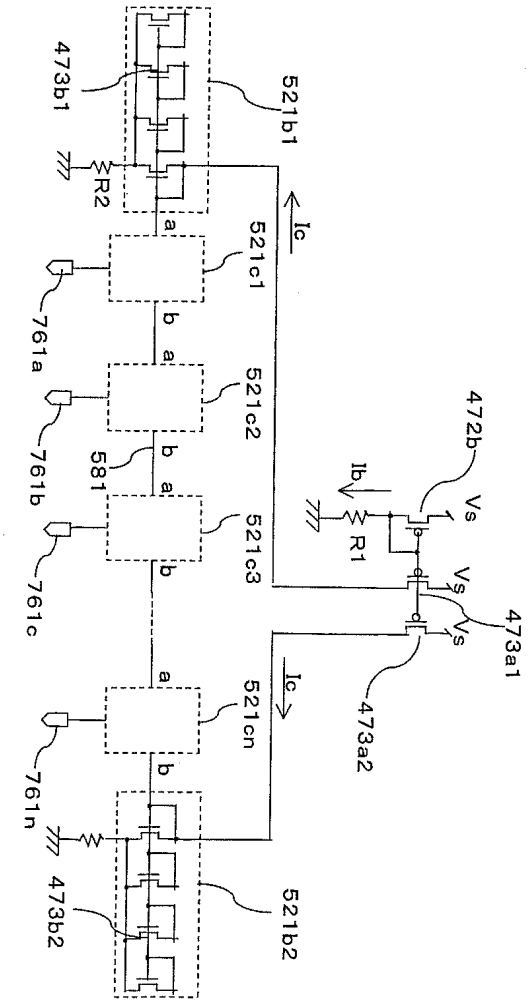
도면166



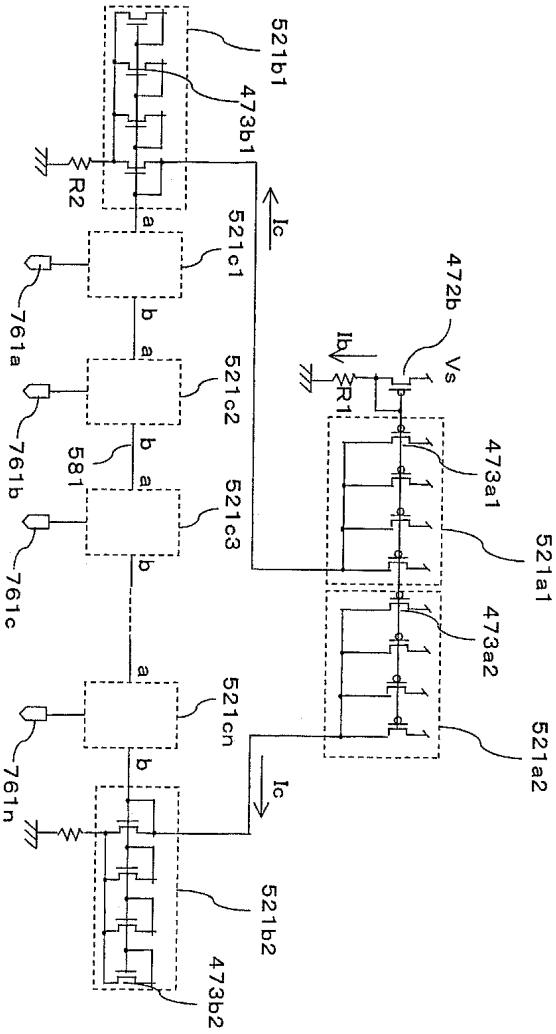
도면167


473b1
R2
a
521c1
761a
b
a
521c2
761b
b
a
521c3
761c
b
a
521cn−1
761n−1
581
b
a
521cn
761n
b
R2
473b2
Ic
Ic
Ib
R1
472b
473a1
473a2

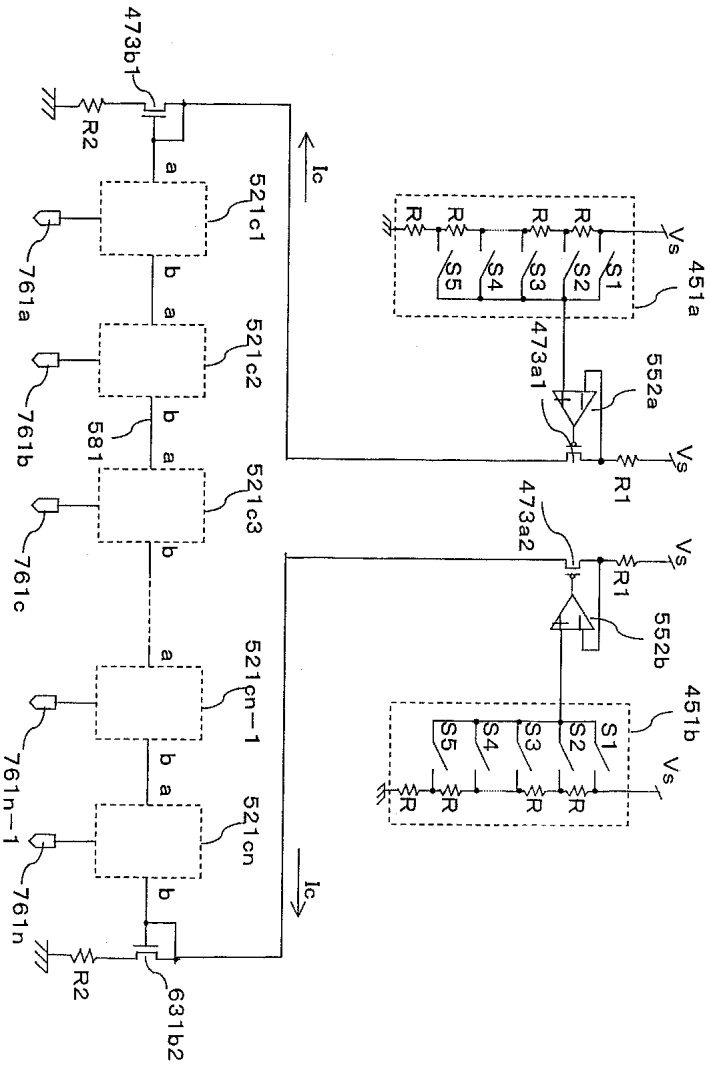
도면168


473b1
521b1
R2
a
Ic
521c1
761a
b
a
521c2
761b
581
b
a
521c3
761c
b
a
521cn
761n
b
473b2
521b2
472b
Vs
Ib
R1
Vs
Vs
473a1
473a2
Ic

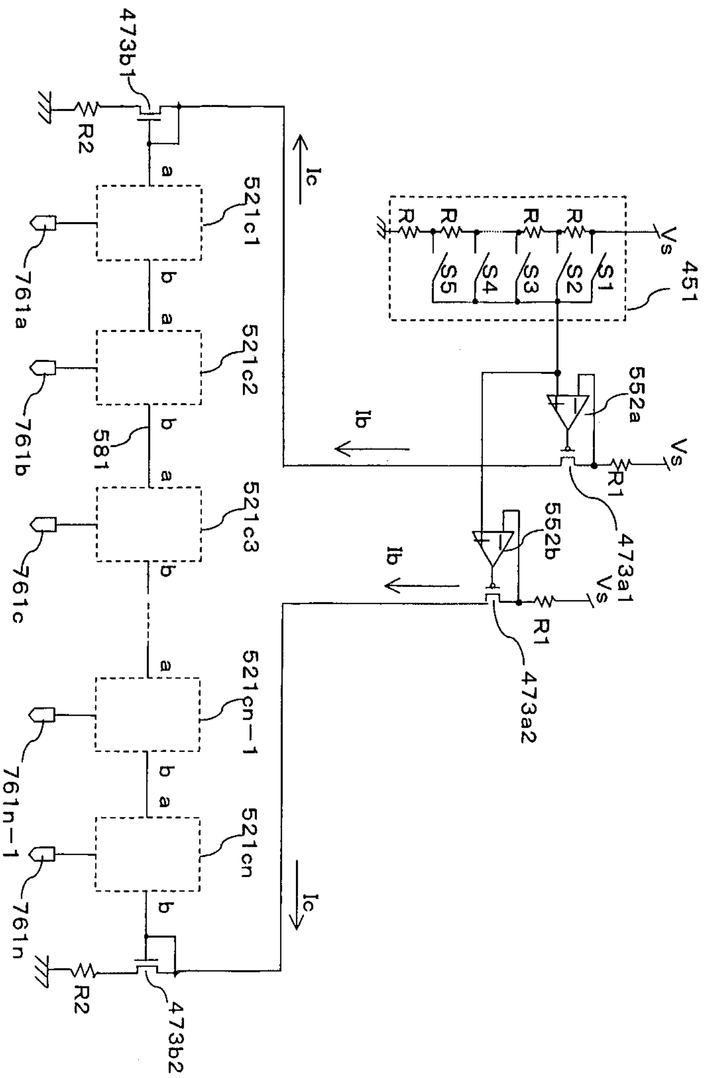
도면169


521b1
473b1
R2
Ic
521c1
761a
521c2
761b
581
521c3
761c
521cn
761n
521b2
473b2
472b
Vs
Ib
R1
473a1
521a1
473a2
521a2
a
b

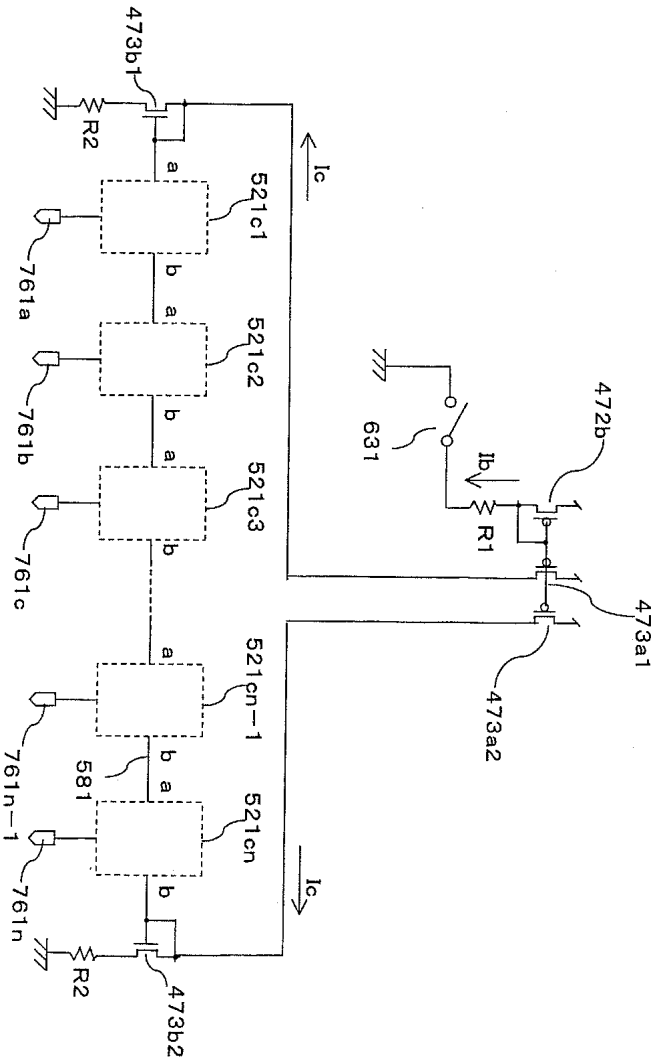
도면170


473b1
R2
a
521c1
761a
b
a
521c2
761b
581
b
a
521c3
761c
b
a
521cn−1
761n−1
b
a
521cn
761n
b
R2
631b2
Ic
Ic
451a
Vs
R
S1
S2
S3
S4
S5
473a1
552a
Vs
R1
473a2
Vs
R1
552b
451b
Vs

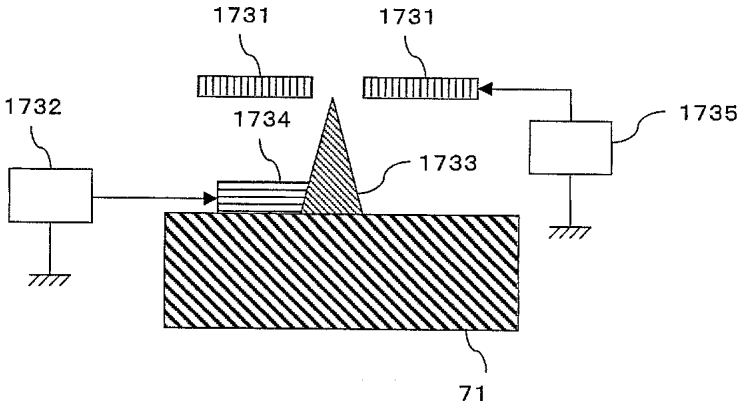
도면171


473b1
R2
a
b
521c1
761a
521c2
761b
581
521c3
761c
521cn−1
761n−1
521cn
761n
473b2
Ic
Ib
451
Vs
R
S1
S2
S3
S4
S5
552a
552b
R1
473a1
473a2

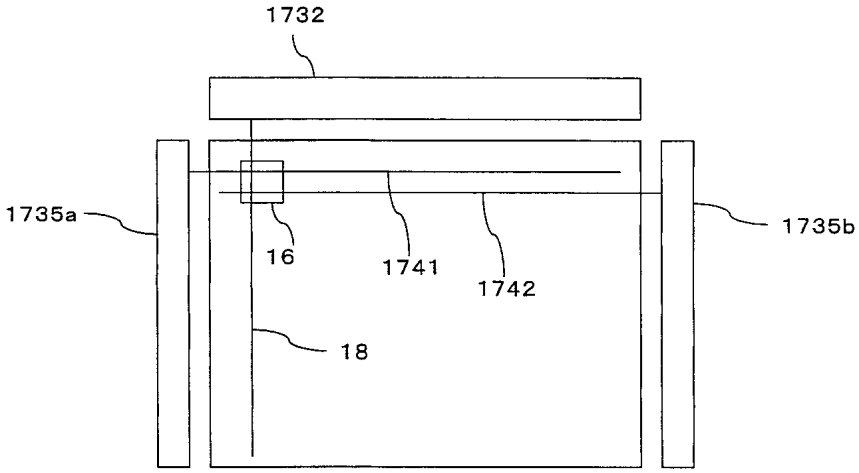
도면172


473b1
R2
a
521c1
761a
b
a
521c2
761b
b
a
521c3
761c
b
a
521cn−1
761n−1
581
b
a
521cn
761n
b
R2
473b2
Ic
631
Ib
472b
R1
473a1
473a2
Ic

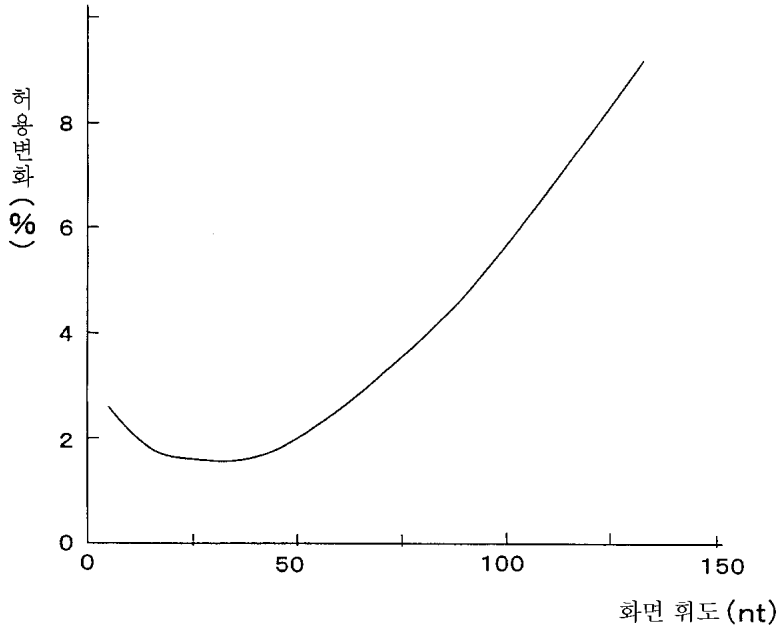
도면173


1731
1731
1732
1734
1733
1735
71

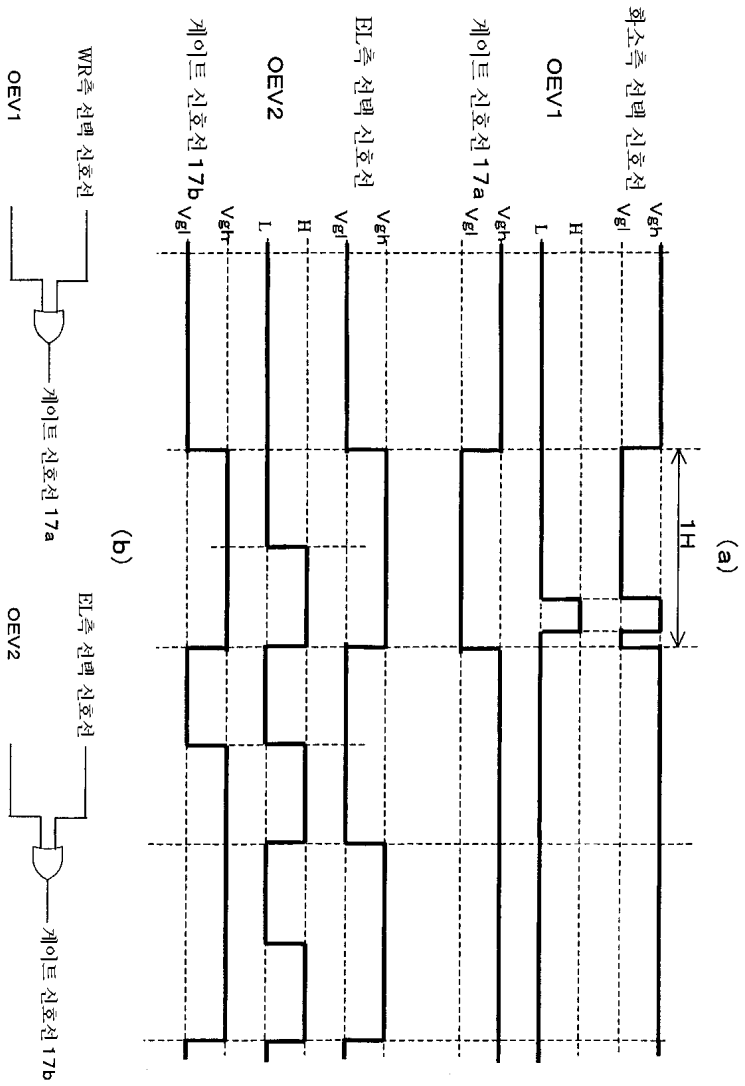
도면174


1732
1735a
1735b
16
1741
1742
18

도면175


허용편차 (%)
0
2
4
6
8
0
50
100
150
화면 휘도 (nt)

도면176


화소측 선택 신호선
OEV1
게이트 신호선 17a
EL측 선택 신호선
OEV2
게이트 신호선 17b
Vgh
Vgl
H
L
1H
(a)
(b)
WR측 선택 신호선
OEV1
게이트 신호선 17a
EL측 선택 신호선
OEV2
게이트 신호선 17b

专利名称(译)	EL显示装置的驱动方法		
公开(公告)号	KR1020050007340A	公开(公告)日	2005-01-17
申请号	KR1020047017243	申请日	2003-03-06
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI		
发明人	TAKAHARA,HIROSHI		
IPC分类号	G09G3/20 G09G3/22 G09G3/30 H05B33/14 G09G3/32		
CPC分类号	G09G2320/0247 G09G2300/0842 G09G2360/16 G09G3/2014 G09G2330/021 G09G2310/0297 G09G2320/0271 G09G3/3266 G09G3/3283 G09G2310/0235 G09G2300/0861 G09G2320/066 G09G2300/0452 G09G3/325 G09G2310/0251 G09G3/3241 G09G3/22 G09G2320/064 G09G2320/0276 G09G2320/0261 G09G2310/0248		
代理人(译)	CHANG, SOO KIL LEE，JUNG HEE		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002282013 2002-09-26 JP		
其他公开文献	KR100702103B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种驱动方法，用于通过提供对消耗电流的限制来实现显示强图像中的至少一个，以便抑制峰值电流或者增大图像的对比度。 当驱动具有用于通断控制每个像素中的驱动晶体管和EL元件之间的电流路径的开关元件的EL显示装置时，聚合对应于图像数据或图像数据的数据，通过采用其中开关元件关断的时段长于开关元件关断的时段的驱动方法，可以抑制峰值电流并且可以增加对比度。 指数方面 显示面板，EL元件，晶体管，驱动器，信号线，