

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/00

(11) 공개번호 특2003-0064337
(43) 공개일자 2003년07월31일

(21) 출원번호 10-2003-0004881
(22) 출원일자 2003년01월24일

(30) 우선권주장 JP-P-2002-00016524 2002년01월25일 일본(JP)
JP-P-2002-00047379 2002년02월25일 일본(JP)
JP-P-2002-00255216 2002년08월30일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 세오사토시
일본카나가와켄243-0036아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼내
야마자키순페이
일본카나가와켄243-0036아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼내

(74) 대리인 이병호

심사청구 : 없음

(54) 디스플레이 디바이스 및 그 제조 방법

요약

디스플레이 장치를 사용한 제조에 의해 소비전력이 덜하고 수명이 긴 전기장치를 제공하는 것이 과제이다.

절연 बैं크(103a)는 기판위의 제 1 전극들(102a) 상에 화소부들(110a)을 둘러싸는 형태로 제공된다. 전체 표면은 습식 방식(방법)에 의해 유기 도전성 막(104)이 도포된다. 유기 도전성 막(104)은 절연 बैं크(103)의 영향하에 $T_2 > T_1 > T_3$ 의 두께 형태를 갖는다. 따라서, 부분(T3)은 측방향으로 증가된 저항을 가져, 크로스토크를 방지하는 것이 가능하게 한다. 버퍼층(104)으로서의 도전성 폴리머에 기인하여, 구동전압이 낮은 디스플레이 디바이스가 제공될 수 있다. 또한, 부분(T2)의 두께가 증가되므로, 전계 집중이 화소부 및 그 주위에서 완화된다. 이에 따라 유기 발광 소자가 화소 주위에서 열화되는 것이 방지될 수 있다.

대표도

도 1c

색인어

절연 बैं크, 유기 도전체 막, 크로스토크, 도전성 폴리머

명세서

도면의 간단한 설명

도 1a 내지 1c는 본 발명의 개념을 나타낸 도면들.

도 2a, 도 2b는 본 발명의 수동-매트릭스 디스플레이 디바이스의 개념을 나타낸 도면들.

도 3a, 도 3b는 본 발명의 능동-매트릭스 디스플레이 디바이스의 개념을 나타낸 도면들.

도 4는 유기 발광 디바이스 제조 장치를 도시한 도면.

도 5a, 도 5b는 수동-매트릭스 디스플레이 디바이스의 실시예를 도시한 도면들.

도 6a, 도 6b는 능동-매트릭스 디스플레이 디바이스의 실시예를 도시한 도면들.

도 7은 능동-매트릭스 디스플레이 디바이스의 실시예를 도시한 도면.

도 8a 내지 8c는 구동방법의 실시예를 도시한 도면.

도 9a 내지 9f는 전기장치의 구체적인 예들을 도시한 도면들.

도 10a, 도 10b는 전기장치의 구체적인 예들을 도시한 도면들.

도 11은 잉크 젯 방법에 의해 도전성 폴리머를 연속적으로 형성하는 개념을 도시한 도면.

도 12a 내지 12c는 잉크 젯 방법에 의해 도전성 폴리머를 연속적으로 형성한 본 발명의 개념을 도시한 도면들.

도 13a, 도 13b는 단면 TEM 사진을 도시한 도면들.

도 14a, 도 14b는 본 발명의 개념을 나타낸 도면들.

도 15는 단면 TEM 사진을 도시한 도면.

도 16a, 도 16b는 능동 매트릭스 디스플레이 디바이스의 실시예를 도시한 도면들.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 애노드, 캐소드, 및 전계의 인가에 의해 광을 방출하는 유기 화합물을 함유하는 막(이하 유기 박막이라 함)을 갖는 유기 발광 디바이스를 사용한 디스플레이 디바이스에 관한 것이다. 구체적으로, 본 발명은 저전압에서 구동하는 고신뢰성의 디스플레이 디바이스에 관한 것이다. 유기 박막은 발광 화합물들로서 유기 화합물을 함유하고, 또한 또 다른 구성요소들로서 무기 화합물을 함유할 수도 있다. 이 명세서에서 디스플레이 디바이스라는 용어는 발광 디바이스로서 유기 발광 디바이스를 채용하는 영상 디스플레이 디바이스를 말한다. 또한 디스플레이 디바이스의 정의에는, 이를테면 이방성 도전막(FPC; 가요성 인쇄 회로), TAB(테이프 자동 본딩) 테이프, 또는 TCP(테이프 캐리어 패키지)와 같은 커넥터가 유기 발광 디바이스에 부착된 모듈과, 인쇄 배선판이 TAB 테이프 또는 TCP의 선단에 제공된 모듈과, IC(집적회로)가 COG(칩 온 글래스) 방법에 의해 유기 발광 디바이스에 직접 실장된 모듈이 포함된다.

유기 발광 디바이스는 전계가 인가되었을 때 광을 방출한다. 발광 메카니즘은 다음과 같다고 한다. 전극들 간에 개재된 유기 박막에 전압이 인가되어, 캐소드로부터 주입된 전자들과 애노드로부터 주입된 정공들의 재결합이 유기 박막에서 유발되며, 여기된 분자(이하 분자 여기자(molecular exciton)라 함)가 기저상태로 되돌아갈 때 에너지를 방출하면서 결과적으로 광을 방출한다.

유기 화합물들로부터 두 가지 유형들의 분자 여기자들이 있으며, 이 중 하나는 싱글렛 여기자(singlet exciton)이고 다른 하나는 트리플렛 여기자(triplet exciton)이다. 본 명세서에서는 싱글렛 여기가 발광을 유발하고 트리플렛 여기가 발광을 유발하는 양 경우들을 포함한다.

전술한 바와 같은 유기 발광 디바이스에서, 이 디바이스의 유기 박막은 보통 $1\mu\text{m}$ 미만의 두께를 갖도록 형성된다. 또한, 유기 발광 디바이스는 광이 유기 박막자체로부터 방출되는 자기 발광 디바이스이기 때문에 종래의 액정 디스플레이들에서 필요로 하는 백 라이트는 필요로 하지 않는다. 그러므로, 유기 발광 디바이스의 큰 잇점은 매우 얇고 경량이다.

유기 박막이 예를 들면 약 100 내지 200nm의 두께를 갖고 있을 때, 재결합은 유기 박막 내 캐리어들의 이동도에 의거하여, 캐리어들이 주입된 후 수십 nm 내에 발생한다. 캐리어 재결합부터 발광까지의 과정을 생각하면, 유기 발광 디바이스는 수 마이크로초내에 발광이 준비된다. 따라서, 신속한 응답 또한 유기 발광 디바이스의 잇점들 중 하나이다.

유기 발광 디바이스는 캐리어 주입형이기 때문에, 직류 전압으로 구동될 수 있고 잡음이 거의 발생되지 않는다. 구동 전압에 관하여, 보고에 따르면 유기 박막으로 약 100nm의 균일한 두께를 가진 초박막을 사용하고, 유기 박막에 대해 캐리어 주입 장벽을 낮출 수 있는 전극 물질을 선택하고, 또한 헤테로 구조(2층 구조)를 도입함으로써 5.5V에서 100 cd/m^2 의 충분한 휘도가 얻어진다고 한다(참고문헌 1: C. W. Tang 및 S. A. VanSlyke, 'Organic electroluminescent diodes', Applied Physics Letters, vol. 51, no. 12, 913-915(1987)).

참고문헌 1에 게재된 유기 발광 디바이스는 정공들을 수송하는데 할당된 정공 수송층의 기능과 전자들을 수송하는데 할당되고 광을 방출하는 전자 수송 발광층의 기능이 분리된 것이 특징이라 할 수 있다. 기능들을 분리한다는 생각은 발광층이 정공 수송층과 전자 수송층 간에 개재된 이중 헤테로 구조(3층 구조)로 전개되었다(참고문헌 2: Chihaya A DACHI, Shizuo TOKITO, Tetsuo TSUTSUI, 및 Shogo SAITO, 'Electroluminescence in Organic Films with Three-Layered Structure', Japanese Journal of Applied Physics, vol. 27, No.2, L269-L271(1988)).

기능분리의 잇점은 한 유형의 유기 물질에 동시에 여러 가지 기능들(발광, 캐리어 수송, 및 전극들로부터의 캐리어 주입)을 부여할 필요가 없기 때문에 분자 설계에 자유도가 확장된다는 것이다(예를 들면, 바이폴라 물질들을 찾으려고 노력 하는 것을 불필요하게 한다). 즉, 발광특성이 우수한 물질들과 캐리어 수송능력이 우수한 물질들을 쉽게 조합함으로써 고 발광 효율이 얻어질 수 있다.

기능 분리에 관하여, 구동전압을 감소시키기 위한 캐리어 주입 기능의 도입으로서 캐소드 버퍼층 및 애노드 버퍼층의 개념이 제시된다. 에너지 장벽을 완화시키는 물질들을 캐소드와 유기 박막 간 계면에 개재시켜 캐리어의 주입을 향상 시킴으로써 구동전압이 감소된다는 보고가 있다(참고문헌3: Takeo Wakimoto, Yoshinori Fukuda, Kenichi Nagayama, Akira Yokoi, Hitoshi Nakada, 및 Masami Tsuchida, 'Organic EL Cells Using Alkaline Metal Compounds as Electron Injection Materials', IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 44, NO. 8, 1245-1248(1997)). 참고문헌 3에는 Wakimoto 등이 캐소드 버퍼층으로서 Li_2O 를 사용함으로써 구동전압을 낮추는데 성공하였다고 개시되어 있다.

버퍼층에 관하여, 특히 최근에는 폴리머를 포함하는 버퍼층이 주의를 끌고 있다(참고문헌 4: Yoshiharu Sato, Molecular Electronics and Bioelectronics(The Japan Society of Applied Physics), vol. 11, No. 1, 86-99(2000)). 참고문헌 4에는 폴리머를 포함하는 애노드 버퍼층을 사용함으로써 보다 낮은 전압들, 보다 긴 수명, 및 보다 큰 내열이 촉진됨이 개시되어 있다. 폴리머를 포함하는 애노드 버퍼층은 적합한 엑셉터를 도입함으로써 도전성이 증가되기 때문에 두껍게 형성될 수 있다. 따라서, 평탄성에 기여할 수 있고 단락회로 감소에 효과를 나타낼 것으로 보인다.

보다 박막 및 경량이고, 빠른 응답과 직류 저전압 구동을 포함하는 이들 특징들에 의해, 유기 발광 디바이스는 차세대 평판 디스플레이 디바이스로서 주목을 끌고 있다. 또한, 자기 발광 유형이고 넓은 시야각에 의해, 유기 발광 디바이스는 보다 나은 가시성을 가지며 특히 차 내 제품들 및 휴대장비들의 디스플레이 화면용으로 사용할 때 효과적이다. 실제, 유기 발광 디바이스는 차내 오디오 장비들의 영역 컬러(area color)의 디스플레이 화면용으로 사용된다.

유기 발광 디바이스의 또 다른 특징은 각종 색들의 광의 방출이다. 매우 다양한 색들은 유기 화합물들 자신의 다양성으로부터 나온다. 즉, 각종의 색들은 적응성으로부터 나오며, 이러한 것에 의해, 분자를 설계함으로써(예를 들면, 치환물의 도입) 서로 상이한 색들을 방출하는 물질들이 개발될 수 있다.

이러한 점들로부터, 유기 발광 디바이스들의 가장 유망한 적용 분야는 단색 및 영역 컬러 디스플레이들은 말할 것도 없이 풀 컬러 평판 디스플레이들에 있다고 해도 될 것이다. 유기 발광 디바이스들의 특징들을 고려하면서 풀 컬러를 디스플레이하는 각종의 방법들이 고안되었다. 현재, 유기 발광 디바이스를 사용한 풀 컬러 디스플레이 디바이스를 제조하는 주요 3가지 방법들이 있다. 이들 주요 방법들 중 하나는 적색 광을 방출하는 유기 발광 디바이스, 녹색 광을 방출하는 유기 발광 디바이스, 청색 광을 방출하는 유기 발광 디바이스를 새도우 마스크 기술을 사용하여 개별적으로 형성하는 것이다. 적색, 녹색, 및 청색은 광의 주요 삼원색이고, 3가지 유형들의 유기 발광 디바이스들 각각은 하나의 화소를 형성한다. 이 방법을 이하 RGB 방법이라 한다. 주요 방법들 중 또 다른 하나는 발광원으로서 청색 유기 발광 디바이스를 사용하고 유기 형광물질들로 형성된 색 전환층들을 통해 청색 광을 녹색 광 및 적색광으로 전환시킴으로

써 광의 주요 삼원색을 얻는다. 이 방법을 이하 CCM 방법이라 한다. 마지막 방법은 발광원으로서 사용되는 백색 유기 발광 디바이스로부터의 백색광을 액정 디스플레이 디바이스들 등에서 사용되는 컬러 필터들을 통해 투과시킴으로써 광의 주요 삼원색을 얻는 방법이다. 이 방법을 이하 CF 방법이라 한다.

이들 구성 중 어느 것이든, 유기 발광 디바이스들을 화소들의 매트릭스로서 배열함으로써 형성되는 디스플레이 디바이스에는 수동 매트릭스 구동(단순 매트릭스형) 및 능동 매트릭스 구동(능동 매트릭스형) 등의 구동 방법들이 사용된다. 또한, 화소 밀도가 높아진 경우에, 각 화소에 스위치들(예를 들면, 트랜지스터들과 같은 비선형 소자들)이 제공된 능동 매트릭스형은 저전압에서 구동할 수 있기 때문에 수동 매트릭스형에 비해 잇점이 있다고 한다.

한편, 전술한 바와 같이 참고문헌4에 시사된 바와 같이 폴리머를 포함하는 버퍼층은 보다 낮은 구동전압, 보다 긴 수명, 보다 큰 내열을 촉진한다. 이들 물질들을 포함하는 버퍼층(주로 애노드 버퍼층)을 구비한 유기 발광 디바이스를 디스플레이 디바이스 내 각 화소의 매트릭스로 배열함으로써 적용하려고 하였을 때 문제가 발생하였다. 문제는 크로스토크이다.

폴리머를 포함하는 대부분의 버퍼층에서, 이들에 도전성을 부여하기 위해서 π -결합 시스템(π -conjugated system)을 포함하는 폴리머에 도너 또는 억셉터가 첨가된다. 폴리머는 보통 스프인 코팅 등에 의해 전체 표면에 적용되고, 이에 따라 폴리머와 배선들 간 곳곳에서 전류 누설로 된다.

예를 들면, 수동 매트릭스 디스플레이 디바이스를 형성하기 위한 애노드 버퍼층으로서, 억셉터가 첨가된 도전성 폴리머인 폴리에틸렌 디옥시테오펜/폴리스티렌 술폰산염(이하 'PEDT/PSS'라 함)의 사용으로 크로스토크가 야기된다는 보고가 있다(참고문헌 5: A. Elschner, F. Jonas, S. Kirchmeyer, K. Wussow, 'High-Resistivity PEDT/PSS for Reduced Crosstalk in Passive Matrix OELs', Asia Display/IDW '01, 1427-1430(2001)). 참고문헌 5에는 크로스토크를 회피하기 위해 의도적으로 PEDT/PCC의 저항률을 높게 한다라는 것이 기재되어 있다.

그러나, 저항률을 높게 하면, 폴리머를 포함하는 버퍼층은 두꺼운 막을 갖도록 형성될 수 없다(즉, 전류는 유기 발광 디바이스를 통해 쉽게 통과하지 못한다). 그러므로, 막을 두껍게 하는 것에 의해 전극 표면을 평탄화함에 기인한 단락 회로를 회피하는 특징부여가 상실된다. 고 저항률은 자발적으로 높은 구동전압에 이르게 한다. 따라서, 저 구동 전압의 잇점이 또한 상실된다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 크로스토크를 야기함 없이, 유기 발광 소자들을 화소들로서 매트릭스 형태로 배열함으로써 형성되는 디스플레이 디바이스에 폴리머를 사용한 도전성 버퍼층을 적용하는 것이다. 또한, 전술한 바에 의해서, 구동전압이 낮고 신뢰성 및 내열이 우수하고 단락회로 등의 결함이 덜 한 디스플레이 디바이스를 제공하는 것이 과제이다.

또한, 디스플레이 디바이스를 사용한 제조에 의해 소비전력이 덜 하고 수명 이 긴 전기장치를 제공하는 것이 과제이다.

본 발명은 기판; 상기 기판의 절연 표면 상에 제공되고 복수의 화소들에 대응하는 복수의 제 1 전극들; 상기 제 1 전극을 둘러싸며 상기 제 1 전극의 표면 위로 돌출한 절연 बैं크; 상기 절연 बैं크 및 제 1 전극 상에 제공된 유기 도전체 막; 상기 유기 도전체 막 상에 제공되고 전계 발광(electroluminescence)을 야기할 수 있는 유기 화합물을 함유하는 유기 박막; 및 상기 유기 박막 상에 제공된 제 2 전극을 포함하는, 매트릭스 형태로 배열된 복수의 화소들을 구비한 디스플레이 디바이스이다.

특히, 상기 유기 도전체 막은 억셉터 또는 도너가 첨가된 π -결합 시스템을 갖는 하이 폴리머인 것을 특징으로 한다. 또한, 평탄도를 고려하여, 상기 유기 도전체 막은 습식 방법에 의해 형성된 막인 것이 바람직하다. 상기 습식 방법은 스프인 코팅 프로세스, 잉크 젯 프로세스 또는 스프레이 프로세스인 것이 적합하다. 또한, 상기 유기 도전체 막은 10^{-6} S/cm 이상 및 10^{-2} S/cm 이하의 도전률을 갖는다.

한편, 상기 절연 बैं크는 상기 기판의 위를 향하여 점차 작아지는 테이퍼 형태를 갖는 것을 특징으로 한다. 이 경우, 상기 테이퍼 형태는 60도 이상 및 80도 이하의 테이퍼 각을 갖는다. 또한, 상기 절연 बैं크가 상기 절연 बैं크의 에지 라인에 대해 상기 기판측에서 곡률반경의 적어도 하나의 중심을 갖는 만곡된 표면 형태를 갖는 경우, 또는 상기 절연 बैं크가 상기 절연 बैं크의 에지 라인에 대해 상기 기판측에서 곡률반경의 적어도 하나의 중심을 갖고 상기 절연 बैं크의 에지 라인에 대해 상기 기판측의 대향측에서 곡률반경의 적어도 하나의 중심을 갖는 만곡된 표면 형태를 갖는 경우, 스프인 적용이 특히 적합하게 수행될 수 있다.

또한, 본 발명에서, 상기 디스플레이 디바이스는, 데이터 신호 라인과, 주사 신호 라인과, 상기 데이터 신호 라인, 상기 주사 라인 및 상기 제 1 전극에 접속된 비선형 소자를 더 포함하는 것을 특징으로 한다. 이 경우, 상기 비선형 소자는 상호 접속된 박막 트랜지스터 및 캐패시터의 조합 또는 박막 트랜지스터 및 상기 박막 트랜지스터에 대한 기생 캐패시터의 조합에 의해 형성되는 것이 바람직하다.

한편, 디스플레이 디바이스인 한, 디스플레이 디바이스는 만족스럽게, 어느 표면이든 광의 가시 부분에 대해 투명성을 갖는다. 따라서, 본 발명은 기판 및 제 2 전극이 광의 가시 부분에 대해 투명성을 갖거나, 아니면 제 2 전극이 광의 가시 부분에 대해 투명성을 갖는 것을 특징으로 한다.

전술한 디스플레이 디바이스 제조 방법으로서, 본 발명에서, 매트릭스 형태로 배열된 복수의 화소들을 구비한 디스플레이 디바이스를 제조하는 방법은, 기판의 절연 표면 상에, 상기 복수의 화소들에 대응하는 복수의 제 1 전극들을 형성하는 패터닝 단계; 상기 제 1 전극을 둘러싸며 상기 제 1 전극의 표면 위로 돌출한 절연 बैं크를 형성하는 단계; 상기 절연 बैं크 및 제 1 전극 상에 유기 도전체 막을 제공하는 단계; 상기 유기 도전체 막 상에 전계 발광을 야기할 수 있는 유기 화합물을 함유하는 유기 박막을 형성하는 단계; 및 상기 유기 박막 상에 제 2 전극을 형성하는 단계를 포함한다.

본 발명에서, 상기 유기 도전체 막을 절연 बैं크 및 제 1 전극 상에 제공하는 단계는 습식 프로세스에 의한다. 이 경우, 습식 프로세스는 상기 유기 도전체 막용으로 물질 용액 또는 물질 분산 용액을 스프레이-적용, 스핀-적용, 또는 잉크젯-적용하는 프로세스인 것이 바람직하다.

또한, 본 발명에서, 상기 패터닝 단계는 데이터 신호 라인, 주사 신호 라인, 및 상기 데이터 신호 라인, 상기 주사 라인 및 상기 제 1 전극에 접속된 비선형 소자를 형성하는 단계를 포함하는 것을 특징으로 한다. 이 경우, 상기 비선형 소자는 상호 접속된 박막 트랜지스터 및 캐패시터의 조합 또는 박막 트랜지스터 및 상기 박막 트랜지스터에 대한 기생 캐패시터의 조합에 의해 형성된 것이 바람직하다.

발명의 구성 및 작용

도 1에 본 발명의 개념도를 도시하였다. 도 1a에서, 기판 상에, 스트립 형상의(도면에서 수직하게) 제 1 전극들(102a) 및 화소들(110a)을 형성하기 위해서, 화소부들(110a)을 둘러싸는 형태로 절연 बैं크(103a)가 제공된다. 한편, 도 1b에서, 기판 상에, 섬 형상의 제 1 전극들(102b) 및 화소부들(110b)을 형성하기 위해서 화소들(110b)을 둘러싸는 형태로 절연 बैं크(103b)가 제공된다. 어느 경우든, 도면에서 A-A' 선을 따라 취한 단면도는 도 1c로서 주어진다. (101)은 기판이고, (102)는 제 1 전극이며, (103)은 절연 बैं크이다.

예를 들면, JP-A-8-227276(문헌 6)에 개시된, 이러한 절연 बैं크들을 형성하는 여러 가지 방법들이 공지되어 있다. 문헌 6은 기판 상에 복수의 제 1 디스플레이 전극들, 제 1 디스플레이 전극을 둘러싸고 기판 위로 돌출한 전기 절연 격벽(electrical-insulating barrier wall), 격벽 내 제 1 디스플레이 전극 상에 적어도 1층이 형성된 박막의 유기 전계 발광 매체, 및 복수의 전계 발광 매체 박막들 상에 공통으로 형성된 제 2 디스플레이 전극이 형성된 기판을 갖는 구조를 갖는다.

이 경우에, 습식 방식(방법)에 의해 전체 표면에 PEDOT/PSS의 도전성 폴리머 등으로 대표되는 유기 도전성 막(104)이 적용된다고 가정한다. 이러한 경우에, 유기 도전성 막(104)은 절연 बैं크(103)의 영향 하에 $T_2 > T_1 > T_3$ 의 두께 형태를 갖는다. 따라서, 부분(T_3)은 측방향으로 증가된 저항을 가져, 크로스토크를 방지하는 것을 가능하게 한다. 또한, 부분(T_2)은 두께가 증가되기 때문에, 전계 집중이 화소부에 그리고 이 주위에서 완화된다. 이에 따라 유기 발광 소자를 화소 주위에서 열화되는 것을 방지하는 것이 가능해진다.

이 형태는 습식 방식에 의해 유기 도전막을 적용하는 경우에 효과적으로 활용이 가능하다. 그러나, 이 형태는 진공 증착 등의 건식 프로세스에 의해 유기 도전막을 형성하는 경우 유사하게 얻어질 수 있다. 그러므로, 건식 및 습식 프로세스들은 어느 것이든 유기 도전체 막(104)을 형성함에 있어 효과적이다.

이 개념은 수동 매트릭스형에 적용된다면 도 2a-b에 도시한 바와 같은 형태를 제공한다. 도 2a는 평면도이고 도 2b는 도 2a에서 B-B'선을 따라 취한 단면도이다. 즉, 스트립 형상의 제 1 전극들(202)은 기판(201) 상에 형성되고 절연 बैं크(203)는 제 1 전극들(202) 위로 돌출하고 화소들(P)을 둘러싸는 형태로 형성된다. 유기 도전성 막(204)(대표적으로, 도전성 폴리머)이 제공되어, 전계 발광을 유발할 수 있는 유기 화합물을 함유하는 유기 박막(205)이 또한 형성된다. 제 2 전극들(206)은 이 위에 제 1 전극들에 직교하여 형성된다.

여기서 유기 박막(205)은 금속 마스크에 의해 화소마다 개별적으로 적용되어 풀 컬러 디스플레이에 적합한 형태를 나타내는 것에 유의한다. 당연히, 단일의 색의 경우엔, 개별적인 적용 대신 솔리드 적용(solid application)이 사용될 수 있다.

한편, 개념이 능동 매트릭스형에 적용된다면, 이 개념은 도 3a-b의 형태를 제공한다. 도 3a는 평면도이고 도 3b는 도 3a에서 C-C'선을 따라 취한 단면도이다. 즉, 섬(island) 형상의 제 1 전극들(302)은 기판(301) 상에 형성되고 절연 बैं크(303)는 제 1 전극들(302) 위로 돌출하며 화소들을 둘러싸는 형태로 형성된다. 유기 도전성 막(304)은 그 위에 제공되어, 전계 발광을 야기할 수 있는 유기 화합물을 함유하는 유기 박막(305)을 또한 형성한다. 제 2 전극들(306)은 솔리드 적용에 의해 그 위에 형성된다.

또한, 데이터 신호 라인들(307)과, 주사 신호 라인들(308)과, 데이터 신호라인들(307) 및 주사 신호 라인들(308)에 접속된 비선형 소자들(309)이 제공되어 있다. 비선형 소자는 접점(310)을 통해 제 1 전극(302)에 접속된다. 이에 따라 개별적으로 각 화소를 스위치할 수 있다. 비선형 소자(309)는 대표적으로 상호 접속된 박막 트랜지스터 및 캐패시터의 조합 또는 박막 트랜지스터와 박막 트랜지스터에의 기생 캐패시터와의 조합에 의해 형성된다.

또한, 도 2 및 도 3에서, 유기 박막 구성은 공지의 유기 발광 소자의 구조를 사용할 수도 있다. 또한, 제 1 전극 및 제 2 전극은 어느 것이든 광의 가시부(visible portion)에 대해 투명성을 지니고 있을 수 있다. 제 1 전극이 애노드인 경우, 제 2 전극은 캐소드일 수 있다. 제 1 전극이 캐소드일 때, 제 2 전극은 애노드일 수 있다.

유기 도전성 막에 있어서, 엑셉터 또는 도너를 유기 반도체에 도핑함으로써 암 도전층을 제공하는 방법이 적합하게 적용된다. 막 형성 프로세스에 관하여, 건식 프로세스에 의해 증착, 예를 들면 진공 증착과 스프인 코팅 등의 습식 프로세스에 의한 막 형성의 것들이 포함된다.

일 예로서 건식 프로세스에 의해 형성될 유기 도전성 막은 일반적으로 저분자 유기 반도체 및 엑셉터나 도너를 동시에 증착하는 방법에 의한다. p형 유기 반도체 및 엑셉터에 의해 동시 증착된 유기 도전성 막은 정공 주입층으로서 바람직하다. n형 유기 반도체 및 도너가 동시 증착된 유기 도전성 막은 전자 주입층으로서 바람직하다.

저분자 p형 유기 반도체는 4,4'-비스[N-1-나프틸]-N-페닐-아미노]-바이페닐(약어: α -NPD) 및 이를테면, 4, 4', 4''-트라이스(N, N-디페닐-아미노)-트리페닐아민(약어: TDATA) 및 4, 4', 4''-트라이스(N-(3-메틸페닐)-N-페닐-아미노)-트리페닐아민(약어: MTDATA)와 같은 방향성 아민 화합물(aromatic amine compound)을 포함한다. 저분자 n형 유기 반도체는 이를테면 트라이스(8-퀴놀리노라토) 알루미늄(약어: Alq₃) 및 비스[2-(2-하이드록시페닐)-벤조옥사졸라토] 아연(약어: Zn(BOX)₂)과 같은 금속 복합체, 이를테면 2-(4-바이페닐)-5-(4-테르트-부틸페닐)-1, 3, 4-옥사디아졸(약어: PBD) 및 1,3-비스[5-(p-테르트-부틸페닐)-1,3,4-옥사디아졸-2-일]벤젠(약어: OXD-7)과 같은 옥사디아졸 유도체들과, 이를테면 5-(4-바이페닐)-3-(4-테르트-부틸페닐)-4-페닐-1,2,4-트리아졸(약어: TAZ) 및 5-(4-바이페닐)-3-(4-테르트-부틸페닐)-4-(4-에틸페닐)-1,2,4-트리아졸(약어 p-EtTAZ)와 같은 트리아졸 유도체들과, 이를테면 바소페난트롤린(약어 BPhen), 바소쿠프로인(약어: BCP)와 같은 페난트롤린 유도체들을 포함한다.

엑셉터로서 효과적으로 작용하고 증발될 것들의 예는 대표적으로 이를테면 TCNQ, TCE, DDQ, 벤조퀴논, 2, 6-나프토퀴논, p-플루로라닐, 테트라클로로디페노퀴논 및 니켈비스디페닐글루옥심 등의 루이스 산으로서 작용하는 것들을 포함한다. 도너로서 효과적으로 작용하고 증발될 것들의 예는, 대표적으로, TTF, TTT, 메틸페노티아진 및 N-이소프로필카바졸 등의 유기 화합물들 외에 알칼리 및 알칼리 토류 금속들 등의 도너 특성이 강한 금속들 등의 루이스 염기로서 작용하는 것들을 포함한다.

습식 프로세스에 의해 증착될 유기 도전성 막은 일반적으로 예로서 도전성 폴리머 화합물로 대표되는 π -결합 시스템을 갖는 하이 폴리머에 엑셉터 또는 도너를 혼합한 용액을 습식 적용하는 방법을 포함한다. 막 형성성이 좋다면, 하이 폴리머 대신 저분자 유기 화합물이 사용될 수도 있다. 또한 이 경우, 도너가 혼합된 유기 도전막이 전자 주입층으로서 바람직한 반면 정공 주입층으로서 엑셉터가 혼합된 유기 도전성 막이 바람직하다.

π -결합 시스템을 갖는 하이 폴리머는 예로서 폴리(에틸렌디옥시티오펜) (약어: PEDOT), 폴리아닐린(약어: PANi) 및 폴리피롤 등 실제 사용되는 물질들 외에 폴리페닐렌 유도체들, 폴리티오펜 유도체들 및 폴리(파라페닐렌비닐렌) 유도체들을 포함한다.

위에 열거된 것들은 엑셉터 또는 도너로서 사용될 수 있다. 그러나, 폴리스티렌 술폰산(PSS) 등의 수용액 폴리머의 엑셉터를 사용함으로써, 수용성 시스템에서 습식 적용이 가능하다. PEDOT/PSS 및 PANi/PSS는 공지된 것으로 이들은 정공 주입층용으로 특히 효과적이다.

한편으로, 테이퍼된 절연 बैं크가 도 1 내지 도 3에 예에 관하여 설명되었다. 그러나, 절연 बैं크가 또 다른 형태로 된 경우, 효과는 유사하게 또는 더 크게 얻어질 수 있다. 도 14a-c는 도 1c의 테이퍼된 절연 बैं크가 또 다른 형태로 만들어진 전형적인 것을 도시한 것이다.

도 14a는 절연 बैं크(103)가 이의 단부에서 절연 बैं크(103)의 안쪽에 하나의 곡률반경 R1을 갖는 만곡된 형태로 만들

어진 경우에 관한 것이다. 이러한 경우, 절연 बैं크는 이의 단부에서 도 14a에 도시한 바와 같이 호를 그리기 때문에, $T2 > T1 > T3$ 의 상태를 형성하기가 쉽다. 특히, 이것은 T3가 절연 बैं크의 상 단부에 접근함에 따라 두께가 감소하기 때문에, 크로스토크를 방지하는데 큰 효과를 제공한다.

도 14b는 절연 बैं크(103)가 이의 단부에서 절연 बैं크(103)의 안쪽에 하나의 곡률반경 R1과 절연 बैं크(103)의 외부에 하나의 곡률반경 R2를 갖는 만곡된 형태로 만들어진 경우에 관한 것이다. 이러한 경우, 절연 बैं크는 이의 단부에서 도 14b에 도시한 바와 같은 S-형태를 그리고 있기 때문에, $T2 > T1 > T3$ 의 상태를 형성하기가 쉽다. 이 경우, T3가 절연 बैं크의 상 단부에 접근함에 따라 두께가 감소하기 때문에, 크로스토크를 방지하는데 큰 효과를 제공한다.

도 14a-b에 도시한 바와 같은 절연 बैं크 형태는 스피너 코팅 프로세스에 의해 습식 적용이 실행되는 경우에 특히 효과적이다. 이것은 절연 बैं크의 완화된 단부에 기인하여 스피너 코팅 동안 액체는 쉽게 고르게 확산되기 때문이다.

또한, 수소 플라즈마 또는 수소 이온 도핑에 의해 유기 도전체 막(104, 204 또는 304)에 수소 원자들 또는 분자들이 사전에 존재하고 유기 박막(205 또는 305)을 형성한 후 가열에 의해 확산된 경우, 드라이브-인 동안 유기 박막(205 또는 305) 내 쌍이 되지 않은 본드들(또는 라디칼들)이 야기된 경우에 이들은 열화를 방지하도록 수선된다.

도 4는 도 2 및 3의 디스플레이 디바이스를 형성하기 위한 장치의 개념도를 도시한 것이다. 장치는 진공 증착에 의해 유기 박막을 형성하는 예에 기초한다. 이것은 주로 기판들을 이송하기 위한 이송 챔버, 기판들을 운반하기 위한 운반 챔버, 각종의 박막들을 형성하기 위한 증착 챔버 및 밀봉(sealing)을 수행하기 위한 밀봉 챔버(seal chamber)로 구성된다. 각 챔버는 필요한 진공 또는 N_2 와 같은 가스 분위기를 생성하기 위한 디바이스를 달성하기 위해 배기 디바이스를 구비한다. 챔버들은 게이트 밸브들 등을 통해 수동으로 연결된다. 기판 이송은 이송 로봇에 의한다.

먼저, 기판(401c)(이전에 화소 영역, 구동회로들, 상호접속들, 전극들, 보호막 등이 제공되어 있어도, 이하 단순히 '기판'이라 함)은 외부로부터 로드 챔버(400)에 놓여진다. 전형적으로, TFT들은 화소영역 및 구동회로 영역에 사용된다.

로드 챔버(load chamber)(400) 내 기판(401c)은 이송 로봇에 의해 이송 챔버(401a)에 이송된 후 프리-프로세스 챔버(402)로 이송된다. 전형적으로, 기판(401c)은 프리-프로세스 챔버(402) 내에서 가열, O_2 -플라즈마 처리 등에 의해 프리-프로세스된다. 프리-프로세스는 OLED의 특징들을 개선하는 것에 목적이 있다. 이것은 또한 기판 적용면을 친수성이 되게 하며 수용성의 도전성 폴리머 등이 유기 도전체 막에 적용될 때 습윤성을 향상시키는 것이다.

프리-프로세스를 완료한 완성된 기판은 질소로 퍼지된 로드 챔버로 되돌아 간다. 이어서, 기판은 정규 압력(질소 분위기) 하에 이송 챔버(transport chamber)(420)로 이송되고, 반전 챔버(inversion chamber)(422) 내에서 정규 위치로 반전된다. 이어서, 유기 도전막(구체적으로, PEDOT/PSS와 같은 도전성 폴리머)이 적용 챔버(application chamber)(421) 내에서 적용된다. 적용 방법이 스피너 코팅 또는 딥 코팅을 포함할지라도, 여기서 막 형성은 스프레이 기술에 의한다. 적용 후에, 기판은 이송 챔버(420)를 통해 반전 및 진공 베이킹 챔버(inversion-and-vacuum bake chamber)(423)에 이송된다. 이 챔버에서, 반전 및 진공 베이킹이 수행된다.

이러한 식으로, 여기서 진공 베이킹은 반전된 상태(즉, 기판면을 아래로 향한 상태)에서 수행된다. 그러나, 도 1a-c 또는 14a-b에 언급된 $T2 > T1 > T3$ 은 기판면 하향 상태(후에 실시예 8에서 언급됨)에서 베이킹을 수행할 때 문제없이 유지될 수 있음을 알 수 있다.

진공 베이킹 후에, 기판은 이송 챔버(401a) 및 운반 챔버(delivery chamber) (403)를 통해 이송 챔버(404)로 이송된다. 이송 챔버(404)에서, 이에 장치된 이송 로봇은 기판들을 이송 챔버(404)에 연결된 각각의 챔버들에 이송하는 역할을 한다. 이송 챔버(404)는 유기층들을 형성할 목적으로 증착 챔버가 연결된다. 증착 챔버들(406R, 406G, 406B)은 풀 컬러 OLED 디스플레이 디바이스 제작을 예상하여, RGB 색의 발광층들을 형성하도록 셋업된다. 또한, 증착 챔버(deposition chamber)(405)는 색들에 공통되는 층, 즉 캐리어 수송층 및 캐리어 주입층을 형성하기 위해 셋업된다. 이들 증착 챔버들은 일반적으로 진공 증착 프로세스를 사용한다. 풀 컬러 발광을 얻기 위해서, 증착은 RGB 광을 방출하기 위한 발광층들이 스트라이프, 모자이크 또는 델타 형태로 배열되게, 개별 적용을 위한 새도우 마스크들을 사용함으로써 실행될 수도 있다. 또한, 유기층들을 증착함에 앞서, 스피너 코팅 또는 딥-코팅 프로세스에 의해 전체 표면에 유기 도전성 물질을 적용하는 경우에, O_2 -플라즈마 프로세스가 프리-프로세스 챔버(pre-process chamber)(402)에서 마스크와 조합되어 수행된다. 이것은 유기 도전체 막의 원하지 않은 부분(밀봉재에 의해 적용될 또는 상호접속들 상의 영역)을 제거할 수 있다.

유기층 증착이 완료된 기판은 운반 챔버(407)를 통해 이송 챔버(408)로 이송된다. 이송 챔버(408)에서, 이에 장치된 이송 로봇은 이송 챔버(408)에 연결된 각각의 챔버들에 기판들을 이송하는 역할을 한다. 이송 챔버(408)는 이면 전극 또는 보호막을 형성할 목적으로 증착 챔버에 연결된다. 증착 챔버(409)에서, 전극들용의 금속(예를 들면, AlLi 합금 또는 MaAg 합금)은 진공 증발 프로세스 또는 EB 프로세스에 의해 증발된다. 증착 챔버(411)에서, 기판의 상면에서 발광에 필요한 투명한 도전막(예를 들면, ITO 또는 IZO)은 일반적으로 스퍼터링 프로세스 또는 화학 증기 증착(CVD)

프로세스에 의해 증착된다. 증착 챔버(412)에서, 표면 보호를 위한 패시베이션막(예를 들면, SiN 또는 SiO_x 막)은 일반적으로 스퍼터링 프로세스 또는 CVD 프로세스에 의해 증착된다.

막 형성이 완료된 기판은 운반 챔버(413)를 통해 이송 챔버(414)로 이송된다. 이송 챔버(414)는 밀봉에 필요한 복수의 챔버들에 연결된다. 이송 챔버(414)에서, 이에 장치된 이송 로봇은 이송 챔버(414)에 연결된 각각의 챔버에 기판들 또는 밀봉된 기판들을 이송하는 역할을 한다.

먼저, 밀봉을 위해 기판들을 준비할 필요성이 있다. 이 목적을 위해서, 밀봉 유리 기판 준비 챔버(415a) 및 밀봉 플라스틱 기판 준비 챔버(418)가 제공된다.

밀봉 유리 기판 준비 챔버(415a)에는 제조된 OLED 상에 유리-밀봉을 실행하기 위해서 외부로부터 대향 유리가 놓여진다. 필요하다면, OLED를 물로부터 보호하기 위해서 건조제가 대향 유리 상에 놓여질 수 있다. 예를 들면, 대향 유리에 사전에 형성된 스폿 면 형상의 부분에 시트 형상의 건조제가 양면 테이프 등에 의해 접착될 수도 있다.

한편, 밀봉 플라스틱 기판 준비 챔버(418)에서는, 제조된 OLED를 플라스틱 밀봉하기 위한 준비가 행해진다. 동작은 완전히 자동으로 될 수도 있고, 또는 일부는 장갑을 제공함으로써 수동으로 될 수도 있다.

준비된 밀봉 유리 또는 플라스틱 기판은 나중에 기판에 접착시키기 위해 접착제(도시안됨)가 적용되는 디스펜서 챔버(416)로 이송된다. 이 실시예는 UV-셋 접착제를 사용한다. 필요하다면, 밀봉 유리 기판 준비 챔버(415a)에 유리를 배치하는 대신에, OLED를 물(도시안됨)로부터 보호하기 위한 건조제가 디스펜서 챔버(416) 내에 보유될 수도 있다. 예를 들면, 대향 유리에 사전에 형성된 스폿 면 형상의 부분에 시트 형상의 건조제가 양면 테이프 등에 의해 접착될 수도 있다. 이것은 대기 중에서 건조제를 취급할 필요성을 제거한다. 동작은 완전히 자동으로 될 수도 있고, 또는 일부는 장갑을 제공함으로써 수동으로 될 수도 있다. 특히, 밀봉 플라스틱 기판이 만곡 및 탄성을 갖고 있는 경우, 접착제는 만곡된 상태에서 또는 일직선으로 잡아당긴 상태에서 적용될 수도 있다.

증착이 완료된 기판 및 접착제가 적용된 밀봉 유리 또는 플라스틱 기판은 밀봉 챔버(417)에 이송되고, 이 곳에서 이들이 함께 접착된다. 접착 동안, 적합한 지그(도시안됨)를 사용함으로써 압력을 가할 필요가 있다. 만곡 및 탄성을 갖는 밀봉 플라스틱 기판의 경우, 접착은 일직선으로 잡아당긴 상태에서 행해질 수 있다. 완전히 자동으로 될 수도 있고, 또는 일부는 장갑을 제공함으로써 수동으로 될 수도 있다.

이어서, 밀봉 챔버(417)에서 함께 접착된 기판 및 밀봉 기판은 UV 방사 챔버(18)로 이송되고 이곳에서 접착제를 경화시키기 위해 UV 선이 방사된다.

UV 방사 챔버(418)에서 접착된 기판 및 밀봉 기판은 운반 챔버(419)로부터 추출될 수 있다.

[실시예 1]

이 실시예는 예를 들면 본 발명에 개시된 디스플레이 디바이스를 취함으로써 수동 매트릭스 디스플레이 디바이스를 예시한다. 도 5a는 이의 평면도이고 도 5b는 도 5a의 P-P'선을 따라 취한 단면도를 도시한 것이다.

도 5a에서, 참조번호(501)는 기판을 나타내며, 플라스틱 물질 및 유리는 기판을 형성하는데 사용된다. 플라스틱 물질로서는 폴리아미드들, 폴리아미드들, 아크릴 수지들, 에폭시 수지들, PES들(폴리에테르술폰), PC들(폴리카보네이트), PET들(폴리에틸렌 테레프탈레이트), 또는 PEN들(폴리에테르나트릴)이 시트 또는 막 상태로 사용될 수 있다.

참조번호(502)는 도전성 산화막으로부터 형성된 주사 라인들(애노드들)을 나타낸다. 이 실시예에서 사용되는 도전성 산화막은 가시광에 투명한 인듐 주석 산화물(ITO)에 의해 얻어진다. 참조번호(506)는 금속막으로 구성된 데이터 라인들(캐소드들)이다. 데이터 라인들은 CaF₂/Al 전극을 사용함으로써 스트라이프 패턴들로 형성된다. 참조번호(503)는 아크릴 수지로부터 형성된 절연 बैं크를 나타낸다. 주사 라인들(502) 및 데이터 라인들(506)은 각각 스트라이프 패턴들로 형성된다. 두 개의 패턴들은 직각으로 서로 교차한다. 도 5에 도시하진 않았으나, 도전성 폴리머(PEDOT/PSS)(504) 및 유기 박막(505)은 주사 라인들(502)과 데이터 라인들(506) 사이에 개재된다. 교차부들(507)은 화소들로서 작용한다.

주사 라인들(scanning lines)(502) 및 데이터 라인들(506)은 TAB 테이프 (508)를 통해 외부 구동회로들에 접속된다. 참조번호(509)는 일단의 주사 라인들 (502)인 일 군의 배선 라인들(502)을 나타낸다. 510은 데이터 라인들(506)에 접속된 일단의 접속 배선 라인들(511)인 일 군의 배선 라인들을 나타낸다. 도시하진 않았으나, IC를 TAB 테이프에 실장함으로써 얻어지는 TCP는 TAB 테이프 (508) 대신 접속될 수도 있다.

도 5b에서, (512)는 밀봉 부재를 나타내고, (513)은 밀봉 부재(512)에 의해 기판(501)에 접촉되는 커버 부재를 나타낸다. 밀봉 부재(512)용으로는 광-경화가능 수지가 사용될 수 있다. 밀봉 부재(512)는 거의 가스가 제거되지 않게 하고 습기를 흡수하지 않게 하는 물질로 만들어지는 것이 바람직하다. 커버 부재는 기판(510)과 동일한 물질이 바람직하고, 유리(석영 유리를 포함함) 또는 플라스틱으로부터 형성될 수도 있다. 여기서는 유리가 사용된다.

전술한 성분들로 구성된 본 발명의 발광 디바이스는 화소부가 주사 라인들(502), 데이터 라인들(506), 절연 बैं크(503), 도전성 폴리머(504), 및 유기 박막(505)으로 구성되므로 매우 간단한 프로세스에 의해 제조될 수 있다.

이 실시예에서 설명된 디스플레이 디바이스의 디스플레이 화면(영상이 보여짐) 상에 편광판이 제공될 수도 있다. 편광판은 뷰어가 디스플레이 화면에서 반사 하는 것이 방지하도록 외부로부터 디스플레이 화면에 들어가는 광의 반사를 최소화하는 효과를 갖는다. 원형 편광판이 일반적으로 사용된다. 그러나, 디스플레이 디바이스는 유기 박막으로부터 방사되는 광이 편광판에 의한 반사에 기인하여 내부로 되돌아가는 것을 방지하기 위해 굴절률을 조정함으로써 내부 반사를 거의 야기하지 않는 구성을 갖는다.

[실시예 2]

이 실시예에선 본 발명에 개시된 유기 발광 디바이스를 포함하는 디스플레이 디바이스에 관해 설명하도록 하겠다. 도 6a는 능동 매트릭스형 디스플레이 디바이스를 도시한 도면이다. 도 6a는 평면도를 도시한 것이다. 도 6b는 P-P'선을 따라 취한 도 6a의 단면도이다.

이 실시예에선 박막 트랜지스터들(이하 TFT들이라 함)이 능동 디바이스들로서 사용될지라도, MOS 트랜지스터들도 사용될 수 있음에 유의한다. 또한, 탑 게이트형 TFT들(실제로는 평면형 TFT들)이 TFT들로서 예시하게 될지라도, 바텀 게이트형 TFT들(통상, 역 스택거링된 TFT들)이 대안으로 사용된다.

도 6a-b에서, 참조번호(601)는 기판을 나타낸다. 디스플레이 디바이스에서 기판을 통해 광을 관찰하기 위해서, 기판은 가시광에 투명해야 한다. 실제로, 유리 기판, 석영 기판, 결정화된 유리 기판 또는 플라스틱 기판(플라스틱막을 포함함)이 사용될 수 있다. 기판(601)은 이의 표면 상에 제공된 절연막을 포함함에 유의한다.

화소부(621) 및 구동 회로(622)가 기판(601) 상에 제공된다. 먼저 화소부(621)를 이하 설명한다.

화소부(621)는 영상 디스플레이를 수행하는 영역이다. 복수의 화소들이 기판 상에 형성되며, 각 화소에는 유기 발광 디바이스에 흐르는 전류를 제어하기 위한 TFT(611)(이하 전류 제어 TFT라 함), 화소 전극(애노드)(602), 도전성 폴리머막(604), 유기 박막(605), 및 캐소드(606)가 제공된다. 각 화소는 절연 बैं크(603)로 둘러싸인다. 또한, 참조번호(621)는 전류 제어 TFT의 게이트에 인가되는 전압을 제어하는 TFT(이하 스위칭 TFT라 함)를 나타낸다.

전류 제어 TFT(611)용으로는 n채널형 TFT 및 p채널형 TFT가 모두 사용될 수 있다. 그러나, 전류 제어 TFT가 도 6a-b에 도시한 바와 같이 유기 발광 디바이스의 애노드에 접속된 경우 p채널 TFT는 전력 소비 억제에 우수하므로 p채널 TFT를 사용하는 것이 바람직하다. 그러나 스위칭 TFT는 n채널 TFT이거나 p채널 TFT일 수 있음에 유의한다.

전류 제어 TFT(611)의 드레인층은 화소 전극(602)에 전기적으로 접속됨에 유의한다. 이 실시예에서 화소 전극(602)은 화소 전극(602)을 형성하는 데에 있어 4.5 내지 5.5eV 범위 내 일함수를 갖는 도전성 물질이 사용되므로 유기 발광 디바이스의 애노드로서 기능한다. 화소 전극(602)은 통상 이터테면 산화 인듐, 산화 주석, 산화 아연, 또는 이들의 화합물들(이터테면 ITO)와 같이 광에 투명성을 갖는 물질들로 만들어 질 수 있다. 도전성 폴리머(604) 및 유기 박막(605)은 화소 전극(602) 상에 형성된다.

또한, 캐소드(606)는 유기 박막(605) 상에 형성된다. 캐소드(606)를 형성함에 있어서는 2.5 내지 3.5eV 범위의 일함수를 갖는 도전성 물질이 사용되는 것이 바람직하다. 캐소드(606)는 통상 알칼리성 금속 원소들 또는 알칼리 희 금속 원소들을 함유하는 도전막, 알루미늄을 함유하는 도전막, 및 상기 도전막들 상에 알루미늄 또는 은이 적층된 것으로 만들어진다.

캐소드(606)를 포함하는 층은 보호막(607)에 의해 피복된다. 보호막(607)은 산소 및 물이 유기 발광 디바이스에 침투하는 것을 방지하기 위해서 형성된다. 보호막(607)을 형성하기 위한 물질들로서는 질화 실리콘, 실리콘 옥시나이트라이드, 산화 알루미늄, 산화 탄탈, 또는 탄소(통상, 탄소형 다이아몬드)가 사용될 수 있다. 특히 보호막(607)용으로 다이아몬드 탄소가 사용되는 경우, 수소 원자가 보호막(607) 내 함유된다. 전술한 바와 같이, 가열에 의한 유기 박막에의 수소 원자의 확산은 구동시 유기 박막 내 발생하는 땀글링 본드(또는 라디컬) 종단을 이루는 것에 의한 유기 박막의 열화를 방지하는데 도움이 된다.

다음에 구동 회로(622)에 대해 설명한다. 구동 회로(622)는 시프트 레지스터, 버퍼, 래치, 아날로그 스위치(전송 게이

트), 또는 레벨 시프트가 제공된 화소부(621)에 보내지는 신호들(게이트 신호 및 데이터 신호)의 타이밍을 제어하는 영역이다. 도 6a-b에는 이들 회로들의 기본 단위로서 사용하기 위한 n채널 TFT(613) 및 p채널 TFT(614)로부터 형성되는 CMOS 회로가 도시되었다.

시프트 레지스터, 버퍼, 래치, 아날로그 스위치(전송 게이트) 또는 레벨 시프트의 회로 구조는 공지가 된 구성을 갖도록 설계될 수도 있다. 또한 도 6a-b엔 화소부(621) 및 구동 회로(622)가 동일 기판 상에 제공되었으나, 구동 회로(622)를 제공함이 없이 IC 및 LSI를 전기적으로 접속하는 것도 가능하다.

참조번호(623)는 게이트 신호 라인 구동 회로를 나타내고, (622)는 데이터 신호 라인 구동 회로를 나타낸다. 신호는 TAB(테이프 자동 본딩) 테이프(616)에서 게이트 신호 라인 구동회로(623) 및 데이터 신호 라인 구동회로(622)에 입력 배선(615)을 통해 전송된다. 도시되진 않았으나, IC(집적회로)를 TAB(테이프 자동 본딩) 테이프에 실장함으로써 얻어지는 TCP(테이프 캐리어 패키지)는 TAB 테이프 (616) 대신으로 접속될 수도 있다.

참조번호(608)는 수지로 구성된 밀봉 부재(609)에 의해 디스플레이 디바이스의 상부에 코팅된 커버 부재를 나타낸다. 커버 부재(608)용으로는 물질들이 산소 및 물이 투과되지 않게 한다면 어떠한 물질이든 사용될 수 있다. 커버 부재는 디프레션 및 건조제(608b)를 구비한 유리(608a)로 구성된다. 이에 따라, 유기 발광 디바이스는 밀봉 부재(609)에 의해 둘러싸인 공간(610)에 완전하게 밀봉된다. 둘러싸인 공간(610)은 불활성 가스(통상 질소가스 또는 희가스), 수지, 또는 불활성 액체(예를 들면 퍼플루오로알칸과 같은 액체 탄화불소)로 채워질 수도 있다. 또한, 둘러싸인 공간(610)에는 흡수제 및 탈산소제를 넣어두는 것이 효과적이다.

도 6a-b에는 화소 전극(애노드)(602)이 전류 제어 TFT(611)에 전기적으로 접속된 것이 도시되었다. 그러나, 디스플레이 디바이스는 캐소드가 전류 제어 TFT에 접속되는 구성으로 형성될 수 있다. 이 경우 캐소드(606)를 형성하기 위한 동일한 물질이 화소 전극에 사용될 수도 있고 화소 전극(애노드)(602)을 형성하기 위한 동일한 물질이 캐소드에 사용될 수도 있다. 이 경우는 전류 제어 TFT가 n채널 TFT일 수도 있음을 요한다.

이 실시예에서 설명된 디스플레이 디바이스의 디스플레이 화면(영상이 보여짐) 상에 편광판이 제공될 수도 있다. 편광판은 뷰어가 디스플레이 화면에서 반사하는 것이 방지하도록 외부로부터 디스플레이 화면에 들어가는 광의 반사를 최소화하는 효과를 갖는다. 원형 편광판이 일반적으로 사용된다. 그러나, 디스플레이 디바이스는 유기 박막으로부터 방사되는 광이 편광판에 의한 반사에 기인하여 내부로 되돌아가는 것을 방지하기 위해 굴절률을 조정함으로써 내부 반사를 거의 야기하지 않는 구성을 갖는다.

[실시예 3]

이 실시예는 예를 들면 디스플레이 디바이스를 취함으로써 능동 매트릭스 디스플레이 디바이스를 예시한다. 이 실시예에서는 대향 기판이 부착된 능동 디바이스들을 통해 광이 방출되는(이하 상부 방출이라 함) 구성을 갖는 디스플레이 디바이스를 설명하며, 이것은 실시예 2에 예시된 구성과는 다르다. 도 7은 이의 단면도를 도시한 것이다.

이 실시예에선 박막 트랜지스터들(이하 TFT들이라 함)이 능동 디바이스들로서 사용될지라도, MOS 트랜지스터들도 사용될 수 있음에 유의한다. 또한, 탑 게이트형 TFT들(실제로는 평면형 TFT들)이 TFT들로서 예시하게 될지라도, 바텀 게이트형 TFT들(통상, 역 스택거 TFT들)이 대안으로 사용된다.

이 실시예에선, 제 1 전극을 제외하고, 제 2 전극, 보호막, 및 커버 부재는 실시예 2에 도시한 것들과 동일한 구조들을 가질 수 있다.

이 실시예에서는 전류 제어 TFT(611)에 접속된 제 1 전극(602)이 애노드로서 사용되기 때문에, 큰 일함수를 갖는 도전성 물질이 전극용으로 사용되는 것이 바람직하다. 도전성 물질의 전형적인 예는 이를테면 니켈, 팔라듐, 텅스텐, 금 및 은 등의 금속들을 포함한다. 이 실시예에서, 제 1 전극(602)은 광에 투명하지 않은 것이 바람직하고, 보다 바람직하게는 고 반사 물질들로도 구성된다.

여기서는 상부 방출 구조가 예시되기 때문에, 제 2 전극(606)은 광에 투명성을 갖는 디스플레이 디바이스에서 사용된다는 가정에 기초한다. 따라서, 제 2 전극(606)은 제 2 전극(606)에 금속이 사용될 때 20nm 두께를 갖는 초박막이 되게 형성되는 것이 바람직하다.

유기 발광 디바이스를 산소 및 물로부터 보호하기 위해서 보호막(607)이 형성된다. 이 실시예에선 광에 투명하다면 보호막용으로 어떤 물질이든 사용될 수 있다.

참조번호(608)는 수지로 구성된 밀봉 부재(609)에 의해 접착되는 커버 부재를 나타낸다. 커버 부재(609)에 대해선 물질들이 산소 및 물이 침투되게 하지 않게 하고 광에 투명하다면 어떠한 물질이든 사용될 수 있다. 이 실시예에선 커

버 부재에 유리가 사용된다. 둘러싸인 공간(610)은 불활성 가스(통상 질소가스 또는 희가스), 수지, 또는 불활성 액체(예를 들면 퍼플루오로알칸과 같은 액체 탄화불소)로 채워질 수도 있다. 또한, 둘러싸인 공간(610)에는 흡수제 및 탈산소제를 넣어두는 것이 효과적이다.

도 7에는 제 1 전극(애노드)(602)이 전류 제어 TFT(611)에 전기적으로 접속된 것이 도시되었다. 그러나, 디스플레이 디바이스는 캐소드가 전류 제어 TFT에 접속되는 구성으로 형성될 수 있다. 이 경우 캐소드(606)를 형성하기 위한 동일한 물질이 제 1 전극에 사용될 수도 있고 애노드를 형성하기 위한 동일한 물질이 제 2 전극에 사용될 수도 있다. 이 경우는 전류 제어 TFT가 n채널 TFT일 수도 있음을 요한다.

[실시예 4]

이 실시예는 디지털 시간 그레이 스케일 디스플레이(digital time gray scale display)에 따라 구동되는 실시예 2 또는 3에 도시된 바와 같은 디스플레이 디바이스의 예를 설명한다.

도 8a는 유기 발광 디바이스를 사용하는 화소의 회로 구조를 도시한 것이다. Tr은 트랜지스터를 나타내고 Cs는 저장 캐패시터(storage capacitor)를 나타낸다. 도 8a의 회로 구조에서, 소스 라인은 트랜지스터(Tr1)의 소스측에 접속되고, 게이트 라인은 트랜지스터(Tr1)의 게이트측에 접속된다. 전원 라인은 저장 캐패시터(Cs)의 소스측, 및 트랜지스터(Tr2)에 접속된다. 본 발명의 유기 발광 디바이스의 애노드는 트랜지스터(Tr2)의 드레인측에 접속되기 때문에, 캐소드는 유기 발광 디바이스를 건너 트랜지스터(Tr2)의 대향 측에 형성된다.

이 회로에서, 게이트 라인이 선택되었을 때, 전류는 소스 라인으로부터 Tr1에 흐르고 신호에 대응하는 전압이 Cs에 축적된다. 이어서, Tr2의 게이트-소스 전압(V_{gs})에 의해 제어되는 전류가 Tr2 및 유기 발광 디바이스에 흐른다.

Tr1이 선택된 후에, Tr1은 턴 오프되어 Cs의 전압(V_{gs})을 유지한다. 따라서, 전류는 V_{gs} 에 따른 양으로 계속하여 흐른다.

도 8b는 디지털 시간 그레이 스케일 디스플레이에 따라 이 회로를 구동하는 차트를 도시한 것이다. 디지털 시간 그레이 스케일 디스플레이에서, 1프레임은 복수의 서브-프레임들로 분할된다. 도 8b는 1프레임이 6개의 서브-프레임들로 분할되는 6비트 그레이 스케일을 도시한 것이다. TA는 기입 기간들을 나타낸다. 이 경우, 서브-프레임들의 발광 기간들의 비는 32:16:8:4:2:1이다.

도 8c는 이 실시예에서 TFT 기판의 구동 회로들을 개략적으로 도시한 것이다. 도 8c의 회로구조에서, 도 8a에 도시한 전원 라인 및 캐소드는 각 화소가 본 발명의 유기 발광 디바이스로 구성되는 화소부에 접속된다. 시프트 레지스터는 래치 1 및 래치 2에 이 순서로 화소부에 접속된다. 디지털 신호는 래치 1에 입력되고, 래치 펄스는 화상 데이터를 화소부에 전송하기 위해 래치 2에 입력된다.

게이트 구동기 및 소스 구동기는 동일 기판 상에 제공된다. 이 실시예에서, 화소 회로 및 구동기들은 디지털로 구동되도록 설계된다. 따라서, TFT 특성의 변동이 디바이스에 영향을 미치지 않으므로 디바이스는 균일한 영상들을 디스플레이 할 수 있다.

[실시예 5]

위의 실시예들에 설명된 본 발명의 디스플레이 디바이스들은 저 전력소비 및 긴 수명의 잇점들을 갖는다. 따라서, 디스플레이부들 등으로서 디스플레이 디바이스들을 포함하는 전기 제품들은 종래의 것들보다는 전력을 덜 소비하여 동작할 수 있고 내구성이 있다. 잇점들은 저 전력소비는 직접 편리성에 이르게 하므로 휴대장비와 같이 전원들로서 배터리들을 사용하는(배터리들은 장시간 지속된다) 전기제품들에 특히 매우 유용하다.

디스플레이 디바이스는 자체 발광되며, 이에 의해서 액정 디스플레이들에서 사용되는 백 라이트는 필요하지 않다. 디바이스는 두께가 $1\mu\text{m}$ 미만인 유기 박막을 구비한다. 그러므로 디스플레이 디바이스는 얇고 경량으로 만들어질 수 있다. 따라서, 디스플레이부들로서 디스플레이 디바이스를 포함하는 전기제품들은 종래의 것들보다는 더 얇고 가볍다. 이 역시 직접 편리성(휴대에 경량 및 콤팩트함)에 이르게 하고 다른 전기제품들처럼 휴대 장비에 특히 매우 유용하다. 또한, 박형이므로(소 용적) 의심의 여지없이 운반(대량 운반가능) 및 설치(공간 절약) 면에서 모든 전기제품들에 유용하다.

자체 발광되므로, 디스플레이 디바이스는 액정 디스플레이 디바이스들보다는 밝은 곳에선 명료한 가시성과 넓은 시야각을 갖는 것이 특징이다. 그러므로 디스플레이부들로서 디스플레이 디바이스를 포함하는 전기제품들은 디스플레이는 보는 데에 있어 용이함의 잇점들을 갖는다.

구체적으로, 본 발명의 디스플레이 디바이스를 사용하는 전기제품들은 종래의 유기 발광 디바이스들의 장점들, 즉 박형/경량 및 고 가시성 외에, 저 전력 소비 및 긴 수명의 새로운 특징들을 갖고 있고 따라서 매우 유용하다.

이 실시예는 본 발명의 디스플레이 디바이스를 디스플레이부들로서 포함하는 전기제품들을 예시하였다. 이의 구체적인 예를 도 9 및 도 10에 도시하였다. 이 실시예의 전기제품에 포함된 유기 발광 장치는 본 발명에 개시된 요소들 중 어느 하나일 수 있다. 이 실시예의 전기제품에 포함된 발광 디바이스는 도 2, 도 3 및 도 5 내지 도 8에 도시한 구성들 중 어느 하나를 구비할 수 있다.

도 9a는 유기 발광 디바이스를 사용한 디바이스를 도시한 것이다. 디스플레이는 케이스(901a), 지지 베이스(902a), 및 디스플레이부(903a)를 포함한다. 본 발명의 발광 디바이스를 디스플레이부(903a)로서 사용함으로써, 디스플레이는 저렴할 뿐만 아니라, 박형 및 경량으로 될 수 있다. 따라서, 운송이 간단해지고, 데스크 공간이 가능한 한 작게 점유되고, 수명이 길다.

도 9b는 본체(901b), 디스플레이부(902b), 음성 입력부(903b), 조작 스위치들(904b), 배터리(905b), 및 영상 수신부(906b)를 포함하는 비디오 카메라를 도시한 것이다. 본 발명의 발광 디바이스를 디스플레이부(902b)로서 사용함으로써, 비디오 카메라는 전력을 덜 소비하며 경량으로 될 수 있다. 그러므로, 배터리 소비가 감소하고 이의 휴대가 더욱 쉬워진다.

도 9c는 본체(901c), 디스플레이부(902c), 뷰파인더(903c), 및 조작 스위치들(904c)을 포함하는 디지털 카메라를 도시한 것이다. 본 발명의 발광 디바이스를 디스플레이부(902c)로서 사용함으로써, 디지털 카메라는 전력을 덜 소비하며 경량으로 될 수 있다. 그러므로, 배터리 소비가 감소하고 이의 휴대가 더욱 쉬워진다.

도 9d는 기록 매체를 장착한 영상 재생 디바이스를 도시한 것이다. 이 디바이스는 본체(901d) 기록매체(이러한 CD, LD 또는 DVD)(902d), 조작 스위치들(903d), 디스플레이부 A(904d), 및 디스플레이부 B(905d)를 포함한다. 디스플레이부 A(904d)는 주로 영상 정보를 디스플레이 하는 반면 디스플레이부 B(905d)는 주로 텍스트 정보를 디스플레이 한다. 본 발명의 발광 디바이스를 디스플레이부 A(904d) 및 디스플레이부 B(905d)로서 사용함으로써, 영상 재생 디바이스는 저렴할 뿐만 아니라 전력을 덜 소비한다. 기록매체를 장착한 이러한 영상 재생 디바이스는 CD 플레이어, 게임기 등일 수 있다.

도 9e는 본체(901e), 디스플레이부(902e), 영상 수신부(903e), 조작 스위치들(904e), 및 메모리 슬롯(905e)을 포함하는 모바일 컴퓨터를 도시한 것이다. 본 발명의 발광 디바이스를 디스플레이부(902e)로서 사용함으로써, 모바일 컴퓨터는 전력을 덜 소비하며 박형 및 경량으로 될 수 있다. 그러므로, 배터리 소비가 감소하고 이의 휴대가 더욱 쉬워진다. 이러한 모바일 컴퓨터는 정보를 기록 및 재생할 수 있는, 플래시 메모리 및 이에 일체화된 비휘발성 메모리를 가진 기록매체를 구비한다.

도 9f는 본체(901f), 프레임(902f), 디스플레이부(903f), 및 키보드(904f)를 포함하는 개인용 컴퓨터를 도시한 것이다. 본 발명의 발광 디바이스를 디스플레이부(903f)로서 사용함으로써, 개인용 컴퓨터는 전력을 덜 소비하며 박형 및 경량으로 될 수 있다. 이것이 모바일 컴퓨터로서 사용될 때, 즉 이를 휴대할 필요가 있을 때, 저 전력 소비 및 경량은 큰 잇점이 될 것이다.

전술한 전기제품들은 인터넷 등의 전기 통신 라인들 또는 많은 경우 전기파 등의 라디오 통신을 통해 분배되는 정보를 디스플레이하며, 특히 증가하는 빈도로 동화 정보를 디스플레이 함에 유의한다. 유기 발광 디바이스들은 매우 고속의 응답속도를 갖고 있기 때문에, 전술한 전기제품들은 이러한 동화 디스플레이에 바람직하다.

도 10a는 본체(1001a), 오디오 출력부(1002a), 오디오 입력부(1003a), 디스플레이부(1004a), 조작 스위치들(1005a), 및 안테나(1006a)를 포함하는 모바일 폰을 도시한 것이다. 본 발명의 발광 장치를 디스플레이부(1004a)로서 사용함으로써, 모바일 폰은 전력을 덜 소비하며 박형 및 경량으로 될 수 있다. 그러므로, 본체는 콤팩트하게 되고, 배터리 소비가 감소하며, 이의 휴대가 쉬워진다.

도 10b는 본체(1001b), 디스플레이부(1002b), 및 조작 스위치들(1003b, 1004b)을 포함하는 오디오 재생 디바이스(특히 카 오디오 시스템)이다. 본 발명의 발광 디바이스를 디스플레이부(1002b)로서 사용함으로써, 오디오 재생 디바이스는 전력을 덜 소비하고 경량으로 될 수 있다. 이 실시예에서 예로서 카 오디오가 취해졌더라도, 이것은 홈 오디오 시스템일 수도 있다.

도 9 및 10에 도시한 바와 같은 전기제품들에서, 광학 센서를 내장시켜 이에 따라 사용 환경의 밝기를 검출하는 수단을 제공함으로써 사용 환경의 밝기에 따라 방출 광의 휘도를 변조시키는 기능을 부여하는 것이 효과적이다. 사용자가 사용 환경의 밝기와 비교하여 콘트라스트 비에서 100 내지 150의 밝기를 확보할 수 있다면, 영상 또는 텍스트 정보는 어려움 없이 인지될 수 있다. 즉, 환경이 밝을 때, 영상의 휘도가 증가되므로 영상을 쉽게 볼 수 있고 반면 환경이 어

두울 때, 영상의 휘도는 전력 소비를 낮추도록 억제될 수 있다.

[실시예 6]

도전성 폴리머는 스핀 코팅 프로세스에 의해 전체 표면에 적용하는 대신에 디스펜서 또는 잉크 젯 방식을 사용함으로써 스트라이프 형태로 형성될 수도 있다. 도 11은 잉크 젯 방식에 의해, 데이터 구동 회로(1104)가 형성된 기판(1101)의 화소 영역(1102)에 도전성 폴리머(1106)를 형성하는 방법을 도시한 것이다. 화소 영역(1102)은 बैं크들 사이에 도전성 폴리머(1106)를 형성하기 위해 스트라이프 형태로 बैं크들(1105)을 갖는다. बैं크들(1105)은 유기 화합물층들 중 인접한 것들이 잉크 젯 방식에 의해 유기 화합물층들을 형성하는 중에 서로 혼합되지 않도록 형성된다.

도전성 폴리머(1106)는 잉크 헤드(1107)를 통해 도전성 폴리머를 함유하는 합성 물질을 배출시킴으로써 형성된다. 합성 물질은 선형 패턴을 형성하도록 잉크 헤드를 통해 연속적으로 배출된다.

도 12a는 기판 상에 스트라이프 형태(도면에서 수직한)로 제 1 전극들(102a) 및 화소들(110a)을 형성하기 위해 화소들(110a)을 둘러싸는 형태로 절연 बैं크들(103a)의 제공을 도시한 것이다. 도 12b는 기판 상에 섬 형태의 제 1 전극들(102b) 및 화소들(110b)을 형성하기 위해 화소들(110b)을 둘러싸는 형태로 절연 बैं크들(103b)의 제공을 도시한 것이다. 어느 경우이든, 도면에서 A-A'선을 따라 취해진 단면을 도 12c와 같이 주어진다. 즉, 도전성 폴리머(104)는 बैं크들(103) 상에 형성 없이 분리된 형태로, बैं크들 사이에 형성될 수 있다. 도전성 폴리머층 상엔, 발광층 또는 전자 주입/수송층이 저분자 화합물 물질로 형성될 수도 있다.

이러한 경우에, 도전성 폴리머(104)는 절연 बैं크(103)의 영향하에 $T_2 > T_1 > T_3$ 의 두께 형태를 갖는다. 따라서, 부분(T_3)은 크로스토크를 방지하기 위해 증가된 측방향 저항을 갖는다. 또한, 부분(T_2)은 증가된 두께를 갖기 때문에, 전계 집중이 화소들 주위에서 완화될 수 있어 화소들 주위에서 유기 발광 소자가 열화되는 것을 방지할 수 있다.

[실시예 7]

이 실시예는 능동 매트릭스 디스플레이 디바이스를 제조하는 예를 도시한 것이다.

먼저, 절연면 상에는 복수의 TFT들(스위칭 TFT들 및 전류 제어 TFT들을 포함함), 유지 용량들, 전류 제어 TFT들에 접속된 제 1 전극들(애노드들) 및 제 1 전극들의 단부들을 피복하는 बैं크들이 형성된다. 제 1 전극은, 물질로서, Ti, T iN, $TiSi_xN_y$, Ni, W, WSi_x , WN_x , WSi_xN_y , NbN, Mo, Cr, Pt, 또는 Ti, Si, Ni, W, Nb, Cr, Zn, Sn, In, Mo 의 또는 이에 기초한 합금 또는 화합물 물질을 사용할 수 있다. 또한, 제 1 전극은 100nm 내지 800nm의 총 막 두께의 범위에서 이들 물질들에 기초한 막 또는 층상의 막을 사용할 수도 있다. 바람직한 피복성을 제공하기 위해서, बैं크는 이의 상측 또는 하측에 만곡을 갖는 만곡된 표면으로 만들어진다. 예를 들면, बैं크의 물질이 포지티브 감광성 아크릴 을 사용하는 경우에는 상측 단부에만 곡률 반경(0.2 μ m - 3 μ m)을 갖는 만곡된 표면을 절연체(1114)에 제공하는 것이 바람직하다. बैं크에 대해서, 감광 광에 의해 에칭액(etchant)에 불용해성이 되게 네가티브형을 사용하거나 광에 의해 에칭액에 용해할 수 있게 되게 포지티브형을 사용하는 것이 가능하다.

다음에, 적용 방식에 의해, बैं크에 의해 피복되지 않은 영역에 제 1 전극의 표면 상에 정공 주입층이 형성된다. 예를 들면, 정공 주입층에 대해 작용하는 폴리(에틸렌디옥시티오펜)/폴리스티렌 술폰산 용액(PEDOT/PSS)이 스핀 코팅 방식에 의해 전체 표면에 적용된 후 베이킹된다. 적용 방식에 의해 정공 주입층을 형성한 후에, 진공 가열(100-200°C)은 증착 프로세스에 기인하여 막 형성 직전에 수행되는 것이 바람직하다. 예를 들면, 스폰지에 의해 제 1 전극(애노드)의 표면을 씻어낸 후에, 폴리(에틸렌디옥시티오펜)/폴리스티렌 술폰산 용액(PEDOT/PSS)이 스핀 코팅 방식에 의해 60nm의 막 두께를 설정하도록 전체 표면에 적용된다. 이것은 10분 동안 80°C에서 먼저 베이킹된 후 1시간 동안 200°C에서 베이킹된다. 또한, 증착 직전에, 증착 프로세스에 의한 대기와의 접촉없이 발광층을 포함하는 유기 박막을 형성하도록 진공 가열이 수행된다(40분간 170°C에서 가열되고, 30분 동안 냉각됨). 특히, 오목/볼록 또는 미세 입자들이 표면 상에 존재하는 제 1 전극 물질로서 ITO 막을 사용하는 경우에, 30nm 이상의 두께로 PEDOT/PSS를 제공 함으로써 영향이 감소될 수 있고, 그 결과로 점 결함들이 감소될 수 있다.

한편, ITO 막 상에 적용된다면 PEDOT/PSS는 습윤성이 만족스럽지 못하다. 따라서, PEDOT/PSS 용액이 먼저 스핀 코팅 프로세스에 의해 적용된 후에, 순수로 1회 세정되고 그럼으로써 습윤성이 향상된다. 다시, PEDOT/PSS 용액이 스핀 코팅 프로세스에 의해 2번째로 적용된 후 베이킹되어 바람직하게는 평탄한 막을 형성한다. 또한, 제 1 적용 후에, 순수로 1회 세정에 의해 표면의 질이 향상되고 미세 입자들이 제거되는 효과가 제공된다.

스핀 코팅 프로세스에 의해 PEDOS/PSS 막을 형성하는 경우에, 결과적인 막은 전체 표면에 걸쳐 있다. 기판 단부면 및 주변 에지의 영역들, 단자들 및 캐소드들과 하측 상호접속들 간 접속들에서 이를 선택적으로 제거하는 것이 바람직하다. 제거는 바람직하게는 O_2 애싱(ashing) 등에 의한다.

다음에, 제 2 전극들(캐소드들)이 유기 박막 상에 형성된다. 제 2 전극은 작은 일함수를 갖는 물질(Al, Ag, Li 또는 Ca, 또는 이들의 합금인 MaAg, MgIn, ALi, CaF₂ 또는 CaN)을 사용할 수 있다. 제 2 전극은 바람직하게는 TFT들에 손상을 덜 일으키는 내열 프로세스에 의해 증발된다.

도 13a는 제 2 전극들을 형성한 후의 디바이스를 절단함으로써 관찰된 TEM 사진이다. 도 13b는 도 13a에 대응하는 전형적인 도면이다. 도 13a에서, PEDOT/PSS는 제 1 전극 상에 대략 90nm로 형성된다.

이 실시예는 बैं크의 상측 또는 하측 단부에 만곡을 갖는 만곡된 표면을 형성한다. 이것은 스�핀 코팅 프로세스에 의해서도, बैं크 완화 측벽의 막 두께가 제 1 전극으로부터의 거리만큼 작아지게 되고, 바람직하게는 정공 주입층으로서의 도전성 폴리머가 बैं크의 상측 부분 상에 없는 구조가 만들어진다는 특징을 제공한다.

도 13a에 도시한 바와 같이, 정공 주입층으로서의 PEDOT/PSS는 बैं크 완화 측벽에 작은 두께로 존재함에도 불구하고 बैं크의 상측 부분 상에서 확인되지 않는다. 도 13a의 구조를 제공함으로써, 크로스토크는 발생이 효과적으로 억제될 수 있다.

이 실시예는 실시예 또는 실시예들 1 내지 6 중 어느 하나와 자유롭게 조합될 수 있다.

[실시예 8]

본 발명의 유기 발광 디바이스가 도 4에 도시한 바와 같은 장치를 사용하여 제조되는 경우에, 도전성 폴리머 등의 유기 도전성 물질을 적용한 후 베이킹하는 동안, 베이킹은 적용면을 하향으로 위치되게 한 상태에 있다. 이 실시예에서, 실험은 실시예 7와 같은 형태가 베이킹 프로세스에 의해 얻어질 것이라는 것을 확인하기 위해 행해졌다.

먼저, PEDOT/PSS는 스�핀 코팅 기술에 의해, 도 13의 구조의 형태와 동일한 형태를 갖는 절연 बैं크를 갖는 기판에 적용되었다. 이후에, 베이킹은 적용면을 하향으로 되게 하여 200°C에서 행해졌다. 형태는 단면 TEM에 의해 관찰되었고 이 상황을 도 15에 도시하였다. 1501은 ITO이고 1502는 PEDOT/PSS층이다. 다소 흰색의 층(1503)은 보호층(탄소층)이다.

도 15에 도시한 바와 같이, 적용면을 하향으로 한 위치에서 습식 적용 후 유기 도전막을 베이킹할 때에도 도 13과 매우 유사한 형태가 얻어질 수 있음이 확인되었다. 따라서, 본 발명의 특징으로서의 형태는 베이킹 동안 기판 위치에 관계없이 형성될 수 있다.

[실시예 9]

이 실시예는 상부 방출 구조의 발광 디바이스의 예를 도시한 것이다. 도 16은 이의 개략도를 도시한 것이다.

도 16a는 발광 디바이스를 도시한 평면도이다. 도 16b는 도 16a에서 A-A'선을 따라 취한 단면도이다. 점선으로 도시된 참조번호(1601)는 소스 신호 라인 구동회로이고, 참조번호(1602)는 화소 영역이고, 참조번호(1603)는 게이트 신호 라인 구동회로이다. 참조번호(1604)는 투명한 밀봉 기판이고, 참조번호(1605)는 제 1 밀봉 물질이다. 투명한 제 2 밀봉 물질(1607)은 제 1 밀봉 물질(1605)에 의해 둘러싸여진 내부에 채워진다. 제 1 밀봉 물질(1605)은 기판들 간 갭을 유지하기 위해 갭 물질을 포함한다.

참조번호(1608)는 입력되는 신호를 소스 신호 라인 구동회로(1601) 및 게이트 신호 라인 구동회로(1603)에 전하기 위한 상호접속이다. 이것은 외부 입력 단자로서 작용하는 FPC(가요성 인쇄 회로)(1609)로부터 비디오 또는 클럭 신호를 수신한다. FPC만이 여기에 도시되었지만, FPC는 인쇄 배선판(PWB)에 부착될 수도 있음에 유의한다.

다음에, 도 16b를 사용함으로써 단면 기판에 대해 설명한다. 구동회로들 및 화소 영역이 기판(1610) 상에 형성될지라도, 여기서는 구동회로서 소스 신호 라인 구동회로(1601) 및 화소(1602)가 도시되었다.

소스 신호 라인 구동회로(1601)는 n채널 TFT(1623) 및 p채널 TFT(1624)가 조합된 CMOS 회로에 의해 형성된다. 구동 회로를 형성하는 TFT들은 공지의 CMOS 회로, PMOS 회로 또는 NMOS 회로에 의해 형성될 수 있다. 이 실시예가 기판 상에 구동 회로들을 형성하는 구동기 일체형을 보였으나, 이러한 구성은 반드시 필요한 것은 아니며, 즉 구동 회로들은 기판 대신 외부에 형성될 수 있다.

화소 영역(1602)에는 스위칭 TFT(1611), 전류-제어 TFT(1612), 및 이의 드레인에 전기적으로 접속된 제 1 전극(애노드)(1613)을 포함하는 복수의 화소들이 형성된다. 전류-제어 TFT(1612)는 n채널 TFT 또는 p채널 TFT일 수 있다. 그러나, 이것은 바람직하게는 애노드에 접속되는 p채널 TFT이다. 한편, 유지 용량(holding capacitance)(도시 안됨)을 적절하게 제공하는 것이 바람직하다. 여기에는 하나의 화소에 두 개의 TFT들이 사용되는 무수한 수로 배열

되는 화소들 중 한 화소의 단면 구조에 관한 예가 도시된 것에 유의해야 한다. 그러나, 3개 이상의 TFT들이 적절하게 이용될 수 있다.

여기에서 제 1 전극(1613)은 구조적으로, 직접 TFT의 드레인에 접속되므로, 제 1 전극(1613) 밑의 층은 바람직하게는 드레인과의 오믹 접촉을 가질 수 있는 실리콘 물질로 형성되는 것이 바람직하고 유기 화합물을 함유하는 층과 접촉한 최상층은 큰 일함수를 갖는 물질로 된 것이 바람직하다. 예를 들면, 질화티탄막, 알루미늄 기반의 막 및 질화티탄막을 가진 3층 구조를 제공하는 경우에, 상호접속은 유리한 오믹 접촉을 갖고 애노드로서 작용하도록 낮은 저항을 갖는다. 한편, 제 1 전극(1613)은 질화티탄막, 크롬막, 텅스텐막, Zn막 또는 Pt막의 단일층으로서 만들어질 수 있고 또는 3층 이상의 층들을 사용할 수도 있다.

절연 बैं크들(뱅크들 또는 격벽들(barrier walls)이라고도 함)(1614)은 제 1 전극(애노드)(1613)의 양단부에 형성된다. 절연 बैं크들(1614)은 유기 수지 또는 실리콘을 함유하는 절연체로 형성될 수도 있다. 여기서는 절연 बैं크(1614)로서, 도 16의 형태의 절연 बैं크가 포지티브 감광성 아크릴 수지를 사용함으로써 형성된다.

피복성을 바람직하게 하고 유기 도전성 물질(930)의 적용을 고르게 하기 위해서, 만곡을 갖는 만곡된 표면은 절연 बैं크(1614)의 상측 또는 하측 단부에 형성된다. 예를 들면, 절연 बैं크(1614)용의 물질로서 포지티브 감광성 아크릴을 사용하는 경우에, 절연 बैं크(1614)의 상측 단부에만 곡률 반경($0.2\mu\text{m}$ - $3\mu\text{m}$)을 갖는 만곡된 표면을 제공하는 것이 바람직하다. 절연 बैं크(1614)는 감광 광에 의해 에칭액에 불용해성이 되게 네가티브형을 사용하거나 광에 의해 에칭액에 용해될 수 있게 되게 포지티브형을 사용하는 것이 가능하다.

한편, 절연 बैं크(1614)는 질화 알루미늄, 질화 산화 알루미늄막, 탄소 기반 박막 또는 질화 실리콘막의 보호막으로 피복될 수도 있다.

여기서는 제 1 전극(애노드)(1613) 및 절연 बैं크(1614) 상에 유기 도전체 막(1630)이 형성된다. 이 실시예엔 스프인 코팅 프로세스에 의해 도전성 폴리머를 적용하는 예를 보였으나, 또 다른 습식 방식이 사용될 수도 있다. 아니면, 유기 물질 및 액세서나 도너를 동시 증발시키는 건식 방식에 의해 형성될 수도 있다. 도전성 폴리머로서 PEDOT/PSS와 같은 수용성 기반의 것을 사용함으로써 스프인 코팅을 수행하는 경우에, UV 오존 처리 또는 O_2 플라즈마 처리와 같은 친수성 처리가 사전에 적용면에 행해진 후 스프인 코팅이 실행되는 방법이 효과적으로 적용된다.

이 실시예에서, 유기 도전체 막(1630)이 스프인 코팅 프로세스에 의해 형성되기 때문에, 적용 직후 전체 기판 표면에 걸쳐 적용되었다. 따라서, 기판 단부 면 및 주변 에지의 영역들, 단자들 및 제 2 전극(1616)과 상호접속(1608) 간 접촉들에서 이를 선택적으로 제거하는 것이 바람직하다. 제거는 바람직하게는 O_2 애싱 또는 레이저 제거에 의한다.

유기 도전체 막(1630) 상에는, 증착 마스크 또는 잉크 젯 방식을 사용한 증착 프로세스에 의해 유기 박막(1615)이 선택적으로 형성된다. 또한, 이 실시예에서 유기 박막(1615)은 아마도 백색 발광을 나타내는 막이다.

또한, 제 2 전극(캐소드)(1616)은 유기 박막(1615) 상에 형성된다. 캐소드는 작은 일함수를 갖는 물질(Al, Ag, Li 또는 Ca, 또는 이들의 합금인 MaAg, Maln, AlLi, CaF₂ 또는 CaN)을 사용할 수 있다. 여기서는 방출 광을 투과시키기 위해서, 제 2 전극(캐소드)(1616)은 막 두께가 감소된 금속 박막 및 투명한 도전성 막(ITO)(산화인듐 및 산화주석의 합금, 산화인듐 및 산화아연의 합금(In₂O₃-ZnO), 산화아연(ZnO) 등)으로 된 층들을 사용한다. 이러한 식으로, 유기 발광 소자(1618)에는 제 1 전극(애노드)(1613), 유기 도전체 막(1613), 유기 박막(1615) 및 제 2 전극(캐소드)(1616)이 형성된다. 유기 발광 소자(1618)를 예로서 백색광을 방출하도록 만들어지므로, 착색층(1631) 및 셰이드 층(BM)(1632)(여기서는 간단하게 하기 위해서 오버코트층은 도시하지 않았다)을 구비한 색 필터를 제공함으로써 풀 컬러화가 가능하다.

한편, R, G, B 발광들을 얻기 위해 유기 화합물들을 각각 함유하는 층들을 선택적으로 형성하는 경우에, 색 필터를 사용함이 없이도 풀 컬러 디스플레이가 가능하다.

유기 발광 소자(1618)를 밀봉하기 위해서 투명한 보호층(1617)이 형성된다. 투명한 보호층(1617)은 바람직하게는 스퍼터링 프로세스(DC 또는 RC 방식) 또는 PCVD 프로세스에 의해 얻어질 질화 실리콘 또는 산화 질화 실리콘에 기초한 절연막, 탄소에 기초한 박막(다이아몬드형 탄소: DLC 막, 질화탄소:CN 막 등) 또는 이들의 조합된 층들을 사용하는 것이 바람직하다. 질소 및 아르곤을 함유하는 분위기에서 형성하기 위해 실리콘 타겟이 사용되는 경우, 물 또는 알칼리 금속과 같은 불순물들에 대한 높은 차단 효과를 갖는 질화 실리콘막을 얻는 것이 가능하다. 아니면, 질화 실리콘 타겟이 채용될 수도 있다. 원격 플라즈마를 사용한 증착 장치를 사용함으로써 투명한 보호층이 형성될 수도 있다. 방출 광이 투명한 보호층을 통과할 수 있도록, 투명한 보호층의 막 두께는 바람직하게는 가능한 작은 크기로 만들어진다.

유기 발광 소자(1618)를 밀봉하기 위해서, 밀봉 기판(seal substrate)(1604)은 제 1 밀봉 물질(1605) 및 제 2 밀봉

물질(1607)을 사용함으로써 불활성 가스 분위기에서 접착된다. 제 1 밀봉 물질(1605) 및 제 2 밀봉 물질(1607)은 바람직하게는 에폭시 수지를 사용한다. 제 1 밀봉 물질(1605) 및 제 2 밀봉 물질(1607)은 바람직하게는 물 및 산소를 가능한 덜 통과시키는 물질로 된 것이다.

이 실시예는 밀봉 기판(1604)의 물질로서, 유리 또는 석영 외에, FRP(파이버글래스-강화 플라스틱)의 플라스틱, PVF(폴리비닐-플루오라이드), 마일러(Mylar), 폴리에스터 또는 아크릴을 사용할 수 있다. 한편, 제 1 밀봉 물질(1605) 및 제 2 밀봉 물질(1607)을 사용함으로써 밀봉 기판(1604)를 접착한 후에, 측면(노출된 면)을 피복하도록 제 2 밀봉 물질로 밀봉이 더 행해질 수 있다.

위에서처럼, 제 1 밀봉 물질(1605) 및 제 2 밀봉 물질(1607)로 유기 발광 소자를 밀봉함으로써, 유기 발광 소자는 완전하게 외부로부터 차폐될 수 있다. 이것은 물 또는 산소와 같은, 유기 화합물층의 열화를 가속시키는 물질의 외부로부터의 침투를 방지하는 것을 가능하게 한다. 이에 따라, 신뢰성 있는 발광 디바이스가 얻어질 수 있다.

또한, 제 1 전극(1613)이 투명한 도전성 막을 사용하는 경우에, 양측 방출형의 발광 디바이스를 제조하는 것이 가능하다.

발명의 효과

위에 기술된 발명을 실행함으로써, 크로스토크를 야기함이 없이 화소들로서 매트릭스로 배열된 유기 발광 소자들을 구비한 디스플레이 디바이스에 폴리머를 사용한 도전성 버퍼층이 적용될 수 있다. 이에 기인하여, 구동 전압이 낮고, 신뢰성 및 내열이 우수하고, 단란회로 등의 결함들이 덜한 디스플레이 디바이스가 제공될 수 있다.

(57) 청구의 범위

청구항 1.

매트릭스 형태로 배열된 복수의 화소들을 갖는 디스플레이 디바이스로서,

기판;

상기 기판의 절연 표면 상에 제공되고 상기 복수의 화소들에 대응하는, 복수의 제 1 전극들;

상기 제 1 전극을 둘러싸며 상기 제 1 전극의 표면 위로 돌출한, 절연 बैं크(insulating bank);

상기 절연 बैं크 및 제 1 전극 상에 제공된 유기 도전체 막;

상기 유기 도전체 막 상에 제공되고 전계 발광(electroluminescence)을 야기할 수 있는 유기 화합물을 포함하는 유기 박막; 및

상기 유기 박막 상에 제공된 제 2 전극을 포함하는, 디스플레이 디바이스.

청구항 2.

제 1 항에 있어서,

상기 유기 도전체 막은 엑셉터 또는 도너가 첨가된 π -결합 시스템(π -conjugated system)을 갖는 하이 폴리머(high polymer)인, 디스플레이 디바이스.

청구항 3.

제 1 항에 있어서,

상기 유기 도전체 막은 습식 방법에 의해 형성된 막인, 디스플레이 디바이스.

청구항 4.

제 3 항에 있어서,

상기 습식 방법은 스�핀 코팅 프로세스, 잉크 젯 프로세스 또는 스프레이 프로세스인, 디스플레이 디바이스.

청구항 5.

제 1 항에 있어서,

상기 유기 도전체 막은 10^{-6} S/cm 이상 및 10^{-2} S/cm 이하의 도전률을 갖는, 디스플레이 디바이스.

청구항 6.

제 1 항에 있어서,

상기 절연 बैं크는 상기 기판의 위를 향하여 점차 작아지는 테이퍼 형태를 갖는, 디스플레이 디바이스.

청구항 7.

제 6 항에 있어서,

상기 테이퍼 형태는 60도 이상 및 80도 이하의 테이퍼 각을 갖는, 디스플레이 디바이스.

청구항 8.

제 1 항에 있어서,

상기 절연 बैं크는 상기 절연 बैं크의 에지 라인에 대해 상기 기판측에서 곡률 반경의 적어도 하나의 중심을 갖는 만곡된 표면 형태를 갖는, 디스플레이 디바이스.

청구항 9.

제 1 항에 있어서,

상기 절연 बैं크의 에지 라인은 굴곡점을 갖지 않는 만곡된 표면인, 디스플레이 디바이스.

청구항 10.

제 1 항에 있어서,

상기 절연 बैं크는, 상기 절연 बैं크의 에지 라인에 대해 상기 기판측에서 곡률반경의 적어도 하나의 중심을 갖고, 상기 절연 बैं크의 에지 라인에 대해 상기 기판측의 대향측에서 곡률반경의 적어도 하나의 중심을 갖는, 만곡된 표면을 갖는, 디스플레이 디바이스.

청구항 11.

제 1 항에 있어서,

상기 절연 बैं크의 상기 에지 라인은 적어도 하나의 굴곡점을 갖는 만곡된 표면 형태인, 디스플레이 디바이스.

청구항 12.

제 1 항에 있어서,

상기 디스플레이 디바이스는, 데이터 신호 라인과, 주사 신호 라인과, 상기 데이터 신호 라인, 상기 주사 라인 및 상기 제 1 전극에 접속된 비선형 소자를 더 포함하는, 디스플레이 디바이스.

청구항 13.

제 1 항에 있어서,

상기 비선형 소자는, 상호 접속된 박막 트랜지스터 및 캐패시터의 조합 또는 박막 트랜지스터 및 상기 박막 트랜지스터에 대한 기생 캐패시터의 조합에 의해 형성된, 디스플레이 디바이스.

청구항 14.

제 1 항에 있어서,

상기 기판 및 상기 제 1 전극은 광의 가시부에 대해 투명성을 갖는, 디스플레이 디바이스.

청구항 15.

제 1 항에 있어서,

상기 제 2 전극은 광의 가시부에 대해 투명성을 갖는, 디스플레이 디바이스.

청구항 16.

매트릭스 형태로 배열된 복수의 화소들을 갖는 디스플레이 디바이스를 제조하는 방법으로서,

기판의 절연 표면 상에, 상기 복수의 화소들에 대응하는 복수의 제 1 전극들을 형성하는 패터닝 단계;

상기 제 1 전극을 둘러싸며 상기 제 1 전극의 표면 위로 돌출한 절연 बैं크를 형성하는 단계;

상기 절연 बैं크 및 제 1 전극 상에 유기 도전체 막을 제공하는 단계;

상기 유기 도전체 막 상에 전계 발광을 야기할 수 있는 유기 화합물을 포함하는 유기 박막을 형성하는 단계; 및

상기 유기 박막 상에 제 2 전극을 형성하는 단계를 포함하는, 디스플레이 디바이스 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 유기 도전체 막을 제공하는 단계는 습식 프로세스에 의한 것인, 디스플레이 디바이스 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 습식 프로세스는 상기 유기 도전체 막용의 물질 용액 또는 물질 분산 용액을 스프레이-적용, 스핀-적용, 또는 잉크젯-적용하는 프로세스인, 디스플레이 디바이스 제조 방법.

청구항 19.

제 16 항에 있어서,

상기 패터닝 단계는, 데이터 신호 라인과, 주사 신호 라인과, 상기 데이터 신호 라인, 상기 주사 신호 라인 및 상기 제 1 전극에 접속된 비선형 소자를 형성하는 단계를 포함하는, 디스플레이 디바이스 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 비선형 소자는, 상호 접속된 박막 트랜지스터와 캐패시터의 조합 또는 박막 트랜지스터와 상기 박막 트랜지스터에 대한 기생 캐패시터의 조합에 의해 형성되는, 디스플레이 디바이스 제조 방법.

청구항 21.

매트릭스 형태로 배열된 복수의 화소들을 갖는 디스플레이 디바이스로서,

기판;

상기 기판의 절연 표면 상에 제공되고 상기 복수의 화소들에 대응하는 복수의 제 1 전극들;

상기 제 1 전극을 둘러싸며 상기 제 1 전극의 표면 위로 돌출한 절연 बैं크;

제 1 전극 상에 제공된 유기 도전체 막;

상기 유기 도전체 막 상에 제공되고 전계 발광을 야기할 수 있는 유기 화합물을 포함하는 유기 박막; 및

상기 유기 박막 상에 제공된 제 2 전극을 포함하는, 디스플레이 디바이스.

청구항 22.

제 1 항에 따른 디스플레이 디바이스를 구비한 전자 디바이스로서,

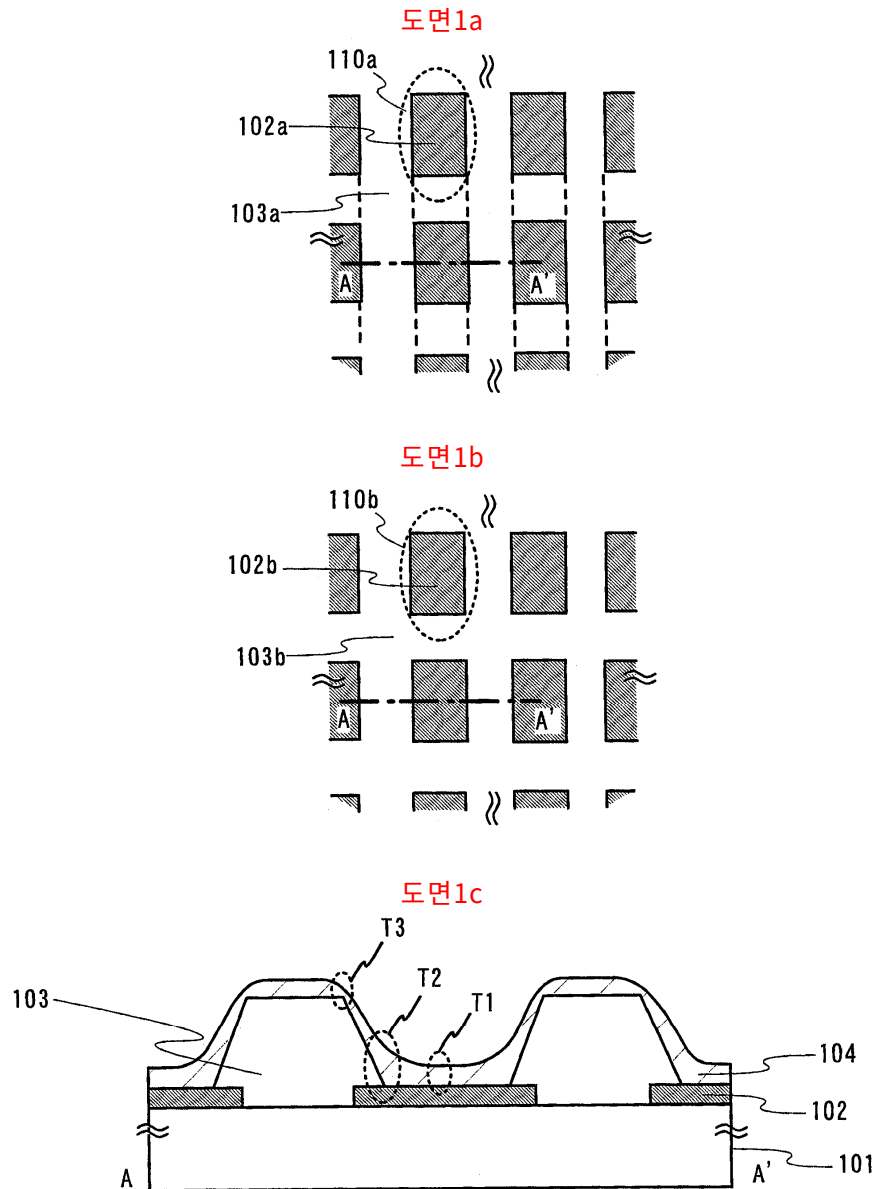
상기 전자 디바이스는, OLED 디스플레이 디바이스, 비디오 카메라, 디지털 카메라, 영상 재생 디바이스, 모바일 컴퓨터, 개인용 컴퓨터, 모바일 폰, 및 오디오 재생 디바이스로 구성된 그룹으로부터 선택되는, 전자 디바이스.

청구항 23.

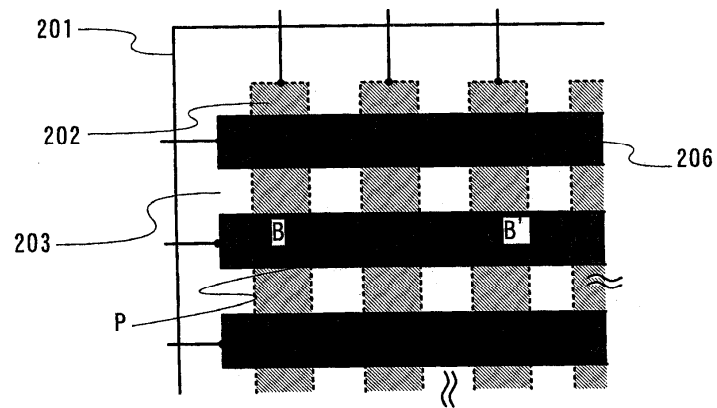
제 21 항에 따른 디스플레이 디바이스를 구비한 전자 디바이스로서,

상기 전자 디바이스는, OLED 디스플레이 디바이스, 비디오 카메라, 디지털 카메라, 영상 재생 디바이스, 모바일 컴퓨터, 개인용 컴퓨터, 모바일 폰, 및 오디오 재생 디바이스로 구성된 그룹으로부터 선택되는, 전자 디바이스.

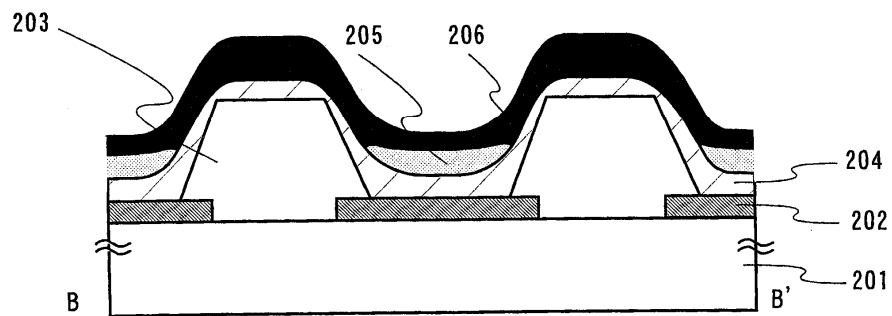
도면



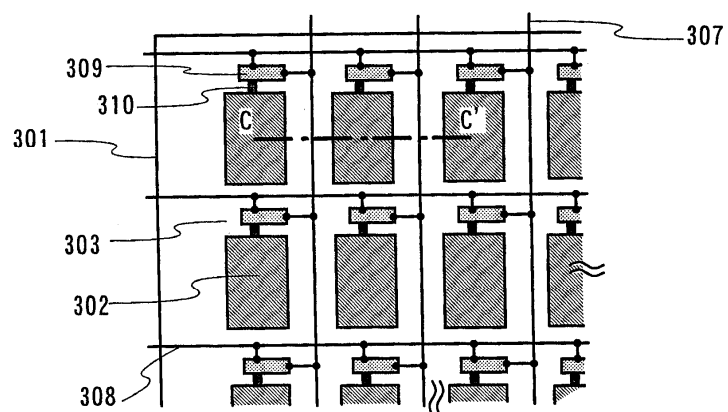
도면2a



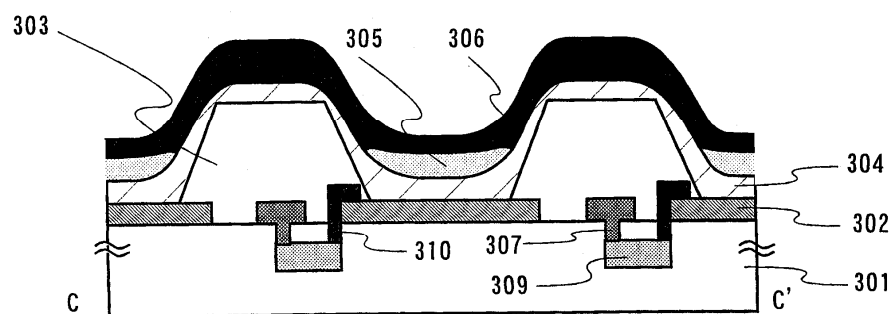
도면2b



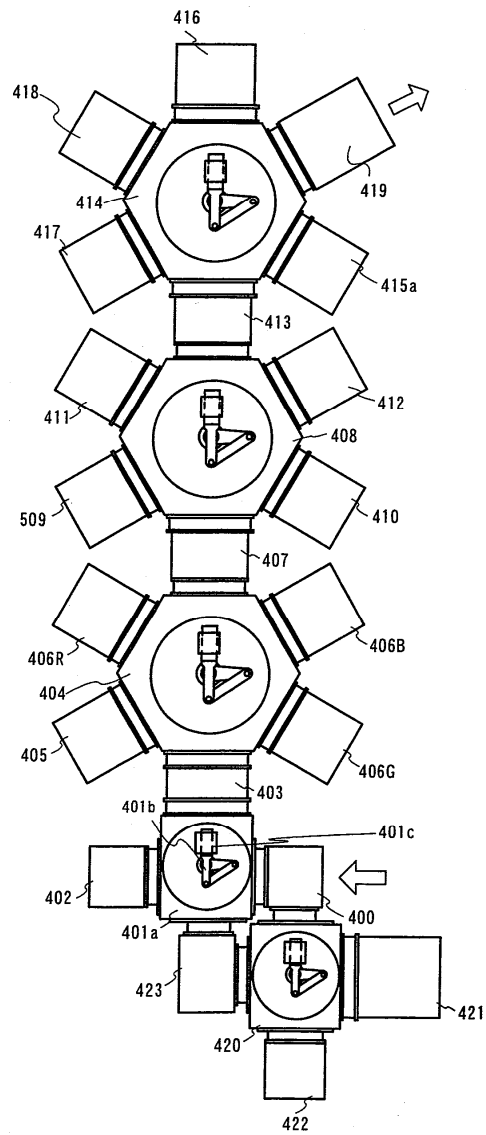
도면3a



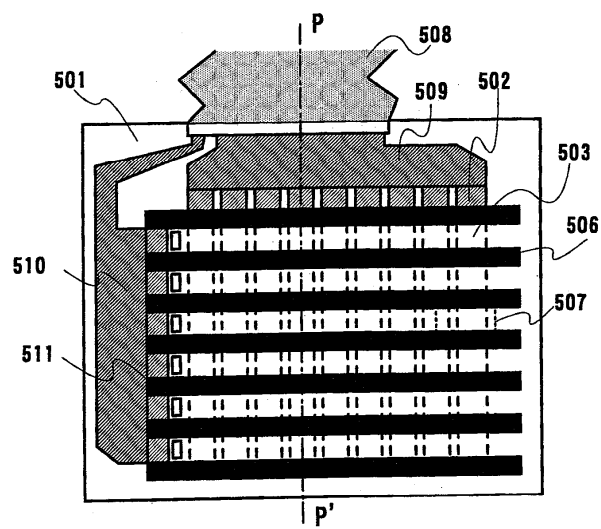
도면3b



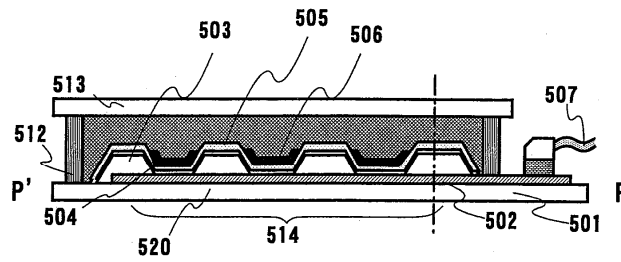
도면4



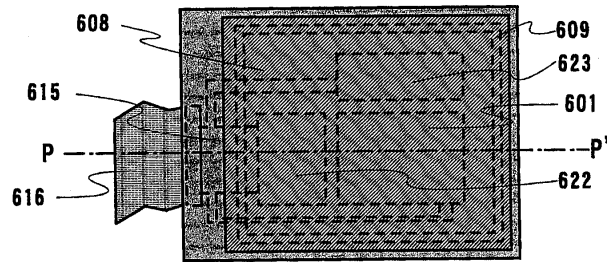
도면5a



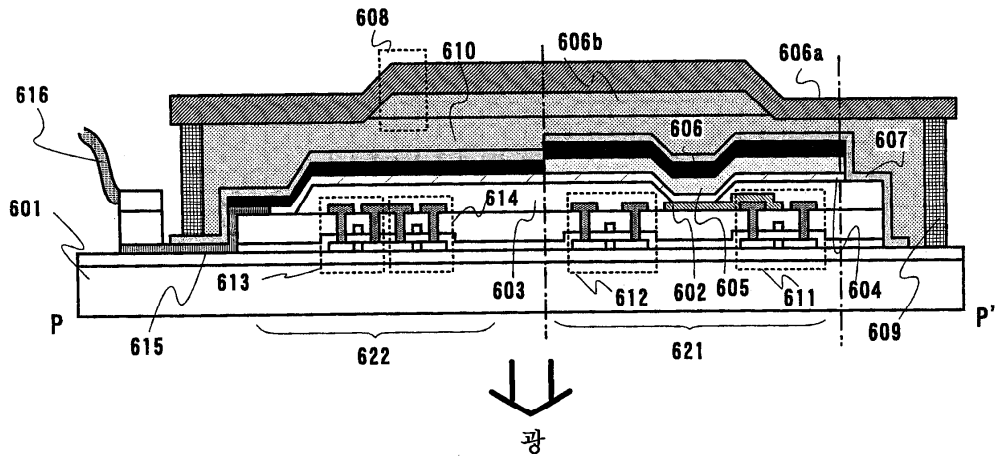
도면5b

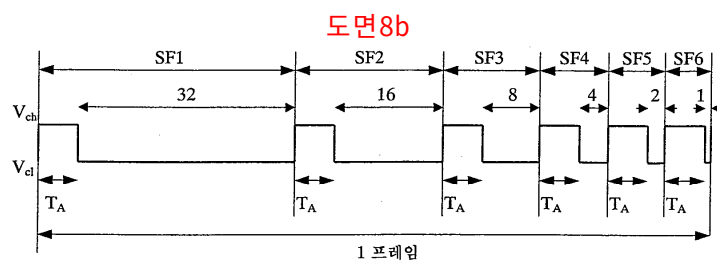
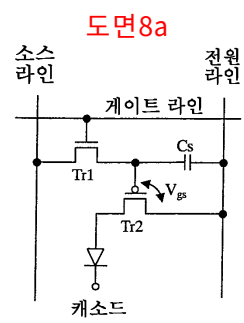
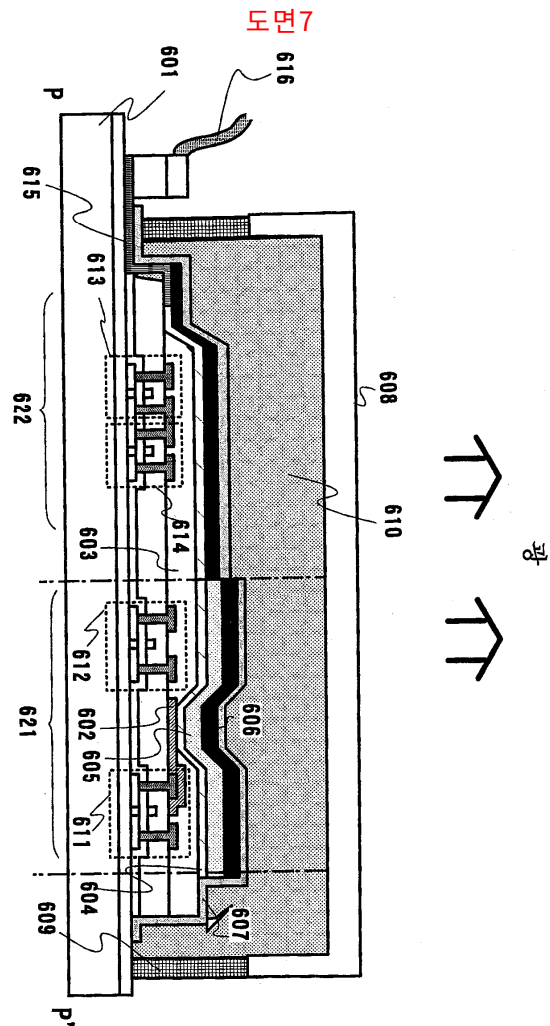


도면6a



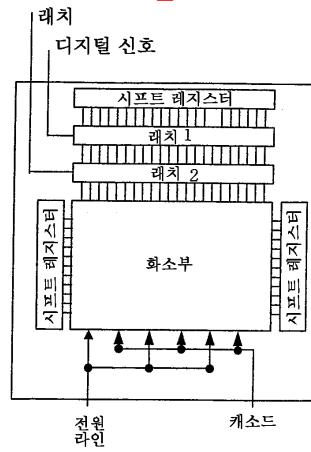
도면6b



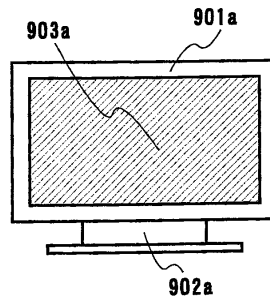


SF1-SF6: 프레임, T_A : 기입 시간

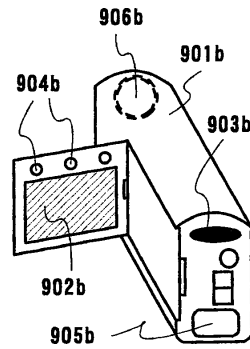
도면8c



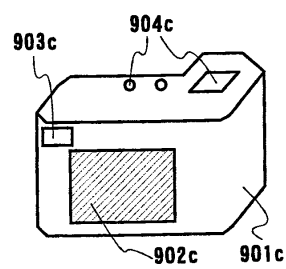
도면9a



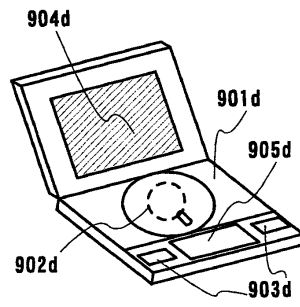
도면9b



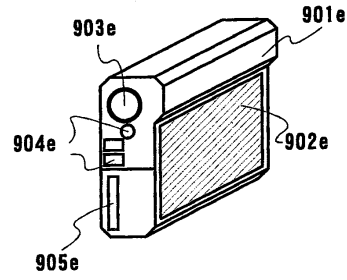
도면9c



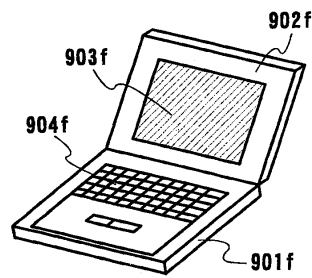
도면9d



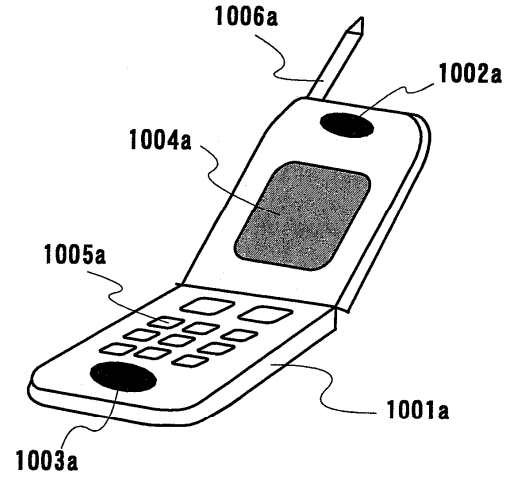
도면9e



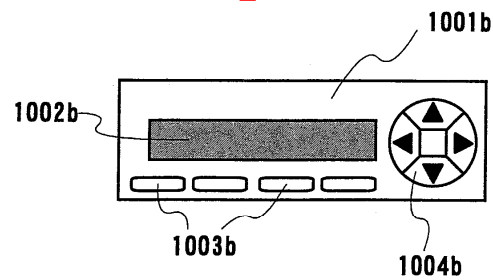
도면9f



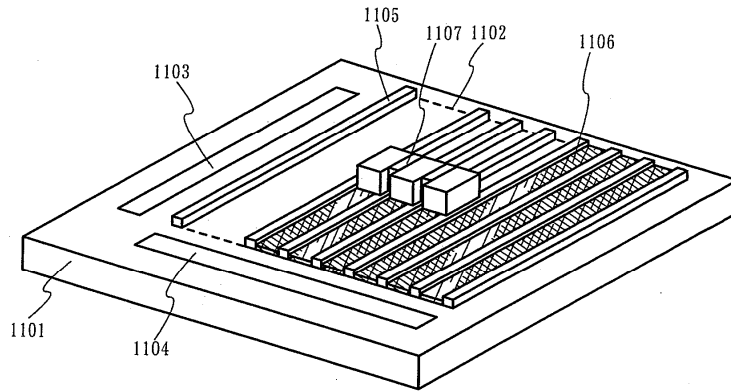
도면10a



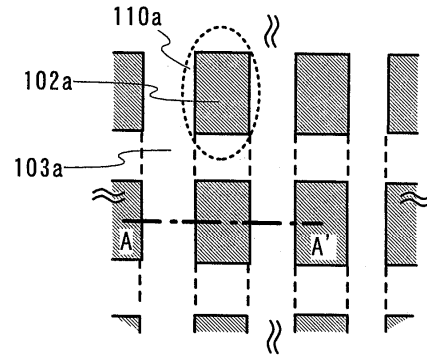
도면10b



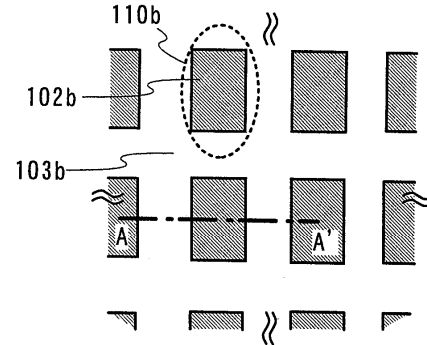
도면11



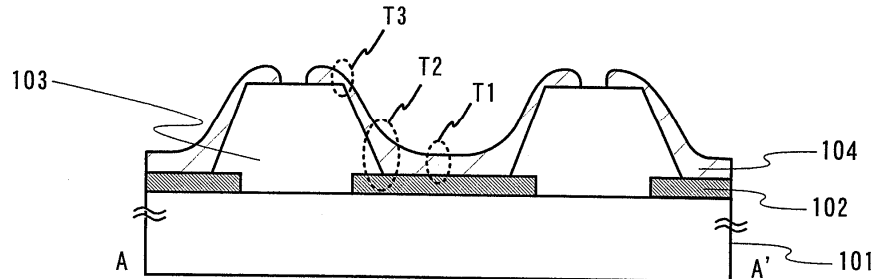
도면12a



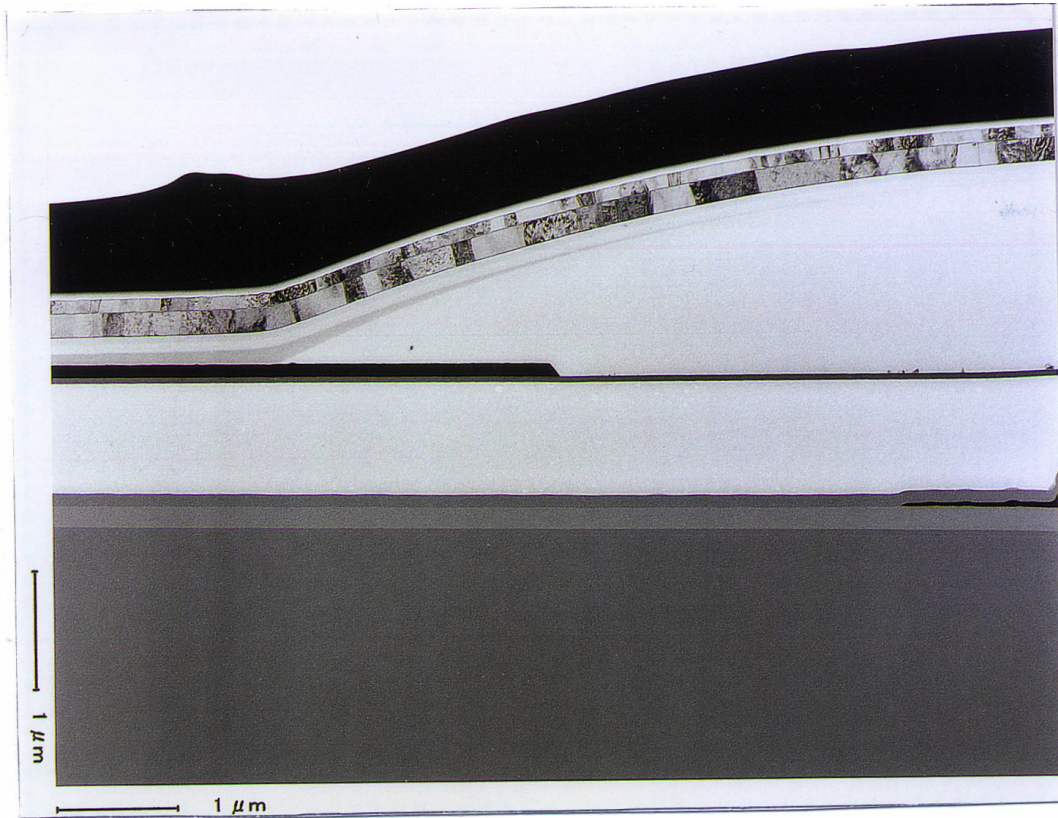
도면12b



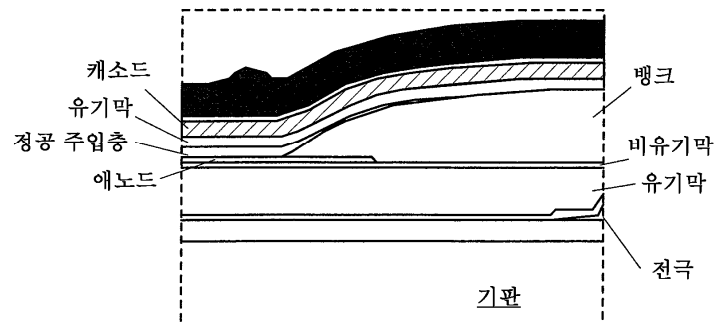
도면12c



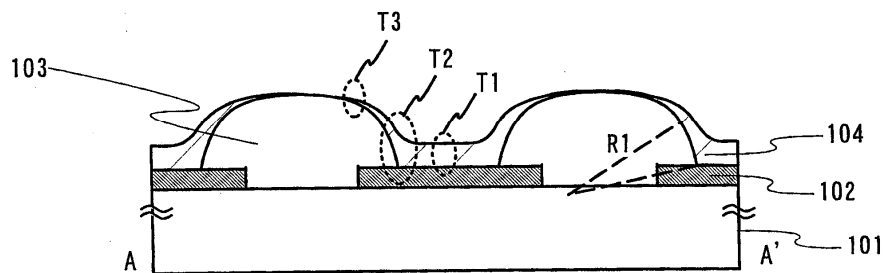
도면13a



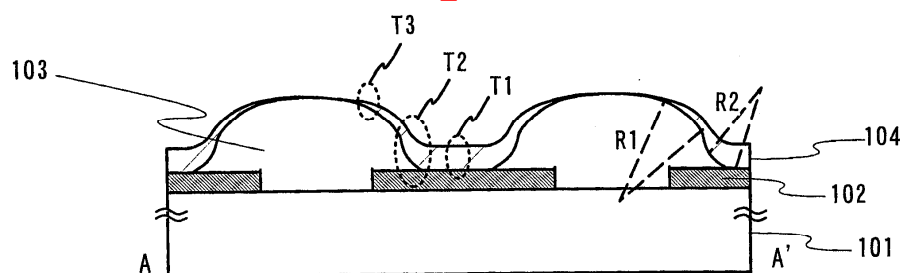
도면13b



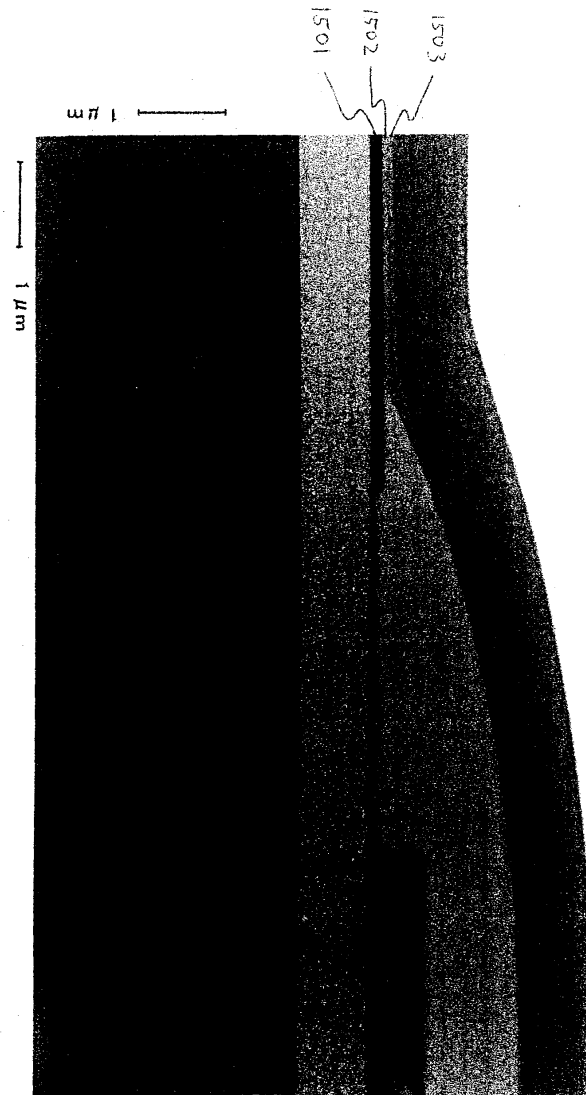
도면14a



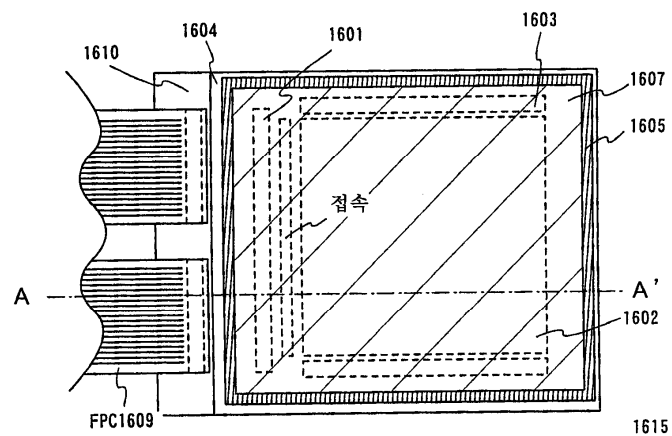
도면14b



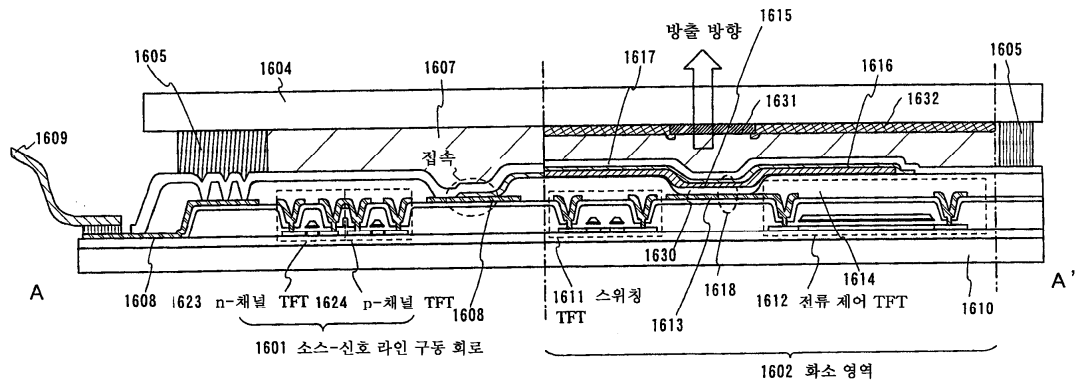
도면15



도면16a



도면16b



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020030064337A	公开(公告)日	2003-07-31
申请号	KR1020030004881	申请日	2003-01-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	SEO SATOSHI 세오사토시 YAMAZAKI SHUNPEI 야마자키순페이		
发明人	세오사토시 야마자키순페이		
IPC分类号	H01L51/50 H01L27/32 H05B33/00		
CPC分类号	H01L27/3283 H01L27/3246 H01L51/5052 H05B33/10 H01L51/5203 H01L27/32 H01L51/5088 H01L27/3276 H01L51/5237 H01L51/56 H01L2251/558 H05B33/00		
代理人(译)	李昌勋		
优先权	2002016524 2002-01-25 JP 2002047379 2002-02-25 JP 2002255216 2002-08-30 JP		
其他公开文献	KR100989788B1		
外部链接	Espacenet		

摘要(译)

通过使用显示装置的制造提供消耗功率较低且寿命长的电气设备是一个问题。绝缘堤103a以围绕基板上的第一电极102a上的像素部分110a的形式提供。通过湿法(方法)，用有机导电膜104施加整个表面。有机导电膜104的厚度形式为 $T2 > 1$ 。 $T1 > T3$ 在绝缘堤103的影响下。因此，部分T3在横向上具有增加的电阻，使得可以防止串扰。由于导电聚合物作为缓冲层104，可以提供驱动电压低的显示装置。此外，因为部分T2的厚度增加，所以在像素部分处和周围放松电场集中。这使得可以防止有机发光元件在像素周围劣化。

