

(72) 발명자

최희동

경상북도 구미시 인동46길 28, 부영8단지 805동
804호 (구평동)

이상진

경기도 부천시 소사구 부광로16번길 17, 중앙빌라
4동 403호 (괴안동)

서성모

경기 수원시 영통구 영통동 황골마을벽산아파트
224-701

특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 액티브층 및 실리콘 패턴;

상기 액티브층 상에 위치하는 제 1 절연 패턴 및 상기 실리콘 패턴 상에 위치하는 제 2 절연 패턴;

상기 제 2 절연 패턴 상에 위치하는 캐패시터 하부전극;

상기 제 1 절연 패턴 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게 위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제 1 전극;

상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 위치하는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 액티브층에 연결되고, 어느 하나가 상기 제 1 전극에 연결된 소오스 전극 및 드레인 전극;

상기 소오스 전극 및 드레인 전극을 포함하는 기관 상에 위치하며, 상기 제 1 전극의 일부를 노출시키는 बैं크층;

상기 बैं크층 상에 위치하는 스페이서;

상기 노출된 제 1 전극 상에 위치하는 유기막층; 및

상기 유기막층을 포함하는 상기 기관 상에 위치하는 제 2 전극을 포함하는 유기전계발광표시장치.

청구항 2

제 1항에 있어서,

상기 게이트 전극은 제 1 금속 산화물 패턴 및 제 1 금속 패턴이 적층되고, 상기 캐패시터 상부전극은 제 2 금속 산화물 패턴 및 제 2 금속 패턴이 적층된 유기전계발광표시장치.

청구항 3

제 1항에 있어서,

상기 제 1 전극은 제 3 금속 산화물 패턴 및 제 3 금속 패턴이 적층된 유기전계발광표시장치.

청구항 4

제 1항에 있어서,

상기 스페이서는 상기 बैं크층과 동일한 물질로 이루어진 유기전계발광표시장치.

청구항 5

기관 상에 다결정 실리콘층, 절연층, 및 제 1 금속층을 순차적으로 형성하는 단계;

상기 기관 상에 제 1 감광막을 도포한 후, 제 1 하프톤 마스크를 이용하여 패터닝하여, 액티브층 및 실리콘 패

턴을 형성하고 이와 동시에 상기 액티브층 상에 제 1 절연 패턴을 형성하고 상기 실리콘 패턴 상에 제 2 절연 패턴을 형성하고 상기 제 2 절연 패턴 상에 캐패시터 하부전극을 형성하는 단계;

상기 액티브층 및 상기 캐패시터 하부전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 금속 산화물층 및 제 2 금속층을 순차적으로 적층하고 패터닝하여, 제 1 금속 산화물 패턴 및 제 2 금속 패턴이 적층된 게이트 전극, 제 2 금속 산화물 패턴 및 제 3 금속 패턴이 적층된 캐패시터 상부전극 및 제 3 금속 산화물 패턴 및 제 4 금속 패턴이 적층된 제 1 전극을 형성하는 단계;

상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 제 3 금속층을 적층하고 패터닝하여, 소오스 전극 및 드레인 전극을 형성함과 동시에 상기 제 1 전극 상에 위치하는 제 4 금속 패턴을 패터닝하는 단계;

상기 소오스 전극, 상기 드레인 전극 및 상기 제 1 전극을 포함하는 기판 상에 제 2 감광막을 도포한 후 제 2 하프톤 마스크를 이용하여 패터닝하여 뱅크층 및 스페이서를 형성하는 단계;

상기 제 1 전극 상에 유기막층을 형성하는 단계; 및

상기 유기막층을 포함하는 상기 기판 상에 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조 방법.

청구항 6

제 5항에 있어서,

상기 다결정 실리콘층, 절연층, 및 제 1 금속층을 순차적으로 형성하는 단계는,

상기 기판 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계;

상기 다결정 실리콘층 상에 절연층을 형성하는 단계; 및

상기 절연층 상에 상기 제 1 금속층을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제 6항에 있어서,

상기 액티브층 및 실리콘 패턴을 형성하고 이와 동시에 상기 액티브층 상에 제 1 절연 패턴을 형성하고 상기 실리콘 패턴 상에 제 2 절연 패턴을 형성하고 상기 제 2 절연 패턴 상에 캐패시터 하부전극을 형성하는 단계는,

상기 제 1 금속층 상에 상기 제 1 감광막을 도포한 후, 상기 제 1 하프톤 마스크를 이용하여 두께 단차를 갖는 제 1 감광막 패턴 및 제 2 감광막 패턴을 형성하는 단계;

상기 다결정 실리콘층, 상기 절연층 및 상기 제 1 금속층을 식각하여, 상기 액티브층, 상기 실리콘 패턴, 상기 액티브층 상에 위치하는 제 1 절연 패턴, 상기 실리콘 패턴 상에 위치하는 제 2 절연 패턴, 상기 제 1 절연 패턴 상에 위치하는 제 1 금속 패턴 및 상기 제 2 절연 패턴 상에 위치하는 캐패시터 하부전극을 형성하는 단계;

상기 제 1 감광막 패턴 및 제 2 감광막 패턴을 애싱하여 상기 제 1 감광막 패턴의 두께를 저감하고 상기 제 2 감광막 패턴을 제거하는 단계;

상기 제 2 감광막 패턴이 제거되어 노출된 상기 제 1 금속 패턴을 식각하여 제거하는 단계; 및

상기 제 1 감광막 패턴을 제거하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 8

제 5항에 있어서,

상기 बैं크층 및 상기 스페이서를 형성하는 단계는,

상기 기판 상에 제 2 감광막을 도포하는 단계;

상기 제 2 감광막 상에 상기 제 2 하프톤 마스크를 정렬한 후 노광하는 단계; 및

상기 노광된 제 2 감광막을 현상하여 बैं크층 및 스페이서를 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에, 액정표시장치(Liquid Crystal Display : LCD), 플라스마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Display Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

[0003] 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 도 1은 종래의 유기전계발광표시장치를 나타낸 도면이다.

[0005] 도 1을 참조하면, 기판(100) 상에 버퍼층(110)이 위치하고, 버퍼층(110) 상에 액티브층(115a) 및 캐패시터 하부전극(115b)이 위치하며, 이들을 절연시키는 게이트 절연막(120)이 위치한다. 게이트 절연막(120) 상에 게이트 전극(130a) 및 캐패시터 상부전극(130b)이 위치하고 이들을 절연시키는 층간 절연막(135)이 위치한다. 층간 절연막(135) 상에 콘택홀(140a, 140b)을 통해 액티브층(115a)과 연결된 소오스 전극(145a) 및 드레인 전극(145b)이 위치하여 박막 트랜지스터(TFT)가 구성된다.

[0006] 그리고, 박막 트랜지스터(TFT) 상에 패시베이션막(150)이 위치하고, 비어홀(155)을 통해 드레인 전극(145b)에 연결된 제 1 전극(160)이 위치한다. 제 1 전극(160)을 노출시키는 개구부(170)를 포함하는 बैं크층(165)이 기판(100) 상에 위치하고, 제 1 전극(160) 상에 유기막층(175)이 위치한다. 그리고, 유기막층(175) 주변에 스페이서(180)가 위치하고, 기판(100) 상에 제 2 전극(185)이 위치하여 유기전계발광표시장치를 구성한다.

[0007] 상기 종래의 유기전계발광표시장치는 액티브층(115a), 캐패시터 하부전극(115b), 게이트 전극(130a), 콘택홀(140a, 140b), 소오스 전극(145a) 및 드레인 전극(145b), 비어홀(155), 제 1 전극(160), 개구부(170) 및 스페이서(180)를 형성하기 위해 총 9매의 마스크를 이용하여 제조될 수 있다.

[0008] 그러나, 종래 유기전계발광표시장치는 9매의 마스크를 이용하여 공정수가 많고 그만큼 고비용이 요구되어 생산성이 낮은 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 마스크 수를 저감하여 비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조방법을 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판, 상기 기판 상에 위치하는 액티브층 및 실리콘 패턴, 상기 액티브층 상에 위치하는 제 1 절연 패턴 및 상기 실리콘 패턴 상에 위치하는 제 2 절연 패턴, 상기 제 2 절연 패턴 상에 위치하는 캐패시터 하부전극, 상기 제 1 절연 패턴 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게 위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제 1 전극, 상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 위치하는 층간 절연막, 상기 층간 절연막 상에 위치하며, 상기 액티브층에 연결되고, 어느 하나가 상기 제 1 전극에 연결된 소오스 전극 및 드레인 전극, 상기 소오스 전극 및 드레인 전극을 포함하는 기판 상에 위치하며, 상기 제 1 전극의 일부를 노출시키는 बैं크층, 상기 बैं크층 상에 위치하는 스페이서, 상기 노출된 제 1 전극 상에 위치하는 유기막층 및 상기 유기막층을 포함하는 상기 기판 상에 위치하는 제 2 전극을 포함할 수 있다.
- [0011] 상기 게이트 전극은 제 1 금속 산화물 패턴 및 제 1 금속 패턴이 적층되고, 상기 캐패시터 상부전극은 제 2 금속 산화물 패턴 및 제 2 금속 패턴이 적층된 것일 수 있다.
- [0012] 상기 제 1 전극은 제 3 금속 산화물 패턴 및 제 3 금속 패턴이 적층된 것일 수 있다.
- [0013] 상기 스페이서는 상기 बैं크층과 동일한 물질로 이루어질 수 있다.
- [0014] 또한, 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법은 기판 상에 다결정 실리콘층, 절연층, 및 제 1 금속층을 순차적으로 형성하는 단계, 상기 기판 상에 제 1 감광막을 도포한 후, 제 1 하프톤 마스크를 이용하여 패터닝하여, 액티브층 및 실리콘 패턴을 형성하고 이와 동시에 상기 액티브층 상에 제 1 절연 패턴을 형성하고 상기 실리콘 패턴 상에 제 2 절연 패턴을 형성하고 상기 제 2 절연 패턴 상에 캐패시터 하부전극을 형성하는 단계, 상기 액티브층 및 상기 캐패시터 하부전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 금속 산화물층 및 제 2 금속층을 순차적으로 적층하고 패터닝하여, 제 1 금속 산화물 패턴 및 제 1 금속 패턴이 적층된 게이트 전극, 제 2 금속 산화물 패턴 및 제 2 금속 패턴이 적층된 캐패시터 상부전극 및 제 3 금속 산화물 패턴 및 제 3 금속 패턴이 적층된 제 1 전극을 형성하는 단계, 상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제 1 전극 상에 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 제 3 금속층을 적층하고 패터닝하여, 소오스 전극 및 드레인 전극을 형성함과 동시에 상기 제 1 전극 상에 위치하는 제 1 금속 패턴을 패터닝하는 단계, 상기 소오스 전극, 상기 드레인 전극 및 상기 제 1 전극을 포함하는 기판 상에 제 2 감광막을 도포한 후 제 2 하프톤 마스크를 이용하여 패터닝하여 बैं크층 및 스페이서를 형성하는 단계, 상기 제 1 전극 상에 유기막층을 형성하는 단계 및 상기 유기막층을 포함하는 상기 기판 상에 제 2 전극을 형성하는 단계를 포함할 수 있다.
- [0015] 상기 다결정 실리콘층, 절연층, 및 제 1 금속층을 순차적으로 형성하는 단계는, 상기 기판 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계, 상기 다결정 실리콘층 상에 절연층을 형성하는 단계 및 상기 절연층 상에 상기 제 1 금속층을 형성하는 단계를 포함할 수 있다.
- [0016] 상기 액티브층 및 실리콘 패턴을 형성하고 이와 동시에 상기 액티브층 상에 제 1 절연 패턴을 형성하고 상기 실리콘 패턴 상에 제 2 절연 패턴을 형성하고 상기 제 2 절연 패턴 상에 캐패시터 하부전극을 형성하는 단계는, 상기 제 1 금속층 상에 상기 제 1 감광막을 도포한 후, 상기 제 1 하프톤 마스크를 이용하여 두께 단차를 갖는 제 1 감광막 패턴 및 제 2 감광막 패턴을 형성하는 단계, 상기 다결정 실리콘층, 상기 절연층 및 상기 제 1 금속층을 식각하여, 상기 액티브층, 상기 실리콘 패턴, 상기 액티브층 상에 위치하는 제 1 절연 패턴, 상기 실리콘 패턴 상에 위치하는 제 2 절연 패턴, 상기 제 1 절연 패턴 상에 위치하는 제 2 금속 패턴 및 상기 제 2 절연 패턴 상에 위치하는 캐패시터 하부전극을 형성하는 단계, 상기 제 1 감광막 패턴 및 제 2 감광막 패턴을 애싱하여 상기 제 1 감광막 패턴의 두께를 저감하고 상기 제 2 감광막 패턴을 제거하는 단계, 상기 제 2 감광막 패턴이 제거되어 노출된 상기 제 2 금속 패턴을 식각하여 제거하는 단계 및 상기 제 1 감광막 패턴을 제거하는 단계를 포함할 수 있다.
- [0017] 상기 बैं크층 및 상기 스페이서를 형성하는 단계는, 상기 기판 상에 제 2 감광막을 도포하는 단계, 상기 제 2 감광막 상에 상기 제 2 하프톤 마스크를 정렬한 후 노광하는 단계 및 상기 노광된 제 2 감광막을 현상하여 बैं크층 및 스페이서를 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0018] 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 9매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 총 5매의 마스크로 유기전계발광표시장치를 제조할 수 있다.
- [0019] 따라서, 4매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0020] 도 1은 종래의 유기전계발광표시장치를 나타낸 도면.
- 도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도.
- 도 3a 내지 도 3j는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.
- [0022] 도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도이다.
- [0023] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 유기전계발광표시장치(200)는 기판(210) 상에 버퍼층(215)이 위치하고, 버퍼층(215) 상에 액티브층(220a) 및 실리콘 패턴(220b)이 위치한다. 액티브층(220a)은 불순물이 도핑되어 소오스 영역(221) 및 드레인 영역(222)을 포함한다.
- [0024] 상기 액티브층(220a) 상에 제 1 절연 패턴(223a)이 위치하고, 실리콘 패턴(220b) 상에 제 2 절연 패턴(223b)이 위치한다. 그리고, 제 2 절연 패턴(223b) 상에 캐패시터 하부전극(226)이 위치한다.
- [0025] 제 1 절연 패턴(223a) 및 캐패시터 하부전극(226) 상에 게이트 절연막(230)이 위치한다. 게이트 절연막(230) 상에 게이트 전극(235a)과 캐패시터 상부전극(235b)이 위치한다. 게이트 전극(235a)은 액티브층(220a)에 대응되도록 위치하고, 캐패시터 상부전극(235b)은 캐패시터 하부전극(226)에 대응되도록 위치한다. 그리고, 게이트 전극(235)은 제 1 금속 산화물 패턴(231) 및 제 1 금속 패턴(232)이 적층된 2중층으로 이루어질 수 있다. 캐패시터 상부전극(235b)은 제 2 금속 산화물 패턴(236) 및 제 2 금속 패턴(237)이 적층된 2중층으로 이루어질 수 있다.
- [0026] 그리고, 게이트 전극(235a) 및 캐패시터 상부전극(235b)과 이격되는 영역에 제 1 전극(235c)이 위치한다. 제 1 전극(235c)은 제 3 금속 산화물 패턴(238) 및 제 3 금속 산화물 패턴(238)의 일 가장자리에 위치한 제 3 금속 패턴(239)이 적층된 2중층으로 이루어질 수 있다.
- [0027] 상기 게이트 전극(235a), 캐패시터 상부전극(235b) 및 제 1 전극(235c) 상에 층간 절연막(240)이 위치한다.
- [0028] 층간 절연막(240)은 액티브층(220a)의 소오스 영역(221) 및 드레인 영역(222)을 노출시키는 콘택홀(241)이 구비되고, 제 1 전극(235c)을 노출시키는 개구영역(242)이 구비된다.
- [0029] 상기 층간 절연막(240) 상에 소오스 전극(245a) 및 드레인 전극(245b)이 위치한다. 소오스 전극(245a) 및 드레인 전극(245b)은 액티브층(220a)의 소오스 영역(221) 및 드레인 영역(222)에 각각 콘택하고, 상기 드레인 전극(245b)은 제 1 전극(235c)에 콘택한다.
- [0030] 상기 소오스 전극(245a) 및 드레인 전극(245b)이 형성된 기판(210) 상에 बैं크층(250) 및 스페이서(257)가 위치한다. बैं크층(250)은 제 1 전극(235c)을 노출시키는 개구부(255)가 구비된다. 그리고, 스페이서(257)는 बैं크층(250)의 표면보다 돌출되어 बैं크층(250)과 일체형으로 이루어지고, 노출된 제 1 전극(235c)의 주변에 위치한다.
- [0031] 상기 노출된 제 1 전극(235c) 상에 유기막층(260)이 위치한다. 유기막층(260)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 적어도 하나를 포함할 수도 있다. 그리고, 유기막층(260)을 포함하는 기판(210) 상에 제 2 전극(270)이 위치하여 본 발명의 일 실시 예에 따른 유기전계발광표시장치(200)를 구성할 수 있다.
- [0032] 이하, 전술한 본 발명의 일 실시 예에 따른 유기전계발광표시장치를 제조하는 제조방법에 대해 설명하면 다음과

같다.

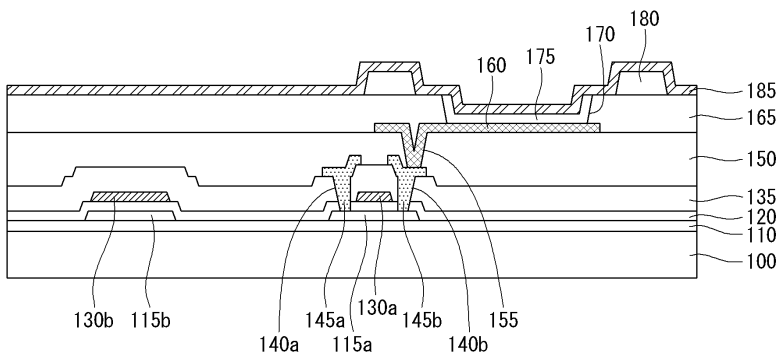
- [0033] 도 3a 내지 도 3j는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0034] 먼저, 도 3a를 참조하면, 유리, 플라스틱 또는 도전성 물질로 이루어진 제 1 기판(310) 상에 버퍼층(315)을 형성한다. 버퍼층(315)은 이후 수행될 비정질 실리콘층의 레이저 결정화 공정 시 기판(310) 표면에 존재하는 불순물들이 용출되어 비정질 실리콘층으로 확산하는 것을 방지하며, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0035] 상기 버퍼층(315) 상에 비정질 실리콘층(320a)을 증착한다. 이어, 비정질 실리콘층(320a)에 레이저를 조사하는 레이저 결정화 공정을 수행한다. 이때, 레이저 결정화 공정은 엑시머 레이저 어닐링(excimer laser annealing ; ELA)으로 수행할 수 있다. 따라서, 비정질 실리콘층(320a)은 다결정 실리콘층(320b)으로 결정화된다.
- [0036] 이어, 도 3b를 참조하면, 상기 다결정 실리콘층(320b) 상에 제 1 절연층(325)을 적층하고, 제 1 절연층(325) 상에 제 1 금속층(330)을 적층한다. 이때, 제 1 절연층(325)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)로 형성하고, 제 1 금속층(330)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 형성할 수 있다.
- [0037] 다음, 상기 제 1 절연층(325) 및 제 1 금속층(330)을 포함하는 기판(310) 상에 제 1 감광막(335)을 스핀 코팅 등의 방법으로 도포한다. 제 1 감광막(335)은 포지티브 포토레지스트(positive photoresist)로 광이 조사되면 추후 분해되어 제거되는 물질일 수 있다.
- [0038] 이어, 제 1 감광막(335)이 형성된 기판(310) 상에 투과부(341), 반투과부(342) 및 차단부(343)로 이루어진 제 1 하프톤 마스크(340)를 정렬시킨 후 자외선(UV)을 조사한다.
- [0039] 다음, 도 3c를 참조하면, 상기 제 1 하프톤 마스크(340)를 통한 회절 노광 기법을 이용한 후 현상하여, 두께 단차를 갖는 제 1 감광막 패턴(345) 및 제 2 감광막 패턴(346)을 형성한다.
- [0040] 보다 자세하게는, 상기 제 1 하프톤 마스크(340)를 이용한 회절 노광 기법을 이용함으로써, 상기 차단부(343)가 적용되어 차단부(343)와 대향하는 제 1 감광막(335)이 그대로 남은 제 1 감광막 패턴(345)과, 상기 반투과부(342)가 적용되어 반투과부(342)와 대향하는 제 1 감광막(335)이 회절되어 투과되는 광에 의해 상기 제 1 감광막 패턴(345)의 절반 이하의 두께로 남은 제 2 감광막 패턴(346)을 형성한다. 그리고, 투과부(341)와 대향하는 제 1 감광막(335)은 현상 시 분해되어 모두 제거됨으로써, 상기 제 1 금속층(330)의 표면을 노출시킨다.
- [0041] 이때, 제 1 감광막 패턴(345)은 추후 캐패시터 하부전극이 형성될 영역에 형성하고, 제 2 감광막 패턴(346)은 추후 액티브층이 형성될 영역에 형성한다.
- [0042] 다음, 도 3d를 참조하면, 제 1 감광막 패턴(345) 및 제 2 감광막 패턴(346)을 이용하여 상기 다결정 실리콘층(320b), 제 1 절연층(325) 및 제 1 금속층(330)을 식각하여, 액티브층(351a), 액티브층(351a) 상에 위치한 제 1 절연 패턴(352a), 제 1 절연 패턴(352a) 상에 위치한 제 1 금속 패턴(353a), 실리콘 패턴(351b), 실리콘 패턴(351b) 상에 위치한 제 2 절연 패턴(352b) 및 제 2 절연 패턴(352b) 상에 위치한 캐패시터 하부전극(353b)을 형성한다.
- [0043] 이어, 애싱(ashing) 공정으로 제 2 감광막 패턴(346)을 제거하고, 제 2 감광막 패턴(346)의 제거된 두께만큼 제 1 감광막 패턴(345)의 두께를 저감한다.
- [0044] 다음, 도 3e를 참조하면, 제 2 감광막 패턴(346)이 제거된 영역의 제 1 금속 패턴(353a)을 식각액을 이용하여 식각하여 제거한다. 그리고, 기판(310) 상에 남아 있는 제 1 감광막 패턴(345)을 스트립하여 제거한다.
- [0045] 따라서, 버퍼층(315) 상에 액티브층(351a)과 액티브층(351a) 상에 제 1 절연 패턴(352a)이 형성되고, 실리콘 패턴(351b), 실리콘 패턴(351b) 상에 제 2 절연 패턴(352b) 및 제 2 절연 패턴(352b) 상에 캐패시터 하부전극(353b)이 형성된다.
- [0046] 다음, 도 3f를 참조하면, 상기 기판(310) 상에 게이트 절연막(360)을 형성한다. 게이트 절연막(360)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0047] 이어, 게이트 절연막(360) 상에 금속 산화물층 및 제 2 금속층을 순차적으로 적층하고 제 1 마스크를 이용하여 패터닝하여, 게이트 전극(370a), 캐패시터 상부전극(370b) 및 제 1 전극(370c)을 형성한다.

- [0048] 이때, 금속 산화물층은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)로 형성할 수 있다. 그리고, 제 2 금속층은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다.
- [0049] 따라서, 게이트 전극(370a)은 제 1 금속 산화물 패턴(371)과 제 2 금속 패턴(372)이 적층된 구조로 형성되고, 캐패시터 상부전극(370b)은 제 2 금속 산화물 패턴(373)과 제 3 금속 패턴(374)이 적층된 구조로 형성되고, 제 1 전극(370c)은 제 3 금속 산화물 패턴(375)과 제 4 금속 패턴(376)이 적층된 구조로 형성된다.
- [0050] 이어, 상기 기판(310) 상에 불순물 도핑 공정을 수행한다. 이때, 액티브층(351a)에는 게이트 전극(370a)이 마스크로 작용하여 액티브층(351a)의 양측에 불순물이 도핑된다. 따라서, 액티브층(351a)에 소오스 영역(356) 및 드레인 영역(357)이 형성된다.
- [0051] 다음, 도 3g를 참조하면, 상기 불순물 도핑 공정이 수행된 기판(310) 상에 층간 절연막(380)을 형성한다. 층간 절연막(380)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0052] 이어, 제 2 마스크를 이용하여 층간 절연막(380)을 패터닝하여, 액티브층(351a)의 소오스 영역(356) 및 드레인 영역(357)을 노출시키는 콘택홀(381)을 형성하고, 제 1 전극(370c)을 노출시키는 개구영역(382)을 형성한다.
- [0053] 다음, 도 3h를 참조하면, 상기 기판(310) 상에 도전층을 증착하고 제 3 마스크를 이용하여 패터닝함으로써, 소오스 전극(385a) 및 드레인 전극(385b)을 형성한다. 이때, 소오스 전극(385a) 및 드레인 전극(385b)은 콘택홀(381)을 통해 각각 액티브층(351a)의 소오스 영역(356) 및 드레인 영역(357)에 콘택하고, 드레인 전극(385b)은 제 1 전극(370c)에 콘택한다.
- [0054] 이때, 제 3 마스크를 이용한 패터닝 공정 시, 제 1 전극(370c)의 제 4 금속 패턴(376)도 패터닝되어 제 1 금속 산화물 패턴(375)의 일 가장자리에만 위치하게 된다. 그리고, 상기 드레인 전극(385b)은 제 1 전극(370c)의 제 4 금속 패턴(376)에 콘택되게 된다.
- [0055] 여기서, 소오스 전극(385a) 및 드레인 전극(385b)은 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al) 또는 이들의 합금으로 이루어진 단일층일 수 있다. 또한, 소오스 전극(385a) 및 드레인 전극(385b)은 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 이루어질 수도 있다.
- [0056] 이어서, 상기 소오스 전극(385a) 및 드레인 전극(385b)을 포함한 기판(310) 상에 제 2 감광막(400)을 스핀 코팅 등의 방식으로 도포한다. 제 2 감광막(400)은 앞선 제 1 감광막(335)과 동일한 물질일 수 있다.
- [0057] 이어, 제 2 감광막(400)이 형성된 기판(310) 상에 투과부(391), 반투과부(392) 및 차단부(393)로 이루어진 제 2 하프톤 마스크(390)를 정렬시킨 후 자외선(UV)을 조사한다. 이때, 제 2 하프톤 마스크(390)의 차단부(393)는 스페이서가 형성될 영역에 정렬하고, 반투과부(392)는 뱅크층이 형성될 영역에 정렬하고, 투과부(391)는 제 1 전극(370c)이 위치한 영역에 정렬한다.
- [0058] 다음, 도 3i를 참조하면, 상기 제 2 하프톤 마스크(390)를 통한 회절 노광 기법을 이용한 후 현상하여, 뱅크층(410) 및 스페이서(415)를 형성한다.
- [0059] 보다 자세하게는, 제 2 하프톤 마스크(390)를 이용한 회절 노광 기법을 이용함으로써, 상기 차단부(393)가 적용되어 차단부(393)와 대향하는 제 2 감광막(400)이 그대로 남은 스페이서(415)와, 상기 반투과부(392)가 적용되어 반투과부(392)와 대향하는 제 2 감광막(400)이 회절되어 투과되는 광에 의해 상기 스페이서(415)의 절반 이하의 두께로 남은 뱅크층(410)을 형성한다. 그리고, 투과부(391)와 대향하는 제 2 감광막(400)은 현상 시 분해되어 모두 제거됨으로써, 상기 제 1 전극(370c)의 표면을 노출시키는 개구부(417)가 형성된다.
- [0060] 이에 따라, 도 3i에 도시된 바와 같이, 뱅크층(410) 및 스페이서(415)가 동시에 형성되어 일체형으로 이루어질 수 있다.
- [0061] 다음, 상기 뱅크층(410) 및 스페이서(415)가 형성된 기판(310)을 진공 챔버 내에 장착하고, 기판(310) 상에 웨도우 마스크(420)를 정렬시킨다. 이때, 웨도우 마스크(420)는 스페이서(415) 상에 정렬된다.
- [0062] 그리고, 기판(310) 상에 유기물을 증착하여 도 3j에 도시된 바와 같이, 제 1 전극(370c) 상에 유기막층(430)을 형성한다. 유기막층(430)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 적어도 하나를 포함할 수 있다.

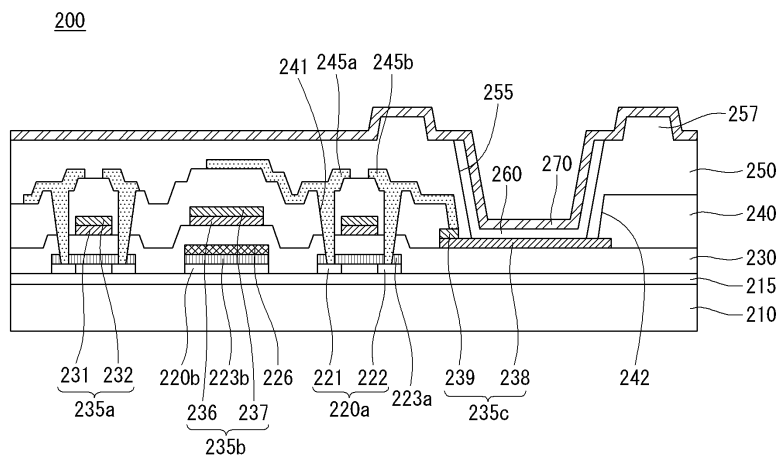
- [0063] 다음, 기판(310) 상에 금속 물질을 적층하여 제 2 전극(440)을 형성한다. 제 2 전극(440)은 배선 저항 및 일함수가 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어질 수 있다.
- [0064] 따라서, 상기 제 2 전극(440)을 형성함으로써, 본 발명의 실시 예에 따른 유기전계발광표시장치를 제조한다.
- [0065] 상기와 같이, 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 9매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 제 1 내지 제 3 마스크와, 제 1 및 제 2 하프톤 마스크의 총 5매의 마스크로 유기전계발광표시장치를 제조할 수 있다.
- [0066] 따라서, 본 발명은 총 4매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.
- [0067] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

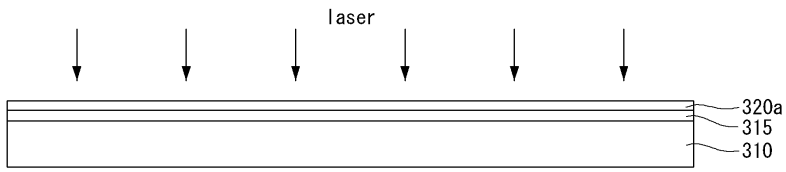
도면1



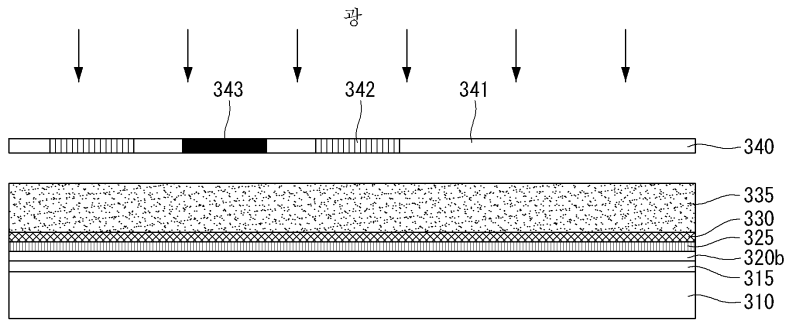
도면2



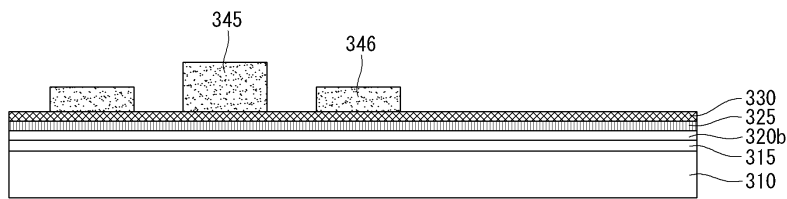
도면3a



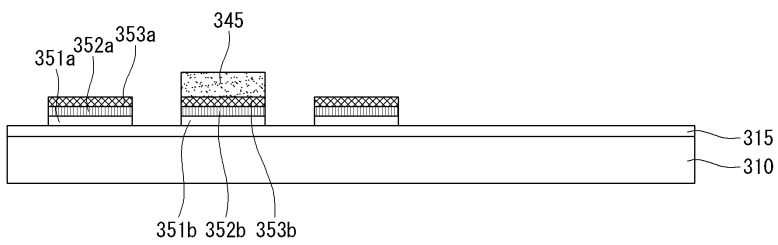
도면3b



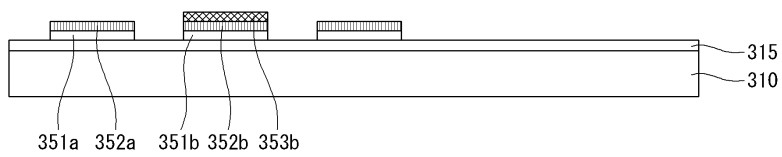
도면3c



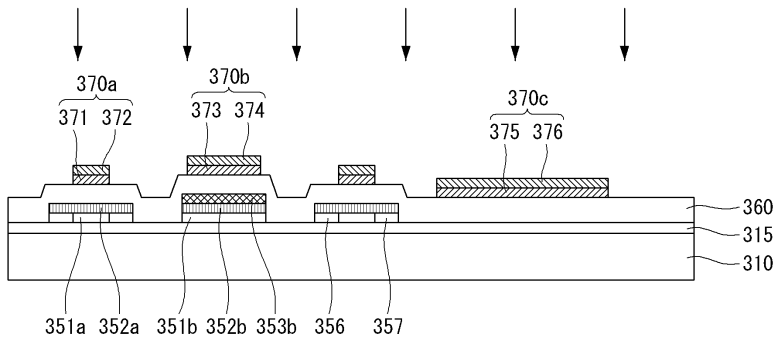
도면3d



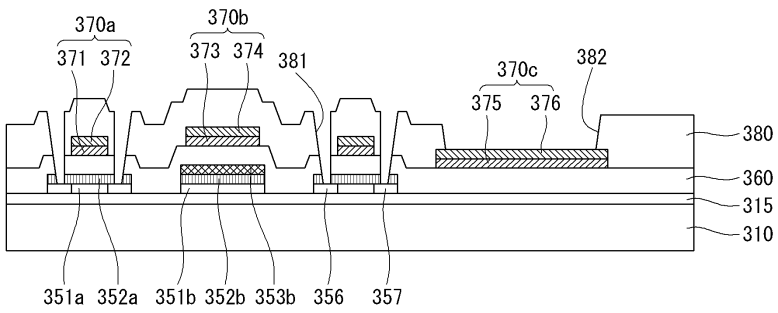
도면3e



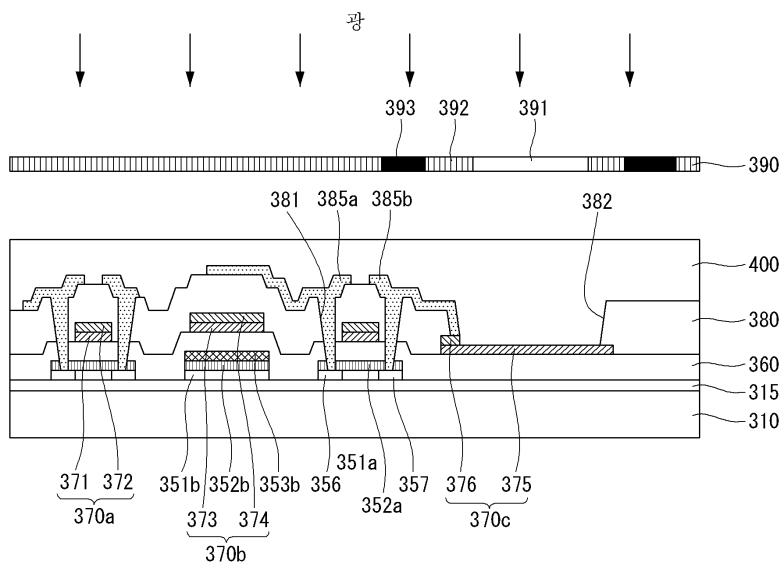
도면3f



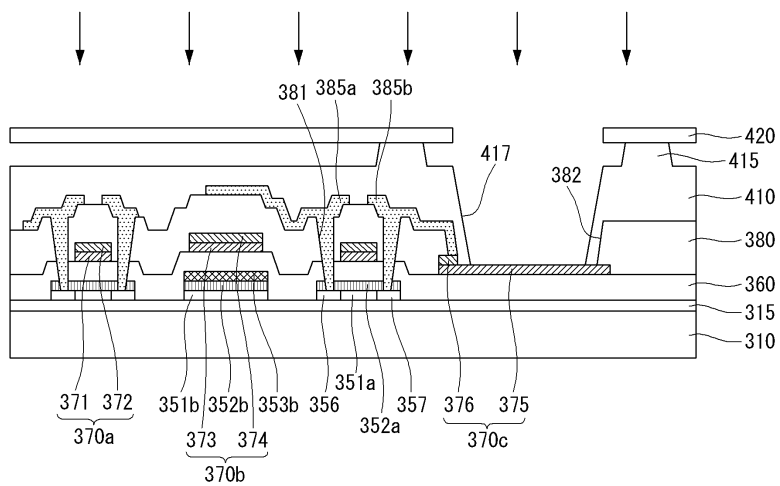
도면3g



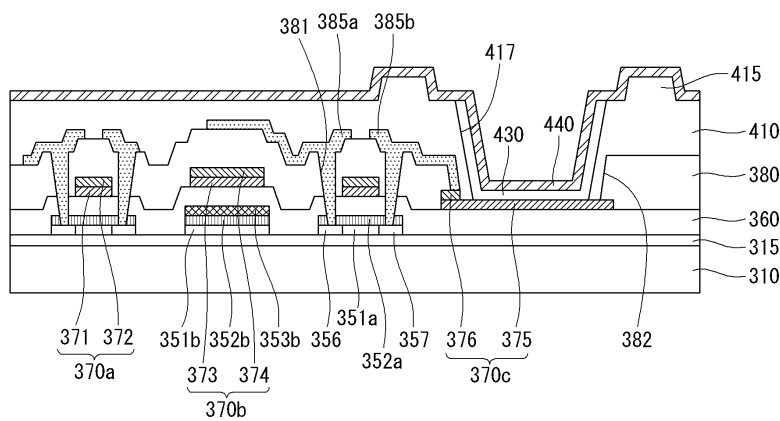
도면3h



도면3i



도면3j



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR101323555B1	公开(公告)日	2013-10-29
申请号	KR1020100092420	申请日	2010-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN HO 김현호 LEE SEOK WOO 이석우 CHOI HEE DONG 최희동 LEE SANG JIN 이상진 SEO SEONG MOH 서성모		
发明人	김현호 이석우 최희동 이상진 서성모		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L27/3246 H01L27/1255 H01L29/4908		
其他公开文献	KR1020120030723A		
外部链接	Espacenet		

摘要(译)

用途：通过减少四片掩模，提供有机电致发光显示装置及其制造方法以提高生产率和制造产量。结构：第一绝缘图案（223a）位于有源层上。第二绝缘图案位于硅图案上。电容器下电极（226）位于第二绝缘图案上。第一电极位于与电容器上电极分开的位置。层间绝缘层（240）位于栅电极，电容器上电极和第一电极上。源电极和漏电极位于层间绝缘层上并连接到有源层。堤层（250）位于包括源电极和漏电极的基板上，并暴露第一电极的一部分。第二电极位于包括有机层的基板上。

