



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월04일
(11) 등록번호 10-0940342
(24) 등록일자 2010년01월27일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2002-0068075

(22) 출원일자 2002년11월05일

심사청구일자 2007년11월05일

(65) 공개번호 10-2003-0040056

(43) 공개일자 2003년05월22일

(30) 우선권주장

JP-P-2001-00348032 2001년11월13일 일본(JP)

(56) 선행기술조사문헌

JP12284749 A*

KR1020010039666 A*

JP10319909 A

JP2000122607 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

키무라하지메

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤
한도오파이에네루기켄큐쇼나이

(74) 대리인

권태복, 김홍두, 이화익

전체 청구항 수 : 총 31 항

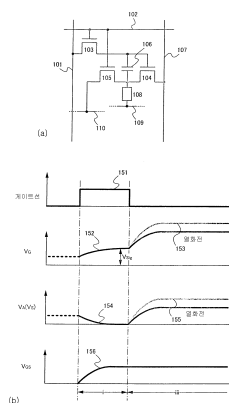
심사관 : 조기덕

(54) 표시장치 및 그 구동방법

(57) 요약

본 발명은 EL소자의 열화로 인해 전류값 변화가 거의 발생하기 어려운 구성의 반도체장치를 제공한다. 구동용 TFT의 게이트와 소스 사이에 용량소자가 설치되고, 게이트전극에 영상신호가 입력된 후, 부유상태에 있다. 이때, 구동용 TFT의 게이트-소스간 전압이 임계치를 상회하고 있으면, 구동용 TFT가 ON 한다. 가령 EL소자가 열화하여, 양극의 전위가 상승하는, 즉 구동용 TFT의 소스전위가 상승하는 경우, 용량소자에 의한 결합에 의해서 부유상태로 되어 있는 구동용 TFT의 게이트전극의 전위도 같은 양만큼 상승하게 된다. 따라서, EL소자의 열화에 의해서 양극의 전위가 상승하더라도, 그 상승 전위를 게이트전극 전위에 그대로 덧붙여, 구동용 TFT의 게이트-소스간 전압을 일정하게 할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

발광소자와,

영상신호에 근거하여 전압을 유지하는 수단과,

적어도 하나의 스위칭소자를 통해 상기 전압을 유지하는 수단에 전기적으로 접속된 전원선과,

상기 유지 전압에 근거하여 전류를 상기 발광소자에 공급하는 트랜지스터를 구비하고,

상기 유지 전압은 상기 영상신호의 전위와 상기 전원선의 전위간의 전위차이고,

상기 발광소자는 상기 트랜지스터 및 상기 영상신호에 근거하여 전압을 유지하는 수단에 전기적으로 접속되는 것을 특징으로 하는 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

발광소자와,

제1 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극에 전기적으로 접속된 게이트 신호선과,

상기 제1 트랜지스터의 소스 및 드레인 전극 중 하나에 전기적으로 접속된 소스 신호선과,

소스전극이 상기 발광소자의 일 전극에 전기적으로 접속되고, 게이트전극이 상기 제1 트랜지스터의 다른 전극에 전기적으로 접속된 제2 트랜지스터와,

상기 제2 트랜지스터의 상기 소스전극과 게이트전극 사이에 전기적으로 접속된 용량소자와,

상기 제2 트랜지스터의 드레인전극에 전기적으로 접속된 전원선을 구비한 것을 특징으로 하는 표시장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1 및 제 2 스위칭소자와, 트랜지스터와, 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에는 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에는 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하며,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하며,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치한 것을 특징으로 하는 표시 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자와, 트랜지스터와, 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에는 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에는 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하며,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하며,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 3 스위칭소자의 제 1 전극을 상기 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 트랜지스터의 제 1 전극, 상기 제 2 스위칭소자의 제 1 전극 및 상기 발광소자의 제 1 전극 중 어느 하나에 전기적으로 접속한 것을 특징으로 하는 표시장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는, 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자와, 트랜지스터와, 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에는 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에는 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하고,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 3 스위칭소자의 제 1 전극을 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속한 것을 특징으로 하는 표시장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자와, 트랜지스터와, 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에는 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에는 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 상기 제 3 스위칭소자를 통해 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하고,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치한 것을 특징으로 하는 표시장치.

청구항 29

제 7 항, 제 14 항, 제 21 항 또는 제 28 항 중 어느 한 항에 있어서,

상기 트랜지스터의 도전형이 N채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 > V_2$ 및 $V_1 > V_3$ 인 것을 특징으로 하는 표시장치.

청구항 30

제 7 항, 제 14 항, 제 21 항 또는 제 28 항 중 어느 한 항에 있어서,

상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_2 < V_3$ 인 것을 특징으로 하는 표시장치.

청구항 31

제 7 항, 제 14 항, 제 21 항 또는 제 28 항 중 어느 한 항에 있어서,

상기 트랜지스터의 도전형이 P채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 < V_2$ 및 $V_1 < V_3$ 인 것을 특징으로 하는 표시장치.

청구항 32

제 7 항, 제 14 항, 제 21 항 또는 제 28 항 중 어느 한 항에 있어서,

상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_2 > V_3$ 인 것을 특징으로 하는 표시장치.

청구항 33

삭제

청구항 34

삭제

청구항 35

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는, 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2 및 제 3 트랜지스터와, 용량소자를 구비하고,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선에 또는 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1 또는 제 2 게이트 신호선에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 상기 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하는 것을 특징으로 하는 표시장치.

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는, 소스 신호선과, 게이트 신호선과, 전류공급선과, 제 1, 제 2 및 제 3 트랜지스터와, 용량소자를 구비하고,

상기 제 1 트랜지스터의 게이트전극을 상기 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선에 또는 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 상기 게이트 신호선에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 상기 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하는 것을 특징으로 하는 표시장치.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 구비하며,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1, 제 2 및 제 3 게이트 신호선과, 상기 화소 내의 상기 제 2 및 제 3 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 상기 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 4 트랜지스터의 게이트전극을 상기 제 3 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 2 트랜지스터의 상기 제 1 전극 및 상기 제 1 전원선과 상기 제 2 전원선 중 하나에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 구비하며,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1 및 제 2 게이트 신호선과, 상기 화소 내의 상기 제 2 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 상기 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 2 트랜지스터의 상기 제 1 전극 및 상기 제 1 전원선과 상기 제 2 전원선 중 하나에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 구비하며,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1, 제 2 및 제 3 게이트 신호선과, 상기 화소 내의 상기 제 2 및 제 3 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 4 트랜지스터의 게이트전극을 상기 제 3 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 발광소자의 상기 제 1 전극에 전기적으로 접속하며, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 구비하고,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1 및 제 2 게이트 신호선과, 상기 화소 내의 상기 제 2 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지

스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 발광소자의 상기 제 1 전극에 전기적으로 접속하며, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 갖는 화소를 구비하고,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1, 제 2 및 제 3 게이트 신호선과, 상기 화소 내의 상기 제 2 및 제 3 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 상기 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고, 상기 용량소자가 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극간의 전압을 유지하고,

상기 제 4 트랜지스터를 상기 제 2 트랜지스터의 상기 제 2 전극과 상기 전류공급선 사이, 또는 상기 제 2 트랜지스터의 상기 제 1 전극과 상기 발광소자의 상기 제 1 전극 사이에 설치하고, 상기 제 4 트랜지스터의 게이트 전극을 상기 제 3 게이트 신호선에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

발광소자를 갖는 화소를 포함하는 표시장치로서,

상기 화소는, 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자를 구비하고,

상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 1 전원선과, 다른 화소 내의 제 1 및 제 2 게이트 신호선과, 상기 화소 내의 상기 제 2 게이트 신호선 중 하나에 접속하고,

상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 상기 전류공급선에 대해서 전위차를 갖는 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고, 상기 용량소자가 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극간의 전압을 유지하고,

상기 제 4 트랜지스터를 상기 제 2 트랜지스터의 제 2 전극과 상기 전류공급선 사이, 또는 상기 제 2 트랜지스터의 상기 제 1 전극과 상기 발광소자의 상기 제 1 전극 사이에 설치하고, 상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하는 것을 특징으로 하는 표시장치.

청구항 88

제 42 항, 제 57 항, 제 72 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 제 1 및 제 3 트랜지스터는, 동일한 도전형인 것을 특징으로 하는 표시장치.

청구항 89

제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 도전형이 N채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 > V_2$ 및 $V_1 > V_3$ 인 것을 특징으로 하는 표시장치.

청구항 90

제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 도전형이 N채널형일 때, 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_2 < V_3$ 인 것을 특징으로 하는 표시장치.

청구항 91

제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 도전형이 P채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 < V_2$ 및 $V_1 < V_3$ 인 것을 특징으로 하는 표시장치.

청구항 92

제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 도전형이 P채널형일 때, 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_2 > V_3$ 인 것을 특징으로 하는 표시장치.

청구항 93

제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 또는 제 87 항 중 어느 한 항에 있어서,

상기 화소에 포함된 트랜지스터는, 동일한 도전형인 것을 특징으로 하는 표시장치.

청구항 94

삭제

청구항 95

발광소자와,

제1 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극에 전기적으로 접속된 게이트 신호선과,

상기 제1 트랜지스터의 소스 및 드레인 전극 중 하나에 전기적으로 접속된 소스 신호선과,

소스전극이 상기 발광소자의 일 전극에 전기적으로 접속되고, 게이트 전극이 상기 제1 트랜지스터의 다른 전극에 전기적으로 접속된 제2 트랜지스터와,

상기 제2 트랜지스터의 상기 소스전극과 상기 게이트전극 사이에 전기적으로 접속된 용량소자와,

상기 제2 트랜지스터의 드레인전극에 전기적으로 접속된 전원선을 구비한 표시장치를 구동하는 방법으로서,

상기 용량소자가 상기 제2 트랜지스터의 게이트-소스 전압을 유지하여 그 유지된 전압에 근거해 상기 발광소자에 전류를 공급하게 하는 것을 특징으로 하는 표시장치 구동방법.

청구항 96

삭제

청구항 97

발광소자를 갖는 화소를 포함하는 표시장치의 구동방법으로서,

상기 화소는, 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1 및 제 2 스위칭소자, 트랜지스터 및 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하며,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치한 표시장치를 구동하는 방법으로서,

상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하는 것과,

상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 것과,

상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 상기 게이트전극을 부유상태가 되게 하는 것과,

상기 트랜지스터의 상기 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 것을 포함하고,

상기 공급전류에 있어서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 하는 표시장치 구동방법.

청구항 98

삭제

청구항 99

발광소자를 갖는 화소를 포함하는 표시장치의 구동방법으로서,

상기 화소는 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터 및 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하고,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 3 스위칭소자의 제 1 전극을 상기 트랜지스터의 상기 게이트전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 트랜지스터의 제 1 전극, 상기 제 2 스위칭소자의 제 1 전극 및 상기 발광소자의 상기 제 1 전극 중 하나에 전기적으로 접속한 표시장치를 구동하는 방법으로서,

상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하는 것과,

상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 것과,

상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 상기 게이트전극을 부유상태가 되게 하는 것과,

상기 트랜지스터의 상기 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 것과,

상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 게이트-소스 전압이 임계전압의 절대값 이하가 되게 하는 것과,

상기 발광소자로의 전류 공급을 정지시키는 것을 포함하고,

상기 공급전류에 있어서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 하는 표시장치 구동방법.

청구항 100

삭제

청구항 101

발광소자를 갖는 화소를 포함하는 표시장치의 구동방법으로서,

상기 화소는, 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터 및 용량소자를 구비하며,

상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하고,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,

상기 제 3 스위칭소자의 제 1 전극을 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속한 표시장치를 구동하는 방법으로서,

상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하는 것과,

상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 것과,

상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 상기 게이트전극을 부유상태가 되게 하는 것과,

상기 트랜지스터의 상기 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 것과,

상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 게이트-소스 전압이 임계전압의 절대값 이하가 되게 하는 것과,

상기 발광소자로의 전류 공급을 정지시키는 것을 포함하고,

상기 공급전류에 있어서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 하는 표시장치 구동방법.

청구항 102

삭제

청구항 103

발광소자를 갖는 화소를 포함하는 표시장치의 구동방법으로서,

상기 화소는, 도전상태와 비도전상태의 2개의 상태를 각각 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터 및 용량소자를 구비하고,

상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 상기 제 1 스위칭소자의 제 2 전극을 전기적으로 접속하고,

상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 상기 제 3 스위칭소자를 통해 전류공급선에 전기적으로 접속하고,

상기 제 2 스위칭소자의 제 2 전극을 제 1 전원선에 전기적으로 접속하고,

상기 발광소자의 제 2 전극을 제 2 전원선에 전기적으로 접속하고,

상기 용량소자를 상기 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치한 표시장치를 구동하는 방법으로서,

상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하는 것과,

상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 것과,

상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 게이트전극을 부유상태가 되게 하는 것과,

상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 상기 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 것과,

상기 제 3 스위칭소자를 비도통시키는 것과,

상기 발광소자로의 전류 공급을 정지시키는 것을 포함하고,

상기 제 3 스위칭소자의 도통에 있어서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 하는 표시장치 구동방법.

청구항 104

제 1 항, 제 4 항, 제 7 항, 제 14 항, 제 21 항, 제 28 항, 제 35 항, 제 42 항, 제 50 항, 제 57 항, 제 65 항, 제 72 항, 제 80 항, 제 87 항 중 어느 한 항에 있어서,

상기 표시장치는, 발광표시장치, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 화상재생장치, 고글형 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 전자기기 내에 일체화된 것을 특징으로 하는 표시장치.

청구항 105

제 95 항, 제 97 항, 제 99 항, 제 101 항 또는 제 103 항 중 어느 한 항에 있어서,

상기 표시장치는, 발광표시장치, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 화상재생장치, 고글형 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 전자기기 내에 일체화된 것을 특징으로 하는 표시장치 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0028] 본 발명은, 트랜지스터를 갖는 반도체장치의 구성에 관한 것이다. 또한, 본 발명은, 유리, 플라스틱 등의 절연체 상에 제작된 박막트랜지스터(이후, TFT라 표기함)를 갖는 반도체장치를 포함하는 액티브 매트릭스형 표시장치의 구성에 관한 것이다. 또한, 본 발명은, 이와 같은 표시장치를 사용한 전자기기에 관한 것이다.
- [0029] 최근, 전계 발광(Electro Luminescence:EL)소자를 포함한 발광소자를 사용하는 표시장치의 개발이 활발화해지고 있다. 발광소자는, 스스로가 발광하기 위해 시감도가 높아, 액정표시장치(LCD) 등에서 필요한 백라이트를 필요로 하지 않기 때문에 박형화에 적합함과 동시에, 시야각에 거의 제한이 없다.
- [0030] 여기서, EL소자란, 전계를 가함으로써 발생하는 루미네센스를 얻을 수 있는 발광층을 갖는 소자를 나타낸다. 이 발광층에서는, 단일항 여기상태에서 기저상태로 되돌아갈 때의 발광(형광)과, 3중항 여기상태에서 기저상태로 되돌아갈 때의 발광(인광)이 있다. 본 발명에서, 발광장치는, 상술한 것 중 어느 발광 형태이어도 된다.
- [0031] EL소자는, 한 쌍의 전극(양극과 음극) 사이에 발광층이 사이에 끼워지는 형태로 구성되고, 통상, 적층구조를 취하고 있다. 대표적으로는, 이스트만 · 코닥 · 컴퍼니의 Tang 들이 제안한 양극/정공수송층/발광층/전자수송층/음극이라는 적층구조를 들 수 있다. 이 구조는 매우 발광효율이 높고, 현재 연구가 진행되고 있는 EL소자의 다수는 이 구조가 채용되고 있다.
- [0032] 또한, 양극과 음극과의 사이에, 정공주입층/정공수송층/발광층/전자수송층 또는 정공주입층/정공수송층/발광층/전자수송층/전자주입층의 순서대로 적층하는 구조가 있다. 본 발명의 발광장치에 사용하는 EL소자의 구조로서는, 전술한 구조 중 어느 것을 채용하여도 된다. 또한, 발광층 내에 형광성 색소를 도핑해도 된다.
- [0033] 본 명세서에서는, EL소자에 있어서, 양극과 음극 사이에 설치되는 모든 층을 총칭하여 EL층이라고 부른다. 따라서, 전술한 정공주입층, 정공수송층, 발광층, 전자수송층 및 전자주입층은, 모두 EL소자에 포함된다. 양극, EL층 및 음극으로 구성되는 발광소자를 EL소자라 부른다.
- [0034] 도 2a 및 도 2b는, 일반적인 발광장치에서의 화소의 구성을 나타낸다. 또한, 대표적인 발광장치로서, EL표시장치를 예로 한다. 도 2a 및 도 2b에 나타난 화소는, 소스신호선(201), 게이트 신호선(202), 스위칭용 TFT(203), 구동용 TFT(204), 용량수단(205), 전류공급선(206), EL소자(207), 전원선(208)을 가지고 있다. 도 2a에서는, 구동용 TFT(204)는 P채널형, 도 2b에서는, 구동용 TFT(204)는 N채널형을 사용하고 있다. 스위칭용 TFT(203)는, 영상신호를 화소에 입력할 때의 스위치로서 기능하는 TFT이므로, 여기서는 그 극성은 정의하지 않는다.
- [0035] 각 부의 접속에 대하여 설명한다. 여기서, TFT는 게이트, 소스 및 드레인의 3단자를 갖지만, 소스 및 드레인에 관해서는, TFT의 구조상 명확히 구별을 할 수 없다. 따라서, 소자 사이의 접속에 대하여 설명할 때는, 소스 및 드레인 중 한쪽을 제 1 전극, 다른 쪽을 제 2 전극으로 표기한다. TFT의 ON, OFF에 대하여, 각 단자의 전위 등(소정 TFT의 게이트-소스간 전압 등)에 대하여 설명이 필요한 때는, 소스 및 드레인으로 나타낸다.
- [0036] 또한, 본 명세서에서, TFT가 ON 상태에 있다는 것은, TFT의 게이트-소스간 전압이 그 임계치를 넘고, 소스 및 드레인 사이에 전류가 흐르는 상태를 말한다. TFT가 OFF 상태에 있다는 것은, TFT의 게이트-소스간 전압이 그 임계치를 하회하고, 소스 및 드레인 사이에 전류가 흐르고 있지 않은 상태를 말한다.
- [0037] 스위칭용 TFT(203)의 게이트전극은, 게이트 신호선(202)에 접속되고, 제 1 전극은 소스신호선(201)에 접속되고, 제 2 전극은 구동용 TFT(204)의 게이트전극에 접속되어 있다. 구동용 TFT(204)의 제 1 전극은, 전류공급선(206)에 접속되고, 제 2 전극은 EL소자(207)의 양극(Anode)에 접속되어 있다. EL소자(207)의 음극(Cathode)은, 전원선(208)에 접속되어 있다. 전류공급선(206)과 전원선(208)은, 서로 전위차를 가지고 있다. 또한, 구동용 TFT(204)의 게이트-소스간 전압을 유지하기 위해, 구동용 TFT(204)의 게이트전극과 특정한 일정전위, 예컨대 전류공급선(206)과의 사이에, 용량소자(205)를 설치해도 된다.
- [0038] 게이트 신호선(202)에 펄스가 입력되어 스위칭용 TFT(203)가 ON하면, 소스신호선(201)에 출력되었던 영상신호는, 구동용 TFT(204)의 게이트전극으로 입력된다. 입력된 영상신호의 전위에 따라, 구동용 TFT(204)의 게이트-소스간 전압이 결정되며, 구동용 TFT(204)의 소스-드레인 사이를 흐르는 전류(이하, 드레인전류라 표기)가 결정된다. 이 전류는 EL소자(207)에 공급되어 발광한다.

발명이 이루고자 하는 기술적 과제

- [0039] TFT를 기판 상에 형성하고, 화소부와 주변회로를 일체 형성한 표시장치는, 소형, 경량이라는 이점을 살려, 보급이 현저한 모바일 기기에 응용되고 있다. 이 때, TFT의 제작은, 막형성, 식각의 반복에 의한 소자형성과, 반도체에 도전성을 주기 위한 불순물원소의 첨가 등, 많은 공정을 거쳐 이루어지기 때문에, 공정삭감에 의한 저비용화가 과제가 된다.
- [0040] 그래서, 화소부 및 주변회로를 단일극성의 TFT로 구성하면, 불순물원소의 주입공정의 일부를 생략할 수 있다. 단극성 TFT를 사용하여 구성한 화소의 예로서는, 도 8에 나타난 화소가, ASIA DISPLAY 2001, page 315, "Amorphous Silicon Thin-Film Transistors Based Active-Matrix organic Light-Emitting Displays"에 제안되어 있다.
- [0041] 도 8에 나타난 화소는, 소스신호선(801), 게이트 신호선(802), 스위칭용 TFT(803), 구동용 TFT(804), 액티브저항 TFT(805), 용량소자(806), 전류공급선(807), EL소자(808), 전원선(809)을 갖고, TFT 803~805에는 N채널형 TFT를 사용하고 있다.
- [0042] 스위칭용 TFT(803)의 게이트전극은, 게이트 신호선(802)에 접속되고, 제 1 전극은 소스신호선(801)에 접속되며, 제 2 전극은 구동용 TFT(804)의 게이트전극에 접속되어 있다. 구동용 TFT(804)의 제 1 전극은, EL소자(808)의 양극에 접속되고, 제 2 전극은 액티브저항 TFT(805)의 제 1 전극에 접속되어 있다. 액티브저항 TFT(805)의 게이트전극 및 제 2 전극은 서로 접속되고, 전류공급선(807)에 접속되어 있다. EL소자(808)의 음극은, 전원선(809)에 접속되고, 전류공급선(807)과는 서로 전위차를 갖는다. 용량소자(806)는, 구동용 TFT(804)의 게이트전극과 전류공급선(807) 사이에 설치되고, 구동용 TFT(804)의 게이트전극에 인가된 신호의 전위를 유지한다.
- [0043] 도 2a 및 도 8에 도시된 것처럼, 구동용 TFT에 대해 N채널형 TFT를 사용한 경우의 동작에 대하여 생각한다. 도 2c는, 도 2a 및 도 2b에 나타난 화소에서, 전류공급선(206)-구동용 TFT(204)-EL소자(207)-전원선(208)의 구성부분만을 도시한 것이다. 구동용 TFT(204)는 N채널형으로 하고 있으므로, EL소자(207)의 양극에 접속되어 있는 측을 소스, 전류공급선에 접속되어 있는 측을 드레인으로 한다.
- [0044] 이때, 전류공급선(206)의 전위가 V_{DD} , EL소자(207)의 양극의 전위가 V_A , 동일하게 음극 전위가 V_C , 구동용 TFT(204)의 게이트전극의 전위가 V_{Sig} 라고 가정한다. 구동용 TFT(204)의 게이트-소스간 전압 V_{GS} 는, $V_{GS}=(V_{Sig}-V_A)$ 이고, EL소자(207)의 양극-음극간 전압 V_{EL} 은, $V_{EL}=(V_A-V_C)$ 이다.
- [0045] 도 2d는, 구동용 TFT(204) 및 EL소자(207)의 전압-전류특성을 나타낸 것이다. 구동용 TFT(204)의 전압-전류곡선과 EL소자(207)의 전압-전류곡선의 교점이 동작점이며, EL소자(207)를 통해 흐르는 전류값과 EL소자의 양극의 전위 V_A 가 결정된다. EL소자(207)의 전압-전류곡선을 211, TFT(204)의 전압-전류곡선을 213으로 나타낼 경우, 동작점은 215가 되고, 이에 따라서 전류값 및 $V_A=V_{A1}$ 이 결정된다. 또한, 이때의 구동용 TFT(204)의 게이트-소스간 전압 V_{GS} 는, $V_{GS}=(V_{Sig}-V_{A1})$ 으로 표현된다.
- [0046] 여기서, EL소자(207)가 열화한 경우에 대하여 생각한다. EL소자(207)가 열화하면, 점등개시전압이 상승하여, 곡선은 오른쪽으로 시프트하여 212로 나타나게 된다. 여기서, 가령 구동용 TFT(204)가 포화영역에서 동작하고 있고, 또한 EL소자(207)의 열화에 의해 게이트-소스간 전압이 변화하지 않는다고 하면, 동작점은 216으로 옮긴다. 요컨대, $V_A=V_{A2}$ 가 된다. 이 경우, 구동용 TFT(204)의 소스-드레인간 전압이 변화해도, 전류값에는 큰 변화는 없기 때문에, 그 만큼 휘도도 변하지 않는다. 그러나, 현재 구동용 TFT(204)에는 N채널형 TFT를 사용하고 있고, EL소자(207)의 양극에 접속되어 있는 측이 소스이다. 그래서, 구동용 TFT(204)의 게이트-소스간 전압 V_{GS} 는, $V_{GS}=(V_{Sig}-V_{A2})$ 만큼 작아져 버린다. 따라서, 이때의 구동용 TFT(204)의 전압-전류곡선은 214로 나타나게 된다. 따라서, 동작점은 217이 된다. 구체적으로, EL소자(207)의 열화에 의해, 구동용 TFT(204)의 소스전위가 상승하고, 게이트-소스간 전압이 작아져 버렸으므로, 전류값이 크게 변화하며, 휘도 저하가 생긴다.
- [0047] 따라서, 본 발명에서는, EL소자에 전류를 공급하기 위한 구동용 TFT에 N채널형 TFT를 사용하여 구성하고, 또한 전술한 바와 같은 EL소자의 열화에 의한 문제를 해결 할 수 있는 반도체장치를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

- [0048] 상기 목적의 요점은, EL소자의 열화로 인해 EL소자의 양극의 전위, 즉 구동용 TFT의 소스전위가 상승하고, 그것에 따라 구동용 TFT의 게이트-소스간 전압이 작아지는 점에 있다.
- [0049] EL소자가 열화된 경우에도, 전류값이 변화하지 않도록 하기 위해서는, EL소자가 열화하여 EL소자의 양극의 전위가 상승했다고 해도, 구동용 TFT의 게이트-소스간 전압에 변화가 생기지 않도록 해야 한다.
- [0050] 그래서 본 발명에서는, 부트스트랩(bootstrap) 동작을 응용한 구성을 화소에 적용한다. 구동용 TFT의 게이트와 소스 사이에 용량소자를 설치하고, 게이트전극에 영상신호가 입력되어 있는 동안은, 소스의 전위를 소정 값으로 설정한다. 그리고, 영상신호 입력 후, 게이트전극을 부유상태로 한다. 이때, 구동용 TFT의 게이트-소스간 전압이 임계치를 상회하면, 구동용 TFT가 ON한다. 여기서, 구동용 TFT의 소스전위의 고정을 해제하면, EL소자에 전류가 흘러, 그 결과 양극의 전위, 즉 구동용 TFT의 소스전위가 상승한다. 따라서, 구동용 TFT의 게이트와 소스 사이에 배치된 용량소자에 의한 결합에 의해 부유상태로 되어 있는 구동용 TFT의 게이트전극의 전위도 동일한 양만큼 상승하게 된다. 따라서, EL소자의 열화로 인해 양극의 전위상승의 값이 다르게 되는 경우에도, 그 상승분을 게이트전극의 전위에 그대로 가산하여 구동용 TFT의 게이트-소스간 전압을 일정하게 할 수 있다.
- [0051] 용량소자(저장 커패시터)의 능력을 설명한다. 영상신호를 입력한 구동용 TFT의 게이트전위는 트랜지스터의 누설 전류 등에 의해 변화되어, 구동용 TFT의 게이트-소스간 전압이 변화된다. 그 결과, 구동용 TFT의 드레인전류가 변하여, 휘도는 감소된다. 즉, 용량소자는, 소정 표시기간 동안 일정한 값 또는 거의 일정한 값으로 구동용 TFT의 게이트전위를 설정하도록 전하를 유지하는 능력이 필요하다.
- [0052] 이하, 본 발명의 구성을 설명한다.
- [0053] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0054] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1 및 제 2 스위칭소자, 트랜지스터, 용량소자 및 상기 발광소자를 구비하되,
- [0055] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0056] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0057] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0058] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하며,
- [0059] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치한 것을 특징으로 한다.
- [0060] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0061] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0062] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0063] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0064] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0065] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0066] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치하고,
- [0067] 상기 제 3 스위칭소자의 제 1 전극을 상기 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 트랜지스터의 제 1 전극, 상기 제 2 전원 및 상기 제 3 전원 중 어느 하나에 전기적으로 접속한 것을 특징으로 한다.
- [0068] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0069] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및

상기 발광소자를 구비하되,

- [0070] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0071] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0072] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0073] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0074] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치하고,
- [0075] 상기 제 3 스위칭소자의 제 1 전극을 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 제 2 전원에 전기적으로 접속한 것을 특징으로 한다.
- [0076] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0077] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0078] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0079] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 상기 제 3 스위칭소자를 통해 전기적으로 접속하고,
- [0080] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0081] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0082] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치한 것을 특징으로 한다.
- [0083] 본 발명의 반도체장치에서, 상기 트랜지스터의 도전형이 N채널형일 때, 상기 제 1 전원 V_1 , 상기 제 2 전원 V_2 및 상기 제 3 전원 V_3 은, $V_1 > V_2$ 및 $V_1 > V_3$ 이다.
- [0084] 본 발명의 반도체장치에서, 상기 제 2 전원 V_2 및 상기 제 3 전원 V_3 은, $V_2 < V_3$ 이다.
- [0085] 본 발명의 반도체장치에서, 상기 트랜지스터의 도전형이 P채널형일 때, 상기 제 1 전원 V_1 , 상기 제 2 전원 V_2 및 상기 제 3 전원 V_3 은, $V_1 < V_2$ 및 $V_1 < V_3$ 이다.
- [0086] 본 발명의 반도체장치에서, 상기 제 2 전원 V_2 및 상기 제 3 전원 V_3 은, $V_2 > V_3$ 이다.
- [0087] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0088] 화소가 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 제 1 전원과, 제 1, 제 2 및 제 3 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0089] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선에 또는 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1 또는 제 2 게이트 신호선에 접속하고,
- [0090] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0091] 상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0092] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0093] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하는 것을 특징으로 한

다.

- [0094] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0095] 화소가 소스 신호선과, 게이트 신호선과, 전류공급선과, 제 1, 제 2 및 제 3 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0096] 상기 제 1 트랜지스터의 게이트전극을 상기 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선에 또는 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 게이트 신호선에 접속하고,
- [0097] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0098] 상기 제 3 트랜지스터의 게이트전극을 상기 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0099] 상기 발광소자의 제 2 전극을 상기 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0100] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하는 것을 특징으로 한다.
- [0101] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0102] 화소가 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0103] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1, 제 2 및 제 3 게이트 신호선과, 화소 내의 상기 제 2 및 제 3 게이트 신호선에 접속하고,
- [0104] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0105] 상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0106] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0107] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,
- [0108] 상기 제 4 트랜지스터의 게이트전극을 상기 제 3 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 2 트랜지스터의 상기 제 1 전극 중 어느 하나와, 상기 제 1 전원선과, 상기 제 2 전원선에 전기적으로 접속하는 것을 특징으로 한다.
- [0109] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0110] 화소가 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0111] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1 및 제 2 게이트 신호선과, 화소 내의 상기 제 2 게이트 신호선에 접속하고,
- [0112] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,

- [0113] 상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0114] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0115] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,
- [0116] 상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 2 트랜지스터의 상기 제 1 전극 중 어느 하나와, 상기 제 1 전원선과, 상기 제 2 전원선에 전기적으로 접속하는 것을 특징으로 한다.
- [0117] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0118] 화소가 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0119] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1, 제 2 및 제 3 게이트 신호선과, 화소 내의 상기 제 2 및 제 3 게이트 신호선에 접속하고,
- [0120] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0121] 상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0122] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0123] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,
- [0124] 상기 제 4 트랜지스터의 게이트전극을 상기 제 3 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 발광소자의 상기 제 1 전극에 전기적으로 접속하며, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속하는 것을 특징으로 한다.
- [0125] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0126] 화소가 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0127] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1 및 제 2 게이트 신호선과, 화소 내의 상기 제 2 게이트 신호선에 접속하고,
- [0128] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0129] 상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0130] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0131] 상기 용량소자를 상기 제 2 트랜지스터의 상기 게이트전극과 상기 제 1 전극 사이에 설치하고,
- [0132] 상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 4 트랜지스터의 제 1 전극을 상기 발광소자의 상기 제 1 전극에 전기적으로 접속하며, 상기 제 4 트랜지스터의 제 2 전극을 상기 제 1 전원선에 전기적으로 접속하는 것을 특징으로 한다.

- [0133] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0134] 화소가 소스 신호선과, 제 1, 제 2 및 제 3 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0135] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1, 제 2 및 제 3 게이트 신호선과, 화소 내의 상기 제 2 및 제 3 게이트 신호선에 접속하고,
- [0136] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0137] 상기 제 3 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0138] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0139] 상기 용량소자를 상기 제 2 트랜지스터의 게이트전극과 상기 제 1 전극 사이에 설치하고, 상기 용량소자가 상기 제 2 트랜지스터의 게이트전극과 상기 제 1 전극간의 전압을 유지하고,
- [0140] 상기 제 4 트랜지스터를 상기 제 2 트랜지스터의 제 2 전극과 상기 전류공급선 사이, 또는 상기 제 2 트랜지스터의 상기 제 1 전극과 상기 발광소자의 상기 제 1 전극 사이에 설치하고, 상기 제 4 트랜지스터의 게이트전극을 상기 제 3 게이트 신호선에 전기적으로 접속하는 것을 특징으로 한다.
- [0141] 본 발명의 반도체장치는, 발광소자를 갖고,
- [0142] 화소가 소스 신호선과, 제 1 및 제 2 게이트 신호선과, 전류공급선과, 제 1, 제 2, 제 3 및 제 4 트랜지스터와, 용량소자와, 그 발광소자를 구비하되,
- [0143] 상기 제 1 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 1 전극을 상기 제 2 트랜지스터의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 1 트랜지스터의 제 2 전극을 서로 상기 전류공급선과 전위차를 갖는 제 1 전원선 중 어느 하나와, 상기 화소를 구비하지 않은 화소들 중의 어느 하나에 있는 제 1 및 제 2 게이트 신호선과, 화소 내의 상기 제 2 게이트 신호선에 접속하고,
- [0144] 상기 제 2 트랜지스터의 게이트전극을 상기 제 3 트랜지스터의 제 1 전극에 전기적으로 접속하고, 제 2 트랜지스터의 제 2 전극을 상기 전류공급선에 전기적으로 접속하고,
- [0145] 상기 제 3 트랜지스터의 게이트전극을 상기 제 1 게이트 신호선에 전기적으로 접속하고, 상기 제 3 트랜지스터의 제 2 전극을 상기 소스신호선에 전기적으로 접속하고,
- [0146] 상기 발광소자의 제 2 전극을 전류공급선과 전위차를 갖는 제 2 전원선에 전기적으로 서로 접속하며,
- [0147] 상기 용량소자를 상기 제 2 트랜지스터의 게이트전극과 상기 제 1 전극 사이에 설치하고, 상기 용량소자가 상기 제 2 트랜지스터의 게이트전극과 상기 제 1 전극간의 전압을 유지하고,
- [0148] 상기 제 4 트랜지스터를 상기 제 2 트랜지스터의 제 2 전극과 상기 전류공급선 사이, 또는 상기 제 2 트랜지스터의 상기 제 1 전극과 상기 발광소자의 상기 제 1 전극 사이에 설치하고, 상기 제 4 트랜지스터의 게이트전극을 상기 제 2 게이트 신호선에 전기적으로 접속하는 것을 특징으로 한다.
- [0149] 본 발명의 반도체장치에서, 상기 제 1 및 제 3 트랜지스터는, 동일한 도전형이다.
- [0150] 본 발명의 반도체장치에서, 상기 화소에 포함된 트랜지스터는, 동일한 도전형이다.
- [0151] 본 발명의 반도체장치에서, 상기 제 2 트랜지스터의 도전형이 N채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 > V_2$ 및 $V_1 > V_3$ 이다.
- [0152] 본 발명의 반도체장치에서, 상기 제 2 트랜지스터의 도전형이 N채널형일 때, 제 1 전원선 전위 V_2 및 상기 제 2

전원선 전위 V_3 은, $V_2 > V_3$ 이다.

- [0153] 본 발명의 반도체장치에서, 상기 제 2 트랜지스터의 도전형이 P채널형일 때, 상기 전류공급선 전위 V_1 , 상기 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_1 < V_2$ 및 $V_1 < V_3$ 이다.
- [0154] 본 발명의 반도체장치에서, 상기 제 2 트랜지스터의 도전형이 P채널형일 때, 제 1 전원선 전위 V_2 및 상기 제 2 전원선 전위 V_3 은, $V_2 < V_3$ 이다.
- [0155] 본 발명의 반도체장치의 구동방법은, 발광소자를 갖고,
- [0156] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1 및 제 2 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0157] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0158] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0159] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0160] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하며,
- [0161] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치한 표시장치를 구동하되,
- [0162] 상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하고, 상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 제 1 단계와,
- [0163] 상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 게이트전극을 부유상태가 되게 하는 제 2 단계와,
- [0164] 상기 트랜지스터의 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 제 3 단계를 포함하되,
- [0165] 상기 제 3 단계에서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 한다.
- [0166] 본 발명의 반도체장치의 구동방법은, 발광소자를 갖고,
- [0167] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0168] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0169] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0170] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0171] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0172] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치하고,
- [0173] 상기 제 3 스위칭소자의 제 1 전극을 상기 트랜지스터의 게이트전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 트랜지스터의 제 1 전극, 제 2 전원 및 제 3 전원 중 어느 하나에 전기적으로 접속한 표시장치를 구동하되,
- [0174] 상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하고, 상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 제 1 단계와,
- [0175] 상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 게이트전극을 부유상태가 되게 하는 제 2 단계

와,

- [0176] 상기 트랜지스터의 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 제 3 단계와,
- [0177] 상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 게이트-소스 전압이 임계전압의 절대값 이하가 되게 하고, 상기 발광소자로의 전류 공급을 중단시키는 제 4 단계를 포함하되,
- [0178] 상기 제 3 단계에서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 한다.
- [0179] 본 발명의 반도체장치의 구동방법은, 발광소자를 갖고,
- [0180] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0181] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0182] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 제 1 전원에 전기적으로 접속하고,
- [0183] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0184] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0185] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치하고,
- [0186] 상기 제 3 스위칭소자의 제 1 전극을 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 제 3 스위칭소자의 제 2 전극을 상기 제 2 전원에 전기적으로 접속한 표시장치를 구동하되,
- [0187] 상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하고, 상기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 제 1 단계와,
- [0188] 상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 게이트전극을 부유상태가 되게 하는 제 2 단계와,
- [0189] 상기 트랜지스터의 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 제 3 단계와,
- [0190] 상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 게이트-소스 전압이 임계전압의 절대값 이하가 되게 하고, 상기 발광소자로의 전류 공급을 중단시키는 제 4 단계를 포함하되,
- [0191] 상기 제 3 단계에서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 한다.
- [0192] 본 발명의 반도체장치의 구동방법은, 발광소자를 갖고,
- [0193] 화소가 도전상태와 비도전상태의 2개의 상태를 갖는 제 1, 제 2 및 제 3 스위칭소자, 트랜지스터, 용량소자 및 그 발광소자를 구비하되,
- [0194] 상기 제 1 스위칭소자의 제 1 전극에 영상신호를 입력하고, 상기 트랜지스터의 게이트전극에 전기적으로 상기 제 1 스위칭소자의 제 2 전극을 접속하고,
- [0195] 상기 트랜지스터의 제 1 전극을 상기 제 2 스위칭소자의 제 1 전극과 상기 발광소자의 제 1 전극에 전기적으로 접속하고, 상기 트랜지스터의 제 2 전극을 상기 제 3 스위칭소자를 통해 제 1 전원에 전기적으로 접속하고,
- [0196] 상기 제 2 스위칭소자의 제 2 전극을 제 2 전원에 전기적으로 접속하고,
- [0197] 상기 발광소자의 제 2 전극을 제 3 전원에 전기적으로 접속하고,
- [0198] 상기 용량소자를 상기 트랜지스터의 게이트전극과 제 1 전극 사이에 설치한 표시장치를 구동하되,
- [0199] 상기 제 1 및 제 2 스위칭소자를 도통하여 상기 영상신호를 상기 트랜지스터의 상기 게이트전극에 입력하고, 상

기 트랜지스터의 상기 제 1 전극의 전위를 고정하는 제 1 단계와,

[0200] 상기 제 1 및 제 2 스위칭소자를 비도통하여 상기 트랜지스터의 게이트전극을 부유상태가 되게 하는 제 2 단계와,

[0201] 상기 제 3 스위칭소자를 도통하여 상기 트랜지스터의 상기 게이트전극에 인가된 전위에 대응한 전류를 상기 발광소자에 공급하여 발광시키는 제 3 단계와,

[0202] 상기 제 3 스위칭소자를 비도통시키고, 상기 발광소자로의 전류 공급을 중단시키는 제 4 단계를 포함하되,

[0203] 상기 제 3 단계에서, 상기 용량소자가 상기 트랜지스터의 게이트-소스 전압을 유지하여 상기 트랜지스터의 상기 제 1 전극의 전위 변화와 상기 트랜지스터의 상기 게이트전극의 전위 변화를 같게 하는 것을 특징으로 한다.

[0204] [발명의 실시예]

[0205] (실시형태 1)

[0206] 도 1a에, 본 발명의 일 실시형태를 나타낸다. 본 발명의 화소는, 소스신호선(101), 게이트 신호선(102), 제 1 내지 제 3 TFT(103~105), 용량소자(106), 전류공급선(107), EL소자(108), 전원선(109, 110)을 갖는다. TFT(103)의 게이트전극은, 게이트 신호선(102)에 접속되고, 그 제 1 전극은 소스신호선(101)에 접속되며, 그 제 2 전극은 TFT(104)의 게이트전극에 접속되어 있다. TFT(104)의 제 1 전극은, 전류공급선(107)에 접속되고, 제 2 전극은, TFT(105)의 제 1 전극 및 EL소자의 제 1 전극에 접속되어 있다. TFT(105)의 게이트전극은, 게이트 신호선(102)에 접속되고, 제 2 전극은, 전원선(110)에 접속되어 있다. EL소자(108)의 제 2 전극은, 전원선(109)에 접속되어 있다. 용량소자(106)는, TFT(104)의 게이트전극과 제 2 전극 사이에 설치되며, TFT의 게이트-소스간 전압을 유지한다.

[0207] 이때, TFT(103~105)는 모두 N채널형 TFT이고, 그 게이트-소스간 전압이 임계치를 초과할 때, ON 한다. 또한, EL소자(108)에서는, 제 1 전극을 양극, 제 2 전극을 음극으로 한다. 양극의 전위를 V_A , 음극의 전위, 즉 전원선(109)의 전위를 V_C 로 한다. 더욱이, 전류공급선(107)의 전위를 V_{DD} 로 하고, 전원선(110)의 전위를 V_{SS} 로 한다. 영상신호의 전위는 V_{Sig} 로 한다.

[0208] 회로의 동작에 대하여, 도 1a, 1b 및 도 3a-3c를 사용하여 설명한다. 여기서, TFT(104)의 게이트(G), 소스(S) 및 드레인(D)을 도 3a와 같이 정의한다.

[0209] 특정 화소에서, 게이트 신호선(102)이 선택되어 TFT(103, 105)가 ON한다. 소스신호선(101)으로부터 영상신호가 도 3a에 나타난 바와 같이, TFT(104)의 게이트전극에 입력되어, 그 전위가 V_{Sig} 가 된다. 한편, TFT(105)가 ON하므로, $V_A = V_{SS}$ 가 된다. 이때, $V_{SS} \leq V_C$ 로 설정하면, 영상신호의 기록시에는 EL소자(108)에 전류가 흐르지 않는다. 그러나, $V_{SS} > V_C$ 로 되어 있고, EL소자(108)를 통해 전류가 흐르더라도 상관없다. 여기서 중요한 것은, V_A 가 고정 전위로 고정되어 있는 것이다. 이 동작에 의해, 용량소자(106)의 양전극 사이의 전압은, $(V_{Sig} - V_{SS})$ 이 된다. 그 후, 게이트 신호선(102)의 선택기간이 종료하고, TFT(103, 105)가 OFF 하면, 용량소자(106)에 축적된 전하의 이동경로가 없어지고, TFT(104)의 게이트-소스간 전압($V_{Sig} - V_{SS}$)이 유지된다(도 3b).

[0210] 여기서, $(V_{Sig} - V_{SS})$ 가 TFT(104)의 임계치를 초과할 경우, TFT(104)가 ON하여 전류공급선(107)으로부터 EL소자를 통해 전류가 흐르기 시작하여 발광이 시작되어(도 3c), TFT(104)의 소스전위가 증가한다. 이때, TFT(104)의 게이트전극은, 부유상태에 있고, 용량소자(106)에 의해 TFT(104)의 게이트-소스간 전압이 유지되므로, 소스전위의 상승으로 게이트전극의 전위도 증가한다. 이때, TFT(104, 105)에서는, 그 게이트전극과 반도체층(소스영역 혹은 드레인영역) 사이에는 용량성분이 존재하지만, 용량소자(106)의 용량값을, 해당 용량성분에 대하여 충분히 지배적으로 해 놓음으로써, TFT(104)의 소스전위의 상승폭과, TFT(104)의 게이트전위의 상승폭을 대략 같게 할 수 있다.

[0211] 이 동작에 근거하여, 도 1b를 사용하여 EL소자의 열화의 유무에 의한 동작에 대하여 생각한다. 도 1b에서, 도면 부호 151은 게이트 신호선(102)의 전위, 152와 153은 TFT(104)의 게이트전극의 전위 V_G , 154와 155는 EL소자(108)의 양극 전위 V_A 즉 TFT(104)의 소스전위, 156은 TFT(104)의 게이트-소스간 전압 V_{GS} 를 각각 모식적으로 나

타낸 것이다.

- [0212] 이때, 도 1b에 i로 나타낸 구간에서, 게이트 신호선(102)이 선택되고, H 레벨이 된다. 따라서 이 구간에서는, 영상신호가 기록되어 TFT(104)의 게이트전위 V_G 가 상승한다. 또한, TFT(105)가 ON이므로, EL소자(108)의 양극의 전위 V_A , 요컨대 TFT(104)의 소스전위는, V_{SS} 와 같아진다. 따라서, TFT(104)의 게이트-소스간 전압 V_{GS} 가 커진다. 또한 이 구간에서는, $V_A = V_{SS} < V_C$ 로 되어 있는 경우, 영상신호 V_{Sig} 의 값에 관계없이, EL소자(108)는 발광하지 않는다.
- [0213] ii로 나타낸 타이밍에서, 게이트 신호선(102)의 선택이 종료하여 L 레벨이 되고, TFT(103, 105)가 OFF한다. 이때의 $V_{GS} = (V_{Sig} - V_A)$ 가, 용량소자(106)에 유지된다.
- [0214] 계속해서, iii로 나타낸 구간으로 들어가서, 발광이 시작된다. 이때, TFT(104)의 게이트-소스간 전압 V_{GS} 가 그 임계치를 초과하면, TFT(104)가 ON하여 드레인전류가 흐르고, EL소자(108)가 발광한다. 그와 동시에, TFT(104)의 소스전위도 상승한다. 여기서, 상술한 것처럼, TFT(104)의 게이트전극은 부유상태에 있고, TFT(104)의 소스전위의 상승과 동일하게 상승한다.
- [0215] 여기서, EL소자(108)가 열화한 경우를 생각한다. EL소자가 열화하면, 상술한 것처럼 특정 값의 전류를 EL소자(108)를 통해 흐르게 하고자 할 때, 양극-음극 사이의 전압이 커지므로, 155로 나타낸 것처럼 V_A 가 상승한다. 그러나, 본 발명의 경우, V_A 의 상승분 만큼, V_G 도 상승하기 때문에, V_{GS} 에 변화가 없는 것을 알 수 있다.
- [0216] 한편, 도 7a 내지 도 7h에 나타낸 바와 같이, 도 2b에 나타낸 종래 구성의 경우, 일단 영상신호가 입력되어 그 전위가 V_{Sig} 가 되면, 그 후 TFT(204)의 게이트전위 V_G 는 변화하지 않는다. 따라서, EL소자(207)가 열화하여 V_A 가 상승하면, TFT(204)의 게이트-소스간 전압은 열화전보다도 작아진다(도 7g, 도 7h). 이와 같은 경우, TFT(204)를 포화영역에서 동작시켰다고 해도, 동작점에서의 전류값은 변화해 버리게 된다. 따라서, EL소자(207)가 열화하고, 전압-전류특성이 변화되면, EL소자(207)를 통해 흐르는 전류가 작아져 휘도가 저하한다.
- [0217] 이상과 같이, 본 발명에서는, EL소자의 열화에 대해서도 전류값에 변화를 주지 않도록 하여, EL소자의 열화의 영향을 제거할 수 있다.
- [0218] 또한, 전원선의 전위 V_{SS} , V_C 는 모두 임의로 설정할 수 있다. 그러므로, $V_{SS} < V_C$ 로 설정함으로써, EL소자에 역바이어스를 인가하는 것도 용이하다.
- [0219] 또한, TFT(103, 105)는, 단순한 스위칭소자로서 기능하면 되고, 그 극성은 정의하지 않는다. 구체적으로, 화소를 구성하는 TFT를 모두 단극성으로 하여도 정상동작이 가능하게 된다. 도 1a에서는, TFT(103, 105)를 동극성으로 하고, 게이트 신호선(102)만으로 제어한다. 그러나, 서로 다른 제 1 및 제 2 게이트 신호선을 사용하여, 각각의 TFT를 제어하도록 해도 된다. 이 경우는 TFT(103, 105)가 서로 극성이 다르게 되어 있어도 상관없다. 단, 화소의 개구수를 생각하면, 배선수는 가능한 한 적은 수로 하는 것이 바람직하다.
- [0220] (실시형태 2)
- [0221] 도 1a에 나타낸 구성에 의하면, 화소부에 라우팅된 선은, 소스신호선, 게이트 신호선, 전류공급선(V_{DD}), 전원선 V_C 및 전원선 V_{SS} 의 5개를 필요로 하였다. 본 실시형태에서는, 배선을 공용함으로써 1화소당 배선 수를 삭감하여, 고개구수를 얻을 수 있는 구성에 대하여 설명한다.
- [0222] 도 9에, 본 실시형태의 구성을 나타낸다. 상기 실시형태 1과 다른 점은, TFT(906)의 제 2 전극이 전원선(V_{SS})에 접속되어 있지만, 본 실시형태에서는, 다음 행의 화소내의 게이트 신호선에 접속되어 있는 점뿐이다. 점선 프레임(900)으로 도시된 화소가 i번째 행이라고 하면, TFT(906)의 제 2 전극은, i+1번째 행의 게이트 신호선에 접속되어 있다.
- [0223] 게이트 신호선을 선택하는 펄스 조건으로서는, H 레벨시는, TFT(904)의 게이트-소스간 전압이 충분히 임계치를 초과하면 된다. 즉, 영상신호 V_{Sig} 의 최대치에 비해, 임계치 보다 충분히 큰 높은 전위이면 된다. 이에 대하여, L 레벨시는, TFT(904)가 확실히 OFF 하는 전위면 된다. 따라서, 게이트 신호선에서, L 레벨의 전위를 V_{SS} 와 같게 설정한다.
- [0224] i번째 게이트 신호선이 선택되어 H 레벨이 되고, TFT(904, 906)가 ON 할 때, i+1번째 게이트 신호선은 아직 선

택되어 있지 않다. 즉, L 레벨로, 그 전위는 V_{ss} 이다. 따라서, TFT(906)를 통해 EL소자의 양극의 전위 V_A 는, 본 실시형태와 동일하게 V_{ss} 로 같아진다. 따라서, 본 실시형태에 따라 배선을 공용한 경우에도, 상기 실시형태 1과 동일한 효과를 얻을 수 있다.

[0225] 또한, i번째 게이트 신호선이 선택되어 H 레벨이 되고, TFT(906)가 ON하고 있는 동안에, 고정 전위 V_{ss} 를 인가하는 위치이면, TFT(906)의 제 2 전극의 접속처는, i+1번째 게이트 신호선으로 한정되지 않는다. 예컨대, i-1번째 게이트 신호선이어도 되고, 그 이외여도 된다. 인접 행의 신호선을 공용하는 경우에는, 해당 신호선의 펄스가 서로 겹치지 않도록 하는 것이 바람직하다.

[0226] 또한, 상기 실시형태 1에 기재된 것처럼, TFT(904, 906)는 단순한 스위칭소자로서 기능하면 된다. 그래서, 그 극성은 정의하지 않고, 도 9에 도시된 것처럼, 단일 게이트 신호선(902)으로 제어되는 것으로 한정하지 않는다.

[0227] (실시형태 3)

[0228] 구동용 TFT의 게이트-소스간 전압을 제어하여, EL소자에 흐르는 전류값을 아날로그량으로 제어하여 표시하는 방식을 아날로그 계조방식이라 부른다. 이에 대하여, EL소자를 휘도 100%, 0%의 2개의 상태만으로 구동하는 디지털 계조방식이 제안되어 있다. 이 방식으로는, 화이트, 블랙의 2계조밖에 표현할 수 없지만, TFT 특성편차의 영향을 거의 받기 어렵다는 장점이 있다. 디지털 계조방식에 의해서 다계조화를 도모하기 위해서는, 시간계조방식과 조합한 구동방법을 사용한다. 시간계조방식이란, 소자가 장시간 또는 단시간동안 발광하는 시간의 길이에 의해 계조를 표현하는 방법이다.

[0229] 디지털 계조방식과 시간계조방식을 조합한 경우, 도 10a에 나타난 것처럼, 1프레임 기간을 복수의 서브프레임 기간으로 분할한다. 각 서브프레임 기간은, 도 10b에 나타난 것처럼, 어드레스(기록) 기간과, 서스테인(sustain)(발광) 기간과, 소거기간을 갖는다. 표시 비트수에 따른 서브프레임 기간을 설치하고, 각 서브프레임 기간에서의 서스테인(발광) 기간의 길이를, $2^{(n-1)}:2^{(n-2)}:\dots:2:1$ 로 하고, 각 서스테인(발광) 기간에서 EL소자의 발광 또는 비발광을 선택하며, EL소자가 발광하고 있는 총시간의 길이의 차이를 이용하여 계조를 표현한다. 발광하고 있는 기간이 길어지면 휘도가 높은 반면, 짧아지면 휘도가 낮아진다. 또한, 도 10a 및 도 10b에서는, 4비트 계조의 예를 나타내고 있고, 1프레임 기간은 4개의 서브프레임 기간으로 분할되며, 서스테인(발광) 기간의 조합에 의해, $2^4=16$ 계조를 표현할 수 있다. 또한, 서스테인 기간의 길이의 비는, 특히 2의 제곱의 비로 하지 않아도, 계조 표현이 가능하다. 또한, 특정 서브프레임 기간을 더욱 분할하여도 된다.

[0230] 시간계조방식을 사용하여 다계조화를 도모하는 경우, 하위 비트의 서스테인(발광) 기간의 길이가 보다 짧아진다. 이 때문에, 서스테인(발광) 기간 종료 직후, 다음 어드레스 기간을 시작하면, 다른 서브프레임 기간의 어드레스(기록) 기간이 중복하는 기간이 생긴다. 그 경우, 특정 화소에 입력된 영상신호가, 동시에 다른 화소에도 입력되므로, 정상적인 표시를 할 수 없게 된다. 소거기간은, 이와 같은 문제를 해결하기 위해 설치된다. 도 10b에 나타난 것처럼, Ts3 및 Ts4 후에, 서로 다른 2개의 어드레스(기록) 기간이 중복하지 않도록 설치된다. 따라서, 서스테인(발광) 기간이 충분히 길고, 다른 2개의 어드레스(기록) 기간의 중복이 생길 우려가 없는 SF1 및 SF2에서, 소거기간은 설치되지 않는다.

[0231] 이와 같이, 디지털 계조방식과 시간계조방식을 조합한 방법에 의해 구동하기 위해서는, EL소자의 발광을 강제적으로 정지하여 소거기간을 설치하는 동작을 추가하지 않으면 안 되는 경우가 있다.

[0232] 도 4a는, 실시형태 1에 나타난 구성의 화소에, 제 2 게이트 신호선(403) 및 소거용 TFT(407)를 추가하고, 디지털 계조방식과 시간계조방식을 조합시킨 구동방법에 대응한 것의 일례이다. 소거용 TFT(407)의 게이트전극은, 제 2 게이트 신호선(403)에 접속되고, 제 1 전극은, TFT(405)의 게이트전극 및 용량소자(408)의 제 1 전극에 접속되며, 제 2 전극은, TFT(405)의 제 2 전극 및 용량소자(408)의 제 2 전극에 접속된다.

[0233] 제 1 게이트 신호선(402)이 선택되어, 영상신호가 입력되는 동작은, 상기 실시형태 1에서 나타난 것과 동일하므로 여기서는 생략한다. 또한, 영상신호를 입력하는 동안에는, 제 2 게이트 신호선은 L 레벨이고, 소거용 TFT(407)는 OFF되어 있다. 이때, V_{Sig} 는, TFT(405)가 확실히 ON하는 만큼의 전위 또는, TFT(405)가 OFF하는 전위 중 어느 하나의 전위를 취한다.

[0234] 여기서, 서스테인(발광) 기간으로부터 소거기간까지의 동작에 대하여, 도 4a-4c 및 도 11a-11c를 사용하여 설명한다. 도 11a는, 도 10a에 나타난 것과 동일하다. 1프레임 기간은, 도 11b에 나타난 것처럼, 4개의 서브프레임

시간을 갖는다. 서스테인(발광) 기간이 짧은 서브프레임 기간 SF3 및 SF4에서는, 각각 소거기간 Te_3 및 Te_4 를 갖는다. 여기서는, SF3에서의 동작을 예로서 설명한다.

[0235] 영상신호의 입력이 종료한 후, 도 10b에 나타난 것처럼, TFT(405)의 게이트-소스간 전압 V_{GS} 에 따른 전류가 EL소자(410)에 흘러 발광한다. 그 후, 해당 서스테인(발광) 기간이 종료하는 타이밍에 도달하면, 제 2 게이트 신호선(403)에 펄스가 입력되어 H 레벨이 되고, 소거용 TFT(407)가 ON하여, 도 4c에 나타난 것처럼, TFT(405)의 게이트-소스간 전압 V_{GS} 를 0으로 한다. 따라서, TFT(405)가 OFF하고, EL소자(410)로의 전류가 차단되며, 강제적으로 EL소자(410)는 비발광이 된다.

[0236] 이 동작들을 타이밍도로서, 도 11c에 나타내었다. 서스테인(발광) 기간 Ts_3 후, 제 2 게이트 신호선(403)에 펄스가 입력되어 EL소자(410)가 비발광이 되고 나서, 다시 제 1 게이트 신호선(402)에 펄스가 입력되어, 다음의 영상신호가 입력되기 시작하기까지의 기간이 소거기간 Te_3 이 된다.

[0237] 또한, 도 4a에 나타난 구성에서, TFT(406)의 제 2 전극은, 전원선(412)에 접속되어 있지만, 이 전원선(412)을, 실시형태 2에 나타난 것처럼, 인접 행의 게이트 신호선으로 대용할 수 있다. 또한, 본 실시형태에서는, 소거용 TFT(407)를 제어하기 위해, 제 2 게이트 신호선(403)이 있으므로, TFT(406)의 제 2 전극은, 제 2 게이트 신호선(403)에 접속되어도 된다.

[0238] (실시형태 4)

[0239] 도 5a에, 실시형태 3과는 다른 위치에 소거용 TFT를 설치한 예를 나타낸다. 본 실시형태에서는, 소거용 TFT(507)는, TFT(505)의 게이트전극 및 용량소자(508)의 제 1 전극과, 전원선(512) 사이에 설치된다.

[0240] 구동방법은, 영상신호의 입력으로부터 발광에 관해서, 실시형태 3과 동일한, 디지털 계조방식과 시간계조방식을 조합한 방법에 의해 수행하면 되므로, 여기서는 설명을 생략하고, 소거기간의 동작에 대하여 설명한다.

[0241] 서스테인(발광) 기간이 종료하는 타이밍에 도달하면, 제 2 게이트 신호선(503)에 펄스가 입력되어 H 레벨이 되고, 소거용 TFT(507)가 ON하며, 도 5c에 나타난 것처럼, TFT(505)의 게이트전극의 전위가 V_{SS} 가 된다. 요컨대, 소거기간에서는, TFT(505)의 게이트-소스간 전압 V_{GS} 가, 임계치 아래로 설정되면 된다.

[0242] TFT(505)의 소스전위는, 적어도 V_{SS} 와 동일하거나 그 이상의 전위에 있다. 따라서, 전술한 소거용 TFT(507)의 동작에 의해, TFT(505)의 게이트-소스간 전압 V_{GS} 는, $V_{GS} \leq 0$ 이 되고, TFT(505)가 OFF한다. 따라서, EL소자(510)가 비발광이 되고, 다시 제 1 게이트 신호선(502)에 펄스가 입력되어, 다음의 영상신호가 입력되기 시작하기까지의 기간이 소거기간이 된다.

[0243] 또한, 도 5a에 나타난 구성에서, TFT(506)의 제 2 전극은, 전원선(512)에 접속되어 있지만, 이 전원선(512)을, 실시형태 2에 나타난 것처럼, 인접 행의 게이트 신호선으로 대용할 수도 있다. 또한, 본 실시형태에서는, 소거용 TFT(507)를 제어하기 위해, 제 2 게이트 신호선(503)이 있다. 그래서, TFT(506)의 제 2 전극은, 제 2 게이트 신호선(503)에 접속되어도 된다.

[0244] (실시형태 5)

[0245] 도 6a에, 상기 실시형태 3 및 4와는 다른 위치에 소거용 TFT를 설치한 예를 나타낸다. 본 실시형태에서는, 소거용 TFT(607)가, TFT(605)의 제 1 전극과 전류공급선 사이에 설치되어 있다.

[0246] 회로의 동작에 대하여 설명한다. 제 1 게이트 신호선(602)이 선택되어 H 레벨이 되고, TFT(604)가 ON하며, 소스 신호선(601)으로부터 영상신호가 화소로 입력된다. 한편, TFT(606)도 ON하고, EL소자(610)의 양극의 전위 V_A 를 V_{SS} 와 같게 한다. 이때, $V_{SS} \leq V_C$ 로 해 놓으면, 영상신호의 기록시에는 EL소자(610)에 전류가 흐르지 않기 때문에, TFT(607)는 ON 또는 OFF이어도 상관없다.

[0247] 영상신호의 입력이 완료하고, 제 1 게이트 신호선(602)이 선택되지 않으면, TFT(605)의 게이트전극은 부유상태가 되고, 용량소자(608)에서는, 축적된 전하의 이동경로가 차단된다. 이 때문에, 게이트-소스간 전압 V_{GS} 는 용량소자(608)에 유지된다.

[0248] 계속해서, 제 2 게이트 신호선(603)이 선택되어 H 레벨이 되고, TFT(607)가 ON 함으로써 도 6d에 나타난 것처럼 전류가 흐르고, EL소자(610)의 양극의 전위 V_A 가 상승하여 음극의 전위 V_C 와 전위차를 발생하고, 전류가 흘러 발

광한다. 또한, 영상신호를 입력하고 있는 상태에서부터 TFT(607)가 ON하고 있어도 된다. 이 경우는, 제 1 게이트 신호선(602)이 비선택된 순간, TFT(607, 605)를 통해 EL소자(610)에 전류가 공급되며, EL소자(610)의 양극의 전위 V_A 가 상승하여 음극의 전위 V_C 와 전위차를 발생하고, 전류가 흘러 발광한다.

- [0249] 서스테인(발광) 기간이 종료하는 타이밍에 도달하면, 제 2 게이트 신호선(603)이 비선택으로 되어 L 레벨이 되고, TFT(607)가 OFF하며, 전류공급선(609)에서 EL소자(610)로의 전류경로를 차단한다. 이것에 의해 EL소자(610)에는 전류가 흐르지 않게 되어 비발광이 된다. 그 후, 다시 제 1 게이트 신호선(602)에 펄스가 입력되어, 다음의 영상신호가 입력되기 시작하기까지의 기간이 소거기간이 된다.
- [0250] 또한, TFT(607)는, TFT(605)의 제 1 전극과, EL소자(610)의 양극의 사이에 배치되어도 된다. 즉, 전류공급선(609)과 EL소자(610) 사이의 전류경로에 TFT(607)를 배치하고, 소거기간에서 EL소자(610)로의 전류공급을 차단할 수 있으면 된다.
- [0251] 게이트 신호선(602)에 의해 TFT(604, 606)을 제어하지만, 새로운 게이트 신호선을 추가하여도 된다. 이 경우에, 그 게이트 신호선(602)에 의해 TFT(604, 606)을 제어하여 그 새롭게 추가된 게이트 신호선(610)을 소거기간 동안 차단할 수 있다.
- [0252] (실시형태 6)
- [0253] 상기 실시형태 3~5에서는, TFT를 추가하여 소거기간을 설치하는 예에 대하여 설명하였지만, 본 실시형태에서는, 소거용 TFT를 추가하지 않고, 동일한 동작을 하는 예에 대하여 설명한다.
- [0254] 도 21a에 그 구성을 나타낸다. 이 구성은, 대략 상기 실시형태 1에서 나타낸 것과 동일하지만, TFT(2104, 2106)이 각각 별도의 게이트 신호선(2102, 2103)에 의해 제어되는 점이 다르다.
- [0255] 서스테인(발광) 기간에서는, 도 21b에 나타낸 것처럼, 용량소자(2107)에 의해 TFT(2105)의 게이트-소스간 전압이 고정되고, 그것에 따른 전류가 EL소자(2109)에 흘러 발광한다.
- [0256] 이어서, 소거기간으로 옮기면, 제 2 게이트 신호선(2103)에 펄스가 입력되어 TFT(2106)이 ON한다. 이때, TFT(2106)의 제 2 전극이 접속되어 있는 전원선(2111)의 전위를, EL소자(2109)의 음극의 전위, 즉 전원선(2110)의 전위보다도 낮게 해 놓음으로써, EL소자(2109)에는 전류가 흐르지 않게 된다. 따라서, 이때의 전류는, 도 21c에 나타낸 것처럼 흐른다.
- [0257] 또한, 전원선(2111)은, 다른 실시형태에서 기술한 것처럼, 인접 행의 게이트 신호선을 사용해도 된다.
- [0258] (실시형태 7)
- [0259] EL소자에 전류를 공급하는 TFT는, N채널형 TFT를 사용하였다. 그러나, 본 발명은, 구동용 TFT에 대해 P채널형 TFT를 사용한 실시도 가능하다. 도 12a에 구성예를 나타낸다.
- [0260] 회로구성은 도 1a에 나타낸 N채널형 TFT를 사용한 것과 동일하다. 하지만, EL소자(1208)의 구성이 반대로 되어 있고, TFT(1204)의 제 2 전극에 접속된 일측이 음극이 되고, 전원선(1209)에 접속된 타측이 양극으로 되어 있는 점과, 전류공급선(1207)의 전위가 V_{SS} , 전원선(1209)의 전위가 V_A , 전원선(1210)의 전위가 V_{DD} 인 점이 다르다. 여기서, $V_{SS} < V_{DD}$ 또한 $V_A < V_{DD}$ 이다.
- [0261] 회로의 동작에 대하여, 도 12b~도 12d를 사용하여 설명한다. 또한, 여기서는, TFT의 극성은 P채널형이고, 게이트전극에 L 레벨이 입력되어 ON하며, H 레벨이 입력되어 OFF하게 된다.
- [0262] 특정 행에서, 게이트 신호선(1202)이 선택되어 L 레벨이 되고, TFT(1203, 1205)가 ON한다. 소스신호선(1201)으로부터 영상신호가 도 12b에 나타낸 것처럼, TFT(1204)의 게이트전극에 입력되어, 그 전위가 V_{Sig} 가 된다. 한편, TFT(1205)가 ON되어 있으므로, EL소자(1208)의 음극의 전위 V_C 는, $V_C = V_{DD}$ 가 된다. 이때, $V_A \leq V_{DD}$ 로 해 놓으면, 영상신호의 기록시에는 EL소자(1208)에는 전류가 흐르지 않는다. 이 동작에 의해, 용량소자(1206)의 양전극간의 전압, 즉 TFT(1204)의 게이트-소스간 전압은, $(V_{Sig} - V_{DD})$ 이 된다. 그 후, 게이트 신호선(1202)의 선택기간이 종료하여 H 레벨이 되고, TFT(1203, 1205)가 OFF하면, 용량소자(1206)에 축적된 전하의 이동경로가 없어지며, TFT(1204)의 게이트-소스간 전압($V_{Sig} - V_{DD}$)이 유지된다(도 12c).
- [0263] 여기서, $(V_{Sig} - V_{DD})$ 가 TFT(1204)의 임계치보다도 낮게 되어 있을 때, TFT(1204)가 ON하고, 전원선(1209), EL소자

(1208) 및 전류공급선(1207)을 거쳐 전류가 흘러 발광이 시작되며(도 12d), TFT(1204)의 소스전위가 떨어진다. 이때, TFT(1204)의 게이트전극은 부유상태에 있고, 용량소자(1206)는 TFT(1204)의 게이트-소스간 전압이 유지되어 있다. 그러므로, 소스전위의 하강에 따라 게이트전극의 전위도 하강한다.

- [0264] 도 12a에서는, 화소를 구성하는 TFT에는 모두 P채널형 TFT를 사용하고 있다. 하지만, TFT(1203, 1205)에 관해서는, 다른 실시형태에서도 기술한 것처럼, 단순한 스위칭소자로서 기능하면 되므로, 그 극성은 상관없다. 또한, 게이트 신호선(1202)에 의해서만, TFT(1203, 1205)가 구동될 필요는 없다. 그러한 구성은, 각각의 TFT를 별도의 게이트 신호선에 의해 제어하는 구성으로 하여도 상관없다.
- [0265] (실시에)
- [0266] 이하에, 본 발명의 실시예에 대하여 설명한다.
- [0267] (실시에 1)
- [0268] 본 실시예에서는, 영상신호로 아날로그 영상신호를 사용하여 표시를 하는 발광장치의 구성에 대하여 설명한다. 도 16a에 발광장치의 구성예를 나타낸다. 기관(1601)상에, 복수의 화소가 매트릭스 형태로 배치된 화소부(1602)를 갖고, 화소부 주변에는, 소스신호선 구동회로(1603) 및 제 1, 제 2 게이트 신호선 구동회로(1604, 1605)를 가지고 있다. 도 16a에서는, 2개의 게이트 신호선 구동회로를 사용한다. 그러나, 도 1a에 나타낸 것처럼 화소 내에 하나의 게이트 신호선을 사용하는 경우, 양측에서 게이트 신호선을 동시에 제어한다. 도 4a 및 도 5a에 나타낸 화소에서 2개의 게이트 신호선을 사용하는 경우는, 각각의 게이트 신호선 구동회로가, 각각의 게이트 신호선을 제어한다.
- [0269] 소스신호선 구동회로(1603), 제 1, 제 2 게이트 신호선 구동회로(1604, 1605)에 입력되는 신호는, 플렉시블 인쇄기관(Flexible Print Circuit:FPC)(1606)을 통해 외부로부터 공급된다.
- [0270] 도 16b에, 소스신호선 구동회로의 구성예를 나타낸다. 이것은, 영상신호로 아날로그 영상신호를 사용하여 표시를 하기 위한 소스신호선 구동회로로, 시프트 레지스터(1611), 버퍼(1612), 샘플링회로(1613)를 가지고 있다. 특히 도시하지 않았지만, 필요에 따라 레벨 시프터를 추가해도 된다.
- [0271] 소스신호선 구동회로의 동작에 대하여 설명한다. 도 17a에, 보다 상세한 구성을 나타내었으므로, 도면을 참조한다.
- [0272] 시프트 레지스터(1701)는, 플립플롭회로(FF)(1702)를 복수단 사용하여, 클럭신호(S-CLK), 클럭반전신호(S-CLKb), 스타트펄스(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 샘플링펄스가 순차로 출력된다.
- [0273] 시프트 레지스터(1701)로부터 출력된 샘플링펄스는, 버퍼(1703)를 통과하여 증폭된 후, 샘플링회로에 입력된다. 샘플링회로(1704)는, 복수의 샘플링 스위치(SW)(1705)를 사용하고, 샘플링펄스가 입력되는 타이밍에 따라, 특정 열에서 영상신호의 샘플링을 한다. 구체적으로는, 샘플링 스위치에 샘플링펄스가 입력되면, 샘플링 스위치(1705)가 ON하고, 그 때에 영상신호가 갖는 전위가, 샘플링 스위치를 통해 각각의 소스신호선으로 출력된다.
- [0274] 이어서, 게이트 신호선 구동회로의 동작에 대하여 설명한다. 도 16c에 나타낸, 제 1, 제 2 게이트 신호선 구동회로(1604, 1605)에 대한 상세한 구성의 일례를 도 17b에 나타내었다. 제 1 게이트 신호선 구동회로는, 시프트 레지스터회로(1711), 버퍼(1712)를 가지며, 클럭신호(G-CLK1), 클럭반전신호(G-CLKb1), 스타트펄스(G-SP1)에 따라 구동된다. 제 2 게이트 신호선 구동회로(1605)도 동일하게 구성된다.
- [0275] 시프트 레지스터로부터 버퍼까지의 동작에 대해서는, 소스신호선 구동회로의 경우와 동일하다. 버퍼에 의해 증폭된 샘플링펄스는, 각각의 게이트 신호선을 선택한다. 제 1 게이트 신호선 구동회로에 의해 제 1 게이트 신호선 $G_{11}, G_{21} \cdots G_{m1}$ 이 순차로 선택되고, 제 2 게이트 신호선 구동회로에 의해 제 2 게이트 신호선 $G_{12}, G_{22} \cdots G_{m2}$ 가 순차로 선택된다. 도시되지 않은 제 3 게이트 신호선 구동회로에 대해서도 제 1, 제 2 게이트 신호선 구동회로와 동일하고, 제 3 게이트 신호선 $G_{13}, G_{23} \cdots G_{m3}$ 이 순차로 선택된다. 선택된 행에서, 실시예에서 설명한 순서에 따라 화소에 영상신호가 기록되어 발광한다.
- [0276] 또한, 여기서는 시프트 레지스터의 일례로서, 복수의 D-플립플롭으로 형성된 것을 도시하였다. 하지만, 디코더에 의해, 신호선을 선택할 수 있는 구성으로 하여도 된다.

- [0277] (실시예 2)
- [0278] 본 실시예에서는, 영상신호로 디지털 영상신호를 사용하여 표시를 하는 발광장치의 구성에 대하여 설명한다. 도 18a에, 발광장치의 구성예를 나타낸다. 기관(1801)상에, 복수의 화소가 매트릭스 형태로 배치된 화소부(1802)를 가지며, 화소부 주변에는, 소스신호선 구동회로(1803) 및 제 1, 제 2 게이트 신호선 구동회로(1804, 1805)를 가지고 있다. 도 18a에서는, 2개의 게이트 신호선 구동회로를 사용하였다. 하지만, 도 1a에 나타낸 것처럼 화소 내에 하나의 게이트 신호선을 사용하는 경우, 양측에서 게이트 신호선을 동시에 제어한다. 도 4a 및 도 5a에 나타낸 것처럼 화소 내에 2개의 게이트 신호선을 사용하는 경우는, 각각의 게이트 신호선 구동회로가, 각각의 게이트 신호선을 제어한다.
- [0279] 소스신호선 구동회로(1803), 제 1, 제 2 게이트 신호선 구동회로(1804, 1805)에 입력되는 신호는, 플렉시블 인쇄회로(Flexible Print Circuit:FPC)(1806)을 통해 외부로부터 공급된다.
- [0280] 도 18b에, 소스신호선 구동회로의 구성예를 나타낸다. 이것은, 영상신호로 디지털 영상신호를 사용하여 표시를 하기 위한 소스신호선 구동회로로, 시프트 레지스터(1811), 제 1 래치회로(1812), 제 2 래치회로(1813), D/A 변환회로(1814)를 가지고 있다. 특히 도시하지 않았지만, 필요에 따라 레벨 시프터 등을 추가해도 된다.
- [0281] 제 1, 제 2 게이트 신호선 구동회로(1804, 1805)에 대해서는, 실시예 1에 나타낸 것과 동일하므로, 여기서는 도시 및 설명을 생략한다.
- [0282] 소스신호선 구동회로의 동작에 대하여 설명한다. 도 19a에, 보다 상세한 구성을 나타내었으므로, 그것을 참조한다.
- [0283] 시프트 레지스터(1901)는, 복수의 플립플롭회로(FF)(1910)로 구성되고, 클록신호(S-CLK), 클록반전신호(S-CLKb), 스타트펄스(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 샘플링펄스가 순차로 출력된다.
- [0284] 시프트 레지스터(1901)로부터 출력된 샘플링펄스는, 제 1 래치회로(1902)에 입력된다. 제 1 래치회로(1902)에는, 디지털 영상신호가 입력되어 있고, 샘플링펄스가 입력되는 타이밍에 따라, 각 단에서 디지털 영상신호를 유지한다. 여기서는, 디지털 영상신호는 3비트만큼 입력되어 있다. 각 비트의 영상신호를, 각각의 제 1 래치회로에서 유지한다. 여기서는, 1개의 샘플링펄스에 의해 3개의 제 1 래치회로가 병렬로 동작한다.
- [0285] 제 1 래치회로(1902)에서, 최종단까지 디지털 영상신호의 유지가 완료되면, 수평귀선기간 동안에, 제 2 래치회로(1903)에 래치펄스(Latch Pulse)가 입력되고, 제 1 래치회로(1902)에 유지되었던 디지털 영상신호는, 한번에 제 2 래치회로(1903)에 전송된다. 그 후, 제 2 래치회로(1903)에 유지된 디지털 영상신호는, 1행 만큼 동시에, D/A 변환회로(1904)로 입력된다.
- [0286] 제 2 래치회로(1903)에 유지된 디지털 영상신호가 D/A 변환회로(1904)에 입력되어 있는 동안, 시프트 레지스터(1901)에서는 다시 샘플링펄스가 출력된다. 이후, 이 동작을 반복하고, 1프레임만큼의 영상신호를 처리한다.
- [0287] D/A 변환회로(1904)에서는, 입력된 디지털 영상신호를 디지털-아날로그 변환하고, 아날로그전압을 갖는 영상신호로서 소스신호선에 출력한다.
- [0288] 상술한 동작이, 1수평기간 내에, 전체 단에 걸쳐 동시에 행해진다. 따라서, 모든 소스신호선에 영상신호가 출력된다.
- [0289] 또한, 실시예 1에서도 설명된 것처럼, 시프트 레지스터 대신에 디코더를 사용하여, 신호선을 선택할 수 있는 구성으로 하여도 된다.
- [0290] (실시예 3)
- [0291] 실시예 2에서는, 디지털 영상신호는 D/A 변환회로에 의해 디지털-아날로그 변환되어, 화소에 기록된다. 본 발명의 반도체장치는, 시간계조방식에 의해 계조표현을 할 수 있다. 이 경우에는, 도 19b에 나타낸 것처럼, D/A 변환회로를 필요로 하지 않으며, 계조표현은, EL소자가 장시간 또는 단시간 동안 발광하는 시간의 길이에 의해 제어된다. 그러므로, 각 비트의 영상신호를 병렬처리할 필요가 없다. 이 때문에, 제 1 및 제 2 래치회로 모두 1비트만큼 처리가 된다. 이때, 디지털 영상신호는, 각 비트가 직렬로 입력되고, 래치회로에 순차로 유지되어 화소에 기록된다. 물론, 필요비트수 만큼 래치회로를 병렬 배치하여도 상관없다.
- [0292] (실시예 4)
- [0293] 본 명세서에서는, 구동회로와, 스위칭용 TFT 및 구동용 TFT를 갖는 화소부와가 동일 기관상에 형성된 기관을 편

의상 액티브 매트릭스기관이라 부른다. 그리고 본 실시예에서는 상기 액티브 매트릭스기관을 단극성 TFT에 의해 제작하는 공정에 대하여 도 13a 내지 도 14c를 참조하여 설명한다.

[0294] 기관(5000)은, 석영기관, 실리콘기관, 금속기관 또는 스테인레스 기관의 표면에 절연막을 형성한 것을 사용한다. 또한, 본 제작공정의 처리온도에 견딜 수 있는 내열성을 갖는 플라스틱 기관을 사용해도 된다. 본 실시예에서는 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리 등의 유리로 이루어진 기관(5000)을 사용한다.

[0295] 다음에, 기관(5000)상에 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등의 절연막으로 이루어진 하지막(5001)을 형성한다. 본 실시예의 하지막(5001)은 2층 구조로 형성한다. 그러나, 상기 절연막의 단층구조 또는 상기 절연막을 2층 이상 적층시킨 구조를 사용하여도 된다.

[0296] 본 실시예에서는, 하지막(5001)의 제 1 층으로서, 플라즈마 CVD법에 의해 SiH_4 , NH_3 및 N_2O 를 반응가스로서 사용하여 형성되는 산화질화실리콘막(5001a)을 10~20[nm](바람직하게는 50~100[nm])의 두께로 형성한다. 본 실시예에서는, 산화질화실리콘막(5001a)을 50[nm]의 두께로 형성한다. 다음에 하지막(5001)의 제 2 층으로서, 플라즈마 CVD법에 의해 SiH_4 및 N_2O 를 반응가스로서 사용하여 형성되는 산화질화실리콘막(5001b)을 50~200[nm](바람직하게는 100~150[nm])의 두께로 형성한다. 본 실시예에서는, 산화질화실리콘막(5001b)을 100[nm]의 두께로 형성한다.

[0297] 계속해서, 하지막(5001)상에 반도체층(5002~5005)을 형성한다. 이 반도체층(5002~5006)은 다음과 같이 형성한다. 이 반도체층(5002~5005)은, 공지의 수단(스퍼터링법, LPCVD법, 플라즈마 CVD법 등)에 의해 25~80[nm](바람직하게는 30~60[nm])의 두께로 반도체막을 형성한다. 다음에, 상기 반도체막을 공지의 결정화법(레이저 결정화법, RTA 또는 퍼니스 어닐로를 사용하는 열결정화법, 결정화를 촉진하는 금속원소를 사용하는 열결정화법 등)을 사용하여 결정화시킨다. 그리고, 얻어진 결정질 반도체막을 원하는 형상으로 패터닝하여 반도체층(5002~5005)을 형성한다. 또한, 상기 반도체막으로서, 비정질 반도체막, 미세결정 반도체막, 결정질 반도체막, 또는 비결정실리콘 게르마늄막 등의 비정질구조를 갖는 화합물 반도체막 등을 사용해도 된다.

[0298] 본 실시예에서는, 플라즈마 CVD법을 사용하여, 막두께 55[nm]의 비정질 실리콘막을 형성한다. 그리고, 니켈을 함유하는 용액을 비정질 실리콘막 상에 유지시켜, 이 비정질 실리콘막을 500[°C]에서, 1시간 동안 탈수소화를 한 후, 열결정화를 550[°C]에서 4시간 동안 하여 결정질 실리콘막을 형성한다. 그 후, 포토리소그래피법을 사용한 패터닝처리에 의해 반도체층(5002~5005)을 형성한다.

[0299] 이때, 레이저 결정화법으로 결정질 반도체막을 형성하는 경우의 레이저는, 연속발진 또는 펄스발진의 기체레이저 또는 고체레이저를 사용하면 된다. 전자의 기체레이저로서는, 엑시머레이저, YAG레이저, YVO₄레이저, YLF레이저, YAIO₃레이저, 유리레이저, 루비레이저, Ti:사파이어 레이저 등을 사용할 수 있다. 또한 후자의 고체레이저로서는, Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm이 도핑된 YAG, YVO₄, YLF, YAIO₃ 등의 결정을 사용한 레이저를 사용할 수 있다. 해당 레이저의 기본파는, 도핑 재료에 따라 변하여, 1[μm] 전후의 기본파를 갖는 레이저광을 얻을 수 있다. 기본파에 대한 고조파는, 비선형 광학소자를 사용함으로써 얻을 수 있다. 이때, 비정질 반도체막의 결정화시에, 대입경을 갖는 결정을 얻기 위해서는, 연속발진이 가능한 고체레이저를 사용하고, 기본파의 제 2 고조파~제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd:YVO₄ 레이저(기본파 1064 [nm])의 제 2 고조파(532[nm])또는 제 3고조파(355[nm])를 적용한다.

[0300] 또한, 출력 10[W]의 연속발진의 YVO₄ 레이저에서 사출된 레이저광은, 비선형 광학소자에 의해 고조파로 변환한다. 더욱이, 공진기 중에 YVO₄ 결정과 비선형 광학소자를 위치시켜 고조파를 사출하는 방법도 있다. 그리고, 바람직하게는 광학계에 의해 조사면으로 직사각형 형상 또는 타원 형상의 레이저광으로 형성하여, 피처리체에 조사한다. 이때의 에너지 밀도는, 0.01~100[MW/cm²] 정도(바람직하게는 0.1~10[MW/cm²])가 필요하다. 그리고, 10~2000[cm/s] 정도의 속도로 레이저광에 대하여 상대적으로 반도체막을 이동시켜 조사한다.

[0301] 또한, 상기한 레이저를 사용하는 경우에는, 레이저 발진기에서 방사된 레이저빔을 광학계로 선형으로 집광하여 반도체막에 조사하면 된다. 결정화의 조건은, 적절히 설정된다. 엑시머레이저를 사용하는 경우는, 펄스발진주파수 300[Hz]로 하고, 레이저에너지 밀도를 100~700[mJ/cm²](대표적으로는 200~300[mJ/cm²])로 하면 된다. 또한, YAG 레이저를 사용하는 경우에는, 그 제 2 고조파를 사용하여 펄스 발진주파수 1~300[Hz]로 하고, 레이

저에너지 밀도를 $300 \sim 1000[\text{mJ}/\text{cm}^2]$ (대표적으로는 $350 \sim 500[\text{mJ}/\text{cm}^2]$)로 하면 된다. 그리고, 폭 $100 \sim 1000[\mu\text{m}]$ (바람직하게는 폭 $400[\mu\text{m}]$)로 선형으로 집광한 레이저광을 기판 전체면에 걸쳐 조사한다. 이때, 선형 빔의 중첩율을 $50 \sim 98[\%]$ 로 설정하여도 된다.

[0302] 그렇지만, 본 실시예에서는, 결정화를 촉진하는 금속원소를 사용하여 비정질 실리콘막의 결정화를 하였기 때문에, 상기 금속원소가 결정질 실리콘막 내에 남겨진다. 그 때문에, 상기 결정질 실리콘막 상에 $50 \sim 100[\text{nm}]$ 의 비정질 실리콘막을 형성하고, 가열처리(RTA법이나 퍼니스 어닐로를 사용한 열어닐링 등)를 하여, 그 비정질 실리콘막 내에 상기 금속원소를 확산시켜, 상기 비정질 실리콘막은 가열처리후에 식각을 하여 제거한다. 그 결과, 상기 결정질 실리콘막 내의 금속원소의 함유량을 감소 또는 제거할 수 있다.

[0303] 이때, 반도체층(5002~5005)을 형성한 후, TFT의 임계치를 제어하기 위해 미량의 불순물 원소(붕소 또는 인)를 도핑하여도 된다.

[0304] 다음에, 반도체층(5002~5005)을 덮는 게이트 절연막(5006)을 형성한다. 게이트 절연막(5006)은, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 막두께를 $40 \sim 150[\text{nm}]$ 로 하여 실리콘을 포함하는 절연막으로 형성한다. 본 실시예에서는, 게이트 절연막(5006)으로서 플라즈마 CVD법에 의해 산화질화실리콘막을 $115[\text{nm}]$ 의 두께로 형성한다. 물론, 게이트 절연막(5006)은, 산화질화실리콘막으로 한정되는 것이 아니며, 다른 실리콘을 포함하는 절연막을 단층 또는 적층구조로 사용해도 된다.

[0305] 이때, 게이트 절연막(5006)으로서 산화실리콘막을 사용하는 경우에는, 플라즈마 CVD법으로 TEOS(Tetraethyl Orthosilicate)과 O_2 를 혼합하고, 반응압력 $40[\text{Pa}]$, 기판온도 $300 \sim 400[^\circ\text{C}]$ 로 한다. 그 후, 고주파($13.56[\text{MHz}]$) 전력밀도 $0.5 \sim 0.8[\text{W}/\text{cm}^2]$ 로 방전시켜 산화실리콘막을 형성해도 된다. 상기한 공정에 의해 제작된 산화실리콘막은, 그 후 $400 \sim 500[^\circ\text{C}]$ 의 열어닐링에 의해, 게이트 절연막(5006)으로서 양호한 특성을 얻을 수 있다.

[0306] 다음에, 게이트 절연막(5006)상에 막두께 $20 \sim 100[\text{nm}]$ 의 제 1 도전막(5007)과, 막두께 $100 \sim 400[\text{nm}]$ 의 제 2 도전막(5008)을 적층 형성한다. 본 실시예에서는, 막두께 $30[\text{nm}]$ 의 TaN막으로 이루어지는 제 1 도전막(5007)과, 막두께 $370[\text{nm}]$ 의 W막으로 이루어지는 제 2 도전막(5008)을 적층 형성한다.

[0307] 본 실시예에서는, 제 1 도전막(5007)인 TaN막은, Ta를 타겟으로서 사용하여, 질소를 포함하는 분위기 내에서 스퍼터링법으로 형성한다. 또한, 제 2 도전막(5008)인 W막은, W를 타겟으로서 사용하여 스퍼터링법으로 형성했다. 그밖에 6플루오르화 텅스텐(WF_6)을 사용하는 열 CVD법으로 형성할 수 있다. 어떠한 경우에는, 게이트전극으로 사용하기 위해서는 저저항화를 도모할 필요가 있고, W막의 저항률은 $20[\mu\Omega\text{cm}]$ 이하로 하는 것이 바람직하다. W막은, 결정입자를 크게 함으로써 저저항률화를 도모할 수 있다. 그러나, W막중에 산소 등의 불순물 원소가 많은 경우에는 결정화가 저해되어 고저항화한다. 따라서, 본 실시예에서는, 고순도의 W(순도 $99.9999[\%]$)의 타겟을 사용한 스퍼터링법으로, 오히려 막형성시에 증기상으로부터 불순물이 그 막내에 혼입이 없도록 충분히 배려하여 W막을 형성한다. 이에 따라서, 저항률 $9 \sim 20[\mu\Omega\text{cm}]$ 를 실현할 수 있다.

[0308] 이때, 본 실시예에서는, 제 1 도전막(5007)을 TaN막, 제 2 도전막(5008)을 W막으로서 사용하였지만, 제 1 도전막(5007) 및 제 2 도전막(5008)을 구성하는 재료는 특별히 한정되지 않는다. 제 1 도전막(5007) 및 제 2 도전막(5008)은, Ta, W, Ti, Mo, Al, Cu, Cr 및 Nd로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물재료로 형성해도 된다. 또한, 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막이나 AgPdCu 합금으로 형성해도 된다.

[0309] 다음에, 포토리소그래피법을 사용하여 레지스트 마스크(5009)를 형성하고, 전극 및 배선을 형성하기 위한 제 1 식각처리를 한다. 제 1 식각처리는, 제 1 및 제 2 식각조건으로 한다(도 13b).

[0310] 본 실시예에서는 제 1 식각조건으로서, ICP(Inductively Coupled Plasma:유도결합형 플라즈마)식각법을 사용한다. 식각용 가스로 CF_4 와 Cl_2 와 O_2 를 사용하며, 각각의 가스유량비를 $25:25:10[\text{sccm}]$ 으로 한다. $1.0[\text{Pa}]$ 의 압력으로 코일형 전극에 $500[\text{W}]$ 의 RF($13.56[\text{MHz}]$)전력을 투입하여 플라즈마를 생성하여 식각을 한다. 기판측(시료스테이지)에도 $150[\text{W}]$ 의 RF($13.56[\text{MHz}]$)전력을 투입하고, 실질적으로 부(-)의 자기바이어스 전압을 인가한다. 그리고, 이 제 1 식각조건에 의해 W막을 식각하여 제 1 도전층(5007)의 단부를 테이퍼 형상으로 한다.

[0311] 계속해서, 레지스트 마스크(5009)를 제거하지 않고 제 2 식각조건으로 변경하고, 식각용 가스로서 CF_4 와 Cl_2 를 사용하며, 각각의 가스유량비를 $30:30[\text{sccm}]$ 로 한다. $1.0[\text{Pa}]$ 의 압력으로 코일형 전극에 $500[\text{W}]$ 의 RF($13.56[\text{MHz}]$)전력을 투입하고 플라즈마를 생성하여 15초 정도의 식각을 한다. 기판측(시료 스테이지)에도

20[W]의 RF(13.56[MHz])전력을 투입하고, 실질적으로 부의 자기바이어스 전압을 인가한다. 제 2 식각조건에서는, 제 1 도전층(5007) 및 제 2 도전층(5008)도 동일한 정도로 식각을 한다. 이때, 게이트 절연막(5006)상에 잔여물을 남기지 않고 식각하기 위해서는, 10~20[%] 정도의 비율로 식각시간을 증가시키면 된다.

[0312] 상기한 제 1 식각처리에서는, 레지스트 마스크의 형상을 적합하게 함으로써, 기관측에 인가된 바이어스 전압의 효과에 의해 제 1 도전층(5007) 및 제 2 도전층(5008)의 단부가 테이퍼 형상이 된다. 이렇게 해서, 제 1 식각처리에 의해 제 1 도전층(5007)과 제 2 도전층(5008)으로 이루어진 제 1 형상의 도전층(5010~5014)을 형성한다. 게이트 절연막(5006)에서는, 제 1 형상의 도전층(5010~5014)으로 덮여지지 않은 영역이 20~50nm 정도 식각되기 때문에, 막두께가 얇아진 영역이 형성된다.

[0313] 다음에, 레지스트 마스크(5009)를 제거하지 않고 제 2 식각처리를 한다(도 13c). 제 2 식각처리에서는, 식각가스로서 SF₆와 Cl₂와 O₂를 사용하고, 각각의 가스유량비를 24:12:24(sccm)로 한다. 1.3Pa의 압력으로 코일형 전극에 700W의 RF(13.56 MHz)전력을 투입하여 플라스마를 생성하여 25초 정도의 식각을 한다. 기관측(시료스테이지)에도 10W의 RF(13.56MHz)전력을 투입하고, 실질적으로 부의 자기바이어스 전압을 인가한다. 이렇게 해서, W막을 선택적으로 식각하여, 제 2 형상의 도전층(5015~5019)을 형성한다. 이때, 제 1 도전층(5015a~5018a)은, 거의 식각되지 않는다.

[0314] 그리고, 레지스트 마스크(5009)를 제거하지 않고 제 1 도핑처리를 행하고, 반도체층(5002~5005)에 N형을 부여하는 불순물 원소를 저농도로 첨가한다. 제 1 도핑처리는, 이온도핑법 또는 이온주입법으로 하면 된다. 이온도핑법의 조건은, 도우즈량을 $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ 로 하고, 가속전압을 40~80[keV]로 하여 행한다. 본 실시예에서는, 도우즈량을 $5.0 \times 10^{13} [\text{atoms}/\text{cm}^2]$ 로 하고, 가속전압을 50[keV]로 한다. N형을 부여하는 불순물 원소로서는, 15족에 속하는 원소를 사용하면 되고, 대표적으로는 인(P) 또는 비소(As)를 사용할 수 있다. 본 실시예에서는 인(P)을 사용한다. 이 경우, 제 2 형상의 도전층(5015~5019)이 N형을 부여하는 불순물 원소에 대한 마스크로 된다. 그래서, 자기 정렬적으로 제 1 불순물영역(N--영역)(5020~5023)을 형성한다. 그 후, 제 1 불순물영역(5020~5023)에는 $1 \times 10^{18} \sim 1 \times 10^{20} [\text{atoms}/\text{cm}^3]$ 의 농도범위로 N형을 부여하는 불순물 원소가 첨가된다.

[0315] 계속해서, 레지스트 마스크(5009)를 제거한 후, 새로운 레지스트 마스크(5024)를 형성하여, 제 1 도핑처리보다도 높은 가속전압으로 제 2 도핑처리를 행한다. 이온도핑법의 조건은, 도우즈량을 $1 \times 10^{13} \sim 3 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 로 하고, 가속전압을 60~120[keV]로 하여 행한다. 본 실시예에서는, 도우즈량을 $3.0 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 로 하고, 가속전압을 65[keV]로 하여 행한다. 제 2 도핑처리는, 제 2 도전층(5015b~5018b)을 불순물 원소에 대한 마스크로서 사용하고, 제 1 도전층(5015a~5018a)의 테이퍼부 아래에 위치한 반도체층에 불순물 원소가 첨가되도록 도핑을 행한다.

[0316] 상기한 제 2 도핑처리를 한 결과, 제 1 도전층과 접치는 제 2 불순물영역(N-영역; Lov영역)(5026, 5029)에는 $1 \times 10^{18} \sim 5 \times 10^{19} [\text{atoms}/\text{cm}^3]$ 의 농도범위로 N형을 부여하는 불순물 원소가 첨가된다. 또한, 제 3 불순물영역(N+영역)(5025, 5028, 5031, 5034)에는 $1 \times 10^{19} \sim 5 \times 10^{21} [\text{atoms}/\text{cm}^3]$ 의 농도범위로 N형을 부여하는 불순물 원소가 첨가되었다. 또한, 제 1, 제 2 도핑처리를 행한 후, 반도체층(5002~5005)에, 불순물 원소가 전혀 첨가되지 않은 영역 또는 미량의 불순물 원소가 첨가된 영역이 형성된다. 본 실시예에서는, 불순물 원소가 전혀 첨가되지 않은 영역 또는 미량의 불순물 원소가 첨가된 영역을 채널영역(5027, 5030, 5033, 5036)이라고 부른다. 또한, 상기 제 1 도핑처리에 의해 형성된 제 1 불순물영역(N--영역)(5020~5023) 중, 제 2 도핑처리에서 레지스트(5024)로 덮여진 영역이 존재한다. 하지만, 본 실시예에서는, 그들을 제 1 불순물영역(N--영역, LDD영역)(5032, 5035)이라 부른다.

[0317] 이때, 본 실시예에서는, 제 2 도핑처리만으로써, 제 2 불순물영역(N-영역)(5026) 및 제 3 불순물영역(N+영역)(5025, 5028, 5031, 5034)을 형성한다. 하지만, 본 발명은 이것으로 한정되지 않는다. 도핑처리를 행하는 조건을 적절히 변경하여, 복수회의 도핑처리로 형성하여도 된다.

[0318] 다음에, 도 14a에 나타낸 것처럼, 레지스트 마스크(5024)를 제거하여 제 1 층간절연막(5037)을 형성한다. 이 제 1 층간절연막(5037)으로서는, 플라스마 CVD법 또는 스퍼터링법을 사용하여, 두께를 100~200[nm]로 하여 실리콘을 포함하는 절연막으로 형성한다. 본 실시예에서는, 플라스마 CVD법에 의해 막두께 100[nm]의 산화질화실리콘막을 형성한다. 물론, 제 1 층간절연막(5037)은 산화질화실리콘막으로 한정되는 것은 아니고, 다른 실리콘을 포함하는 절연막을 단층 또는 적층구조로서 사용해도 된다.

- [0319] 다음에, 가열처리를 하여, 반도체층의 결정성을 회복하고 반도체층에 첨가된 불순물 원소를 활성화한다. 이 가열처리는, 퍼니스어닐로를 사용하는 열어닐링법으로 행한다. 열어닐링법으로서는, 산소 농도가 1[ppm] 이하, 바람직하게는 0.1[ppm] 이하의 질소분위기 중에서 400~700[℃]로 행하면 된다. 본 실시예에서는 410[℃], 1시간의 열처리로 활성화 처리를 한다. 이때, 열어닐링법 이외에, 레이저 어닐링법 또는 급속 열 어닐링법(RTA법)을 적용할 수 있다.
- [0320] 또한, 제 1 층간절연막(5037)을 형성하기 전에 가열처리를 하여도 된다. 단, 제 1 도전층(5015a~5019a) 및 제 2 도전층(5015b~5019b)을 구성하는 재료가 열에 약한 경우에는, 본 실시예와 같이 배선 등을 보호하기 위한 제 1 층간절연막(5037)(실리콘을 주성분으로 하는 절연막, 예컨대 질화실리콘막)을 형성한 후에 열처리를 하는 것이 바람직하다.
- [0321] 상술한 것처럼, 제 1 층간절연막(5037)(실리콘을 주성분으로 하는 절연막, 예컨대 질화실리콘막)을 형성한 후에 열처리함으로써, 활성화처리와 동시에, 반도체층의 수소화도 할 수 있다. 수소화의 공정에서는, 제 1 층간절연막(5037)에 포함되는 수소에 의해 반도체층의 땀글링본드(dangling bond)가 종단된다.
- [0322] 이때, 활성화처리를 위해 가열처리와는 다른, 수소화를 위한 가열처리를 하여도 된다.
- [0323] 여기서, 제 1 층간절연막(5037)의 존재 유무 상관없이 반도체층을 수소화할 수 있다. 수소화의 다른 수단으로서, 플라즈마에 의해 여기된 수소를 사용하는 수단(플라즈마 수소화)이나, 3~100[%]의 수소를 포함하는 분위기 중에서, 300~450[℃]로 1~12시간의 가열처리를 행하는 수단이어도 된다.
- [0324] 다음에, 제 1 층간절연막(5037)상에, 제 2 층간절연막(5038)을 형성한다. 제2 층간절연막(5038)으로서는, 무기 절연막을 사용할 수 있다. 예컨대, CVD법에 의해 형성된 산화실리콘막이나, SOG(Spin On Glass)법에 의해 도포된 산화실리콘막 등을 사용할 수 있다. 또한, 제 2 층간절연막(5038)으로서, 유기절연막을 사용할 수 있다. 예컨대, 폴리이미드, 폴리아미드, BCB(벤조시클로부텐), 아크릴 등의 막을 사용할 수 있다. 또한, 아크릴막과 산화실리콘막의 적층구조를 사용해도 된다.
- [0325] 본 실시예에서는, 막두께 1.6[μm]의 아크릴막을 형성한다. 제2 층간절연막(5038)을 형성하는 경우, 기관(5000)상에 형성된 TFT에 의한 요철을 완화하고, 그 표면을 평탄화할 수 있다. 특히, 제 2 층간절연막(5038)은 평탄화의 의미가 강하므로, 평탄성이 뛰어난 막이 바람직하다.
- [0326] 다음에, 건식식각 또는 습식식각을 사용하여, 제 2 층간절연막(5038), 제 1 층간절연막(5037) 및 게이트 절연막(5006)을 식각하고, 불순물영역(5025, 5028, 5031, 5034)에 도달하는 콘택홀을 형성한다.
- [0327] 다음에, 투명도전막으로 이루어진 화소전극(5039)을 형성한다. 투명도전막으로서는, 산화인듐과 산화주석의 화합물(Indium Tin Oxide:ITO), 산화인듐과 산화아연의 화합물, 산화아연, 산화주석, 산화인듐 등을 사용할 수 있다. 또한, 상기 투명도전막에 갈륨을 첨가한 것을 사용해도 된다. 화소전극이 EL소자의 양극에 해당한다.
- [0328] 본 실시예에서는, ITO를 110[nm] 두께로 형성한 후 패터닝하고, 화소전극(5039)을 형성한다.
- [0329] 다음에, 각 불순물영역과 각각 전기적으로 접속되는 배선(5040~5046)을 형성한다. 이때, 본 실시예에서는, 배선(5040~5046)은, 막두께 100[nm]의 Ti막과, 막두께 350[nm]의 Al막과, 막두께 100[nm]의 Ti막의 적층막을 스퍼터링법으로 연속형성하여, 원하는 형상으로 패터닝하여 형성한다.
- [0330] 물론, 그들은 3층 구조로 한정되지 않는다. 단층구조, 2층 구조, 4층 이상의 적층구조를 사용하여도 된다. 또한, 배선의 재료로서는, Al과 Ti로 한정되지 않고, 다른 도전막을 사용해도 된다. 예컨대, TaN막 상에 Al이나 Cu를 형성하며, 그 위에 Ti막을 형성한 적층막을 패터닝하여 배선을 형성해도 된다.
- [0331] 여기서, 화소전극(5039)상의 일부와, 배선(5045)의 일부를 서로 겹쳐 형성함으로써, 배선(5045)과 화소전극(5039)간의 전기적 접속을 한다(도 14b).
- [0332] 이상의 공정에 의해 도 14b에 나타난 것처럼, N채널형 TFT를 갖는 구동회로부와, 스위칭용 TFT, 구동용 TFT를 갖는 화소부를 동일 기관 상에 형성할 수 있다.
- [0333] 구동회로부의 N채널형 TFT는, 게이트전극의 일부를 구성하는 제 1 도전층(5015a)과 겹치는 저농도 불순물영역(5026)(Lov영역), 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(5025)을 갖는다.
- [0334] 화소부에서, N채널형 스위칭용 TFT는, 게이트전극의 외측에 형성되는 저농도 불순물영역(5032)(Loff영역), 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(5031)을 갖는다.

- [0335] 다음에, 제 3 층간절연막(5047)을 형성한다. 제 3 층간절연막(5047)으로서는, 무기절연막이나 유기절연막을 사용할 수 있다. 무기절연막으로서는, CVD법에 의해 형성된 산화실리콘막이나, SOG(Spin On Glass)법에 의해 도포된 산화실리콘막 혹은, 스퍼터링법에 의해 형성된 산화질화실리콘막 등을 사용할 수 있다. 또한, 유기절연막으로서는, 아크릴 수지막 등을 사용할 수 있다.
- [0336] 제 2 층간절연막(5038)과 제 3 층간절연막(5047)의 조합의 예를 이하에 설명한다.
- [0337] 제 2 층간절연막(5038)으로서, 아크릴과 스퍼터링법에 의해 형성된 산화질화실리콘막을 사용하고, 제 3 층간절연막(5047)으로서, 스퍼터링법에 의해 형성된 산화질화실리콘막을 사용한 조합이 있다. 또한, 제 2 층간절연막(5038)으로서, SOG법에 의해 형성한 산화실리콘막을 사용하고, 제 3 층간절연막(5047)으로서도 SOG법에 의해 형성한 산화실리콘막을 사용한 조합이 있다. 또한, 제 2 층간절연막(5038)으로서, SOG법에 의해 형성한 산화실리콘막과 플라즈마 CVD법에 의해 형성한 산화실리콘막의 적층막을 사용하고, 제 3 층간절연막(5047)으로서 플라즈마 CVD법에 의해 형성한 산화실리콘막을 사용한 조합이 있다. 또한, 제 2 층간절연막(5038)으로서, 아크릴을 사용하고, 제 3 층간절연막(5047)으로서도 아크릴을 사용한 조합이 있다. 또한, 제 2 층간절연막(5038)으로서, 아크릴과 플라즈마 CVD법에 의해 형성한 산화실리콘막의 적층막을 사용하고, 제 3 층간절연막(5047)으로서 플라즈마 CVD법에 의해 형성한 산화실리콘막을 사용한 조합이 있다. 또한, 제 2 층간절연막(5038)으로서, 플라즈마 CVD법에 의해 형성한 산화실리콘막을 사용하고, 제 3 층간절연막(5047)으로서 아크릴을 사용한 조합이 있다.
- [0338] 제 3 층간절연막(5047)의 화소전극(5039)에 대응하는 위치에 개구부를 형성한다. 제 3 층간절연막은, 뱅크(bank)로서 기능한다. 개구부를 형성할 때, 습식식각법을 사용함으로써 용이하게 테이퍼 형상의 측벽으로 형성할 수 있다. 개구부의 측벽이 충분히 완만하지 않다면 단차로 인한 EL층의 열화가 현저한 문제가 된다. 따라서, 주의가 필요하다.
- [0339] 제 3 층간절연막(5047) 내에, 탄소입자나 금속입자를 첨가하여, 저항률을 감소시키고, 정전기의 발생을 억제해도 된다. 이때, 저항률은, $1 \times 10^6 \sim 1 \times 10^{12} [\Omega \text{m}]$ (바람직하게는, $1 \times 10^8 \sim 1 \times 10^{10} [\Omega \text{m}]$)가 되도록, 탄소입자나 금속입자의 첨가량을 조절하면 된다.
- [0340] 다음에, 제 3 층간절연막(5047)의 개구부에 노출된 화소전극(5039)상에, EL층(5048)을 형성한다.
- [0341] EL층(5048)으로서는, 공지의 유기발광재료나 무기발광재료를 사용할 수 있다.
- [0342] 유기발광재료로서는, 저분자계 유기발광재료, 고분자계 유기발광재료, 중분자계 유기재료를 자유롭게 사용할 수 있다. 이때, 본 명세서에서는, 중분자계 유기발광재료란, 승화성을 갖지 않고, 또한, 분자수가 20 이하 또는 연쇄된 분자의 길이가 $10[\mu\text{m}]$ 이하의 유기발광재료를 나타낸 것으로 한다.
- [0343] EL층(5048)은 통상, 적층구조이다. 대표적으로는, 코닥·이스트만·컴퍼니의 Tang 등이 제안한 "정공수송층, 발광층 및 전자수송층"이라는 적층구조를 들 수 있다. 또한 그 외에도, 양극 상에 "정공주입층, 정공수송층, 발광층, 전자수송층 또는 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층의 순서대로 적층하는 구조"이기도 된다. 발광층에 대하여 형광성 색소 등을 도핑해도 된다.
- [0344] 본 실시예에서는 증착법에 의해 저분자계 유기발광재료를 사용하여 EL층(5048)을 형성하고 있다. 구체적으로는, 정공주입층으로서 $20[\text{nm}]$ 두께의 구리 프탈로시아닌(Cupc)막을 설치하고, 그 위에 발광층으로서 $70[\text{nm}]$ 두께의 트리스-8-キノリノラト(quinolinolato) 알루미늄 착체(Alq_3)막을 설치한 적층구조로 하고 있다. Alq_3 에 퀴나크리돈(quinacridon), 페릴렌(perylene) 또는 DCM1 등의 형광성 색소를 첨가함으로써 발광색을 제어할 수 있다.
- [0345] 또한, 도 14c에서는 하나의 화소밖에 도시하지 않았지만, 복수의 색, 예컨대, R(적색), G(녹색), B(청색)의 각 색에 대응한 EL층(5048)을 만들어 나누는 구성으로 할 수 있다.
- [0346] 또한, 고분자계 유기발광재료를 사용하는 예로서, 정공주입층으로서 $20[\text{nm}]$ 의 폴리티오펜(PEDOT)막을 스퍼터링법에 의해 설치하고, 그 위에 발광층으로서 $100[\text{nm}]$ 정도의 페닐렌비닐렌(phenylene vinylene)(PPV)막을 설치한 적층구조에 의해 EL층(5048)을 구성해도 된다. 또한, PPV의 π 공역계 고분자를 사용하면, 적색으로부터 청색까지 발광파장을 선택할 수 있다. 또한, 전자수송층과 전자주입층으로서 산화실리콘 등의 무기재료를 사용하는 것도 가능하다.
- [0347] 이때, EL층(5048)은, 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층 등이, 명확히 구별된 적층구조를 갖는 것으로 한정되지 않는다. 요컨대, EL층(5048)은, 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층 등을 구성하는 재료가, 혼합한 층을 갖는 구조이어도 된다.

- [0348] 예컨대, 전자수송층을 구성하는 재료(이하, 전자수송재료라 표기함)와, 발광층을 구성하는 재료(이하, 발광재료라 표기함)에 의해 구성되는 혼합층을, 전자수송층과 발광층 사이에 갖는 구조의 EL층(5048)이어도 된다.
- [0349] 다음에, EL층(5048) 상에는 도전막으로 이루어진 화소전극(5049)이 설치된다. 본 실시예의 경우, 도전막으로서 알루미늄과 리튬의 합금막을 사용한다. 물론, 공지의 MgAg막(마그네슘과 은의 합금막)을 사용해도 된다. 화소전극(5049)이 EL소자의 음극에 해당한다. 음극재료로서는, 주기표의 1족 또는 2족에 속하는 원소로 이루어진 도전막 또는 그것들의 원소를 첨가한 도전막을 자유롭게 사용할 수 있다.
- [0350] 화소전극(5049)이 형성된 경우 EL소자가 완성된다. 이때, EL소자란, 화소전극(양극)(5039), EL층(5048) 및 화소전극(음극)(5049)으로 형성된 소자를 나타낸다.
- [0351] EL소자를 완전히 덮도록 하여 패시베이션막(5050)을 설치하는 것은 유효하다. 패시베이션막(5050)으로서, 탄소막, 질화실리콘막 또는 산화질화실리콘막을 포함하는 절연막으로 이루어지고, 이 절연막을 단층 또는 조합한 적층으로 사용할 수 있다.
- [0352] 커버리지가 좋은 막을 패시베이션막(5050)으로서 사용하는 것이 바람직하고, 탄소막, 특히 DLC(다이아몬드형 탄소)막을 사용하는 것은 효과적이다. DLC막은 실온으로부터 100[℃] 이하의 온도범위로 막 형성이 가능하다. 그러므로, 내열성이 낮은 EL층(5047) 상에도 용이하게 막을 형성할 수 있다. 또한, DLC막은 산소에 대한 블록킹 효과가 높아, EL층(5048)의 산화를 억제하는 것이 가능하다.
- [0353] 이때, 제 3 층간절연막(5047)을 형성한 후, 패시베이션막(5050)을 형성하기까지의 공정을 멀티챔버방식(또는 인라인 방식)의 막형성장치를 사용하여, 대기에 노출시키지 않고 연속적으로 처리하는 것은 효과적이다.
- [0354] 이때, 실제로는 도 14c의 상태까지 완성하면, 더욱 외기로 노출되지 않도록, 기밀성이 높고, 탈가스가 적은 보호막(적층막, 자외선 경화수지막 등)이나 투광성의 실링재로 패키징(봉입)하는 것이 바람직하다. 그 때, 실링재의 내부를 불활성 분위기로 하거나, 내부에 흡습성 재료(예컨대, 산화바륨)를 배치하거나 하면 EL소자의 신뢰성이 향상한다.
- [0355] 또한, 패키징 등의 처리에 의해 기밀성을 높이면, 기관(5000)상에 형성된 소자 또는 회로로부터 인출된 단자와 외부신호단자를 접속하기 위한 커넥터(플렉시블 인쇄회로: FPC)를 설치하여 제품으로 완성한다.
- [0356] 또한, 본 실시예에서 나타난 공정에 따르면, 발광장치의 제작에 필요한 포토마스크의 수를 억제할 수 있다. 그 결과, 공정을 단축하고, 제조비용의 감소 및 수율의 향상에 기여할 수 있다.
- [0357] (실시예 5)
- [0358] 본 실시예에서는, 본 발명을 사용하여 발광장치를 제작한 예에 대하여, 도 15a 내지 도 15c를 사용하여 설명한다.
- [0359] 도 15a는, TFT가 형성된 소자기관을 실링재로 밀봉함으로써 형성된 발광장치의 평면도이다. 도 15b는 도 15a의 선 A-A'에 따른 단면도이다. 도 15c는 도 15a의 선 B-B'에 따른 단면도이다.
- [0360] 기관(4001)상에 설정된 화소부(4002)와, 소스신호선 구동회로(4003)와, 제 1 및 제 2 게이트 신호선 구동회로(4004a, 4004b)를 둘러싸도록 하여, 밀봉재(4009)가 설치된다. 또한, 화소부(4002)와, 소스신호선 구동회로(4003)와, 제 1 및 제 2 게이트 신호선 구동회로(4004a, 4004b)의 위에 실링재(4008)가 설치된다. 따라서 화소부(4002)와, 소스신호선 구동회로(4003)와, 제 1 및 제 2 게이트 신호선 구동회로(4004a, 4004b)는, 기관(4001), 밀봉재(4009) 및 실링재(4008)로 밀봉되고, 충전제(4210)로 채워진다.
- [0361] 또한, 기관(4001)상에 설치된 화소부(4002)와, 소스신호선 구동회로(4003)와, 제 1 및 제 2 게이트 신호선 구동회로(4004a, 4004b)는, 복수의 TFT를 가지고 있다. 도 15b에서는, 대표적으로, 하지막(4010)상에 형성된, 소스신호선 구동회로(4003)에 포함되는 TFT(이때, 여기서는 N채널형 TFT와 P채널형 TFT를 도시함)(4201) 및 화소부(4002)에 포함되는 TFT(4202)를 도시한다.
- [0362] TFT(4201, 4202)상에는 층간절연막(평탄화막)(4301)이 형성되고, 그 위에 TFT(4202)의 드레인과 전기적으로 접속하는 화소전극(양극)(4203)이 형성된다. 화소전극(4203)으로서의 일함수가 큰 투명도전막이 사용된다. 투명도전막으로서, 산화인듐과 산화주석의 화합물, 산화인듐과 산화아연의 화합물, 산화아연, 산화주석 또는 산화인듐을 사용할 수 있다. 또한, 상기 투명도전막에 갈륨을 첨가한 것을 사용해도 된다.
- [0363] 그리고, 화소전극(4203) 상에는 절연막(4302)이 형성된다. 절연막(4302)은 화소전극(4203)의 위에 개구부가 형

성되어 있다. 이 개구부에서, 화소전극(4203)의 위에는 유기발광층(4204)이 형성된다. 유기발광층(4204)은 공지의 유기발광재료 또는 무기발광재료를 사용할 수 있다. 또한, 유기발광재료에는 저분자계(모노머계) 재료와 고분자계(폴리머계) 재료가 있지만 어느 쪽을 사용해도 된다.

[0364] 유기발광층(4204)의 형성방법은, 공지의 증착기술 또는 도포법 기술을 사용하면 된다. 또한, 유기발광층의 구조는 정공주입층, 정공수송층, 발광층, 전자수송층 또는 전자주입층을 자유롭게 조합하여 적층구조 또는 단층구조로 하면 된다.

[0365] 유기발광층(4204) 상에는 차광성을 갖는 도전막(대표적으로는 알루미늄, 구리 또는 은을 주성분으로 하는 도전막 또는 그것들과 다른 도전막과의 적층막)으로 이루어진 음극(4205)이 형성된다. 또한, 음극(4205)과 유기발광층(4204)의 계면에 존재하는 수분과 산소는 극히 배제해 두는 것이 바람직하다. 따라서, 유기발광층(4204)을 질소 또는 희가스 분위기에서 형성하고, 산소와 수분에 접촉시키지 않은 상태로 음극(4205)을 형성하는 연구가 필요하다. 본 실시예에서는 멀티챔버방식(클러스터 툴 방식)의 막형성장치를 사용함으로써, 상술한 것처럼 막형성을 가능하게 한다. 그리고, 음극(4205)은 소정의 전압이 공급된다.

[0366] 이상과 같이 하여, 화소전극(양극)(4203), 유기발광층(4204) 및 음극(4205)으로 이루어진 발광소자(4303)가 형성된다. 그리고, 발광소자(4303)를 덮도록 절연막(4302)상에 보호막(4209)이 형성되어 있다. 보호막(4209)은, 발광소자(4303)에 산소와 수분 등이 들어가는 것을 방지하는데 효과적이다.

[0367] 도면부호 4005a는 전원선에 접속된 인출배선으로, TFT(4202)의 제 1 전극에 접속되어 있다. 인출배선(4005a)은 밀봉재(4009)와 기판(4001) 사이를 통과하여, 이방성 도전막(4300)을 통해 FPC(4006)가 갖는 FPC용 배선(4301)에 전기적으로 접속된다.

[0368] 실링재(4008)로서는, 유리재, 금속재(대표적으로는 스테인레스재), 세라믹재, 플라스틱재(플라스틱 필름도 포함)를 사용할 수 있다. 플라스틱재로서는, FRP(Fiberglass-Reinforced-Plastics)판, PVF(폴리비닐 플루오라이드)필름, 마일러(Mylar)필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름과 마일러 필름 사이에 삽입한 구조의 시트를 사용할 수 있다.

[0369] 이때, 발광소자로부터의 광의 방사방향이 커버부재로 향하는 경우에는 커버부재는 투명해야 한다. 이 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투명재료를 사용한다.

[0370] 또한, 충전제(4103)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화수지 또는 열경화수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시수지, 실리콘수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐아세테이트)를 사용할 수 있다. 본 실시예에서는 충전제로서 질소를 사용한다.

[0371] 또한, 충전제(4103)를 흡습성물질(바람직하게는 산화바륨) 또는 산소를 흡착할 수 있는 물질에 노출시키기 위해, 실링재(4008)의 기판(4001)측의 면에 오목부(4007)를 설치하여 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)을 배치한다. 그리고, 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)이 비산하지 않도록, 오목부 탄소재(4208)에 의해 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)은 오목부(4007)에 유지되어 있다. 또한, 오목부 탄소재(4208)는 미세한 메쉬 모양으로 되어 있고, 공기와 수분은 통과시키고, 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)은 통과시키지 않는 구성으로 되어 있다. 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)을 설치함으로써, 발광소자(4303)의 열화를 억제할 수 있다.

[0372] 도 15c에 나타난 것처럼, 화소전극(4203)이 형성됨과 동시에, 인출배선(4005a)상에 접하도록 도전막(4203a)이 형성된다.

[0373] 또한, 이방성 도전막(4300)은, 도전성 충전제(4300a)를 갖는다. 기판(4001)과 FPC(4006)를 서로 열압착함으로써, 기판(4001)상의 도전막(4203a)과 FPC(4006)상의 FPC용 배선(4301)이, 도전성 충전제(4300a)에 의해 전기적으로 접속된다.

[0374] (실시예 6)

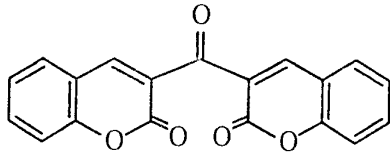
[0375] 본 실시예에서는, 3중항 여기자로부터의 인광을 발광으로 이용할 수 있는 유기발광재료를 사용함으로써, 외부발광 양자효율을 비약적으로 향상시킬 수 있다. 이것에 의해, 발광소자의 저소비전력화, 긴 수명화 및 경량화가 가능하게 된다.

[0376] 여기서, 3중항 여기자를 이용하고, 외부발광 양자효율을 향상시킨 보고를 나타낸다.(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub.,

Tokyo, 1991) p. 437.)

[0377] 상기한 논문에 의해 보고된 유기발광재료(쿠마린(coumarin) 색소)의 분자식을 이하에 나타낸다.

[0378] [화학식 1]

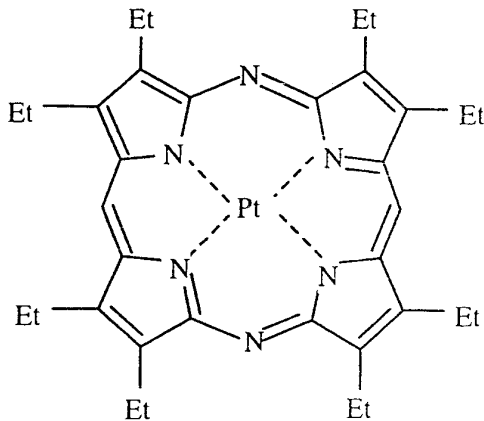


[0379]

[0380] (M.A.Baldo, D.F.O' Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395(1998) p.151.)

[0381] 상기한 논문에 의해 보고된 유기발광재료(Pt 착제)의 분자식을 이하에 나타낸다.

[0382] [화학식 2]

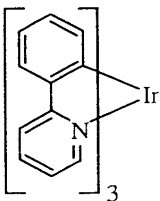


[0383]

[0384] (M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75(1999) p.4.)(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38(12 B)(1999) L1502.)

[0385] 상기한 논문에 의해 보고된 유기발광재료(Ir 착제)의 분자식을 이하에 나타낸다.

[0386] [화학식 3]



[0387]

[0388] 이상과 같이 3중향 여기자로부터의 인광발광을 이용할 수 있으면 원리적으로는 단일향 여기자로부터의 형광발광을 사용하는 경우보다 3~4배가 높은 외부발광 양자효율의 실현이 가능하게 된다.

[0389] (실시예 7)

[0390] 발광소자를 사용한 발광장치는, 자발광형이므로, 액정표시장치에 비해 밝은 장소에서의 시감도가 뛰어나다. 또한, 발광장치는, 시야각이 넓다. 따라서, 여러 가지 전자기기의 표시부에 사용할 수 있다.

[0391] 본 발명의 발광장치를 사용한 전자기기로서, 비디오카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향재생장치(카오디오 장비, 오디오 세트 등), 랩탑 컴퓨터, 게임기기, 휴대정

보단말기(모바일 컴퓨터, 휴대전화, 휴대용 게임기 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 특히, 기울어진 방향에서 화면을 볼 기회가 많은 휴대정보 단말기는, 시야각의 넓이가 중요시되므로, 발광장치를 사용하는 것이 바람직하다. 그 전자기기들의 구체예를 도 20에 각각 나타낸다.

[0392] 도 20a는 발광표시장치로, 케이싱(3001), 지지대(3002), 표시부(3003), 스피커부(3004), 비디오입력단자(3005) 등을 포함한다. 본 발명의 발광장치는 표시부(3003)로 사용할 수 있다. 발광장치는 자발광형이기 때문에 백라이트가 필요 없다. 그래서, 액정표시장치보다도 얇은 표시부로 할 수 있다. 또, 발광표시장치는, 개인 컴퓨터용, TV방송수신용, 광고표시용 등의 모든 정보표시용 표시장치가 포함된다.

[0393] 도 20b는 디지털 스틸 카메라로, 본체(3101), 표시부(3102), 화상 수신부(3103), 조작키(3104), 외부접속포트(3105), 셔터(3106) 등을 포함한다. 본 발명의 발광장치는, 표시부(3102)로 사용할 수 있다.

[0394] 도 20c는 랩탑 컴퓨터로, 본체(3201), 케이싱(3202), 표시부(3203), 키보드(3204), 외부접속포트(3205), 포인팅 마우스(3206) 등을 포함한다. 본 발명의 발광장치는, 표시부(3203)로 사용할 수 있다.

[0395] 도 20d는 모바일 컴퓨터로, 본체(3301), 표시부(3302), 스위치(3303), 조작키(3304), 적외선포트(3305) 등을 포함한다. 본 발명의 발광장치는 표시부(3302)로 사용할 수 있다.

[0396] 도 20e는 기록매체를 구비한 휴대형 화상재생장치(구체적으로는 DVD 재생장치)로, 본체(3401), 케이싱(3402), 표시부(A)(3403), 다른 표시부(B)(3404), 기록매체(DVD 등) 판독부(3405), 조작키(3406), 스피커부(3407) 등을 포함한다. 표시부(A)(3403)는 주로 화상정보를 표시하고, 표시부(B)(3404)는 주로 문자정보를 표시한다. 본 발명의 발광장치는, 이들 표시부(A, B)(3403, 3404)로 사용할 수 있다. 또한, 기록매체를 구비한 화상재생장치에는 가정용 게임기기 등도 포함된다.

[0397] 도 20f는 고글형 디스플레이(헤드 마운트 디스플레이)로, 본체(3501), 표시부(3502), 아암부(3503)를 포함한다. 본 발명의 발광장치는 표시부(3502)로 사용할 수 있다.

[0398] 도 20g는 비디오 카메라로, 본체(3601), 표시부(3602), 케이싱(3603), 외부접속포트(3604), 리모트 콘트롤 수신부(3605), 화상 수신부(3606), 배터리(3607), 음성입력부(3608), 조작키(3609), 접안부(3610) 등을 포함한다. 본 발명의 발광장치는 표시부(3602)로 사용할 수 있다.

[0399] 도 20h는 휴대전화로, 본체(3701), 케이싱(3702), 표시부(3703), 음성입력부(3704), 음성출력부(3705), 조작키(3706), 외부접속포트(3707), 안테나(3708) 등을 포함한다. 본 발명의 발광장치는 표시부(3703)로 사용할 수 있다. 이때, 표시부(3703)는 흑색의 배경에 백색의 문자를 표시할 수 있는 휴대전화의 소비전류를 억제할 수 있다.

[0400] 또한, 앞으로 유기발광재료의 발광휘도가 높아지면, 출력한 화상정보를 포함하는 광을 렌즈 등으로 확대 투영하여 프론트형 또는 리어형 프로젝터에 사용하는 것도 가능하게 된다.

[0401] 또한, 상기 전자기기는 인터넷이나 CATV(케이블 텔레비전) 등의 전자통신회선을 통해 분배된 정보를 표시하는 것이 많아지고, 특히 동작 화상정보를 표시하는 기회가 증가해 왔다. 유기발광재료의 응답속도는 매우 높기 때문에, 발광장치는 동화상 표시에 바람직하다.

[0402] 또한, 발광장치는 발광하고 있는 부분이 전력을 소비하기 때문에, 발광부분이 극히 적어지도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대정보 단말기, 특히 휴대전화나 음향재생장치와 같은 문자정보를 주로 하는 표시부에 발광장치를 사용하는 경우에는, 비발광 부분을 배경으로 하여 문자정보를 발광부분으로 형성하도록 구동하는 것이 바람직하다.

[0403] 이상과 같이, 본 발명의 적용범위는 매우 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또한, 본 실시예의 전자기기는 실시예 1~6에 나타난 것 중 어느 구성의 발광장치를 사용해도 된다.

[0404] (실시예 8)

[0405] 본 실시예에서는, 도 21a에 도시된 화소의 구성의 평면도를 도 22를 참조하여 설명한다.

[0406] 도 22에서는, 그 영역에서 동일 층을 패터닝하여 복수의 활성층을 형성하여 TFT를 형성한다. 그 후, 동일 층을 패터닝하여 각각의 TFT의 제 1 게이트선(2102), 제 2 게이트선(2103) 및 게이트 전극을 형성한다. 이어서, 그 동일 층을 패터닝하여 소스신호선(2101)과 전류공급선(2108)을 형성한다. 끝으로, EL소자(발광소자)의 제 1 전

극(여기서는, 양극임)이 형성된다.

[0407] 그 후, 제 1 게이트선(2102)의 일부가 게이트전극인 선택용 TFT(2104)가 설치된다. 이 TFT(2104)는, 2개의 게이트전극이 하나의 활성층에 형성되는 2중 게이트구조를 갖도록 형성됨으로서, 하나의 활성층에 하나의 게이트전극을 형성하는 단일 게이트구조보다 확실히 선택(스위칭)하게 된다. 또한, 이 TFT(2104)는, 3개 이상의 게이트전극을 하나의 활성층에 형성하는 멀티 게이트구조를 갖도록 형성할 수 있다.

[0408] 더욱이, TFT의 변동을 줄이기 위해서 TFT(2105)의 채널길이(L)를 보다 길게 한다. 또한, L은 보다 길어짐으로써, TFT의 포화영역이 평탄하게 된다.

[0409] 게다가, 게이트전극이 접촉을 통해 제 2 게이트선(2103)에 접속된 TFT(2106)가 형성된다. 아울러, 활성층과 주사선과 같은 층으로 형성된 용량소자(2107)가 설치된다.

[0410] 이러한 각 TFT의 구성에 대해, 반도체막(채널형성영역) 상에 게이트전극을 설치한 탑 게이트구조 또는 이와 반대의 보텀 게이트구조를 사용하고, 불순물영역(소스영역 또는 드레인영역)으로 오프셋 구조 또는 GOLD구조를 사용하여도 상관없다.

발명의 효과

[0411] 본 발명에 의하면, 단극성 TFT, 특히 소자로서 전기적 특성이 뛰어난 N채널형 TFT를 사용하여 구성된 반도체장치에 있어서, EL소자의 열화로 인한 구동용 TFT의 게이트-소스간 전압의 변동을 생기지 않은 구성으로 하고, 따라서 EL소자가 열화한 경우에도 휘도의 저하가 생기지 않게 하는 것이 가능해졌다. 또한, 본 발명에서 제안한 구성은, 특히 복잡한 구성으로 하지도 않고, 화소를 구성하는 소자 수를 크게 증가시키지도 않으므로, 개구수의 저하 등의 결점이 없이, 적용할 수 있으므로, 대단히 유용하다.

[0412] 본 발명은 상기 실시예들과 관련하여 기재하였지만, 본 발명은 이들 실시예들로 한정되지 않는다. 예를 들면, 본 발명에서 사용된 트랜지스터는, 활성층이 결정질 반도체 또는 비정질 반도체로 이루어진 박막 트랜지스터(TFT), 단결정 트랜지스터 또는 유기 반도체 재료를 그 활성층으로서 사용하는 트랜지스터 중 어느 하나를 사용하여도 된다. 또한, 예를 들면, SOI기술을 사용하여 형성된 트랜지스터를 단결정 박막 트랜지스터로서 사용하여도 되고, 다결정 또는 비정질 실리콘을 포함한 박막 트랜지스터를 박막 트랜지스터로서 사용하여도 된다.

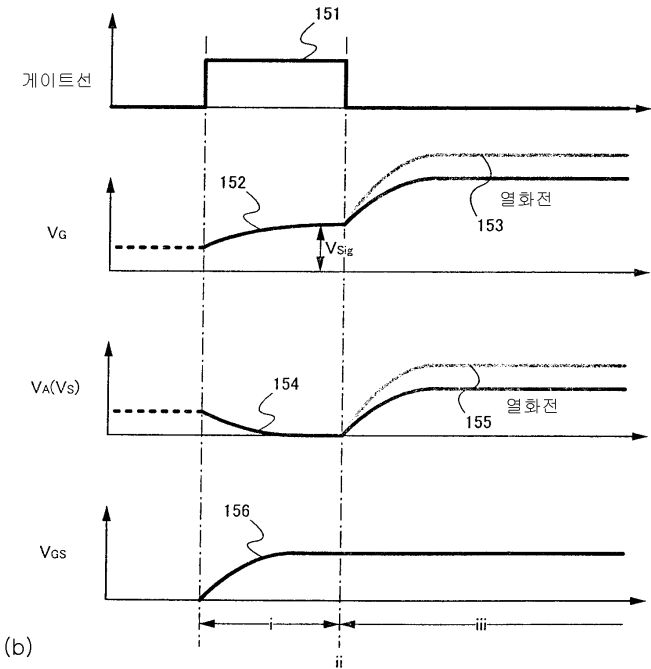
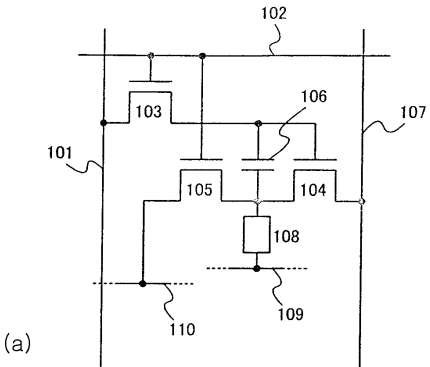
도면의 간단한 설명

- [0001] 도 1은 본 발명의 일 실시예와, 그 동작 설명도,
- [0002] 도 2는 종래 구성으로 TFT를 단극성화 한 경우의 동작 설명도,
- [0003] 도 3은 도 1a의 구성에 따른 회로의 동작 설명도,
- [0004] 도 4는 본 발명의 일 실시예와, 그 동작 설명도,
- [0005] 도 5는 본 발명의 일 실시예와, 그 동작 설명도,
- [0006] 도 6은 본 발명의 일 실시예와, 그 동작 설명도,
- [0007] 도 7은 구동용 TFT의 게이트전극 및 소스영역 주변의 전위의 변화에 대하여, 본 발명과 종래 예의 비교도,
- [0008] 도 8은 단극성 TFT에 의해 구성된 화소의 일 예를 소개한 도면,
- [0009] 도 9는 본 발명의 일 실시예를 나타낸 도면,
- [0010] 도 10은 시간계조방식에 대한 설명도,
- [0011] 도 11은 시간계조방식에 대한 설명도,
- [0012] 도 12는 본 발명의 일 실시예와, 그 동작 설명도,
- [0013] 도 13은 반도체장치의 제작공정에 대한 설명도,
- [0014] 도 14는 반도체장치의 제작공정에 대한 설명도,
- [0015] 도 15는 반도체장치의 평면도 및 단면도,

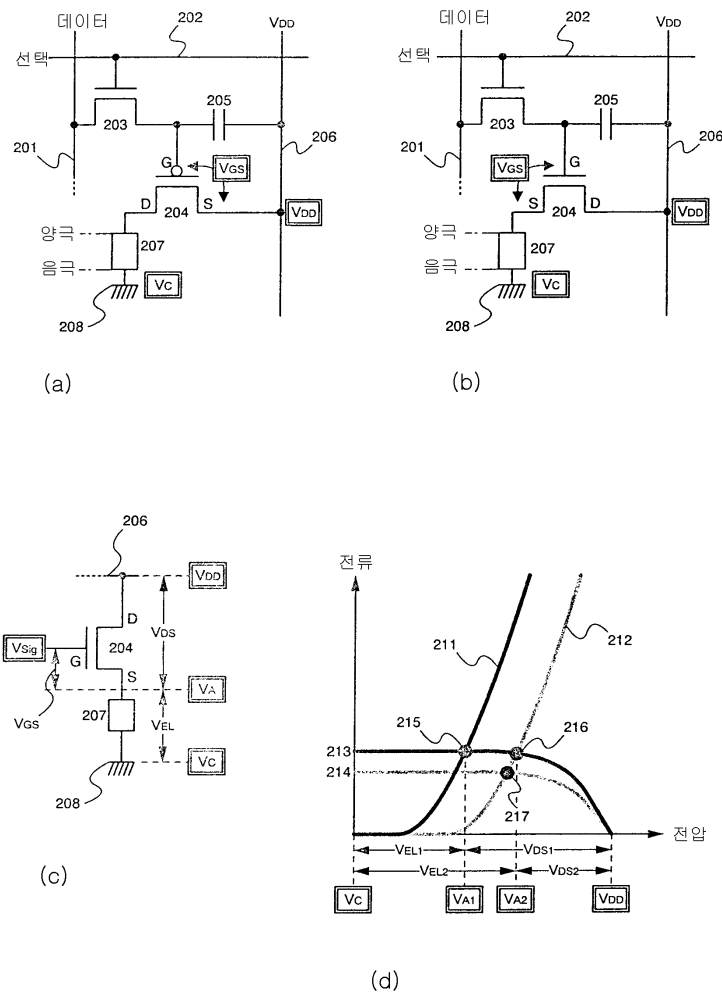
[0016]	도 16은 아날로그 영상신호를 사용하여 표시를 하는 반도체장치의 구성도,	
[0017]	도 17은 도 16의 장치에서의 소스신호선 구동회로 및 게이트 신호선 구동회로의 예시도,	
[0018]	도 18은 디지털 영상신호를 사용하여 표시를 하는 반도체장치의 구성도,	
[0019]	도 19는 도 18의 장치에서의 소스신호선 구동회로의 예시도,	
[0020]	도 20은 본 발명이 적용가능한 전자기기의 예시도,	
[0021]	도 21은 본 발명의 일 실시예와, 그 동작 설명도,	
[0022]	도 22는 본 발명의 화소 구성의 평면도이다.	
[0023]	*도면의 주요 부분에 대한 부호의 설명*	
[0024]	101 : 소스신호선	102 : 게이트 신호선
[0025]	103~105 : 제 1 내지 제 3 TFT	106 : 용량소자
[0026]	107 : 전류공급선	108 : EL소자
[0027]	109, 110 : 전원선	

도면

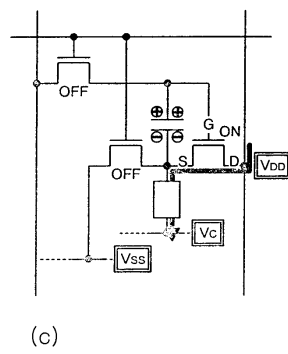
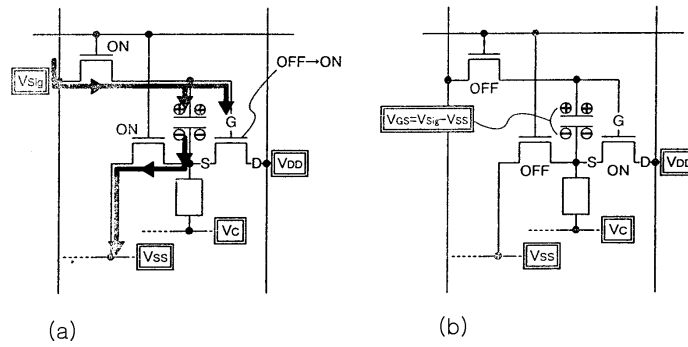
도면1



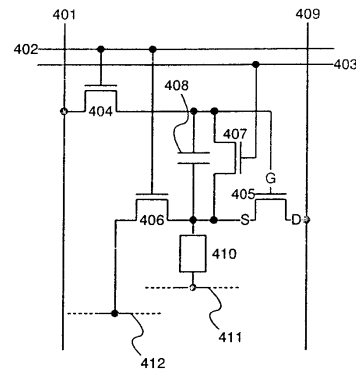
도면2



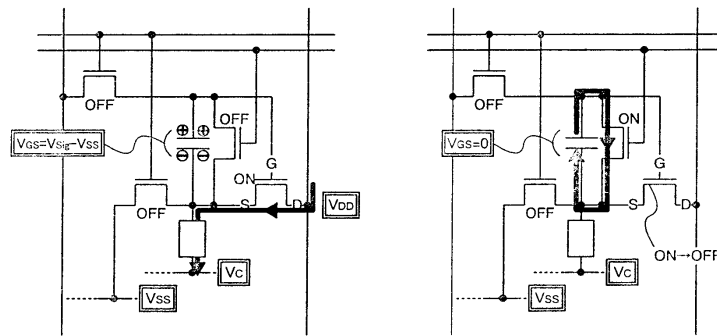
도면3



도면4



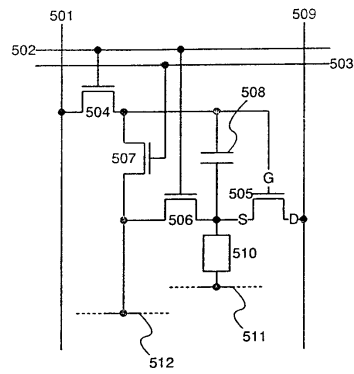
(a)



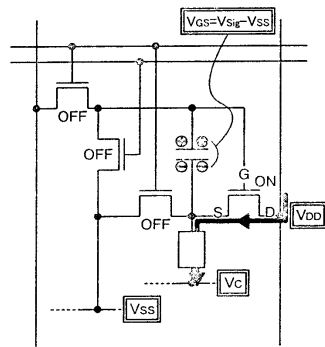
(b)

(c)

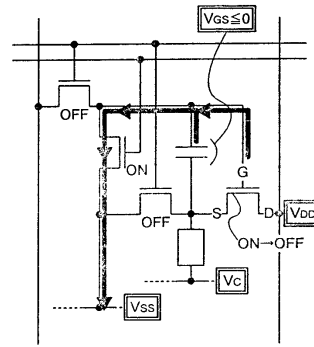
도면5



(a)

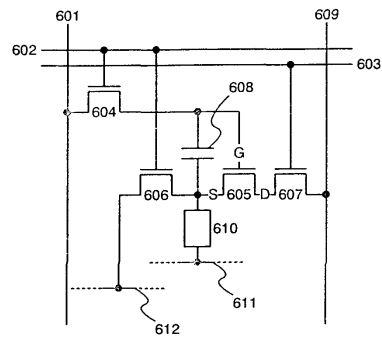


(b)

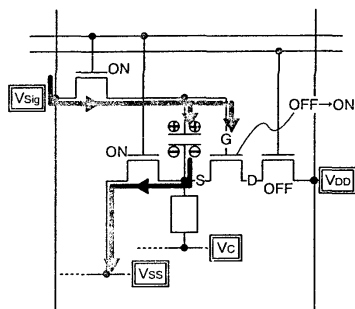


(c)

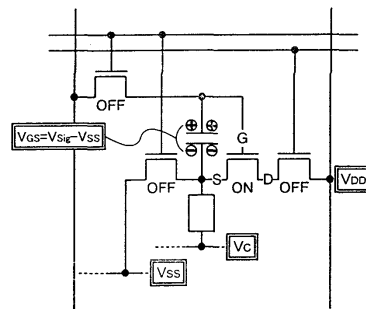
도면6



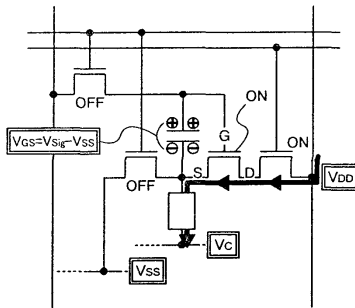
(a)



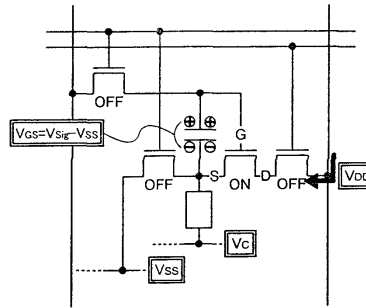
(b)



(c)

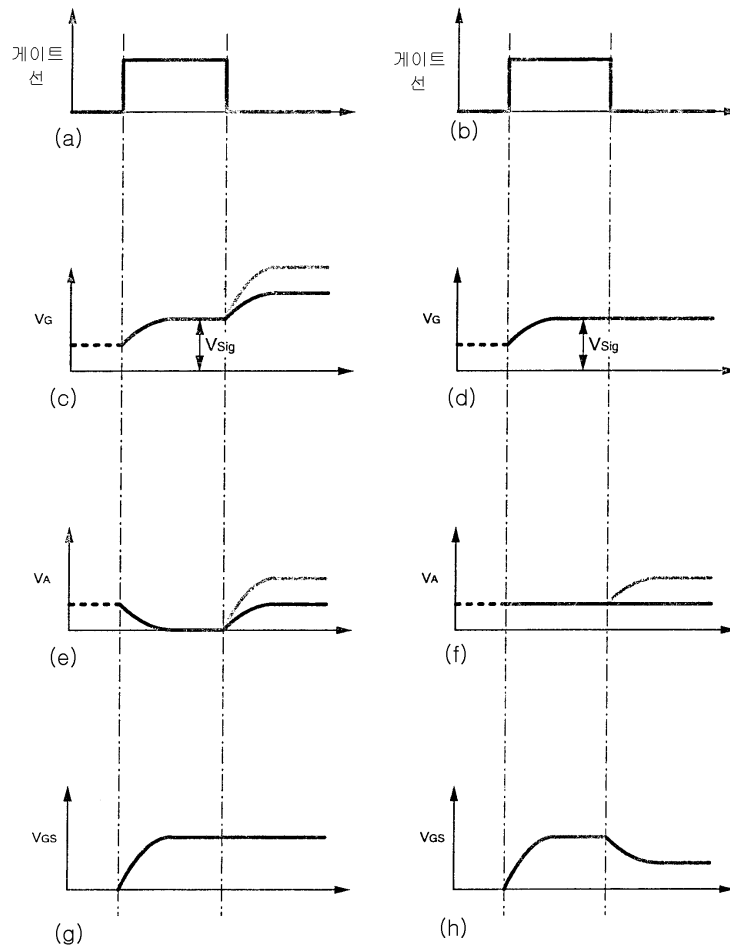


(d)

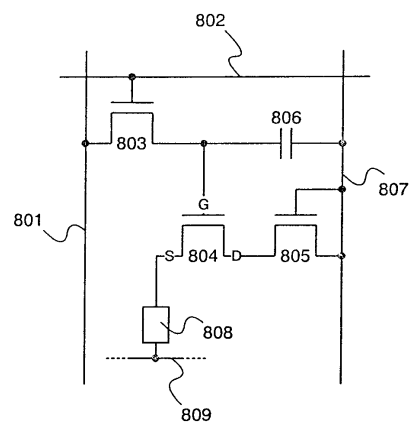


(e)

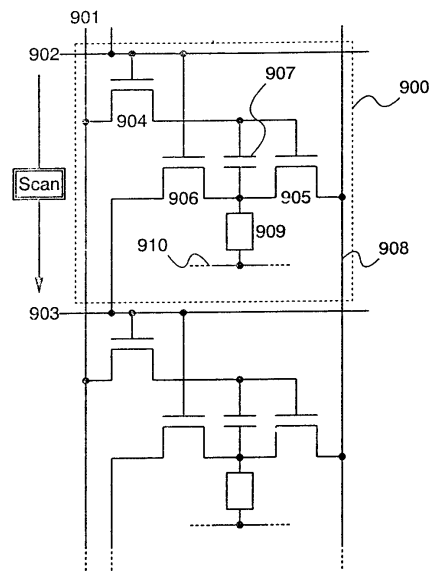
도면7



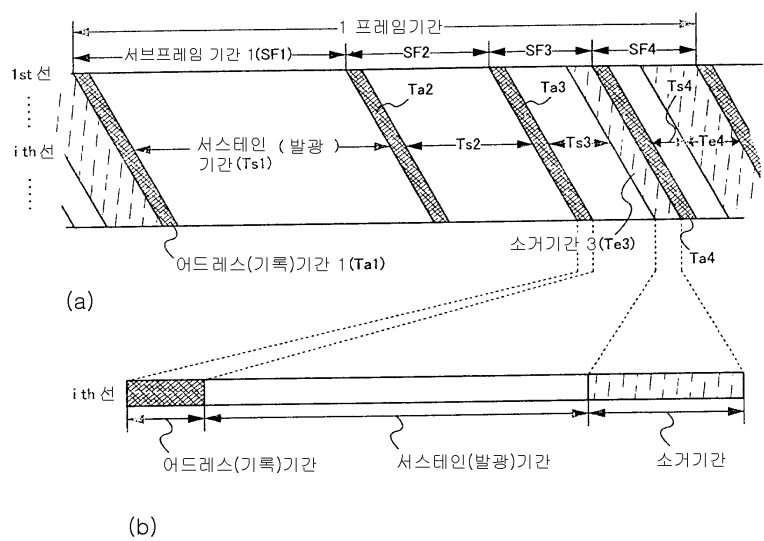
도면8



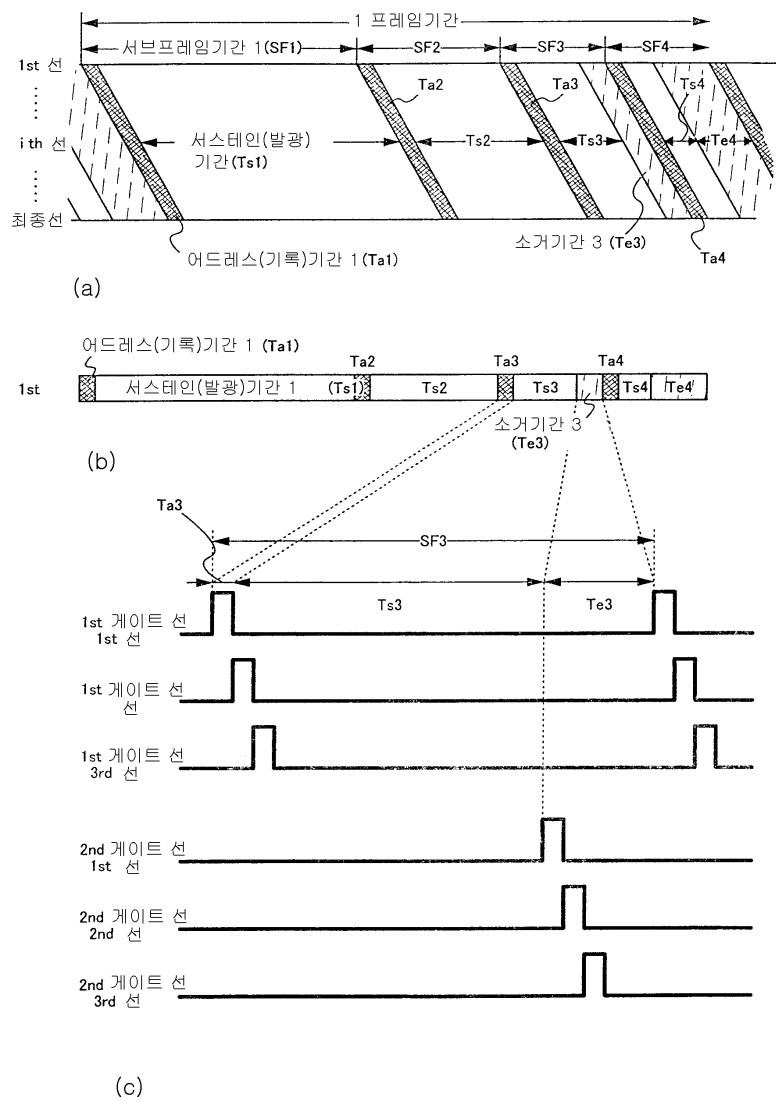
도면9



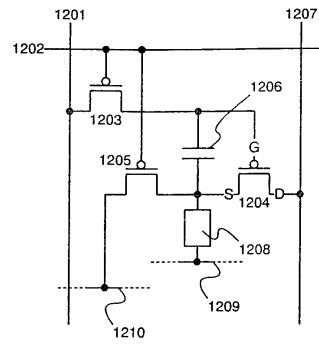
도면10



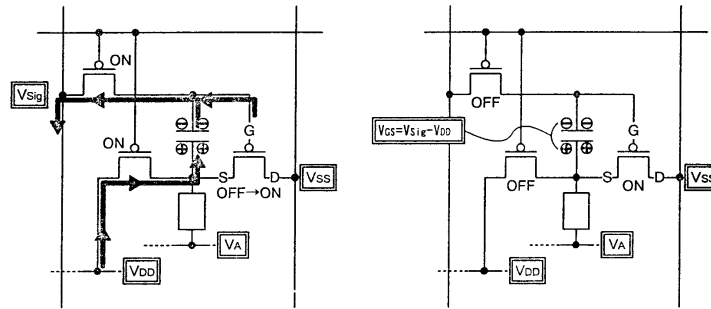
도면11



도면12

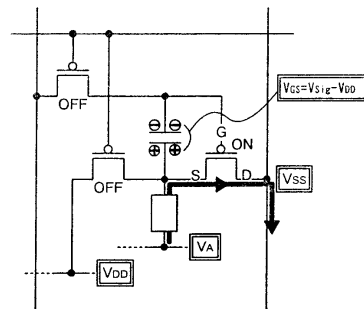


(a)



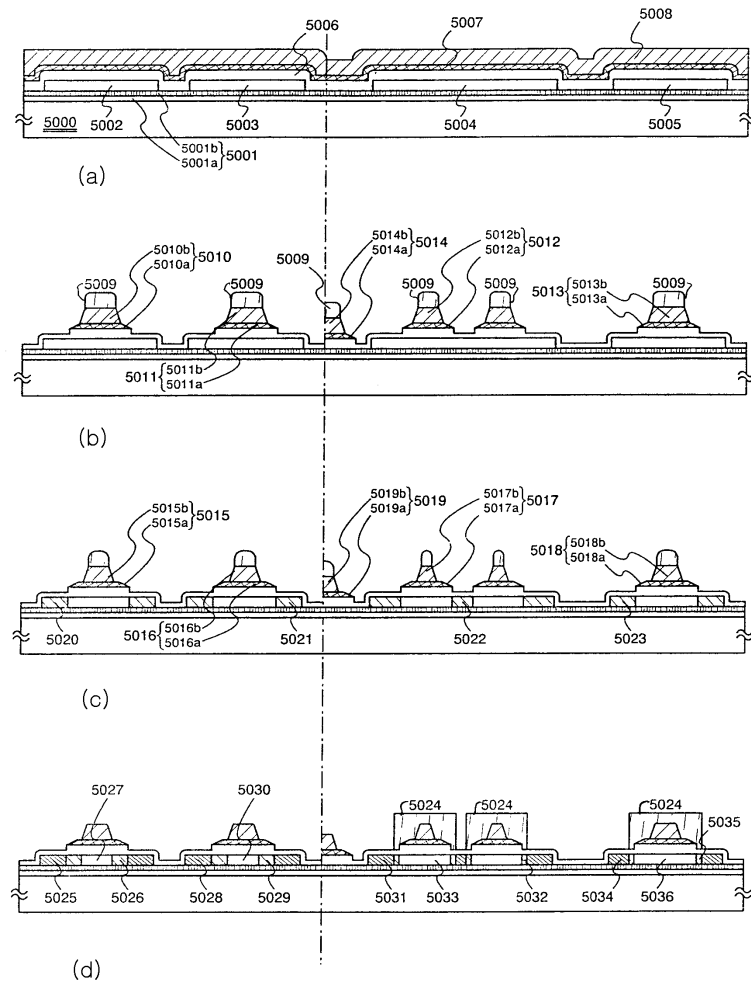
(b)

(c)

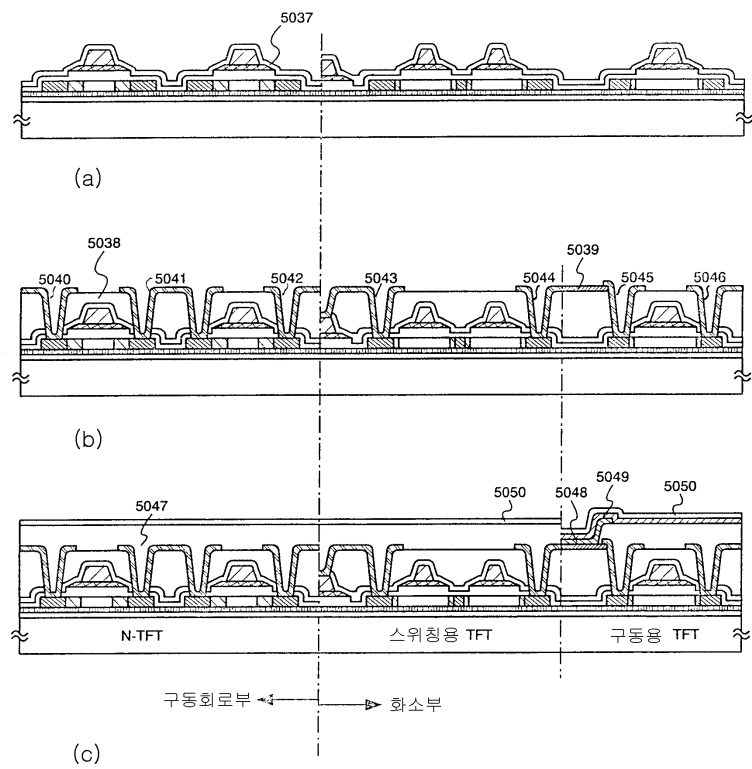


(d)

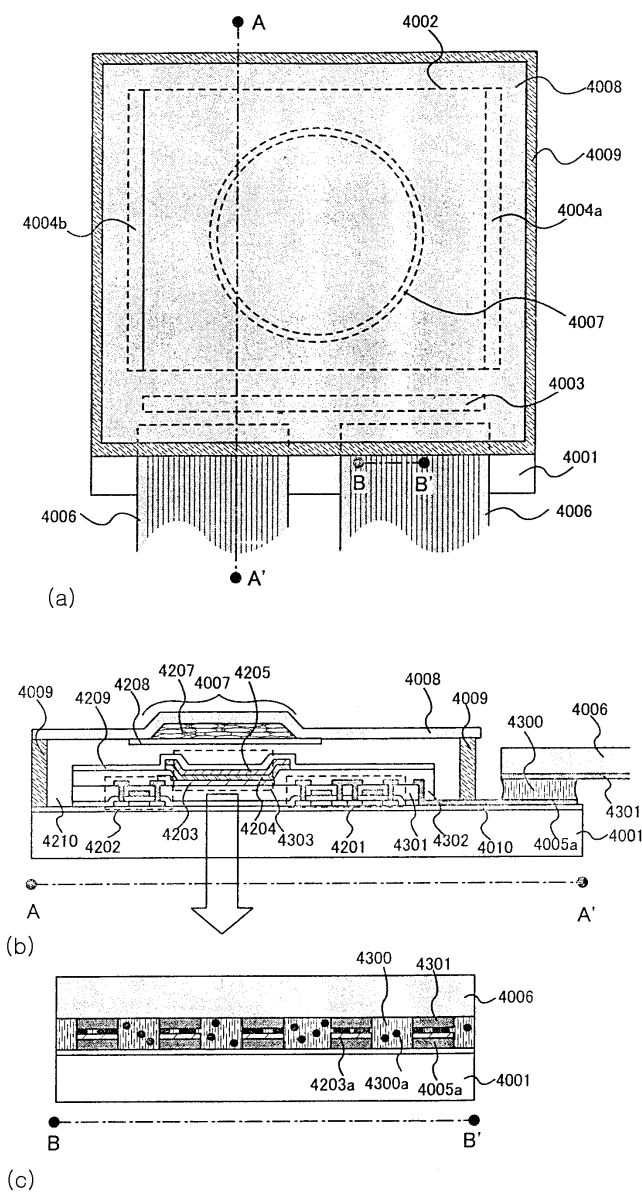
도면13



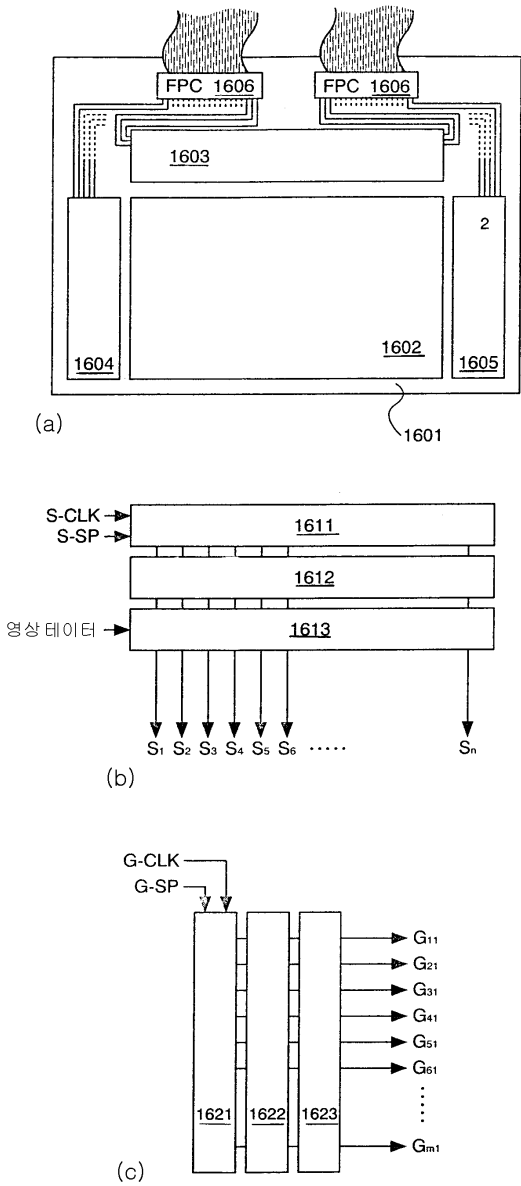
도면14



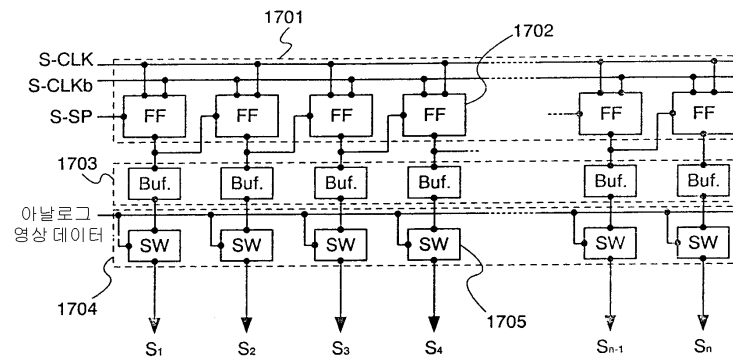
도면15



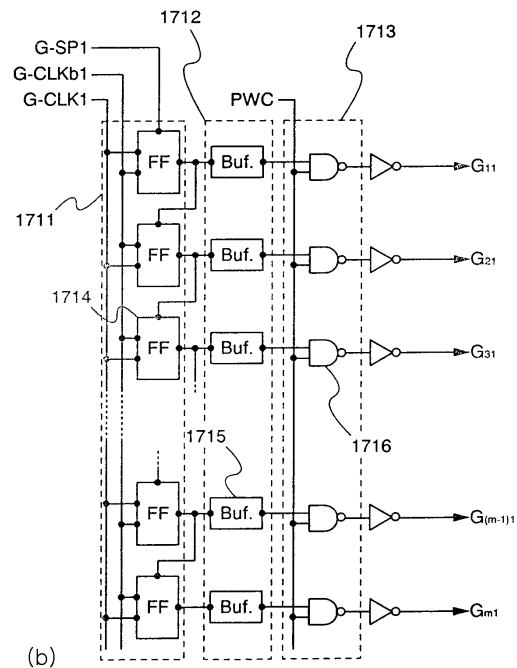
도면16



도면17

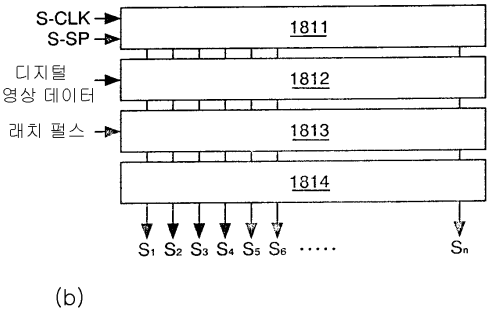
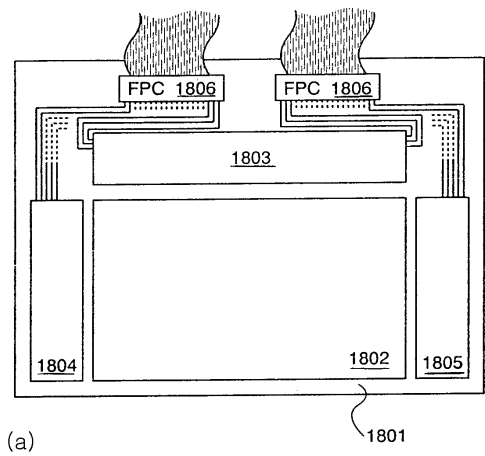


(a)

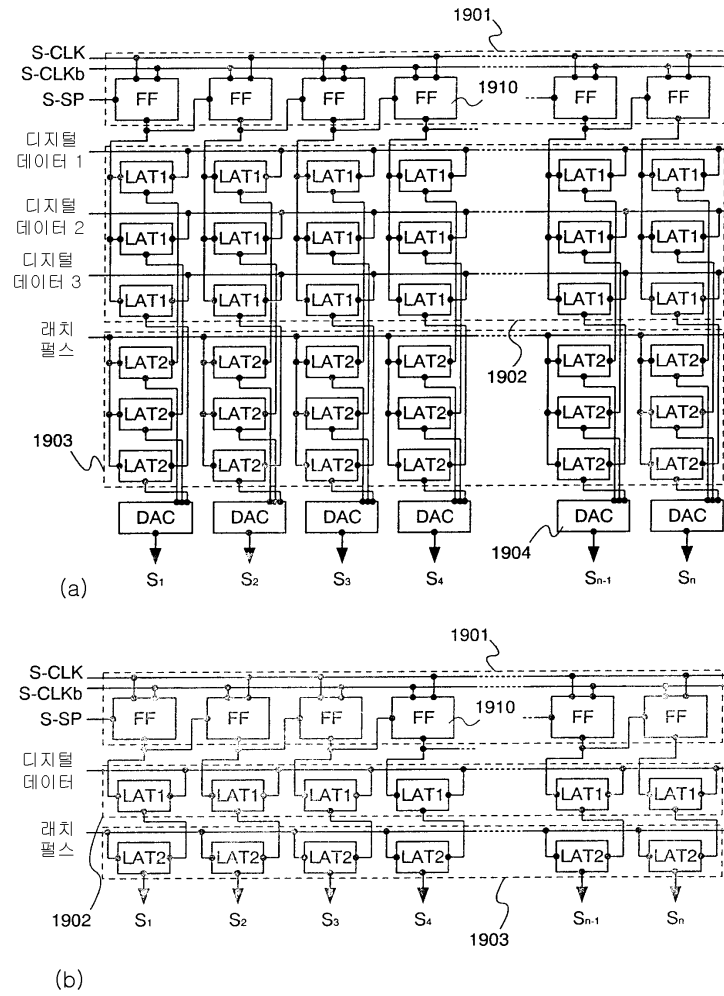


(b)

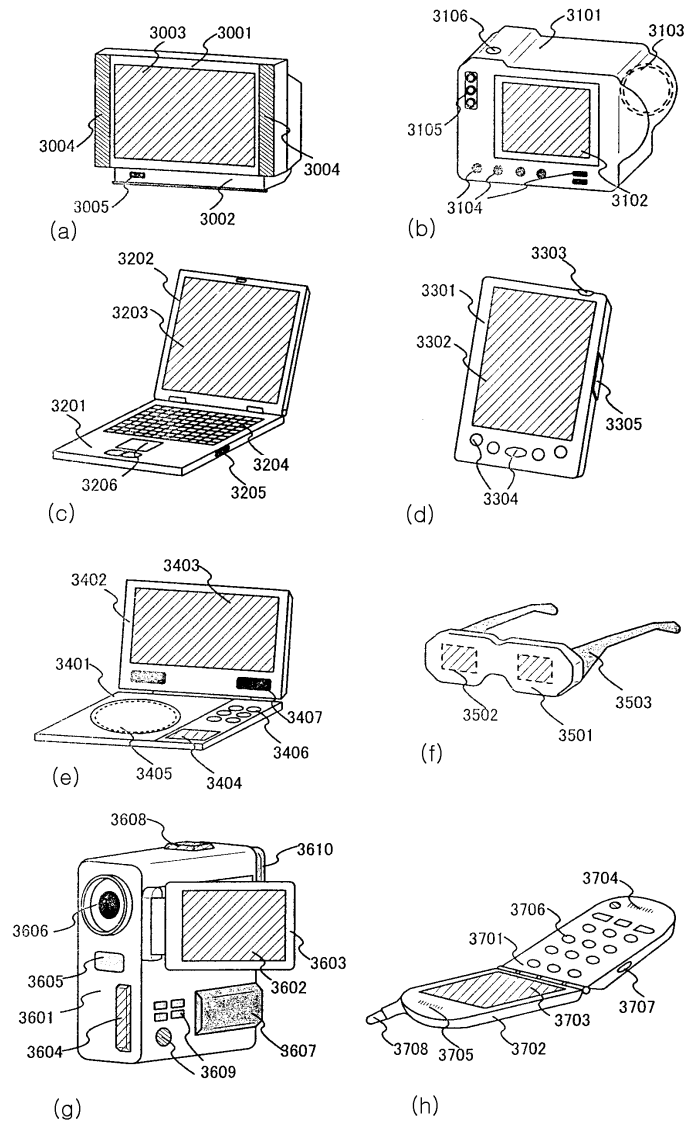
도면18



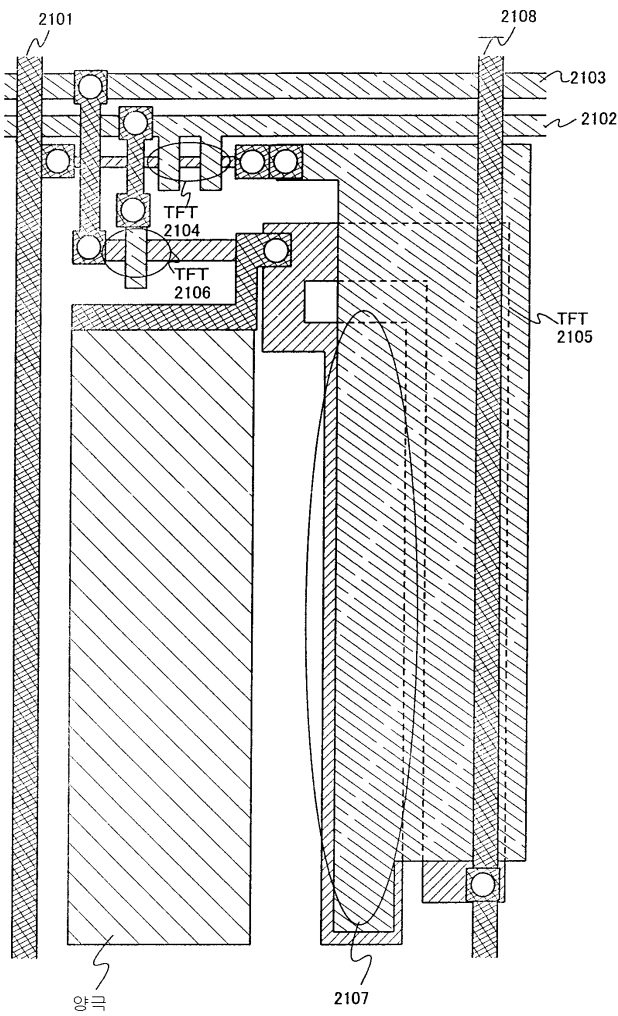
도면19



도면20



도면22



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR100940342B1	公开(公告)日	2010-02-04
申请号	KR1020020068075	申请日	2002-11-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME		
发明人	KIMURA,HAJIME		
IPC分类号	G09G3/30 G09G3/20 G09G3/32 H01L27/32 H04M1/73		
CPC分类号	G09G2330/08 G09G2310/061 G09G2300/0842 H01L27/3244 G09G2310/027 G09G2330/10 H01L27/1255 G09G2300/0426 G09G2320/043 G09G2310/0251 G09G3/3233 H04W52/027 G09G3/3266 G09G2310/0256 G09G3/2022 G09G3/3291 Y02D70/00		
代理人(译)	权泰BOK LEE HWA我		
优先权	2001348032 2001-11-13 JP		
其他公开文献	KR1020030040056A		
外部链接	Espacenet		

摘要(译)

将提供一种电致发光显示装置，其具有由于EL元件劣化而几乎不产生电流值变化的结构。电容元件设置在驱动TFT的栅极和源极之间，视频信号输入到栅极，然后栅极处于浮置状态。此时，当驱动TFT的栅极 - 源极电压超过其阈值时，驱动TFT导通。假设EL元件劣化并且阳极电位上升，即驱动TFT的源极电位上升，驱动TFT的栅极电极通过与电容元件耦合而处于浮置状态的电位将上升相同数量。因此，即使当阳极电位由于劣化的EL元件而上升时，上升也照原样加到栅电极电位上，并且允许驱动TFT的栅 - 源电压恒定。

