



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월12일
G09G 3/30 (2006.01)	(11) 등록번호	10-0738750
H05B 33/00 (2006.01)	(24) 등록일자	2007년07월05일

(21) 출원번호	10-2004-0049057	(65) 공개번호	10-2005-0002588
(22) 출원일자	2004년06월28일	(43) 공개일자	2005년01월07일
심사청구일자	2004년06월28일		

(30) 우선권주장 JP-P-2003-00184339 2003년06월27일 일본(JP)

(73) 특허권자 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 마에데준
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내

아베신이치
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내

후지카와아키오
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내

후지사와마사노리
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내

(74) 대리인 특허법인태평양

(56) 선행기술조사문헌	
JP2003255898 A	KR1020000073726 A
KR1020020095351 A	KR1020030051730 A

심사관 : 최정윤

전체 청구항 수 : 총 19 항

(54) 유기 E L 패널 구동 회로 및 이를 이용한 유기 E L 표시장치

(57) 요약

IC의 구동 회로 형성 영역의 최외곽측에 위치한 트랜지스터 블록에 더미 회로가 설치된다. 최외곽 트랜지스터 블록간 영역의 트랜지스터 블록 내에 형성되어 있는 D/A 변환기 회로 또는 D/A 변환기 회로와 출력단 전류원을 구성하는 단위 트랜지스터들의 물성적인 스트레스가 비교적 균일하여, D/A 변환기 회로를 구성하는 커런트 미러 회로들이 페어성이 좋은 단위 트랜지스터들로 구성될 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

유기 EL 표시 패널의 단자 핀을 통해 유기 EL 소자를 전류 구동하기 위한 IC로 형성된 유기 EL 패널 구동 회로에 있어서,

상기 단자 핀에 대응하여 설치되는 복수의 패드;

단위 트랜지스터로 구성된 커런트 미러 회로를 구비하고, 상기 패드에 각각 대응하여 설치되며, 상기 유기 EL 소자의 휘도 표시 데이터에 대응하여 아날로그 전류를 발생하도록 설정된 복수의 D/A 변환 회로; 및

단위 트랜지스터의 컬럼이 2개 이상 형성되고, 패드 배열 방향으로의 폭이 패드 피치의 n (n 은 양의 정수) 배에 대응하는 구형 영역을 각각 갖는 복수의 트랜지스터 블록을 구비하며,

상기 D/A 변환 회로를 구성하는 단위 트랜지스터는 상기 트랜지스터 블록의 단위 트랜지스터로부터 선택되며, 최외곽의 상기 트랜지스터 블록의 상기 단위 트랜지스터로 구성된 상기 D/A 변환 회로는 매트릭스 내에 배치된 상기 유기 EL 소자를 구동하기 위한 동작을 하지 않는 더미 회로인 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 2.

제 1 항에 있어서,

상기 복수의 트랜지스터 블록은 하나 이상의 패드에 대응하여 설치되고, 상기 패드 배열 방향에 수직인 방향으로 배치된 복수의 단위 트랜지스터를 포함하며, 상기 2개 이상의 단위 트랜지스터 컬럼은 상기 패드 배열 방향으로 설치되는 2개 이상의 단위 트랜지스터를 포함하며, 상기 더미 회로는 상기 복수의 트랜지스터 블록의 형성 영역의 최외곽측 부분에 위치하는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 3.

유기 EL 표시 패널의 단자 핀을 통해 유기 EL 소자를 전류 구동하기 위한 IC로 형성된 유기 EL 패널 구동 회로에 있어서,

상기 단자 핀에 대응하여 설치되는 복수의 패드;

단위 트랜지스터로 구성된 커런트 미러 회로를 구비하고, 상기 패드에 각각 대응하여 설치되며, 상기 유기 EL 소자의 휘도 표시 데이터에 대응하여 아날로그 전류를 발생하도록 설정된 복수의 D/A 변환 회로; 및

상기 패드의 배열 피치의 n (n 은 양의 정수) 배인 피치로 배열되고 상기 패드의 배열 방향으로의 폭과 구형 영역을 각각 갖는 복수의 트랜지스터 블록을 포함하는 트랜지스터 배열 블록을 구비하며,

각각의 상기 트랜지스터 블록은 상기 트랜지스터 배열 블록의 폭 방향으로 배열된 2 개 이상의 단위 트랜지스터 및 상기 패드 배열 방향에 수직인 방향으로 배열된 복수의 단위 트랜지스터를 포함하는 2 개 이상의 단위 트랜지스터 컬럼을 포함하며,

상기 D/A 변환 회로를 구성하는 단위 트랜지스터는 상기 트랜지스터 배열 블록의 내측 영역으로부터 선택되고, 상기 패드 배열 방향에 수직인 방향으로 상기 트랜지스터 배열 블록의 최외곽측 영역에 형성된 단위 트랜지스터로 구성된 상기 D/A 변환 회로는 매트릭스 내에 배치된 상기 유기 EL 소자를 구동하기 위한 동작을 하지 않는 더미 회로인 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 4.

제 3 항에 있어서,

상기 D/A 변환 회로는 전류 스위칭 D/A 변환 회로인 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 5.

제 4 항에 있어서,

상기 유기 EL 소자를 전류 구동하기 위해 상기 패드에 대응하여 설치되는 복수의 전류원을 더 구비하며,

상기 전류원은 상기 패드에 대응하여 설치된 상기 D/A 변환 회로로부터의 출력 전류에 의해 구동되고, 상기 전류원을 구성하는 단위 트랜지스터는 상기 트랜지스터 배열 블록의 내측 영역으로부터 선택되며, 상기 더미 회로는 상기 트랜지스터 배열 블록의 최외곽측 영역의 단위 트랜지스터로 구성된 전류원을 포함하는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 6.

제 5 항에 있어서,

상기 전류원은 각각 커런트 미러 회로를 구비하는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 7.

제 5 항에 있어서,

각각의 상기 더미 회로는 상기 복수의 트랜지스터 블록을 포함하며,

상기 복수의 트랜지스터 블록에 대응하는 상기 패드가 존재하지 않거나, 상기 패드로의 회로 접속이 존재하지 않거나, 혹은 상기 패드로부터 상기 유기 EL 소자를 구동하기 위한 상기 단자 핀으로의 접속이 존재하지 않는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 8.

제 5 항에 있어서,

상기 D/A 변환 회로와 상기 전류원은 R, G, B 표시색 각각에 대응하여 설치되고, R, G, B 표시색에 대한 상기 트랜지스터 블록은 순차적으로 반복되어 설치되며, 상기 더미 회로용으로 상기 복수의 트랜지스터 블록이 설치되며, 상기 전류원은 커런트 미러 회로로 구성된 출력단 전류원인 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 9.

제 5 항에 있어서,

상기 n 은 3 이고, 상기 트랜지스터 블록은 상기 패드 피치의 3 배인 피치로 상기 패드 배열 방향으로 배치된 6 개 이상의 단위 트랜지스터를 포함하며, 상기 D/A 변환 회로와 상기 전류원은 R, G, B 표시색에 대응하여 설치되는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 10.

제 5 항에 있어서,

상기 더미 회로의 상기 전류원은 아이콘 표시를 위한 상기 유기 EL 패널의 상기 단자 핀에 접속되는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 11.

제 10 항에 있어서,

상기 더미 회로는 상기 복수의 트랜지스터 블록을 포함하며, 상기 복수의 전류원은 아이콘 표시를 위한 상기 유기 EL 패널의 상기 단자 핀에 병렬로 접속되는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 12.

제 8 항에 있어서,

R, G, B 표시색에 대응하는 상기 더미 회로의 상기 전류원 중 상기 복수의 전류원은 아이콘 표시를 위한 상기 유기 EL 패널의 상기 단자 핀에 병렬로 접속되는 것을 특징으로 하는 유기 EL 패널 구동 회로.

청구항 13.

유기 EL 표시 패널의 단자 핀을 통하여 유기 EL 소자를 전류 구동하기 위해 IC 로 형성된 유기 EL 패널 구동 회로를 포함하는 유기 EL 표시 장치에 있어서,

상기 IC 는,

상기 단자 핀에 대응하여 설치되는 복수의 패드;

단위 트랜지스터로 구성된 커런트 미러 회로를 구비하고, 상기 패드에 각각 대응하여 설치되며, 상기 유기 EL 소자의 휘도 표시 데이터에 대응하여 아날로그 전류를 발생하도록 설정된 복수의 D/A 변환 회로; 및

단위 트랜지스터의 컬럼이 2 개 이상 형성되고, 패드 배열 방향으로의 폭이 패드 피치의 n (n 은 양의 정수) 배에 대응하는 구형 영역을 각각 갖는 복수의 트랜지스터 블록을 구비하며,

상기 D/A 변환 회로를 구성하는 단위 트랜지스터는 상기 트랜지스터 블록의 단위 트랜지스터로부터 선택되며, 상기 최외곽 트랜지스터 블록으로 구성된 상기 D/A 변환 회로는 매트릭스 내에 배치된 상기 유기 EL 소자를 구동하기 위한 동작을 하지 않는 더미 회로인 것을 특징으로 하는 유기 EL 표시 장치.

청구항 14.

유기 EL 표시 패널의 단자 핀을 통하여 유기 EL 소자를 전류 구동하기 위해 IC 로 형성된 유기 EL 패널 구동 회로를 포함하는 유기 EL 표시 장치에 있어서,

상기 IC 는,

상기 단자 핀에 대응하여 설치되는 복수의 패드;

단위 트랜지스터로 구성된 커런트 미러 회로를 구비하고, 상기 패드에 각각 대응하여 설치되며, 상기 유기 EL 소자의 휘도 표시 데이터에 대응하여 아날로그 전류를 발생하도록 설정된 복수의 D/A 변환 회로; 및

상기 패드의 배열 피치의 n (n 은 양의 정수) 배인 피치로 배열되고 상기 패드의 배열 방향으로의 폭과 구형 영역을 각각 갖는 복수의 트랜지스터 블록을 포함하는 트랜지스터 배열 블록을 구비하며,

각각의 상기 트랜지스터 블록은 상기 트랜지스터 배열 블록의 폭 방향으로 배열된 2 개 이상의 단위 트랜지스터 및 상기 패드 배열 방향에 수직인 방향으로 배열된 복수의 단위 트랜지스터를 포함하는 2 개 이상의 단위 트랜지스터 컬럼을 포함하며,

상기 D/A 변환 회로를 구성하는 단위 트랜지스터는 상기 트랜지스터 배열 블록의 내측 영역으로부터 선택되고, 상기 패드 배열 방향에 수직인 방향으로 상기 트랜지스터 배열 블록의 최외곽측 영역에 형성된 단위 트랜지스터로 구성된 상기 D/A 변환 회로는 매트릭스 내에 배치된 상기 유기 EL 소자를 구동하기 위한 동작을 하지 않는 더미 회로인 것을 특징으로 하는 유기 EL 표시 장치.

청구항 15.

제 14 항에 있어서,

상기 D/A 변환 회로는 전류 스위칭 D/A 변환 회로인 것을 특징으로 하는 유기 EL 표시 장치.

청구항 16.

제 15 항에 있어서,

상기 유기 EL 소자를 전류 구동하기 위해 상기 패드에 대응하여 설치되는 복수의 전류원을 더 구비하며,

상기 전류원은 상기 패드에 대응하여 설치된 상기 D/A 변환 회로로부터의 출력 전류에 의해 구동되고, 상기 전류원을 구성하는 단위 트랜지스터는 상기 트랜지스터 배열 블록의 내측 영역으로부터 선택되며, 상기 더미 회로는 상기 트랜지스터 배열 블록의 최외곽측 영역의 단위 트랜지스터로 구성된 전류원을 포함하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 17.

제 16 항에 있어서,

상기 전류원은 각각 커런트 미러 회로를 구비하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 18.

제 16 항에 있어서,

각각의 상기 더미 회로는 상기 복수의 트랜지스터 블록을 포함하며,

상기 복수의 트랜지스터 블록에 대응하는 상기 패드가 존재하지 않거나, 상기 패드로의 회로 접속이 존재하지 않거나, 혹은 상기 패드로부터 상기 유기 EL 소자를 구동하기 위한 상기 단자 핀으로의 접속이 존재하지 않는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 19.

제 16 항에 있어서,

상기 D/A 변환 회로와 상기 전류원은 R, G, B 표시색 각각에 대응하여 설치되고, R, G, B 표시색에 대한 상기 트랜지스터 블록은 순차적으로 반복되어 설치되며, 상기 더미 회로용으로 상기 복수의 트랜지스터 블록이 설치되며, 상기 전류원은 커런트 미러 회로로 구성된 출력단 전류원인 것을 특징으로 하는 유기 EL 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electroluminescent: 전계발광) 소자 구동 회로 및 이를 이용한 유기 EL 표시 장치에 관한 것이다. 더욱 상세하게는, 본 발명은 유기 EL 패널의 단자 핀을 통해 유기 EL 표시 장치의 유기 EL 패널의 컬럼 라인에 애노드(Anode)가 접속된 유기 EL 소자를 커런트 미러 회로로 구성된 D/A 변환기 회로에 의해 생성된 전류에 의하여 구동하기 위한 전류 구동 회로의 회로 설계에 관한 것으로, 이를 통해 유기 EL 소자들의 발광 편차를 감소시켜 모든 유기 EL 표시 장치의 발광 편차에 미치는 영향을 감소시킬 수 있다.

휴대 전화기, PHS, DVD 플레이어, PDA(Personal Digital Assistance) 등에 탑재된 유기 EL 표시 장치의 유기 EL 표시 패널로는 컬럼 라인용의 396(132×3) 개 단자 핀과 로우 라인용의 162 개 단자 핀을 갖는 것이 제안되었으며, 그러한 유기 EL 표시 패널의 컬럼 라인 수와 로우 라인 수는 증가하는 추세이다.

이와 같은 유기 EL 표시 패널의 전류 구동 회로는 입력단과 출력단을 구비한다. 그 전류 구동 회로의 출력단은, 구동 전류의 종류 및 수동 매트릭스형인지 능동 매트릭스형인지 여부 등에 관계없이, 유기 EL 표시 패널의 각 단자 핀에 대응하여 설치되는, 예를 들면, 커런트 미러 회로(Current-mirror Circuit)와 같은 복수의 구동 회로로 구성된 출력 회로를 포함한다.

각 단자 핀에는 커런트 미러 회로에 의한 출력 회로가 각각 설치되고, 그 출력 회로의 구동단은, 예를 들면 여기서 참조하고 있으며 JP 2003-255898A 호에 대응하는 미국 특허 제 6,586,888 호에 개시된 바와 같이, 유기 EL 패널의 단자 핀에 대응하여 설치되는 복수의 출력측 트랜지스터를 포함하는 기준 전류 분배 회로를 구성하는 병렬 구동 커런트 미러 회로를 포함한다. 출력 회로의 커런트 미러 회로는 그 입력단인 기준 전류 발생 회로로부터 공급되는 기준 전류에 응답하여 단자 핀에 대응하는 미러 전류를 발생함으로써 각 단자 핀에 그 미러 전류를 분배하고 출력 회로를 구동한다. 또한, 커런트 미러

구성의 D/A 변환 회로는 각 단자 핀에 대응하여 출력 회로의 업스트림(Upstream)측에 설치되어 미리 회로를 D-A 변환하고, 이로써 단자 핀에 대한 표시 데이터에 따라 아날로그 전류를 생성한다. 이렇게 생성된 아날로그 전류는 커런트 미러 회로 구성을 갖는 출력 회로를 구동하여, 단자 핀에 대응하여 설치된 유기 EL 소자에 대한 구동 전류를 생성한다.

커런트 미러 회로를 이용하여 각 유기 EL 소자에 대한 구동 전류를 생성함으로써 전력 손실은 억제하면서 수동 매트릭스 형에서 수 μA 정도로 작은 기준 전류를 1A 정도로 증폭할 수 있다. 따라서, 저전력을 소비하는 구동 회로를 구현할 수 있다. 능동 매트릭스형에서도 마찬가지로, 1nA 에서 10 μA 정도의 구동 전류를 저전력을 소비하면서 얻을 수 있다.

유기 EL 표시 패널의 이러한 전류 구동 회로에는, 커런트 미러 회로를 구성하는 다수의 단위 트랜지스터들이 각 단자 핀에 대응하여 설치된 패드에 대하여 배치되어 있다.

도 4a 내지 도 4c 는 전류 구동 회로의 출력단 전류원으로서 D/A 변환 회로를 형성하는 단위 트랜지스터들의 종래의 레이아웃과 단위 트랜지스터의 구성을 나타낸다. 상세하게는, 도 4a 는, 유기 EL 표시 패널의 각 출력 단자에 접속된 패드(2)의 배열 방향에 수직으로 배치된 복수의 단위 트랜지스터(1)를 각각 포함하는 트랜지스터 컬럼을 2 개씩 갖는 트랜지스터 블록(3)의 단위 트랜지스터들의 레이아웃을 나타낸다. 복수의 트랜지스터 블록(3)은 각 패드(2)에 대응하여 배치되어 있다. 유기 EL 표시 패널의 각 출력 단자에 대해 IC 로서 설치된 전류 구동 회로는 복수의 트랜지스터 블록(3)으로 구성된다.

단위 트랜지스터(1)의 단면을 나타내는 도 4c 에 도시된 바와 같이, 단위 트랜지스터(1)들은 매입층(B/L)(11)과 소자 분리 영역(12)으로 형성된 구형 영역(Rectangular Region)에서 서로 분리되어 있으며, 단위 트랜지스터(1)의 베이스 영역(13b), 이미터 영역(13e) 및 컬렉터 영역(13c)은 기판(16)의 표면측에 형성되어 있다. 또한, 도 4b 와 도 4c 에 나타난 참조 부호 14b, 14e 및 14c 는 베이스 접점, 이미터 접점 및 컬렉터 접점을 각각 나타낸다. 컬렉터 접점(14c)은 컬렉터 월(Collector Wall:15)과 매입층(11)을 통해 컬렉터 영역(13c)에 접속되어 있다.

참조 부호 17 은 NSG 의 층간 분리막을 나타내며, 참조 부호 18 은 층간 분리막 상에 형성된 폴리실리콘(P-Sin)의 절연층을 나타낸다.

컬럼으로서 패드 배열 방향에 수직으로 배치된 복수의 단위 트랜지스터(1)를 각각 포함하는 트랜지스터 블록(3)의 한 쌍이, 도 4a 에 나타난 바와 같이, 각 패드에 설치된다. 유기 EL 표시 패널의 단자 핀에 대응하여 설치된 전류 구동 회로는, 전류 구동 회로의 출력 단자에 대응하여 설치된 패드의 배열 방향으로 연속적으로 설치된 쌍으로 된 복수의 트랜지스터 블록(3)을 집적함으로써, IC 로 구성된다.

쌍으로 된 트랜지스터 블록(3) 중 하나는 R, G, B 표시색 중 하나에 대응하므로, 3 쌍의 트랜지스터 블록(3)이 한 세트로서 사용되며, 패드에는 복수의 세트가 연속적으로 설치된다.

예를 들면, 패드 피치가 50 μm 이고 패드 배열 방향의 트랜지스터 블록(3)의 소자 형성 영역이 44 μm 인 경우, 인접한 트랜지스터 블록간 6 μm 의 간격으로 패드 배열 방향으로 소자 형성 영역에서 병렬로 2 개의 단위 트랜지스터가 형성되며, 패드 배열 방향에 수직인 방향으로 각 단자 핀에 대한 구동 회로를 구성하기 위해 충분한 수의 트랜지스터 블록(3)이 설치된다.

그 결과, 예를 들면, 수십 내지 백개의 단위 트랜지스터(1)를 각각 포함하며 길이가 1.0mm 내지 3.0mm 인 2 개의 단위 트랜지스터 컬럼이 출력 단자에 접속되는 각 패드(2) 위치에 수직 방향으로 대응하여 배치된다. 이들 단위 트랜지스터(1)의 거의 전부는 절연층(18) 위의 배선층에서 커런트 미러 접속된다.

커런트 미러 회로로 구성된 전류 스위칭 D/A 변환 회로와 출력단 전류원을 구성하는 커런트 미러 출력 회로는 거의 동일한 페어 특성을 가지며 단위 트랜지스터 컬럼의 쌍으로 된 단위 트랜지스터들로부터 선택되는 트랜지스터 쌍으로 구성된다.

여기서, "전류 스위칭 D/A 변환 회로" 는 비트 데이터에 따라 복수 전류원의 전류를 ON/OFF 스위칭하여 아날로그 전류를 얻는 회로를 의미한다.

도 4a 에는 각 패드(2)에 제공되는 단위 트랜지스터(1)들의 컬럼 2 개가 나타나 있다. 그러나, 집적율을 개선하기 위해 R, G, B 표시색의 3 단자 핀에 대한 단위 트랜지스터들의 6 개 컬럼을 R, G, B 표시색의 픽셀 피치에 대응하는 한 세트로서 사용할 수 있으며, 복수의 세트들이 로우(Row) 방향으로 연속적으로 설치된다. 이 경우, 단위 트랜지스터들의 6 개 컬럼의 패드 배열 방향의 폭이 150 μm 로 되지만, 단위 트랜지스터들의 배선은 2 컬럼 세트의 경우에서와 같다.

매트릭스에 배치된 유기 EL 소자를 전류 구동함으로써 유기 EL 소자를 구동하고 유기 EL 소자의 캐소드와 애노드를 접지 시킴으로써 유기 EL 소자를 리셋하는 구동 회로가 특허 제 9-232074A 호에 개시되어 있다. 또한, DC-DC 변환기를 이용하여 저소비 전력으로 유기 EL 소자를 전류 구동하는 기술이 특허 제 2001-143867A 호에 개시되어 있다.

상술한 커런트 미러 회로 구성을 갖는 D/A 변환기 회로를 이용하여 구동 전류를 발생시키는 유기 EL 소자 구동 회로에 의해 수 μA 의 기준 전류로부터 mA 나 A 단위의 큰 구동 전류를 발생시키는 경우, D/A 변환 회로의 변환 정밀도의 불규칙함으로 인해 출력단 전류원의 출력 전류의 불규칙함이 생기고, 이것이 휘도 얼룩(Luminous Variation)을 유발하는 문제가 있다.

특히, 커런트 미러 구성의 전류 스위칭 D/A 변환 회로의 경우 전류원에서의 전류를 스위칭함으로써 커런트 미러 회로의 출력측 트랜지스터에서, 예를 들면 기준 전류의 2 배, 4 배, 8 배, 16 배 또는 그 이상의 전류를 얻기 때문에, 커런트 미러 회로를 구성하는 트랜지스터의 수가 수십에서 백개까지 된다. 그러므로, 커런트 미러 회로를 구성하는 단위 트랜지스터의 입력측 트랜지스터에 대한 페어 특성을 유지하는 것이 중요하다. IC 칩에서, 페어 특성은 쌍으로된 트랜지스터간의 거리와 쌍으로된 트랜지스터가 선택되는 IC 의 트랜지스터 블록 형성 영역에서의 위치의 영향을 받는다.

또한, 유기 EL 소자의 휘도 표시 데이터에 대응하는 구동 전류를 발생시키기 위해, 커런트 미러 회로 구성의 높은 변환 정밀도를 갖는 D/A 변환 회로가 요구된다. 수직으로 긴 단위 트랜지스터 블록(3)을 패드에 대응하여 설치하는 경우, 트랜지스터 블록 형성 영역의 양단에서의 단위 트랜지스터들은 그 페어 특성이 나빠진다.

그 이유는, 트랜지스터 블록 형성 영역 내에 위치한 트랜지스터 블록(3)은 내측 트랜지스터 블록(3)과 같은 트랜지스터 블록(3)을 그 양쪽에 가지는 반면, 트랜지스터 블록 형성 영역의 양단에 설치된 트랜지스터 블록은 트랜지스터 블록을 한쪽에만 가지기 때문이다. 따라서, 트랜지스터 블록 형성 영역의 양측 부분에 형성된 트랜지스터 블록(3)의 물리적 특성에 있어서의 환경이 트랜지스터 블록 형성 영역의 내측에 형성된 트랜지스터 블록(3)의 것과는 상이하기 때문에, 트랜지스터 블록 형성 영역의 어느 한 단부의 트랜지스터와 그 영역 내측에 형성된 트랜지스터 사이에는 특성 차이가 존재한다. 따라서, 커런트 미러 회로를 형성하는 이들 트랜지스터들의 페어 특성이 나빠지는 것이다.

그 결과, 커런트 미러 회로에 대응하는 단자 핀 간 출력 전류의 차이가 커져서 유기 EL 소자의 휘도 얼룩을 유발한다. 특히, 복수의 구동 IC 를 사용하는 경우, IC 의 경계에서의 휘도 얼룩이 현저해진다.

미국 특허 제 6,586,888 호에서는, 동일한 커런트 미러 회로의 복수(수십개)의 출력측 트랜지스터의 중앙에 기준 전류 분배용 커런트 미러 회로의 입력측 트랜지스터를 배치함으로써, IC 간의 경계에서의 휘도 얼룩을 방지한다.

도 5 는 미국 특허 제 6,586,888 호에 개시된 커런트 미러 회로의 출력 전류 특성을 나타낸다. 즉, 도 5 는 R, G, B 표시색 각각에 대한 45 단자 핀을 가진 전류 구동 회로의 단자간 출력 전류 특성을 나타내는 그래프이다. 도 5 에서, 종축은 전류 변화율(%)을 나타내며, 횡축은 단자 핀의 위치에 대응하는 단자 핀 수를 나타낸다. 가는 연속선은 측정된 단자간 출력 전류 특성을 나타내며, 굵은 선은 회귀 곡선을 나타낸다.

도 5 에서 알 수 있는 바와 같이, 트랜지스터 블록 형성 영역의 어느 한쪽 단부로 단자 핀이 가까워질수록 출력 전류는 작아진다. 트랜지스터 블록 형성 영역의 양단에서의 단자 핀은 IC 의 기판에 있는 트랜지스터 그룹 형성 영역의 양 단부에서의 트랜지스터 그룹(3)에 각각 대응한다.

미국 특허 제 6,586,888 호에 개시된 바와 같이 출력측 트랜지스터의 중앙부에 커런트 미러 회로의 입력측 트랜지스터를 설치하여 기준 전류를 분배하더라도, 유기 EL 표시 패널의 표시 스크린상의 휘도 얼룩을 충분히 억제하는 것은 불가능하다. 모든 유기 EL 표시 장치의 휘도 얼룩은 트랜지스터 블록 형성 영역의 양 단부에서의 트랜지스터 출력 전류 감소에 의해 큰 영향을 받는다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 유기 EL 표시 패널의 휘도 얼룩을 줄일 수 있는 유기 EL 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 상기 유기 EL 소자 구동 회로를 이용한 유기 EL 표시 장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위해, 본 발명에 따른 유기 EL 소자 구동 회로는 유기 EL 표시 패널의 단자 핀에 대응하여 설치되는 복수의 패드, 유기 EL 소자의 휘도 표시 데이터에 따라 아날로그 전류를 생성하도록 각 패드에 대응하여 설치되는 복수의 D/A 변환 회로 및 2 개 이상의 단위 트랜지스터 컬럼이 형성된 구형 영역을 각각 갖는 복수의 트랜지스터 블록을 구비하고, 패드 배열 방향으로의 상기 구형 영역의 폭은 패드 피치의 n 배에 실질적으로 대응하며, 상기 n 은 양의 정수이며, D/A 변환기를 구성하는 단위 트랜지스터들은 상기 트랜지스터 블록의 단위 트랜지스터들로부터 선택되고 최외곽 트랜지스터 블록의 단위 트랜지스터로 구성된 D/A 변환 회로는 매트릭스에 배치된 유기 EL 소자를 구동하기 위한 동작을 하지 않는 더미 회로인 것을 특징으로 한다.

상기 유기 EL 구동 회로는 상기 패드에 대응하여 설치되는 복수의 전류원을 더 구비할 수 있다. 전류원은 D/A 변환기의 출력 회로의 출력에 응답하여 구동 전류를 생성하여 패드를 통해 상기 단자 핀으로 그 구동 전류를 출력한다. D/A 변환기와 전류원을 구성하는 단위 트랜지스터는 상기 트랜지스터 블록으로부터 선택되며, 최외곽 트랜지스터 블록의 트랜지스터로 구성된 D/A 변환기와 전류원은 매트릭스 내에 배치된 유기 EL 소자를 구동하는데 사용되지 않는 더미 회로이다.

본 발명에 있어서, IC 칩의 구동 회로 형성 영역의 양단에 설치된 트랜지스터 블록은 더미 회로이기 때문에, 트랜지스터 블록 형성 영역 내측의 트랜지스터 블록에 형성된 트랜지스터와 D/A 변환기 또는 D/A 변환기와 전류원을 형성하는 트랜지스터 사이의 물리적인 특성의 차이가 감소하므로, D/A 변환기의 커런트 미러 회로는 페어 특성이 좋은 트랜지스터로 구성될 수 있다.

따라서, 최외곽 단자 핀에 공급되는 출력 전류의 감소가 억제되고 그 단자 핀에 대응하는 유기 EL 소자의 휘도 얼룩이 감소될 수 있다. 마찬가지로, 유기 EL 표시 장치마다의 휘도 분산에 대한 휘도 얼룩의 영향이 감소될 수 있다.

도 1 및 도 3 에 있어서 도 4a 내지 도 4c 에 나타난 것과 동일한 구성 요소는 동일한 참조 부호로 각각 표시되어 있다.

도 1 은 본 발명의 일 실시형태에 따른 유기 EL 구동 회로의 컬럼 구동 IC(10)의 트랜지스터 블록 형성 영역(7)에 형성된 단위 트랜지스터 블록의 레이아웃을 나타낸다. 도 1 에서, 참조 부호 10a 는 유기 EL 표시 패널의 단자 핀에 대응하여 설치된 D/A 변환 회로와 출력단 전류원을 구성하는 단위 트랜지스터를 각각 포함하는 단위 트랜지스터 블록의 레이아웃을 나타낸다.

트랜지스터 블록(3)은 도 4a 에 나타난 트랜지스터 블록(3)처럼 42 개의 단위 트랜지스터를 각각 포함하는 2 개의 컬럼을 구비하고 있다. 트랜지스터 블록(3)에 유사한 해치된(Hatched) 트랜지스터 블록(6)은 매트릭스 내에 배치된 유기 EL 소자를 구동하는데 사용되지 않는 더미 회로를 형성하는 더미 블록이다.

각 패드(2)에 대응하여 설치된 R, G, B 표시색에 대한 3 개의 트랜지스터 블록(3)의 한 세트는, 이 순서로, 트랜지스터 블록(3)간에 소정 간격을 두고 패드 배열 방향(도면의 횡방향)으로 패드 피치마다 배치된다. 트랜지스터 블록(3)과 동일한 구성의 3 개의 트랜지스터 블록(6)이, 대응하는 패드(2)에 접속되지 않고 사용되지 않는 더미 트랜지스터 블록으로서, IC 칩(10)의 트랜지스터 블록 형성 영역(7)의 각 최외곽 영역에 형성된다.

유기 EL 패널의 전류 구동 회로는 기준 전류 생성 회로를 갖는 입력단, 복수의 트랜지스터를 포함하는 구동단 및 출력단을 구비한다. 구동단과 출력단은 유기 EL 패널의 각 단자 핀에 대응하여 설치된다. 전류 구동 회로는 트랜지스터 블록(3) 내에 형성된다. 전류 구동 회로의 구동단은 기준 전류를 각 단자 핀으로 분배하는 기준 전류 분배 회로 및 커런트 미러 회로 구성의 전류 스위칭 D/A 변환기를 포함한다. 전류 스위칭 D/A 변환기는 각 단자 핀에 대응하여 설치된다. 전류 스위칭 D/A 변환 회로는 표시 데이터에 응답하여, 단자 핀에 대응하여 설치된 출력단 전류원을 구동한다.

본 실시형태에서, 각 트랜지스터 블록(3)의 트랜지스터 블록부(4)는 출력단 전류원을 구성하는 2×6 개의 단위 트랜지스터로 구성되고, 각 트랜지스터 블록(3)의 트랜지스터 블록부(5)는 전류 스위칭 D/A 변환 회로를 구성하는 2×36 개의 단위 트랜지스터로 구성된다.

한편, 트랜지스터 블록 형성 영역(7)의 각 단부에 형성된 3 개의 트랜지스터 블록(6)의 트랜지스터 블록(4D 및 5D)은 사용되지는 않지만 출력단 전류원과 전류 스위칭 D/A 변환 회로도 설치되어 있는 더미 블록이다. 그러므로, 각 패드(2)나 단자 핀에 더미 블록부(4D 및 5D)를 접속하기 위해 형성된 배선이 없다.

이 경우, 미국 특허 제 6,586,888 호에 개시된 회로는 출력단 전류원을 구성하는 커런트 미러 회로용으로 10 개의 단위 트랜지스터를 사용하고, 스위칭 D/A 변환 회로를 구성하는 커런트 미러 회로용으로 70 개의 단위 트랜지스터를 사용하며, 출력단 커런트 미러 회로와 전류 스위칭 D/A 변환기 각각에 2 개의 더미 트랜지스터를 추가함으로써 구현된다. 도 2 는 이 경우 단자 핀에 대한 출력 전류 특성을 나타내는 그래프이다.

트랜지스터 블록(3 및 6)에 형성된 출력단 전류원과 D/A 변환 회로의 세부 사항은 여기에 참조되어 있는 미국 특허 출원 제 10,360,714 호(JP 2003-308043 호에 대응)에 개시되어 있다.

종축은 전류 변화율(%)을 나타내고 횡축은 유기 EL 표시 패널의 단자 핀에 대응하는 패드(2)의 위치에 대응하는 단자 핀 수를 나타내고, 얇은 연속선은 측정된 전류 변화율을 나타내고 굵은 선은 회귀 곡선을 나타내며, 단자간 출력 전류 특성을 나타내는 도 2 에 도시된 바와 같이, R, G, B 표시색 각각에 대한 단자 핀의 수는 2 만쯤 줄어들지만, 단자간 전류 특성은 도 5 에 나타낸 것에 비해 편평하고 단자 핀 사이의 출력 전류 편차가 감소되어 있다.

도 3 은 본 발명의 다른 실시형태에 따른 유기 EL 패널의 유기 EL 구동 회로를 구성하는 단위 트랜지스터의 레이아웃을 나타낸다. 도 3 에서, 3 개의 트랜지스터 블록이 각각 R, G, B 표시색에 할당되어 있는 도 1 의 실시형태와는 달리, 트랜지스터 블록(3a)은, 패드 배열 방향으로 B, R, G 순서로 배치된 B, R, G 표시색에 대한 출력단 전류원을 각각 포함하며, 패드 배열 방향에 수직인 방향으로 B, R, G 순서로 배치된 B, R, G 색에 대한 D/A 변환 회로를 각각 포함한다.

즉, 트랜지스터 블록(3a)은 2 개의 단위 트랜지스터 컬럼을 각각 포함하는 트랜지스터 블록(3) 3 개로 구성되어 있다. 도 3 에 나타내지는 않았지만, 도 1 에 나타낸 트랜지스터 블록(6)에 대응하는 더미 회로를 형성하는 트랜지스터 블록(3a)이 구동 회로 IC 형성 영역 외측의 트랜지스터 블록 형성 영역(7)의 양측 부분 각각에 설치된다.

도 3 에서, 각 트랜지스터 블록(3a)의 출력단을 형성하는 전류원 4Ri, 4Gi, 4Bi, ... 는 패드 2 Bi, 2Ri, 2Gi, ... 의 배열 방향으로 배치된다.

트랜지스터 블록(3a)의 부분 5Ri, 5Gi, 5Bi 은 트랜지스터 형성 블록(7)의 D/A 변환 회로이며, 패드 2 Bi, 2Ri, 2Gi, ... 의 배열 방향에 수직으로 배치된다.

또한, 출력단 전류원 4Ri, 4Gi, 4Bi 가 형성되어 있는 더미 회로(4D)와 D/A 변환 회로 5Ri, 5Gi, 5Bi 가 형성되어 있는 더미 회로(5D)를 갖는 트랜지스터 블록들은 IC 칩의 트랜지스터 블록 형성 영역(7)의 최외곽측 부분에 설치된다.

도 1 에 나타낸 레이아웃과 마찬가지로, 트랜지스터 블록(3a)은 R, G, B 표시색에 대한 출력단 전류원과 D/A 변환 회로용으로 84×3 개의 단위 트랜지스터를 포함한다. 그러므로, 트랜지스터 블록(3a) 내의 단위 트랜지스터의 총수는 252 개이다.

도 3 에 나타낸 실시형태에서, 커런트 미러 회로는, 도 1 에 나타낸 패드 피치의 3 배인 패드 피치로 트랜지스터 블록(3a)으로부터 R, G, B 표시색에 대한 커런트 미러 회로를 구성하는 단위 트랜지스터(1)를 선택하고 그 선택된 단위 트랜지스터(1)를 R, G, B 표시색에 대한 출력단 전류원과 D/A 변환 회로에 할당함으로써 형성된다.

한편, 도 3 에 나타낸 실시형태에서, D/A 변환 회로를 포함하는 트랜지스터 블록(3a)은 패드 배열 방향으로 넓은 폭을 갖는 구형 영역에 형성되므로, 페어 특성이 좋은 트랜지스터가 선택되어지는 영역의 범위가 패드 배열 방향으로 확장된다. 도 3 에 나타낸 페어 특성은 패드 배열 방향에 수직으로 배치된 트랜지스터들로부터 쌍으로 될 트랜지스터를 선택함으로써 얻어지지만, 도 3 에 나타낸 실시형태에 따른 경우 좋은 페어 특성을 얻을 가능성이 도 5 의 경우보다 높아진다.

한편, 휴대 전화 등에는 그 표시 화면의 상부에 전파의 수신 상태와 전지의 잔량 등을 나타내는 아이콘이 마련되어 있다. 또한, 특정 동작에 대응하는 아이콘이 표시 화면의 하부에 제공되는 다른 많은 장치들이 있다.

휘도 얼룩이 없는 색상 표시는 제쳐두고, 이러한 아이콘 표시는 매트릭스 내에 배치된 주된 유기 EL 소자에 의한 매 순간의 표시 데이터에 따른 표시로부터 독립적이기 때문에, 이러한 아이콘의 색상 표시의 휘도 얼룩은 어느 정도 용인될 수 있다. 또한, 이러한 아이콘의 픽셀은 크기 때문에, 아이콘의 표시에는 비교적 큰 구동 전류가 필요하다.

그러므로, 도 1에 나타난 더미 회로의 트랜지스터 블록(6)의 트랜지스터 블록(4D)의 출력단 전류원은 패드(2)를 통해 아이콘에 대응하는 유기 EL 소자를 구동한다. 아이콘을 표시하기 위한 유기 EL 소자는 유기 EL 패널의 아이콘 구동 단자 핀에 더미 회로의 출력단 전류원을 접속함으로써 구동된다. 아이콘 표시에 있어서 구동 전류의 편차는 중요하지 않기 때문에, 더미 회로를 효과적으로 사용하는 것이 가능하다.

더미 회로(6)는 유기 EL 패널의 전원 라인으로부터 전력을 공급받으므로, 더미 회로가 아이콘 표시용으로 동작하는지 전혀 동작하지 않는지에 관계없이, 더미 회로는 주된 유기 EL 소자에 대응하는 단자 핀으로 공급되는 구동 전류의 편차에 영향을 미치지 않는다. 즉, 본 발명에 있어서, 더미 회로는 매트릭스 내에 배치된 주된 유기 EL 소자를 구동하지 않는 것으로 충분하다.

또한, 아이콘 표시를 위한 유기 EL 소자를 구동하는 구동 전류는 크기 때문에, 트랜지스터 블록(6)의 블록(4D)들에 있는 복수의 전류원을 하나의 아이콘에 대한 유기 EL 소자에 접속시켜 패러렐로 소자를 구동하는 것이 바람직하다. 이 경우, 큰 구동 전류를 쉽게 얻을 수 있다.

이상 설명한 바와 같이, 본 발명의 실시형태에서는 전류원과 하나 이상의 D/A 변환 회로를 각 트랜지스터 블록(3 및 6)에 설치하고 있다. 능동형 유기 EL 패널에서 구동 전류는 작기 때문에, D/A 변환 회로의 출력을 구동 전류로 직접 사용할 수 있다. 이 경우, D/A 변환기는 출력단 구동 전류원이 된다. 이 경우의 단위 트랜지스터의 레이아웃에서, 도 1 및 도 3에서와 같이 출력단 전류원이 형성되어 있는 블록(4 또는 4D)은 제거될 수 있으며, D/A 변환 회로가 형성되어 있는 블록(5 또는 5D)은 패드(2)에 대응하여 형성된다.

따라서, 본 발명에 있어서 D/A 변환 회로만 트랜지스터 블록(3 및 6)에 설치될 수 있다.

또한, 상술한 실시형태에서 패드(2)는 더미 회로를 포함하는 트랜지스터 블록(6)에 설치된다. 더미 회로가 아이콘 표시를 위한 유기 EL 소자를 구동하는데 사용되지 않는 경우, 패드(2)에 배선을 설치할 필요가 없기 때문에 트랜지스터 블록(6)에 대한 패드를 제거할 수 있다.

또한, 상술한 실시형태에서, 더미 회로는 IC 칩의 구동 회로 형성 영역의 최외곽측 부분의 트랜지스터 블록에 할당된다. 따라서, 구동 회로 형성 영역의 최외곽측 부분의 유기 EL 소자의 구동 회로 이외에 다른 회로를 형성하는 것도 물론 가능하다. 각 측면 부분에 하나 이상의 더미 트랜지스터 블록을 형성할 수 있다.

또한, 본 발명은 컬럼 라인에 직접 접속된 유기 EL 소자가 전류 구동되는 수동형 유기 EL 패널에 대해서 뿐만 아니라 픽셀 회로의 유기 EL 소자가 픽셀 회로의 커패시터를 통해 구동되는 능동 매트릭스형 유기 EL 패널에 대해서도 적용될 수 있다.

상술한 실시형태에서 단위 트랜지스터로서 양극성 트랜지스터를 사용하고 있지만, 본 발명에 따른 유기 EL 소자 구동 회로는 양극성 트랜지스터 대신 MOSFET으로 구성되어도 좋다.

발명의 효과

본 발명에 따르면, 최외곽 트랜지스터 블록간 영역의 트랜지스터 블록 내에 형성되어 있는 D/A 변환기 회로 또는 D/A 변환기 회로와 출력단 전류원을 구성하는 단위 트랜지스터들의 물성적인 스트레스가 비교적 균일하여, D/A 변환기 회로를 구성하는 커런트 미러 회로들이 페어성이 좋은 단위 트랜지스터들로 구성될 수 있다.

이로써, 양단의 단자 핀의 출력 전류가 절감되기 때문에, 휘도 열락을 절감할 수 있고, 제품마다의 휘도 분산에 주는 영향을 억제할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시형태에 따른 전류 구동 회로의 D/A 변환기 회로와 출력단 전류원의 커런트 미러를 구성하는 단위 트랜지스터의 레이아웃(Layout)을 나타내는 도면.

도 2는 IC의 트랜지스터 블록 형성 영역 내에 형성된 트랜지스터의 단자간 출력 전류 특성을 나타내는 그래프.

도 3 은 R, G, B 의 표시색을 하나의 트랜지스터 블록에 할당한 경우의 유기 EL 구동 회로의 평면도.

도 4a 는 전류 구동 회로의 D/A 변환기 회로와 출력단 전류원을 구성하는 단위 트랜지스터에 대한 종래의 레이아웃을 나타내는 평면도.

도 4b 는 도 4a 에 나타낸 레이아웃에 사용된 단위 트랜지스터의 평면도.

도 4c 는 도 4b 에 나타낸 단위 트랜지스터의 단면도.

도 5 는 도 4a 에 나타낸 레이아웃의 단자간 출력 전류 특성을 나타내는 그래프.

<도면의 주요 부분에 대한 부호의 설명>

1 : 단위 트랜지스터

2 : 패드

3, 3a : 트랜지스터 배열 블록

6 : 더미 회로의 트랜지스터 배열 블록

4Bi, 4Ri, 4Gi : 전류 구동 회로

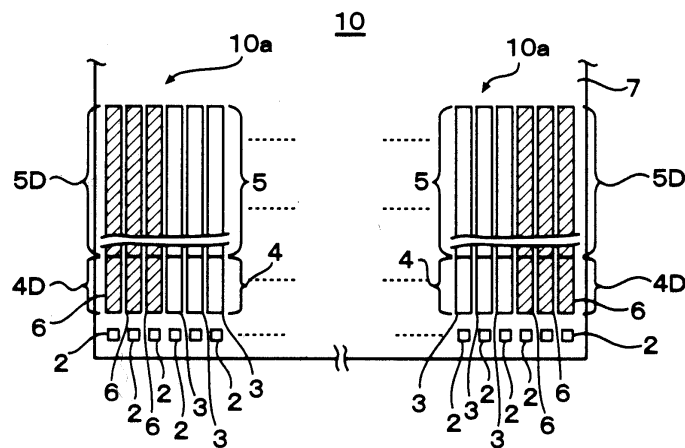
5Bi, 5Ri, 5Gi : D/A 변환기

7 : 트랜지스터 배열 블록의 형성 영역

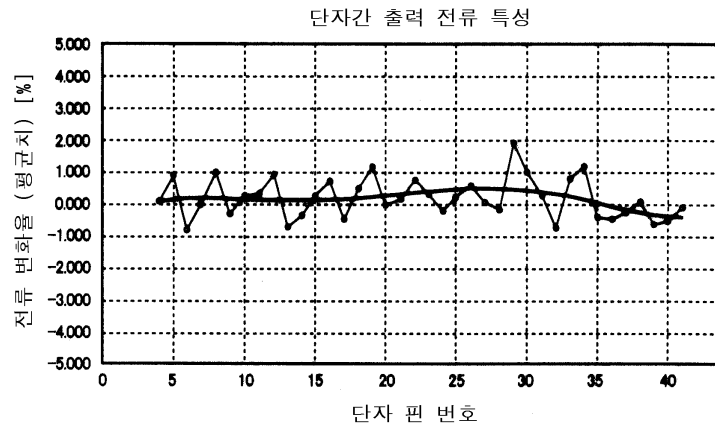
10 : 컬럼 드라이버 IC

도면

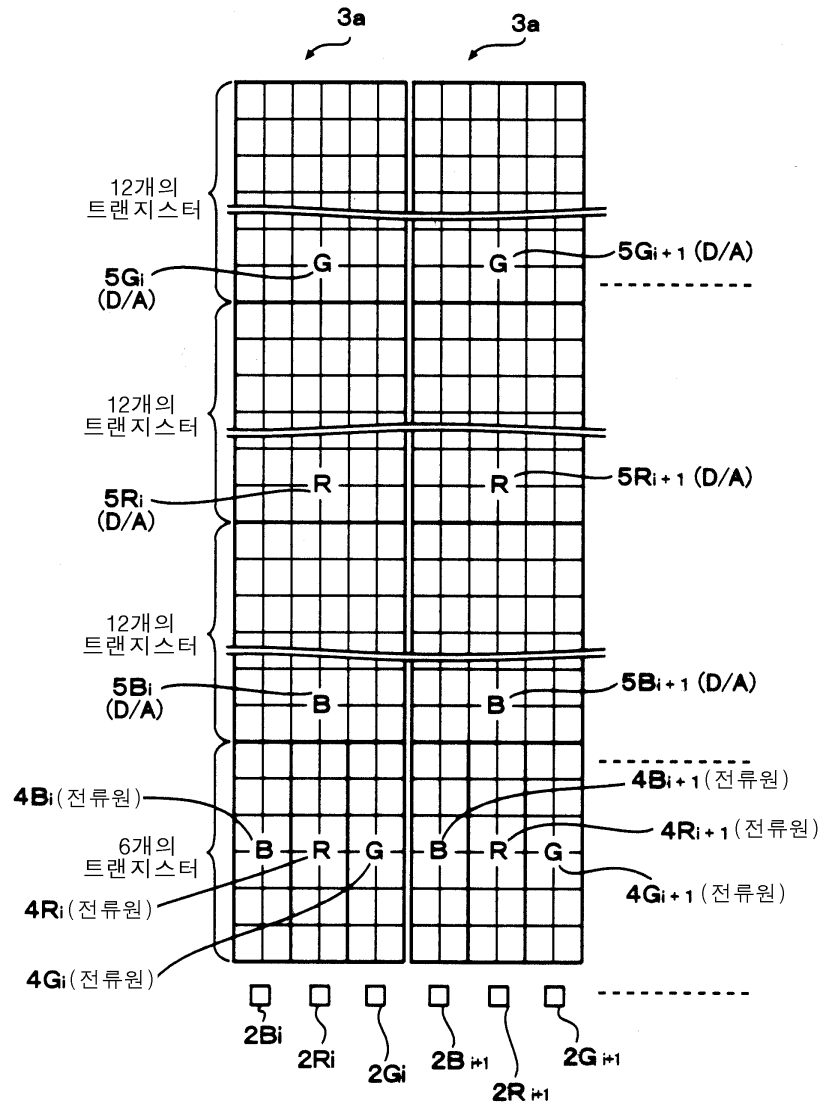
도면1



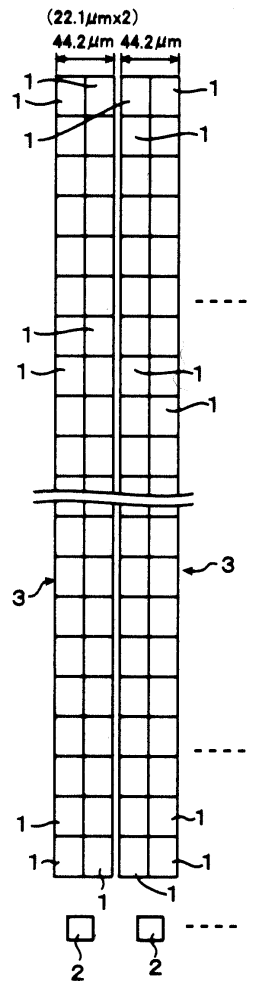
도면2



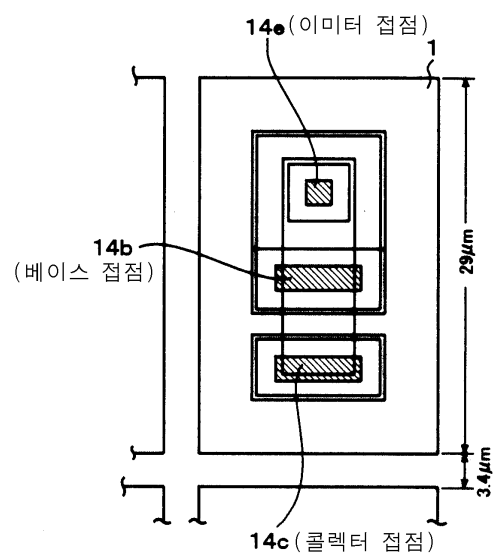
도면3



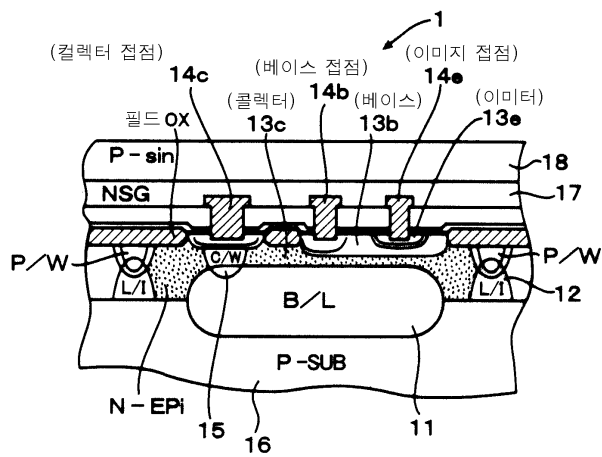
도면4a



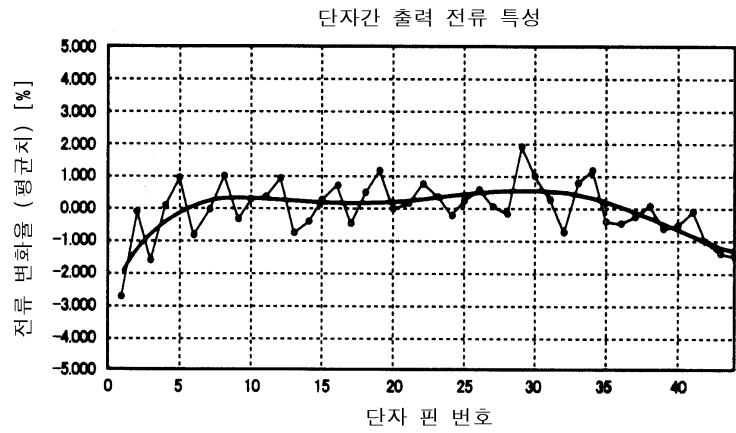
도면4b



도면4c



도면5



专利名称(译)	有机EL面板驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR100738750B1	公开(公告)日	2007-07-12
申请号	KR1020040049057	申请日	2004-06-28
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	MAEDE JUN 마에데준 ABE SHINICHI 아베신이치 FUJIKAWA AKIO 후지카와아키오 FUJISAWA MASANORI 후지사와마사노리		
发明人	마에데준 아베신이치 후지카와아키오 후지사와마사노리		
IPC分类号	G09G3/30 H05B33/00 G09G3/32		
CPC分类号	H01L27/3223 H01L27/3244 H01L27/3281 G09G2310/027 G09G3/3283 G09G2320/0233		
优先权	2003184339 2003-06-27 JP		
其他公开文献	KR1020050002588A		
外部链接	Espacenet		

摘要(译)

用途：提供有机EL（电致发光）面板驱动电路和使用其的有机EL显示装置，以通过使用由电流镜组成的多个D/A转换电路来减少有机EL显示面板的发光变化。

