



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년02월02일
G09G 3/30 (2006.01)	(11) 등록번호	10-0678703
H05B 33/12 (2006.01)	(24) 등록일자	2007년01월29일

(21) 출원번호	10-2005-0113479(분할)	(65) 공개번호	10-2006-0004883
(22) 출원일자	2005년11월25일	(43) 공개일자	2006년01월16일
심사청구일자	2005년11월25일		
(62) 원출원	특허10-2000-0070799		
	원출원일자 : 2000년11월27일	심사청구일자	2005년11월25일

(30) 우선권주장	JP-P-1999-00341272	1999년11월30일	일본(JP)
	JP-P-2000-00260061	2000년08월30일	일본(JP)

(73) 특허권자 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마 준
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오따이
에네루기 켄큐쇼 내

(74) 대리인 황의만

심사관 : 천대식

전체 청구항 수 : 총 16 항

(54) 발광 표시장치를 구비한 전기 장치

(57) 요약

대향 전극에 접속된 대전력 외부 스위치에 기인하는 주파수 특성의 저하를 방지하고 계조 수의 감소를 방지할 수 있는 전기광학 장치가 제공된다. 이 전기광학 장치는 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하고, 각각의 화소는 스위칭용 TFT, EL 구동용 TFT, 전원 제어용 TFT, 및 EL 소자를 포함하고, 전원 제어용 TFT는 EL 소자의 음극과 양극 사이의 전위차를 제어한다.

대표도

도 2

특허청구의 범위

청구항 1.

발광 표시장치를 구비한 전기 장치로서,

상기 발광 표시장치가, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하고,

상기 다수의 화소 각각은, 멀티게이트 구조를 가지는 스위칭용 박막트랜지스터, EL 구동용 박막트랜지스터, 전원 제어용 박막트랜지스터, 및 EL 소자를 포함하고,

상기 전원 제어용 박막트랜지스터가 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 2.

발광 표시장치를 구비한 전기 장치로서,

상기 발광 표시장치가, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하고,

상기 다수의 화소 각각은, 멀티게이트 구조를 가지는 스위칭용 박막트랜지스터, EL 구동용 박막트랜지스터, 전원 제어용 박막트랜지스터, 및 EL 소자를 포함하고,

상기 전원 제어용 박막트랜지스터가 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하고,

상기 다수의 전원 제어선이 외부 스위치에 전기적으로 접속되어 있는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 3.

발광 표시장치를 구비한 전기 장치로서,

상기 발광 표시장치가, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하고,

상기 다수의 화소 각각은, 멀티게이트 구조를 가지는 스위칭용 박막트랜지스터, EL 구동용 박막트랜지스터, 전원 제어용 박막트랜지스터, 및 EL 소자를 포함하고,

상기 전원 제어용 박막트랜지스터가 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하고,

화소마다의 상기 전원 제어용 박막트랜지스터가 동시에 제어신호를 인가하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전원 제어용 박막트랜지스터의 드레인 영역 또는 소스 영역과 상기 EL 소자와의 사이에 저항기(resistor)를 추가로 포함하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 5.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전원 제어용 박막트랜지스터를 사용한 EL 구동 전압의 제어방식이 전압 구동 방식인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 6.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 1 프레임 기간 중에 상기 EL 소자가 발광하는 기간이 디지털 데이터 신호에 의해 제어되는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 7.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

1 프레임 기간이 n 개의 서브프레임 기간($SF_1, SF_2, \dots, SF_n$)을 포함하고,

상기 n 개의 서브프레임 기간이 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)과 표시 기간($TS_1, TS_2, \dots, TS_n$)을 포함하고,

상기 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)에 상기 다수의 화소 모두에 디지털 데이터 신호가 입력되고,

상기 디지털 데이터 신호에 의해, 상기 표시 기간($TS_1, TS_2, \dots, TS_n$)에서 상기 다수의 EL 소자가 발광하는지 발광하지 않는지가 선택되고,

상기 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)의 길이는 모든 동일하고,

상기 표시 기간($TS_1, TS_2, \dots, TS_n$)의 길이의 비는 $2^0:2^{-1}:\dots:2^{-(n-1)}$ 로 표현되는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 8.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 1 프레임 기간이 1/60초 이하인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 9.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 다수의 EL 소자 각각이 상기 양극과 상기 음극 사이에 EL 층을 구비하고,

상기 EL 층은 저분자계 유기 재료와 폴리머계 유기 재료로 이루어진 군에서 선택되는 재료를 포함하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 10.

제 9 항에 있어서, 상기 EL 층은 Alq_3 (트리스-8-퀴놀리놀라이트 알루미늄)과 TPD(트리페닐아민 유도체)로 이루어진 군에서 선택된 저분자계 유기 재료를 포함하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 11.

제 9 항에 있어서, 상기 EL 층은 PPV(폴리페닐렌비닐렌), PVK(폴리비닐 카르바졸), 폴리카보네이트, PEDOT(폴리티오펜), 및 PANi(폴리아닐린)로 이루어진 군에서 선택된 폴리머계 유기 재료를 포함하는 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 12.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전기 장치가 퍼스널 컴퓨터인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 13.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전기 장치가 비디오 카메라인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 14.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전기 장치가 헤드 장착형 디스플레이인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 15.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전기 장치가 디지털 비디오 디스크 플레이어인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

청구항 16.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 전기 장치가 디지털 카메라인 것을 특징으로 하는, 발광 표시장치를 구비한 전기 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기판상에 EL(electro-luminescence: 전계 발광) 소자를 설치하여 형성된 EL 디스플레이에 관한 것이고, 더 구체적으로는, 반도체 소자(반도체 박막을 사용한 소자)를 사용한 EL 디스플레이(전기장치) 및 그 EL 디스플레이를 표시부에 사용한 전자장치(EL 표시장치)에 관한 것이다.

최근, 기관상에 박막트랜지스터(이하, TFT라 함)를 형성하는 기술이 대폭으로 진보하고 있고, 액티브 매트릭스형 표시장치에의 TFT의 응용 개발이 진행되고 있다. 특히, 폴리실리콘막을 이용한 TFT는 종래의 비정질 규소막을 이용한 TFT보다 높은 전계효과 이동도를 가지기 때문에, 전자(前者)의 TFT는 고속 동작이 가능하다. 따라서, 종래, 기관 외측의 구동회로에서 행해지던 화소 제어를 화소와 동일 기관상에 형성된 구동회로에서 행하는 것이 가능하게 되었다.

그러한 액티브 매트릭스형 표시장치는 동일 기관상에 각종 회로 및 소자를 설치함으로써 제조 비용의 절감, 표시장치의 소형화, 수율의 증가, 스루풋(throughput)의 향상 등과 같은 각종 이점(利點)을 얻을 수 있다.

또한, 자기 발광형 소자로서 EL 소자를 구비한 액티브 매트릭스형 EL 표시장치(이하, EL 디스플레이라 함)에 대한 연구가 더욱 활발하게 되고 있다. EL 디스플레이는 유기 EL 디스플레이(OELD) 또는 유기 발광 다이오드(OLED)로 불린다.

EL 디스플레이는 액정 표시장치와 달리 자기 발광형이다. EL 소자는 한 쌍의 전극 사이에 EL 층이 끼워진 구조로 되어 있고, 통상, EL 층은 적층 구조로 되어 있다. 대표적으로는, "이스트만 코닥 컴퍼니"의 Tang 등에 의해 제안된 "정공 주입층/발광층/전자 주입층"의 적층 구조가 인용될 수 있다. 이 구조는 매우 높은 발광 효율을 가지며, 현재 연구 개발 중인 거의 모든 EL 디스플레이에서 채택되고 있다.

또한, 그 외에도, 화소 전극상에 정공 주입층/정공 수송층/발광층/전자 수송층, 또는 정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층의 순서로 적층된 구조로 될 수도 있다. 발광층에 형광성 색소 등이 첨가될 수도 있다.

본 명세서에서, 화소 전극과 대향 전극 사이에 제공된 모든 층을 총칭하여 EL 층이라 부른다. 따라서, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등이 모두 EL 층에 포함된다.

그리고, 한 쌍의 전극으로부터 상기 구조의 EL 층에 소정의 전압이 인가됨으로써, 발광층에서 캐리어의 재결합이 일어나 발광한다. 본 명세서에서, EL 소자가 발광하는 것을 EL 소자가 구동된다고 부른다. 또한, 본 명세서에서, 양극, EL 층 및 음극으로 형성된 발광 소자를 EL 소자라 부른다. 또한, EL 소자의 양극과 음극 사이에 생기는 전위차를 EL 구동 전압이라 부른다.

도 23은 종래의 다계조 방식 EL 디스플레이의 블록도를 나타낸다. 도 23에 나타낸 EL 디스플레이는 기관상에 형성된 TFT를 사용한 화소부(101)와, 그 화소부의 주변에 배치된 소스 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)를 포함한다. EL 구동 전압을 제어하는 외부 스위치(116)가 화소부(101)에 접속되어 있다.

소스 신호측 구동회로(102)는 기본적으로 시프트 레지스터(102a), 래치(A)(102b) 및 래치(B)(102c)를 포함한다. 또한, 시프트 레지스터(102a)에는 클록 펄스(CK) 및 스타트 펄스(SP)가 입력되고, 래치(A)(102b)에는 디지털 데이터 신호가 입력되고, 래치(B)(102c)에는 래치 신호가 입력된다.

화소부(101)에 입력되는 디지털 데이터 신호는 시분할 계조 데이터 신호 발생 회로(114)에 의해 형성된다. 시분할 계조 데이터 신호 발생 회로(114)에서, 아날로그 신호 또는 디지털 신호로 이루어진 비디오 신호(화상 정보를 함유하는 신호)가 시분할 계조를 행하기 위한 디지털 데이터 신호로 변환되는 동시에, 시분할 계조 표시를 행하는데 필요한 타이밍 펄스가 발생된다.

전형적으로는, 시분할 계조 데이터 신호 발생 회로(114)에는, 1 프레임 기간을 n비트(n은 2 이상의 정수(整數)임) 계조에 대응한 다수의 서브프레임 기간으로 분할하는 수단; 이들 다수의 서브프레임 기간에서 기입 기간과 표시 기간을 선택하는 수단; 및 그 표시 기간의 길이를 설정하는 수단이 포함되어 있다.

화소부(101)의 구조는 도 18에 나타낸 것이 일반적이었다. 도 18에서, 게이트 신호를 입력하는 게이트 신호선(G1~Gn)과 디지털 데이터 신호를 입력하는 소스 신호선(데이터 신호선이라고도 함)(S1~Sn)이 화소부(101)에 배치되어 있다. 디지털 데이터 신호는 디지털 비디오 신호를 의미한다.

또한, 전원 공급선(V1~Vn)이 소스 신호선(S1~Sn)에 평행하게 배치되어 있고, 이 전원 공급선(V1~Vn)의 전위를 전원 전위라 부른다. 또한, 배선(Vb1~Vbn)이 게이트 신호선(G1~Gn)에 평행하게 배치되어 있고, 이 배선(Vb1~Vbn)은 외부 스위치(116)에 접속되어 있다.

화소부(101)에는 다수의 화소(104)가 매트릭스 형태로 배열되어 있다. 도 19는 화소(104)의 확대도를 나타낸다. 도 19에서, 부호 1701은 스위칭 소자로서 기능하는 TFT(이하, 스위칭용 TFT라 함)를 나타내고, 부호 1702는 EL 소자(1703)에 공급되는 전류를 제어하기 위한 소자(전류 제어 소자)로서 기능하는 TFT(이하, EL 구동용 TFT라 함)를 나타내고, 부호 1704는 커패시터(보유 용량)를 나타낸다.

스위칭용 TFT(1701)의 게이트 전극은 게이트 신호를 입력하는 게이트 신호선($G1 \sim Gn$)중 하나인 게이트 신호선(1705)에 접속되어 있다. 또한, 스위칭용 TFT(1701)의 소스 영역과 드레인 영역 중 하나는 디지털 데이터 신호를 입력하는 소스 신호선($S1 \sim Sn$)중 하나인 소스 신호선(1706)에 접속되고, 다른 하나는 EL 구동용 TFT(1702)의 게이트 전극 및 커패시터(1704)에 각각 접속되어 있다.

또한, EL 구동용 TFT(1702)의 소스 영역과 드레인 영역중 하나는 전원 공급선($V1 \sim Vn$)중 하나인 전원 공급선(1707)에 접속되고, 다른 하나는 EL 소자(1703)에 접속되어 있다. 커패시터(1704)는 전원 공급선($V1 \sim Vn$)중 하나인 전원 공급선(1707)에 접속되어 있다.

EL 소자(1703)는 양극, 음극 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 양극이 EL 구동용 TFT(1702)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 즉, 양극이 화소 전극인 경우, 음극은 대향 전극이 된다. 반대로, 음극이 EL 구동용 TFT(1702)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 즉, 음극이 화소 전극인 경우, 양극은 대향 전극이 된다. 본 명세서에서, 대향 전극의 전위를 대향 전위라 부른다. 대향 전극의 전위와 화소 전극의 전위 사이의 전위차를 EL 구동 전압이라 부르고, 이 EL 구동 전압이 EL 층에 인가된다.

EL 소자의 대향 전극은 배선($Vb1 \sim Vbn$)(도 18 참조)중 하나를 통해 외부 스위치(116)에 접속되어 있다.(도 18)

다음에, 다계조 방식 EL 디스플레이의 구동에 대하여 설명한다. 여기서는, n비트 디지털 구동 방식에 의한 2^n 계조 표시에 대하여 설명한다.

도 5는 다계조 방식 EL 디스플레이의 디지털 방식 시분할 계조 표시에서의 타이밍 차트를 나타낸다. 먼저, 1 프레임 기간을 n개의 서브프레임 기간($SF_1 \sim SF_n$)으로 분할한다. 화소부의 모든 화소가 1개의 화상을 표시하는 기간을 1 프레임 기간(F)이라 부른다. 1 프레임 기간을 분할한 기간을 서브프레임 기간이라 부른다. 계조 수가 많게 됨에 따라, 1 프레임 기간의 분할 수도 증가하고, 구동회로가 높은 주파수로 구동되어야 한다.

1 서브프레임 기간은 기입 기간(Ta)과 표시 기간(Ts)으로 나누어진다. 기입 기간은 1 서브프레임 기간 중에 모든 화소에 디지털 데이터 신호가 입력되는 기간이다. 표시 기간(점등 기간이라고도 함)은 EL 소자의 발광 또는 비발광 상태를 선택하고 표시를 행하는 기간이다.

또한, 도 5에 나타난 EL 구동 전압은 발광 상태가 선택된 EL 소자의 EL 구동 전압을 나타낸다. 즉, 발광 상태가 선택된 EL 소자의 구동 전압(도 5)은 기입 기간 중에 0 V가 되고, 표시 기간 중에는 EL 소자가 발광하는 정도의 크기를 가진다.

대향 전위는 외부 스위치(116)에 의해 제어된다. 기입 기간에, 대향 전위는 전원 전위와 같은 높이로 유지되고, 표시 기간에, 대향 전위와 전원 전위 사이에 EL 소자가 발광하는 정도의 전위차(도 18에서는 접지)가 발생된다.

먼저, 각 서브프레임이 가지는 기입 기간 및 표시 기간에 대하여, 도 18 및 도 19의 기호를 사용하여 설명하고, 그 후, 시분할 계조 표시에 대하여 설명한다.

먼저, 게이트 신호선($G1$)에 게이트 신호가 입력되고, 그 게이트 신호선에 접속되어 있는 모든 스위칭용 TFT(1701)가 온(on) 상태로 된다. 그리고, 소스 신호선($S1 \sim Sn$)에 차례로 디지털 데이터 신호가 입력된다. 대향 전위는 전원 공급선($V1 \sim Vn$)의 전원 전위와 같은 높이로 유지된다. 디지털 데이터 신호는 "0" 또는 "1"의 정보를 포함한다. "0" 또는 "1"의 디지털 데이터 신호는 각각 Hi 또는 Lo의 전압을 가지는 신호를 의미한다.

소스 신호선($S1 \sim Sn$)에 입력된 디지털 데이터 신호는 온 상태에 있는 스위칭용 TFT(1701)를 통해 EL 구동용 TFT(1702)의 게이트 전극에 입력된다. 또한, 커패시터(1704)에도 디지털 데이터 신호가 입력되어 보유된다.

게이트 신호선(G2~Gn)에 차례로 게이트 신호가 입력됨으로써, 상기한 동작이 반복되고, 모든 화소에 디지털 데이터 신호가 입력되고, 입력된 디지털 데이터 신호가 각 화소에서 보유된다. 모든 화소에 디지털 데이터 신호가 입력되기까지의 기간을 기입 기간이라 부른다.

모든 화소에 디지털 데이터 신호가 입력되면, 모든 스위칭용 TFT(1701)는 오프(off) 상태로 된다. 그리고, 대향 전극에 접속된 외부 스위치에 의해, 대향 전위와 전원 전위 사이에 EL 소자가 발광하는 정도의 전위차가 발생한다.

디지털 데이터 신호가 "0"의 정보를 포함하는 경우, EL 구동용 TFT(1702)는 오프 상태로 되고, EL 소자(1703)는 발광하지 않는다. 반대로, 디지털 데이터 신호가 "1"의 정보를 포함하는 경우에는, EL 구동용 TFT(1702)는 온 상태로 된다.

그 결과, EL 소자(1703)의 화소 전극은 전원 전위로 유지되고, EL 소자(1703)는 발광한다. 이와 같이, 디지털 데이터 신호가 가지는 정보에 따라, EL 소자의 발광 또는 비발광 상태가 선택되고, 모든 화소가 동시에 표시를 행함으로써, 화상이 형성된다. 화소가 표시를 행하는 기간을 표시 기간이라 부른다.

n개의 서브프레임 기간(SF₁~SF_n)이 각각 가지는 기입 기간(Ta₁~Ta_n)의 길이는 모두 일정하다. 서브프레임 기간(SF₁~SF_n)이 각각 가지는 표시 기간(Ts)은 표시 기간 Ts₁~Ts_n이 된다.

표시 기간의 길이는 Ts₁:Ts₂:Ts₃:...:Ts_(n-1):Ts_n = 2⁰:2⁻¹:2⁻²:...:2⁻⁽ⁿ⁻²⁾:2⁻⁽ⁿ⁻¹⁾이 되도록 설정된다. SF₁~SF_n은 임의의 순서로 출현할 수 있다. 표시 기간들을 조합함으로써, 2ⁿ 계조 중 소망의 계조 표시가 행해질 수 있다.

표시 기간은 Ts₁~Ts_n 중 임의의 기간이다. 여기서는 Ts_n 기간에 소정의 화소가 점등되는 것으로 한다.

기입 기간이 다시 시작되고, 모든 화소에 데이터 신호가 입력된 후, 표시 기간이 시작된다. 이때, 기간 Ts₁~Ts_(n-1) 중 임의의 기간이 표시 기간이 된다. 여기서는, Ts_(n-1) 기간에 소정의 화소가 점등되는 것으로 한다.

이하, 나머지 (n-2)개의 서브프레임 기간에 대하여 동일한 동작이 반복되고, Ts_(n-2), Ts_(n-3), ..., Ts₁이 차례로 표시 기간이 되도록 설정되고, 각각의 서브프레임 기간에 소정의 화소가 점등되는 것으로 한다.

n개의 서브프레임 기간이 출현한 후에 1 프레임 기간이 종료된다. 이때, 화소가 점등하여 있는 표시 기간의 길이를 적산(積算)함으로써, 그 화소의 계조가 결정된다. 예를 들어, n = 8일 때, 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, 기간 Ts₁ 및 Ts₂에서 화소가 발광한 경우에는, 75%의 휘도가 표현될 수 있고, Ts₃, Ts₅ 및 Ts₈이 선택된 경우에는, 16%의 휘도가 표현될 수 있다.

상기한 다계조 방식 EL 표시장치에 대하여, EL 표시장치를 대형화한 경우, 화소의 수가 증가하고, EL 표시장치에는 큰 전류가 흐르게 된다. 이 전류는 EL 구동 전압을 제어하는 외부 스위치를 통해 흐르기 때문에, EL 구동 전압을 제어하는 외부 스위치에는 높은 전류 능력이 요구된다.

EL 표시장치에 있어서, 200 cd/m²의 발광량을 얻는 경우, 수 mA/cm²의 전류가 필요하다. 예를 들어, 5 mA/cm²의 EL 재료를 사용하고 40인치의 표시장치를 제작하는 경우, 표시에 필요한 전류값은 약 25 A이 되고, 이 값은 상당히 큰 값이다.

일반적으로, 외부 스위치에는 소정의 전류 능력 규격이 정해져 있고, 이 전류 능력의 상한이 다계조 방식 EL 표시장치의 대형화를 방해하였다.

또한, 상기한 다계조 방식 EL 표시장치에서는, 계조 수가 많게 됨에 따라, 1 프레임 기간의 분할 수도 증가하고, 구동회로가 높은 주파수로 구동되어야 한다. 반면에, 외부 스위치의 주파수 특성은 전류 능력이 높게 됨에 따라 저하하는 경향이 있다. 그 결과, 다계조 방식 EL 표시장치의 대형화에 따라, 그의 주파수 특성이 저하하고, 가능한 계조 수가 감소되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 EL 표시장치의 대형화에 따른 상기한 문제들을 해결하기 위한 수단을 제공하는 것을 과제로 한다. 즉, 본 발명의 목적은 EL 구동 전압을 제어하는 외부 스위치에 의한 전류값의 제한을 제거하고, EL 구동 전압을 제어하는 외부 스위치에 기인하는 EL 구동회로의 주파수 특성의 저하를 방지하고 계조 수의 감소를 방지하는데 있다.

발명의 구성

상기한 과제를 해결하기 위한 수단으로서, 본 발명에서는, EL 구동용 TFT의 소스 영역과 드레인 영역중, 전원 공급선에 접속되지 않은 영역과 EL 소자 사이에 새로운 TFT가 배치된다. 이 TFT의 소스 영역과 드레인 영역중 하나는 EL 구동용 TFT에 접속되고, 다른 하나는 EL 소자에 접속되어 있다. 또한, 게이트 전극은 배선을 통해 외부 스위치에 접속되어 있다. 상기 TFT는 EL 구동 전압을 제어하는 스위칭 소자(이하, 전원 제어용 TFT라 함)로서 기능한다.

상기 구성에 의하면, 전원 제어용 TFT를 사용한 EL 구동 전압 제어방법은 전압 구동방식이고, 전원 제어용 TFT의 게이트 전극에 접속된 외부 스위치에는 거의 전류가 흐르지 않는다. 따라서, 전원 제어용 TFT의 게이트 전극에 접속된 외부 스위치에서는, 전류값의 제한은 문제가 되지 않고, 주파수 특성의 저하는 거의 무시된다.

상기 구성에 의하면, 전원 제어용 TFT의 게이트 전극에 접속된 외부 스위치를 통해 EL 구동 전압을 제어하는 것이 가능하게 되고, EL 구동 전압을 제어하기 위해 대향 전극에 접속된 종래의 외부 스위치를 제거하는 것이 가능하게 된다. 따라서, 대향 전극에 접속된 외부 스위치에 의한 EL 구동회로의 전류값의 제한을 제거하는 것이 가능하게 되고, 또한 대향 전극에 접속된 외부 스위치에 기인하는 주파수 특성의 저하를 방지하고 계조 수의 감소를 방지하는 것이 가능하게 된다.

전원 제어용 TFT는 스위칭용 TFT 및 EL 구동용 TFT와 동시에 형성될 수 있다.

이하에, 본 발명의 구성에 대해 설명한다.

본 발명에 의하면, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하는 전기 장치로서, 상기 다수의 화소 각각은 스위칭용 TFT, EL 구동용 TFT, 전원 제어용 TFT, 및 EL 소자를 포함하고, 상기 전원 제어용 TFT는 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하는 것을 특징으로 하는 전기 장치가 제공된다.

본 발명에 의하면, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하는 전기 장치로서, 상기 다수의 화소 각각은 스위칭용 TFT, EL 구동용 TFT, 전원 제어용 TFT, 및 EL 소자를 포함하고, 1 프레임 기간 중에 상기 EL 소자가 발광하는 기간이 디지털 데이터 신호를 사용하여 제어되고, 상기 전원 제어용 TFT는 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하는 것을 특징으로 하는 전기 장치가 제공된다.

본 발명에 의하면, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 전원 공급선, 다수의 전원 제어선, 및 다수의 화소를 포함하는 전기 장치로서, 상기 다수의 화소 각각은 스위칭용 TFT, EL 구동용 TFT, 전원 제어용 TFT, 및 EL 소자를 포함하고, 1 프레임 기간이 n 개의 서브프레임 기간($SF_1, SF_2, \dots, SF_n$)을 포함하고, 상기 n 개의 서브프레임 기간은 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)과 표시 기간($Ts_1, Ts_2, \dots, Ts_n$)을 포함하고, 상기 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)에 디지털 데이터 신호가 상기 다수의 화소 모두에 입력되고, 상기 디지털 데이터 신호들에 의해, 상기 표시 기간($Ts_1, Ts_2, \dots, Ts_n$)에 상기 다수의 EL 소자가 발광하는지 발광하지 않는지가 선택되고, 상기 기입 기간($Ta_1, Ta_2, \dots, Ta_n$)의 길이는 모든 동일하고, 상기 표시 기간($Ts_1, Ts_2, \dots, Ts_n$)의 길이의 비는 $2^0:2^{-1}:\dots:2^{-(n-1)}$ 로 표현되고, 상기 전원 제어용 TFT는 상기 EL 소자의 음극과 양극 사이의 전위차를 제어하는 것을 특징으로 하는 전기 장치가 제공된다.

본 발명에 따른 전기 장치는, 스위칭용 TFT의 소스 영역과 드레인 영역중 하나가 다수의 소스 신호선중 하나에 접속되고, 다른 하나가 EL 구동용 TFT의 게이트 전극에 접속되어 있고,

EL 구동용 TFT의 소스 영역과 드레인 영역중 하나가 다수의 전원 공급선중 하나에 접속되고, 다른 하나가 전원 제어용 TFT의 소스 영역과 드레인 영역중 하나에 접속되어 있고,

전원 제어용 TFT의 소스 영역과 드레인 영역중 다른 하나는 EL 소자의 음극과 양극중 하나에 접속되어 있고,

전원 제어용 TFT의 게이트 전극이 다수의 전원 제어선중 하나에 접속되어 있는 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, 스위칭용 TFT의 소스 영역과 드레인 영역중 하나가 다수의 소스 신호선중 하나에 접속되고, 다른 하나가 EL 구동용 TFT의 게이트 전극에 접속되어 있고,

EL 구동용 TFT의 소스 영역과 드레인 영역중 하나가 전원 제어용 TFT의 소스 영역과 드레인 영역중 하나에 접속되고, 다른 하나가 EL 소자의 음극과 양극중 하나에 접속되어 있고,

전원 제어용 TFT의 소스 영역과 드레인 영역중 다른 하나는 다수의 전원 공급선중 하나에 접속되어 있고,

전원 제어용 TFT의 게이트 전극이 다수의 전원 제어선중 하나에 접속되어 있는 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, EL 구동용 TFT의 게이트 전극과 다수의 전원 공급선중 하나와의 사이에 커패시터를 구비할 수도 있다.

본 발명에 따른 전기 장치는, 다수의 EL 소자 각각이 양극과 음극 사이에 EL 층을 포함하고, 상기 EL 층이 저분자계 유기 재료와 폴리머계 유기 재료중 하나로 된 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, 저분자계 유기 재료가 Alq₃(트리스-8-퀴놀리놀라이트 알루미늄) 또는 TPD(트리페닐아민 유도체)로 이루어진 군에서 선택되는 재료인 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, 폴리머계 유기 재료가 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 또는 폴리카보네이트로 이루어진 군에서 선택되는 재료인 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, 1 프레임 기간이 1/60초 이하인 구성을 가질 수도 있다.

본 발명에 따른 전기 장치는, 상기한 전기 장치를 사용한 것을 특징으로 하는 컴퓨터, 비디오 카메라 또는 DVD 플레이어일 수 있다.

본 명세서에서 언급되는 EL 소자를 포함하는 전기 장치는 삼중항(triplet)계 발광장치 및/또는 일중항(singlet)계 발광장치를 포함한다.

[실시형태]

도 1은 본 발명의 EL 디스플레이의 블록도를 나타낸다. 도 1에 도시된 EL 디스플레이는 기판상에 형성된 TFT를 사용하고, 화소부(101)와, 그 화소부의 주변에 배치된 소스 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)를 포함한다. 또한, 화소부(101)에는, EL 구동 전압을 제어하기 위한 소전력 외부 스위치(117)가 접속되어 있다. 도 1에 도시된 EL 디스플레이의 블록도는 종래의 것과 구조는 동일하지만, 화소부(101)에 접속된 소전력 외부 스위치(117)는 종래의 외부 스위치와는 본질적으로 다르다. 물론, 화소부의 구성도 종래의 것과는 다르다. 본 실시형태에서는, EL 디스플레이가 하나의 소스 신호측 구동회로(102)와 하나의 게이트 신호측 구동회로(103)를 포함하고 있지만, 본 발명에서는 2개의 소스 신호측 구동회로가 제공될 수도 있다. 또한, 2개의 게이트 신호측 구동회로가 제공될 수도 있다.

소스 신호측 구동회로(102)는 기본적으로 시프트 레지스터(102a), 래치(A)(102b) 및 래치(B)(102c)를 포함한다. 또한, 시프트 레지스터(102a)에는 클럭 펄스(CK)와 스타트 펄스(SP)가 입력되고, 래치(A)(102b)에는 디지털 데이터 신호가 입력되고, 래치(B)(102c)에는 래치 신호가 입력된다.

화소부(101)에 입력되는 디지털 데이터 신호는 시분할 계조 데이터 신호 발생 회로(114)에 의해 형성된다. 이 시분할 계조 데이터 신호 발생 회로에서, 아날로그 신호 또는 디지털 신호로 이루어진 비디오 신호(화상 정보를 함유하는 신호)가 시분할 계조를 행하기 위한 디지털 데이터 신호로 변환되는 동시에, 시분할 계조 표시를 행하는데 필요한 타이밍 펄스가 발생된다.

전형적으로는, 시분할 계조 데이터 신호 발생 회로(114)에는, 1 프레임 기간을 n 비트(n 은 2 이상의 정수(整數)임) 계조에 대응하는 다수의 서브프레임 기간으로 분할하는 수단; 다수의 서브프레임 기간에서 기입 기간과 표시 기간을 선택하는 수단; 및 표시 기간의 길이를 설정하는 수단이 포함되어 있다.

시분할 계조 데이터 신호 발생 회로(114)는 본 발명의 EL 디스플레이의 외부에 마련될 수도 있다. 이 경우, 외부에서 형성된 디지털 데이터 신호가 본 발명의 EL 디스플레이에 입력되는 구성이 된다. 따라서, 본 발명의 EL 디스플레이를 디스플레이로서 가지는 전자장치(EL 표시장치)는 본 발명의 EL 디스플레이와 시분할 계조 데이터 신호 발생 회로(114)를 별도의 부품으로서 포함하는 것으로 된다.

또한, 시분할 계조 데이터 신호 발생 회로(114)는 IC 칩과 같은 형태로 본 발명의 EL 디스플레이에 실장될 수도 있다. 이 경우, 그 IC 칩에서 형성된 디지털 데이터 신호가 본 발명의 EL 디스플레이에 입력되는 구성이 된다. 따라서, 본 발명의 EL 디스플레이를 디스플레이로서 가지는 전자장치는, 시분할 계조 데이터 신호 발생 회로를 포함하는 IC 칩이 실장된 본 발명의 EL 디스플레이를 부품으로서 포함하는 것으로 된다.

또한, 시분할 계조 데이터 신호 발생 회로(114)는, 화소부(101), 소스 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)가 형성된 기관과 동일한 기관상에 TFT에 의해 형성될 수도 있다. 이 경우, 화상 정보를 함유하는 비디오 신호가 EL 디스플레이에 입력되면, 기관상에서 모든 처리가 행해질 수 있다. 시분할 계조 데이터 신호 발생 회로는 폴리실리콘막을 활성층으로 하는 TFT에 의해 형성될 수 있다. 또한, 본 발명의 EL 디스플레이를 디스플레이로서 가지는 전자장치는, EL 디스플레이 자체에 시분할 계조 데이터 신호 발생 회로를 내장하여, 그 전자장치를 소형화하는 것이 가능하다.

도 2는 화소부(101)의 구조를 나타낸다. 화소부(101)에는, 게이트 신호를 입력하는 게이트 신호선($G_1 \sim G_n$)과 디지털 데이터 신호를 입력하는 소스 신호선(데이터 신호선이라고도 함)($S_1 \sim S_n$)이 배치되어 있다. 디지털 데이터 신호는 디지털 비디오 신호를 의미한다.

또한, 전원 공급선($V_1 \sim V_n$)이 소스 신호선($S_1 \sim S_n$)에 평행하게 제공되어 있다. 전원 공급선($V_1 \sim V_n$)은 게이트 신호선($G_1 \sim G_n$)에 평행하게 제공될 수도 있다. 이 전원 공급선($V_1 \sim V_n$)의 전위를 전원 전위라 부른다.

또한, 전원 제어선($C_1 \sim C_n$)이 게이트 신호선에 평행하게 제공되어 있다. 전원 제어선($C_1 \sim C_n$)은 외부 스위치(117)에 접속되어 있다. 전원 제어선($C_1 \sim C_n$)은 소스 신호선에 평행하게 제공될 수도 있다.

화소부(101)에는 다수의 화소(104)가 매트릭스 형태로 배열되어 있다. 도 3은 화소(104)의 확대도를 나타낸다. 도 3에서, 부호 105는 스위칭용 TFT를 나타낸다. 이 스위칭용 TFT(105)의 게이트 전극이 게이트 신호를 입력하는 게이트 신호선($G_1 \sim G_n$)중 하나인 게이트 신호선(106)에 접속되어 있다. 스위칭용 TFT(105)의 소스 영역과 드레인 영역중 하나는 소스 신호선($S_1 \sim S_n$)중 하나인 소스 신호선(107)에 접속되고, 다른 하나는 EL 구동용 TFT(109)의 게이트 전극 및 커패시터(108)에 각각 접속되어 있다. 본 실시형태에서는, 커패시터(108)가 제공되지 않아도 된다.

EL 구동용 TFT(109)의 소스 영역과 드레인 영역중 하나는 전원 공급선($V_1 \sim V_n$)중 하나인 전원 공급선(110)에 접속되고, 다른 하나는 전원 제어용 TFT(112)의 소스 영역과 드레인 영역중 하나에 접속되어 있다. 전원 제어용 TFT(112)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(111)에 접속되고, 게이트 전극은 전원 제어선($C_1 \sim C_n$)중 하나인 전원 제어선(113)에 접속되어 있다. 전원 제어선(113)은 소전력 외부 스위치(117)에 접속되어 있다. 커패시터(108)는 전원 공급선($V_1 \sim V_n$)중 하나인 전원 공급선(110)에 접속되어 있다.

EL 소자(111)는 음극, 양극, 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 양극이 전원 제어용 TFT(112)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 즉, 양극이 화소 전극인 경우, 음극은 대향 전극이 된다. 반대로, 음극이 전원 제어용 TFT(112)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 즉, 음극이 화소 전극인 경우, 양극은 대향 전극이 된다. 본 명세서에서, 대향 전극의 전위를 대향 전위라 부르고, 대향 전극의 전위와 화소 전극의 전위와의 전위차를 EL 구동 전압이라 부르며, 이 EL 구동 전압이 EL 층에 인가된다.

전원 제어용 TFT(112)의 드레인 영역 또는 소스 영역과 EL 소자(111)와의 사이에 저항기(resistor)가 제공될 수도 있다. 저항기를 제공함으로써, 전원 제어용 TFT로부터 EL 소자에 인가되는 전류의 양을 제어하고, 전원 제어용 TFT 및 EL 구동용 TFT의 특성 편차의 영향을 방지하는 것이 가능하게 된다. 저항기는 전원 제어용 TFT(112) 및 EL 구동용 TFT(109)의 온(on) 저항보다 충분히 큰 저항값을 나타내는 소자이면 되고, 구조 등에 한정은 없다. 온 저항이란, TFT가 온 상태에

있을 때 TFT의 드레인 전압을 이때 흐르는 드레인 전류로 나누어 얻어진 값을 의미한다. 이 저항기의 저항값은 $1\text{ k}\Omega \sim 50\text{ M}\Omega$ (바람직하게는, $10\text{ k}\Omega \sim 10\text{ M}\Omega$, 더 바람직하게는, $50\text{ k}\Omega \sim 1\text{ M}\Omega$)의 범위에서 선택될 수 있다. 높은 저항값을 갖는 반도체층이 저항기로서 사용되는 경우, 그의 형성이 용이하기 때문에, 그러한 반도체층이 바람직하다.

다음에, 본 발명의 EL 디스플레이의 구동에 대하여 설명한다. 여기서는, n비트 디지털 구동방법에 의해 2^n 계조 표시를 행하는 경우를 설명한다.

본 발명의 EL 디스플레이의 디지털 방식의 시분할 계조 표시에 있어서의 타이밍 차트가 도 5에 나타내어져 있다. 먼저, 1 프레임 기간(F)을 n개의 서브프레임 기간(SF1~SFn)으로 분할한다. 화소부의 모든 화소가 하나의 화상을 표시하는 기간을 1 프레임 기간(F)이라 부른다. 통상의 EL 디스플레이에서는, 발진 주파수가 60 Hz 이상이다. 즉, 1초간에 60개 이상의 프레임 기간이 마련되고, 1초간에 60개 이상의 화상이 표시된다. 1초간에 표시되는 화상의 수가 60개보다 적게 되면, 화상 플리커(flicker)와 같은 문제가 시각적으로 드러나게 되기 시작한다. 1 프레임 기간을 다수로 분할한 기간을 서브프레임 기간이라 부른다. 계조 수가 많게 됨에 따라, 1 프레임 기간의 분할 수도 증가하고, 구동회로가 높은 주파수로 구동되어야 한다.

1개의 서브프레임 기간은 기입 기간(T_a)과 표시 기간(T_s)으로 나뉘어진다. 기입 기간은 1 서브프레임 기간 중에 모든 화소에 디지털 데이터 신호를 입력하는 시간이고, 표시 기간(점등 기간이라고도 함)은 EL 소자가 발광하는지 발광하지 않는지를 결정하고(즉, EL 소자의 발광 또는 비발광 상태를 산택하고) 표시를 행하는 기간을 나타낸다.

도 5에 나타낸 EL 구동 전압은 발광 상태가 선택된 EL 소자의 EL 구동 전압을 나타낸다. 즉, 발광 상태가 선택된 EL 소자의 EL 구동 전압(도 5)은 기입 기간에는 0 V가 되고, 표시 기간에는 EL 소자가 발광하는 정도의 크기를 가진다.

본 발명에서, 전원 제어용 TFT가 EL 구동 전압을 제어한다. 보다 정확하게는, EL 구동 전압은 전원 제어선을 통해 전원 제어용 TFT에 접속된 외부 스위치에 의해 제어된다. 기입 기간에서는, 전원 제어용 TFT가 오프(off) 상태에 있고, EL 구동 전압은 0 V가 된다. 표시 기간에서는, 전원 제어용 TFT가 온(on) 상태에 있고, 발광 상태가 선택된 EL 소자의 EL 구동 전압은 EL 소자가 발광하는 정도의 크기를 가진다.

먼저, 각각의 서브프레임이 가지는 기입 기간과 표시 기간에 대하여 도 2 및 도 3의 기호를 사용하여 상세히 설명한 다음, 시분할 계조 표시에 대하여 설명한다.

먼저, 기입 기간에서, 전원 제어용 TFT(112)는 오프 상태에 있고, EL 구동 전압은 0 V로 유지되어 있다. EL 구동 전압은 EL 구동용 TFT(109) 또는 전원 제어용 TFT(112)의 오프 전류(스위치로서의 TFT가 오프 상태에 있을 때에도 흐르는 드레인 전류)에 기인하는 누설 전류(leak current)에 의해 미소한 값을 가질 수 있지만, 그 값이 작아 EL 소자가 발광하지 않을 경우에는 문제가 없다. 그 다음, 게이트 신호선(G1)에 게이트 신호가 입력되고, 그 게이트 신호선(G1)에 접속된 모든 스위칭용 TFT(105)가 온 상태로 된다. 그 다음, 소스 신호선(S1~Sn)에 디지털 데이터 신호가 입력된다. 이 디지털 데이터 신호는 "0" 또는 "1"의 정보를 포함하고 있다. "0"과 "1"의 디지털 데이터 신호는 각각 Hi 또는 Lo의 전압을 가지는 신호를 의미한다.

소스 신호선(S1~Sn)에 입력된 디지털 데이터 신호는 온 상태에 있는 스위칭용 TFT(105)를 통해 EL 구동용 TFT(109)의 게이트 전극에 입력된다. 커패시터(108)가 있는 경우에는, 마찬가지로 디지털 데이터 신호가 이 커패시터에 입력되어 보유된다.

다음에, 게이트 신호선(G2)에 게이트 신호가 입력되고, 그 게이트 신호선(G2)에 접속된 모든 스위칭용 TFT(105)가 온 상태로 된다. 그 다음, 소스 신호선(S1~Sn)에 디지털 데이터 신호가 입력된다.

소스 신호선(S1~Sn)에 입력된 디지털 데이터 신호는 온 상태에 있는 스위칭용 TFT(105)를 통해 EL 구동용 TFT(109)의 게이트 전극에 입력된다. 커패시터(108)가 있는 경우에는, 마찬가지로 디지털 데이터 신호가 이 커패시터에 입력되어 보유된다.

게이트 신호선(G3~Gn)에 차례로 게이트 신호가 입력되어 상기한 동작을 반복함으로써, 모든 화소에 디지털 데이터 신호가 입력되고, 그 입력된 디지털 데이터 신호가 각 화소에 보유된다. 모든 화소에 디지털 데이터 신호가 입력되기까지의 기간이 기입 기간이다.

기입 기간의 종료와 동시에 표시 기간이 개시된다. 표시 기간이 개시되면, 모든 스위칭용 TFT(105)는 오프 상태로 된다. 그 다음, 전원 제어선(113)에 접속된 소전력 외부 스위치(117)에 의해 전원 제어용 TFT(112)가 온 상태로 되고, 발광 상태가 선택된 EL 소자(111)의 EL 구동 전압은 EL 소자가 발광하는 정도의 크기를 가지게 된다.

디지털 데이터 신호가 "0"의 정보를 포함하는 경우, EL 구동용 TFT(109)는 오프 상태로 되고, EL 소자(111)는 발광하지 않는다. 반대로, 디지털 데이터 신호가 "1"의 정보를 포함하는 경우, EL 구동용 TFT(109)는 온 상태로 된다. 이때, 전원 제어용 TFT(112)도 온 상태에 있기 때문에, EL 소자(111)의 화소 전극은 전원 전위로 유지되고, EL 소자(111)는 발광한다. 이와 같이, 디지털 데이터 신호가 가지는 정보에 따라, EL 소자의 발광 또는 비발광 상태가 선택되고, 모든 화소가 일제히 표시를 행한다. 모든 화소가 표시를 행함으로써, 화상이 형성된다. 화소가 표시를 행하는 기간을 표시 기간이라 부른다.

n 개의 서브프레임 기간($SF_1 \sim SF_n$)이 각각 가지는 기입 기간($Ta_1 \sim Ta_n$)의 길이는 모두 일정하다. n 개의 서브프레임 기간($SF_1 \sim SF_n$)이 각각 가지는 표시 기간을 각각 $Ts_1 \sim Ts_n$ 이라 한다.

표시 기간의 길이는 $Ts_1:Ts_2:Ts_3:\dots:Ts_{(n-1)}:Ts_n = 2^0:2^{-1}:2^{-2}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 설정된다. 그러나, $SF_1 \sim SF_n$ 의 출현 순서는 임의적일 수 있다. 표시 기간들의 조합에 의해, 2^n 계조 중 소망의 계조 표시가 행해질 수 있다.

표시 기간은 $Ts_1 \sim Ts_n$ 중 임의의 기간이다. 여기서는 Ts_n 기간에 소정의 화소가 점등되는 것으로 한다.

다음에, 다시 기입 기간이 시작되고, 모든 화소에 데이터 신호가 입력된 후, 표시 기간이 시작된다. 이때는, 기간 $Ts_1 \sim Ts_{(n-1)}$ 중 임의의 기간이 표시 기간이 된다. 여기서는 $Ts_{(n-1)}$ 기간에 소정의 화소가 점등되는 것으로 한다.

이하, 나머지 $(n-2)$ 개의 서브프레임 기간에 대하여 동일한 동작이 반복되고, $Ts_{(n-2)}$, $Ts_{(n-3)}$, ..., Ts_1 이 차례로 표시 기간으로 설정되고, 각각의 서브프레임 기간에서 소정의 화소가 점등되는 것으로 한다.

n 개의 서브프레임 기간의 출현 후에 1 프레임 기간이 종료된다. 이때, 화소가 점등하여 있는 표시 기간의 길이를 적산(積算)함으로써, 그 화소의 계조가 결정된다. 예를 들어, $n = 8$ 일 때, 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, Ts_1 및 Ts_2 에서 화소가 발광한 경우에는, 75%의 휘도가 표현될 수 있고, Ts_3 , Ts_5 및 Ts_8 이 선택된 경우에는, 16%의 휘도가 표현될 수 있다.

본 실시형태에서는, 기입 기간에, 전원 제어용 TFT가 오프 상태에 있고, EL 구동 전압이 0 V로 유지되어 있기 때문에, EL 소자는 발광하지 않는다. 그러나, 본 발명이 이러한 구성에 한정되는 것은 아니다. 전원 제어용 TFT가 온 상태로 유지되고, 발광 상태가 선택된 EL 소자에, EL 소자가 발광하는 정도의 크기를 가지는 EL 구동 전압이 항상 공급됨으로써, 기입 기간에서도, 표시 기간과 마찬가지로 표시가 행해지도록 할 수도 있다. 그러나, 이 경우, 서브프레임 기간 전체가 실제로 발광하는 기간이 되기 때문에, 서브프레임 기간의 길이는 $SF_1:SF_2:SF_3:\dots:SF_{(n-1)}:SF_n = 2^0:2^{-1}:2^{-2}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 설정된다. 상기 구성에 의하면, 기입 기간에 발광하지 않는 구동 방법에 비하여, 높은 휘도의 화상이 얻어질 수 있다.

본 발명에서는, 상기 구성에 의해, EL 구동 전압을 제어하는 종래의 외부 스위치에 기인하는 전류값의 제한을 없애는 것이 가능하게 된다. 또한, EL 구동 전압을 제어하는 종래의 외부 스위치에 기인하는 EL 구동회로의 주파수 특성의 저하를 방지하고 계조 수의 감수를 방지하는 것이 가능하게 된다.

전원 제어용 TFT는 스위칭 TFT 및 EL 구동용 TFT와 동시에 형성될 수 있다.

이하, 본 발명의 실시예를 설명한다.

[실시예 1]

본 실시예에서는, 본 발명에 따른 EL 디스플레이의 화소의 구성에 대해 설명한다.

본 발명에 따른 EL 디스플레이의 화소부에는, 다수의 화소가 매트릭스 형태로 배열되어 있다. 도 7(A)는 화소의 회로도의 일 예를 나타낸다.

도 7(A)에서, 화소(1000)에 스위칭용 TFT(1001)가 제공되어 있다. 본 발명에서는, 스위칭용 TFT(1001)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 7(A)에서는, 스위칭용 TFT(1001)로서 n채널형 TFT가 사용된다.

스위칭용 TFT(1001)의 게이트 전극이 게이트 신호를 입력하는 게이트 신호선(1002)에 접속되어 있다. 스위칭용 TFT(1001)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(데이터 신호선이라고도 함)(1003)에 접속되고, 다른 하나는 EL 구동용 TFT(1004)의 게이트 전극 및 커패시터(1008)에 각각 접속되어 있다. 본 실시예에서는, 커패시터(1008)가 생략될 수도 있다.

EL 구동용 TFT(1004)의 소스 영역과 드레인 영역중 하나는 전원 공급선(1005)에 접속되고, 다른 하나는 전원 제어용 TFT(1009)의 소스 영역 또는 드레인 영역에 접속되어 있다. 전원 제어용 TFT(1009)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(1006)에 접속되고, 전원 제어용 TFT(1009)의 게이트 전극은 전원 제어선(1010)에 접속되어 있다. 또한, 커패시터(1008)가 전원 공급선(1005)에 접속되어 있다.

EL 소자(1006)는 양극, 음극 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 본 발명에서, 양극이 화소 전극이고, 음극이 대향 전극인 경우, 전원 제어용 TFT(1009)의 소스 영역 또는 드레인 영역이 EL 소자(1006)의 양극에 접속된다. 반대로, 양극이 대향 전극이고, 음극이 화소 전극인 경우, 전원 제어용 TFT(1009)의 소스 영역 또는 드레인 영역이 EL 소자(1006)의 음극에 접속된다. EL 소자의 대향 전극은 항상 소정의 전위로 유지된다.

EL 구동용 TFT(1004) 및 전원 제어용 TFT(1009)로서는, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 그러나, EL 소자(1006)의 양극이 화소 전극이고 음극이 대향 전극인 경우, EL 구동용 TFT(1004) 및 전원 제어용 TFT(1009) 각각이 p채널형 TFT인 것이 바람직하다. 반대로, EL 소자(1006)의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, EL 구동용 TFT(1004) 및 전원 제어용 TFT(1009) 각각이 n채널형 TFT인 것이 바람직하다. 도 7(A)에서는, EL 구동용 TFT(1004) 및 전원 제어용 TFT(1009)로서 p채널형 TFT가 사용된다. 이때, EL 소자(1006)의 양극이 화소 전극이고, 음극이 대향 전극이다.

도 7(A)에 도시된 회로도에서, 전원 공급선(1005)이 소스 신호선(1003)에 평행하게 배치되어 있고, 전원 제어선(1010)이 게이트 신호선(1002)에 평행하게 배치되어 있다.

또한, EL 구동용 TFT(1004)의 활성층에 LDD 영역이 제공될 수 있고, 게이트 절연막을 사이에 두고 LDD 영역과 게이트 전극이 겹쳐 있는 영역(Lov 영역이라 함)이 형성될 수 있다. EL 구동용 TFT(1004)가 n채널형 TFT 또는 p채널형 TFT인 경우, Lov 영역은 활성층의 드레인 영역측에 형성되고, 그 결과, EL 구동용 TFT(1004)의 게이트 전극과 Lov 영역 사이에 용량이 형성될 수 있고, EL 구동용 TFT(1004)의 게이트 전압이 유지될 수 있다.

도 7(A)에 도시된 회로도에서, 스위칭용 TFT(1001), EL 구동용 TFT(1004), 또는 전원 제어용 TFT(1009)는 멀티게이트 구조(직렬로 접속된 2개 이상의 채널 형성 영역을 가지는 활성층을 포함하는 구조)로 형성될 수도 있다. 스위칭용 TFT(1001)를 멀티게이트 구조로 형성함으로써, 스위칭용 TFT(1001)의 오프 전류가 감소될 수 있다. 또한, EL 구동용 TFT(1004) 또는 전원 제어용 TFT(1009)가 멀티게이트 구조로 형성되는 경우, 열에 의한 EL 구동용 TFT(1004) 또는 전원 제어용 TFT(1009)의 열화(劣化)가 억제될 수 있다.

도 7(A)에서는, 전원 공급선(1005)과 소스 신호선(1003)이 서로 겹치지 않게 제공된 구조로 되어 있지만, 그들이 상이한 층에 형성되는 배선이라면, 절연막을 사이에 두고 서로 겹치도록 제공될 수도 있다. 이 경우, 전원 공급선(1005) 및 소스 신호선(1003)이 전유(專有) 면적을 공유하기 때문에, 화소부가 고정세(高精細)하게 될 수 있다.

도 7(A)에서는, 전원 공급선(1010)과 게이트 신호선(1002)이 서로 겹치지 않게 제공된 구조로 되어 있지만, 그들이 상이한 층에 형성되는 배선이라면, 절연막을 사이에 두고 서로 겹치도록 제공될 수도 있다. 이 경우, 전원 공급선(1010) 및 게이트 신호선(1002)이 전유 면적을 공유하기 때문에, 화소부가 고정세하게 될 수 있다.

다음에, 도 7(B)는 본 발명에 따른 화소의 회로도의 다른 예를 나타낸다. 도 7(B)에서는, 화소(1100)에 스위칭용 TFT(1101)가 제공되어 있다. 본 발명에서는, 스위칭용 TFT(1101)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 7(B)에서는, 스위칭용 TFT(1101)로서 n채널형 TFT가 사용된다.

스위칭용 TFT(1101)의 게이트 전극이 게이트 신호를 입력하는 게이트 신호선(1102)에 접속되어 있다. 스위칭용 TFT(1101)의 소스 영역과 드레인 영역 중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(데이터 신호선이라고도 함)(1103)에 접속되고, 다른 하나는 EL 구동용 TFT(1104)의 게이트 전극 및 커패시터(1108)에 각각 접속되어 있다. 본 실시예에서는, 커패시터(1108)가 생략될 수도 있다.

그 다음, EL 구동용 TFT(1104)의 소스 영역과 드레인 영역 중 하나는 전원 공급선(1105)에 접속되고, 다른 하나는 전원 제어용 TFT(1109)의 소스 영역과 드레인 영역 중 하나에 접속되어 있다. 전원 제어용 TFT(1109)의 소스 영역과 드레인 영역 중 다른 하나는 EL 소자(1106)에 접속되고, 전원 제어용 TFT(1109)의 게이트 전극은 전원 제어선(1110)에 접속되어 있다. 또한, 커패시터(1108)가 전원 공급선(1105)에 접속되어 있다. 이 커패시터(1108)는 생략될 수도 있다.

EL 소자(1106)는 양극, 음극 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 본 발명에서, 양극이 화소 전극이고 음극이 대향 전극인 경우, 전원 제어용 TFT(1109)의 소스 영역 또는 드레인 영역이 EL 소자(1106)의 양극에 접속된다. 반대로, EL 소자(1106)의 양극이 대향 전극이고 음극이 화소 전극인 경우, 전원 제어용 TFT(1109)의 소스 영역 또는 드레인 영역이 EL 소자(1106)의 음극에 접속된다. 그리고, EL 소자의 대향 전극은 항상 소정의 전위로 유지된다.

EL 구동용 TFT(1104) 및 전원 제어용 TFT(1109)로서는, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 그러나, EL 소자(1106)의 양극이 화소 전극이고 음극이 대향 전극인 경우, EL 구동용 TFT(1104) 및 전원 제어용 TFT(1109) 각각이 p채널형 TFT인 것이 바람직하다. 반대로, EL 소자(1106)의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, EL 구동용 TFT(1104) 및 전원 제어용 TFT(1109) 각각이 n채널형 TFT인 것이 바람직하다. 도 7(B)에서는, EL 구동용 TFT(1104) 및 전원 제어용 TFT(1109)로서 p채널형 TFT가 사용된다. 이때, EL 소자(1106)의 양극이 화소 전극이고, 음극이 대향 전극이다.

도 7(B)에 도시된 회로도에서, 전원 공급선(1105)이 게이트 신호선(1102)에 평행하게 배치되어 있고, 전원 제어선(1110)이 소스 신호선(1103)에 평행하게 배치되어 있다.

또한, EL 구동용 TFT(1104)의 활성층에 LDD 영역이 제공될 수 있고, 게이트 절연막을 사이에 두고 LDD 영역과 게이트 전극이 겹쳐 있는 영역(Lov 영역이라고 함)이 형성될 수 있다. EL 구동용 TFT(1104)가 n채널형 TFT 또는 p채널형 TFT인 경우, Lov 영역은 활성층의 드레인 영역측에 형성되고, 그 결과, EL 구동용 TFT(1104)의 게이트 전극과 Lov 영역 사이에 용량이 형성될 수 있고, EL 구동용 TFT(1104)의 게이트 전압이 유지될 수 있다.

도 7(B)에 도시된 회로도에서, 스위칭용 TFT(1101), EL 구동용 TFT(1104), 또는 전원 제어용 TFT(1109)는 멀티게이트 구조로 형성될 수도 있다. 스위칭용 TFT(1101)를 멀티게이트 구조로 형성함으로써, 스위칭용 TFT의 오프 전류가 감소될 수 있다. 또한, EL 구동용 TFT(1104) 및 전원 제어용 TFT(1109)가 멀티게이트 구조로 형성되는 경우, 열에 의한 EL 구동용 TFT(1104)의 열화(劣化)가 억제될 수 있다.

도 7(B)에서는, 전원 공급선(1105) 및 게이트 신호선(1102)이 서로 겹치지 않게 제공된 구조로 되어 있지만, 그들이 상이한 층에 형성되는 배선이라면, 절연막을 사이에 두고 서로 겹치도록 제공될 수도 있다. 이 경우, 전원 공급선(1105) 및 게이트 신호선(1102)이 전용 면적을 공유하기 때문에, 화소부가 고정세하게 된다.

도 7(B)에서는, 전원 공급선(1110) 및 소스 신호선(1103)이 서로 겹치지 않게 제공된 구조로 되어 있지만, 그들이 상이한 층에 형성되는 배선이라면, 절연막을 사이에 두고 서로 겹치도록 제공될 수도 있다. 이 경우, 전원 공급선(1110) 및 소스 신호선(1103)이 전용 면적을 공유하기 때문에, 화소부가 고정세하게 된다.

다음에, 도 8(A)는 본 발명에 따른 화소의 회로도의 또 다른 예를 나타낸다. 도 8(A)에서, 화소(1200)와 화소(1210)가 서로 인접하여 제공되어 있다. 도 8(A)에서, 부호 1201, 1211은 스위칭용 TFT를 나타낸다. 본 발명에서는, 스위칭용 TFT(1201, 1211)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 8(A)에서는, 스위칭용 TFT(1201, 1211)로서 n채널형 TFT가 사용된다. 스위칭용 TFT(1201, 1211)의 게이트 전극이 게이트 신호를 입력하는 게이트 신호선(1202)에 접속되어 있다. 스위칭용 TFT(1201)의 소스 영역과 드레인 영역 중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1203)에 접속되고, 다른 하나는 EL 구동용 TFT(1204)의 게이트 전극 및 커패시터(1208)에 각각 접속되어 있

다. 스위칭용 TFT(1211)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1213)에 접속되고, 다른 하나는 EL 구동용 TFT(1214)의 게이트 전극 및 커패시터(1218)에 각각 접속되어 있다. 본 실시예에서는, 커패시터(1208, 1218)가 생략될 수도 있다.

그 다음, EL 구동용 TFT(1204, 1214)의 소스 영역과 드레인 영역중 하나는 전원 공급선(1220)에 접속되고, 다른 하나는 전원 제어용 TFT(1209, 1219)의 소스 영역 또는 드레인 영역에 접속되어 있다. 전원 제어용 TFT(1209, 1219)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(1205, 1215)에 각각 접속되어 있다. 전원 제어용 TFT(1209, 1219)의 게이트 전극은 전원 제어선(1207)에 접속되어 있다. 또한, 커패시터(1208, 1218)가 전원 공급선(1220)에 접속되어 있다. 이렇게 하여, 본 실시예에서는, 2개의 인접한 화소가 하나의 전원 공급선(1220)을 공유한다. 그 결과, 도 7(A)에 도시된 구조에 비하여, 전원 공급선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

다음에, 도 8(B)는 본 발명에 따른 화소의 회로도의 또 다른 예를 나타낸다. 도 8(B)에서, 화소(1300)와 화소(1310)가 서로 인접하여 제공되어 있다. 도 8(B)에서, 부호 1301, 1311은 스위칭용 TFT를 나타낸다. 본 발명에서는, 스위칭용 TFT(1301, 1311)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 8(B)에서는, 스위칭용 TFT(1301, 1311)로서 n채널형 TFT가 사용된다. 스위칭용 TFT(1301, 1311)의 게이트 전극은 게이트 신호를 입력하는 게이트 신호선(1302)에 접속되어 있다. 스위칭용 TFT(1301)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1303)에 접속되고, 다른 하나는 EL 구동용 TFT(1304)의 게이트 전극 및 커패시터(1308)에 접속되어 있다. 스위칭용 TFT(1311)의 소스 영역과 드레인 영역 중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1303)에 접속되고, 다른 하나는 EL 구동용 TFT(1314)의 게이트 전극 및 커패시터(1318)에 접속되어 있다. 본 실시예에서는, 커패시터(1308, 1318)가 생략될 수도 있다.

그 다음, EL 구동용 TFT(1304, 1314)의 소스 영역과 드레인 영역 중 하나는 전원 공급선(1320)에 접속되고, 다른 하나는 전원 제어용 TFT(1309, 1319)의 소스 영역과 드레인 영역 중 하나에 각각 접속되어 있다. 전원 제어용 TFT(1309, 1319)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(1305, 1315)에 각각 접속되어 있다. 전원 제어용 TFT(1309, 1319)의 게이트 전극은 전원 제어선(1307)에 접속되어 있다. 그리고, 커패시터(1308, 1318)가 전원 공급선(1320)에 접속되어 있다. 이렇게 하여, 본 실시예에서는, 2개의 인접한 화소가 하나의 전원 공급선(1320)을 공유한다. 그 결과, 도 7(B)에 도시된 구조에 비하여, 전원 공급선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

다음에, 도 4(A)는 본 발명에 따른 화소의 회로도의 또 다른 예를 나타낸다. 도 4(A)에서, 화소(1400)와 화소(1410)가 서로 인접하여 제공되어 있다. 도 4(A)에서, 부호 1401, 1411은 스위칭용 TFT를 나타낸다. 본 발명에서는, 스위칭용 TFT(1401, 1411)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 4(A)에서는, 스위칭용 TFT(1401, 1411)로서 n채널형 TFT가 사용된다. 스위칭용 TFT(1401, 1411)의 게이트 전극은 게이트 신호를 입력하는 게이트 신호선(1402)에 접속되어 있다. 스위칭용 TFT(1401, 1411)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1403, 1413)에 각각 접속되고, 다른 하나는 EL 구동용 TFT(1404, 1414)의 게이트 전극 및 커패시터(1408, 1418)에 각각 접속되어 있다. 본 실시예에서는, 커패시터(1408, 1418)가 생략될 수도 있다.

그 다음, EL 구동용 TFT(1404, 1414)의 소스 영역과 드레인 영역중 하나는 전원 공급선(1407)에 접속되고, 다른 하나는 전원 제어용 TFT(1409, 1419)의 소스 영역과 드레인 영역 중 하나에 접속되어 있다. 전원 제어용 TFT(1409, 1419)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(1405, 1415)에 접속되어 있다. 전원 제어용 TFT(1409, 1419)의 게이트 전극은 전원 제어선(1420)에 접속되어 있다. 그리고, 커패시터(1408, 1418)가 전원 공급선(1407)에 접속되어 있다. 이렇게 하여, 본 실시예에서는, 2개의 인접한 화소가 하나의 전원 제어선(1420)을 공유한다. 그 결과, 도 7(B)에 도시된 구조에 비하여, 전원 제어선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되어 있는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

도 4(A)에 도시된 회로도에서, 전원 제어선(1420)이 소스 신호선(1403, 1413)에 평행하게 배치되어 있고, 전원 공급선(1407)이 게이트 신호선(1402)에 평행하게 배치되어 있다.

다음에, 도 4(B)는 본 발명에 따른 화소의 회로도의 또 다른 예를 나타낸다. 도 4(B)에서, 화소(1500)와 화소(1510)가 서로 인접하여 제공되어 있다. 도 4(B)에서, 부호 1501, 1511은 스위칭용 TFT를 나타낸다. 본 발명에서는, 스위칭용 TFT(1501, 1511)로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 4(B)에서는, 스위칭용 TFT(1501, 1511)로서 n채널형 TFT가 사용된다. 스위칭용 TFT(1501, 1511)의 게이트 전극은 게이트 신호를 입력하는 게이트 신호

선(1502, 1512)에 각각 접속되어 있다. 스위칭용 TFT(1501, 1511)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(1503)에 접속되고, 다른 하나는 EL 구동용 TFT(1504, 1514)의 게이트 전극 및 커패시터(1508, 1518)에 각각 접속되어 있다. 본 실시예에서는, 커패시터(1508, 1518)가 생략될 수도 있다.

그 다음, EL 구동용 TFT(1504, 1514)의 소스 영역과 드레인 영역중 하나는 전원 공급선(1507)에 접속되고, 다른 하나는 전원 제어용 TFT(1509, 1519)의 소스 영역과 드레인 영역 중 하나에 접속되어 있다. 전원 제어용 TFT(1509, 1519)의 소스 영역과 드레인 영역중 다른 하나는 EL 소자(1505, 1515)에 각각 접속되어 있다. 전원 제어용 TFT(1509, 1519)의 게이트 전극은 전원 제어선(1520)에 접속되어 있다. 또한, 커패시터(1508, 1518)가 전원 공급선(1507)에 접속되어 있다. 이렇게 하여, 본 실시예에서는, 2개의 인접한 화소가 하나의 전원 제어선(1520)을 공유한다. 그 결과, 도 7(A)에 도시된 구조에 비하여, 전원 제어선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되어 있는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

다음에, 본 발명에 따른 화소의 회로도의 또 다른 예가 도 6(A)에 도시되어 있다. 본 실시예에서는, 도 4(A)에 나타난 2개의 화소 및 이들에 대하여 전원 공급선을 중심으로 대칭으로 된 화소가 전원 공급선을 공유하도록 배치된다. 또한, 도 6(A)는, 도 8(B)에 나타난 2개의 화소 및 이들에 대하여 전원 제어선을 중심으로 대칭으로 된 화소가 전원 제어선을 공유하도록 배치된 구성으로 나타내어질 수도 있다. 화소 내 배치된 TFT 구조 및 각 소자의 접속 등은 도 4(A) 또는 도 8(B)의 설명에 따른다.

도 6(A)에 도시된 바와 같이, 본 실시예에서는 게이트선 방향으로 인접한 2개의 화소가 하나의 전원 제어선(1600)을 공유하고, 소스선 방향으로 인접한 2개의 화소가 하나의 전원 공급선(1610)을 공유한다. 그 결과, 도 7(A) 및 도 7(B)에 도시된 구조에 비하여, 전원 제어선 및 전원 공급선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되어 있는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

다음에, 본 발명에 따른 화소의 회로도의 또 다른 예가 도 6(B)에 도시되어 있다. 본 실시예에서는, 도 8(A)에 나타난 2개의 화소 및 이들에 대하여 전원 제어를 중심으로 대칭으로 된 화소가 전원 제어선을 공유하도록 배치되어 있다. 또한, 도 6(B)는, 도 4(B)에 나타난 2개의 화소 및 이들에 대하여 전원 공급선을 중심으로 대칭으로 된 화소가 전원 공급선을 공유하도록 배치된 구성으로 나타내어질 수도 있다. 화소 내의 TFT 구조 및 각 소자의 접속 등은 도 8(A) 또는 도 4(B)의 설명에 따른다.

도 6(B)에 도시된 바와 같이, 본 실시예에서는 게이트선 방향으로 인접한 2개의 화소가 하나의 전원 공급선(1700)을 공유하고, 소스선 방향으로 인접한 2개의 화소가 하나의 전원 제어선(1710)을 공유한다. 그 결과, 도 7(A) 및 도 7(B)에 도시된 구조에 비하여, 전원 제어선 및 전원 공급선의 수가 감소될 수 있다. 화소부 전체에 대한 배선의 비율이 작으면, 그 배선이 EL 층의 발광 방향으로 제공되어 있는 경우 그 배선에 의한 광의 차단이 억제될 수 있다.

도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에 도시된 회로도에서, EL 소자는 양극, 음극, 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 본 발명에서, 양극이 화소 전극이고 음극이 대향 전극인 경우, 전원 제어용 TFT의 소스 영역 또는 드레인 영역이 EL 소자(1106)의 양극에 접속된다. 반대로, EL 소자(1106)의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, 전원 제어용 TFT의 소스 영역 또는 드레인 영역이 EL 소자의 음극에 접속된다. 또한, EL 소자의 대향 전극은 항상 소정의 전위로 유지된다.

도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에 도시된 회로도에서, EL 구동용 TFT 및 전원 제어용 TFT로서, n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 그러나, EL 소자의 양극이 화소 전극이고 음극이 대향 전극인 경우, EL 구동용 TFT 및 전원 제어용 TFT가 p채널형 TFT인 것이 바람직하다. 반대로, EL 소자의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, EL 구동용 TFT 및 전원 제어용 TFT가 n채널형 TFT인 것이 바람직하다. 도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에서는, EL 구동용 TFT 및 전원 제어용 TFT로서 p채널형 TFT가 사용됨으로써, EL 소자의 양극이 화소 전극이고, 음극이 대향 전극으로 되어 있다.

도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에 도시된 회로도에서, EL 구동용 TFT의 활성층에 LDD 영역이 제공됨으로써, 게이트 절연막을 사이에 두고 LDD 영역과 게이트 전극이 겹쳐 있는 영역(Lov 영역이라 함)이 형성될 수도 있다. EL 구동용 TFT가 n채널형 TFT 또는 p채널형 TFT인 경우, Lov 영역은 활성층의 드레인 영역측에 형성되고, 그 결과, EL 구동용 TFT의 게이트 전극과 Lov 영역 사이에 용량이 형성될 수 있고, EL 구동용 TFT의 게이트 전압이 유지될 수 있다.

도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에 도시된 회로도에서, 스위칭용 TFT, EL 구동용 TFT 및 전원 제어용 TFT 중 어느 하나 이상이 멀티게이트 구조로 형성될 수도 있다. 스위칭용 TFT를 멀티게이트 구조로 형성함으로써, 스위칭용 TFT의 오프 전류가 감소될 수 있다. 또한, EL 구동용 TFT 및 전원 제어용 TFT가 멀티게이트 구조로 형성되는 경우, 열에 의한 EL 구동용 TFT 및 전원 제어용 TFT의 열화가 억제될 수 있다.

본 실시예에서, 전류 제어용 TFT의 드레인 영역 또는 소스 영역과 EL 소자 사이에 저항기가 제공될 수도 있다. 저항기를 제공함으로써, 전원 제어용 TFT로부터 EL 소자로 공급되는 전류의 양이 제어되어, 전원 제어용 TFT 및 EL 구동용 TFT의 특성 편차의 영향이 방지될 수 있다. 저항기는 전원 제어용 TFT 및 EL 구동용 TFT의 온(on) 저항보다 충분히 큰 저항값을 나타내는 소자이면 된다. 따라서, 구조 등에 한정은 없다. 온 저항이란 TFT가 온 상태에 있을 때 TFT의 드레인 전압을 그 때 흐르는 드레인 전류로 나누어 얻어진 값이다. 저항기의 저항값으로서는, 1 k Ω ~50 M Ω (바람직하게는, 10 k Ω ~10 M Ω , 더 바람직하게는, 50 k Ω ~1 M Ω)의 범위 내에서 선택될 수 있다. 높은 저항값을 갖는 반도체층이 저항기로서 사용되는 경우, 그의 형성이 용이하므로 바람직하다.

[실시예 2]

본 실시예에서는, 본 발명의 EL 디스플레이의 화소의 구성에 대하여 설명한다.

본 실시예에서는, EL 구동용 TFT와 전원 공급선 사이에 전원 제어용 TFT가 배치되어 있다. 화소의 회로도의 일 예가 도 20(A)에 도시되어 있다.

도 20(A)에서, 화소(1800)내에 스위칭용 TFT(1801)가 제공되어 있다. 본 발명에서, 스위칭용 TFT(1801)에 n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있다. 도 20(A)에서는, 스위칭용 TFT(1801)에 n채널형 TFT가 사용된다.

스위칭용 TFT(1801)의 게이트 전극이 게이트 신호를 입력하는 게이트 신호선(1802)에 접속되어 있다. 스위칭용 TFT(1801)의 소스 영역과 드레인 영역중 하나는 디지털 비디오 신호를 입력하는 소스 신호선(데이터 신호선이라고도 함)(1803)에 접속되고, 다른 하나는 EL 구동용 TFT(1804)의 게이트 전극 및 커패시터(1808)에 각각 접속되어 있다.

EL 구동용 TFT(1804)의 소스 영역과 드레인 영역중 하나는 전원 제어용 TFT(1809)의 소스 영역과 드레인 영역 중 하나에 접속되고, 다른 하나는 EL 소자(1806)에 접속되어 있다. 전원 제어용 TFT(1809)의 소스 영역과 드레인 영역중 다른 하나는 전원 공급선(1805)에 접속되고, 전원 제어용 TFT(1809)의 게이트 전극은 전원 제어선(1810)에 접속되어 있다. 또한, 커패시터(1808)가 전원 공급선(1805)에 접속되어 있다. 본 실시예에서는, 커패시터(1808)가 제공되지 않아도 된다.

EL 소자(1806)는 양극, 음극 및 그 양극과 음극 사이에 배치된 EL 층으로 구성된다. 본 발명에서, 양극이 화소 전극이고 음극이 대향 전극인 경우, EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역이 EL 소자(1806)의 양극에 접속된다. 반대로, EL 소자(1806)의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역이 EL 소자(1806)의 음극에 접속된다. EL 소자의 대향 전극은 항상 소정 전위의 레벨로 유지된다.

EL 구동용 TFT(1804) 및 전원 제어용 TFT(1809)에는 n채널형 TFT와 p채널형 TFT 중 어느 것이나 사용될 수 있지만, EL 소자(1806)의 양극이 화소 전극이고 음극이 대향 전극인 경우에는, EL 구동용 TFT(1804) 및 전원 제어용 TFT(1809)가 p채널형 TFT인 것이 바람직하다. 반대로, EL 소자(1806)의 양극이 대향 전극이고 음극이 화소 전극인 경우에는, EL 구동용 TFT(1804) 및 전원 제어용 TFT(1809)가 n채널형 TFT인 것이 바람직하다. 도 20(A)에서는, EL 구동용 TFT(1804) 및 전원 제어용 TFT(1809)에 p채널형 TFT가 사용되고, EL 소자(1806)의 양극은 화소 전극이고, 음극이 대향 전극으로 되어 있다.

또한, 도 20(A)에 도시된 회로도는, 도 7(A)(실시예 1)에 나타난 회로도에서, EL 구동용 TFT(1004)와 EL 소자(1006) 사이에 배치된 전원 제어용 TFT(1009)가 제거되고, 새로운 전원 제어용 TFT가 EL 구동용 TFT(1004)와 전원 공급선(1005) 사이에 배치되는 것으로도 나타내어질 수 있다. 이 경우, 전원 제어용 TFT의 소스 영역과 드레인 영역중 하나는 전원 공급선(1005)에 접속되고, 다른 하나는 EL 구동용 TFT(1004)에 접속된다. 또한, 게이트 전극이 전원 제어선(1010)에 접속된다.

다음에, 본 발명의 화소의 회로도의 다른 예가 도 20(B)에 도시되어 있다. 도 20(B)에 도시된 회로도는, 도 7(B)(실시예 1)에 나타난 회로도에서, EL 구동용 TFT(1104)와 EL 소자(1106) 사이에 배치된 전원 제어용 TFT(1109)가 제거되고, 새

로운 전원 제어용 TFT(1111)가 EL 구동용 TFT(1104)와 전원 공급선(1105) 사이에 배치되는 것으로 나타내어질 수 있다. 이 경우, 전원 제어용 TFT의 소스 영역과 드레인 영역중 하나는 전원 공급선(1105)에 접속되고, 다른 하나는 EL 구동용 TFT(1104)에 접속된다. 또한, 게이트 전극은 전원 제어선(1110)에 접속된다.

이와 같이, 본 실시예에서는, 전원 제어용 TFT가 EL 구동용 TFT와 전원 공급선 사이에 배치된다. 실시예 1의 도 7(A), 도 7(B), 도 8(A), 도 8(B), 도 4(A), 도 4(B), 도 6(A) 및 도 6(B)에 나타난 회로도의 경우, EL 구동용 TFT와 EL 소자 사이에 배치된 전원 제어용 TFT가 제거되고, 새로운 전원 제어용 TFT가 EL 구동용 TFT와 전원 공급선 사이에 배치되는 경우, 이와 같은 구성이 실현 가능하게 된다. 전원 제어용 TFT의 소스 영역과 드레인 영역중 하나는 전원 공급선(1105)에 접속되고, 다른 하나는 EL 구동용 TFT에 접속된다. 또한, 게이트 전극은 전원 제어선에 접속된다.

본 실시예에서는, EL 구동용 TFT의 활성층에 LDD 영역이 제공될 수 있고, 게이트 절연막을 사이에 두고 LDD 영역이 게이트 전극과 겹쳐 있는 영역(Lov 영역이라고도 함)이 형성될 수도 있다. EL 구동용 TFT가 n채널형 TFT 또는 p채널형 TFT일지라도, 활성층의 드레인 영역측에 Lov 영역을 형성함으로써, EL 구동용 TFT의 게이트 전극과 Lov 영역 사이에 용량이 형성될 수 있고, EL 구동용 TFT의 게이트 전압이 유지될 수 있다.

또한, 스위칭용 TFT, EL 구동용 TFT 또는 전원 제어용 TFT는 멀티게이트 구조(직렬로 접속된 2개 이상의 채널 형성 영역을 가지는 활성층을 구비한 구조)로 될 수도 있다. 스위칭용 TFT를 멀티게이트 구조로 함으로써, 스위칭용 TFT의 오프 전류가 감소될 수 있다. 또한, EL 구동용 TFT 또는 전원 제어용 TFT를 멀티게이트 구조로 함으로써, 열에 의한 EL 구동용 TFT 또는 전원 제어용 TFT의 열화(劣化)가 억제될 수 있다.

또한, 전원 공급선, 소스 신호선, 전원 제어선, 및 게이트 신호선 중에서 서로 평행한 2개의 선에 주목하는 경우, 그들 선이 서로 겹치지 않는 구조가 채택되지만, 그들 선이 상이한 층에 형성된 배선이라면, 그들 선이 절연막을 사이에 두고 서로 겹치도록 제공될 수도 있다. 이 경우, 서로 겹치도록 제공된 2개의 선에서 전류 영역이 공유될 수 있기 때문에, 화소부가 더욱 고정세하게 될 수 있다.

본 실시예에서, EL 구동용 TFT의 드레인 영역 또는 소스 영역과 EL 소자 사이에 저항기가 제공될 수도 있다. 저항기를 제공함으로써, EL 구동용 TFT로부터 EL 소자로 공급되는 전류의 양을 제어하고, 전원 제어용 TFT 및 EL 구동용 TFT의 특성 편차의 영향을 방지하는 것이 가능하게 된다. 저항기는 전원 제어용 TFT 및 EL 구동용 TFT의 온 저항보다 충분히 큰 저항값을 나타내는 소자이면 되고, 구조 등에 한정은 없다. 온 저항이란 TFT가 온 상태에 있을 때 TFT의 드레인 전압을 그때 흐르는 드레인 전류로 나누어 얻어진 값을 의미한다. 저항기의 저항값은 1 kΩ~50 MΩ(바람직하게는, 10 kΩ~10 MΩ, 더 바람직하게는, 50 kΩ~1 MΩ)의 범위 내에서 선택될 수 있다. 높은 저항값을 가지는 반도체층이 저항기로서 사용되는 경우, 그의 형성이 용이하기 때문에 그 반도체층이 바람직하다.

[실시예 3]

본 실시예에서, 본 발명을 사용하여 EL 디스플레이를 제작한 예를 설명한다.

도 9(A)는 본 발명을 사용한 EL 디스플레이의 상면도이다. 도 9(A)에서, 부호 4010은 기관이고, 부호 4011은 화소부이고, 부호 4012는 소스 신호측 구동회로이고, 부호 4013은 게이트 신호측 구동회로이다. 각각의 구동회로는 배선(4014~4016)을 경유하여 PFC(4017)를 통해 외부 기기에 접속된다.

이때, 적어도 화소부, 바람직하게는, 구동회로와 화소부 모두를 둘러싸도록 커버재(6000), 밀봉재(하우징재라고도 함)(7000), 및 기밀 밀봉재(제2 밀봉재)(7001)가 형성되어 있다.

또한, 도 9(B)는 본 발명의 EL 디스플레이의 단면 구조를 나타내는 도면이다. 기관(4010)상의 하지막(4021) 위에, 구동회로용 TFT(4022)(여기서는 n채널형 TFT와 p채널형 TFT가 조합된 CMOS 회로가 도시됨)와 화소부용 TFT(여기서는 EL 소자로 흐르는 전류를 제어하기 위한 EL 구동용 TFT만이 도시됨)가 형성되어 있다. 이들 TFT는 공지의 구조(탑 게이트 구조 또는 보텀 게이트 구조)를 사용하여 형성될 수 있다.

구동회로용 TFT(4022) 및 화소부용 TFT(4023)가 완성된 후, 수지 재료로 된 층간절연막(평탄화막)(4026)상에, 화소부용 TFT(4023)의 드레인에 전기적으로 접속되는 투명 도전막으로 된 화소 전극(4027)이 형성된다. 투명 도전막으로서는, 산화 인듐과 산화 주석의 화합물(ITO라 함) 또는 산화 인듐과 산화 아연의 화합물이 사용될 수 있다. 화소 전극(4027)을 형성한 후, 절연막(4028)이 형성되고, 화소 전극(4027) 위에 개구부가 형성된다.

그 다음, EL 층(4029)이 형성된다. 이 EL 층(4029)은 공지의 EL 재료(정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층과 같은)를 자유롭게 조합하여 적층 구조 또는 단층 구조를 가지도록 형성될 수 있다. 어느 구조로 할 것인지는 공지의 기술을 사용할 수 있다. 또한, EL 재료에는 저분자계 재료와 고분자계(폴리머계) 재료가 있다. 저분자계 재료를 사용하는 경우에는 증착법이 사용되지만, 고분자계 재료가 사용되는 경우에는, 스핀 코팅법, 인쇄법, 잉크젯법과 같은 용이한 방법을 사용할 수 있다.

본 실시예에서는, 새도우 마스크를 사용한 증착법에 의해 EL 층이 형성된다. 새도우 마스크를 사용하여 화소 마다에, 상이한 파장을 가지는 광을 발광할 수 있는 발광층(적색 발광층, 녹색 발광층, 및 청색 발광층)을 형성함으로써, 컬러 표시가 가능하게 된다. 또한, 전하 결합층(CCM)(색 변환층)과 컬러 필터를 조합하는 방법, 및 백색 발광층과 컬러 필터를 조합하는 방법과 같은 방법들도 사용될 수 있다. 물론, 단색 발광의 EL 표시장치로 할 수도 있다.

EL 층(4029)을 형성한 후, 그 EL 층 위에 음극(4030)이 형성된다. 음극(4030)과 EL 층(4029) 사이의 계면에 존재하는 수분 또는 산소를 극력 제거하는 것이 바람직하다. 따라서, 진공 중에서 EL 층(4029)과 음극(4030)을 연속적으로 성막하거나, 불활성 분위기에서 EL 층(4029)을 형성하고 대기에서의 노출없이 음극(4030)을 형성하는 방법을 사용할 필요가 있다. 본 실시예에서는, 멀티체임버 방식(클러스터 툴 방식)의 성막장치를 사용함으로써, 상기한 성막을 가능하게 한다.

본 실시예에서는, 음극(4030)으로서, LiF(불화 리튬) 막과 Al(알루미늄) 막의 적층 구조가 사용된다. 구체적으로는, EL 층(4029)상에 증착법에 의해 두께 1 nm의 LiF(불화 리튬) 막을 형성하고, 그 LiF 막 위에 두께 300 nm의 알루미늄 막을 형성한다. 물론, 공지의 음극 재료인 MgAg 전극이 사용될 수도 있다. 그 다음, 음극(4030)이 부호 4031로 나타낸 영역에서 배선(4016)에 접속된다. 이 배선(4016)은 음극(4030)에 소정의 전압을 인가하기 위한 전원 공급선이고, 도전성 페이스트(paste) 재료(4032)를 통해 FPC(4017)에 접속된다.

부호 4031로 나타낸 영역에서 음극(4030)과 배선(4016)을 전기적으로 접속하기 위해, 중간절연막(4026) 및 절연막(4028)에 콘택트 홀을 형성할 필요가 있다. 콘택트 홀은 중간절연막(4026)을 에칭할 때(화소 전극을 위한 콘택트 홀을 형성할 때)와, 절연막(4028)을 에칭할 때(EL 층을 형성하기 전 개구부를 형성할 때) 형성될 수 있다. 또한, 절연막(4028)을 에칭할 때, 한번에 중간절연막(4026)까지 에칭이 행해질 수도 있다. 이 경우, 중간절연막(4026) 및 절연막(4028)이 동일한 수지 재료이면, 양호한 콘택트 홀이 형성될 수 있다.

이렇게 하여 형성된 EL 소자의 표면을 덮도록 패시베이션 막(6003), 충전재(6004), 및 커버재(6000)가 형성된다.

또한, EL 소자부를 둘러싸도록 커버재(6000)와 기판(4010) 사이에 밀봉재(7000)가 형성되고, 그 밀봉재(7000)의 외측에 기밀 밀봉재(제2 밀봉재)(7001)가 형성된다.

이때, 충전재(6004)는 커버재(6000)를 접합하기 위한 접착제로도 기능한다. 충전재(6004)로서는, PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)가 사용될 수 있다. 충전재(6004)의 내측에 건조제가 제공되면, 흡습 효과를 유지할 수 있어, 바람직하다.

또한, 충전재(6004) 내에 스페이서를 함유시킬 수도 있다. 스페이서는 그 스페이서 자체에 흡습성을 부여하는 BaO와 같은 입상(粒狀) 물질일 수 있다.

스페이서를 제공한 경우, 패시베이션 막(6003)이 스페이서 압력을 완화시킬 수 있다. 또한, 패시베이션 막(6003)과는 별도로, 스페이서 압력을 완화하는 수지막과 같은 막이 형성될 수도 있다.

또한, 커버재(6000)로서는, 유리판, 알루미늄판, 스테인리스 강판, FRP(섬유유리 강화 플라스틱)판, PVF(폴리비닐 플루오라이드) 필름, 마일러(Mylar) 필름, 폴리에스터 필름, 및 아크릴 필름이 사용될 수 있다. 충전재(6004)로서 PVB 또는 EVA가 사용되는 경우, 수 십 μm 의 알루미늄 포일(foil)을 PVB 필름 또는 마일러 필름 사이에 끼운 구조를 가지는 시트(sheet)를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광 방사(放射) 방향)에 따라서는, 커버재(6000)가 투광성을 가질 필요가 있다.

또한, 배선(4016)은 밀봉재(7000) 및 기밀 밀봉재(7001)와 기판(4010) 사이의 간극을 통해 FPC(4017)에 전기적으로 접속된다. 여기서는, 배선(4016)이 설명되었지만, 다른 배선(4014, 4015)도 마찬가지로 밀봉재(7000) 및 기밀 밀봉재(7001) 아래를 통과하여 FPC(4017)에 전기적으로 접속된다.

도 9(A) 및 도 9(B)에서는, 충전재(6004)를 형성한 후, 커버재(6000)가 접합되고, 충전재(6004)의 측면(노출면)을 덮도록 밀봉재(7000)가 부착되지만, 커버재(6000) 및 상기 밀봉재(7000)를 부착한 후 충전재(6004)가 형성될 수도 있다. 이 경우, 기판(4010), 커버재(6000), 및 밀봉재(7000)에 의해 형성된 간극을 통해 충전재 주입구가 형성된다. 이 간극은 진공 상태(10^{-2} Torr 이하의 압력)로 설정되고, 그 주입구를 충전재가 들어 있는 탱크 속에 담근 후 그 간극 외측의 공기 압력을 그 간극 내의 공기 압력보다 높게 하여, 충전재를 그 간극 내에 충전한다.

다음에, 도 9(A) 및 도 9(B)의 것과는 다른 구조를 가지는 EL 표시장치를 제작한 예를 도 10(A) 및 도 10(B)를 사용하여 설명한다. 도 9(A) 및 도 9(B)의 것과 동일한 부분을 동일한 부호로 나타내고, 그에 대한 설명은 생략한다.

도 10(A)는 본 실시예의 EL 표시장치의 상면도이고, 도 10(B)는 도 10(A)의 A-A'선을 따라 취한 단면도를 나타낸다.

EL 소자를 덮도록 패시베이션 막(6003)을 형성하는 단계까지는 도 9(A) 및 도 9(B)에 따라 행해진다.

또한, EL 소자를 덮도록 충전재(6004)가 형성된다. 충전재(6004)는 커버재(6000)를 접합하기 위한 접착제로도 기능한다. 충전재(6004)로서는, PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄, 또는 EVA(에틸렌 비닐 아세테이트)가 사용될 수 있다. 충전재(6004)의 내측에 건조제가 제공되면, 흡습 효과를 유지할 수 있어, 바람직하다.

또한, 충전재(6004) 내에 스페이서를 함유시킬 수도 있다. 이 스페이서는 스페이서 자체에 흡습성을 제공하는 BaO와 같은 입상 물질일 수도 있다.

스페이서를 제공한 경우, 패시베이션 막(6003)이 스페이서 압력을 완화시킬 수 있다. 또한, 패시베이션 막(6003)과는 별도로, 스페이서 압력을 완화시키는 수지막과 같은 막이 형성될 수도 있다.

또한, 커버재(6000)로서는, 유리판, 알루미늄판, 스테인리스 강판, FRP(섬유유리 강화 플라스틱)판, PVF(폴리비닐 플루오라이드) 필름, 마일러 필름, 폴리에스터 필름, 또는 아크릴 필름이 사용될 수 있다. 충전재(6004)로서 PVB 또는 EVA가 사용되는 경우, 수 십 μ m의 알루미늄 포일을 PVB 필름 또는 마일러 필름 사이에 끼운 구조를 가지는 시트(sheet)를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광 방사 방향)에 따라서는, 커버재(6000)가 투광성을 가질 필요가 있다.

다음에, 충전재(6004)를 사용하여 커버재(6000)를 접착한 후, 충전재(6004)의 측면(노출면)을 덮도록 프레임(frame)재(6001)가 부착된다. 이 프레임재(6001)는 밀봉재(접착제로서 가능함)(6002)에 의해 접착된다. 이때, 밀봉재(6002)로서는 광 경화성 수지를 사용하는 것이 바람직하지만, EL 층의 내열성이 허용된다면, 열 경화성 수지가 사용될 수도 있다. 밀봉재(6002)는 수분 및 산소를 가능한 한 투과하지 않는 재료인 것이 바람직하다. 또한, 밀봉재(6002)의 내부에 건조제가 첨가될 수도 있다.

배선(4016)이 밀봉재(6002)와 기판(4010) 사이의 간극을 통해 FPC(4017)에 전기적으로 접속된다. 여기서는, 배선(4016)이 설명되었지만, 다른 배선(4014, 4015)도 마찬가지로 밀봉재(6002) 아래를 통과하여 FPC(4017)에 전기적으로 접속된다.

도 10(A) 및 도 10(B)에서는, 충전재(6004)를 제공한 후, 커버재(6000)가 접착되고, 충전재(6004)의 측면(노출면)을 덮도록 프레임재(6001)가 부착되지만, 커버재(6000) 및 프레임재(6001)를 부착한 후 충전재(6004)가 제공될 수도 있다. 이 경우, 기판(4010), 커버재(6000), 및 프레임재(6001)에 의해 형성된 간극을 통해 충전재 주입구가 형성된다. 이 간극은 진공 상태(10^{-2} Torr 이하의 압력)로 설정되고, 그 주입구를 충전재가 들어 있는 탱크 속에 담근 후 그 간극 외측의 공기 압력을 그 간극 내의 공기 압력보다 높게 하여, 충전재를 그 간극에 충전한다.

[실시예 4]

화소부의 더 상세한 단면 구조가 도 11에 도시되어 있다. 기판(3501)상에 형성된 스위칭용 TFT(3502)는 공지의 방법에 의해 제조된다. 본 실시예에서는, 이중 게이트 구조가 사용된다. 본 실시예에서는 이중 게이트 구조가 사용되지만, 단일 게이트 구조, 3중 게이트 구조, 및 더 많은 수의 게이트를 가지는 멀티게이트 구조가 사용될 수도 있다.

또한, EL 구동용 TFT(3503) 및 전원 제어용 TFT(3504) 각각은 n채널형 TFT이고, 공지의 방법을 사용하여 제조된다. 이때, 스위칭용 TFT(3502)의 드레인 배선(35)이 배선(36)에 의해 EL 구동용 TFT(3503)의 게이트 전극(37b)에 전기적으로 접속되어 있다. EL 구동용 TFT(3503)의 소스 배선(40b)은 전원 제어용 TFT의 드레인 배선(40a)에 접속되어 있다. 또한, 부호 38로 나타낸 배선은 스위칭용 TFT(3502)의 게이트 전극(39a, 39b)들을 전기적으로 접속하는 게이트 신호선이다. 또한, EL 구동용 TFT(3503)의 드레인 배선(34)은 전원 공급선(도시되지 않음)에 접속되고, 일정한 전압이 항상 인가된다. 전원 제어용 TFT(3504)의 게이트 전극(37a)은 전원 제어선(도시되지 않음)에 접속되어 있다.

본 실시예에서는, 전원 제어용 TFT의 소스 배선이 EL 소자의 음극에 접속되고, 드레인 배선이 EL 구동용 TFT의 소스 배선에 접속되고, EL 구동용 TFT의 드레인 배선이 전원 공급선에 접속되는 구조로 되어 있으나, EL 구동용 TFT의 소스 배선이 EL 소자의 음극에 접속되고, 드레인 배선이 전원 제어용 TFT의 소스 배선에 접속되고, 전원 제어용 TFT의 드레인 배선이 전원 공급선에 접속되는 구조일 수도 있다. 따라서, 실시예 2의 구성과 조합하여 실시하는 것이 가능하다.

본 실시예에서는 EL 구동용 TFT(3503) 및 전원 제어용 TFT(3504)를 단일 게이트 구조로 나타내고 있지만, 다수의 TFT가 직렬로 접속되어 있는 멀티게이트 구조가 사용될 수도 있다. 또한, 다수의 TFT를 병렬로 접속하여 채널 형성 영역을 실질적으로 다수로 분할하고, 높은 효율로 열 방사를 행할 수 있는 구조가 사용될 수도 있다. 이 구조는 열에 의한 열화(劣化)를 억제하는데 효과적이다.

스위칭용 TFT(3502), EL 구동용 TFT(3503) 및 전원 제어용 TFT(3504) 위에 제1 패시베이션 막(41)이 형성되고, 그 위에, 수지 절연막으로 된 평탄화막(42)이 형성된다. 평탄화막(42)을 사용하여 TFT에 의한 단차(段差)를 평탄화하는 것은 매우 중요하다. 나중에 형성되는 EL 층은 매우 얇기 때문에, 단차가 존재함으로써 발광 불량이 일어나는 경우가 있다. 따라서, 가능한 한 평탄한 표면에 EL 층을 형성하기 위해, 화소 전극을 형성하기 전에 평탄화를 행하는 것이 바람직하다.

또한, 부호 43은 반사성이 높은 도전막으로 된 화소 전극(EL 소자의 음극)을 나타내고, 이것은 전원 제어용 TFT(3504)의 드레인 영역에 전기적으로 접속되어 있다. 화소 전극(43)으로서는, 알루미늄 합금 막, 구리 합금 막, 및 은 합금 막과 같은 저저항 도전막, 또는 이들의 적층막을 사용하는 것이 바람직하다. 물론, 다른 도전막과의 적층 구조가 사용될 수도 있다.

또한, 절연막(바람직하게는, 수지)로 형성된 बैं크(bank)(44a, 44b)에 의해 형성된 홈(화소에 대응함)내에 발광층(45)이 형성된다. 여기서는 하나의 화소만이 도시되었지만, 발광층은 R(적색), G(녹색), 및 B(청색) 각각에 대응하도록 나누어 형성될 수도 있다. 유기 EL 재료로서는 π 공역 폴리머계 재료가 사용된다. 대표적인 폴리머계 재료로서는, 폴리파라페닐렌 비닐렌(PPV)계, 폴리비닐 카르바졸(PVK)계, 및 폴리플루오란(polyfluorane)계 등을 들 수 있다.

PPV계 유기 EL 재료로서는 여러 가지 종류의 것이 있고, 예를 들어, Shenk, H., Becker, H., Gelsen, O., Kluge, E., Kreuder, W., Spreitzer, H.의 "Polymer for Light Emitting Diodes", Euro Display Proceedings, 1999, pp.33-37, 및 일본 공개특허공보 평10-92576호 공보에 개시된 재료들이 사용될 수 있다.

구체적인 발광층으로서, 적색으로 발광하는 발광층에는 시아노-폴리페닐렌 비닐렌이 사용될 수 있고, 녹색으로 발광하는 발광층에는 폴리페닐렌 비닐렌이 사용될 수 있고, 청색으로 발광하는 발광층에는 폴리페닐렌 비닐렌 또는 폴리알킬페닐렌이 사용될 수 있다. 막 두께는 30~150 nm(바람직하게는, 40~100 nm)일 수 있다.

그러나, 상기 예는 발광층으로서 사용될 수 있는 유기 EL 재료의 일 예이고, 이들 재료에 한정될 필요는 없다. 발광층, 전하 수송층, 및 전하 주입층을 자유롭게 조합하여 EL 층(발광 및 그를 위한 캐리어의 이동을 행하기 위한 층)을 형성할 수도 있다.

예를 들어, 본 실시예에서는 발광층으로서 폴리머계 재료를 사용하는 예를 나타내지만, 저분자계 유기 EL 재료가 사용될 수도 있다. 또한, 전하 수송층 또는 전하 주입층으로서 탄화규소와 같은 무기 재료를 사용할 수도 있다. 이들 유기 EL 재료 및 무기 재료로서는 공지의 재료가 사용될 수 있다.

본 실시예에서는, 발광층(45) 위에 PEDOT(폴리티오펜) 또는 PAni(폴리아닐린)으로 된 정공 주입층(46)이 형성된 적층 구조의 EL 층이 사용된다. 그 다음, 정공 주입층(46)상에 투명 도전막으로 된 양극(47)이 형성된다. 본 실시예에서는, 발광층(45)에 의해 생성된 광이 상면(TFT의 상부)쪽으로 향하여 방사되므로, 양극은 투광성이어야 한다. 그 투명 도전막으로서는, 산화 인듐과 산화 주석의 화합물 또는 산화 인듐과 산화 아연의 화합물이 사용될 수 있으나, 내열성이 낮은 발광층 및 정공 주입층을 형성한 후에 형성되기 때문에, 가능한 한 낮은 온도에서 성막될 수 있는 재료를 사용하는 것이 바람직하다.

양극(47)까지 형성된 시점에서 EL 소자(3505)가 완성된다. 여기서 말하는 EL 소자(3505)는 화소 전극(음극)(43), 발광층(45), 정공 주입층(46), 및 양극(47)에 의해 형성되어 있다. 화소 전극(43)은 화소의 면적과 거의 일치하기 때문에, 화소 전체가 EL 소자로서 기능한다. 따라서, 발광 이용효율이 매우 높고, 밝은 화상 표시가 가능하게 된다.

또한, 본 실시예에서는, 양극(47) 위에 제2 패시베이션 막(48)이 형성된다. 제2 패시베이션 막(48)으로서는, 질화규소막 또는 질화산화규소막을 사용하는 것이 바람직하다. 제2 패시베이션 막(48)의 목적은 외부로부터 EL 소자를 차단하기 위한 것이고, 이것은 유기 EL 재료의 산화로 인한 열화를 방지하고, 유기 EL 재료로부터의 탈가스를 억제하는데 의미가 있다. 그리하여, EL 디스플레이의 신뢰성이 향상될 수 있다.

본 발명의 EL 디스플레이는 도 11에서와 같은 구조의 화소들로 이루어진 화소부를 가지고 있고, 오프 전류값이 충분히 낮은 스위칭용 TFT와 핫 캐리어 주입에 강한 EL 구동용 TFT를 가지고 있다. 따라서, 신뢰성이 높고 양호한 화상 표시가 가능한 EL 디스플레이가 얻어질 수 있다.

본 실시예의 구성을 실시예 1~3의 어느 구성과도 자유롭게 조합하여 실시하는 것이 가능하다.

[실시예 5]

본 실시예에서는, 실시예 4에 나타난 화소부에서 EL 소자(3505)의 구조를 반전시킨 구조에 대하여 도 12를 사용하여 설명한다. 도 11(실시예 4)의 구조와 다른 점은 EL 소자의 부분과 EL 구동용 TFT 및 전원 제어용 TFT뿐이기 때문에, 다른 부분의 설명은 생략한다.

도 12에서, EL 구동용 TFT(3503) 및 전원 제어용 TFT(3504)는 p채널형 TFT이고, 공지의 방법에 의해 형성될 수 있다. 본 실시예에서는, 전원 제어용 TFT의 소스 배선이 EL 소자의 양극에 접속되고, 드레인 배선이 EL 구동용 TFT의 소스 배선에 접속되고, EL 구동용 TFT의 드레인 배선이 전원 공급선에 접속되는 구조가 채택되고 있지만, EL 구동용 TFT의 소스 배선이 EL 소자의 음극에 접속되고, 드레인 배선이 전원 제어용 TFT의 소스 배선에 접속되고, 전원 제어용 TFT의 드레인 배선이 전원 공급선에 접속되는 구조가 채택될 수도 있다. 즉, 본 실시예는 실시예 2의 구성과 조합하여 실시될 수 있다.

본 실시예에서는, 화소 전극(양극)(50)으로서 투명 도전막이 사용된다. 구체적으로는, 산화 인듐과 산화 아연의 화합물로 이루어진 도전막이 사용된다. 물론, 산화 인듐과 산화 주석의 화합물로 이루어진 도전막이 사용될 수도 있다.

그 다음, 절연막으로 된 बैं크(51a, 51b)를 형성한 후, 용액 도포법에 의해 폴리비닐 카르바졸로 된 발광층(52)이 형성된다. 그 발광층 위에 칼륨 아세틸아세토네이트(acacK로 표기됨)로 된 전자 주입층(53)이 형성되고, 알루미늄 합금으로 된 음극(54)이 형성된다. 이 경우, 음극(54)은 패시베이션 막으로도 기능한다. 그리하여, EL 소자(3701)가 형성된다.

본 실시예에서는, 발광층(52)에서 발생된 광이, 화살표로 나타난 바와 같이, TFT가 형성된 기판쪽으로 방사된다. 본 실시예의 구성은 실시예 1~3의 어느 구성과도 자유롭게 조합하여 실시될 수 있다.

[실시예 6]

본 실시예에서는, 본 발명을 사용하여 EL 디스플레이를 제작한 예를 도 24(A) 및 도 24(B)를 참조하여 설명한다. 도 24(A)는 EL 소자가 형성된 액티브 매트릭스 기판에서 EL 소자의 봉입(封入)까지 행해진 상태를 나타내는 상면도이다. 점선으로 표시된 부호 801은 소스측 구동회로를 나타내고, 부호 802는 게이트측 구동회로를 나타내며, 부호 803은 화소부를 나타낸다. 또한, 부호 804는 커버재를 나타내고, 부호 805는 제1 밀봉재를 나타내며, 부호 806은 제2 밀봉재를 나타낸다. 제1 밀봉재(805)에 의해 둘러싸인 내측의 커버재와 액티브 매트릭스 기판과의 사이에 충전재(807)(도 24(B) 참조)가 제공되어 있다.

부호 808은 소스측 구동회로(801), 게이트측 구동회로(802) 및 화소부(803)에 입력되는 신호를 전달하기 위한 접속 배선을 나타내고, 외부 기기와의 접속 단자가 되는 FPC(플렉시블 인쇄회로)(809)로부터 비디오 신호 및 클록 신호를 받는다.

여기서, 도 24(B)는 도 24(A)의 A-A'선을 따라 취한 단면에 해당하는 단면도이다. 도 24(A)와 도 24(B)에서 동일 부분이 동일 부호로 나타내어져 있다.

도 24(B)에 도시된 바와 같이, 기관(800)상에 화소부(803) 및 소스측 구동회로(801)가 형성되어 있다. 화소부(803)는 다수의 화소로 형성되어 있고, 각 화소는, EL 소자로 흐르는 전류를 제어하기 위한 TFT(도시되지 않음)(이하, EL 구동용 TFT라 함), EL 구동 전압을 제어하기 위한 TFT(이하, 전원 제어용 TFT라 함)(851), 및 그의 드레인 영역에 전기적으로 접속된 화소 전극(852) 등을 포함한다. 본 실시예에서는, 전원 제어용 TFT(851)가 p채널형 TFT이다. 소스측 구동회로(801)는 n채널형 TFT(853)와 p채널형 TFT(854)가 상보적으로 조합된 CMOS 회로를 사용하여 형성된다.

본 실시예에서는, 전원 제어용 TFT의 드레인 배선이 EL 소자의 화소 전극에 접속되고, 그의 소스 배선이 EL 구동용 TFT의 드레인 배선에 접속되는 구조가 채택되고 있지만, EL 구동용 TFT의 드레인 배선이 EL 소자의 화소 전극에 접속되고, 그의 소스 배선이 전원 제어용 TFT의 드레인 배선에 접속되는 구조가 채택될 수도 있다. 이것은 실시예 1의 구성을 조합시킨 경우에 해당한다.

각 화소는 화소 전극 아래에 컬러 필터(R)(855), 컬러 필터(G)(856), 컬러 필터(B)(도시되지 않음)를 가지고 있다. 여기서, 컬러 필터(R)은 적색 광을 추출하기 위한 필터이고, 컬러 필터(G)는 녹색 광을 추출하기 위한 필터이고, 컬러 필터(B)는 청색 광을 추출하기 위한 필터이다. 컬러 필터(R)(855)은 적색 발광의 화소에 제공되고, 컬러 필터(G)(856)는 녹색 발광의 화소에 제공되고, 컬러 필터(B)는 청색 발광의 화소에 제공된다.

이들 컬러 필터가 제공된 경우의 효과로서는, 먼저, 발광 색의 색 순도가 향상되는 점을 들 수 있다. 예를 들어, 적색 발광의 화소에서는, EL 소자로부터 적색 광이 방사되고(본 실시예에서는, 적색 광이 화소 전극측으로 방사됨), 이 적색 광이 적색 광을 추출하기 위한 컬러 필터를 통과하게 되는 경우, 적색 광의 순도가 향상될 수 있다. 이것은 녹색 광 및 청색 광의 경우에도 마찬가지이다.

컬러 필터가 사용되지 않은 종래의 구조에서는, EL 표시장치의 외부로부터 침입한 가시광이 EL 소자의 발광층을 여기(勵起)시켜 소망의 색이 얻어지지 않는 문제가 발생할 수 있다. 그러나, 본 실시예에서 같이 컬러 필터들을 제공함으로써, EL 소자에는 특정 파장의 광만이 들어가게 된다. 즉, EL 소자가 외부로부터의 광에 의해 여기되는 단점을 방지할 수 있다.

컬러 필터를 제공하는 구조가 종래에 제안되어 있지만, 백색 발광의 EL 소자만이 사용되었다. 이 경우, 적색 광을 추출하기 위해서는 다른 파장의 광이 차단됨으로써, 휘도 저하가 초래되었다. 그러나, 본 실시예에서는, 예를 들어, EL 소자로부터 방사된 적색 광이 적색 광을 추출하기 위한 컬러 필터를 통과하게 됨으로써, 휘도의 저하가 야기되지 않는다.

다음에, 투명 도전막으로 화소 전극(852)이 형성되고, 이 화소 전극이 EL 소자의 양극으로 기능한다. 화소 전극(852)의 양 끝에는 절연막(857)이 형성되고, 또한, 적색으로 발광하는 발광층(858) 및 녹색으로 발광하는 발광층(859)이 형성된다. 도시되지 않았지만, 인접 화소에 청색으로 발광하는 발광층이 제공되어, 적색, 녹색 및 청색에 대응한 화소들에 의해 컬러 표시가 행해진다. 물론, 청색 광을 추출하기 위한 컬러 필터는 청색 광의 발광층이 제공된 화소에 마련된다.

EL 재료로서는, 유기 재료뿐만 아니라, 무기 재료도 사용될 수 있다. 또한, 발광층 이외에, 전자 주입층, 전자 수송층, 정공 수송층, 또는 정공 주입층을 포함하는 적층 구조가 채택될 수도 있다.

각 발광층 위에는, 차광성을 갖는 도전막으로 EL 소자의 음극(860)이 형성된다. 이 음극(860)은 모든 화소에 공통이고, 접속 배선(808)을 통해 FPC(809)에 전기적으로 접속되어 있다.

다음에, 디스펜서(dispenser) 등에 의해 제1 밀봉재(805)가 형성되고, 커버재(804)를 접합하도록 스페이서(도시되지 않음)가 산포된다. 그 다음, 액티브 매트릭스 기관, 커버재(804), 및 제1 밀봉재(805)로 둘러싸인 영역 내에 진공 주입법에 의해 충전재(807)가 충전된다.

또한, 본 실시예에서는, 충전재(807)에 흡습성 물질(861)로서 산화 바륨이 미리 첨가된다. 본 실시예에서는, 흡습성 물질이 충전재에 첨가되어 사용되지만, 흡습성 물질을괴상(塊狀)으로 분산시켜 충전재 내에 봉입하는 것도 가능하다. 도시되지 않았지만, 스페이서의 재료로서 흡습성 물질을 사용할 수도 있다.

다음에, 자외선 조사 또는 가열에 의해 충전재(807)가 경화된 후, 제1 밀봉재(805)에 형성된 개구부(도시되지 않음)가 폐쇄된다. 제1 밀봉재(805)의 개구부가 폐쇄된 후, 도전성 재료(862)를 사용하여 접속 배선(808) 및 FPC(809)가 전기적으로 접속된다. 또한, 제1 밀봉재(805)의 노출된 부분 및 FPC(809)의 일부를 덮도록 제2 밀봉재(806)가 제공된다. 제2 밀봉재(806)는 제1 밀봉재(805)와 동일한 재료로 형성될 수도 있다.

상기한 바와 같은 방법을 사용하여 EL 소자를 충전재(807)내에 봉입함으로써, EL 소자는 외부로부터 완전히 차단될 수 있고, 수분 또는 산소와 같은, 유기 재료의 산화를 조장하는 물질이 외부로부터 침입하는 것을 방지할 수 있다. 따라서, 신뢰성이 높은 EL 디스플레이를 제작할 수 있다.

본 실시예의 구성은 실시예 1~3의 어느 구성과도 자유롭게 조합될 수 있다.

[실시예 7]

본 실시예에서는, 실시예 6에서 나타난 EL 표시장치에서 EL 소자로부터 방사된 광의 방사 방향 및 컬러 필터의 배치를 변경한 경우의 예를 설명한다. 설명을 위해 도 25가 사용되지만, 기본적인 구조가 도 24(B)와 동일하기 때문에, 변경된 부분에만 새로운 부호를 붙여 설명한다.

본 실시예에서는, 화소부(901)의 전원 제어용 TFT(902) 및 EL 구동용 TFT(도시되지 않음)로서 n채널형 TFT가 사용된다. 또한, 전원 제어용 TFT(902)의 드레인에 화소 전극(903)이 전기적으로 접속되고, 이 화소 전극(903)은 차광성을 가지는 도전막으로 형성되어 있다. 본 실시예에서는, 화소 전극(903)이 EL 소자의 음극이 된다.

적색으로 발광하는 발광층(858) 및 녹색으로 발광하는 발광층(859) 위에는 각 화소에 공통인 투명 도전막(904)이 형성된다. 이 투명 도전막(904)은 EL 소자의 양극이 된다.

또한, 본 실시예에서는, 컬러 필터(R)(905), 컬러 필터(G)(906), 및 컬러 필터(B)(도시되지 않음)가 커버재(804)에 형성되어 있는 점에 특징이 있다. 본 실시예의 EL 소자의 구조가 채택되는 경우, 발광층으로부터 방출되는 광의 방사 방향이 커버재 측으로 향하기 때문에, 도 25의 구조가 채택되면, 그 광의 경로에 컬러 필터가 배치될 수 있다.

컬러 필터(R)(905), 컬러 필터(G)(906), 및 컬러 필터(B)(도시되지 않음)가 커버재(804)에 설치되면, 액티브 매트릭스 기판의 공정이 감소될 수 있어, 수율 및 스루풋(throughput)이 향상될 수 있는 이점이 있다.

본 실시예의 구성은 실시예 1~3의 어느 구성과도 자유롭게 조합될 수 있다.

[실시예 8]

본 발명에 따른 EL 디스플레이에서 EL 소자의 EL 층에 사용되는 재료는 무기 EL 재료에 한정되지 않고, 본 발명은 무기 EL 재료를 사용하여 실시될 수도 있다. 그러나, 현재의 무기 EL 재료는 매우 높은 구동 전압을 가지므로, 그러한 높은 구동 전압에 견딜 수 있도록 내전압 특성을 가지는 TFT가 사용되어야 한다.

또는, 장래에, 낮은 구동 전압을 가지는 무기 EL 재료가 개발되면, 그러한 무기 EL 재료를 본 발명에 적용할 수 있다.

또한, 본 실시예의 구성은 실시예 1~7의 어느 구성과도 자유롭게 조합될 수 있다.

[실시예 9]

본 발명에서는, EL 층으로 사용되는 유기 재료는 저분자계 유기 재료 또는 폴리머계(고분자계) 유기 재료일 수 있다. 저분자계 유기 재료로서는, Alq₃(트리스-8-퀴놀리노틸라이트 알루미늄), 및 TPD(트리페닐아민 유도체) 등을 중심으로 한 재료가 알려져 있다. 폴리머계 유기 재료로서는, π 공역 폴리머 재료를 들 수 있다. 대표적으로는, PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 폴리카보네이트 등을 들 수 있다.

폴리머계(고분자계) 유기 재료는 스핀 코팅법(용액 도포법이라고도 함), 디핑(dipping)법, 디스펜싱(dispensing)법, 인쇄법, 및 잉크젯법 등의 간단한 박막 형성 방법으로 형성될 수 있다. 폴리머계(고분자계) 유기 재료는 저분자계 유기 재료에 비해 내열성이 높다.

또한, 본 발명에 따른 EL 디스플레이의 EL 소자에 포함되는 EL 층이 전자 수송층 및 정공 수송층을 가지는 경우, 전자 수송층 및 정공 수송층은, 예를 들어, 비정질 Si 또는 비정질 Si_{1-x}C_x 등의 비정질 반도체와 같은 무기 재료로 형성될 수도 있다.

비정질 반도체에는 다량의 트랩 준위가 존재하고, 이와 동시에, 비정질 반도체가 다른 층과 접하는 계면에 다량의 계면 준위를 형성한다. 그 결과, EL 소자는 낮은 전압에서 발광할 수 있는 동시에, 높은 휘도를 제공할 수 있다.

또한, 유기 EL 층에 도펀트(불순물)를 첨가하여, 유기 EL 층의 발광 색을 변화시킬 수도 있다. 이들 도펀트로서는, DCM1, 나일 레드(Nile red), 루베렌(ruberene), 쿠말린 6, TPB, 및 퀴나퀴리돈(quinaquelidon)을 들 수 있다.

[실시예 10]

본 실시예에서는, 화소부의 스위칭용 TFT, EL 구동용 TFT, 및 전원 제어용 TFT와 화소부의 주변부에 형성되는 구동회로부 TFT를 동시에 제작하는 방법에 대하여 도 13(A)~도 16(C)를 참조하여 설명한다. 설명을 간단하게 하기 위해, 구동회로에 관해서는 기본 단위인 CMOS 회로를 나타내는 것으로 한다.

먼저, 도 13(A)에 도시된 바와 같이, 표면에 하지막(도시되지 않음)이 배치된 기판(501)을 준비한다. 본 실시예에서는, 결정화 유리 상의 하지막으로서 두께 100 nm의 질화산화규소막과 두께 200 nm의 다른 질화산화규소막을 적층하여 사용한다. 이때, 결정화 유리 기판에 접하는 막의 질소 농도는 10~25 wt%로 하는 것이 바람직하다. 물론, 하지막 없이 석영 기판 위에 직접 소자를 형성할 수도 있다.

그 후, 공지의 성막법에 의해 기판(501)상에 두께 45 nm의 비정질 규소막(502)을 형성한다. 비정질 규소막에 한정될 필요는 없다. 그 대신, 본 실시예에서는, 비정질 구조를 갖는 반도체막(미(微)결정 반도체막을 포함함)이 사용될 수도 있다. 또한, 비정질 규소 게르마늄 막과 같은, 비정질 구조를 갖는 화합물 반도체막도 사용될 수 있다.

여기서부터 도 13(C)까지의 공정은 본 출원인의 일본 공개특허공고 평10-247735호 공보를 완전히 인용할 수 있다. 이 공보는 촉매로서 Ni과 같은 원소를 사용하는 반도체막 결정화 방법에 관한 기술을 개시하고 있다.

먼저, 개구부(503a, 503b)를 가진 보호막(504)을 형성한다. 본 실시예에서는, 두께 150 nm의 산화규소막이 사용된다. 그리고, 보호막(504)상에 스핀 코팅법에 의해 니켈(Ni)을 함유하는 층(Ni 함유 층)(505)을 형성한다. 이 Ni 함유 층의 형성에 관해서는, 상기한 공보를 참조할 수 있다.

그 후, 도 13(B)에 도시된 바와 같이, 불활성 분위기에서 570℃, 14시간의 가열처리를 행하여, 비정질 규소막(502)을 결정화한다. 이때, Ni이 접하여 있는 영역(이하, Ni 첨가 영역이라 함)(506a, 506b)을 기점으로 하여 기판에 대략 평행하게 결정화가 진행된다. 그 결과, 봉 형상 결정들이 모여 늘어난 결정 구조를 가지는 폴리실리콘막(507)이 형성된다.

그 후, 도 13(C)에 도시된 바와 같이, 보호막(504)을 그대로 마스크로 하여, 주기율표 15족에 속하는 원소(인이 바람직함)를 Ni 첨가 영역(506a, 506b)에 첨가한다. 그리하여, 고농도로 인이 첨가된 영역(이하, 인 첨가 영역이라 함)(508a, 508b)이 형성된다.

그 후, 도 13(C)에 도시된 바와 같이, 불활성 분위기에서 600℃, 12시간의 가열처리를 행한다. 이 가열처리에 의해, 폴리실리콘막(507)내에 존재하는 Ni이 이동하여, 최종적으로는, 화살표로 나타낸 바와 같이 인 첨가 영역(508a, 508b)에 의해 거의 대부분의 Ni이 포획된다. 이것은 인에 의한 금속원소(본 실시예에서는 Ni)의 게터링 효과에 의한 현상인 것으로 생각된다.

이 공정에 의해, 폴리실리콘막(509)내에 잔존하는 Ni의 농도가 SIMS(이차 이온 질량 분석)에 의한 측정값으로 적어도 2×10^{17} 원자/cm²으로까지 감소된다. Ni은 반도체에 대한 수명 저해인자(killer)이지만, 이 정도로까지 감소되면 TFT 특성에는 어떠한 악영향도 미치지 않는다. 또한, 이 농도는 현 기술 상태에서의 SIMS 분석의 측정 한계이기 때문에, 실제로는 더 낮은 농도(2×10^{17} 원자/cm² 이하)를 나타낼 것이다.

그리하여, 촉매에 의해 결정화되고 그 촉매가 TFT의 동작에 지장을 주지 않는 정도로까지 감소된 폴리실리콘막(509)이 얻어질 수 있다. 그 후, 패터닝 공정에 의해, 이 폴리실리콘막(509)만을 사용한 활성층(510~513)을 형성한다. 이때, 상기한 폴리실리콘막을 사용함으로써, 후의 패터닝 공정에서 마스크 맞춤을 행하기 위한 마커(marker)가 형성된다.(도 13(D))

그 후, 도 13(E)에 도시된 바와 같이, 플라즈마 CVD법에 의해 두께 50 nm의 질화산화규소막을 형성하고, 산화 분위기에서 950℃, 1시간의 가열처리를 행하여, 열 산화 공정을 행한다. 산화 분위기는 산소 분위기 또는 할로젠이 첨가된 산소 분위기일 수 있다.

이 열 산화 공정에서는, 활성층과 질화산화규소막 사이의 계면에서 산화가 진행하고, 두께 50 nm 정도의 폴리실리콘막이 산화되어, 두께 30 nm 정도의 산화규소막이 형성된다. 즉, 두께 30 nm의 산화규소막과 두께 50 nm의 질화산화규소막이 적층되어 이루어진 두께 80 nm의 게이트 절연막(514)이 형성된다. 활성층(510~513)의 막 두께는 이 열 산화 공정에 의해 30 nm로 된다.

그 후, 도 14(A)에 도시된 바와 같이, 레지스트 마스크(515a, 515b)를 형성하고, 게이트 절연막(514)을 통해 p형을 부여하는 불순물 원소(이하, p형 불순물 원소라 함)를 첨가한다. p형 불순물 원소로서는, 대표적으로는, 주기율표 13족에 속하는 원소, 전형적으로는, 붕소 또는 갈륨이 사용될 수 있다. 이 공정(채널 도핑 공정이라 불림)은 TFT의 스레시홀드 전압을 제어하기 위한 공정이다.

본 실시예에서는, 디보란(B_2H_6)의 질량 분리없이 플라즈마 여기가 행해지는 이온 도핑법에 의해 붕소를 첨가한다. 물론, 질량 분리를 행하는 이온 주입법이 사용될 수도 있다. 이 공정에 의해, $1 \times 10^{15} \sim 1 \times 10^{18}$ 원자/ cm^2 (대표적으로는, $5 \times 10^{16} \sim 1 \times 10^{17}$ 원자/ cm^2)의 농도로 붕소를 함유하는 불순물 영역(516, 517)이 형성된다.

그 후, 도 14(B)에 도시된 바와 같이, 레지스트 마스크(519a, 519b)를 형성하고, 게이트 절연막(514)을 통해 n형을 부여하는 불순물 원소(이하, n형 불순물 원소라 함)를 첨가한다. n형 불순물 원소로서는, 대표적으로는, 주기율표 15족에 속하는 원소, 전형적으로는, 인 또는 비소가 사용될 수 있다. 본 실시예에서는, 포스핀(PH_3)의 질량 분리없이 플라즈마 여기가 행해지는 플라즈마 도핑법을 사용하여, 인을 1×10^{18} 원자/ cm^2 의 농도로 첨가한다. 물론, 질량 분리를 행하는 이온 주입법이 사용될 수도 있다.

이 공정에 의해 형성된 n형 불순물 영역(520)에는 n형 불순물 원소가 $2 \times 10^{16} \sim 5 \times 10^{19}$ 원자/ cm^3 (대표적으로는, $5 \times 10^{17} \sim 5 \times 10^{18}$ 원자/ cm^3)의 농도로 함유되도록 도즈량을 조절한다.

그 후, 도 14(C)에 도시된 바와 같이, 첨가된 n형 불순물 원소 및 p형 불순물 원소를 활성화하는 공정을 행한다. 활성화 수단을 한정할 필요는 없지만, 게이트 절연막(514)이 배치되어 있기 때문에, 전열로를 사용한 노 어닐 처리가 바람직하다. 또한, 도 14(A)의 공정에서 채널 형성 영역이 되는 부분의 활성층과 게이트 절연막 사이의 계면을 손상시킬 가능성이 있기 때문에, 가능한 한 높은 온도에서 가열처리를 행하는 것이 바람직하다.

본 실시예에서는 내열성이 높은 결정화 유리가 사용되기 때문에, 활성화 공정을 800℃, 1시간의 노 어닐 처리에 의해 행한다. 처리 분위기를 산화성 분위기로 하여 열 산화를 행하거나, 또는 불활성 분위기에서 가열처리를 행할 수도 있다.

이 공정에 의해, n형 불순물 영역(520)의 가장자리, 즉, n형 불순물 영역(520)의 주변에 존재하는 n형 불순물 원소가 첨가되지 않은 영역(도 14(A)의 공정에서 형성된 p형 불순물 영역)과의 경계부(접합부)가 명확하게 된다. 이것은 나중에 TFT가 완성된 시점에서 LDD 영역 및 채널 형성 영역이 매우 양호한 접합부를 형성할 수 있다는 것을 의미한다.

그 후, 두께 200~400 nm의 도전막을 형성하고, 패터닝을 행하여, 게이트 전극(522~525)을 형성한다. 이들 게이트 전극(522~525)의 선폭에 의해 각 TFT의 채널 길이가 결정된다.

게이트 전극은 단층의 도전막으로 될 수 있지만, 필요에 따라서는, 2층 또는 3층 막과 같은 적층막이 사용되는 것이 바람직하다. 게이트 전극의 재료로서는 공지의 도전막이 사용될 수 있다. 구체적으로는, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 도전성을 가지는 규소(Si)로 이루어진 군에서 선택된 원소로 된 막; 상기 원소들의 질화물 막(대표적으로는, 질화 탄탈막, 질화 텅스텐막, 또는 질화 티탄막); 상기 원소들을 조합시킨 합금막(대표적으로는, Mo-W 합금, Mo-Ta 합금); 또는 상기 원소들의 규화물 막(대표적으로는, 규화 텅스텐막 또는 규화 티탄막)이 사용될 수 있다. 물론, 상기 막들은 단층 또는 적층 구조를 가질 수 있다.

본 실시예에서는, 두께 50 nm의 질화 텅스텐(WN)막과 두께 350 nm의 텅스텐(W)막으로 된 적층막이 사용된다. 이것은 스퍼터링법에 의해 형성될 수 있다. 또한, 스퍼터링 가스로서 Xe, Ne 등의 불활성 가스를 첨가함으로써, 응력으로 인해 막이 벗겨지는 것을 방지할 수 있다.

이때, 게이트 전극(523)은 게이트 절연막(514)을 사이에 두고 각각 n형 불순물 영역(520)의 일부와 겹치도록 형성된다. 이 겹침부분이 나중에 게이트 전극과 겹쳐 있는 LDD 영역이 된다. 도면의 단면도에서는, 게이트 전극(524a, 524b)이 별개의 것으로 보이지만, 실제로는 서로 전기적으로 접속되어 있다. 또한, 게이트 전극(522, 523)도 별개의 것으로 보이지만, 실제로는 서로 전기적으로 접속되어 있다.

그 후, 도 15(A)에 도시된 바와 같이, 게이트 전극(522~525)을 마스크로 하여 자기정합적으로 n형 불순물 원소(본 실시예에서는 인)를 첨가한다. 이때, 이렇게 하여 형성된 불순물 영역(526~533)에는 인이 n형 불순물 영역(520)의 농도의 $1/2 \sim 1/10$ (대표적으로는, $1/3 \sim 1/4$)의 농도로 첨가되도록 조절한다. 구체적으로는, $1 \times 10^{16} \sim 5 \times 10^{18}$ 원자/cm³(전형적으로는, $3 \times 10^{17} \sim 3 \times 10^{18}$ 원자/cm³)의 농도가 바람직하다.

그 후, 도 15(B)에 도시된 바와 같이, 게이트 전극을 덮도록 레지스트 마스크(534a~534d)를 형성하고, n형 불순물 원소(본 실시예에서는 인)를 첨가하여, 고농도로 인을 함유한 불순물 영역(535~539)을 형성한다. 여기서도, 포스핀(PH₃)을 사용한 이온 도핑법이 적용되고, 이들 불순물 영역에서의 인의 농도는 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³(대표적으로는, $2 \times 10^{20} \sim 5 \times 10^{21}$ 원자/cm³)이 되도록 조절한다.

이 공정을 통해 n채널형 TFT의 소스 영역 또는 드레인 영역이 형성되고, 스위칭용 TFT는 도 15(A)의 공정에서 형성된 n형 불순물 영역(528~531)의 일부를 남긴다. 이 잔존 부분이 스위칭용 TFT의 LDD 영역이 된다.

그 후, 도 15(C)에 도시된 바와 같이, 레지스트 마스크(534a~534d)를 제거하고, 레지스트 마스크(542)를 새로이 형성한다. 그 다음, p형 불순물 원소(본 실시예에서는 붕소)를 첨가하여, 고농도로 붕소를 함유한 불순물 영역(540, 541, 543a, 543b, 544a, 544b)을 형성한다. 여기서, 디보란(B₂H₆)을 사용한 이온 도핑법에 의해 $3 \times 10^{20} \sim 3 \times 10^{21}$ 원자/cm³(대표적으로는, $5 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³)의 농도가 되도록 붕소를 첨가한다.

불순물 영역(540, 541, 543a, 543b, 544a, 544b)에는 이미 인이 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³의 농도로 첨가되어 있지만, 여기서 첨가되는 붕소는 그 첨가된 인 농도의 적어도 3배 이상의 농도로 첨가되기 때문에, 이미 형성된 n형의 불순물 영역이 완전히 p형의 불순물 영역으로 반전되어, p형의 불순물 영역으로서 기능한다.

그 후, 도 15(D)에 도시된 바와 같이, 레지스트 마스크(542)를 제거한 다음, 제1 층간절연막(546)을 형성한다. 제1 층간절연막(546)으로서는, 규소를 함유한 절연막이 단층 구조 또는 적층 구조의 형태로 사용된다. 제1 층간절연막(546)의 막 두께는 400 nm~1.5 μ m인 것이 바람직하다. 본 실시예에서는, 두께 200 nm의 질화산화규소막 상에 두께 800 nm의 산화규소막을 적층한 구조로 한다.

그 후, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소를 활성화한다. 활성화 수단으로서는, 노 어닐법이 바람직하다. 본 실시예에서는, 전열로에서 질소 분위기 중에 550℃로 4시간 열처리를 행하였다.

또한, 3~100%의 수소를 함유한 분위기에서 300~450℃로 1~12시간 열처리를 추가로 행하여 수소화 처리를 행한다. 이것은 열적으로 여기된 수소에 의해 반도체막 중의 짝짓지 않은 결합(unpaired bond)을 수소 종단시키는 공정이다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용하는)를 행할 수도 있다.

수소화 처리는 제1 층간절연막(546)의 형성 도중에 행해질 수도 있다. 즉, 두께 200 nm의 질화산화규소막을 형성한 후, 상기와 같이 수소화 처리를 행하고, 그 다음, 나머지 막으로서 두께 800 nm의 산화규소막을 형성할 수 있다.

그 후, 도 16(A)에 도시된 바와 같이, 제1 층간절연막(546)에 콘택트 홀을 형성하고, 소스 배선(547~550) 및 드레인 배선(551~553)을 형성한다. 본 실시예에서는, 이 전극을, 두께 100 nm의 티탄(Ti)막, 두께 300 nm의 티탄(Ti) 함유 알루미늄막, 및 두께 150 nm의 티탄(Ti)막을 스퍼터링법에 의해 연속적으로 형성한 3층 구조의 적층막으로 형성하였다. 물론, 다른 도전막이 사용될 수도 있다.

그 후, 제1 패시베이션막(554)을 50~500 nm(대표적으로는, 200~300 nm)의 두께로 형성한다. 본 실시예에서는, 제1 패시베이션막(554)으로서, 두께 300 nm의 질화산화규소막이 사용되었다. 이것 대신에 질화규소막이 사용될 수도 있다.

이때, 질화산화규소막의 형성 전에 H_2 또는 NH_3 와 같은 수소 함유 가스를 사용하여 플라즈마 처리를 행하는 것이 효과적이다. 이 전(前)처리에 의해 여기된 수소가 제1 층간절연막(546)에 공급되고, 열처리를 통해 제1 패시베이션막(554)의 막질이 개선된다. 이와 동시에, 제1 층간절연막(546)에 첨가된 수소가 하층 측으로 확산하기 때문에, 활성층이 효과적으로 수소화될 수 있다.

그 후, 도 16(B)에 도시된 바와 같이, 유기 수지로 된 제2 층간절연막(555)을 형성한다. 유기 수지로서는, 폴리이미드, 아크릴 수지, 또는 BCB(벤조시이클로부텐)이 사용될 수 있다. 특히, 제2 층간절연막(555)은 TFT에 의해 형성된 단차를 평탄화하기 위해 요구되기 때문에, 평탄성이 우수한 아크릴 막이 바람직하다. 본 실시예에서는, 아크릴 막을 2.5 μm 의 두께로 형성하였다.

그 후, 제2 층간절연막(555) 및 제1 패시베이션 막(554)에 드레인 배선(553)에 이르는 콘택트 홀을 형성한 다음, 화소 전극(양극)(556)을 형성한다. 본 실시예에서는, 화소 전극으로서, 산화 인듐 주석막(ITO)을 110 nm의 두께로 형성하고 패터닝하였다. 2~20%의 산화 아연(ZnO)이 산화 인듐 주석 막에 혼합된 투명 도전막이 사용될 수도 있다. 이 화소 전극이 EL 소자(203)의 양극이 된다.

그 후, 규소를 함유한 절연막(본 실시예에서는, 산화규소막)을 500 nm의 두께로 형성하고, 화소 전극(556)에 대응하는 위치에 개구부를 형성하고, 제3 층간절연막(557)을 형성한다. 그 개구부를 형성할 때 습식 에칭법을 사용하여 테이퍼(taper)형상의 측벽을 용이하게 형성할 수 있다. 개구부의 측벽이 충분히 완만한 경사를 갖지 않으면, 단차에 기인한 EL 층의 열화(劣化)가 중요한 문제로 된다.

다음에, EL 층(558) 및 음극(MgAg 전극)(559)을 진공 증착법을 사용하여 대기압에 노출없이 형성한다. EL 층(558)의 두께는 80~200 nm(전형적으로는, 100~120 nm)이고, 음극(559)의 두께는 180~300 nm(전형적으로는, 200~250 nm)이다.

이 공정에서는, 적색에 대응하는 화소, 녹색에 대응하는 화소, 및 청색에 대응하는 화소에 대하여 EL 층 및 음극이 차례로 형성된다. 그러나, EL 층은 용액에 대한 내성이 불량하기 때문에, EL 층 및 음극이 포토리소그래피 기술을 사용하지 않고 각 색에 대해 별개로 형성되어야 한다. 따라서, 금속 마스크를 사용하여 소망의 화소를 제외한 화소들을 가리고, 소망의 화소에만 선택적으로 EL 층을 형성하는 바람직하다.

상세하게는, 먼저, 적색에 대응하는 화소를 제외한 모든 화소를 가리도록 마스크를 세트하고, 그 마스크를 사용하여 적색 발광의 EL 층 및 음극을 선택적으로 형성한 다음, 녹색에 대응하는 화소를 제외한 모든 화소를 가리도록 다른 마스크를 세트하고, 그 마스크를 사용하여 녹색 발광의 EL 층 및 음극을 선택적으로 형성한 다음, 상기와 같이, 청색에 대응하는 화소를 제외한 모든 화소를 가리도록 또 다른 마스크를 세트하고, 그 마스크를 사용하여 청색 발광의 EL 층 및 음극을 선택적으로 형성한다. 이 경우, 각각의 색에 대하여 상이한 마스크가 사용된다. 그 대신, 각각의 색에 대하여 동일한 마스크가 사용될 수도 있다. 모든 화소에 대하여 EL 층 및 음극이 형성될 때까지 진공을 파괴하지 않고 처리를 행하는 것이 바람직하다.

EL 층(558)에는 공지의 재료가 사용될 수 있다. 구동 전압을 고려하면 유기 재료가 바람직하다. 예를 들어, EL 층은 정공 주입층, 정공 수송층, 발광층, 및 전자 주입층으로 이루어진 4층 구조로 형성될 수 있다. 본 실시예에서는, EL 소자(203)의 음극으로서 MgAg 전극을 사용하는 예를 나타내지만, 다른 공지의 재료도 사용될 수 있다.

보호 전극(560)으로서, 알루미늄을 주성분으로 하는 도전층이 사용될 수 있다. 보호 전극(560)은, EL 층 및 음극을 형성할 때와는 다른 마스크를 사용하여 진공 증착법으로 형성된다. 또한, 보호 전극은 EL 층 및 음극을 형성한 후 대기압에 노출 없이 연속적으로 형성된다.

마지막으로, 질화규소막으로 된 제2 패시베이션막(561)을 300 nm의 두께로 형성한다. 실제로는, 보호 전극(560)이 수분으로부터 EL 층을 보호하는 역할을 하지만, 제2 패시베이션막(561)을 형성함으로써 EL 소자(203)의 신뢰성이 더욱 향상될 수 있다.

이렇게 하여, 도 16(C)에 도시된 바와 같은 구조의 액티브 매트릭스형 EL 표시장치가 완성된다. 이 장치는 스위칭용 TFT(201), EL 구동용 TFT(202), 전원 제어용 TFT(203), 구동회로용 n채널형 TFT(204), 및 구동회로용 p채널형 TFT(205)를 포함한다.

실제로는, EL 표시장치는, 도 16(C)에 도시된 바와 같은 구조까지 완성한 후, 대기에 노출되지 않도록 하기 위해, 기밀성이 높은 보호 필름(라미네이트 필름, 자외선 경화 수지 필름 등) 또는 세라믹제 밀봉 캔과 같은 하우징재에 의해 패키징(봉입)되는 것이 바람직하다.

[실시예 11]

본 실시예에서는, 도 1에 도시된 소스 신호측 구동회로(102)의 상세한 구성에 대하여 설명한다. 본 실시예에서 사용되는 소스 신호측 구동회로의 일 예의 회로도도 도 21에 나타낸다.

시프트 레지스터(801), 래치(A)(802), 및 래치(B)(803)가 도면에 도시된 바와 같이 배치되어 있다. 1조의 래치(A)(802) 및 래치(B)(803)가 실시예 1의 4개의 소스 신호선(SLine_1~SLine_4)에 대응한다. 또한, 본 실시예에서는, 신호가 가지는 전압의 진폭을 변경하는 레벨 시프터가 형성되지 않지만, 설계자에 의해 적절히 형성될 수도 있다.

클록 신호(CK), CK의 극성이 반전된 클록 신호(CKb), 스타트 펄스(SP), 및 구동방향 전환 신호(SL/R) 각각이 도면에 도시된 배선들에 의해 시프트 레지스터(801)에 입력된다. 또한, 외부로부터 입력된 디지털 데이터 신호(VD)가 도면에 도시된 배선들에 의해 래치(A)(802)에 입력된다. 래치 신호(S_LAT), 및 S_LAT의 극성이 반전된 신호(S_LATb)가 도면에 도시된 배선들에 의해 래치(B)(803)에 입력된다.

래치(A)(802)의 상세한 구성에 관해서는, 소스 신호선(SLine_a)에 대응하는 디지털 데이터 신호를 저장하는 래치(A)(802)의 일부(804)를 예로 들어 설명한다. 래치(A)(802)의 일부(804)는 2개의 클록드 인버터(clocked inverter)와 2개의 인버터를 가지고 있다.

래치(A)(802)의 일부(804)의 상면도가 도 22에 도시되어 있다. 부호 831a, 831b는 각각 래치(A)(802)의 일부(804)가 가지는 인버터 하나를 형성하는 TFT의 활성층을 나타내고, 부호 836은 인버터 하나를 형성하는 TFT의 공통 게이트 전극을 나타낸다. 또한, 부호 832a, 832b는 래치(A)(802)의 일부(804)가 가지는 하나의 인버터를 형성하는 다른 TFT의 활성층을 나타내고, 부호 837a, 837b는 각각 활성층(832a, 832b)상에 형성된 게이트 전극을 나타낸다. 게이트 전극(837a, 837b)은 서로 전기적으로 접속되어 있다.

부호 833a, 833b는 각각 래치(A)(802)의 일부(804)가 가지는 클록드 인버터 하나를 형성하는 TFT의 활성층을 나타낸다. 활성층(833a)상에는 게이트 전극(838a, 838b)이 이중 게이트 구조가 되도록 형성되어 있다. 또한, 활성층(833b)상에는 게이트 전극(838b, 839)이 이중 게이트 구조가 되도록 형성되어 있다.

부호 834a, 834b는 각각 래치(A)(802)의 일부(804)가 가지는 다른 클록드 인버터를 형성하는 TFT의 활성층을 나타낸다. 활성층(834a)상에는 게이트 전극(839, 840)이 이중 게이트 구조가 되도록 형성되어 있다. 또한, 활성층(834b)상에는 게이트 전극(840, 841)이 이중 게이트 구조가 되도록 형성되어 있다.

[실시예 12]

본 발명을 실시하여 형성된 EL 표시장치(EL 모듈)는 자기 발광형이기 때문에 액정 표시장치에 비해 밝은 곳에서의 시인성(視認性)이 우수하다. 따라서, 본 발명은 직시(直視)형 EL 디스플레이(EL 모듈을 구비한 디스플레이를 가리킴)의 표시부로서 사용될 수 있다. EL 디스플레이로서는, 퍼스널 컴퓨터용 모니터, TV 방송 수신용 모니터, 광고 표시용 모니터 등을 들 수 있다.

본 발명은 상기한 EL 디스플레이를 포함한 디스플레이를 구성 부품으로서 구비한 모든 전자장치에 적용될 수 있다.

그러한 전자장치로서는, EL 디스플레이, 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 책 등), 및 기록 매체를 구비한 화상 재생 장치

(구체적으로는, 콤팩트 디스크(CD), 레이저 디스크(LD), 또는 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생할 수 있고 그 화상을 표시할 수 있는 디스플레이를 구비한 장치)를 들 수 있다. 전자장치의 예를 도 17(A)~도 17(E)에 나타낸다.

도 17(A)는 본체(2001), 케이스(2002), 표시부(2003), 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명의 EL 디스플레이는 표시부(2003)로서 사용될 수 있다.

도 17(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 수상(受像)부(2106)를 포함하는 비디오 카메라를 나타낸다. 본 발명의 EL 디스플레이는 표시부(2102)로서 사용될 수 있다.

도 17(C)는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2203), 표시 모니터(2304), 광학계(2305), 및 표시장치(2306)를 포함하는 헤드 장착형 EL 디스플레이의 일부(우측)를 나타낸다. 본 발명의 EL 디스플레이는 표시장치(2306)로서 사용될 수 있다.

도 17(D)는 본체(2401), 기록 매체(2402)(CD, LD, DVD 등), 조작 스위치(2403), 표시부(a)(2404), 및 표시부(b)(2405)를 포함하는, 기록 매체를 구비한 화상 재생 장치(구체적으로는, DVD 재생 장치)를 나타낸다. 표시부(a)(2404)는 주로 화상 정보를 표시하고, 표시부(b)(2405)는 주로 문자 정보를 표시한다. 본 발명의 EL 디스플레이는 표시부(a)(2404) 및 표시부(b)(2405)로서 사용될 수 있다. 본 발명은 기록 매체를 구비한 화상 재생 장치로서 CD 플레이어 또는 게임기에 적용될 수 있다.

도 17(E)는 본체(2501), 카메라부(2502), 수상부(2503), 조작 스위치(2504), 및 표시부(2505)를 포함하는 휴대형(모바일) 컴퓨터를 나타낸다. 본 발명의 EL 디스플레이는 휴대형(모바일) 컴퓨터의 표시부(2505)로서 사용될 수 있다.

또한, 장래에 EL 재료의 발광 휘도가 향상된다면, 본 발명은 프론트형 또는 리어형 프로젝터에도 적용 가능할 것이다.

상기한 바와 같이, 본 발명의 적용범위는 매우 넓고, 모든 분야의 전자장치에 적용될 수 있다. 본 실시예의 전자장치는 실시예 1~실시예 11의 자유로운 조합으로부터 얻어지는 어떠한 구성을 사용하여도 실현될 수 있다.

발명의 효과

상기 구성에 의하면, 전원 제어용 TFT의 게이트 전극에 접속된 외부 스위치를 통해 EL 구동 전압을 제어하는 것이 가능하게 되고, EL 구동 전압을 제어하기 위해 대향 전극에 접속된 종래의 대전력 외부 스위치를 제거하는 것이 가능하게 된다. 따라서, 대향 전극에 접속된 종래의 대전력 외부 스위치에 의해 야기되는 EL 구동회로의 전류값의 제한을 없애는 것이 가능하게 되고, 또한, 대향 전극에 접속된 종래의 대전력 외부 스위치에 기인하는 주파수 특성의 저하를 방지하고 계조 수의 감소를 방지하는 것이 가능하게 된다. 전원 제어용 TFT는 스위칭용 TFT 및 EL 구동용 TFT와 동시에 형성될 수 있다.

도면의 간단한 설명

도 1은 본 발명의 EL 디스플레이의 회로 구성을 나타내는 도면.

도 2는 본 발명의 EL 디스플레이의 화소부의 회로도.

도 3은 본 발명의 EL 디스플레이의 화소의 회로도.

도 4(A) 및 도 4(B)는 실시예 1의 EL 디스플레이의 화소부의 회로도.

도 5는 EL 디스플레이의 구동방법을 나타내는 타이밍 차트.

도 6(A) 및 도 6(B)는 실시예 1의 EL 디스플레이의 화소부의 회로도.

도 7(A) 및 도 7(B)는 실시예 1의 EL 디스플레이의 화소부의 회로도.

도 8(A) 및 도 8(B)는 실시예 1의 EL 디스플레이의 화소부의 회로도.

도 9(A) 및 도 9(B)는 실시예 3의 EL 디스플레이의 상면도 및 단면도.

도 10(A) 및 도 10(B)는 실시예 3의 EL 디스플레이의 상면도 및 단면도.

도 11은 실시예 4의 EL 디스플레이의 단면 구조의 개략도.

도 12는 실시예 5의 EL 디스플레이의 단면 구조의 개략도.

도 13(A)~도 13(E)는 실시예 10의 EL 디스플레이의 제작공정을 나타내는 도면.

도 14(A)~도 14(D)는 실시예 10의 EL 디스플레이의 제작공정을 나타내는 도면.

도 15(A)~도 15(D)는 실시예 10의 EL 디스플레이의 제작공정을 나타내는 도면.

도 16(A)~도 16(C)는 실시예 10의 EL 디스플레이의 제작공정을 나타내는 도면.

도 17(A)~17(E)는 실시예 12의 EL 디스플레이를 사용한 전자장치를 나타내는 도면.

도 18은 종래의 EL 디스플레이의 화소부의 회로도.

도 19는 종래의 EL 디스플레이의 화소의 회로도.

도 20(A) 및 도 20(B)는 실시예 2의 EL 디스플레이의 화소부의 회로도.

도 21은 실시예 11에서 사용되는 소스 신호측 구동회로의 회로도.

도 22는 실시예 11에서 사용되는 래치 회로의 상면도.

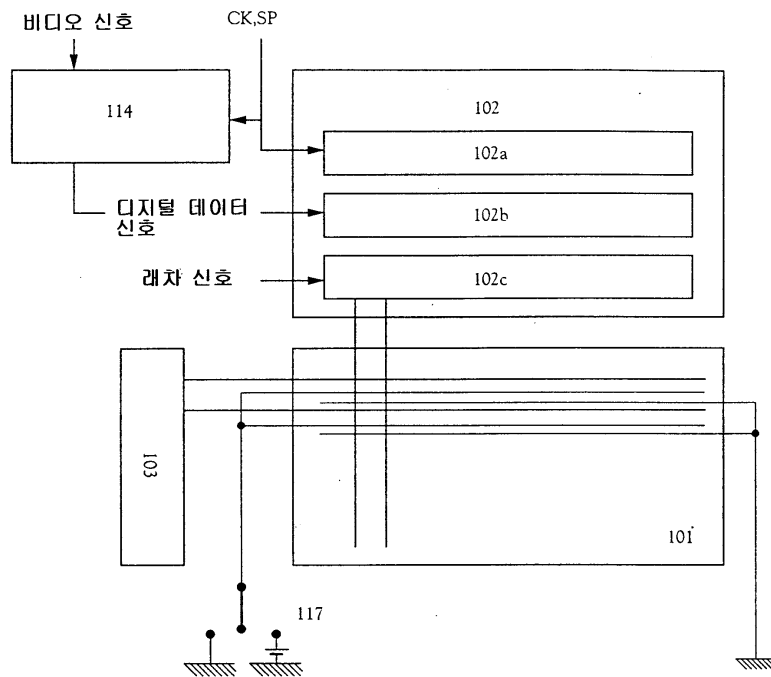
도 23은 종래의 EL 디스플레이의 회로 구성을 나타내는 도면.

도 24(A) 및 도 24(B)는 실시예 6의 EL 디스플레이의 상면도 및 단면도.

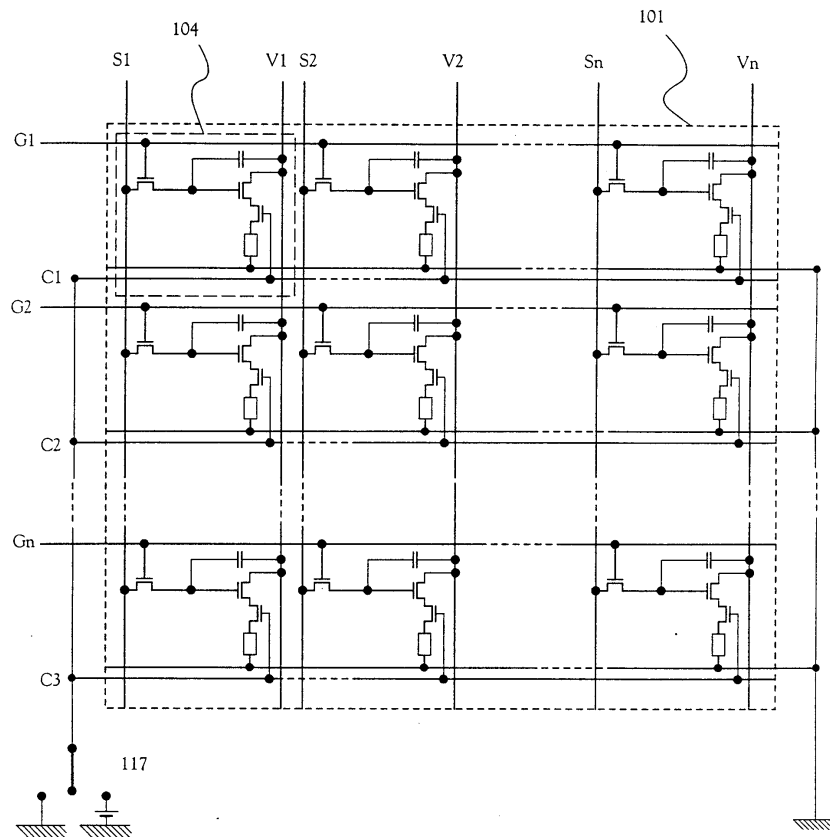
도 25는 실시예 7의 EL 디스플레이의 단면도.

도면

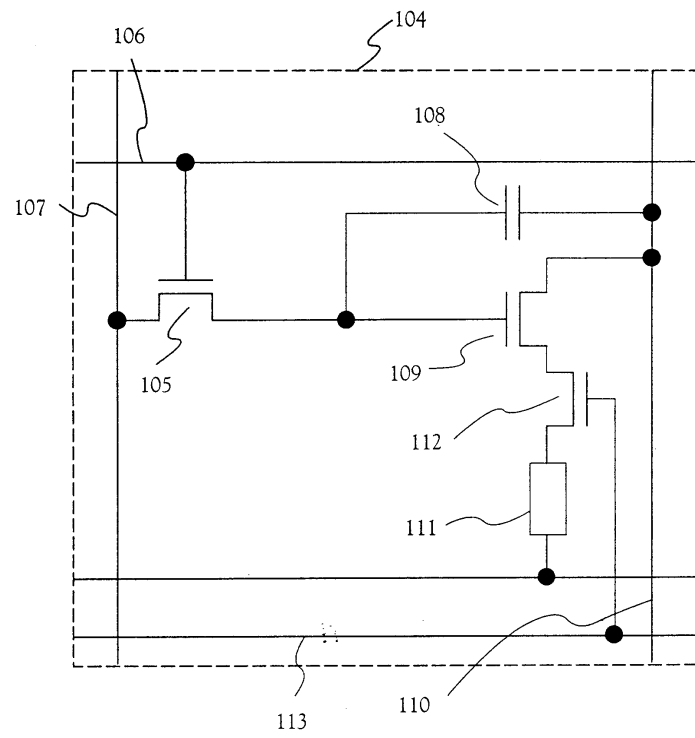
도면1



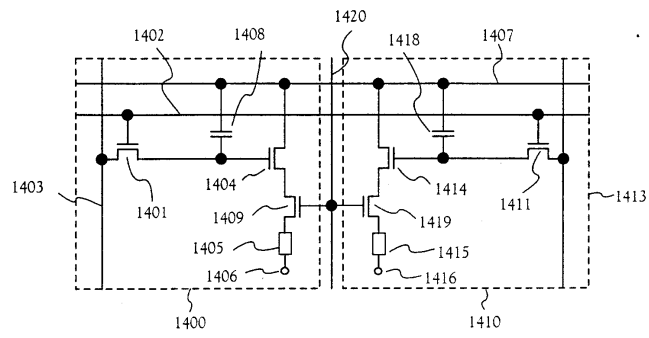
도면2



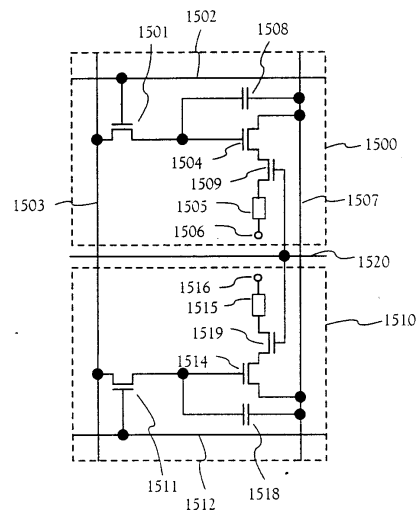
도면3



도면4

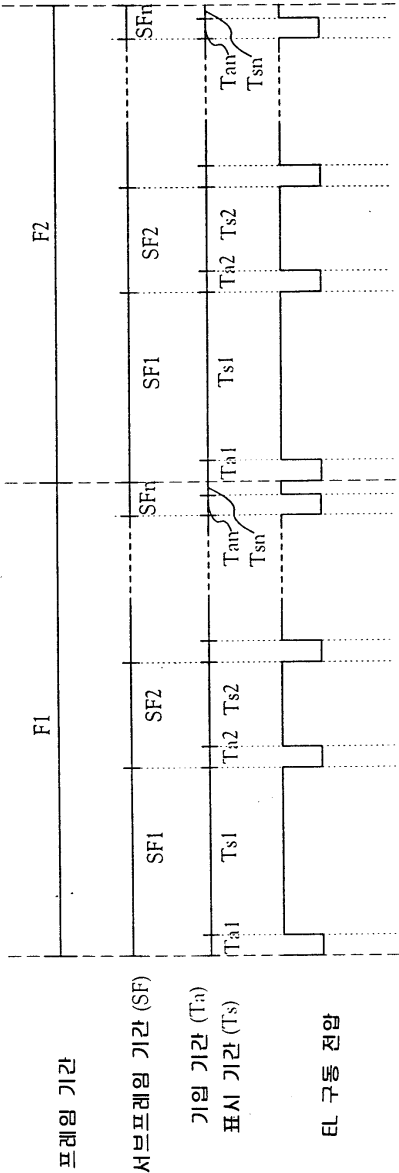


A

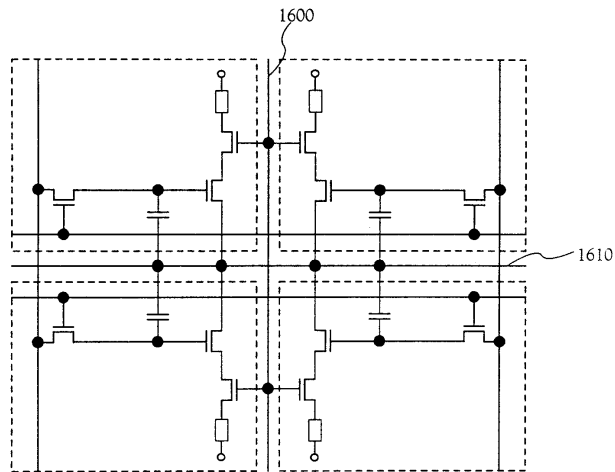


B

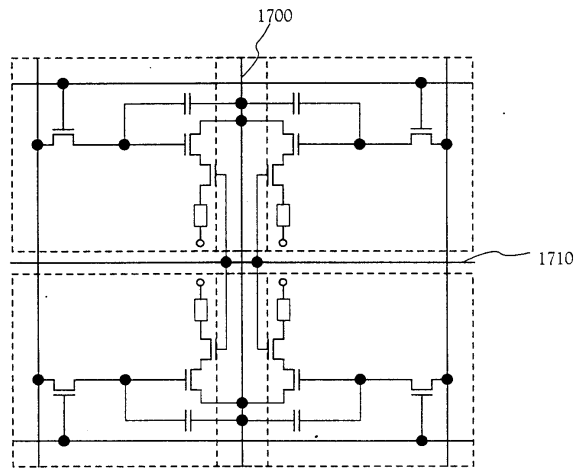
도면5



도면6

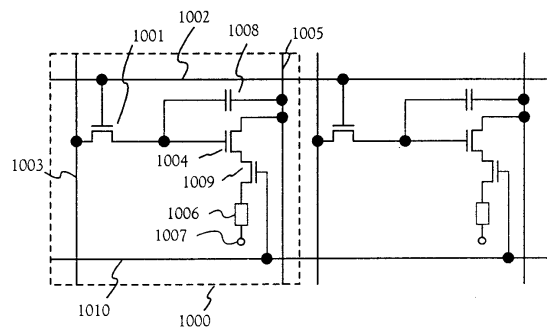


A

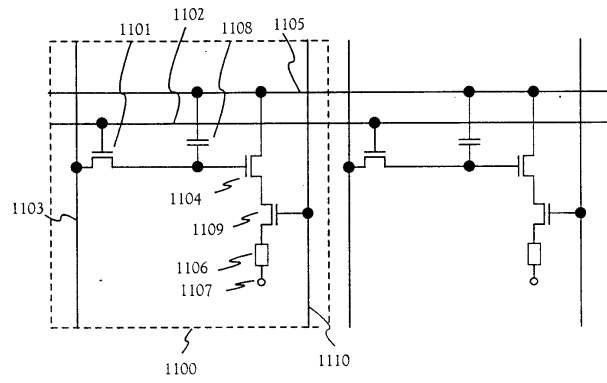


B

도면7

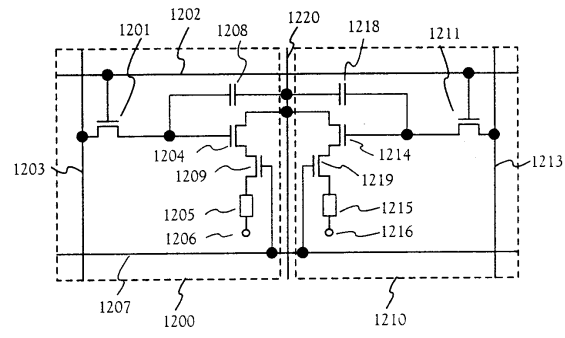


A

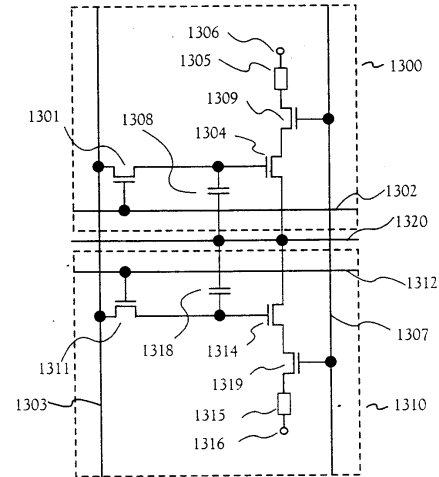


B

도면8

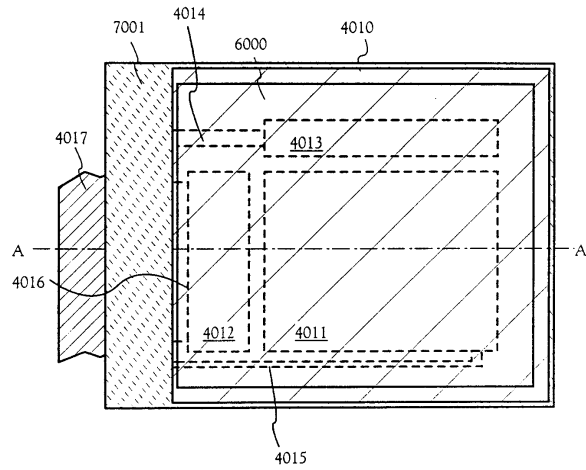


A

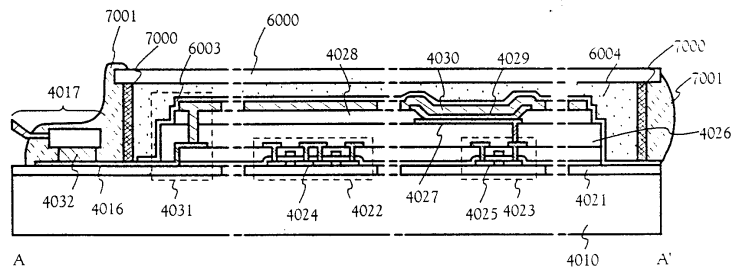


B

도면9

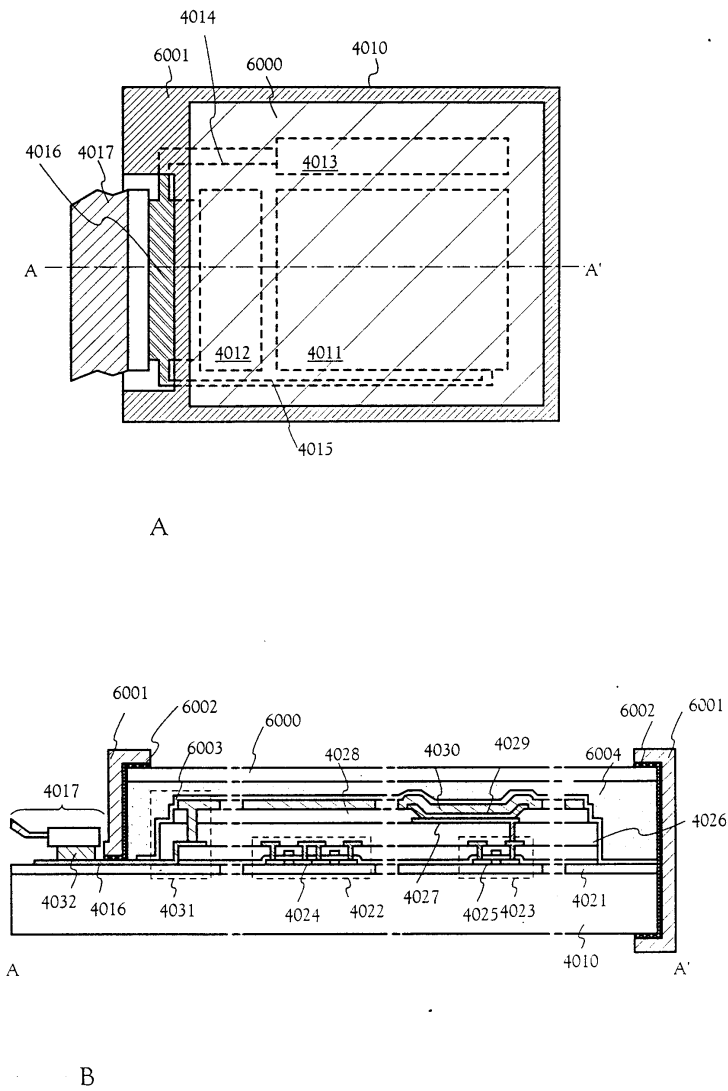


A

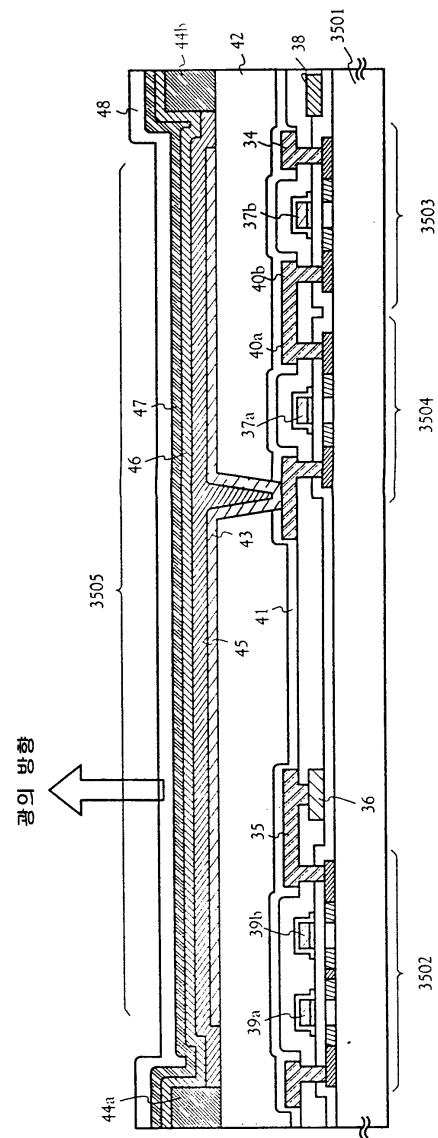


B

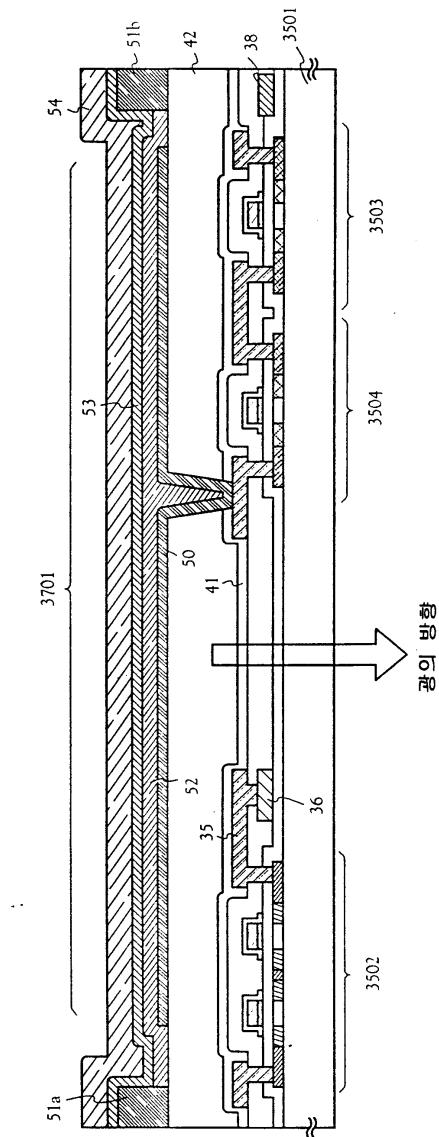
도면10



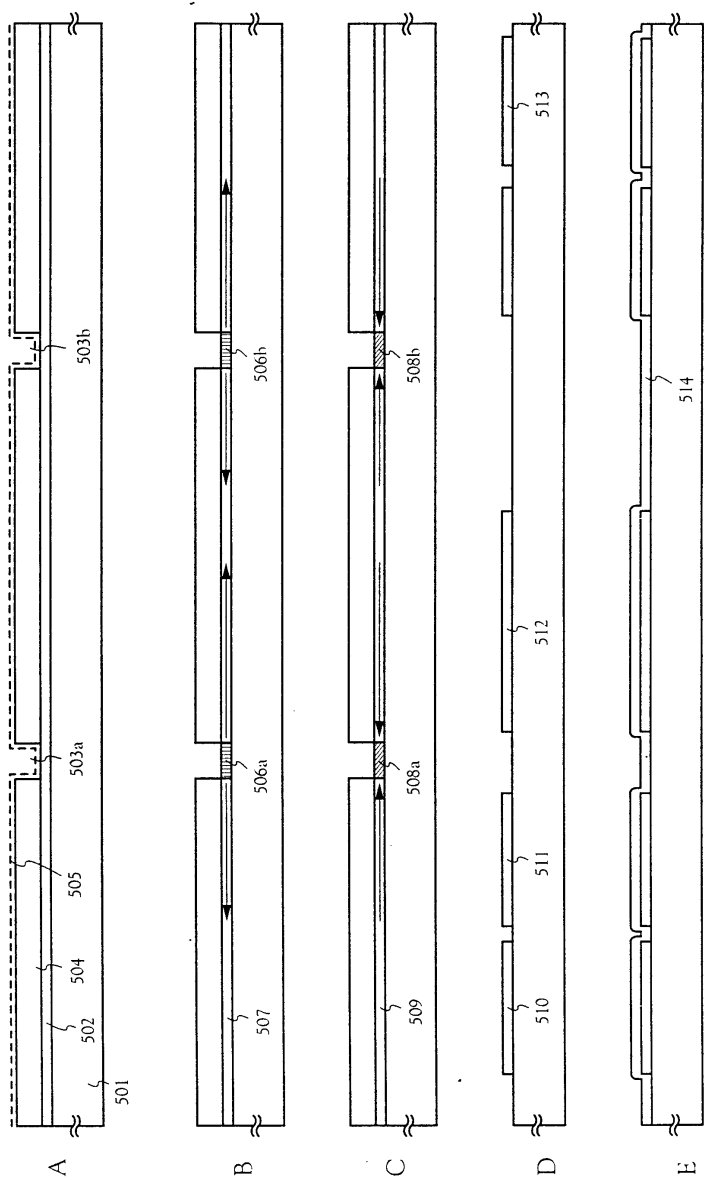
도면11



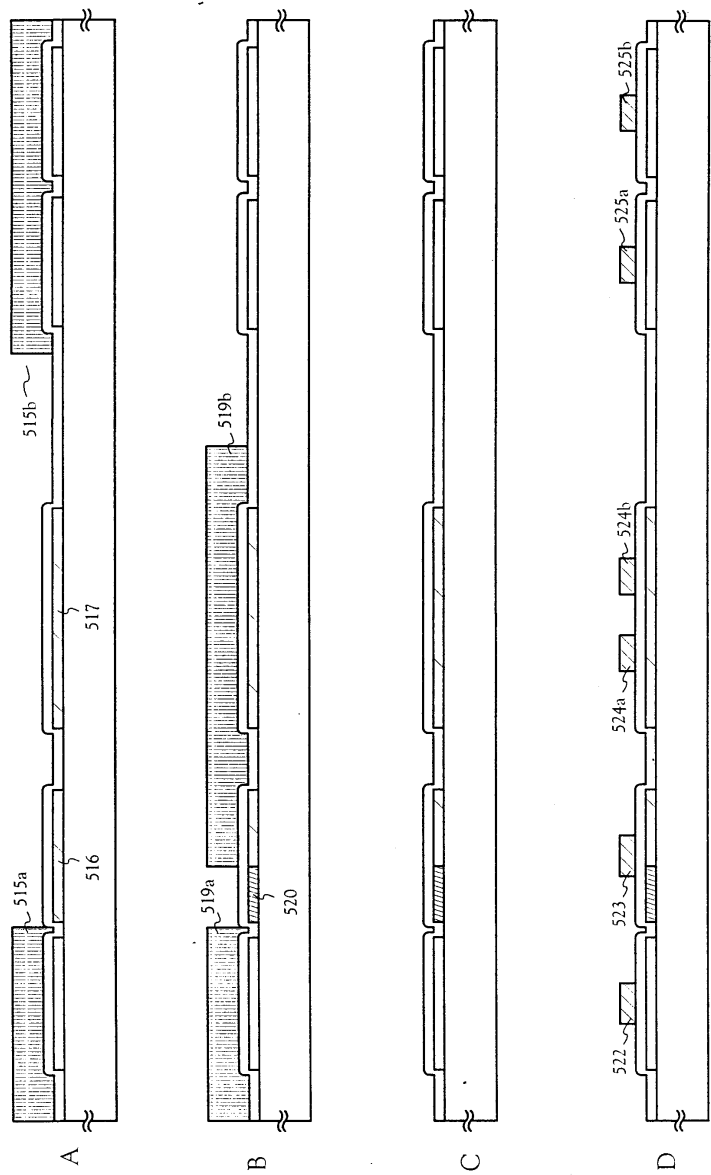
도면12



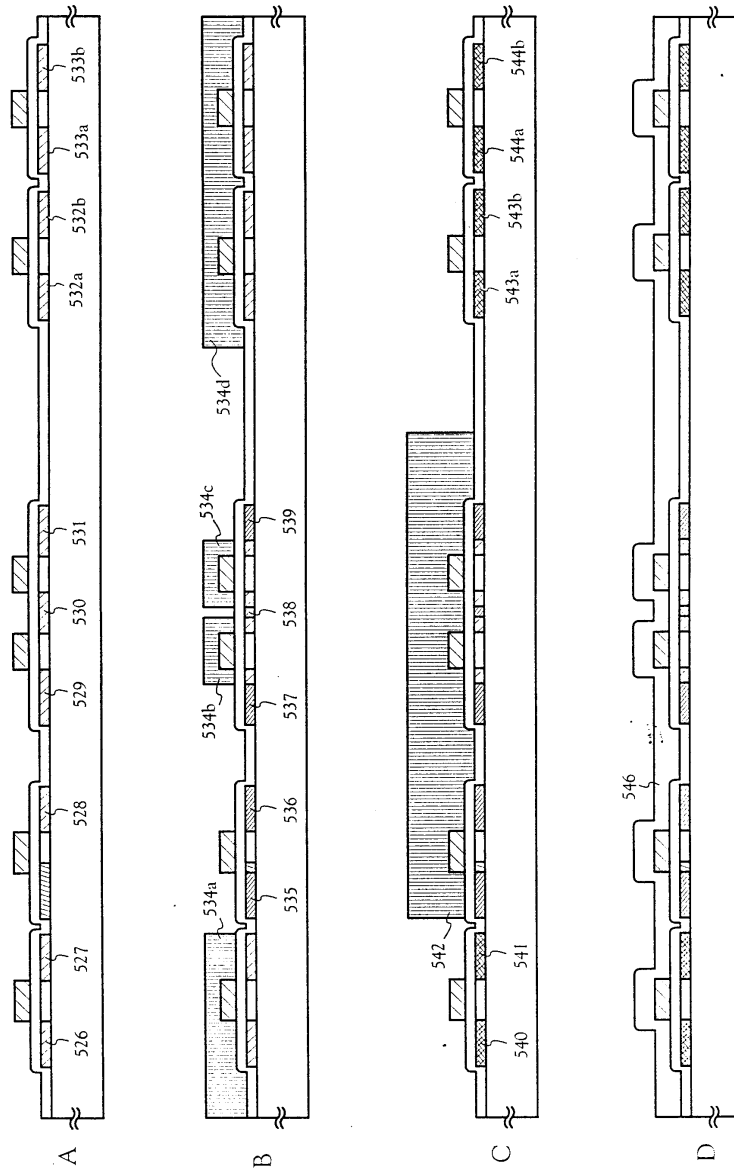
도면13



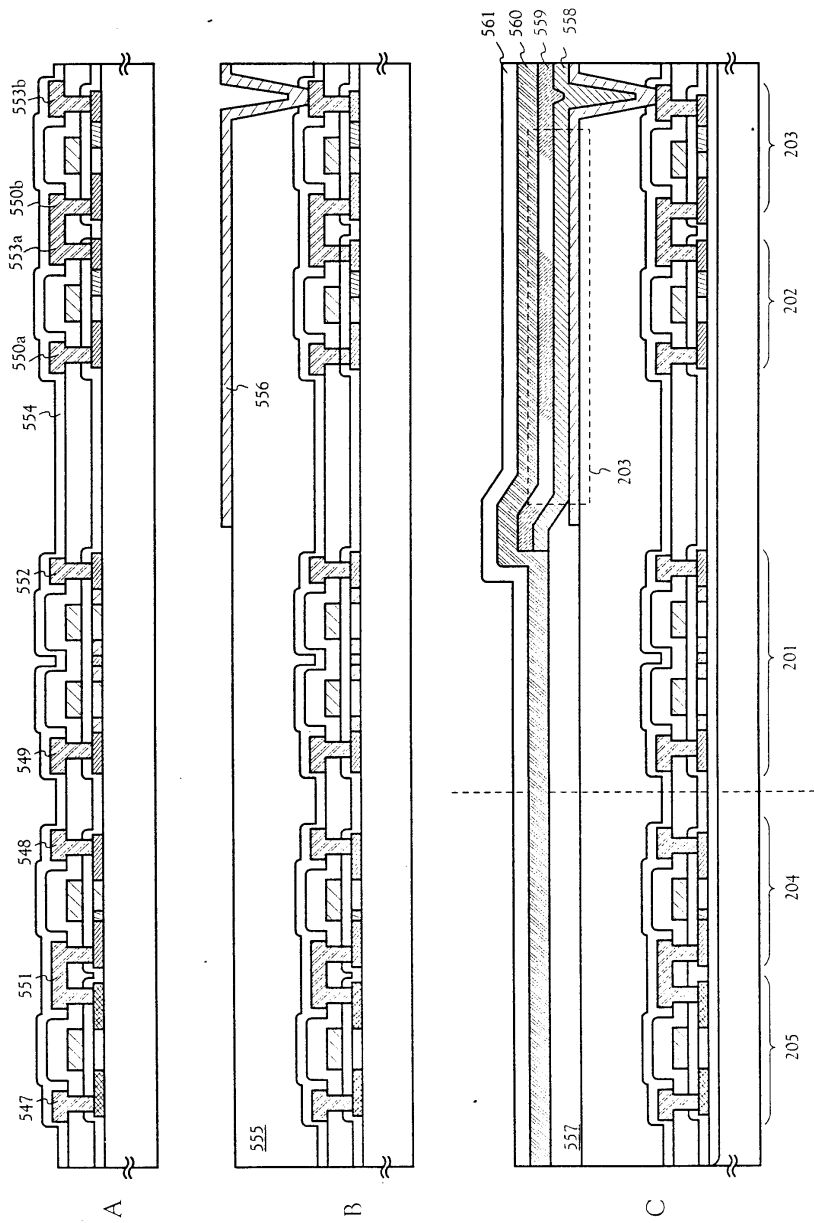
도면14



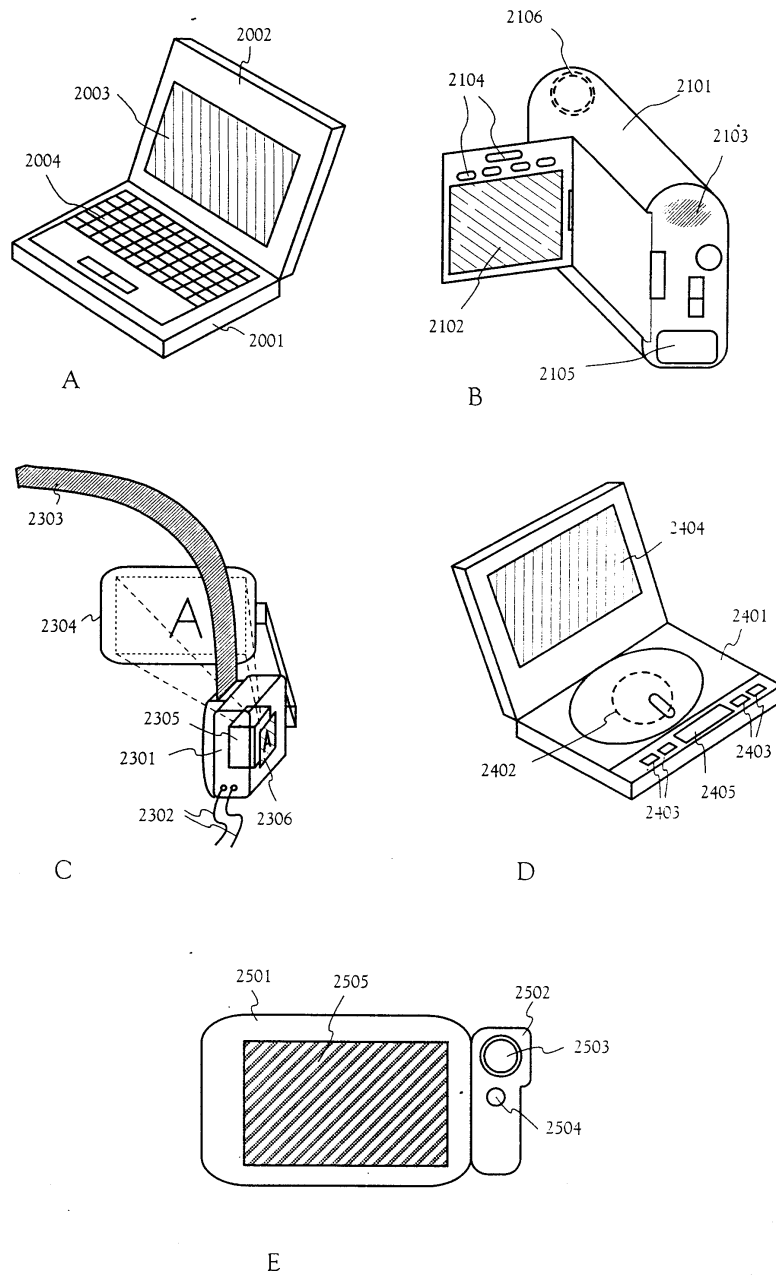
도면15



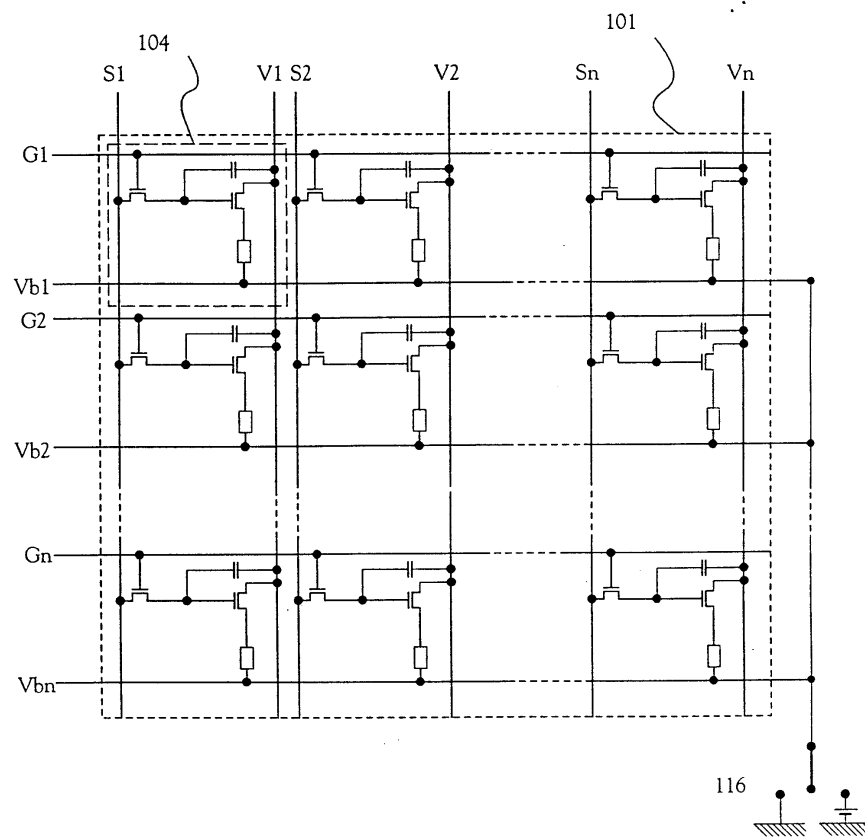
도면16



도면17

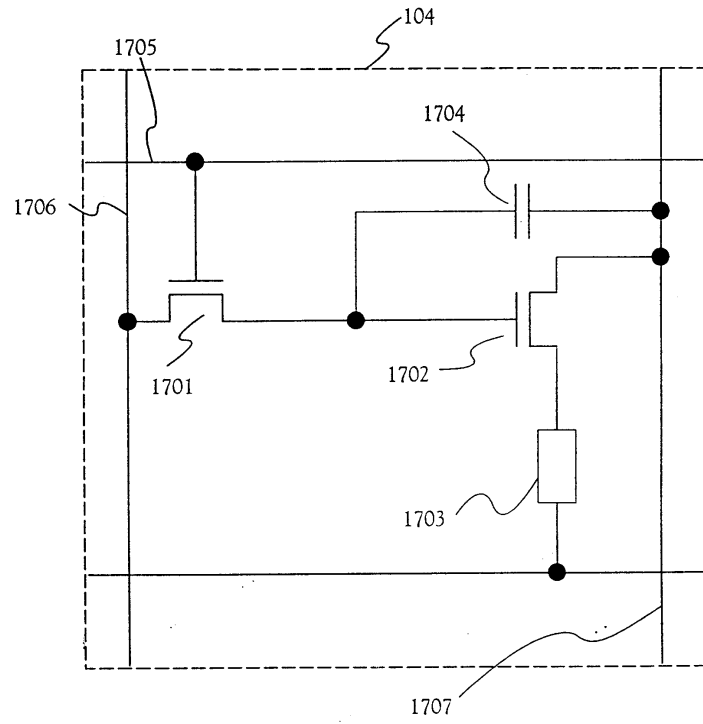


도면18



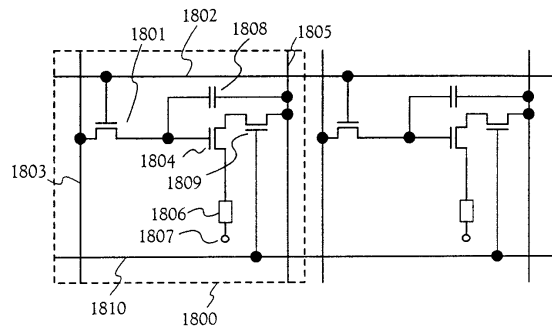
종래 기술

도면19

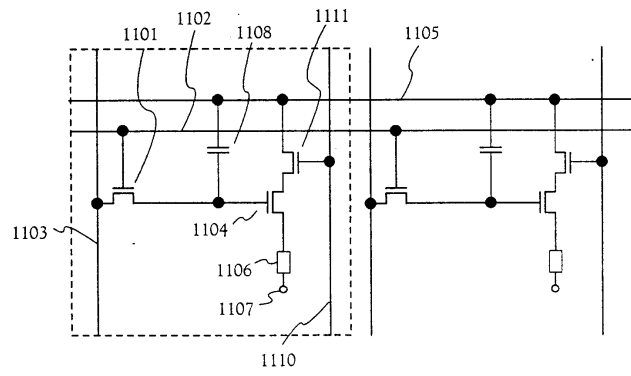


종래 기술

도면20

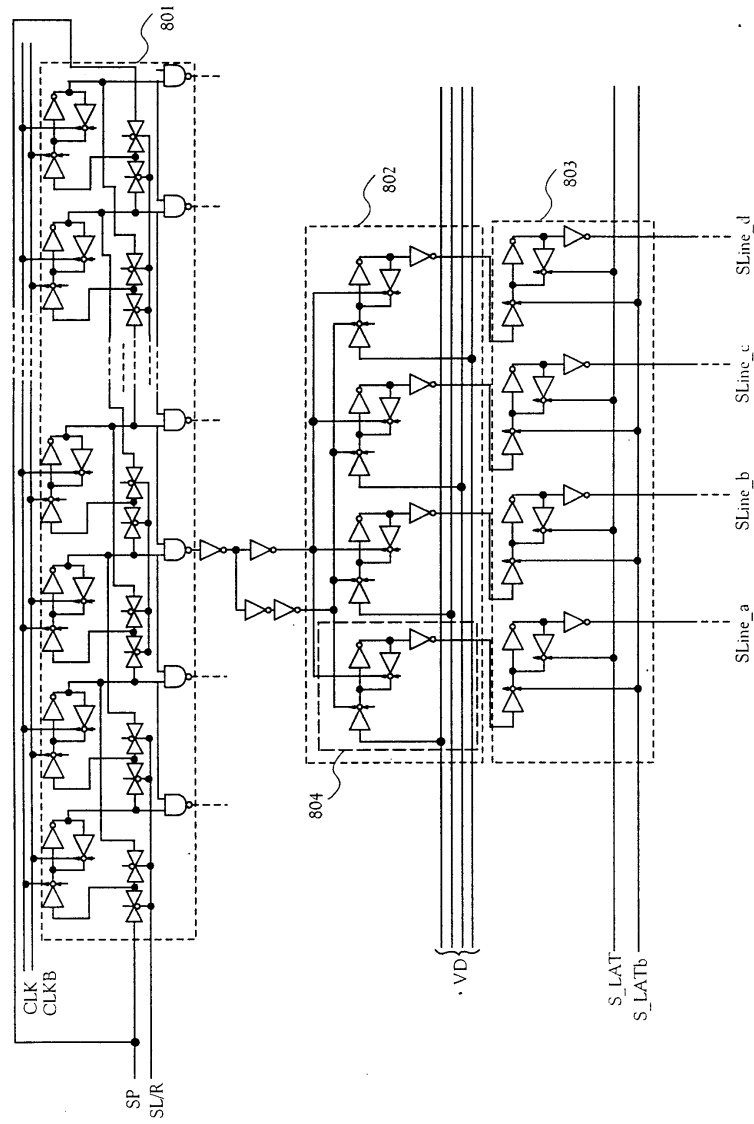


A

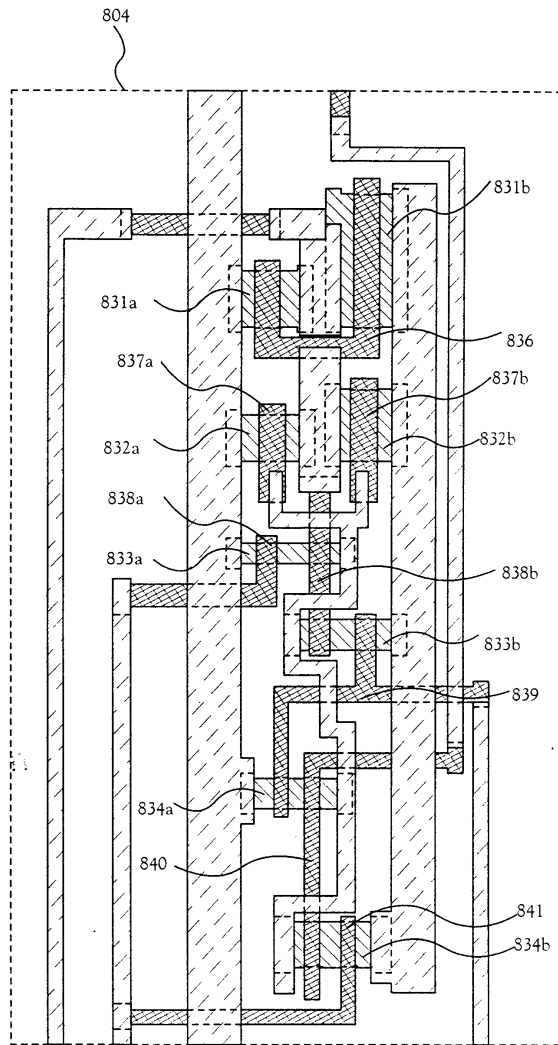


B

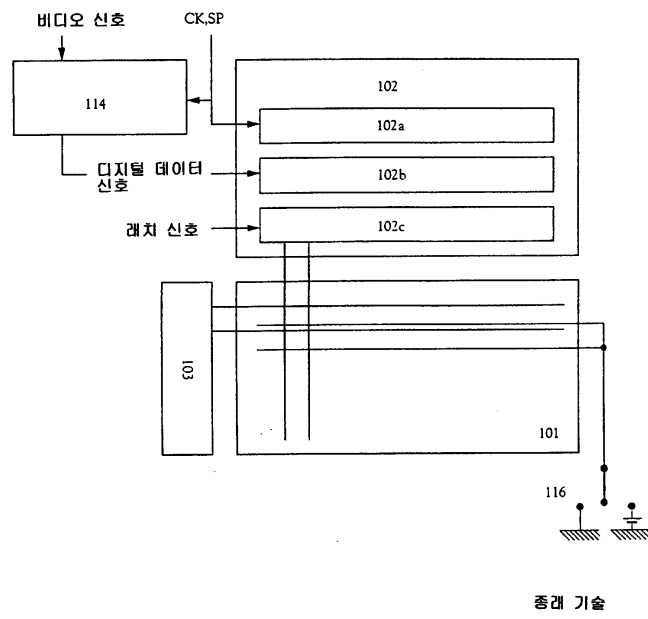
도면21



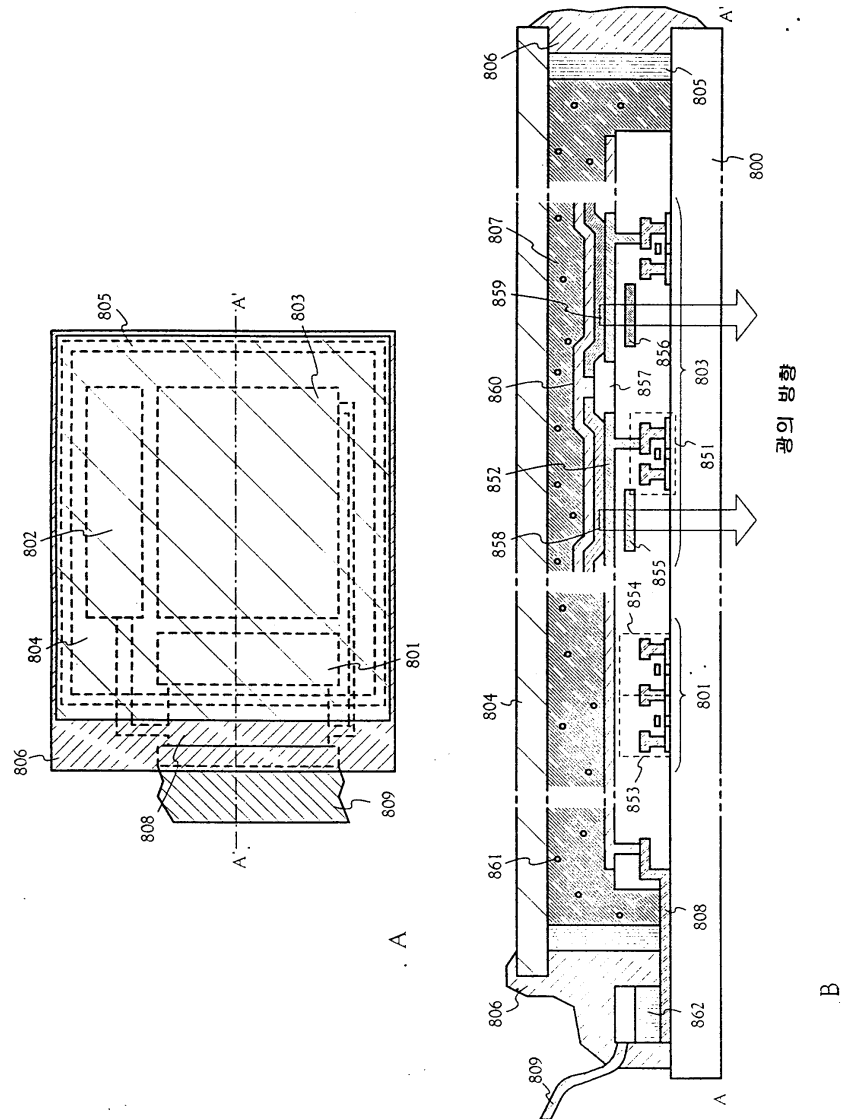
도면22



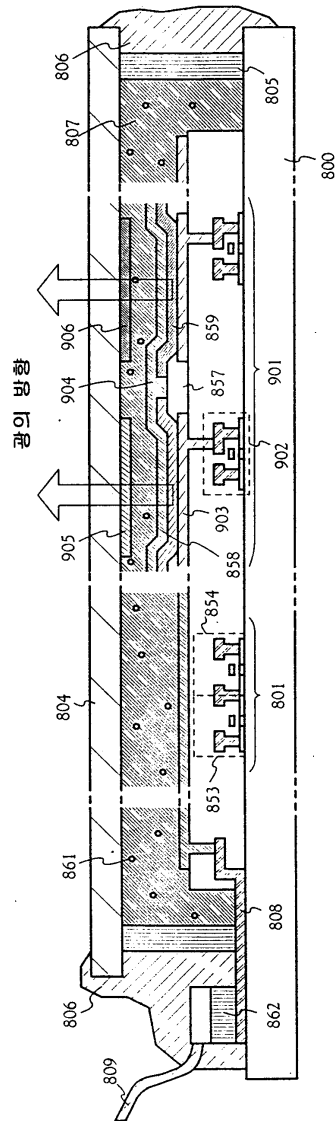
도면23



도면24



도면25



专利名称(译)	一种具有发光显示装置的电子设备		
公开(公告)号	KR100678703B1	公开(公告)日	2007-02-02
申请号	KR1020050113479	申请日	2005-11-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN		
发明人	KOYAMA, JUN		
IPC分类号	G09G3/30 H05B33/12 G09G3/20 G09G3/32 H01L27/32		
CPC分类号	G09G2300/0842 H01L27/3244 G09G3/3275 G09G2300/0417 H01L51/5253 G09G2300/0426 G09G2300/0861 G09G2300/0809 H01L27/1214 G09G3/2018 G09G2320/0233 G09G3/3291 H01L27/12 G09G3/2022 H01L51/5231 H01L27/124		
优先权	1999341272 1999-11-30 JP 2000260061 2000-08-30 JP		
其他公开文献	KR1020060004883A		
外部链接	Espacenet		

摘要(译)

本发明提供一种电气设备，其能够防止由于连接到相对电极的大电力外部开关导致的频率特性的劣化，并且能够防止灰度数量的减少。电子器件包括多个源极信号线，多个栅极信号线，多个电源线，多个电源控制线和多个像素。多个像素中的每一个包括开关TFT，EL驱动TFT，电源控制TFT和EL元件，并且电源控制TFT控制EL元件的阴极和阳极之间的电位差。

