



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월28일
G09G 3/30 (2006.01)	(11) 등록번호	10-0662988
G09G 3/20 (2006.01)	(24) 등록일자	2006년12월21일

(21) 출원번호	10-2005-0103299	(65) 공개번호
(22) 출원일자	2005년10월31일	(43) 공개일자
심사청구일자	2005년10월31일	

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 최상무
 경기도 수원시 영통구 영통동 1027-5번지 303호

(74) 대리인 신영무

심사관 : 천대식

전체 청구항 수 : 총 13 항

(54) 데이터 구동회로와 이를 이용한 발광 표시장치 및 그의구동방법

(57) 요약

본 발명은 데이터 구동회로의 부피를 최소화하여 고해상도의 패널에 적용할 수 있도록 한 데이터 구동회로에 관한 것이다.

본 발명의 데이터 구동회로는 제 1샘플링신호를 순차적으로 생성하기 위한 복수의 쉬프트 레지스터들과, 상단부 및 하단부에 위치되어 상기 제 1샘플링신호가 공급될 때 데이터를 순차적으로 공급받는 샘플링 래치들과, 제 1소스 출력 인에이블 및 제 2소스 출력 인에이블 신호에 의하여 제어되며 상기 샘플링 래치들에 저장된 상기 데이터를 공급받는 홀딩 래치들을 구비하며, 상기 상단부의 샘플링 래치에 저장된 데이터는 하단부의 샘플링 래치를 경유하여 상기 홀딩 래치로 공급된다.

대표도

도 7

특허청구의 범위

청구항 1.

제 1샘플링신호를 순차적으로 생성하기 위한 복수의 쉬프트 레지스터들과,

상단부 및 하단부에 위치되어 상기 제 1샘플링신호가 공급될 때 데이터를 순차적으로 공급받는 샘플링 래치들과,

제 1소스 출력 인에이블 및 제 2소스 출력 인에이블 신호에 의하여 제어되며 상기 샘플링 래치들에 저장된 상기 데이터를 공급받는 홀딩 래치들을 구비하며,

상기 상단부의 샘플링 래치에 저장된 데이터는 하단부의 샘플링 래치를 경유하여 상기 홀딩 래치로 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 2.

제 1항에 있어서,

j (j 는 자연수)번째 제 1샘플링신호는 $j-1$ 번째 제 1샘플링신호와 일부 기간 중첩되게 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 3.

제 2항에 있어서,

상기 j 번째 제 1샘플링신호와 상기 $j-1$ 번째 제 1샘플링신호가 중첩될 때 상단부에 위치한 j 번째 샘플링 래치를 경유하여 하단부에 위치한 $j-1$ 번째 샘플링래치로 상기 데이터가 공급되고, j 번째 제 1샘플링신호만 공급될 때 상기 상단부에 위치한 j 번째 샘플링래치로 상기 데이터가 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 4.

제 1항에 있어서,

상기 홀딩 래치들은

상단부에 위치되어 상기 상단부의 샘플링 래치들로부터 데이터를 공급받는 상단부 홀딩 래치들과,

하단부에 위치되어 상기 하단부의 샘플링 래치들로부터 데이터를 공급받는 하단부 홀딩 래치들을 구비하는 데이터 구동회로.

청구항 5.

제 4항에 있어서,

상기 하단부 홀딩 래치들은 상기 제 1소스 출력 인에이블 및 제 2소스 출력 인에이블 신호가 제 1극성을 유지할 때 상기 하단부 샘플링 래치들에 저장된 상기 데이터를 상기 상단부 홀딩 래치들을 경유하여 공급받는 것을 특징으로 하는 데이터 구동회로.

청구항 6.

제 5항에 있어서,

상기 하단부 홀딩 래치들에 상기 데이터가 저장된 후 상기 하단부 샘플링 래치들로 상기 제 1소스 출력 인에이블 신호의 제 1극성과 적어도 일부기간 중첩되도록 제 2샘플링신호가 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 7.

제 6항에 있어서,

상기 제 2샘플링신호 및 제 1소스 출력 인에이블 신호의 제 1극성이 중첩되는 기간 동안 상단부 샘플링 래치들에 저장된 데이터가 상기 하단부 샘플링 래치들을 경유하여 상기 상단부 홀딩 래치들로 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 8.

제 7항에 있어서,

상기 상단부 및 하단부 홀딩 래치들로 데이터가 저장된 후 상기 제 1소스 출력 인에이블 신호 및 제 2소스 출력 인에이블 신호가 제 2극성을 유지하는 기간 동안 상기 하단부 홀딩 래치들에 저장된 데이터가 디지털-아날로그 변환부로 공급되고, 제 2소스 출력 인에이블 신호가 제 1극성을 유지할 때 상기 상단부 홀딩 래치들에 저장된 데이터가 상기 하단부 홀딩 래치들을 경유하여 상기 디지털-아날로그 변환부로 공급되는 것을 특징으로 하는 데이터 구동회로.

청구항 9.

주사선들로 주사신호를 공급하기 위한 주사 구동부와,

데이터선들로 데이터신호를 공급하기 위하여 적어도 하나의 데이터 구동회로를 포함하는 데이터 구동부와,

상기 주사선들 및 데이터선들의 교차부에 위치되어 상기 데이터신호에 대응되는 빛을 생성하기 위한 화소들을 포함하는 화소부를 구비하며,

상기 데이터 구동회로 각각은

샘플링펄스를 순차적으로 생성하기 위한 쉬프트 레지스터들과,

상단부 및 하단부에 위치되어 샘플링펄스가 공급될 때 데이터를 순차적으로 공급받는 샘플링 래치들과,

상단부 및 하단부에 위치되어 상기 샘플링 래치들에 저장된 데이터를 공급받는 홀딩 래치들을 구비하며,

상기 하단부 샘플링 래치에 저장된 데이터는 상기 상단부 홀딩 래치를 경유하여 상기 하단부 홀딩 래치로 공급되는 것을 특징으로 하는 발광 표시장치.

청구항 10.

제 9항에 있어서,

상기 상단부 샘플링 래치에 저장된 데이터는 상기 하단부 샘플링 래치를 경유하여 상기 상단부 홀딩 래치로 공급되는 것을 특징으로 하는 발광 표시장치.

청구항 11.

제 10항에 있어서,

상기 상단부 홀딩 래치에 저장된 데이터는 상기 하단부 홀딩 래치를 경유하여 디지털-아날로그 변환부로 공급되는 것을 특징으로 하는 발광 표시장치.

청구항 12.

하단부에 위치한 샘플링 래치들 및 상단부에 위치한 샘플링 래치들에 데이터가 저장되는 단계와,

상기 하단부에 위치한 샘플링 래치의 데이터가 상단부에 위치한 홀딩 래치를 경유하여 하단부에 위치한 홀딩 래치로 공급되는 단계와,

상기 상단부에 위치한 샘플링 래치의 데이터가 상기 하단부에 위치한 샘플링 래치를 경유하여 상기 상단부에 위치한 홀딩 래치로 공급되는 단계를 포함하는 발광 표시장치의 구동방법.

청구항 13.

제 12항에 있어서,

상기 상단부에 위치한 홀딩 래치에 저장된 데이터는 상기 하단부에 위치한 홀딩 래치를 경유하여 디지털-아날로그 변환부로 공급되는 발광 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 구동회로와 이를 이용한 발광 표시장치 및 그의 구동방법에 관한 것으로, 특히 데이터 구동회로의 부피를 최소화하여 고해상도의 패널에 적용할 수 있도록 한 데이터 구동회로와 이를 이용한 발광 표시장치 및 그의 구동방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 발광 표시장치는 화소마다 형성되는 구동 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발광되게 한다.

이와 같은 발광 표시장치는 외부로부터 공급되는 데이터를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 화소들로 공급함으로써 원하는 회도의 영상을 표시한다. 여기서, 외부로부터 공급되는 데이터를 데이터신호로 변환하기 위하여 적어도 하나 이상의 데이터 구동회로(Data Driving Circuit)가 이용된다.

도 1은 종래 데이터 구동회로의 내부 구성을 개략적으로 나타내는 도면이다.

도 1을 참조하면, 종래의 데이터 구동회로는 쉬프트 레지스터부(2), 래치부(4), 디지털-아날로그 변환부(Digital-Analog Converter : 이하 "DAC부"라 함)(6) 및 버퍼부(8)를 구비한다.

쉬프트 레지스터부(2)는 외부로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받은 쉬프트 레지스터부(2)는 소스 쉬프트 클럭(SSC)의 1주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 i (i 는 자연수)개의 샘플링신호를 생성한다. 이를 위해, 쉬프트 레지스터부(2)는 i 개의 쉬프트 레지스터를 구비한다.

래치부(4)는 샘플링신호가 공급될 때 외부로부터 공급되는 k (k 는 자연수)비트의 데이터(Data)를 입력받아 임시 저장한다. 그리고, 래치부(4)는 소스 출력 인에이블(SOE)이 공급될 때 임시 저장된 데이터(Data)를 출력한다. 여기서, 래치부(4)의 내부에는 디멀티플렉서가 포함되고, 디멀티플렉서는 디믹스 제어신호(DM)에 의하여 데이터(Data)의 출력순서를 제어한다. 이와 같은 래치부(4)의 상세한 구성은 후술하기로 한다.

DAC부(6)는 데이터(Data)의 비트값(또는 계조값)에 대응하는 데이터신호를 생성하고, 생성된 데이터신호를 버퍼부(8)로 공급한다.

버퍼부(126)는 DAC(6)로부터 공급되는 데이터신호를 데이터선들(D1 내지 Di)로 공급한다.

도 2는 도 1에 도시된 래치부의 구성을 상세히 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 데이터(Data)가 18비트($k=18$)라고 가정하기로 한다.

도 2를 참조하면, 종래의 래치부는 샘플링 래치들(41a, 41b, ...), 홀딩 래치들(42a, 42b, ...) 및 디믹스들(43a, 43b, ...)을 구비한다.

샘플링 래치들(41a, 41b, ...) 각각은 쉬프트 레지스터들(2a, 2b, ...)로부터 샘플링 펄스(SP)가 공급될 때 전송라인들(DL1, ..., DL18)로부터 18비트의 데이터(Data)를 입력받는다. 이를 위해, 샘플링 래치들(41a, 41b, ...) 각각은 18비트의 데이터(Data)를 저장할 수 있도록 186비트의 용량으로 설정된다.

홀딩 래치들(42a, 42b, ...) 각각은 소스 출력 인에이블(SOE)에 의하여 제어되면서 샘플링 래치들(41a, 41b, ...)로부터 데이터(Data)를 입력받고, 입력받은 데이터(Data)를 디믹스들(43a, 43b, ...)로 공급한다. 이를 위해, 홀딩 래치들(42a, 42b, ...) 각각은 18비트의 데이터(Data)를 저장할 수 있도록 18비트의 용량으로 설정된다.

디믹스들(43a, 43b) 각각은 디믹스 제어신호(DM)에 의하여 제어되면서 2개의 홀딩 래치들로부터 공급되는 데이터(Data)를 버퍼부(8)로 공급한다.

이와 같은 래치부(4)의 동작과정을 도 3의 파형도와 결부하여 상세히 설명하기로 한다. 먼저, 제 1쉬프트 레지스터(2a)는 외부로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 스타트 펄스(SSP) 및 소스 쉬프트 클럭(SSC)을 공급받은 제 1쉬프트 레지스터(2a)는 소스 쉬프트 클럭(SSC)의 특정 시점(라이징에지 또는 폴링에지)에 소스 스타트 펄스(SSP)를 쉬프트 시켜 샘플링 펄스(SP1)를 생성한다.

이후, 제 2쉬프트 레지스터(2b)는 소스 쉬프트 클럭(SSC)의 특정 시점에 제 1쉬프트 레지스터(2a)로부터 공급된 샘플링 펄스(SP1)를 쉬프트 시켜 샘플링 펄스(SP2)를 생성한다. 실제로, 제 1쉬프트 레지스터(2a)를 제외한 나머지 쉬프트 레지스터들(2b, 2c, 2d, ...)은 이전단 쉬프트 레지스터로부터 샘플링 펄스(SP)가 공급될 때 소스 쉬프트 클럭(SSC)의 특정 시점에 샘플링 펄스(SP)를 생성하여 다음단 쉬프트 레지스터로 공급한다.

제 1샘플링 래치(41a)는 제 1쉬프트 레지스터(2a)로부터 샘플링 펄스(SP1)가 공급될 때 전송라인들(DL1, ..., DL18)로부터 데이터(Data)를 입력받는다. 그리고, 제 1샘플링 래치(41a)와 전송라인들(DL1, ..., DL18) 사이에 위치된 제 2샘플링 래치(41b)는 제 2쉬프트 레지스터(2b)로부터 샘플링 펄스(SP2)가 공급될 때 전송라인들(DL1, ..., DL18)로부터 데이터(Data)를 입력받는다.

마찬가지로, 제 3샘플링 래치(41c)는 제 3쉬프트 레지스터(2c)로부터 샘플링 펄스(SP3)가 공급될 때 전송라인들(DL1, ..., DL18)로부터 데이터(Data)를 입력받는다. 그리고, 제 3샘플링 래치(41c)와 전송라인들(DL1, ..., DL18) 사이에 위치된 제 4샘플링 래치(41d)는 제 4쉬프트 레지스터(2d)로부터 샘플링 펄스(SP4)가 공급될 때 전송라인들(DL1, ..., DL18)로부터 데이터(Data)를 입력받는다.

한편, 샘플링 래치들(41a, 41b, ...)에 데이터(Data)가 저장되는 기간 동안 디멀스 제어신호(DM)가 하이상태를 유지한다. 그러면, 이전 기간에 짝수번째 홀딩 래치들(42b, 42d)에 저장된 데이터(Data)들이 디멀티플렉서(43a, 43b, ...)를 경유하여 DAC부(6)로 공급된다. 그리고, 샘플링 래치들(41a, 41b, ...)에 데이터(Data)의 저장이 끝난 후에 디멀스 제어신호(DM)가 로우상태로 전환된다. 그러면, 이전 기간에 홀수번째 홀딩래치들(42a, 42c,...)에 저장된 데이터(Data)들이 디멀티플렉서(43a, 43b, ...)를 경유하여 DAC부(6)로 공급된다.

이후, 소스 출력 인에이블(SOE) 신호가 하이 상태로 전환된다. 그러면, 샘플링 래치들(41a, 41b, ...)에 저장된 데이터(Data)들이 홀딩 래치들(42a, 42b, ...)로 공급된다. 다시 말하여, 제 1샘플링 래치(41a)에 저장된 데이터(Data)는 제 1홀딩래치(42a)로 공급되고, 제 2샘플링 래치(41b)에 저장된 데이터(Data)는 제 2홀딩래치(42b)로 공급된다. 그리고, 홀딩 래치들(42a, 42b, ...)에 저장된 데이터(Data)들은 디멀티플렉서(43a, 43b, ...)를 경유하여 DAC부(6)로 공급된다.

실제로, 종래의 래치부(4)는 이와 같은 과정을 반복하면서 데이터(Data)를 DAC부(6)로 공급한다. 하지만, 이와 같은 종래의 래치부(4)는 샘플링 래치들(41a, 41b, ...)이 하단부 및 상단부에 배치되기 때문에, 즉 2개의 줄로 배치되기 때문에 배선이 증가되는 문제점이 발생된다. 실제로, 18비트의 데이터를 전송하기 위하여 전송라인들(DL1, ..., DL18)과 샘플링 래치들(41a, 41b, ...) 사이에 36개의 배선이 배치된다.

마찬가지로, 종래에는 홀딩 래치들(42a, 42b, ...)도 하단부 및 상단부에 배치되기 때문에 샘플링 래치들(41a, 41b, ...)로부터 홀딩 래치들(42a, 42b, ...) 사이에 32개의 배선이 배치된다. 그리고, 2단으로 배치된 홀딩 래치들(42a, 42b, ...)로부터 디멀티플렉서(43a, 43b, ...)로 데이터(Data)를 전송하기 위해서도 36개의 배선이 배치된다. 이와 같이 데이터 구동회로의 내부에 많은 배선들이 배치되면 고집적 설계가 곤란하고, 이에 따라 부피가 증가되는 문제점이 발생된다. 이와 같이 데이터 구동회로의 부피가 증가되면 고해상도 발광 표시장치에 적용 곤란하다.

한편, 종래에는 도 4와 같이 래치부(4)에 포함된 샘플링 래치들(43a, 43b, ...) 및 홀딩 래치들(44a, 44b, ...)을 한 줄로 배치하는 경우도 있다. 하지만, 도 4와 같이 샘플링 래치들(43a, 43b, ...) 및 홀딩 래치들(44a, 44b, ...)을 한 줄로 배치되는 경우 데이터 구동회로의 가로방향의 사이즈가 증가되는 문제점이 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터 구동회로의 부피를 최소화하여 고해상도의 패널에 적용할 수 있도록 한 데이터 구동회로와 이를 이용한 발광 표시장치 및 그의 구동방법에 관한 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제 1측면은 제 1샘플링신호를 순차적으로 생성하기 위한 복수의 쉬프트 레지스터들과, 상단부 및 하단부에 위치되어 상기 제 1샘플링신호가 공급될 때 데이터를 순차적으로 공급받는 샘플링 래치들과, 제 1소스 출력 인에이블 및 제 2소스 출력 인에이블 신호에 의하여 제어되며 상기 샘플링 래치들에 저장된 상기 데이터를 공급받는 홀딩 래치들을 구비하며, 상기 상단부의 샘플링 래치에 저장된 데이터는 하단부의 샘플링 래치를 경유하여 상기 홀딩 래치로 공급되는 데이터 구동회로를 제공한다.

바람직하게, j (j 는 자연수)번째 제 1샘플링신호는 $j-1$ 번째 제 1샘플링신호와 일부 기간 중첩되게 공급된다. 상기 j 번째 제 1샘플링신호와 상기 $j-1$ 번째 제 1샘플링신호가 중첩될 때 상단부에 위치된 j 번째 샘플링 래치를 경유하여 하단부에 위치된 $j-1$ 번째 샘플링래치로 상기 데이터가 공급되고, j 번째 제 1샘플링신호만 공급될 때 상기 상단부에 위치된 j 번째 샘플링 래치로 상기 데이터가 공급된다.

본 발명의 제 2측면은 주사선들로 주사신호를 공급하기 위한 주사 구동부와, 데이터선들로 데이터신호를 공급하기 위하여 적어도 하나의 데이터 구동회로를 포함하는 데이터 구동부와, 상기 주사선들 및 데이터선들의 교차부에 위치되어 상기 데이터신호에 대응되는 빛을 생성하기 위한 화소들을 포함하는 화소부를 구비하며, 상기 데이터 구동회로 각각은 샘플링 펄스를 순차적으로 생성하기 위한 쉬프트 레지스터들과, 상단부 및 하단부에 위치되어 샘플링펄스가 공급될 때 데이터를 순차적으로 공급받는 샘플링 래치들과, 상단부 및 하단부에 위치되어 상기 샘플링 래치들에 저장된 데이터를 공급받는 홀딩 래치들을 구비하며, 상기 하단부 샘플링 래치에 저장된 데이터는 상기 상단부 홀딩 래치를 경유하여 상기 하단부 홀딩 래치로 공급되는 발광 표시장치를 제공한다.

바람직하게, 상기 상단부 샘플링 래치에 저장된 데이터는 상기 하단부 샘플링 래치를 경유하여 상기 상단부 홀딩 래치로 공급된다. 상기 상단부 홀딩 래치에 저장된 데이터는 상기 하단부 홀딩 래치를 경유하여 디지털-아날로그 변환부로 공급된다.

본 발명의 제 3측면은 하단부에 위치한 샘플링 래치들 및 상단부에 위치한 샘플링 래치들에 데이터가 저장되는 단계와, 상기 하단부에 위치한 샘플링 래치의 데이터가 상단부에 위치한 홀딩 래치를 경유하여 하단부에 위치한 홀딩 래치로 공급되는 단계와, 상기 상단부에 위치한 샘플링 래치의 데이터가 상기 하단부에 위치한 샘플링 래치를 경유하여 상기 상단부에 위치한 홀딩 래치로 공급되는 단계를 포함하는 발광 표시장치의 구동방법을 제공한다.

바람직하게, 상기 상단부에 위치한 홀딩 래치에 저장된 데이터는 상기 하단부에 위치한 홀딩 래치를 경유하여 디지털-아날로그 변환부로 공급된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 5 내지 도 8을 참조하여 상세히 설명하면 다음과 같다.

도 5는 본 발명의 실시예에 의한 발광 표시장치를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 의한 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차영역에 형성된 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

주사 구동부(110)는 타이밍 제어부(150)로부터의 주사 구동제어신호들(SCS)에 응답하여 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다. 또한, 주사 구동부(110)는 주사 구동제어신호들(SCS)에 응답하여 발광 제어신호를 생성하고, 생성된 발광 제어신호를 발광 제어선들(E1 내지 En)로 순차적으로 공급한다.

데이터 구동부(120)는 타이밍 제어부(150)로부터의 데이터 구동제어신호들(DCS)에 응답하여 데이터신호들을 생성하고, 생성된 데이터신호들을 데이터선들(D1 내지 Dm)로 공급한다. 이를 위하여, 데이터 구동부(120)는 적어도 하나 이상의 데이터 구동회로(129)를 구비한다. 데이터 구동회로(129)는 외부로부터 공급되는 데이터(Data)를 데이터신호로 변환하여 데이터선들(D1 내지 Dm)로 공급한다. 데이터 구동회로(129)의 상세한 구성은 후술하기로 한다.

타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호들(SCS)을 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호들(DCS)은 데이터 구동부(120)로 공급되고, 주사 구동제어신호들(SCS)은 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 재정렬하여 데이터 구동부(120)로 공급한다.

화소부(130)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받는다. 화상 표시부(130)로 공급된 제 1전원(ELVDD) 및 제 2전원(ELVSS)은 각각의 화소들(140)로 공급된다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(140)은 데이터신호에 대응되는 화상을 표시한다.

도 6은 도 5에 도시된 데이터 구동회로를 나타내는 블록도이다.

도 6을 참조하면, 본 발명의 데이터 구동회로(129)는 제 1샘플링신호를 순차적으로 생성하기 위한 쉬프트 레지스터부(121)와, 제 1샘플링신호에 응답하여 데이터(Data)를 순차적으로 저장하기 위한 샘플링 래치부(122)와, 샘플링 래치부(122)에 저장된 데이터(Data)들을 일시 저장함과 아울러 저장된 데이터(Data)들을 DAC부(124)로 공급하기 위한 홀딩 래치부(123)와, 데이터(Data)의 비트값에 대응하는 데이터신호를 생성하기 위한 DAC부(124)와, 데이터신호를 데이터선들(D1 내지 Dm)로 공급하기 위한 버퍼부(125)를 구비한다.

쉬프트 레지스터부(121)는 외부로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받은 쉬프트 레지스터부(121)는 소스 쉬프트 클럭(SSC)의 1주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 제 1샘플링신호를 생성한다. 예를 들어, 데이터 구동회로(129)가 i개의 채널로 구성된다면 쉬프트 레지스터부(121)는 i개의 제 1샘플링신호를 순차적으로 생성한다. 여기서, j(j는 자연수)번째 제 1샘플링신호는 j-1번째 제 1샘플링신호와 소정기간 중첩되도록 공급된다.

샘플링 래치부(122)는 쉬프트 레지스터부(121)로부터 순차적으로 공급되는 제 1샘플링신호에 대응하여 데이터(Data)를 순차적으로 저장한다. 여기서, 샘플링 래치부(122)는 i 개의 데이터(Data)를 저장하기 위하여 i 개의 샘플링 래치들을 구비한다. 그리고, 각각의 샘플링 래치들은 k 비트의 데이터(Data)를 저장하기 위하여 k 비트의 크기로 설정된다.

홀딩 래치부(123)는 외부로부터 제 1소스 출력 인에이블(SOE1) 및 제 2소스 출력 인에이블(SOE2)을 공급받는다. 여기서, 제 1소스 출력 인에이블(SOE1) 및 제 2소스 출력 인에이블(SOE2)은 제 1극성(예를 들면, 하이극성)이 일부기간 중첩되도록 공급된다. 홀딩 래치부(123)는 제 1소스 출력 인에이블(SOE1)과 제 2소스 출력 인에이블(SOE2)의 제 1극성이 중첩되는 기간 동안 샘플링 래치부(122)에 저장된 일부 데이터(Data)를 공급받는다. 그리고, 홀딩 래치부(123)는 제 1소스 출력 인에이블 신호가 제 1극성을 유지함과 동시에 제 2샘플링신호가 공급되는 기간 동안 샘플링 래치부(122)에 저장된 나머지 데이터(Data)를 공급받는다. 여기서, 제 2샘플링신호는 홀수번째 쉬프트 레지스터(또는 짝수번째 쉬프트 레지스터)에 동시에 공급되는 신호를 의미한다.

그리고, 홀딩 래치부(123)는 제 1소스 출력 인에이블(SOE1) 및 제 2소스 출력 인에이블(SOE2)이 제 2극성(예를 들면, 로우 극성)을 유지하는 기간 동안 일부 데이터(Data)를 DAC부(124)로 공급하고, 제 2소스 출력 인에이블(SOE2)이 제 1극성을 유지하는 기간 동안 나머지 데이터(Data)를 DAC부(124)로 공급한다. 이와 같은, 홀딩 래치부(123) 및 샘플링 래치부(122)의 상세한 동작과정을 후술하기로 한다.

DAC부(124)는 홀딩 래치부(123)로부터 공급되는 데이터(Data)의 비트값에 대응하여 데이터신호를 생성하고, 생성된 데이터신호를 버퍼부(125)로 공급한다.

버퍼부(125)는 DAC부(124)로부터 공급되는 데이터신호를 데이터선들(D)로 공급한다. 그러면, 화소들(140)에서 데이터신호에 대응되는 빛이 생성된다.

도 7은 도 6에 도시된 샘플링 래치부 및 홀딩 래치부를 상세히 나타내는 도면이다. 도 7에서는 설명의 편의성을 위하여 데이터(Data)가 18비트라고 가정하기로 한다.

도 7을 참조하면, 샘플링 래치부(122)는 상단에 설치되는 짝수번째 샘플링 래치들(122b, 122d, ...)과, 하단에 설치되는 홀수번째 샘플링 래치들(122a, 122c, ...)를 구비한다.

이와 같은 샘플링 래치들(122a, 122b, ...)은 제 1샘플링신호가 공급될 때 전송라인들(DL1, ..., DL18)로부터 공급되는 데이터(Data)를 입력받는다. 여기서, j 번째 제 1샘플링신호 및 $j-1$ 번째 제 1샘플링신호가 중첩되는 기간에는 하단에 설치되는 샘플링 래치로 원하는 데이터(Data)가 공급되고, j 번째 제 1샘플링신호만 공급되는 기간에는 상단에 설치되는 샘플링 래치로 원하는 데이터(Data)가 공급된다.

홀딩 래치부(123)는 상단에 설치되는 짝수번째 홀딩 래치들(123b, 123d, ...)과, 하단에 설치되는 홀수번째 홀딩 래치들(123a, 123c, ...)을 구비한다.

하단에 위치한 홀딩 래치들(123a, 123c, ...)은 제 1소스 출력 인에이블(SOE1) 및 제 2소스 출력 인에이블(SOE2)이 제 1극성으로 설정되는 기간 동안 하단에 위치한 샘플링 래치들(122a, 122c, ...)로부터 데이터(Data)를 공급받는다. 그리고, 상단에 위치한 홀딩 래치들(123a, 123c, ...)은 제 1소스 출력 인에이블(SOE1) 신호가 제 1극성으로 설정되는 기간 동안 상단에 위치한 샘플링 래치들(122a, 122c, ...)로부터 데이터(Data)를 공급받는다. 이 경우, 상단에 위치한 샘플링 래치들(122b, 122d, ...)의 데이터(Data)가 상단에 위치한 홀딩 래치들(123b, 123d, ...)로 공급될 수 있도록 하단에 위치한 샘플링 래치들(122a, 122c, ...)로는 제 2샘플링신호(SP)가 공급된다.

이와 같은 본 발명의 데이터 구동회로의 동작과정을 도 8의 파형도와 결부하여 상세히 설명하기로 한다. 먼저, 제 1쉬프트 레지스터(121a)는 외부로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 스타트 펄스(SSP) 및 소스 쉬프트 클럭(SSC)을 공급받은 제 1쉬프트 레지스터(121a)는 소스 쉬프트 클럭(SSC)의 특정 시점(라이징에지 또는 폴링에지)에 소스 스타트 펄스(SSP)를 쉬프트 시켜 제 1샘플링신호(SP1)를 생성한다.

이후, 제 2쉬프트 레지스터(121b)는 제 1쉬프트 레지스터(121a)로부터 공급되는 제 1샘플링신호(SP1)를 소스 쉬프트 클럭(SSC)의 특정 시점에 쉬프트 시켜 제 2샘플링신호(SP2)를 생성한다. 실제로, 쉬프트 레지스터들은 이전단 쉬프트 레지스터로부터 제 1샘플링신호가 공급될 때 소스 쉬프트 클럭(SSC)의 특정 시점에 제 1샘플링 펄스를 생성하고, 생성된 제 1샘플링신호를 다음단 쉬프트 레지스터로 공급한다.

한편, 본 발명에서 제 1샘플링신호들은 이전단 제 1샘플링신호와 소정기간 중첩되도록 공급된다. 다시 말하여, j번째 쉬프트 레지스터(121j)에서 생성되는 제 1샘플링신호(SPj)는 j-1번째 쉬프트 레지스터(121j-1)에서 생성되는 제 1샘플링신호(SPj-1)와 소정기간 중첩되도록 공급된다. 이를 위해, 쉬프트 레지스터들(121a, 121b,...)에는 도시되지 않는 게이트회로(예를 들면, NAND, NOR, AND 등)들이 설치되어 제 1샘플링신호가 중첩되어 생성될 수 있도록 한다.

제 1쉬프트 레지스터(121a)에서 제 1샘플링신호(SP1)가 공급됨과 아울러 제 2쉬프트 레지스터(121b)에서 제 1샘플링신호(SP2)가 공급될 때 전송라인들(DL1 내지 DL18)로 공급되는 데이터(Data)가 제 2샘플링래치(122b)를 경유하여 제 1샘플링래치(122a)로 공급된다. 그리고, 제 1쉬프트 레지스터(121a)에서 제 1샘플링신호(SP1)의 공급이 중단되어 제 2샘플링래치(122b)로만 제 1샘플링신호(SP2)가 공급될 때 제 2샘플링래치(122b)는 전송라인들(DL1 내지 DL18)로 공급되는 데이터(Data)를 입력받는다.

즉, 본 발명에서는 j번째 제 1샘플링신호(SPj) 및 j-1번째 제 1샘플링신호(SPj-1)가 공급될 때 하단에 위치한 제 j-1번째 샘플링래치(122j-1)로 데이터(Data)가 입력되고, j-1번째 제 1샘플링신호(SPj-1)의 공급이 중단되어 j번째 제 1샘플링신호(SPj)가 공급될 때 제 j번째 샘플링래치(122j)로 데이터(Data)가 입력된다. 이와 같이 하단에 위치한 샘플링 래치들(122a, 122c)로 공급되는 데이터(Data)가 상단에 위치한 샘플링 래치들(122b, 122d)을 경유하여 공급되면 배선수를 줄일 수 있고, 이에 따라 데이터 구동회로(129)의 부피를 최소화할 수 있다.

모든 샘플링 래치들(122a, 122b, ...)로 데이터(Data)가 저장된 후 제 2소스 출력 인에이블(SOE2) 및 제 1소스 출력 인에이블(SOE1)의 제 1극성이 소정기간 중첩되도록 공급된다. 제 2소스 출력 인에이블(SOE2) 및 제 1소스 출력 인에이블(SOE1)의 제 1극성이 중첩되게 공급되면 하단에 위치한 샘플링 래치들(122a, 122c, ...)에 저장된 데이터(Data)가 상단에 위치한 홀딩 래치들(123b, 123d, ...)를 경유하여 하단에 위치한 홀딩 래치들(123a, 123c, ...)로 입력된다.

이후, 제 2소스 출력 인에이블(SOE2)이 제 2극성으로 전환된다. 그리고, 제 1소스 출력 인에이블(SOE1)의 제 1극성과 중첩되도록 하단에 위치한 샘플링 래치들(122a, 122c, ...)로 제 2샘플링신호가 동시에 공급된다. 그러면, 상단에 위치한 샘플링 래치들(122b, 122d, ...)에 저장된 데이터(Data)가 하단에 위치한 샘플링 래치들(122a, 122c, ...)을 경유하여 상단에 위치한 홀딩 래치들(123b, 123d, ...)로 입력된다. 이와 같이, 하단에 위치한 샘플링 래치들(123a, 123c, ...)로 공급되는 데이터(Data)가 상단에 위치한 샘플링 래치들(123b, 123d, ...)을 경유하여 공급되면 배선수를 줄일 수 있고, 이에 따라 데이터 구동회로(129)의 부피를 최소화할 수 있다.

한편, 제 2샘플링신호는 다양한 방법으로 공급될 수 있다. 예를 들어, 쉬프트 레지스터부(121)에 추가적으로 제 2샘플링신호를 공급하기 위한 회로가 추가될 수 있다. 또한, 제 2샘플링신호는 타이밍 제어부(150)에서 공급될 수도 있다.

상단에 위치한 홀딩 래치들(123b, 123d, ...)로 데이터(Data)가 입력된 후 제 2샘플링신호의 공급이 중단된다. 그리고, 제 1소스 출력 인에이블(SOE1) 및 제 2소스 출력 인에이블(SOE2)이 제 2극성을 유지한다. 이때, DAC부(124)는 하단에 위치한 홀딩 래치들(123a, 123c, ...)로부터 데이터(Data)를 공급받는다.

하단에 위치한 홀딩 래치들(123a, 123c, ...)로부터 DAC부(124)로 데이터(Data)가 공급된 후 제 2샘플링신호(SOE2)가 제 1극성으로 전환된다. 이때, DAC부(124)는 하단에 위치한 홀딩 래치들(123a, 123c, ...)을 경유하여 상단에 위치한 홀딩 래치들(123b, 123d, ...)의 데이터(Data)를 공급받는다. 이와 같이 상단의 홀딩 래치들(123b, 123d, ...)의 데이터(Data)가 하단에 위치한 홀딩 래치들(123a, 123c, ...)을 경유하여 DAC부(124)로 공급되면 데이터(Data)의 전송에 필요한 배선수를 최소화할 수 있고, 이에 따라 데이터 구동회로(129)의 부피를 최소화할 수 있다. 또한, 상단의 홀딩 래치들(123b, 123d, ...)의 데이터(Data)가 하단에 위치한 홀딩 래치들(123a, 123c, ...)을 경유하여 DAC부(124)로 공급되면 종래와 같이 디멀티플렉서가 포함되지 않아 부피 및 제조비용도 추가적으로 절감할 수 있다.

DAC부(124)는 자신에게 공급된 데이터(Data)의 비트값에 대응하는 데이터신호를 생성하고, 생성된 데이터신호를 버퍼부(125)로 공급한다. 그러면, 버퍼부(125)는 화소들(140)에서 소정의 영상이 표시될 수 있도록 데이터신호를 데이터라인(D)으로 공급한다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시예에 의한 데이터 구동회로와 이를 이용한 발광 표시장치 및 그의 구동방법에 의하면 상단부에 위치한 샘플링 래치에 저장된 데이터를 하단부에 위치한 샘플링 래치를 경유하여 상단부에 위치한 홀딩 래치들로 공급한다. 그리고, 상단부에 위치한 홀딩 래치들에 저장된 데이터를 하단부에 위치한 홀딩 래치들을 경유하여 DAC부로 공급한다. 이와 같이 상단부에 위치한 샘플링 래치 및 홀딩 래치들의 데이터가 하단부에 위치한 샘플링 래치 및 홀딩 래치들을 경유하여 공급하게 되면 데이터 전송에 필요한 배선수를 최소화할 수 있고, 이에 따라 데이터 구동회로의 부피를 줄일 수 있다.

도면의 간단한 설명

도 1은 종래의 데이터 구동회로를 나타내는 도면이다.

도 2는 도 1에 도시된 래치부의 일례를 나타내는 도면이다.

도 3은 도 2에 도시된 래치부의 구동파형을 나타내는 파형도이다.

도 4는 도 1에 도시된 래치부의 다른례를 나타내는 도면이다.

도 5는 본 발명의 실시예에 의한 발광 표시장치를 나타내는 도면이다.

도 6은 도 5에 도시된 데이터 구동회로를 간략히 나타내는 블록도이다.

도 7은 도 6에 도시된 샘플링 래치부 및 홀딩 래치부를 나타내는 도면이다.

도 8은 도 7에 도시된 샘플링 래치부 및 홀딩 래치부로 공급되는 구동파형을 나타내는 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 주사 구동부 120 : 데이터 구동부

121 : 쉬프트 레지스터부 122 : 샘플링 래치부

123 : 홀딩 래치부 124 : DAC부

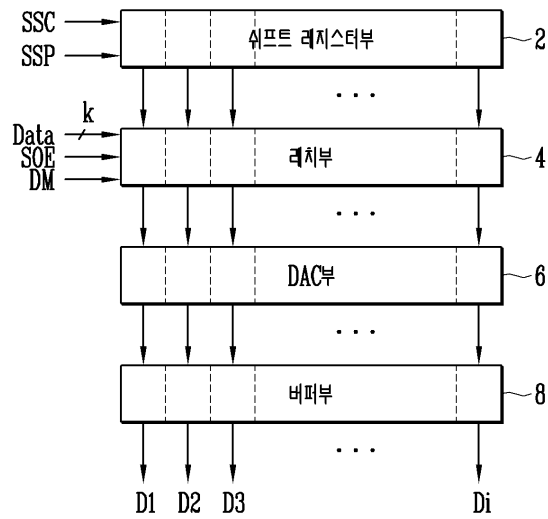
125 : 버퍼부 129 : 데이터 구동회로

130 : 화소부 140 : 화소

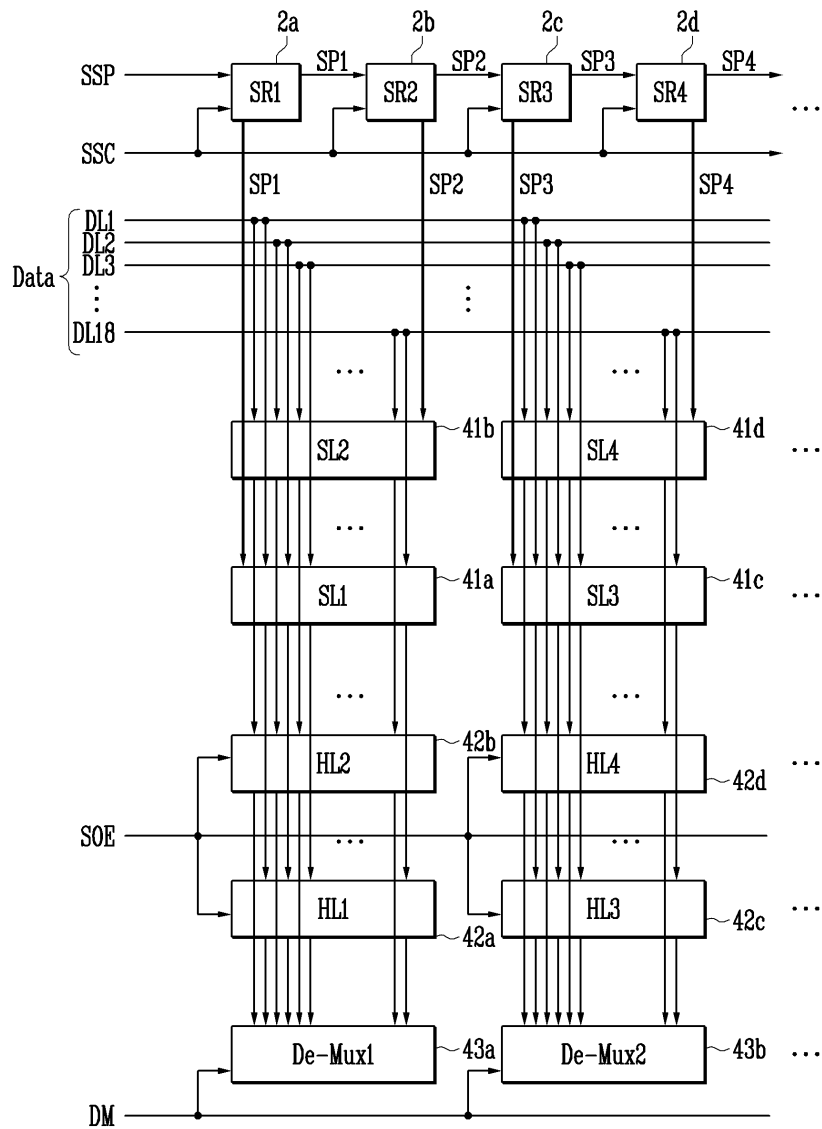
150 : 타이밍 제어부

도면

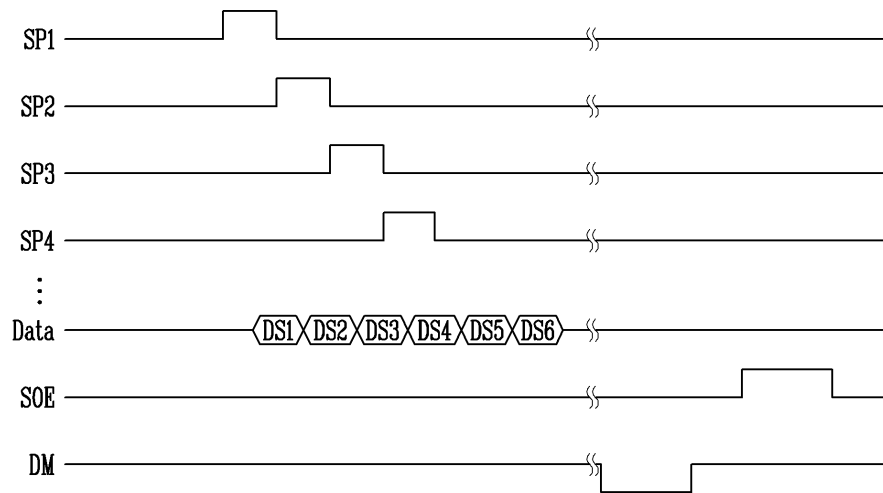
도면1



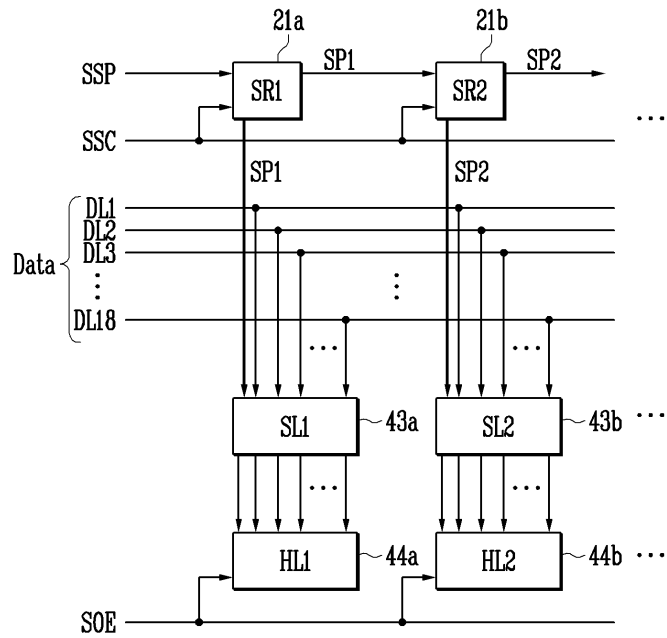
도면2



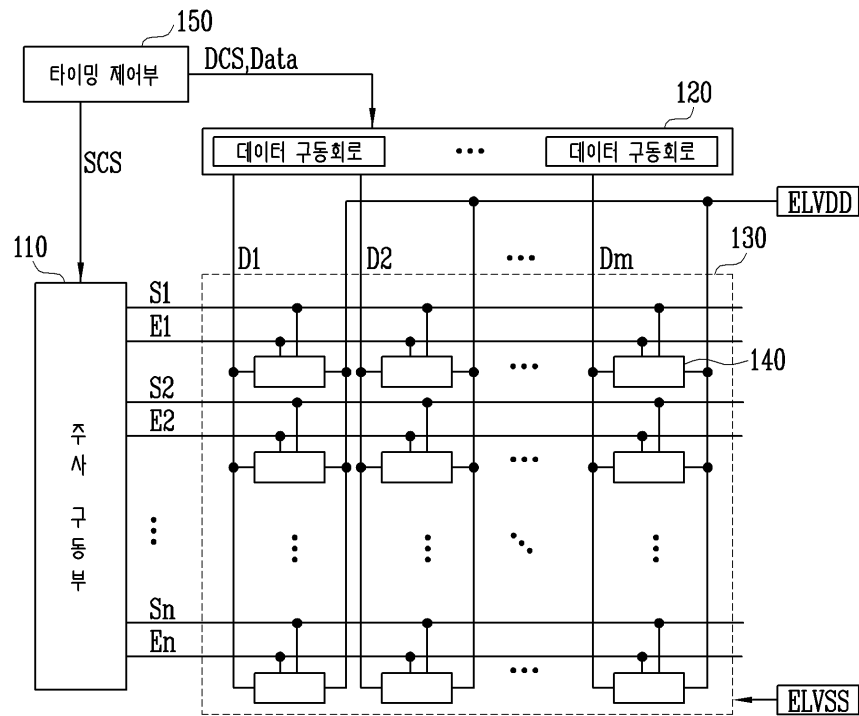
도면3



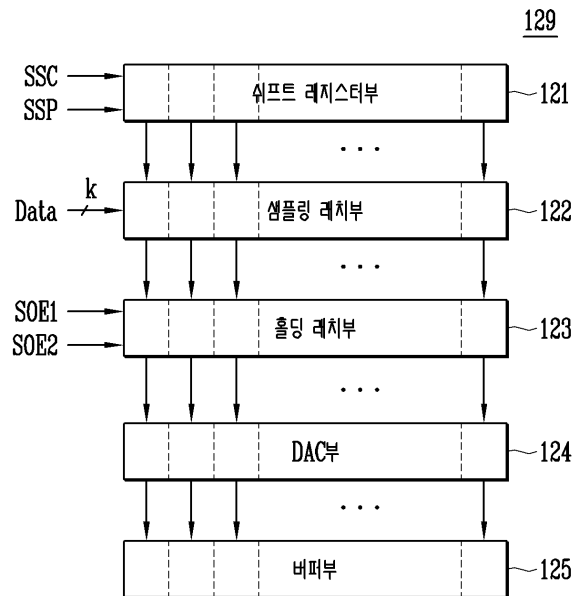
도면4



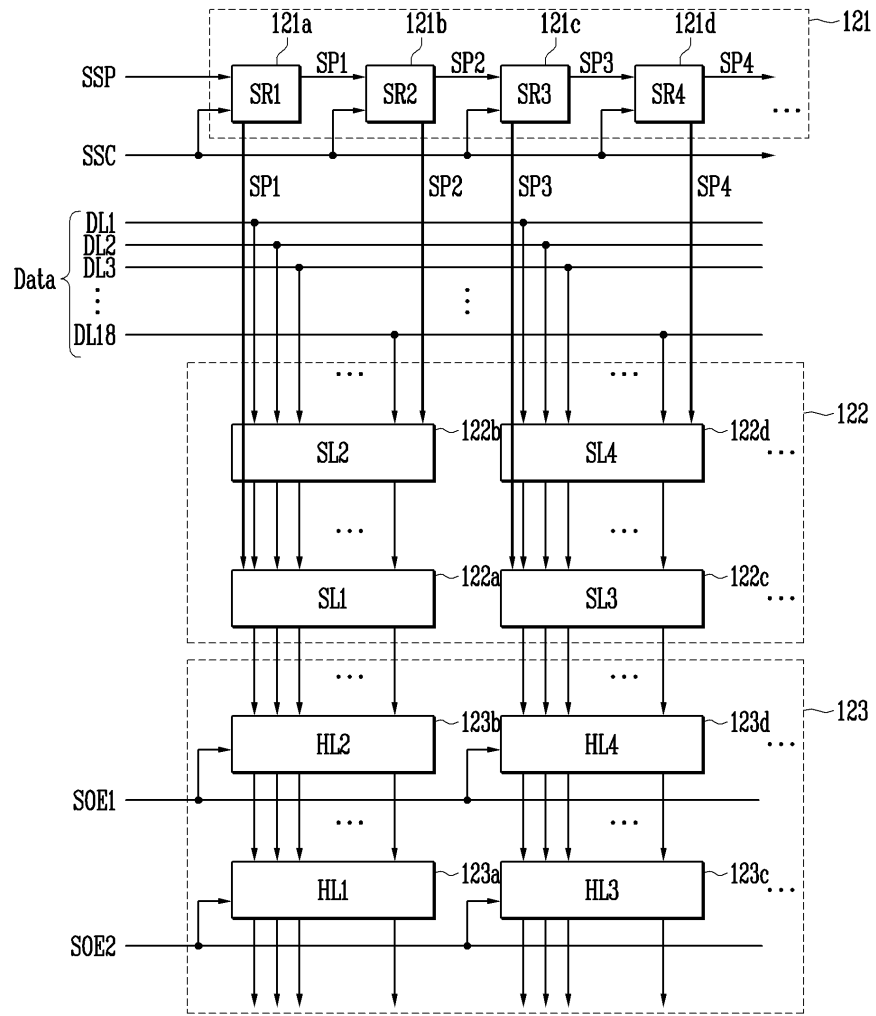
도면5



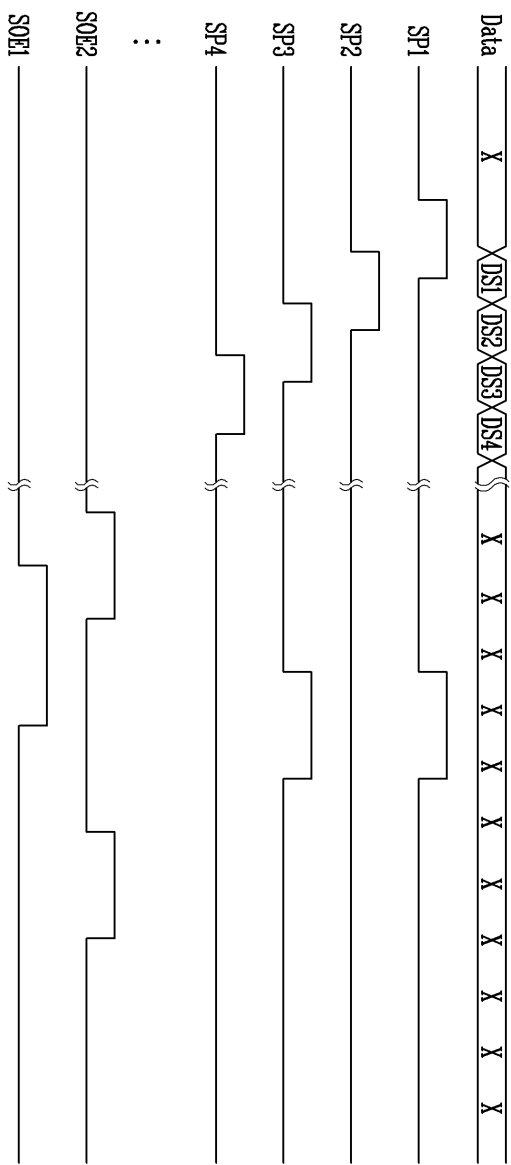
도면6



도면7



도면8



专利名称(译)	数据驱动电路，使用其的发光显示器及其驱动方法		
公开(公告)号	KR100662988B1	公开(公告)日	2006-12-28
申请号	KR1020050103299	申请日	2005-10-31
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SANGMOO CHOI 최상무		
发明人	최상무		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2310/0262 G09G2310/027 G09G3/3258 G09G3/20 G09G2310/0205		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供一种数据驱动电路，使用该数据驱动电路的有机发光显示器及其驱动方法，以通过采样和保持设置的锁存器提供采样和保持位于上端的锁存器的数据来最小化传输数据所需的导线数量。在下端，从而减小了数据驱动电路的音量。数据驱动电路包括按顺序产生第一采样信号 (SP1) 的多个移位寄存器 (121a~121d) ;位于上端和下端的采样锁存器 (122a~222c, 122b~122d) ，用于在提供第一采样信号时按顺序接收数据;并且保持由第一和第二源输出使能信号 (SOE1, SOE2) 控制的锁存器 (123a~123c, 123b~123d) 以接收存储在采样锁存器中的数据。存储在上采样锁存器中的数据通过下采样锁存器提供给保持锁存器。

