

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월09일 10-0630982 2006년09월26일
---	-------------------------------------	--

(21) 출원번호	10-2004-0034369	(65) 공개번호	10-2004-0098603
(22) 출원일자	2004년05월14일	(43) 공개일자	2004년11월20일

(30) 우선권주장 JP-P-2003-00137734 2003년05월15일 일본(JP)

(73) 특허권자 산요덴키가부시키키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 진노유시
일본기후켄기후시사카에신마찌2-76-2

(74) 대리인 장수길
이중희
구영창

(56) 선행기술조사문헌
JP08236773 A
* 심사관에 의하여 인용된 문헌

심사관 : 이창용

(54) 표시 패널의 제조 방법 및 표시 패널

요약

화소의 열화를 억제하면서, 레이저를 이용한 결합 화소의 감광화를 효과적으로 행한다. 패널 형성 도중에, 예를 들면 제2 TFT(40)가 완성되어, 유기 EL 소자의 양극이 형성된 단계에서, 어레이 검사를 행한다. 그리고, 결합 화소에 대해서는, 레이저에 의해 배선을 절단한다. 그리고, 이 레이저에 의한 리페어 후, 제2 평탄화 절연막(60)을 형성하여 레이저에 의해 발생한 홀을 매립한다.

대표도

도 2

색인어

감광화, 평탄화 절연막, 레이저, 어레이 검사

명세서

도면의 간단한 설명

도 1은 화소부의 구성을 도시하는 도면.

도 2는 레이저에 의한 리페어를 설명하는 도면.

도 3은 화소 회로의 구성을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

30 : 유리 기판

40 : 제2 TFT

50 : 양극

60 : 제2 평탄화 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

표시 소자와, 이 표시 소자와 전원 라인과의 접속을 제어하는 박막 트랜지스터(이하 TFT라고 함)를 화소마다 갖는 액티브 매트릭스 타입의 표시 패널의 제조, 특히 결합 화소에 대한 처리에 관한 것이다.

종래부터, 평면 표시 장치 패널 중 하나로서, 유기 EL 디스플레이 패널이 알려져 있다. 이 유기 EL 디스플레이 패널은, 액정 디스플레이 패널(LCD)과는 달리, 자발광으로서, 밝아서 보기 쉬운 평면 표시 장치 패널로서 그 보급이 기대되고 있다.

이 유기 EL 디스플레이는, 유기 EL 소자를 화소로 하여, 이것을 다수 매트릭스 형상으로 배치하여 구성된다. 또한, 이 유기 EL 소자의 구동 방법으로는, LCD와 마찬가지로 패시브 방식과 액티브 방식이 있지만, LCD와 마찬가지로 액티브 매트릭스 방식이 바람직하다고 되어 있다. 즉, 화소마다 스위치용의 소자를 설치하고, 그 스위치용의 소자를 제어하여, 각 화소의 표시를 컨트롤하는 액티브 매트릭스 방식이, 화소마다 스위치용의 소자를 갖지 않는 패시브 방식보다 더 고정밀의 화면을 실현할 수 있어 바람직하다.

또, LCD의 경우에는, 1개의 스위칭 소자(TFT)를 이용하여, 이것을 직접 화소 전극에 접속하지만, 유기 EL 패널의 경우에는 2개의 TFT와, 1개의 용량을 이용한다. 도 3에, 종래의 박막 트랜지스터(TFT)를 이용한 유기 EL 패널에서의 화소 회로의 구성예를 도시한다. 유기 EL 패널은, 이러한 화소를 매트릭스 배치하여 구성된다.

행 방향으로 신장하는 게이트 라인에는, 게이트 라인에 의해 선택되는 n 채널 박막 트랜지스터인 제1 TFT(10)의 게이트가 접속되어 있다. 이 제1 TFT(10)의 드레인에는 열 방향으로 신장하는 데이터 라인 DL이 접속되어 있고, 그 소스에는 타단이 저전압의 전원인 용량 라인 SL에 접속된 축적 용량 CS가 접속되어 있다. 또한, 제1 TFT(10)의 소스와 축적 용량 CS의 접속점은, p 채널 박막 트랜지스터인 제2 TFT(40)의 게이트에 접속되어 있다. 그리고, 이 제2 TFT(40)의 소스가 전원 라인 VL에 접속되고, 드레인이 유기 EL 소자 EL에 접속되어 있다. 또, 유기 EL 소자 EL의 타단은 캐소드 전원 VC에 접속되어 있다.

따라서, 게이트 라인 GL이 H 레벨일 때에 제1 TFT(10)가 온 상태로 되어, 그 때의 데이터 라인 DL의 데이터가 축적 용량 CS에 유지된다. 그리고, 이 축적 용량 CS에 유지되어 있는 데이터(전하)에 따라 제2 TFT(40)의 전류가 제어되고, 이 제2 TFT(40)의 전류에 따라 유기 EL 소자 EL에 전류가 흘러 발광한다.

그리고, 제1 TFT(10)가 온 상태로 되어 있을 때에 데이터 라인 DL에, 그 화소에 대응하는 비디오 신호가 공급된다. 따라서, 데이터 라인 DL에 공급되는 비디오 신호에 따라 축적 용량 CS가 충전되고, 이에 의해 제2 TFT(40)가 대응하는 전류를 흘리고, 유기 EL 소자 EL의 휘도 제어가 행해진다. 즉, 제2 TFT(40)의 게이트 전위를 제어하여 유기 EL 소자에 흘리는 전류를 제어하여 각 화소의 계조 표시가 행해진다.

이러한 유기 EL 패널에서, 각 화소마다 설치된 TFT1 또는 TFT2에 결함이 발생하는 경우가 있다. 이들 TFT1, TFT2에 결함이 있으면, 그 화소가 휘점이나 암점이 되거나, 또한 단락의 발생에 의해 접속되어 있는 데이터 라인 DL에 영향을 주어, 선 결함이 발생하는 경우도 있다. 따라서, 이러한 결함 부분에 대해서는, TFT1, TFT2 등의 결함 부분을 라인으로부터 분리하여, 정상화하는 리페어가 행해지고 있다.

이 리페어에 의해, 소정 수의 암점이 발생하지만, 유기 EL 패널은 제품으로서 문제가 없으므로, 휘점을 암점화함으로써 수율의 대폭적인 향상을 달성할 수 있다.

여기서, 리페어는 결함 부분에 이르는 배선을 단선함으로써 행할 수 있다. 즉, LCD의 경우와 마찬가지로, YAG 레이저 등의 레이저 조사에 의해, TFT2와 전원 라인 VL 또는 화소 전극과의 배선을 절단하는 것을 생각할 수 있다.

이에 의해, 결함 부분을 배선으로부터 분리하여, 감점화(減点化)할 수 있어, 전체 표시에서의 문제를 해결할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이 YAG 레이저에 의한 리페어 처리를 행하면, 깊은 홀이 생긴다. 예를 들면, 각 화소의 TFT가 형성된 단계에서, YAG 레이저에 의한 배선의 절단을 행하면, 배선과 함께, 그 아랫층 등도 날아가 버려, 거기에 깊은 홀이 형성된다. 유기 EL 패널에서는, 그 후 유기층, 캐소드를 형성하지만, 이들 층은 꽤 얇기 때문에, 홀을 커버할 수 없다. 따라서, 유기 EL 소자의 유기층도 그 측면이 직접 음극의 상방 공간에 노출되게 된다. 따라서, 수분의 침수에 의한 유기층의 열화 등이 진행하기 쉬워, 결함 화소가 확대될 우려도 있다.

또한, LCD에서도, 레이저에 의해 배선을 절단한 경우에, 그 부분은 배선뿐만 아니라, 다른 층도 없어져, 홀로 되어 있다. 따라서, 각 층의 측면이 노출되게 되어, 열화 등의 원인이나 미세 화소 디바이스에서의 배향 산란의 원인이 된다.

본 발명은, 상기 과제를 감안한 것으로, 화소의 열화를 억제하면서, 레이저를 이용한 결함 화소의 감점화를 효과적으로 행할 수 있는 표시 패널의 감점화 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은, 표시 소자와, 이 표시 소자와 전원 라인과의 접속을 제어하는 박막 트랜지스터를 화소마다 갖는 액티브 매트릭스 타입의 표시 패널의 제조 방법으로서, 기판 위에 상기 박막 트랜지스터를 형성하는 공정과, 이 박막 트랜지스터 형성 후에 복수의 층을 적층하여, 표시 소자를 완성하는 공정을 포함하고, 상기 복수의 층을 적층하는 공정에는, 층 두께가 두꺼운 절연성의 평탄화 절연막을 형성하는 공정이 적어도 1개 포함되고, 이 적어도 1개의 평탄화 절연막을 형성하는 공정 전의 공정에서, 불량 화소에 대하여, 상기 표시 소자와 상기 전원 라인과의 접속을 절단하는 공정을 마련하는 것을 특징으로 한다.

이와 같이, 본 발명에 따르면, 표시 소자의 완성 전에, 결함 화소에 대해서는 배선 절단을 행하여, 그 화소의 암점화가 행해진다. 따라서, 그 후의 절연층의 형성 공정에서, 배선 절단에 의해 발생한 홀을 수복할 수 있어, 완성된 표시 패널에서, 홀로부터 수분 등이 침입하는 것을 방지할 수 있다.

또한, 본 발명은, 표시 소자와, 이 표시 소자와 전원 라인과의 접속을 제어하는 박막 트랜지스터를 화소마다 갖는 액티브 매트릭스 타입의 표시 패널의 제조 방법으로서, 기판 형상으로 상기 박막 트랜지스터를 형성하는 공정과, 이 박막 트랜지스터의 게이트 전극 및 그 배선을 형성하는 공정과, 상기 박막 트랜지스터의 소스·드레인 전극 및 이들 중 한쪽의 전극과 전원 라인과의 접속을 위한 배선을 형성하는 공정과, 상기 전원 라인에 전원을 접속함과 함께, 상기 박막 트랜지스터의 게이트 전극에의 신호 인가를 제어하고, 상기 박막 트랜지스터의 스위칭 동작에 따른 상기 박막 트랜지스터의 소스·드레인 전극 중 다른 쪽의 전극의 상태를 검출하여 도통 검사를 행하는 공정과, 이 검사 결과에 의해, 결함이 있다고 판정된 화소

에 대하여, 상기 박막 트랜지스터를 통하는 상기 표시 소자와, 상기 전원 라인과의 배선이 절단되는 공정을 포함하고, 상기 표시 소자의 완성 전에 상기 도통 검사 및 배선의 절단을 행하고, 상기 도통 검사 및 배선의 절단 후에, 평탄성이 좋은 절연막을 형성하는 공정을 포함하고, 이 절연막에 의해 배선을 절단했을 때에 발생한 오목부를 수복하는 것을 특징으로 한다.

이와 같이, 본 발명에 따르면, 표시 소자의 완성 전에 상기 도통 검사를 행하여, 결함 화소에 대해서는 예를 들면 레이저에 의한 배선 절단을 행하여, 그 화소의 암점화가 행해진다. 따라서, 그 후의 절연층 등의 형성 공정에서, 레이저 등에 의해 발생한 홀을 수복할 수 있어, 완성한 표시 패널에 있어서, 홀로부터 수분 등이 침입하는 것을 방지할 수 있다.

또한, 상기 도통 검사는, 상기 표시 소자의 1개의 전극을 형성한 후에 행하는 것이 적합하다.

또한, 상기 도통 검사 및 배선의 절단 후에, 평탄성이 좋은 절연막을 형성하는 공정을 포함하고, 이 절연막에 의해 배선을 절단했을 때에 발생한 오목부를 수복하는 것이 적합하다.

또한, 상기 배선의 절단은, 레이저의 조사에 의해 행하는 것이 적합하다.

또한, 상기 표시 소자는, 유기 EL 소자인 것이 적합하다.

또한, 본 발명은, 상술한 방법에 의해, 제조된 표시 패널에 관한 것이다.

이하, 본 발명의 실시예에 대하여, 도면에 기초하여 설명한다.

도 1은, 본 실시예에 따른 표시 장치의 제조를 설명하는 도면이다. 우선, 유리 기판(30) 위에 TFT를 형성한다. 즉, 저온 폴리실리콘에 의한 능동층(40a)을 형성하고, 그 표면에 산화 실리콘의 게이트 산화막(40b)을 형성하고, 게이트 전극(40c)을 형성한다. 이어서, 게이트 전극(40c)을 마스크로 하여, 능동 영역(40a)에 불순물을 주입하여, 소스 드레인 영역을 형성한다. 또한, 층간 절연막(34)을 형성하여, TFT를 피복한 후, 콘택트홀을 형성하고, 소스 전극(40d), 드레인 전극(40e)을 형성한다. 이어서, 평탄화 절연막(36)을 형성하고, 이 평탄화 절연막(36)에 소스 전극(40d)에 접속하는 콘택트홀을 형성하고, 평탄화 절연막(36) 위에 ITO로 이루어지는 양극(50)을 형성한다.

이와 같이 하여, 유기 EL 소자 EL의 양극(50)까지의 회로가 형성된다. 그리고, 이 단계에서 어레이 테스트를 행한다. 이 어레이 테스트는, 전원 라인 VL에 소정의 전원 전압을 인가한 상태에서, 게이트 라인 GL, 데이터 라인 DL에 소정의 신호를 공급하고, 그 때에 축적 용량 CS 및 제2 TFT(40)의 기생 용량 C_{dtr}의 축적 전하를 검출함으로써 행한다. 즉, 제2 TFT(40)의 기생 용량이 소정의 값이면, 제2 TFT(40)가 정상인 것을 알 수 있다. 따라서, 제2 TFT(40)에 축적된 전하를 계측함으로써, 제1 TFT(10) 및 제2 TFT(40) 양방의 검사를 행할 수도 있다.

또, 제1 TFT, 용량 CS나, 주변의 드라이브 회로도, 제2 TFT(40)와 함께 형성되어 있고, 이들 회로를 이용하여 테스트용 신호를 공급할 수 있다.

그리고, 이 어레이 테스트에 의해, 결함 화소가 발견된 경우에는, 그 화소에 대하여, 제2 TFT(40)와 전원 라인 VL 또는 양극(50)(예를 들면, 콘택트 주위를 분리함)의 접속을 분리한다. 즉, TFT의 이상 등에 의한 쇼트의 발생 등 결함이 있었던 경우에는, 그 이상한 부분을 전기적으로 분리하여, 정상화한다.

즉, 도 2의 (a)에 도시한 바와 같이, TFT가 형성되고, 제1 평탄화 절연막(36)이 형성되고, 그 위에 양극(50)(도시 생략)이 형성된 단계에서, 어레이 테스트를 행한다. 그리고, 결함 화소에 대해서는, 레이저를 조사하여, 배선을 절단함으로써, 매트릭스 회로로부터 각 화소를 분리한다. 레이저의 조사는, 도면에서의 상방으로부터이든, 유리 기판(30)을 통하여 하방으로부터이든 무방하다. 이에 의해, 도 2의 (b)에 도시한 바와 같이, 레이저에 의해, 각 층이 제거되어, 홀이 발생한다. 이 예에서는, 전원 라인 VL과, 구동 트랜지스터(40) 사이의 배선을 절단하고 있다.

그리고, 제2 평탄화 절연막(60)을 형성함으로써, 도 2의 (c)에 도시한 바와 같이, 레이저의 조사에 의해 형성된 홀이 매립된다.

이어서, 제2 평탄화 절연막(60)의 양극(50)의 상방을 제거한 후에, 정공 수송층(52), 유기 발광층(54), 전자 수송층(56), 음극(58)을 순차적으로 적층하여, 소자 기판을 완성한다. 또한, 그 후 주변 부분에 시일재가 부착 형성된 밀봉 기판을 소자 기

판에 접촉하여 유기 EL 패널이 완성된다. 또, 도 1에서는, 유기 발광층(54)이 양극(50) 위에만 존재하고, 다른 층은 전면 존재하도록 기재했지만, 전자 수송층(56)은, Alq3 등 발광하는 재료를 포함하는 경우도 있어, 전자 수송층(56)도 유기 발광층(54)과 마찬가지로 발광부에만 한정하는 경우도 많다.

또, 레이저에는 YAG 레이저 등이 이용되고, YAG 레이저로서는 1064nm나 533nm의 레이저가 통상적으로 이용된다. 이러한 과장이면, TFT 능동층인 다결정 실리콘 등을 투과하여, 그 상층에 형성되어 있는 배선층을 절단할 수 있다.

이와 같이, 본 실시예에 따르면, 양극(50)이 형성된 단계에서, 어레이 테스트를 행하고, 결함 화소의 배선을 레이저에 의해, 절제하여, 그 화소의 암점화를 행한다. 본 유기 EL 표시 장치에서는, 양극(50) 형성 후에 더 두꺼운 제2 평탄화 절연막(60)의 형성 공정이 존재하고 있어서, 레이저 리페어에 의해 발생한 홀을, 그 후 제2 평탄화 절연막(60)에 의해 매립할 수 있어서, 레이저 조사에 의한 흠집을 효과적으로 리페어할 수 있다.

또한, 드레인/소스 양 전극 형성 후에, 레이저 리페어를 행하고, 제1 평탄화막 이후의 막 형성의 프로세스에서 레이저로 발생한 홀을 매립하는 것도 가능하다.

특히, 유기 EL 패널의 경우에는, 유기 EL 소자를 형성하는 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)으로 이루어지는 유기층은, 200nm 정도로 매우 얇아, 유기층에 의해서는 레이저에 의해 형성된 홀을 매립할 수 없지만, 본 실시예에 따르면 제2 평탄화 절연막에 의해, 효과적으로 홀을 매립할 수 있다.

따라서, TFT의 결함 등에 기인하는 배선의 결함을 리페어하여, 유기 EL 패널의 수율을 대폭 향상함과 함께, 레이저 조사에 의해 형성된 홀을 절연재에 의해 매립할 수 있으며, 그 후의 사용에 의해, 홀을 통해, 수분이나 산소 등이 유기층에 이르고, 유기층이 열화하여, 다크 스폿이 형성되는 것을 효과적으로 방지할 수 있다.

또, 어레이 테스트에 이용하는 어레이 테스터는, 유기층 형성 전의 TFT 형성 기관(소자 기관)에 대하여 실행하기 때문에, LCD의 테스트에 이용되는 것을 그대로 이용할 수도 있다. 물론, 유기 EL 전용의 테스터에 의해 테스트를 행해도 된다. 또한, 레이저를 조사하여 배선을 절단하는 레이저 리페어 장치에 대해서도 LCD의 제조에서 사용되는 것을 그대로 이용할 수 있다.

또한, LCD에서도 TFT 기관의 전극을 구성하기까지의 프로세스는, 거의 동일하다. 즉, 유리 기관 위에 화소마다 제1 TFT와 보조 용량이 형성된 후, 화소 전극이 형성되고, 이 단계에서, 어레이 테스트를 행하고, 불량 화소에 대하여, 레이저를 이용한 리페어를 행하면 된다.

상술한 예에서는, 레이저광을 이용하여 배선을 절단했지만, 이것에 한하지 않고, 전자선, FIB(Focused Ion Beam) 등을 이용할 수도 있다.

이와 같이, 본 실시예에 따르면, 화소 전극(50)을 형성한 단계에서, 즉 후속 공정에 비교적 두꺼운 절연막(제2 평탄화 절연막(60))의 형성 공정이 존재하기 전의 단계에서 검사를 행하고, 결함 화소에 대해서는 레이저에 의한 배선 절단을 행하여, 이상 단락 개소의 절단이나, 그 화소의 암점화가 행해진다. 그리고, 그 후에 제2 평탄화 절연막(60)을 필요한 영역에 형성함으로써, 레이저에 의해 발생한 홀을 수복할 수 있어, 완성한 표시 패널에서, 홀로부터 수분 등이 침입하는 것을 방지할 수 있다.

여기서, 제2 평탄화 절연막(60)은, 화소 전극(양극 : 50)의 중앙에서는, 개구하여, 그 단부를 커버하도록 패터닝되지만, 레이저 리페어되어 발생한 홀부에 제2 평탄화 절연막(60)을 남기는 패턴으로 함으로써, 특별한 공정의 추가없이 리페어 후의 홀의 커버가 가능하다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 표시 소자의 완성 전에 상기 도통 검사를 행하고, 결함 화소에 대해서는 레이저 등에 의한 배선 절단을 행하여, 그 화소의 암점화가 행해진다. 따라서, 그 후의 절연층 등의 형성 공정에서, 레이저 등에 의해 발생한 홀을 수복할 수 있어, 완성된 표시 패널에서, 홀로부터 수분 등이 침입하는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

표시 소자와, 상기 표시 소자와 전원 라인과의 접속을 제어하는 박막 트랜지스터를 화소마다 갖는 액티브 매트릭스 타입의 표시 패널의 제조 방법에 있어서,

기판 위에 상기 박막 트랜지스터를 형성하는 공정과,

상기 박막 트랜지스터 형성 후에 복수의 층을 적층하여, 표시 소자를 완성하는 공정을 포함하고,

상기 복수의 층을 적층하는 공정에는, 층 두께가 두꺼운 절연성의 평탄화 절연막을 형성하는 공정이 적어도 1개 포함되고,

상기 적어도 1개의 평탄화 절연막을 형성하는 공정 전의 공정에 있어서, 불량 화소에 대하여, 상기 표시 소자와 상기 전원 라인과의 접속을 절단하는 공정을 마련하는 표시 패널의 제조 방법.

청구항 2.

표시 소자와, 상기 표시 소자와 전원 라인과의 접속을 제어하는 박막 트랜지스터를 화소마다 갖는 액티브 매트릭스 타입의 표시 패널의 제조 방법에 있어서,

기판 위에 상기 박막 트랜지스터를 형성하는 공정과,

상기 박막 트랜지스터의 게이트 전극 및 그 배선을 형성하는 공정과,

상기 박막 트랜지스터의 소스·드레인 전극 및 이들 중 한쪽의 전극과 전원 라인과의 접속을 위한 배선을 형성하는 공정과,

상기 전원 라인에 전원을 접속함과 함께, 상기 박막 트랜지스터의 게이트 전극에의 신호 인가를 제어하고, 상기 박막 트랜지스터의 스위칭 동작에 따른 상기 전극의 상태를 검출하여 도통 검사를 행하는 공정과,

상기 검사 결과에 의해, 결함이 있다고 판정된 화소에 대하여, 상기 박막 트랜지스터를 통하는 상기 표시 소자와, 상기 전원 라인과의 배선을 절단하는 공정

을 포함하고,

상기 표시 소자의 완성 전에 상기 도통 검사 및 배선의 절단을 행하고, 상기 도통 검사 및 배선의 절단 후에, 평탄성이 좋은 절연막을 형성하는 공정을 포함하고, 상기 절연막에 의해 배선을 절단했을 때에 발생한 오목부를 수복하는 표시 패널의 제조 방법.

청구항 3.

제2항에 있어서,

상기 도통 검사는, 상기 표시 소자의 1개의 전극을 형성한 후에 행하는 표시 패널의 제조 방법.

청구항 4.

삭제

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 배선의 절단은, 레이저의 조사에 의해 행하는 표시 패널의 제조 방법.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 있어서,

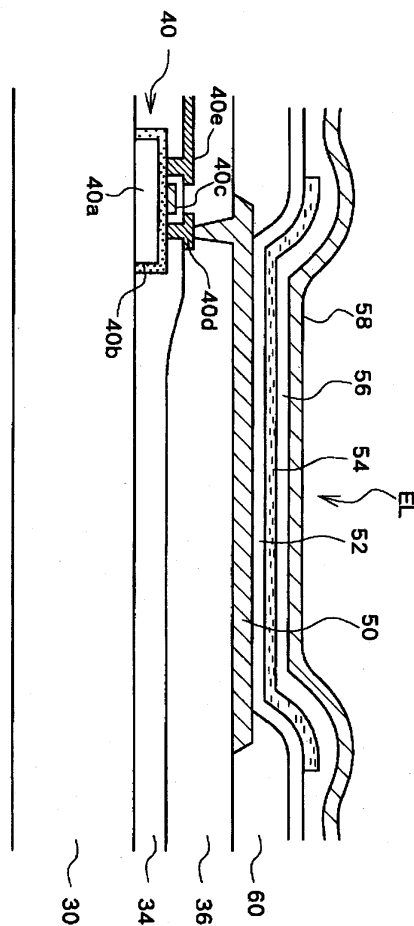
상기 표시 소자는, 유기 EL 소자인 표시 패널의 제조 방법.

청구항 7.

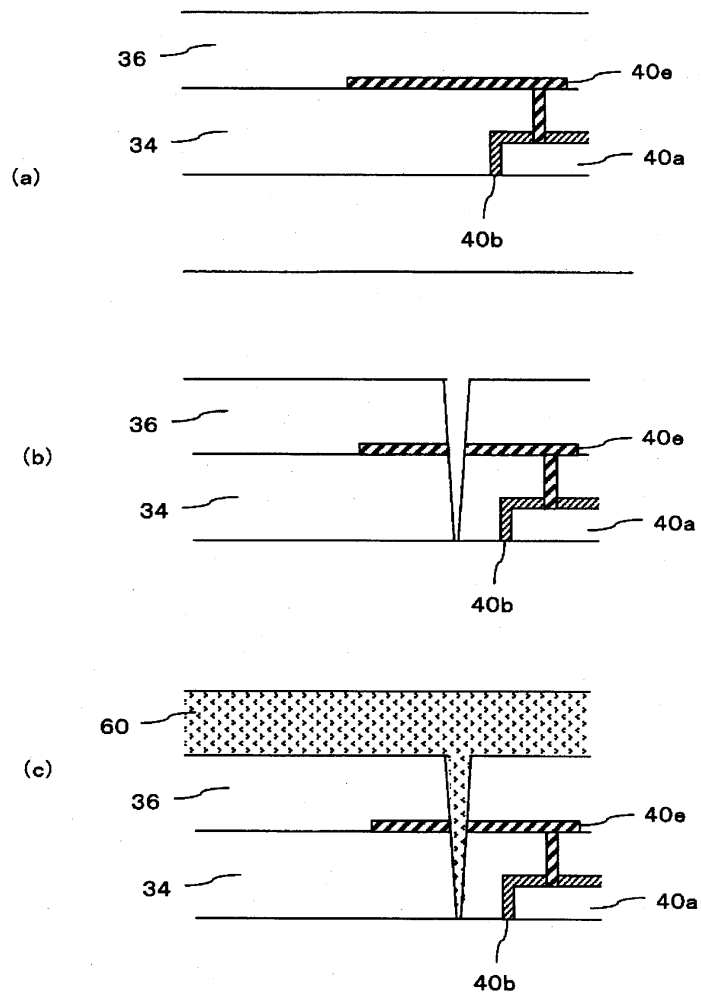
제1항 내지 제3항 중 어느 한 항의 방법에 의해서 제조된 표시 패널.

도면

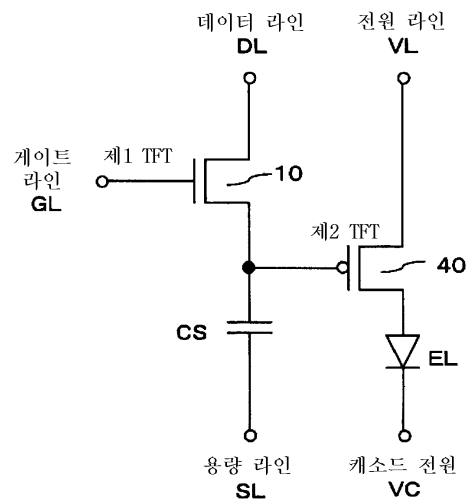
도면1



도면2



도면3



专利名称(译)	显示面板和显示面板的制造方法		
公开(公告)号	KR100630982B1	公开(公告)日	2006-10-09
申请号	KR1020040034369	申请日	2004-05-14
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	JINNO YUSHI		
发明人	JINNO,YUSHI		
IPC分类号	H05B33/10 G02F1/1362 G09F9/00 G09F9/30 H01L21/77 H01L27/12 H01L27/32 H01L51/50 H05B33/22		
CPC分类号	H01L2251/568 H01L27/1214 H01L27/3244 G02F2001/136268 H01L27/124 H01L27/1248		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2003137734 2003-05-15 JP		
其他公开文献	KR1020040098603A		
外部链接	Espacenet		

摘要(译)

使用激光对缺陷像素的敏化有效地执行了像素的劣化被抑制。在完成有机电致发光显示器的阳极的步骤中，形成阵列测试。并且用激光切割有关缺陷像素的布线。并且在由橡皮擦修复之后形成由激光产生的第二平坦化绝缘层（60）的孔。敏化，平坦化绝缘层，激光，阵列测试。

