

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널의 구동 장치를 보여주는 도면이다.

도 2는 도 1의 전계발광 디스플레이 패널의 구동을 위한 제어 및 구동 신호들을 보여주는 타이밍도이다.

도 3은 도 1의 피크-부팅 제어부의 내부 구성을 보여주는 회로도이다.

도 4는 도 1의 데이터 구동부의 내부 구성을 보여주는 회로도이다.

도 5는 도 4의 출력 회로의 내부 구성을 보여주는 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

1...주 제어부, 7...피크-부팅 제어부,

22_D...데이터 구동부, 22_S...주사 구동부,

9...프리-차지 회로, S_{DM}...영상 신호,

D_{DA}...영상 데이터, S_{DC}...데이터 제어 신호,

S_{SA}...주사 제어 신호, S_{PC}...프리-차지 제어 신호,

S_{PB1}...제1 피크-부팅 제어 신호, S_{PB2}...제2 피크-부팅 제어 신호.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전계-발광 디스플레이 패널의 구동 방법 및 장치에 관한 것으로서, 보다 상세하게는, 데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간의 시작 시점으로부터 설정 시간 동안에 전계발광 셀들의 기생 캐패시터들이 미리 충전되게 하는 피크-부팅 전류들을 데이터 전극 라인들 각각에 인가하는 전계발광 디스플레이 패널의 구동 방법 및 장치에 관한 것이다.

전계발광 디스플레이 패널의 구조에 대해서는 미국 특허 제6,236,443호에 잘 설명되어 있으므로 생략된다.

상기와 같은 통상적인 전계-발광 디스플레이 패널의 구동 장치에 있어서, 각각의 수평 구동 시간의 시작 시점으로부터 일정한 설정 시간 동안에 전계발광 셀들의 기생 캐패시터들이 미리 충전되게 하는 피크-부팅 전류들이 데이터 전극 라인들 각각에 인가된다.

하지만, 기생 캐패시터들의 캐패시턴스는, 제조 공정상의 편차로 인하여 균일하지 않을 뿐만 아니라, 전계발광 셀들에 동적으로 인가되는 전압 및 전류에 따라 다양하게 변한다. 그럼에도 불구하고, 통상적인 구동 장치에서처럼 피크-부팅 전류들을 일정한 설정 시간 동안에 각각의 기생 캐패시터들에 흘려주는 경우, 다음과 같은 문제점들이 있다.

첫째, 기생 캐패시터들의 캐패시턴스가 작은 경우, 기생 캐패시터들이 충전된 후에 전계발광 다이오드들에 피크-부팅 전류들이 흐른다. 이에 따라, 전계발광 다이오드들의 수명이 단축되고, 불필요한 구동 전력이 소비된다.

둘째, 기생 캐패시터들의 캐패시턴스가 큰 경우, 기생 캐패시터들이 완전하게 충전되지 못함으로 인하여, 피크-부팅 주기에 이어지는 실제 구동 시간에서 구동 전류들이 전계발광 다이오드들 뿐만이 아니라 기생 캐패시터들에게도 흐른다. 이에 따라 전계발광 다이오드들의 휘도가 자신의 계조에 상응하는 휘도보다 떨어진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 전계발광 다이오드들의 수명을 연장시키고, 불필요한 구동 전력의 소비를 방지하며, 전계발광 다이오드들의 휘도가 자신의 계조에 상응하는 휘도보다 떨어지지 않게 하는 전계발광 디스플레이 패널의 구동 방법 및 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명은, 데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간의 시작 시점으로부터 설정 시간 동안에 상기 전계발광 셀들의 기생 캐패시터들이 미리 충전되게 하는 피크-부팅 전류들을 상기 데이터 전극 라인들 각각에 인가하는 전계발광 디스플레이 패널의 구동 방법 및 장치이다. 여기에서, 상기 각각의 주사 전극 라인에 흐르는 전류량이 검출되고, 상기 주사 전극 라인들 각각에 흐르는 전류량이 기준 전류량을 초과하면 상기 피크-부팅 전류들의 공급이 중단된다.

본 발명의 상기 전계발광 디스플레이 패널의 구동 방법 및 장치에 의하면, 다음과 같은 효과들을 얻을 수 있다.

첫째, 기생 캐패시터들의 캐패시턴스가 작은 경우, 기생 캐패시터들이 충전된 후에 상기 피크-부팅 전류들의 공급이 중단된다. 이에 따라, 전계발광 다이오드들에 피크-부팅 전류들이 흐르지 않게 되므로, 전계발광 다이오드들의 수명이 연장되고, 불필요한 구동 전력의 소비가 방지될 수 있다.

둘째, 기생 캐패시터들의 캐패시턴스가 큰 경우, 기생 캐패시터들이 완전하게 충전될 때까지 상기 피크-부팅 전류들의 공급이 지속될 수 있다. 이에 따라, 피크-부팅 주기에 이어지는 실제 구동 시간에서 구동 전류들이 기생 캐패시터들에게 흐르지 않는다. 이에 따라, 전계발광 다이오드들의 휘도가 자신의 계조에 상응하는 휘도보다 떨어지지 않는다.

이하, 본 발명에 따른 바람직한 실시예가 상세히 설명된다.

도 1은 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널(32)의 구동 장치를 보여준다. 도 1에서 참조 부호 EC는 전계 발광 셀들을 가리키며, 이 전계발광 셀들(EC) 각각은 전계발광 다이오드 및 기생 캐패시터를 포함한다.

도 1을 참조하면, 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널(32)의 구동 장치는 주 제어부(1), 데이터 구동부(22_D), 주사 구동부(22_S), 피크-부팅 제어부(7), 및 프리-차지 회로(9)를 포함한다.

주 제어부(1)는 입력 영상 신호(S_{DM})를 처리하여 디스플레이 데이터 신호들(D_{DA}) 및 스위칭 제어 신호들(S_{DC}, S_{SA}, S_{PC})을 발생시킨다.

데이터 구동부(22_D)는 전계발광 디스플레이 패널(32)의 데이터 전극 라인들(3a 내지 3z)의 신호-입력단들에 연결된다. 데이터 구동부(22_D)는 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S_{DC})에 따라 디스플레이 데이터 신호들(D_{DA})에 상응하는 데이터 전류 신호들을 전류원들(8a 내지 8z)에서 생성하여 데이터 전극 라인들(3a 내지 3z)에 인가한다. 또한, 데이터 구동부(22_D)는, 각각의 수평 구동 주기(도 2의 T_{HD1}, T_{HD2})의 초기에서, 스위칭 제어 신호들(S_{DC})에 포함되어 있는 제1 피크-부팅 제어 신호(도 2의 S_{PB1}) 및 피크-부팅 제어부(7)로부터 별도로 입력되는 제2 피크-부팅 제어 신호(S_{PB2})에 따른 시간(도 2의 T_{PB1}, T_{PB2}, T_{PB3}) 동안에 피크-부팅 전류들(도 2의 I_{PK})을 데이터 전극 라인들(3a 내지 3z)에 인가한다.

주사 구동부(22_S)는 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S_{SA})에 따른 주사 구동 신호를 주사 전극 라인들(4a 내지 4z) 각각에 순차적으로 인가한다.

피크-부팅 제어부(7)는 주사 구동부(22_S)와 주사 전극 라인들(4a 내지 4z) 사이에 위치하여, 각각의 주사 전극 라인(4a 내지 4z)에 흐르는 전류량에 따른 제2 피크-부팅 제어 신호(S_{PB2})를 발생시킨다.

프리-차지 회로(9)는 스위칭 회로(25)와 예비 충전부(22)를 포함한다. 주 제어부(1)로부터의 프리-차지 제어 신호(S_{PC})에 따라 동작하는 스위칭 회로(25)는 데이터 전극 라인들(3a 내지 3z) 각각에 연결된 스위칭 소자들(25a 내지 25z)을 구비한다. 예비 충전부(22)는, 스위칭 회로(25)의 공통 출력 단자와 접지 단자 사이에 연결되어, 각각의 수평 구동 시간의 종료 직전에 방전될 전류에 의하여 예비 충전을 수행한다.

도 2는 도 1의 전계발광 디스플레이 패널(32)의 구동을 위한 제어 및 구동 신호들을 보여준다. 도 2에서, 참조 부호 S_{HS}는 주 제어부(도 1의 1)로부터 데이터 구동부(도 1의 22_D)에 입력되는 스위칭 제어 신호들(S_{DC})에 포함된 수평 동기 신호를 가리킨다. 참조 부호 S_{PC}는, 주 제어부(1)로부터 데이터 구동부(22_D)에 입력되는 스위칭 제어 신호들(S_{DC})에 포함된 프리-차지 제어 신호, 및 주 제어부(1)로부터 프리-차지 회로(9)로 입력되는 프리-차지 제어 신호를 가리킨다. 참조 부호 S_{PB1}은 주 제어부(1)로부터 데이터 구동부(22_D)에 입력되는 스위칭 제어 신호들(S_{DC})에 포함된 제1 피크-부팅 제어 신호를 가리킨다. 참조 부호 S_{PB2}는 피크-부팅 제어부(7)로부터 데이터 구동부(22_D)에 입력되는 제2 피크-부팅 제어 신호를 가리킨다. 참조 부호 S_{CV}는 어느 한 데이터 전극 라인(3a 내지 3z)의 전위를 가리킨다. 그리고 참조 부호 S_{CI}는 어느 한 데이터 전극 라인(3a 내지 3z)의 전류량을 각각 가리킨다.

도 1 및 2를 참조하면, 수평 동기 신호(S_{HS})의 전위가 접지 전위(V_{GND})로부터 높은 전위(V_{HS_H})로 상승하는 시점에서 각각의 수평 구동 주기(T_{HD1}, T_{HD2})가 시작된다.

제1 수평 구동 주기(T_{HD1})에 있어서, 제1 피크-부팅 제어 신호(S_{PB1})가 높은 전위(V_{PC_H})로부터 접지 전위(V_{GND})로 하강하는 시간(t3 내지 t4 시간) 중에서, 제2 피크-부팅 제어 신호(S_{PB2})가 접지 전위(V_{GND})를 유지하는 시간(t3 내지 t3a 시간) 동안에 최대 전류량(I_{PK})의 피크-부팅 전류를 데이터 전극 라인들(3a 내지 3z)에 인가한다. 이에 따라, 각 전계발광 셀(EC)의 기생 캐패시터에서 적절한 충전을 일으키게 한다. 이로 인하여, t4 내지 t5 시간의 실제 구동 시간에서 기생 캐패시터의 간섭을 최소화할 수 있다. 이 피크-부팅 동작에 대해서는 도 3 내지 5를 참조하여 보다 상세히 설명될 것이다.

t4 내지 t5 시간의 실제 구동 시간에서는, 계조 데이터에 비례한 구동 전류(I_{GRAY})가 데이터 전극 라인들(3a 내지 3z)로부터 각 전계발광 셀들(EC)에 흐른다.

끝으로, 프리차지 시간(t5 내지 t6)에서는, 스위칭 회로(25)의 스위칭 소자들(25a 내지 25z)이 온(On)된다. 이로 인하여, t4 내지 t5 시간의 실제 구동 시간의 종료 후 방전될 전류의 일부가 접지 단자로 방전된다. 또한, t4 내지 t5 시간의 실제 구동 시간의 종료 후 방전될 전류의 일부는 예비 충전부(22)에서 충전이 수행되게 한다. 보다 상세하게는, 데이터 전극 라인들(3a 내지 3z)로부터 예비 충전부(22) 안의 제너 다이오드(22)를 통하여 접지 단자로 전류가 흐르며, 데이터 전극 라인들(3a 내지 3z)의 전압이 제너 다이오드(22)의 항복 전압(breakdown voltage)과 같아지는 시점에서 전류가 흐르지 않는다. 이와 같이 예비 충전부(22)에 충전된 전압 즉, 제너 다이오드(22)의 항복 전압은 다음 수평 구동 주기에서 데이터 구동 전압을 낮추는 역할을 한다.

상기 제1 수평 구동 주기(T_{HD1})의 동작 순서는 제2 수평 구동 주기(T_{HD2})에서도 동일하게 적용된다. 하지만, 각각의 수평 구동 주기(T_{HD1}, T_{HD2})에서, 피크-부팅 시간들(T_{PB1}, T_{PB2})이 서로 다를 수 있다. 제2 수평 구동 주기(T_{HD2})에 이어지는 제3 수평 구동 주기에 있어서, 제2 피크-부팅 제어 신호(S_{PB2})가 접지 전위(V_{GND})를 유지함에 따라 피크-부팅 시간(T_{PB3})이 최대 시간이 된다. 이 피크-부팅 동작에 대해서는 도 3 내지 5를 참조하여 보다 상세히 설명될 것이다.

도 1 내지 3을 참조하면, 도 1의 피크-부팅 제어부(7)는 저항기들(R1 내지 Rn), 증폭기들(AR1 내지 ARn), 및 비교기(CR)를 포함한다. 저항기들(R1 내지 Rn)은 주사 전극 라인들(4a 내지 4z) 각각에 연결된다. 증폭기들(AR1 내지 ARn)은 저항기들(R1 내지 Rn) 양단에 인가되는 전압을 증폭한다. 비교기(CR)는 증폭기들(AR1 내지 ARn) 각각으로부터의 전압을 기준 전압(V_{REF})과 비교하여 제2 피크-부팅 제어 신호(S_{PB2})를 출력한다.

여기에서, 어느 한 주사 전극 라인(예를 들어, 4a)의 대다수의 전계발광 셀들(EC)의 기생 캐패시터들이 피크-부팅 전류에 의하여 충전 완료된 시점에서 비교기(CR)가 높은 출력을 발생하도록 설계되어 있다. 예를 들어, m 개의 데이터 전극 라인들이 존재하는 경우, 제1 주사 전극 라인(4a)의 $2m/3$ 개의 전계발광 셀들(EC)이 충전 완료되는 시점에서 비교기(CR)가 높은 출력을 발생하도록 설계되어 있다. 이에 따라, 데이터 구동부(22_D)가 피크-부팅 동작을 중단한다. 이에 따라, 적절한 시간 동안에 효율적인 피크-부팅이 수행될 수 있다. 이와 관련된 내용은 도 4 및 5를 참조하여 보다 상세히 설명될 것이다.

도 4를 참조하면, 도 1의 데이터 구동부(22_D)는 인터페이스(30), 래치 회로(31), 디지털-아날로그 변환기들(32), 및 출력 회로(33)를 포함한다. 도 2 및 4를 참조하여, 도 1의 데이터 구동부(22_D)의 내부 동작을 설명하면 다음과 같다.

래치 회로(31)와 디지털-아날로그 변환기들(32)은 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 수평 동기 신호(H_{SYNC})에 따라 동작한다.

래치 회로(31)는, 주 제어부(1)로부터 인터페이스(30)를 통하여 입력되는 디스플레이 데이터 신호들(D_{DA})을 주기적으로 저장하는 한편, 각각의 수평 구동 시간의 디스플레이 데이터 신호들(D_{DA})을 주기적으로 출력한다.

디지털-아날로그 변환기들(32)은, 래치 회로(31)로부터의 현재 수평 구동 시간의 디스플레이 데이터 신호들 각각을 데이터 전압 신호들(V_{D1} 내지 V_{Dm})로 변환시킨다.

출력 회로(33)는, 주 제어부(1)로부터의 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 제1 피크-부팅 제어 신호(S_{PB1}) 및 피크-부팅 제어부(도 1 및 3의 7)로부터 별도로 입력되는 제2 피크-부팅 제어 신호(S_{PB2})에 따른 시간(T_{PB1}, T_{PB2}, T_{PB3}) 동안에 피크-부팅 전류들을 데이터 전극 라인들(도 1의 3a 내지 3z)에 인가한다. 또한, 디지털-아날로그 변환기들(32)로부터의 데이터 전압 신호들(V_{D1} 내지 V_{Dm})에 따른 데이터 전류 신호들을 데이터 전극 라인들(3a 내지 3z)에 인가한다. 그리고, 주 제어부(1)로부터의 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호(S_{PC})에 따라 구동 전류 신호들(S_{C1} 내지 S_{Cm})을 제어한다. 이 출력 회로(33)와 관련된 내용도 도 2, 4 및 5를 참조하여 보다 상세히 설명하면 다음과 같다.

도 2, 4 및 5를 참조하면, 데이터 전극 라인들(도 1의 3a 내지 3z)에 데이터 전류 신호들(S_{C1} 내지 S_{Cm})이 인가되고, 데이터 구동부(22_D)의 출력 회로(33)는 이 구동 전류 신호들(S_{C1} 내지 S_{Cm}) 각각에 대하여 4 개의 트랜지스터들이 형성된다.

데이터 전극 라인들(3a 내지 3z)이 m 개인 경우, m 개의 제1 트랜지스터들(TR11 내지 TRm1)과 m 개의 제2 트랜지스터들(TR12 내지 TRm2)의 드레인(Drain) 전극들에는 설정 바이어스 전압(V1)이 인가된다. 제1 트랜지스터들(TR11 내지 TRm1) 각각의 게이트(Gate) 전극들에는 디지털-아날로그 변환기들(32)로부터의 각각의 데이터 전압 신호(V_{D1} 내지 V_{Dm})가 인가된다. 주 제어부(1)로부터의 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 제1 피크-부팅 제어 신호(S_{PB1})는 제2 트랜지스터들(TR12 내지 TRm2)의 게이트(Gate) 전극들에 인가된다.

제1 트랜지스터들(TR11 내지 TRm1)의 소오스(Source) 전극들 각각은 m 개의 제3 트랜지스터들(TR13 내지 TRm3)의 드레인(Drain) 전극들 각각에 연결된다. 제2 트랜지스터들(TR12 내지 TRm2)의 소오스(Source) 전극들 각각은 m 개의 제4 트랜지스터들(TR14 내지 TRm4)의 드레인(Drain) 전극들 각각에 연결된다.

주 제어부(1)로부터의 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호(S_{PC})는 제3 트랜지스터들(TR13 내지 TRm3)의 게이트(Gate) 전극들에 인가된다. 피크-부팅 제어부(도 1 및 3의 7)로부터 별도로 입력되는 제2 피크-부팅 제어 신호(S_{PB2})는 제4 트랜지스터들(TR14 내지 TRm4)의 게이트(Gate) 전극들에 인가된다. 제3 트랜지스터들(TR13 내지 TRm3)의 소오스(Source) 전극들 각각과 제4 트랜지스터들(TR14 내지 TRm4)의 소오스(Source) 전극들 각각은 서로 연결되어, m 개의 데이터 전극 라인들(3a 내지 3z) 각각에 인가되는 구동 전류 신호들(S_{C1} 내지 S_{Cm})을 발생시킨다.

도 2 및 5를 참조하여, 도 5의 출력 회로(33)의 제1 수평 구동 주기(T_{HD1})에서의 동작을 살펴보면 다음과 같다. 이 동작은 제2 수평 구동 주기(T_{HD2})에서도 동일하다. 물론, 각각의 수평 구동 주기(T_{HD1} , T_{HD2})에서, 피크-부팅 시간들(T_{PB1} , T_{PB2})은 서로 다르다.

제1 피크-부팅 제어 신호(S_{PB1})가 높은 전위(V_{PC_H})로부터 접지 전위(V_{GND})로 하강하는 시간($t3$ 내지 $t4$ 시간) 중에서 제2 피크-부팅 제어 신호(S_{PB2})가 접지 전위(V_{GND})를 유지하는 시간($t3$ 내지 $t3a$ 시간) 동안에는 m 개의 제2 트랜지스터들($TR12$ 내지 $TRm2$) 및 m 개의 제4 트랜지스터들($TR14$ 내지 $TRm4$)이 모두 온(On) 상태가 된다. 이에 따라, 최대 전류량(I_{PK})의 피크-부팅 전류가 구동 전류 신호들(S_{C1} 내지 S_{Cm})로서 데이터 전극 라인들(3a 내지 3z)에 인가된다. 여기에서, m 개의 제2 트랜지스터들($TR12$ 내지 $TRm2$)은 다른 트랜지스터들보다 더 높은 전류를 발생시키는 특성을 가진다.

제1 피크-부팅 제어 신호(S_{PB1})가 높은 전위(V_{PC_H})로부터 접지 전위(V_{GND})로 하강하는 시간($t3$ 내지 $t4$ 시간) 중에서 제2 피크-부팅 제어 신호(S_{PB2})가 상승하여 높은 전위(V_{PB_H})인 시간($t3a$ 내지 $t4$)에는, m 개의 제2 트랜지스터들($TR12$ 내지 $TRm2$)이 온(On) 상태이지만, m 개의 제4 트랜지스터들($TR14$ 내지 $TRm4$)이 모두 오프(Off) 상태가 된다. 또한, 제1 트랜지스터들($TR11$ 내지 $TRm1$)의 게이트들 각각에는 데이터 전압 신호들(V_{D1} 내지 V_{Dm}) 각각이 인가되고, 제3 트랜지스터들($TR13$ 내지 $TRm3$)이 온(On) 상태이다. 이에 따라, 데이터 전압 신호들(V_{D1} 내지 V_{Dm})에 따른 각각의 구동 전류(I_{GRAY})가 구동 전류 신호들(S_{C1} 내지 S_{Cm})로서 데이터 전극 라인들(3a 내지 3z)에 인가된다. 이 각각의 구동 전류(I_{GRAY})는 $t4$ 내지 $t5$ 시간의 실제 구동 시간에서도 동일하게 흐른다.

끝으로, 프리차지 시간($t5$ 내지 $t6$)에서는, 주 제어부(1)로부터의 스위칭 제어 신호들(S_{DC})에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호(S_{PC})가 높은 전위(V_{PC_H})를 가지므로, 제3 트랜지스터들($TR13$ 내지 $TRm3$)이 오프(Off) 상태가 된다. 또한, 제2 트랜지스터들($TR12$ 내지 $TRm2$)이 오프(Off) 상태이다. 또한, 스위칭 회로(도 1의 25)의 스위칭 소자들(도 1의 25a 내지 25z)이 모두 온(On) 상태가 되므로, 구동 전류 신호들(S_{C1} 내지 S_{Cm})에 의하여 전계발광 셀들(EC)에 전류가 흐르지 않는다.

발명의 효과

이상 설명된 바와 같이, 본 발명에 따른 전계발광 디스플레이 패널의 구동 방법 및 장치에 의하면, 다음과 같은 효과들을 얻을 수 있다.

첫째, 기생 캐패시터들의 캐패시턴스가 작은 경우, 기생 캐패시터들이 충전된 후에 상기 피크-부팅 전류들의 공급이 중단된다. 이에 따라, 전계발광 다이오드들에 피크-부팅 전류들이 흐르지 않게 되므로, 전계발광 다이오드들의 수명이 연장되고, 불필요한 구동 전력의 소비가 방지될 수 있다.

둘째, 기생 캐패시터들의 캐패시턴스가 큰 경우, 기생 캐패시터들이 완전하게 충전될 때까지 상기 피크-부팅 전류들의 공급이 지속될 수 있다. 이에 따라, 피크-부팅 주기에 이어지는 실제 구동 시간에서 구동 전류들이 기생 캐패시터들에 흐르지 않는다. 이에 따라, 전계발광 다이오드들의 휘도가 자신의 계조에 상응하는 휘도보다 떨어지지 않는다.

본 발명은, 상기 실시예에 한정되지 않고, 청구범위에서 정의된 발명의 사상 및 범위 내에서 당업자에 의하여 변형 및 개량될 수 있다.

(57) 청구의 범위

청구항 1.

데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간의 시작 시점으로부터 설정 시간 동안에 상기 전계발광 셀들의 기생 캐패시터들이 미리 충전되게 하는 피크-부팅 전류들을 상기 데이터 전극 라인들 각각에 인가하는 전계발광 디스플레이 패널의 구동 방법에 있어서,

상기 각각의 주사 전극 라인에 흐르는 전류량을 검출하는 단계;

상기 주사 전극 라인들 각각에 흐르는 전류량이 기준 전류량을 초과하면 상기 피크-부팅 전류들의 공급을 중단하는 단계를 포함한 전계발광 디스플레이 패널의 구동 방법.

청구항 2.

데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간의 시작 시점으로부터 설정 시간 동안에 상기 전계발광 셀들의 기생 캐패시터들이 미리 충전되게 하는 피크-부팅 전류들을 상기 데이터 전극 라인들 각각에 인가하는 전계발광 디스플레이 패널의 구동 장치에 있어서,

상기 각각의 주사 전극 라인에 흐르는 전류량을 검출하고, 상기 주사 전극 라인들 각각에 흐르는 전류량이 기준 전류량을 초과하면 상기 피크-부팅 전류들의 공급을 중단하는 전계발광 디스플레이 패널의 구동 장치.

청구항 3.

제2항에 있어서,

디스플레이 데이터 신호들 및 스위칭 제어 신호들을 발생시키는 주 제어부;

상기 데이터 전극 라인들의 신호-입력단들에 연결되고, 상기 주 제어부로부터 입력되는 스위칭 제어 신호들에 따라 디스플레이 데이터 신호들에 상응하는 데이터 전류 신호들을 생성하여 상기 데이터 전극 라인들에 인가하며, 각각의 수평 구동 주기의 초기에서, 상기 스위칭 제어 신호들에 포함되어 있는 제1 피크-부팅 제어 신호 및 별도로 입력되는 제2 피크-부팅 제어 신호에 따른 시간 동안에 상기 피크-부팅 전류들을 상기 데이터 전극 라인들에 인가하는 데이터 구동부;

상기 주 제어부로부터 입력되는 스위칭 제어 신호들에 따른 주사 구동 신호를 상기 주사 전극 라인들 각각에 순차적으로 인가하는 주사 구동부; 및

상기 주사 구동부와 상기 주사 전극 라인들 사이에 위치하여, 상기 각각의 주사 전극 라인에 흐르는 전류량에 따른 상기 제2 피크-부팅 제어 신호를 발생시키는 피크-부팅 제어부를 포함한 전계발광 디스플레이 패널의 구동 장치.

청구항 4.

제3항에 있어서, 상기 데이터 구동부가,

상기 제어부로부터의 디스플레이 데이터 신호들을 주기적으로 저장하는 래치 회로;

상기 래치 회로로부터의 디스플레이 데이터 신호들 각각을 데이터 전압 신호들로 변환시키는 디지털-아날로그 변환기들; 및

상기 스위칭 제어 신호들에 포함되어 있는 제1 피크-부팅 제어 신호 및 별도로 입력되는 제2 피크-부팅 제어 신호에 따른 시간 동안에 상기 피크-부팅 전류들을 상기 데이터 전극 라인들에 인가하고, 상기 디지털-아날로그 변환기들로부터의 데이터 전압 신호들에 따른 상기 데이터 전류 신호들을 상기 데이터 전극 라인들에 인가하는 출력 회로를 포함한 전계발광 디스플레이 패널의 구동 장치.

청구항 5.

제3항에 있어서, 상기 피크-부팅 제어부가,

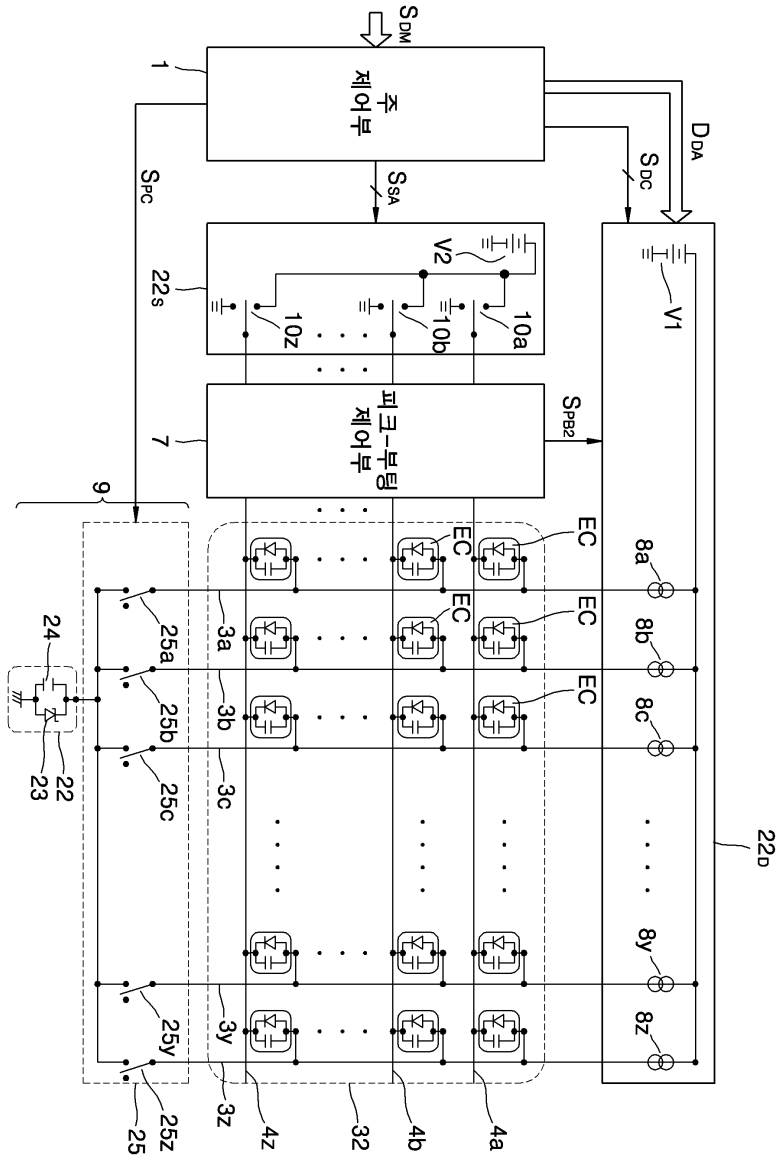
상기 주사 전극 라인들 각각에 연결된 저항기들,

상기 저항기들 양단에 인가되는 전압을 증폭하는 증폭기들,

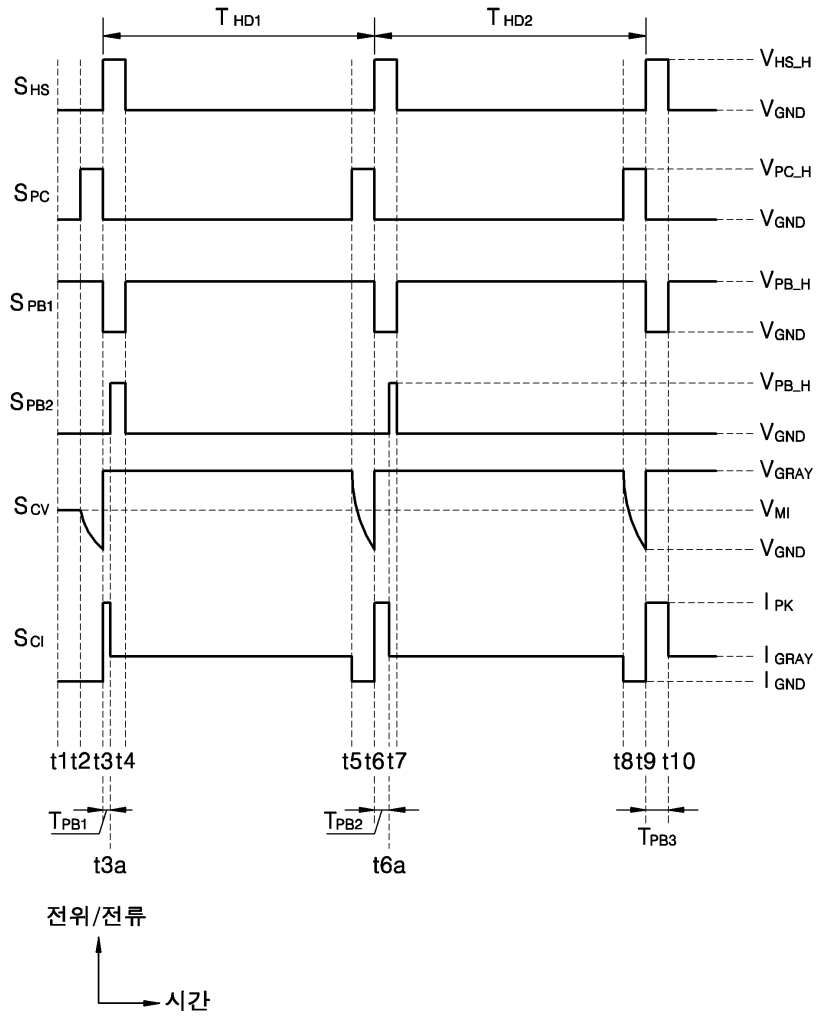
상기 증폭기들 각각으로부터의 전압을 기준 전압과 비교하여 상기 제2 피크-부팅 제어 신호를 출력하는 비교기를 포함한 전계발광 디스플레이 패널의 구동 장치.

도면

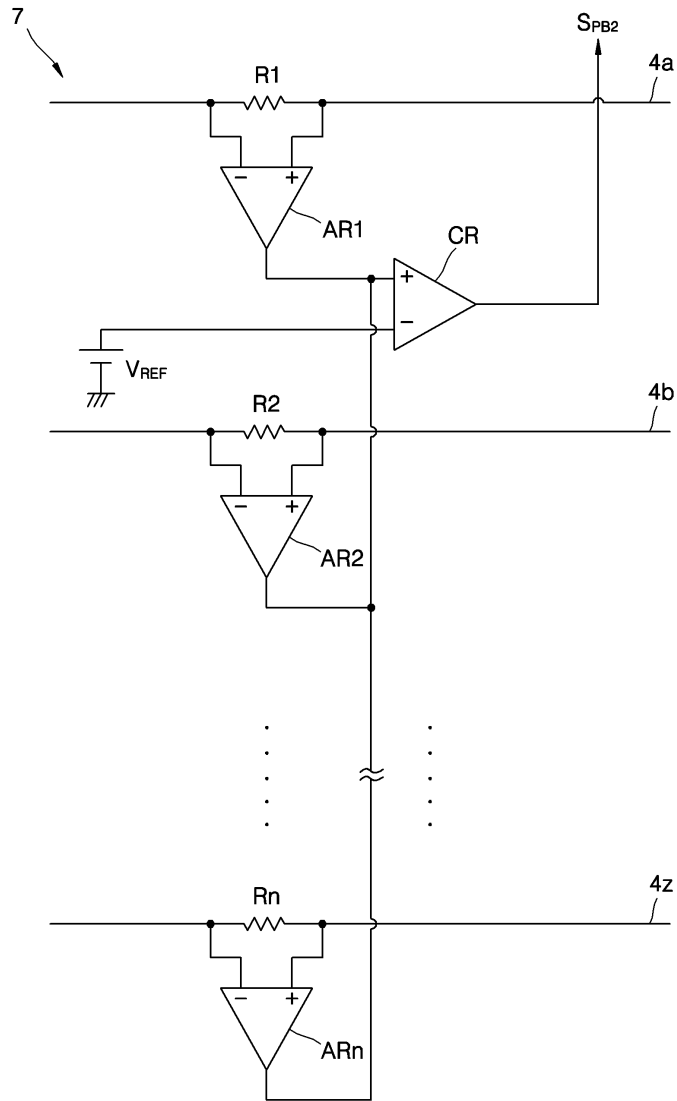
도면1



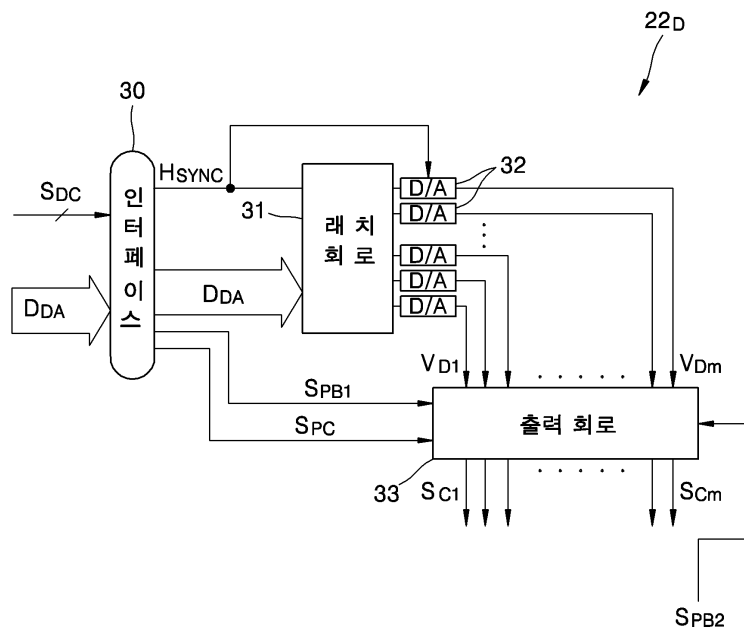
도면2



도면3



도면4



专利名称(译)	用于驱动电致发光显示面板以实现有效峰值启动的方法和装置		
公开(公告)号	KR100615300B1	公开(公告)日	2006-08-25
申请号	KR1020050004459	申请日	2005-01-18
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK JUNGKOOK 박정국 HONG SEUNGKYUN 홍승균 LEE ILHAN 이일한		
发明人	박정국 홍승균 이일한		
IPC分类号	G09G3/30		
CPC分类号	G09G3/32 G09G2330/025 G09G2330/026		
其他公开文献	KR1020060083586A		
外部链接	Espacenet		

摘要(译)

ELD面板的驱动方法和装置本发明涉及ELD面板的驱动方法和装置，该ELD面板被形成为扫描电极线，该固定间隔与数据电极线交叉并且分别授权峰值启动电流，其中电致发光电池的寄生电容器充电到ELD。从数据电极线预先设定时间的每个水平驱动时间的开始时间点开始在交叉域形成电致发光电池的电池板。这里，在每个扫描电极线中检测流动的电流。如果扫描电极线的流动电流量分别超过参考电流，则暂停峰值启动电流的供应。

