

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월13일 10-0601379 2006년07월07일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0098255 2004년11월26일	(65) 공개번호 (43) 공개일자	10-2006-0059082 2006년06월01일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 신동용
 서울 관악구 봉천1동 969-37

(74) 대리인 박상수

심사관 : 최정운

(54) 순차 주사 및 비월 주사 겸용 스캔 드라이버 및 이를이용하는 유기 전계 발광 장치

요약

순차 주사 및 비월 주사 동작을 선택적으로 수행할 수 있는 스캔 드라이버가 개시된다. 스캔 드라이버는 다수의 플립 플롭들이 직렬로 배열된 시프트 레지스터, 다수의 NAND 게이트들로 구성된 홀수 라인 선택부 및 다수의 NAND 게이트들로 구성된 짝수 라인 선택부를 가진다. 홀수 라인 선택부 또는 짝수 라인 선택부에 입력되는 제어 신호들인 홀수 라인 제어 신호 및 짝수 라인 제어 신호에 따라 스캔 드라이버는 순차 주사 동작 또는 비월 주사 동작을 수행하게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 순차 주사 및 비월 주사 겸용 스캔 드라이버를 도시한 회로도이다.

도 2는 본 발명의 제1 실시예에 따른 플립 플롭을 도시한 회로도이다.

도 3은 본 발명의 제1 실시예에 따라 상기 도 1의 스캔 드라이버의 순차 주사 동작을 설명하기 위한 타이밍도이다.

도 4a 및 도 4b는 본 발명의 제1 실시예에 따라 상기 도 1의 스캔 드라이버의 비월 주사 동작을 설명하기 위한 타이밍도들이다.

도 5a 및 도 5b는 본 발명의 제2 실시예에 따라, 스캔 드라이버가 적용된 유기 전계 발광 장치를 도시한 블록도 및 상기 유기 전계 발광 장치를 구성하는 화소 구동 회로도이다.

도 6a 및 도 6b는 본 발명의 제2 실시예에 따라 상기 도 5a에 도시된 유기 전계 발광 장치의 순차 주사 및 비월 주사를 설명하기 위한 타이밍도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 시프트 레지스터 120 : 홀수 라인 선택부

140 : 짝수 라인 선택부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 장치의 스캔 드라이버에 관한 것으로, 더욱 상세하게는 순차 주사(Progressive Scan) 및 비월 주사(Interlaced Scan)을 선택적으로 수행하는 스캔 드라이버에 관한 것이다.

스캔 드라이버는 평판 디스플레이 장치에 필수적으로 요구되는 회로이다. 상기 스캔 드라이버는 평판 패널상에 행과 열로 배치된 다수의 화소들을 구동하는데 사용된다. 즉, 스캔 드라이버는 다수의 화소들을 구동하기 위해 하나의 행을 단위로 선택된 행에 배치된 화소들을 발광시키거나, 선택된 화소들에 데이터가 인가되도록 한다.

통상 한 프레임의 영상을 구성하기 위해, 한 프레임의 영상이 디스플레이되는 주기를 규정하는 수직 동기 신호와 한 프레임의 영상을 구성하는 다수의 화소 라인들 중 각각의 라인을 구동하는 수평 동기 신호가 요구된다. 수평 동기 신호가 활성화되는 동안, 상기 수평 동기 신호가 인가되는 라인에 배치된 화소들에는 영상 데이터가 입력된다.

수동 매트릭스 타입의 디스플레이 장치의 경우, 영상 데이터의 입력과 동시에 화소가 발광을 개시하고, 능동 매트릭스 타입의 디스플레이 장치의 경우, 입력되는 영상 데이터를 저장한 다음, 소정의 시간이 경과된 후 하나의 라인 전체를 발광시키는 동작을 수행한다.

액정 디스플레이 장치, 유기전계발광장치, 플라즈마 디스플레이 장치 등에서, 상기 수평 동기 신호를 주사 신호로 부른다. 따라서, 이하 각각의 라인을 선택하여 활성화하는 신호를 주사 신호라 칭한다.

상기 주사 신호를 화소들이 배치된 패널에 공급하는 회로가 스캔 드라이버이다. 스캔 드라이버는 패널을 구성하는 각각의 라인들에 주사 신호를 공급한다. 주사 신호의 공급을 통해 각각의 라인을 선택하고 활성화하는 방법은 순차 주사 및 비월 주사가 있다.

순차 주사는 패널을 구성하는 라인들에 순차적으로 주사 신호를 공급한다. 즉, 제1 라인부터 최종 라인까지 순서대로 주사 신호를 공급하는 주사 방식이다.

비월 주사는 두 번에 걸쳐 한 프레임의 화면을 표시한다. 즉, 한 프레임 주기의 1/2에 해당하는 홀수 필드 구간에서 홀수번째의 라인들에 순차적으로 주사 신호가 공급되고, 두 번째는 한 프레임 주기의 나머지 1/2에 해당하는 짝수 필드 구간에서 짝수번째의 라인들에 순차적으로 주사 신호가 공급되는 주사 방식이다.

따라서, 하나의 평판 디스플레이 장치는 순차 주사 및 비월 주사 중 어느 하나를 고정적으로 선택하여 디스플레이하게 된다. 이는 순차 주사 및 비월 주사는 주사 방식이 서로 상이하며, 순차 주사와 비월 주사를 선택적으로 수행할 수 있는 스캔 드라이버를 구비하지 않기 때문이다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 제1 목적은, 순차 주사와 비월 주사를 선택적으로 수행할 수 있는 스캔 드라이버를 제공하는데 있다.

본 발명의 제2 목적은, 순차 주사와 비월 주사를 선택적으로 수행할 수 있는 유기 전계 발광 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 제1 목적을 달성하기 위한 본 발명은, 개시 펄스 및 클럭 신호를 입력받고, 저장된 정보를 한 클럭 주기의 시간 간격으로 출력하기 위한 시프트 레지스터; 상기 시프트 레지스터의 홀수번째 플립 플롭의 출력 및 홀수 라인 제어 신호를 수신하고, 논리 조합하여 홀수 주사 신호를 발생하기 위한 홀수 라인 선택부; 및 상기 시프트 레지스터의 짝수번째 플립 플롭의 출력 및 짝수 라인 제어 신호를 수신하고, 논리 조합하여 짝수 주사 신호를 발생하기 위한 짝수 라인 선택부를 포함하는 순차 주사 및 비월 주사 겸용 스캔 드라이버를 제공한다.

상기 제2 목적을 달성하기 위한 본 발명은, 다수의 화소들을 가지고, 행과 열로 배치된 화소 어레이부; 상기 화소 어레이부에 주사 신호 및 발광 제어 신호를 공급하고, 순차 주사 및 비월 주사 동작을 선택적으로 수행하기 위한 스캔 드라이버; 및 상기 스캔 드라이버의 주사 신호에 의해 선택된 화소에 데이터를 인가하기 위한 데이터 드라이버를 포함하고, 상기 스캔 드라이버는 개시 펄스 및 클럭 신호를 입력받고, 저장된 정보를 한 클럭 주기의 시간 간격으로 출력하기 위한 시프트 레지스터; 상기 시프트 레지스터의 홀수번째 플립 플롭의 출력 및 홀수 라인 제어 신호를 수신하고, 논리 조합하여 홀수 주사 신호를 발생하기 위한 홀수 라인 선택부; 및 상기 시프트 레지스터의 짝수번째 플립 플롭의 출력 및 짝수 라인 제어 신호를 수신하고, 논리 조합하여 짝수 주사 신호를 발생하기 위한 짝수 라인 선택부를 가지는 것을 특징으로 하는 유기 전계 발광 장치를 제공한다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

실시예 1

도 1은 본 발명의 제1 실시예에 따른 순차 주사 및 비월 주사 겸용 스캔 드라이버를 도시한 회로도이다.

도 1을 참조하면, 상기 스캔 드라이버는 시프트 레지스터(100), 홀수 라인 선택부(120) 및 짝수 라인 선택부(140)를 가진다.

시프트 레지스터는 패널의 주사 라인의 수에 상응하는 플립 플롭들로 구성된다. 따라서, 패널이 m개의 주사 라인을 구비하는 경우, 상기 플립 플롭들의 개수는 적어도 m개이다. 각각의 플립 플롭에는 클럭 신호 CLK가 입력된다. 또한, 플립 플롭의 형태에 따라서, 플립 플롭에는 클럭 신호 CLK 및 반전된 클럭 신호 /CLK가 입력될 수도 있다. 상기 각각의 플립 플롭은 저장된 정보를 입력되는 클럭 신호 CLK에 동기하여 한 클럭 주기마다 다음 플립 플롭으로 전달한다.

따라서, 개시 펄스 VSP를 통해 플립 플롭 FF1에 저장된 데이터의 출력 SR1은 1클럭 지연된 후, 플립 플롭 FF2의 출력 신호 SR2로 나타난다. 즉, 플립 플롭들 FF1, FF2, FF3, ..., FFm의 출력 신호들 SR1, SR2, SR3, ..., SRm은 1 클럭씩 지연된 형태로 출력된다.

상기 홀수 라인 선택부(120)는 다수의 NAND게이트들로 구성된다. 홀수 라인 선택부(120)를 구성하는 NAND 게이트들에는 홀수 라인 제어 신호 ODD가 공통으로 입력된다. 또한, 홀수 라인 선택부의 NAND 게이트들에는 홀수번째 플립 플롭들의 출력 신호 SR1, SR3, ..., SRm-1이 입력된다.

즉, 제1 NAND게이트(121)는 홀수 라인 제어 신호 ODD 및 플립 플롭 FF1의 출력 신호 SR1을 입력으로 가지며, 수신된 입력 신호들을 논리 조합하여 제1 주사 신호 select[1]을 발생한다. 또한, 제3 NAND 게이트(123)는 홀수 라인 제어 신호 ODD 및 플립 플롭 FF3의 출력 신호 SR3을 입력으로 가지며, 수신된 입력 신호들을 논리 조합하여 제3 주사 신호 select[3]을 발생한다. 상술한 NAND 게이트의 동작은 m-1번째 NAND게이트(125)에 이르기까지 동일한 원리로 이루어진다. 따라서, 상기 홀수 라인 선택부(120)의 동작에 의해 홀수 주사 신호가 발생하게 된다.

상기 짝수 라인 선택부(140)는 다수의 NAND게이트들로 구성된다. 짝수 라인 선택부(140)를 구성하는 NAND 게이트들에는 짝수 라인 제어 신호 EVEN이 공통으로 입력된다. 또한, 짝수 라인 선택부(140)의 NAND 게이트들에는 짝수번째 플립 플롭들의 출력 신호 SR2, SR4, ..., SRm이 입력된다.

즉, 제2 NAND게이트는 짝수 라인 제어 신호 EVEN 및 플립 플롭 FF2의 출력 신호 SR2을 입력으로 가지며, 수신된 입력 신호들을 논리 조합하여 제2 주사 신호 select[2]를 발생한다. 또한, 제4 NAND 게이트는 짝수 라인 제어 신호 EVEN 및 플립 플롭 FF4의 출력 신호 SR4을 입력으로 가지며, 수신된 입력 신호들을 논리 조합하여 제4 주사 신호 select[4]를 발생한다. 상술한 NAND 게이트의 동작은 m번째 NAND게이트에 이르기까지 동일한 원리로 이루어진다.

스캔 드라이버가 순차 주사 동작을 수행하는 경우, 상기 홀수 라인 제어 신호 ODD는 하이 레벨이 되고, 홀수번째 NAND 게이트들은 입력되는 신호를 반전한다. 따라서, 제1 주사 신호 select[1]은 플립 플롭 FF1의 출력 신호 SR1이 반전된 신호이며, 제3 주사 신호 select[3]은 플립 플롭 FF3의 출력 신호 SR3이 반전된 신호이고, 제m-1 주사 신호 select[m-1]은 플립 플롭 FFm-1의 출력 신호 SRm-1이 반전된 신호이다.

또한 스캔 드라이버의 순차 주사 동작에서, 상기 짝수 라인 제어 신호 EVEN도 하이 레벨이 되어 짝수번째 NAND 게이트들에 입력되는 신호를 반전한다. 따라서, 제2 주사 신호 select[2]는 플립 플롭 FF2의 출력 신호 SR2가 반전된 신호이며, 제4 주사 신호 select[4]는 플립 플롭 FF4의 출력 신호 SR4가 반전된 신호이고, 제m 주사 신호 select[m]은 플립 플롭 FFm의 출력 신호 SRm이 반전된 신호이다.

즉, 스캔 드라이버는 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN이 하이 레벨인 경우에 순차 주사 동작을 수행한다.

또한, 스캔 드라이버가 비월 주사 동작을 수행하는 경우, 한 프레임의 1/2 주기인 홀수 필드 구간에서 상기 홀수 라인 제어 신호 ODD는 하이 레벨이 된다. 따라서, 홀수 필드 구간에서 상기 홀수번째 NAND 게이트들은 입력되는 신호를 반전한다.

또한, 한 프레임의 나머지 1/2 주기인 짝수 필드 구간에서 상기 홀수 라인 제어 신호 ODD는 로우 레벨이 된다. 따라서, 짝수 필드 구간에서 상기 홀수번째 NAND 게이트들은 홀수번째 플립 플롭들의 출력 레벨에 상관없이 하이 레벨의 신호를 출력하는 마스크 동작을 수행한다.

또한, 스캔 드라이버가 비월 주사 동작을 수행하는 경우, 홀수 필드 구간에서 상기 짝수 라인 제어 신호 EVEN는 로우 레벨이 된다. 따라서, 홀수 필드 구간에서 상기 짝수번째 NAND 게이트들은 하이 레벨의 신호를 출력한다. 또한, 홀수 필드 구간에서 상기 짝수 라인 제어 신호 EVEN은 하이 레벨이 된다. 따라서, 홀수 필드 구간에서 상기 짝수번째 NAND 게이트들은 입력되는 신호를 반전한다.

즉, 상기 도 1에 도시된 스캔 드라이버는 순차 주사 동작을 수행하는 경우, 홀수 라인 선택부(120) 및 짝수 라인 선택부(140)를 모두 활성화한다. 또한, 상기 스캔 드라이버가 비월 주사 동작을 수행하는 경우, 홀수 필드 구간에서 홀수 라인 선택부만을 활성화하고, 짝수 필드 구간에서는 짝수 라인 선택부만을 활성화한다.

도 2는 본 발명의 제1 실시예에 따른 플립 플롭을 도시한 회로도이다.

도 2를 참조하면, 플립 플롭은 제1 래치(200) 및 제2 래치(210)로 구성된다.

상기 제1 래치(210)는 클럭 신호 CLK의 로우 레벨에서 입력 신호를 샘플링하기 위한 제1 샘플러(sampler)(202) 및 상기 제1 샘플러(202)의 출력을 클럭 신호 CLK의 하이 레벨에서 저장하기 위한 제1 홀더(holder)(204)를 가진다. 클럭 신호 CLK의 로우 레벨동안 제1 샘플러(202)로 입력된 신호는 클럭 신호 CLK의 하이 레벨 동안 홀더(204)에 의해 저장된다. 입력 신호의 주파수는 클럭 신호 CLK가 가지는 주파수보다 적으므로, 상기 제1 래치(200)는 클럭 신호 CLK의 로우 레벨에서 입력 신호를 샘플링하고, 하이 레벨 동안 샘플링된 입력 신호를 저장한다.

제2 래치(210)는 클럭 신호 CLK의 하이 레벨에서 입력 신호를 샘플링하기 위한 제2 샘플러(212) 및 상기 제2 샘플러(212)의 출력을 클럭 신호 CLK의 로우 레벨에서 저장하기 위한 제2 홀더(214)를 가진다.

상기 플립 플롭의 동작을 이하 설명한다.

클럭 신호 CLK가 로우 레벨을 가지는 동안, 제1 샘플러(202)는 입력 신호를 수신하고 반전된 신호를 제1 홀더(204)로 출력한다. 상기 제1 홀더(204)는 하이 레벨에서 동작하므로 클럭 신호 CLK가 로우 레벨을 가지는 동안, 반전된 신호를 저장하지 않는다. 클럭 신호 CLK가 하이 레벨로 천이되면, 제1 샘플러(202)의 입력 신호 수신 동작은 차단되며, 제1 홀더(204)는 반전된 신호를 저장한다. 이와 동시에 제2 샘플러(212)는 입력 신호를 수신한다. 제2 샘플러(212)로 입력된 제1

홀더(204)의 신호는 제2 홀더(214)의 인버터를 통해 출력된다. 다만, 클럭 신호 CLK가 하이 레벨로 천이된 기간동안 제2 홀더(214)는 수신된 데이터의 저장 동작을 수행하지 않으며, 클럭 신호 CLK가 다시 로우 레벨로 천이된 기간 동안 수신된 데이터의 저장 동작을 수행하게 된다.

따라서, 상기 도 2에 도시된 플립 플롭은 클럭 신호 CLK의 상승 에지 직전에 입력된 데이터를 저장하고, 클럭 신호 CLK의 1주기후 새로운 샘플링 동작이 수행될 때까지 1주기 동안 출력하게 된다.

도 3은 본 발명의 제1 실시예에 따라 상기 도 1의 스캔 드라이버의 순차 주사 동작을 설명하기 위한 타이밍도이다.

도 3 및 상기 도 1을 참조하여 스캔 드라이버의 순차 주사 동작을 이하 설명한다.

상기 도 1에서 설명된 바와 같이 스캔 드라이버의 순차 주사 동작은 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN이 하이 레벨을 가짐에 따라, 홀수 라인 선택부(120) 및 짝수 라인 선택부(140)의 NAND 게이트들이 플립 플롭의 출력 신호들을 반전하는 동작이다.

먼저, 프레임 주파수와 동일 주파수를 가지고 개시 펄스 VSP가 플립 플롭 FF1에 입력된다. 상기 플립 플롭 FF1은 클럭 신호 CLK의 로우 레벨 구간에서 입력되는 개시 펄스 VSP를 샘플링한다. 즉, 플립 플롭 FF1은 클럭 신호 CLK의 상승 에지 직전의 개시 펄스 VSP를 샘플링하고, 샘플링된 데이터를 출력한다. 따라서 플립 플롭 FF1의 출력 신호 SR1은 제1 주기 동안 하이 레벨을 가진다.

상기 출력 신호 SR1은 제1 NAND(121) 게이트와 플립 플롭 FF2로 입력된다. 홀수 라인 제어 신호 ODD는 하이 레벨을 가지므로 제1 NAND 게이트(121)는 출력 신호 SR1을 반전하여 출력한다. 따라서 제1 주사 신호 select[1]은 제1 주기 동안 로우 레벨을 가지게 된다.

플립 플롭 FF2로 입력된 출력 신호 SR1은 1주기 지연되어 출력된다. 즉, 클럭 신호 CLK의 제2 주기의 상승 에지 직전에 샘플링된 데이터는 제2 주기의 상승 에지에서 출력된다. 따라서 플립 플롭 FF2는 출력 신호 SR1에 비해 1주기 지연된 출력 신호 SR2를 출력한다.

플립 플롭 FF2의 출력 신호 SR2는 제2 NAND 게이트(142) 및 플립 플롭 FF3으로 입력된다. 짝수 라인 제어 신호 EVEN은 하이 레벨을 가지므로 제2 NAND 게이트는 출력 신호 SR2를 반전하여 출력한다. 따라서 제2 주사 신호 select[2]는 제2 주기 동안 로우 레벨을 가지게 된다.

계속해서, 플립 플롭 FF3은 출력 신호 SR2를 입력으로 가지고, 상기 출력 신호 SR2보다 1주기 지연된 출력 신호 SR3을 출력한다. 출력 신호 SR3은 제3 NAND 게이트(123)에 입력되고, 제3 NAND 게이트(123)는 출력 신호 SR3을 반전하여 제3 주기 동안 로우 레벨을 가지는 제3 주사 신호 select[3]을 출력한다.

상술한 동작은 최종 플립 플롭 FFm으로부터 출력 신호 SRm이 출력되고, 제m 주사 신호 select[m]이 형성될 때까지 진행된다.

즉, 상술한 과정을 통해 한 프레임 동안, 모든 주사 신호가 순차적으로 발생하는 순차 주사 동작이 수행된다.

도 4a 및 도 4b는 본 발명의 제1 실시예에 따라 상기 도 1의 스캔 드라이버의 비월 주사 동작을 설명하기 위한 타이밍도들이다.

도 4a 및 상기 도 1을 참조하여 스캔 드라이버의 비월 주사 동작을 이하 설명한다.

스캔 드라이버의 비월 주사 동작은 상기 도 1에서 설명된 바와 같이 한 프레임을 홀수 필드 구간과 짝수 필드 구간으로 분리한다. 홀수 필드 구간에는 홀수 주사 신호들 select[1,3,...,m-1]이 활성화되고, 짝수 필드 구간에는 짝수 주사 신호들 select[2,4,...,m]이 활성화된다.

홀수 필드 구간 동안 홀수 주사 신호들을 활성화하기 위해 홀수 라인 제어 신호 ODD는 하이 레벨이 된다. 또한, 짝수 필드 구간 동안 짝수 주사 신호들을 활성화하기 위해 짝수 라인 제어 신호 EVEN은 하이 레벨이 된다.

상기 도 4a에 도시된 비월 주사 동작은 한 프레임의 약 1/2 주기인 홀수 필드 구간에서 홀수번째의 플립 플롭의 출력 신호를 반전하여 출력하고, 짝수번째의 플립 플롭의 출력 신호는 마스크(masking)한다. 홀수번째 플립 플롭의 출력 신호를 반전하기 위해 홀수 라인 제어 신호 ODD는 홀수 필드 구간에서 하이 레벨을 유지한다. 또한, 짝수번째 플립 플롭의 출력 신호를 마스크하기 위해 짝수 라인 제어 신호 EVEN은 홀수 필드 구간에서 로우 레벨을 유지한다.

또한 한 프레임의 나머지 1/2 주기인 짝수 필드 구간 동안, 홀수번째의 플립 플롭의 출력 신호는 마스크되며, 짝수번째의 플립 플롭의 출력 신호는 반전되어 짝수 라인 선택부의 NAND 게이트로부터 출력된다. 홀수번째의 플립 플롭의 출력 신호를 마스크하기 위해 홀수 라인 제어 신호 ODD는 짝수 필드 구간 동안 로우 레벨을 가진다. 또한, 짝수번째 플립 플롭의 출력 신호를 반전하기 위해 짝수 라인 제어 신호 EVEN은 짝수 필드 구간 동안 하이 레벨을 유지한다.

먼저, 프레임 주파수의 약 2배의 주파수를 가지고 개시 펄스 VSP가 플립 플롭 FF1에 입력된다. 또한, 상기 도 4a의 클럭 주파수는 상기 도 3에서 도시된 순차 주사 동작시의 클럭 주파수의 약 2배이다. 따라서, 도 4a에서, 개시 펄스 VSP는 적어도 2 클럭 주기 동안의 하이 레벨 구간을 가진다. 따라서, 각각의 플립 플롭의 출력 신호는 2 주기 동안의 하이 레벨 구간을 가진다.

다만, 플립 플롭 FF1로부터 출력되는 출력 신호 SR1, 플립 플롭 FF2로부터 출력되는 출력 신호 SR2, 플립 플롭 FF3으로부터 출력되는 출력 신호 SR3,..., 플립 플롭 FFm으로부터 출력되는 출력 신호 SRm의 생성 과정은 상기 도 3에서 도시된 바와 동일하다. 따라서, 플립 플롭들의 출력 신호들 SR1, SR2, SR3,..., SRm-1 및 SRm은 1 주기 만큼 지연된 하이 레벨 구간을 가진다. 또한, 각각의 출력 신호들은 2 클럭 주기의 하이 레벨을 가지므로, 플립 플롭들의 출력 신호들은 인접하는 출력 신호와 1 클럭 주기 동안 중복되는 하이 레벨을 가진다.

클럭 신호 CLK의 n주기 동안, 상기 플립 플롭들의 m개의 출력 신호들은 1 주기 간격으로 하이 레벨을 가진다. 또한, 클럭 신호 CLK의 나머지 n+1주기 동안, 상기 플립 플롭들은 m개의 출력 신호들은 1 주기 간격으로 하이 레벨을 가진다.

홀수 필드 구간 동안, 홀수 라인 제어 신호 ODD는 하이 레벨을 가진다. 다만, 플립 플롭 FF1의 출력 신호 SR1과의 논리 연산시 전송 선로를 통한 시간 지연 등의 타이밍 마진을 고려하여 홀수 라인 제어 신호 ODD는 클럭 신호 CLK의 제1 주기 보다 반 클럭 선행하여 하이 레벨로 상승한다. 하이 레벨을 가지는 홀수 라인 제어 신호 ODD에 의해 홀수 라인 선택부의 NAND 게이트들은 홀수번째 플립 플롭의 출력 신호들 SR1, SR3,..., SRm-1을 반전하여 출력한다.

또한, 홀수 필드 구간 동안, 짝수 라인 제어 신호 EVEN은 로우 레벨을 가진다. 다만, 타이밍 마진을 고려하여 짝수 라인 제어 신호 EVEN은 클럭 신호 CLK의 제1 주기 보다 반 클럭 지연되어 로우 레벨로 하강한다. 로우 레벨을 가지는 짝수 라인 제어 신호 EVEN에 의해 짝수 라인 선택부의 NAND 게이트들은 마스크된다. 따라서 짝수번째의 주사 신호들 select[2,4,...,m]은 하이 레벨을 가지게 된다.

한 프레임의 나머지 1/2 주기인 짝수 필드 구간 동안, 홀수 라인 제어 신호 ODD는 로우 레벨을 가지고, 짝수 라인 제어 신호 EVEN은 하이 레벨을 가진다. 따라서, 짝수 필드 구간에서 홀수 번째 플립 플롭의 출력은 마스크되고, 홀수 라인 주사 신호 select[1,3,...,m-1]는 하이 레벨을 가진다. 또한, 짝수 라인 선택부는 짝수번째 플립 플롭들의 출력 신호들 SR2, SR4,..., SRm을 반전하여 출력한다. 따라서, 홀수 라인 주사 신호 select[2,4,...,m]은 각각 2주기 클럭 동안 로우 레벨을 가진다.

다만, 짝수 필드 구간은 홀수 필드 구간에 비해 1클럭 주기를 더 가진다. 이는 최종 플립 플롭의 출력 신호 SRm이 반전되어 온전한 신호가 주사 라인에 전달되도록 하기 위한 것이다.

도 4b는 상기 도 4a에 비해 홀수 필드 구간 동안 포함된 클럭의 수와 짝수 필드 구간 동안 포함된 클럭의 수가 서로 일치한다. 즉, 한 프레임의 홀수 필드 구간은 n+1 클럭 주기를 가지며, 짝수 필드 구간 또한 n+1 클럭 주기를 가진다. 상기 도 4a에서는 홀수 필드 구간에서 m번째 플립 플롭의 출력 신호 SRm은 홀수 필드 구간 및 짝수 필드 구간에 걸쳐 하이 레벨을 가지나, 상기 도 4b에서는 홀수 필드 구간내에 포함된 2클럭 주기 동안 하이 레벨을 가진다.

플립 플롭의 출력 신호의 생성, 홀수 라인 선택부의 동작 및 짝수 라인 선택부의 동작은 상기 도 4a에서 설명된 바와 동일하므로 상세한 설명은 생략한다.

실시예 2

도 5a 및 도 5b는 본 발명의 제2 실시예에 따라, 스캔 드라이버가 적용된 유기 전계 발광 장치를 도시한 블록도 및 상기 유기 전계 발광 장치를 구성하는 화소 구동 회로도이다.

도 5a를 참조하면, 유기 전계 발광 장치는 스캔 드라이버(301), 데이터 드라이버(303) 및 화소 어레이부(305)를 가진다.

스캔 드라이버(301)는 상기 도 1에 도시된 바대로 순차 주사 및 비월 주사를 선택적으로 수행한다. 또한, 상기 스캔 드라이버(301)는 m개의 주사 라인들을 통해 주사 신호들을 인가한다. 또한, m개의 발광 제어 라인들을 통해 발광 제어 신호들을 인가한다.

데이터 드라이버(303)는 발광 제어 신호 및 주사 신호에 의해 선택된 화소 어레이부(305)의 라인에 대해 데이터를 인가한다. 인가되는 데이터는 전압 또는 전류의 형태를 가질 수 있다. 인가되는 데이터가 전압의 형태를 가지는 경우, 유기 전계 발광 장치는 전압 기입형이며, 인가되는 데이터가 전류의 형태를 가지는 경우, 유기 전계 발광 장치는 전류 기입형이 된다.

상기 도 5a에서는 전류 기입형 유기 전계 발광 장치를 도시하였으나, 유기 전계 발광 장치는 전압 기입형도 될 수 있음은 당업자에게 공지的事实이다.

화소 어레이부(305)는 다수의 화소로 구성된다. 제1행에 배치된 화소들에는 제1 주사 신호 select[1] 및 제1 발광 제어 신호 emit[1]이 인가되고, 제2행에 배치된 화소들에는 제2 주사 신호 select[2] 및 제2 발광 제어 신호 emit[2]가 인가된다. 즉, 하나의 수평 라인을 형성하는 한 행의 화소들에는 적어도 하나의 주사 신호와 발광 제어 신호가 인가된다.

도 5b는 본 발명의 제2 실시예에 따라 전류 기입형 화소 구동 회로를 도시한 회로도이다.

도 5b를 참조하면, 상기 화소 회로는 4개의 트랜지스터들 M1, M2, M3 및 M4, 프로그램 커패시터 Cst 및 유기 전계 발광 소자 OLED를 가진다.

구동 트랜지스터 M1은 화소의 발광 동작시, 데이터 라인 data[n]을 통해 싱크(sink)되는 데이터 전류와 동일한 전류를 트랜지스터 M4로 공급한다. 데이터 전류와 동일한 전류를 발생하기 위해 구동 트랜지스터 M1의 게이트는 프로그램 커패시터 Cst의 일측 단자 및 트랜지스터 M2에 연결된다. 또한, 구동 트랜지스터 M1은 ELVdd에 연결되고, 트랜지스터 M3 및 트랜지스터 M4에 연결된다.

스위칭 트랜지스터 M2는 주사 신호 select[m]에 따라 턴-온되고, 데이터 라인과 프로그램 커패시터 Cst 사이에 전압 경로를 형성하는 스위칭 트랜지스터이다. 또한, 스위칭 트랜지스터 M2는 구동 트랜지스터 M1의 게이트에 소정의 바이어스 전압을 인가하여, 데이터 전류에 상응하는 구동 트랜지스터 M1의 Vgs를 형성한다.

트랜지스터 M3는 주사 신호 select[m]에 따라 턴-온되고, 데이터 전류 프로그램시, 구동 트랜지스터 M1로부터 공급되는 전류를 데이터 라인 data[n]으로 공급하는 역할을 수행한다.

발광 제어 트랜지스터 M4는 발광 제어 신호 emit[m]에 따라 턴-온되고, 발광 동작시, 구동 트랜지스터 M1으로부터 공급되는 전류를 유기 전계 발광 소자 OLED에 공급하는 역할을 수행한다..

상기 전류 구동형 화소 회로의 동작은 데이터 전류에 상응하는 전압 Vgs를 프로그램 커패시터 Cst에 저장하고, 발광 제어 트랜지스터 M3을 턴-온시켜 데이터 전류와 실질적으로 동일한 전류를 유기 전계 발광 소자 OLED에 공급하는 것이다.

먼저, 발광 제어 신호 emit[m]이 하이 레벨로 천이되면, 발광 제어 트랜지스터 M4는 턴-오프 상태가 된다. 따라서, 유기 전계 발광 소자 OLED의 발광 동작은 차단된다.

발광 제어 트랜지스터 M4가 오프된 상태에서, 주사 신호 select[m]이 로우 레벨로 천이되는 경우, 스위칭 트랜지스터 M2 및 트랜지스터 M3은 턴-온된다. 로우 레벨의 주사 신호 select[m]에 의해 화소는 선택되고 데이터의 프로그램 동작이 시작된다.

로우 레벨의 주사 신호 select[m]에 의해 상기 트랜지스터들 M2 및 M3은 턴-온된다. 상기 트랜지스터들 M2 및 M3이 턴-온된 상태에서, 데이터 라인 data[n]을 통해 데이터 전류 Idata가 싱크되면, Vdd, 구동 트랜지스터 M1 및 트랜지스터

M3로 구성된 전류 경로가 형성된다. 또한, 데이터 전류 Idata가 싱크되는 경우, 스위칭 트랜지스터 M2는 트라이오드 영역에서 동작한다. 즉, 프로그램 커패시터 Cst 및 구동 트랜지스터 M1의 게이트로는 DC전류가 실질적으로 흐르지 않고 구동 트랜지스터 M1을 턴-온시키기 위한 바이어스 전압만이 구동 트랜지스터 M1의 게이트 단자로 공급된다.

또한, ELVdd로부터 Idata를 데이터 라인 data[n]에 공급하기 위해 상기 구동 트랜지스터 M1은 포화 영역에서 동작됨이 바람직하다. 구동 트랜지스터 M1이 포화 영역에서 동작하는 경우, 구동 트랜지스터 M1을 통해 흐르는 전류인 Idata는 다음의 [수학식 1]로 구해진다.

수학식 1

$$I_{data} = K(V_{gs} - V_{th})^2$$

상기 [수학식 1]에서 K는 비례 상수이며, Vgs는 구동 트랜지스터 M1의 게이트와 소스간의 전압차이다. 또한, Vth는 구동 트랜지스터 M1의 문턱 전압을 나타낸다.

데이터 전류 Idata가 구동 트랜지스터 M1 및 트랜지스터 M3를 통해 흐르는 동안, 데이터 전류 Idata에 상응하는 구동 트랜지스터 M1의 Vgs는 프로그램 커패시터 Cst에 저장된다.

계속해서, 주사 신호 select[m]이 하이 레벨로 천이되는 경우, 트랜지스터들 M2 및 M3는 턴-오프 상태가 되고, 프로그램 커패시터 Cst는 Vgs의 전압차를 유지하게 된다.

이어서, 발광 제어 신호 emit[m]이 하이 레벨에서 로우 레벨로 천이되는 경우, 발광 제어 트랜지스터 M4는 턴-온된다. 상기 발광 제어 트랜지스터 M4의 턴-온에 의해 구동 트랜지스터 M1은 포화영역에서 동작하게 되고, 프로그램 커패시터 Cst에 저장된 전압 Vgs에 상응하는 전류인 Idata는 트랜지스터 M4로 흐르게 된다. 데이터 전류 Idata는 발광 제어 트랜지스터 M4를 통해 유기 전계 발광 소자 OLED로 공급되고, 유기 전계 발광 소자 OLED는 데이터 전류 Idata에 상응하는 휘도를 가지고 발광하게 된다.

상술한 바대로 전류 기입형 화소 회로의 구성은 다양하게 변경될 수 있다.

도 6a 및 도 6b는 본 발명의 제2 실시예에 따라 상기 도 5a에 도시된 유기 전계 발광 장치의 순차 주사 및 비월 주사를 설명하기 위한 타이밍도들이다.

도 6a는 순차 주사 동작을 수행하는 유기 전계 발광 장치의 동작을 설명하기 위한 타이밍도이다.

도 6a를 참조하면, 유기 전계 발광 장치는 데이터 드라이버(303)에 의한 전류 기입 동작을 위해 발광 제어 신호 emit[1,2,...,m]을 화소 어레이부(305)에 인가한다. 또한, 발광 제어 신호 emit[1,2,...,m]이 주사 신호와 시간적으로 동기되는 경우, 화소에 대한 데이터 전류 프로그램 동작과 발광 동작이 동시에 발생되는 문제가 발생되므로 주사 신호 select[1,2,...,m]과 발광 제어 신호 emit[1,2,...,m]은 소정의 시간 간격을 두고 화소에 인가된다. 따라서, 주사 신호 select[1,2,...,m]의 로우 레벨 기간은 발광 제어 신호의 하이 레벨 기간보다 짧도록 설정된다.

주사 신호 select[1,2,...,m]의 로우 레벨 기간이 발광 제어 신호의 하이 레벨 기간보다 짧도록 설정하기 위해 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN은 펄스열의 형태로 인가된다.

상기 도 1에서 도시된 바대로, 홀수 라인 제어 신호 ODD가 로우 레벨인 경우, 홀수번째 플립 플롭들의 출력 신호들 SR1, SR3,..., SRm-1은 마스킹되어 출력된다. 따라서, 홀수 주사 신호들 select[1,3,...,m-1]은 하이 레벨을 가진다.

또한, 짝수 라인 제어 신호 EVEN이 로우 레벨인 경우, 짝수번째 플립 플롭들의 출력 신호들 SR2, SR4,..., SRm은 마스킹되어 출력된다. 따라서, 짝수 주사 신호들 select[2,4,...,m]은 하이 레벨을 가진다.

따라서, 펄스열 형태로 인가되는 홀수 라인 제어 신호 ODD에 의해 홀수 주사 신호들 select[1,3,...,m-1]에는 홀수 라인 제어 신호 ODD의 로우 레벨 부분이 반영된다. 즉, 홀수번째 플립 플롭의 출력 신호가 하이 레벨을 가지는 구간에서, 홀수 라인 제어 신호 ODD가 짧은 시간 동안 로우 레벨을 가지는 경우, 홀수 라인 제어 신호 ODD의 로우 레벨 구간 동안 홀수 주사 신호 select[1,3,...,m-1]은 하이 레벨이 된다. 따라서, 상기 도 6a에 도시된 홀수 주사 신호는 상기 도 3에서 도시된 홀수 주사 신호들보다 짧은 로우 레벨 시간 간격을 가지고 형성된다.

또한, 홀수번째 발광 제어 신호들 $emit[1,3,\dots,m-1]$ 은 상기 도 6a에 도시된 홀수 주사 신호들의 로우 레벨 구간보다 넓은 하이 레벨 구간을 가진다. 홀수번째 발광 제어 신호 $emit[1,3,\dots,m-1]$ 은 홀수번째 플립 플롭의 출력 신호와 실질적으로 동일한 파형을 가진다. 따라서 홀수번째 발광 제어 신호 $emit[1,3,\dots,m-1]$ 은 홀수번째 플립 플롭의 출력 신호를 이용하여 형성될 수 있으며, 실시의 형태에 따라 별도의 파형 발생 회로를 이용하여 형성될 수 있다.

상술한 파형의 형성 과정은 짝수번째 주사 신호들 $select[2,4,\dots,m]$ 의 형성 과정에서도 동일하게 적용된다. 따라서, 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN에 의해 제1 발광 제어 신호 $emit[1]$ 및 제1 주사 신호 $select[1]$, 제2 발광 제어 신호 $emit[2]$ 및 제2 주사 신호 $select[2],\dots$ 및 제m 발광 제어 신호 $emit[m]$ 및 제m 주사 신호는 순차적으로 형성된다.

발광 제어 신호 $emit[1,2,\dots,m]$ 이 하이 레벨을 가지는 동안, 상기 발광 제어 신호 $emit[1,2,\dots,m]$ 이 인가되는 화소는 발광이 차단된다. 또한, 상기 발광 제어 신호 $emit[1,2,\dots,m]$ 과 시간 마진을 가지는 주사 신호 $select[1,2,\dots,m]$ 이 입력되면, 데이터 전류의 프로그램 동작이 개시된다. 상기 주사 신호 $select[1,2,\dots,m]$ 이 하이 레벨로 상승하면, 상기 화소에 대한 프로그램 동작은 종료되며, 주사 신호 $select[1,2,\dots,m]$ 의 상승 에지에 대해 시간 마진을 가지고 형성되는 발광 제어 신호 $emit[1,2,\dots,m]$ 의 하강 에지부터 프로그램된 화소는 발광 동작을 개시하게 된다.

도 6b는 비월 주사 동작을 수행하는 유기 전계 발광 장치의 동작을 설명하기 위한 타이밍도이다.

도 6b는 상기 도 4b의 타이밍도에 발광 제어 신호들 $emit[1,2,\dots,m]$ 이 부가된 것이다. 또한, 주사 신호의 로우 레벨 구간을 발광 제어 신호의 하이 레벨 구간보다 짧게 하기 위해, 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN의 파형은 상기 도 4b에 도시된 파형과 다른 모양을 가진다.

홀수 필드 구간에서 홀수 라인 제어 신호 ODD에 의해 홀수번째 주사 신호들 $select[1,3,\dots,m-1]$ 이 활성화된다. 다만, 홀수 라인 제어 신호 ODD는 1주기마다 로우 레벨 구간을 가지므로, 로우 레벨 구간에서 홀수번째 플립 플롭의 출력들은 마스크된다. 따라서, 각각의 발광 제어 신호가 가지는 하이 레벨 구간보다 각각의 주사 신호의 로우 레벨 구간은 짧도록 설정된다.

발광 제어 신호는 플립 플롭의 출력 신호와 실질적으로 동일한 파형을 가지므로 플립 플롭의 출력 신호를 발광 제어 신호로 사용할 수 있다. 또한, 별도의 회로를 구비하여 발광 제어 신호를 발생시킬 수 있다.

짝수 필드 구간에서 짝수 라인 제어 신호 EVEN에 의해 짝수 주사 신호들 $select[2,4,\dots,m]$ 이 활성화된다. 짝수 라인 제어 신호 EVEN은 클럭 신호 CLK의 1주기마다, 로우 레벨 구간을 가진다. 로우 레벨 구간 동안 짝수번째 플립 플롭의 출력 신호는 마스크되어 하이 레벨로 출력된다.

상술한 과정을 통해 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN에 의해 순차 주사 또는 비월 주사의 동작이 수행됨을 알 수 있다. 즉, 홀수 라인 제어 신호 ODD 및 짝수 라인 제어 신호 EVEN에 따라 스캔 드라이버는 순차 주사 및 비월 주사 동작을 선택적으로 수행하고, 상기 스캔 드라이버가 실장된 유기 전계 발광 장치는 순차 주사 및 비월 주사 동작을 선택적으로 수행하게 된다.

발명의 효과

상기와 같은 본 발명에 따르면, 홀수 라인 제어 신호 및 짝수 라인 제어 신호가 가지는 레벨에 따라 순차 주사 동작 및 비월 주사 동작을 수행할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

개시 펄스 및 클럭 신호를 입력받고, 저장된 정보를 한 클럭 주기의 시간 간격으로 출력하기 위한 시프트 레지스터;

상기 시프트 레지스터의 홀수번째 플립 플롭의 출력 및 홀수 라인 제어 신호를 수신하고, 논리 조합하여 홀수 주사 신호를 발생하기 위한 홀수 라인 선택부; 및

상기 시프트 레지스터의 짝수번째 플립 플롭의 출력 및 짝수 라인 제어 신호를 수신하고, 논리 조합하여 짝수 주사 신호를 발생하기 위한 짝수 라인 선택부를 포함하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 2.

제1항에 있어서, 상기 시프트 레지스터의 플립 플롭은,

상기 클럭 신호의 로우 레벨에서 샘플링된 입력 데이터를 상승 에지에서 저장하기 위한 제1 래치; 및

상기 클럭 신호의 하이 레벨에서 샘플링된 제1 래치의 저장데이터를 하강 에지에서 저장하기 위한 제2 래치를 포함하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 3.

제2항에 있어서, 상기 제1 래치는,

클럭 신호의 로우 레벨에서 입력 신호를 샘플링하기 위한 제1 샘플러; 및

상기 제1 샘플러의 출력을 클럭 신호의 하이 레벨에서 저장하기 위한 제1 홀더를 가지는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 4.

제3항에 있어서, 상기 제2 래치는,

상기 클럭 신호의 하이 레벨에서 상기 제1 홀더의 출력을 샘플링하기 위한 제2 샘플러; 및

상기 제2 샘플러의 출력을 상기 클럭 신호의 로우 레벨에서 저장하기 위한 제2 홀더를 가지는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 5.

제2항에 있어서, 상기 홀수 라인 선택부는 다수의 NAND 게이트를 가지며, 상기 각각의 NAND 게이트는 홀수번째 플립 플롭의 출력 신호 및 상기 홀수 라인 선택 신호를 수신하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 6.

제5항에 있어서, 상기 짝수 라인 선택부는 다수의 NAND 게이트를 가지며, 상기 각각의 NAND 게이트는 짝수번째 플립 플롭의 출력 신호 및 상기 짝수 라인 선택 신호를 수신하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 7.

제6항에 있어서, 상기 순차 주사 및 비월 주사 겸용 스캔 드라이버는 짝수 라인 제어 신호 및 홀수 라인 제어 신호의 레벨에 따라 상기 순차 주사 및 상기 비월 주사를 선택적으로 수행하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 8.

제7항에 있어서, 상기 짝수 라인 제어 신호 및 홀수 라인 제어 신호가 하이 레벨을 가지는 경우, 상기 순차 주사 및 비월 주사 겸용 스캔 드라이버는 순차 주사 동작을 수행하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 9.

제8항에 있어서, 상기 홀수 라인 선택부 및 상기 짝수 라인 선택부는 입력되는 플립 플롭들의 출력을 반전하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 10.

제9항에 있어서, 상기 짝수 라인 제어 신호 및 홀수 라인 제어 신호는 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스열의 형태인 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 11.

제7항에 있어서, 상기 순차 주사 및 비월 주사 겸용 스캔 드라이버는 비월 주사 동작을 수행하는 경우,

한 프레임의 약 1/2주기인 홀수 필드 구간 동안, 상기 홀수 라인 선택부의 NAND 게이트들은 입력되는 홀수번째 플립 플롭의 출력들을 반전하고,

상기 한 프레임의 나머지 1/2 주기인 짝수 필드 구간 동안, 상기 짝수번째 플립 플롭의 출력들을 반전하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 12.

제11항에 있어서, 상기 홀수 라인 제어 신호가 하이 레벨을 가지고, 상기 짝수 라인 제어 신호가 로우 레벨을 가지는 경우, 상기 홀수 주사 라인 선택부는 홀수 필드 구간에서 홀수 주사 신호를 활성화하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 13.

제12항에 있어서, 상기 홀수 라인 제어 신호는 홀수 필드 구간에서 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스열의 형태인 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 14.

제12항에 있어서, 상기 홀수 라인 제어 신호가 로우 레벨을 가지고, 상기 짝수 라인 제어 신호가 하이 레벨을 가지는 경우, 상기 짝수 주사 라인 선택부는 짝수 필드 구간에서 짝수 주사 신호를 활성화하는 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 15.

제14항에 있어서, 상기 짝수 라인 제어 신호는 짝수 필드 구간에서 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스열의 형태인 것을 특징으로 하는 순차 주사 및 비월 주사 겸용 스캔 드라이버.

청구항 16.

다수의 화소들을 가지고, 행과 열로 배치된 화소 어레이부;

상기 화소 어레이부에 주사 신호 및 발광 제어 신호를 공급하고, 순차 주사 및 비월 주사 동작을 선택적으로 수행하기 위한 스캔 드라이버; 및

상기 스캔 드라이버의 주사 신호에 의해 선택된 화소에 데이터를 인가하기 위한 데이터 드라이버를 포함하고,

상기 스캔 드라이버는 개시 펄스 및 클럭 신호를 입력받고, 저장된 정보를 한 클럭 주기의 시간 간격으로 출력하기 위한 시프트 레지스터;

상기 시프트 레지스터의 홀수번째 플립 플롭의 출력 및 홀수 라인 제어 신호를 수신하고, 논리 조합하여 홀수 주사 신호를 발생하기 위한 홀수 라인 선택부; 및

상기 시프트 레지스터의 짝수번째 플립 플롭의 출력 및 짝수 라인 제어 신호를 수신하고, 논리 조합하여 짝수 주사 신호를 발생하기 위한 짝수 라인 선택부를 가지는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 17.

제16항에 있어서, 상기 시프트 레지스터의 플립 플롭은,

상기 클럭 신호의 로우 레벨에서 샘플링된 입력 데이터를 상승 에지에서 저장하기 위한 제1 래치; 및

상기 클럭 신호의 하이 레벨에서 샘플링된 제1 래치의 저장데이터를 하강 에지에서 저장하기 위한 제2 래치를 포함하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 18.

제17항에 있어서, 상기 스캔 드라이버의 제1 래치는,

클럭 신호의 로우 레벨에서 입력 신호를 샘플링하기 위한 제1 샘플러; 및

상기 제1 샘플러의 출력을 클럭 신호의 하이 레벨에서 저장하기 위한 제1 홀더를 가지는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 19.

제18항에 있어서, 상기 스캔 드라이버의 제2 래치는,

상기 클럭 신호의 하이 레벨에서 상기 제1 홀더의 출력을 샘플링하기 위한 제2 샘플러; 및

상기 제2 샘플러의 출력을 상기 클럭 신호의 로우 레벨에서 저장하기 위한 제2 홀더를 가지는 것을 특징으로 하는 제1 샘플러; 및

제1 홀더를 가지는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 20.

제17항에 있어서, 상기 홀수 라인 선택부는 다수의 NAND 게이트를 가지며, 상기 각각의 NAND 게이트는 홀수번째 플립 플롭의 출력 신호 및 상기 홀수 라인 선택 신호를 수신하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 21.

제20항에 있어서, 상기 짝수 라인 선택부는 다수의 NAND 게이트를 가지며, 상기 각각의 NAND 게이트는 짝수번째 플립 플롭의 출력 신호 및 상기 짝수 라인 선택 신호를 수신하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 22.

제21항에 있어서, 상기 스캔 드라이버는 짝수 라인 제어 신호 및 홀수 라인 제어 신호의 레벨에 따라 상기 순차 주사 및 상기 비월 주사를 선택적으로 수행하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 23.

제22항에 있어서, 상기 짝수 라인 제어 신호 및 홀수 라인 제어 신호가 하이 레벨을 가지는 경우, 상기 스캔 드라이버는 순차 주사 동작을 수행하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 24.

제23항에 있어서, 상기 짝수 라인 제어 신호 및 홀수 라인 제어 신호는 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스 열의 형태인 것을 특징으로 하는 유기 전계 발광 장치.

청구항 25.

제22항에 있어서,

상기 홀수 라인 제어 신호가 하이 레벨을 가지고, 상기 짝수 라인 제어 신호가 로우 레벨을 가지는 경우, 홀수 필드 구간에서 상기 홀수 주사 라인 선택부가 홀수 주사 신호를 활성화하고,

상기 홀수 라인 제어 신호가 로우 레벨을 가지고, 상기 짝수 라인 제어 신호가 하이 레벨을 가지는 경우, 짝수 필드 구간에서 상기 짝수 주사 라인 선택부가 짝수 주사 신호를 활성화하는 것을 특징으로 하는 유기 전계 발광 장치.

청구항 26.

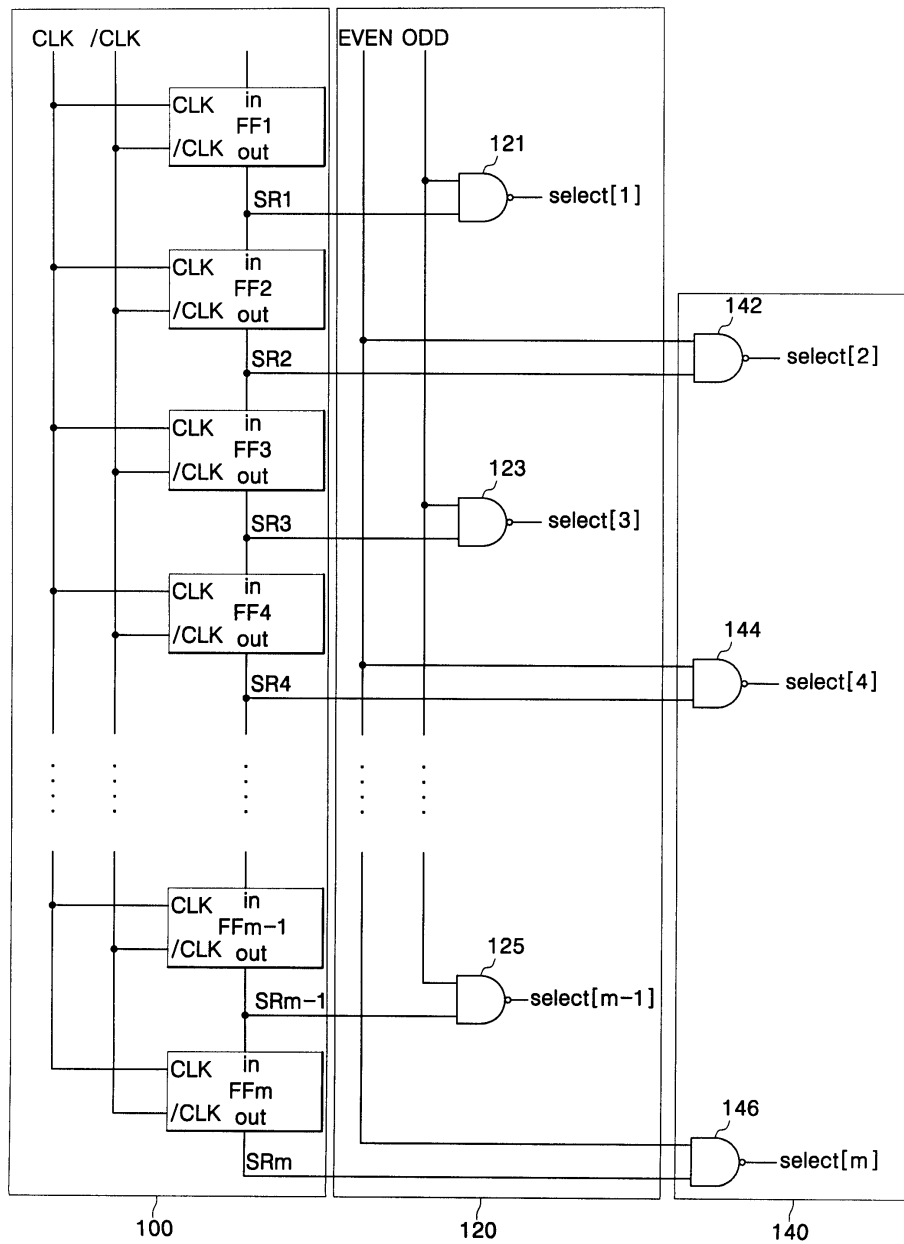
제25항에 있어서,

상기 홀수 라인 제어 신호는 홀수 필드 구간에서 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스열의 형태이며,

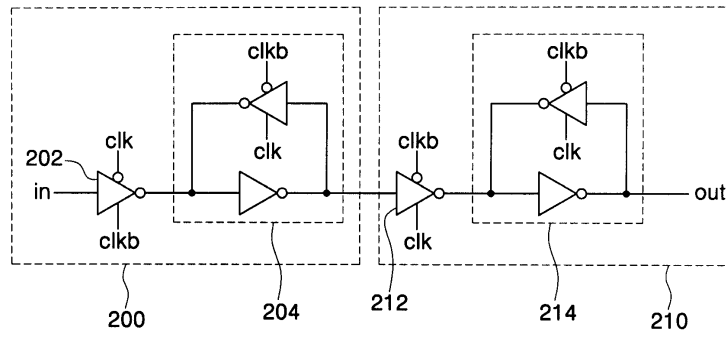
상기 짝수 라인 제어 신호는 짝수 필드 구간에서 1주기마다 로우 레벨로 천이되는 구간을 가진 펄스열의 형태인 것을 특징으로 하는 유기 전계 발광 장치.

도면

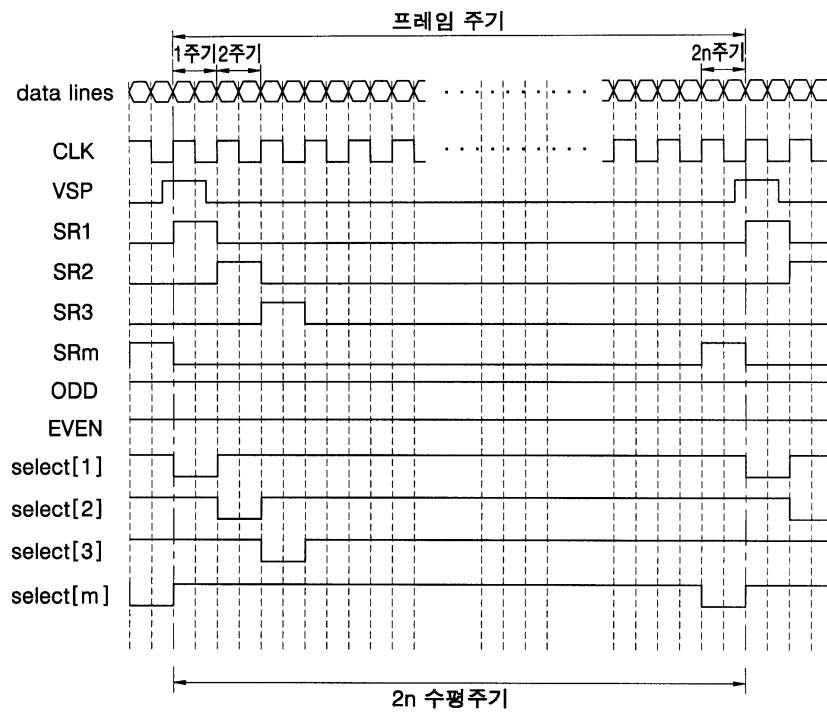
도면1



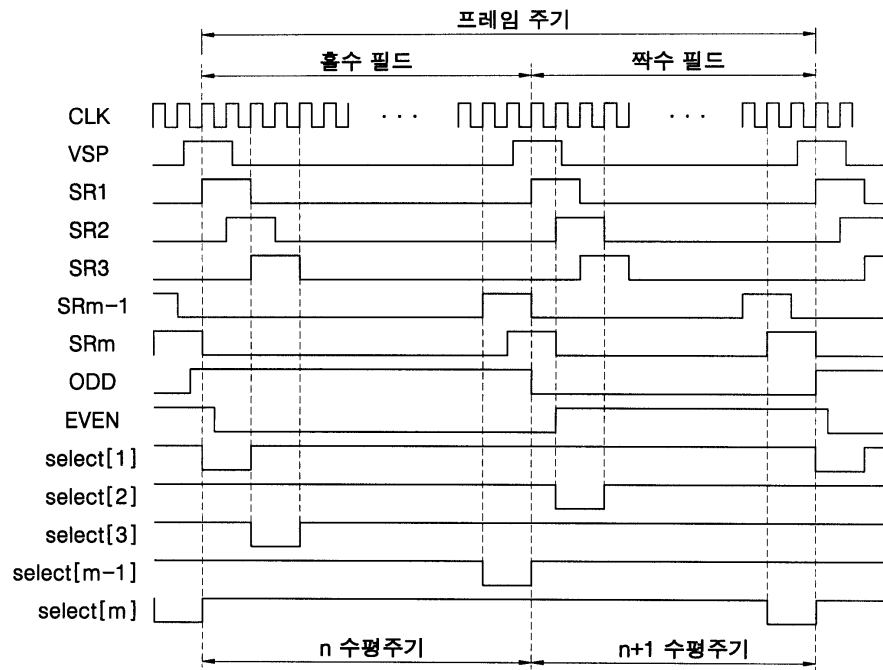
도면2



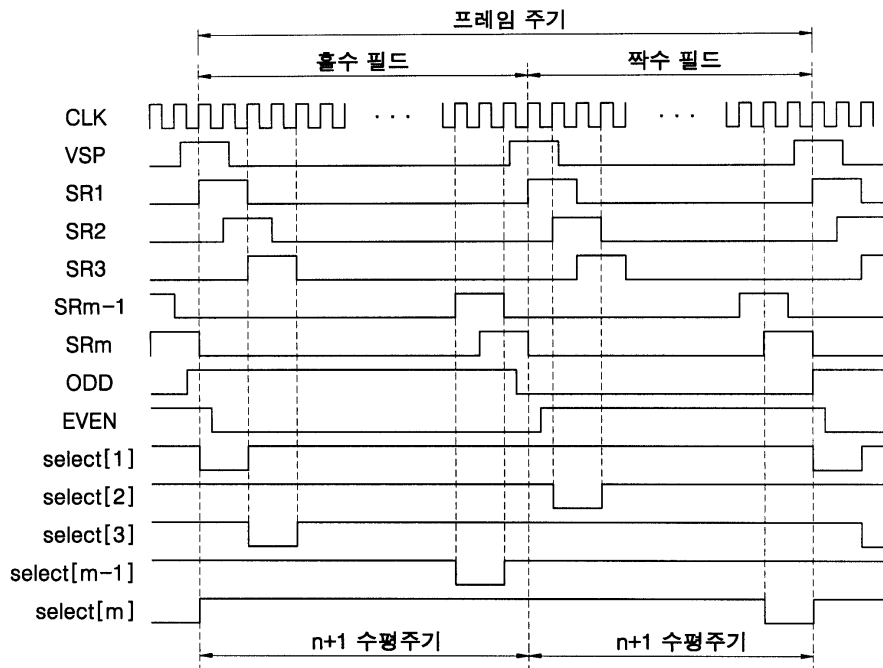
도면3



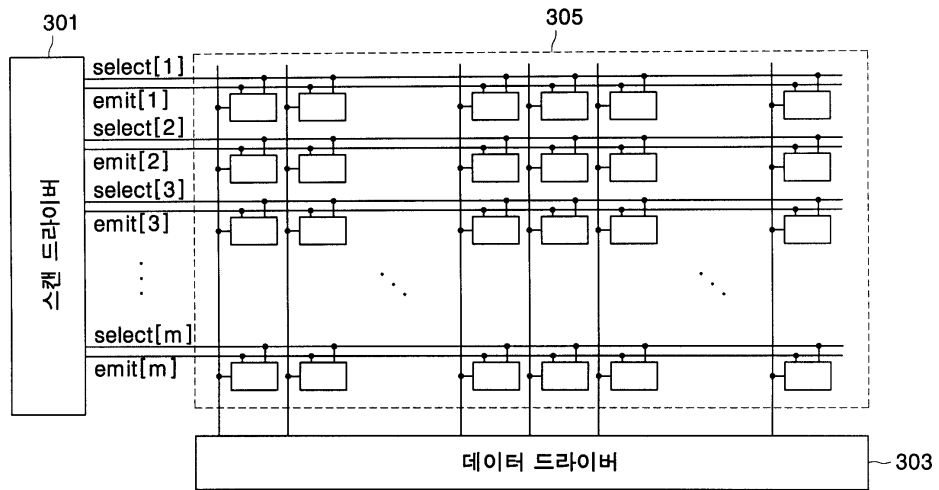
도면4a



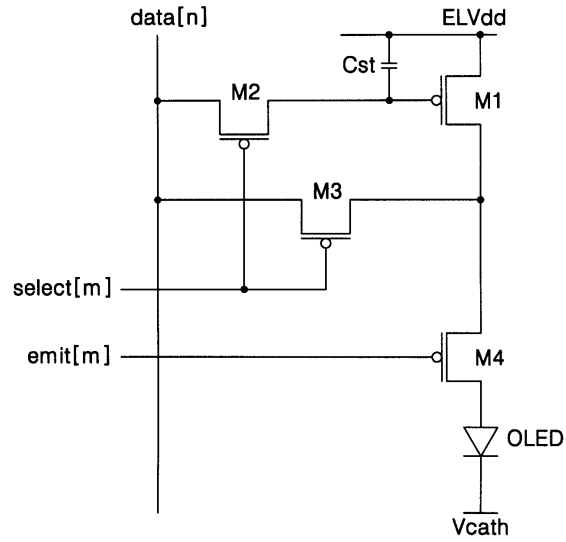
도면4b



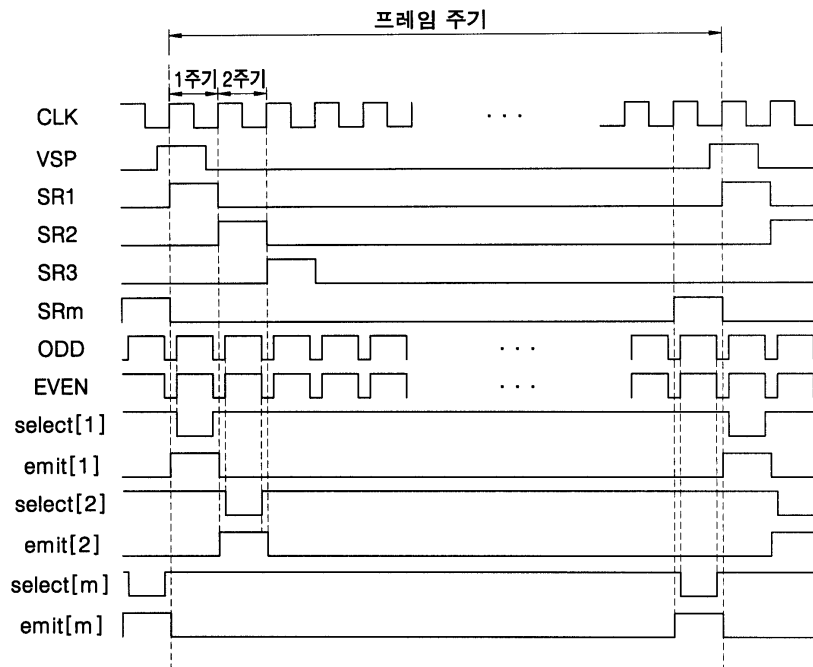
도면5a



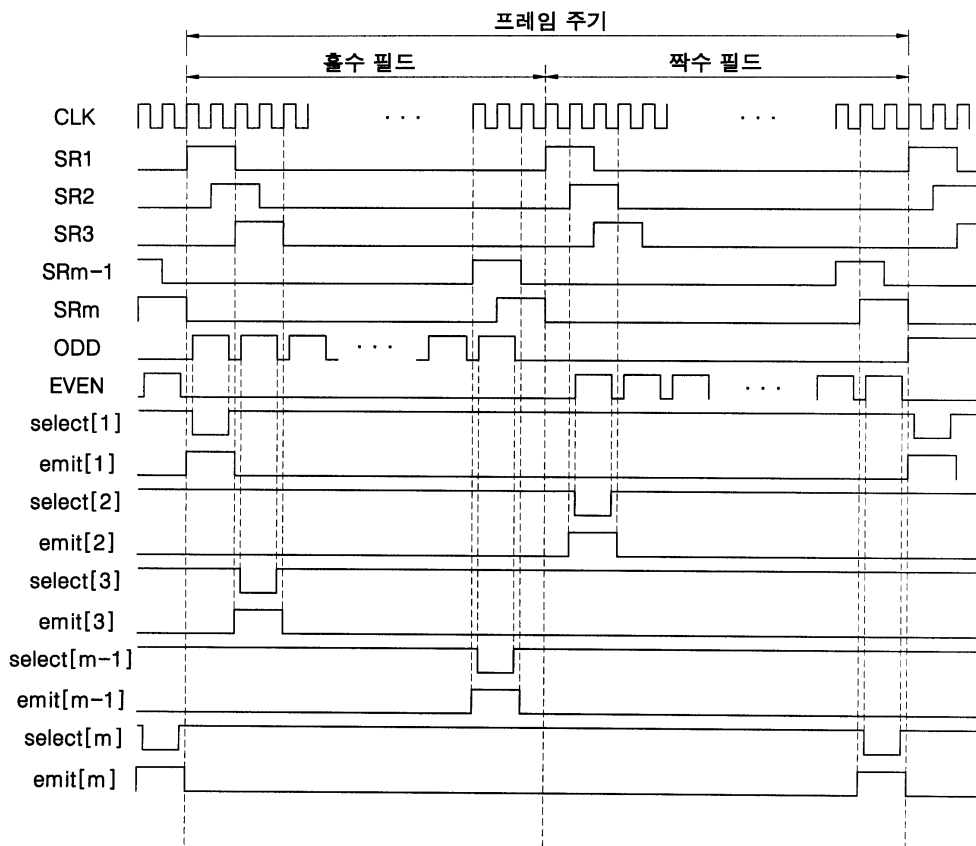
도면5b



도면6a



도면6b



专利名称(译)	用于逐行扫描和隔行扫描的扫描驱动器以及使用该驱动器的有机电致发光器件		
公开(公告)号	KR100601379B1	公开(公告)日	2006-07-13
申请号	KR1020040098255	申请日	2004-11-26
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONGYONG 신동용		
发明人	신동용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3266 G09G2310/0224 G09G2310/0202 G09G2310/0286		
代理人(译)	Baksangsu		
其他公开文献	KR1020060059082A		
外部链接	Espacenet		

摘要(译)

公开了一种能够选择性地执行逐行扫描和隔行扫描的扫描驱动器。扫描驱动器具有：移位寄存器，其中多个触发器串联布置；奇数行选择器，由多个NAND门组成；以及偶数行选择器，由多个NAND门组成。扫描驱动器根据奇数行控制信号和偶数行控制信号执行逐行扫描操作或隔行扫描操作，奇数行控制信号和偶数行控制信号是输入到奇数行选择单元或偶数行选择单元的控制信号。 1

