

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월13일 10-0599596 2006년07월05일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0034679 2004년05월17일	(65) 공개번호 (43) 공개일자	10-2005-0109699 2005년11월22일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	정보용 서울특별시송파구가락2동173-19호
(74) 대리인	유미특허법인

심사관 : 조지은

(54) 발광 표시 장치

요약

유기 EL 표시 장치에서, 직전 선택 신호에 응답하여 구동 트랜지스터를 다이오드 연결시키고 구동 트랜지스터의 게이트에 제1단이 연결된 제1 커패시터의 제2단을 전원에 연결하여, 제1 커패시터에 구동 트랜지스터의 문턱 전압을 저장한다. 다음, 제1 커패시터의 제2단을 데이터 전압으로 변경해서 구동 트랜지스터의 게이트와 소스 사이의 전압을 변경하고, 이 전압을 제2 커패시터에 저장한다. 이때, 제1 커패시터를 제2 커패시터보다 크게 형성하여 휘도가 감소하는 것을 방지한다.

대표도

도 7

색인어

유기EL, 기생 커패시턴스, 문턱 전압, 보상, 데이터 전압

명세서

도면의 간단한 설명

도 1에 종래 기술에 따른 전압 기입 방식의 유기 EL 표시 장치의 화소 회로를 나타내는 도면이다.

도 2는 도 1의 화소 회로의 구동 파형도이다.

도 3은 본 발명의 실시예에 따른 발광 표시 장치를 개략적으로 도시한 것이다.

도 4는 본 발명의 제1 실시예에 따른 화소 회로를 나타내는 도면이다.

도 5는 도 4의 화소 회로의 구동 타이밍도이다.

도 6은 본 발명의 제2 실시예에 따른 화소 회로를 나타내는 도면이다.

도 7은 본 발명의 제3 실시예에 따른 화소 회로를 나타내는 도면이다.

도 8은 도 7의 화소 회로의 구동 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광 표시 장치에 관한 것으로, 더욱 상세하게는 유기 전계발광(electro luminescence, 이하 'EL'이라 함) 표시 장치에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 유기 발광셀들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 다이오드 특성을 가져서 유기 발광 다이오드(OLED)로 불리며, 애노드 전극층, 유기 박막, 캐소드 전극층의 구조를 가지고 있다. 그리고 애노드 전극 및 캐소드 전극을 통하여 주입되는 정공과 전자가 유기 박막에서 결합되어 발광이 이루어진다. 이와 같이, 유기 발광셀은 주입되는 전자 및 정공의 양, 즉 인가되는 전류의 크기에 따라 발광하는 양이 달라진다.

이러한 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 그리고 능동 구동 방식은 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

일반적으로 전압 기입 방식의 유기 EL 표시 장치의 화소 회로는 구동 트랜지스터의 문턱 전압의 편차에 의해 휘도가 불균일해질 수 있다는 문제점이 있다. 이러한 문턱 전압의 편차를 보상하기 위한 화소 회로로서 도슨 등에 의해 제안된 미국등록특허 제6,229,506호가 있으며, 이를 도 1에 도시하였다.

도 1은 전압 기입 방식의 유기 EL 표시 장치의 화소 회로이며, 도 2는 도 1의 화소 회로의 구동 파형도이다.

도 1 및 도 2를 보면, 먼저 주사선(Sn)에 로우 레벨의 신호가 인가될 때 제1 및 제2 신호선(AZ, AZB)에 로우 레벨의 신호가 인가된다. 그러면 트랜지스터(M3)가 턴온되어 구동 트랜지스터(M1)는 다이오드 연결되고 트랜지스터(M4)가 턴온되어 초기화된다. 이어서, 제2 주사선(AZB)의 신호가 하이 레벨로 되어 다이오드 연결된 트랜지스터(M1)에 의해 트랜지스터(M1)의 게이트 전압은 전원 전압(VDD)과 문턱 전압(Vth)의 합(VDD+ Vth)으로 된다. 또한, 이 경우에 데이터선(Dm)에는 기준 전압이 인가되는데 이 기준 전압은 VDD 전압과 동일하다. 다음, 제1 신호선(AZ)의 신호가 하이 레벨로 되고 데이터선(Dm)에 데이터 전압(Vdata)이 인가된다. 그러면 커패시터(Cvth)의 일단 전압이 (Vdata-VDD) 전압만큼 변경되고, 커패시터(Cst, Cvth)는 직렬 연결되어 있으므로 트랜지스터(M1)의 게이트 전압(Vg)은 수학식 1과 같이 된다.

수학식 1

$$Vg = VDD + Vth + (Vdata - VDD) \frac{Cvth}{Cvth + Cst}$$

다음, 제2 신호선(AZB)의 신호가 로우 레벨로 되면 트랜지스터(M4)가 턴온되어 트랜지스터(M1)에서 유기 EL 소자(OLED)로 전류가 공급되어 발광이 이루어지며, 트랜지스터(M1)에서 공급되는 전류(I_{OLED})는 수학식 2와 같이 된다. 수학식 2에서 알 수 있듯이 전류(I_{OLED})는 트랜지스터(M1)의 문턱 전압에 관계없이 결정되므로 문턱 전압의 편차가 보상된다.

수학식 2

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} \left\{ VDD + V_{th} + (V_{data} - VDD) \frac{C_{vth}}{C_{st} + C_{vth}} - VDD - V_{th} \right\}^2 \\ &= \frac{\beta}{2} \left\{ (VDD - V_{data}) \frac{C_{vth}}{C_{st} + C_{vth}} \right\}^2 \end{aligned}$$

여기서, V_{gs} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, β 는 트랜지스터(M1)의 크기 및 특성에 의해 결정되는 상수 값을 나타낸다.

이와 같은 화소 회로는 구동 트랜지스터(M1)의 문턱 전압의 편차를 보상할 수 있지만, 휘도가 감소하는 문제점과 데이터 전압의 기준 전압에 대한 제약이 있다. 구체적으로, 도 1의 화소 회로에서 데이터 전압(V_{data})에 의해 트랜지스터(M1)의 게이트 전압이 부스트될 때, 커패시터(C_{st}) 때문에 ($VDD - V_{data}$) 전압만큼 부스트되지 않는다. 따라서 수학식 2와 같이 트랜지스터(M1)의 게이트와 소스 사이의 전압의 크기가 감소하여 휘도가 떨어진다는 문제점이 있다.

또한, 데이터 전압(V_{data})이 데이터선(Dm)에 인가되기 전에 주사선(Sn)에 선택 신호가 인가된 상태에서, 항상 전원 전압(VDD)과 동일한 기준 전압이 데이터선(Dm)에 인가되어야 한다. 즉, 데이터선의 기준 전압을 전원 전압과 동일하게 설정하여야 하므로, 데이터 전압을 결정할 수 있는 범위가 좁아진다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 종래의 화소 회로의 문제점을 해결하면서 구동 트랜지스터의 문턱 전압의 편차를 보상할 수 있는 발광 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 한 특징에 따르면, 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하며, 적어도 두 색상의 화소 회로가 각각 존재하는 발광 표시 장치가 제공된다. 본 발명의 화소 회로는, 제1 주 전극에 제어 전극과 제2 주 전극 사이의 전압에 대응하는 전류가 흐르며 상기 제2 주 전극은 제1 전원에 연결되는 트랜지스터, 인가되는 전류의 크기에 대응하는 빛을 발광하는 발광 소자, 제1단이 상기 제어 전극에 연결되는 제1 커패시터, 그리고 상기 제1 전원과 상기 제어 전극 사이에 연결되며 상기 제1 커패시터보다 작은 용량을 가지는 제2 커패시터를 포함한다. 본 발명의 화소 회로는 상기 제1 주 전극과 상기 발광 소자를 전기적으로 차단한 상태에서 상기 트랜지스터를 다이오드 연결시키고 상기 제1 커패시터의 제2단을 제2 전원에 전기적으로 연결하는 제1 기간, 상기 제1 커패시터의 제2단을 상기 제2 전원과 전기적으로 차단하고 상기 제1 커패시터의 제2단에 데이터 전압을 인가하는 제2 기간 순으로 동작한다.

본 발명의 다른 실시예에 따르면, 본 발명의 화소 회로는, 상기 직전 주사선의 제1 레벨의 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제1 스위칭 소자, 상기 제1 커패시터의 제2단과 상기 제2 전원에 사이에 연결되어 상기 직전 주사선의 상기 제1 레벨의 선택 신호에 응답하여 턴온되는 제2 스위칭 소자, 그리고 상기 현재 주사선의 제1 레벨의 선택 신호에 응답하여 상기 데이터 전압을 상기 제1 커패시터의 제2단으로 전달하는 제3 스위칭 소자를 더 포함한다.

본 발명의 또다른 실시예에 따르면, 본 발명의 화소 회로는 상기 트랜지스터의 제1 주 전극과 상기 발광소자 사이에 연결되는 제4 스위칭 소자를 더 포함하며, 상기 제4 스위칭 소자는 상기 제1 기간에서 턴오프되고 상기 제1 기간 이후에 턴온된다.

본 발명의 또다른 실시예에 따르면, 본 발명의 화소 회로는 상기 트랜지스터의 제1 주 전극과 상기 발광소자 사이에 연결되는 제4 스위칭 소자를 더 포함하며, 상기 제4 스위칭 소자는 상기 제1 기간 및 제2 기간에서 턴오프되고 상기 제2 기간 이후에 턴온된다.

본 발명의 다른 특징에 따르면, 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하는 발광 표시 장치가 제공된다. 본 발명의 화소 회로는, 제1 주 전극에 제어 전극과 제2 주 전극 사이의 전압에 대응하는 전류가 흐르며 상기 제2 주 전극은 제1 전원에 연결되는 트랜지스터, 인가되는 전류의 크기에 대응하는 빛을 발광하는 발광 소자, 상기 주사선으로부터의 선택 신호가 제1 레벨로 되기 전의 제1 기간에서 상기 트랜지스터를 다이오드 연결하는 제1 스위칭 소자, 제1단이 상기 제어 전극에 연결되는 제1

커패시터, 상기 제1 전원과 상기 제어 전극 사이에 연결되는 상기 제1 커패시터보다 작은 용량을 가지는 제2 커패시터, 상기 제1 기간에서 상기 제1 커패시터의 제2단과 제2 전원을 연결하는 제2 스위칭 소자, 그리고 제2 기간에서 상기 주사선으로부터의 상기 제1 레벨의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제1 커패시터의 제2 전극으로 전달하는 제3 스위칭 소자를 포함한다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

이제 본 발명의 실시예에 따른 발광 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다. 그리고 본 발명의 실시예에서는 발광 표시 장치로서 유기 물질의 전계발광을 이용하는 유기 EL 표시 장치를 예로 들어 설명한다.

도 3은 본 발명의 실시예에 따른 발광 표시 장치를 개략적으로 도시한 것이다.

도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 발광 표시 장치는 표시 패널(100), 주사 구동부(200) 및 데이터 구동부(300)를 포함한다.

표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D1~Dm), 행 방향으로 뻗어 있는 복수의 선택 주사선(S1~Sn) 및 복수의 화소 회로(10)를 포함한다. 데이터선(D1~Dm)은 화상을 나타내는 데이터 전압을 화소 회로(10)로 전달하며, 선택 주사선(S1~Sn)은 선택 신호를 화소 회로(10)로 전달한다. 화소 회로(10)는 이웃한 두 데이터선(D1~Dm)과 이웃한 두 선택 주사선(S1~Sn)에 의해 정의되는 화소 영역에 형성되어 있다.

주사 구동부(200)는 선택 주사선(S1~Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(300)는 데이터선(D1~Dm)에 데이터 전압을 동시에 인가한다.

주사 구동부(200) 및/또는 데이터 구동부(300)는 유리 기판 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 이들 구동부(200 및/또는 300)를 유리 기판 위에서 선택 주사선(S1~Sm), 데이터선(D1~Dn) 및 트랜지스터의 채널을 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 이들 구동부(200 및/또는 300)를 유리 기판과 별도의 기판에 형성하여 이들 기판을 유리 기판에 전기적으로 연결할 수도 있으며, 또한 유리 기판에 접착되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

아래에서는 도 4를 참조하여 본 발명의 제1 실시예에 따른 화소 회로에 대해서 상세하게 설명한다.

도 4는 본 발명의 제1 실시예에 따른 화소 회로를 나타내는 도면이다. 도 4에서는 설명의 편의상 m번째 데이터선(Dm)과 n번째 주사선(Sn)에 연결된 화소 회로만을 도시하였다. 그리고 도 5에서는 n번째 주사선(Sn)과 (n-1)번째 주사선(Sn-1)에 인가되는 선택 신호를 각각 scan[n] 및 scan[n-1]로 표시하였다.

한편, 주사선에 관한 용어를 정의하면, 데이터 전압을 전달할 수 있도록 데이터선과 선택 주사선에 연결된 트랜지스터를 동작시키는 선택 신호를 전달하는 주사선을 "현재 주사선"이라 하고, 현재 선택 신호 직전에 선택 신호를 전달하는 주사선을 "직전 주사선"이라 한다.

도 4에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 화소 회로는 트랜지스터(M5)를 제외하면 도 1의 화소 회로와 동일한 구조를 가진다. 구체적으로 도 4의 화소 회로는 트랜지스터(M1~M5), 저장용 커패시터(Cst), 문턱 전압 보상용 커패시터(Cvth) 및 유기 EL 소자(OLED)를 포함한다. 도 4에서는 트랜지스터(M1, M2, M3, M5)를 p채널 전계 효과 트랜지스터로 도시하고 트랜지스터(M4)를 n채널 전계 효과 트랜지스터로 도시하였다. 그리고 트랜지스터는 두 개의 주 전극(드레인 전극 및 소스 전극)과 하나의 제어 전극(게이트 전극)을 가진다.

트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서 하이 레벨의 전원 전압을 공급하기 위한 전원(VDD)과 트랜지스터(M4) 사이에 연결되며, 게이트에 인가되는 전압에 따라 트랜지스터(M4)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 그리고 트랜지스터(M2)는 트랜지스터(M1)의 게이트와 드레인 사이에 연결되며, 직전 주사선(Sn-1)으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 트랜지스터(M1)를 다이오드 형태로 연결시킨다.

구동 트랜지스터(M1)의 게이트에는 커패시터(Cvth)의 제1 전극(A)이 연결되며, 커패시터(Cvth)의 제2 전극(B)과 데이터선(Dm) 사이에는 트랜지스터(M3)가 연결된다. 트랜지스터(M3)는 스위칭 트랜지스터로서 주사선(Sn)으로부터의 로우 레벨의 선택 신호(scan[n])에 응답하여 데이터선(Dm)으로부터의 데이터 전압(Vdata)을 커패시터(Cvth)의 제2 전극(B)으로 전달한다. 또한, 전원(VDD)과 커패시터(Cvth)의 제2 전극(B) 사이에는 트랜지스터(M5)가 연결되며, 트랜지스터(M5)는 직전 주사선(Sn-1)으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 턴온된다. 그리고 전원(VDD)과 트랜지스터(M1)의 게이트 사이에는 커패시터(Cst)가 연결되어 전압을 저장한다.

트랜지스터(M4)는 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 사이에 연결되며, 직전 주사선(Sn-1)으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)를 전기적으로 차단하고, 하이 레벨의 선택 신호(emit[n-1])에 응답하여 트랜지스터(M1)로부터의 전류를 유기 EL 소자(OLED)로 전달한다. 유기 EL 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출한다. 그리고 유기 EL 소자(OLED)의 캐소드에 연결되는 전압(VSS)은 전압(VDD)보다 낮은 레벨의 전압으로서, 그라운드 전압, 음의 전압 등이 사용될 수 있다.

이하, 본 발명의 실시예에 따른 화소 회로의 동작을 도 5를 참조하여 설명한다.

먼저, T1 기간에서 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 로우 레벨로 되면, 트랜지스터(M2)가 턴온되어 구동 트랜지스터(M1)는 다이오드 형태로 연결된다. 따라서, 구동 트랜지스터(M1)의 게이트와 소스 사이의 전압이 구동 트랜지스터(M1)의 문턱 전압(Vth)이 될 때까지 변하게 된다. 이때, 트랜지스터(M1)의 소스는 전원(VDD)에 연결되어 있으므로, 트랜지스터(M1)의 게이트, 즉 커패시터(Cvth)의 제1 전극(A) 전압은 (VDD+ Vth) 전압으로 된다. 그리고 트랜지스터(M4)가 로우 레벨의 선택 신호(scan[n-1])에 의해 턴온되어 커패시터(Cvth)의 제2 전극(B)은 전원(VDD)에 연결되어 있으므로, 커패시터(Cvth)의 제2 전극(B) 전압은 전원 전압(VDD)으로 된다. 따라서 커패시터(Cvth)에는 문턱 전압(Vth)이 저장된다. 또한, n채널 트랜지스터(M4)는 로우 레벨의 선택 신호(scan[n-1])에 의해 턴오프되어 있으므로, 트랜지스터(M1)의 전류가 유기 EL 소자(OLED)로 흐르는 것이 방지된다.

다음, T2 기간에서 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 하이 레벨로 되고 현재 주사선(Sn)의 선택 신호(scan[n])가 로우 레벨로 되면, 트랜지스터(M3, M4)가 턴온되고 트랜지스터(M2, M5)가 턴오프된다. 그리고 데이터선(Dm)으로부터 데이터 전압(Vdata)이 트랜지스터(M3)로 전달되어 데이터 전압(Vdata)이 커패시터(Cvth)의 제2 전극(B)으로 전달된다. 제2 전극(B) 전압이 데이터 전압과 전원 전압의 차(Vdata-VDD)만큼 변경되었고 커패시터(Cvth, Cst)가 직렬 연결되어 있으므로, 커패시터(Cvth)의 제1 전극(A) 전압(Vg)은 앞서 설명한 것처럼 수학식 1과 같이 된다.

따라서 트랜지스터(M1)의 게이트와 소스 사이의 전압(Vgs)에 의해 트랜지스터(M1)의 드레인에 흐르는 전류(I_{OLED})는 수학식 2와 같이 된다. 그리고 하이 레벨의 선택 신호(scan[n-1])에 의해 트랜지스터(M4)가 턴온되어 있으므로, 이 전류(I_{OLED})가 유기 EL 소자(OLED)로 전달되어 발광이 이루어진다. 또한, 트랜지스터(M1)의 게이트와 소스 사이의 전압(Vgs)은 커패시터(Cst)에 저장되므로, T2 기간 이후에도 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 하이 레벨일 동안 트랜지스터(M1)에서는 유기 EL 소자(OLED)에 수학식 3과 같은 전류를 공급한다.

그런데 문턱 전압을 보상하지 않는 일반적인 전압 기입 방식의 화소 회로에서는 커패시터(Cvth)가 존재하지 않고, 트랜지스터(M1)의 게이트에 직접 데이터 전압(Vdata)이 인가되어서 트랜지스터(M1)의 게이트와 소스 사이의 전압이 결정된다. 이때, 트랜지스터(M1)의 드레인에 흐르는 전류(I_{OLED})는 수학식 3과 같이 된다.

수학식 3

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (VDD - Vdata - |V_{th}|)^2$$

수학식 2와 3에서 문턱 전압(Vth)의 크기가 작다고 가정하면, 수학식 2의 전류(I_{OLED})가 (Cvth/(Cvth+ Cst))² 성분 때문에 수학식 3에 비해서 작음을 알 수 있다. 그런데, 유기 EL 소자(OLED)에서 발광하는 빛의 휘도는 전류(I_{OLED})의 크기에 의해 결정되므로, 도 4의 화소 회로에 의하면 휘도가 감소한다. 따라서 본 발명의 제1 실시예에서는 문턱 전압 보상용 커패시터(Cvth)의 용량을 저장용 커패시터(Cst)보다 크게 해서 (Cvth/(Cvth+ Cst))² 값을 크게 한다. 이와 같이 하면, 유기 EL 소자(OLED)에 전달되는 전류(I_{OLED})의 크기가 증가하여 휘도 감소를 방지할 수 있다.

또한, 본 발명의 제1 실시예에서는 전원(VDD)을 사용하여 커패시터(Cvth)에 VDD 전압을 공급하기 때문에 선택 신호(scan[n])가 로우 레벨일 동안 데이터선(Dm)에 기준 전압(VDD)을 공급할 필요가 없으므로, 데이터 전압(Vdata)에 가해지는 제약이 없다. 그리고 수학식 2에서 알 수 있듯이 유기 EL 소자(OLED)에 전달되는 전류(I_{OLED})에 구동 트랜지스터(M1)의 문턱 전압(V_{th}) 성분이 없으므로, 문턱 전압의 편차에 의한 휘도 불균일을 방지할 수 있다.

일반적으로 표시 패널 위에 형성된 복수의 화소 회로(10)의 전원 전압(VDD)은 하나 또는 두 개의 전원 배선에 의해 공급이 된다. 물론 패널의 구조에 따라서 전원 배선을 두 개 이상으로 사용할 수도 있다. 그런데, 구동 트랜지스터(M1)에서 흐르는 전류는 전원 전압(VDD)을 공급하는 전원 배선을 통해서 흐르고 하나의 전원 배선에는 복수의 화소 회로가 연결되어 있으므로, 하나의 전원 배선에는 큰 전류가 흐르게 된다. 따라서 이러한 큰 전류에 의해 전원 배선에서는 큰 전압 강하가 발생하게 되어, 화소 회로의 위치에 따라 전원 배선에서 공급되는 전원 전압(VDD)의 크기가 달라질 수 있다. 수학식 2를 보면, 이러한 전원 전압(VDD)의 차이는 유기 EL 소자(OLED)에 공급되는 전류의 차이로 되어서, 화소 회로의 위치에 따라 휘도의 불균일이 발생할 수 있다. 아래에서는 전원 배선에서의 전압 강하에 의한 휘도 불균일을 방지할 수 있는 실시예에 대해서 도 6을 참조하여 설명한다.

도 6은 본 발명의 제2 실시예에 따른 화소 회로를 나타내는 도면이다.

도 6에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 화소 회로는 트랜지스터(M5)의 소스가 전원 전압(VDD)과는 다른 별도의 보상 전원(Vsus)에 연결된다는 점을 제외하면 도 4의 화소 회로와 동일한 구조를 가진다. 즉, 트랜지스터(M5)가 보상 전원(Vsus)과 커패시터(Cvth)의 제2 전극(B) 사이에 연결되어 있으며, 직전 주사선(S_{n-1})으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 턴온된다.

도 5를 참조하여, 도 6의 화소 회로의 구체적인 동작을 살펴보면 다음과 같다.

T1 기간에서, 직전 주사선(S_{n-1})의 로우 레벨의 선택 신호(scan[n-1])에 의해 트랜지스터(M2, M5)가 턴온된다. 이때, 트랜지스터(M1)의 소스는 전원(VDD)에 연결되어 있으므로, 커패시터(Cvth)의 제1 전극(A) 전압은 제1 실시예와 동일하게 ($VDD + V_{th}$) 전압으로 된다. 그리고 커패시터(Cvth)의 제2 전극(B)은 제1 실시예와 달리 보상 전원(Vsus)에 연결되므로, 커패시터(Cvth)의 제2 전극(B) 전압은 Vsus 전압으로 된다. 즉, 커패시터(Cvth)에는 트랜지스터(M1)의 문턱 전압, 전원 전압(VDD) 및 보상 전압(VSS)에 대응하는 ($VDD + V_{th} - V_{sus}$) 전압이 저장된다.

다음, T2 기간에서 직전 주사선(S_{n-1})의 하이 레벨의 선택 신호(scan[n-1])와 현재 주사선(S_n)의 로우 레벨의 선택 신호(scan[n])에 의해 트랜지스터(M3, M4)가 턴온되고 트랜지스터(M2, M5)가 턴오프된다. 그러면 데이터 전압(Vdata)이 커패시터(Cvth)의 제2 전극(B)으로 전달되어, 커패시터(Cvth)의 제1 전극(A) 전압은 데이터 전압(Vdata)과 보상 전압(Vsus)의 차이만큼 부스트된다. 이때, 커패시터(Cst, Cvth)는 직렬 연결되어 있으므로, 트랜지스터(M1)의 게이트, 즉 커패시터(Cvth)의 제1 전극(A) 전압(V_g)은 수학식 4와 같이 된다. 그리고 트랜지스터(M1)의 드레인에 흐르는 전류(I_{OLED})는 수학식 5와 같이 된다.

수학식 4

$$V_g = VDD + V_{th} + (Vdata - V_{sus}) \frac{Cvth}{Cvth + Cst}$$

수학식 5

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} \left\{ VDD + V_{th} + (Vdata - V_{sus}) \frac{Cvth}{Cvth + Cst} - VDD - V_{th} \right\}^2 \\ &= \frac{\beta}{2} \left\{ (V_{sus} - Vdata) \frac{Cvth}{Cvth + Cst} \right\}^2 \end{aligned}$$

수학식 5에서 알 수 있듯이, 유기 EL 소자(OLED)에 흐르는 전류(I_{OLED})는 전원 전압(VDD)에 영향을 받지 않으므로, 전원 전압(VDD)을 공급하는 전원 배선에서의 전압 강하에 의한 휘도 편차를 보상할 수 있다. 또한, 보상 전압(Vsus)이 커패시터(Cvth)의 제2 전극(B)에 연결될 때는 커패시터(Cvth)의 제1 전극(A)이 플로팅되어 있으므로 전류 패스가 형성되지 않는다. 따라서 보상 전압(Vsus)을 공급하는 전원 배선에서는 전류 패스가 형성되지 않으므로 전압 강하의 문제가 발생되지 않는다. 따라서, 모든 화소 회로에 실질적으로 동일한 보상 전압(Vsus)이 인가되므로 전압 강하에 의한 전류 편차를 방지할 수 있다. 그리고 이러한 보상 전압(Vsus)으로서 전원 전압(VDD)과 동일한 레벨의 전압을 사용할 수 있다.

도 4 및 도 6에서는, 트랜지스터(M1, M2, M3, M5)를 p채널 트랜지스터로 구현하고 트랜지스터(M4)를 n채널 트랜지스터로 구현하는 경우를 도시하였지만, 이와는 반대로 트랜지스터(M1, M2, M3, M5)를 n채널 트랜지스터로 구현하고 트랜지스터(M4)를 p채널 트랜지스터로 구현할 수도 있다. 이러한 경우의 화소 구조 및 구동 파형에 대해서는 도 4 내지 도 6으로부터 당업자라면 용이하게 알 수 있으므로 그 설명을 생략한다. 또한, 이들 트랜지스터(M1~M5)를 동일 채널의 트랜지스터로 형성할 수도 있으며, 아래에는 도 7을 참조하여 이러한 실시예에 대해서 설명한다.

도 7은 본 발명의 제3 실시예에 따른 화소 회로를 나타내는 도면이다.

도 7에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 화소 회로는 트랜지스터(M5)가 p채널 트랜지스터로 구현되고 트랜지스터(M5)의 게이트에 발광 주사선(En)이 연결된 점을 제외하면 도 5의 화소 회로와 동일하다. 이때, 발광 주사선(En)은 도 2의 표시 패널(100)에서 선택 주사선(Sn)과 쌍을 이루도록 배치할 수 있다. 그리고 트랜지스터(M4)가 p채널이므로, 발광 주사선(En)에 인가되는 구동 파형은 도 4의 구동 파형에서 직전 주사선(Sn-1)의 선택 신호(scan[n-1])를 반전한 형태로 하면 된다.

그리고 도 4, 도 6 및 도 7의 화소 회로에서 현재 주사선(Sn)에 로우 레벨의 선택 신호(scan[n])를 인가하여 커패시터(Cvth)의 제1 전극(A) 전압을 부스팅할 때, 트랜지스터(M1)로부터 유기 EL 소자(OLED)로 전류가 공급되면 부스팅이 제대로 되지 않을 수 있다. 따라서 이 기간에서도 트랜지스터(M1)와 유기 EL 소자(OLED)를 전기적으로 차단할 수 있으며, 이러한 실시예에 대해서 도 8을 참조하여 설명한다.

도 8에 도시한 바와 같이, 본 발명의 제4 실시예에서는 T1 및 T2 기간에서 발광 주사선(En)에 하이 레벨의 발광 신호(emit[n])가 인가된다는 점을 제외하면 제3 실시예와 동일하다. 즉, T1 및 T2 기간에서 하이 레벨의 발광 신호(emit[n])에 의해 트랜지스터(M4)가 턴오프되어 트랜지스터(M1)와 유기 EL 소자(OLED)가 전기적으로 차단된다. 그리고 T2 기간 이후에 발광 신호(emit[n])가 로우 레벨로 되어 트랜지스터(M4)가 턴온되며, 이에 따라 트랜지스터(M1)로부터 유기 EL 소자(OLED)로 전류가 공급되어 발광이 이루어진다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

본 발명에 따르면 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차와 각 화소간의 전압 강하량 차이를 보상하여 발광 표시 장치의 휘도 균일성을 개선할 수 있다. 또한, 휘도 감소를 방지할 수 있으면, 데이터 전압을 결정할 수 있는 범위를 넓힐 수 있다.

(57) 청구의 범위

청구항 1.

데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하며, 적어도 두 색상의 화소 회로가 각각 존재하는 발광 표시 장치에 있어서,

상기 화소 회로는,

제1 주 전극에 제어 전극과 제2 주 전극 사이의 전압에 대응하는 전류가 흐르며, 상기 제2 주 전극은 제1 전원에 연결되는 트랜지스터,

인가되는 전류의 크기에 대응하는 빛을 발광하는 발광 소자,

제1단이 상기 제어 전극에 연결되는 제1 커패시터, 그리고

상기 제1 전원과 상기 제어 전극 사이에 연결되며 상기 제1 커패시터보다 작은 용량을 가지는 제2 커패시터를 포함하며,
상기 제1 주 전극과 상기 발광 소자를 전기적으로 차단한 상태에서 상기 트랜지스터를 다이오드 연결시키고 상기 제1 커패시터의 제2단을 제2 전원에 전기적으로 연결하는 제1 기간, 상기 제1 커패시터의 제2단을 상기 제2 전원과 전기적으로 차단하고 상기 제1 커패시터의 제2단에 데이터 전압을 인가하는 제2 기간 순으로 동작하는 발광 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 기간에서 직전 주사선에 제1 레벨의 선택 신호가 인가되며,

상기 제2 기간에서 현재 주사선에 상기 제1 레벨의 선택 신호가 인가되는 발광 표시 장치.

청구항 3.

제2항에 있어서,

상기 화소 회로는,

상기 직전 주사선의 제1 레벨의 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제1 스위칭 소자,

상기 제1 커패시터의 제2단과 상기 제2 전원에 사이에 연결되어 상기 직전 주사선의 상기 제1 레벨의 선택 신호에 응답하여 턴온되는 제2 스위칭 소자, 그리고

상기 현재 주사선의 제1 레벨의 선택 신호에 응답하여 상기 데이터 전압을 상기 제1 커패시터의 제2단으로 전달하는 제3 스위칭 소자를 더 포함하는 발광 표시 장치.

청구항 4.

제3항에 있어서,

상기 화소 회로는 상기 트랜지스터의 제1 주 전극과 상기 발광소자 사이에 연결되는 제4 스위칭 소자를 더 포함하며,

상기 제4 스위칭 소자는 상기 제1 기간에서 턴오프되고 상기 제1 기간 이후에 턴온되는 발광 표시 장치.

청구항 5.

제3항에 있어서,

상기 화소 회로는 상기 트랜지스터의 제1 주 전극과 상기 발광소자 사이에 연결되는 제4 스위칭 소자를 더 포함하며,

상기 제4 스위칭 소자는 상기 제1 기간 및 제2 기간에서 턴오프되고 상기 제2 기간 이후에 턴온되는 발광 표시 장치.

청구항 6.

데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하는 발광 표시 장치에 있어서,

상기 화소 회로는,

제1 주 전극에 제어 전극과 제2 주 전극 사이의 전압에 대응하는 전류가 흐르며, 상기 제2 주 전극은 제1 전원에 연결되는 트랜지스터,

인가되는 전류의 크기에 대응하는 빛을 발광하는 발광 소자,

상기 주사선으로부터의 선택 신호가 제1 레벨로 되기 전의 제1 기간에서 상기 트랜지스터를 다이오드 연결하는 제1 스위칭 소자,

제1단이 상기 제어 전극에 연결되는 제1 커패시터,

상기 제1 전원과 상기 제어 전극 사이에 연결되는 상기 제1 커패시터보다 작은 용량을 가지는 제2 커패시터,

상기 제1 기간에서 상기 제1 커패시터의 제2단과 제2 전원을 연결하는 제2 스위칭 소자, 그리고

제2 기간에서 상기 주사선으로부터의 상기 제1 레벨의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제1 커패시터의 제2 전극으로 전달하는 제3 스위칭 소자를 포함하는 발광 표시 장치.

청구항 7.

제6항에 있어서,

상기 제1 기간은 상기 화소 회로의 직전 주사선에 상기 제1 레벨의 선택 신호가 인가되는 기간인 발광 표시 장치.

청구항 8.

제7항에 있어서,

상기 제1 및 제2 스위칭 소자는 상기 직전 주사선의 상기 제1 레벨의 선택 신호에 응답하여 턴온되는 발광 표시 장치.

청구항 9.

제6항에 있어서,

상기 화소 회로는 상기 트랜지스터와 상기 발광 소자 사이에 연결되어 상기 제1 기간에서 턴오프되는 제4 스위칭 소자를 더 포함하는 발광 표시 장치.

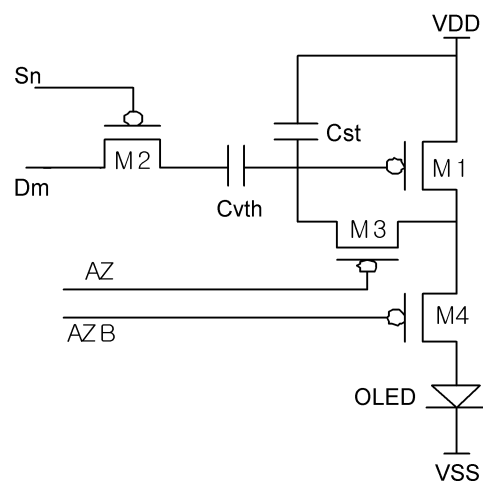
청구항 10.

제6항에 있어서,

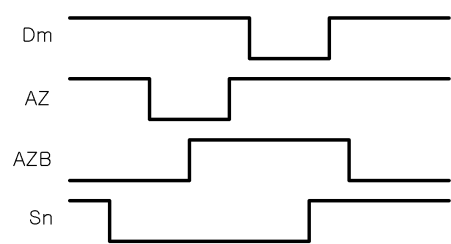
상기 화소 회로는 상기 트랜지스터와 상기 발광 소자 사이에 연결되어 상기 제1 및 제2 기간에서 턴오프되는 제4 스위칭 소자를 더 포함하는 발광 표시 장치.

도면

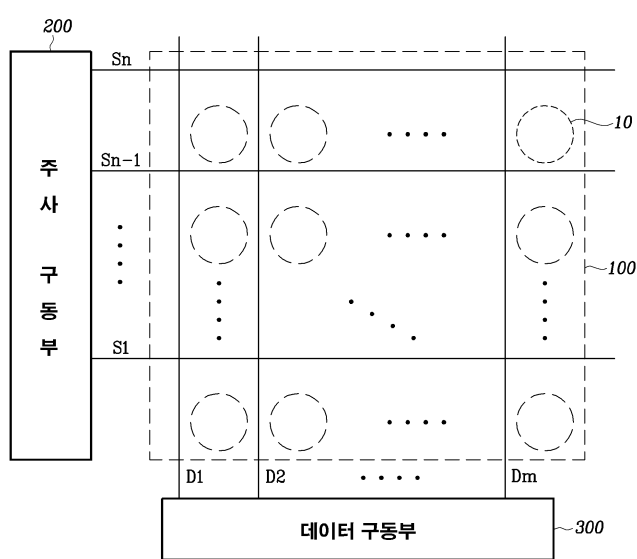
도면1



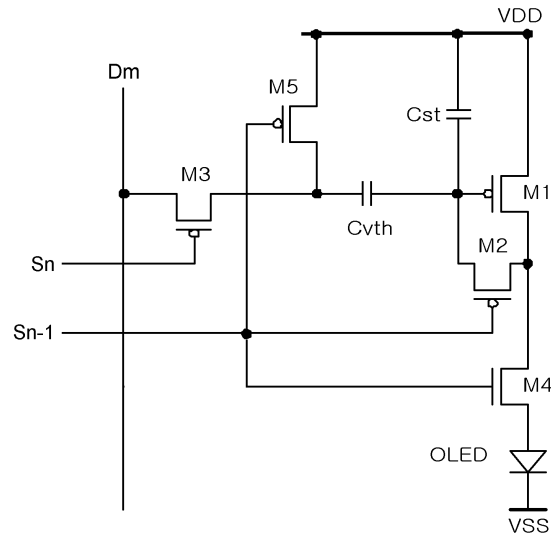
도면2



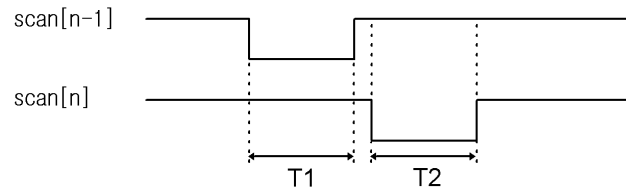
도면3



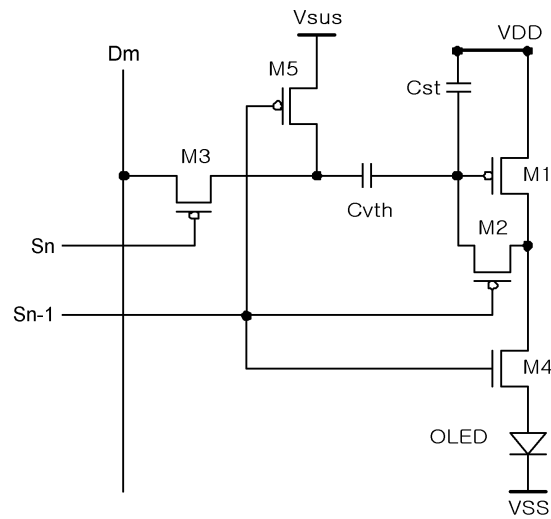
도면4



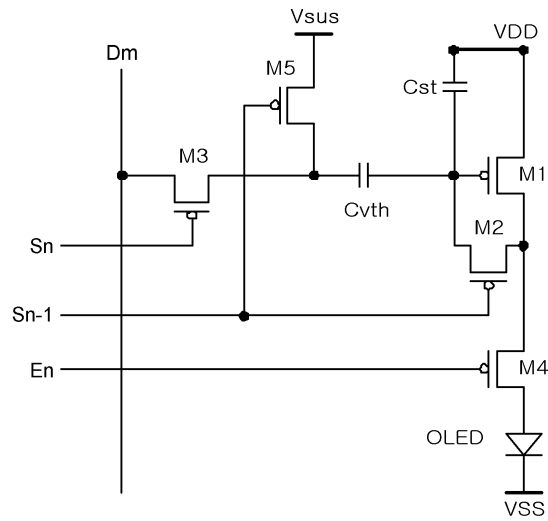
도면5



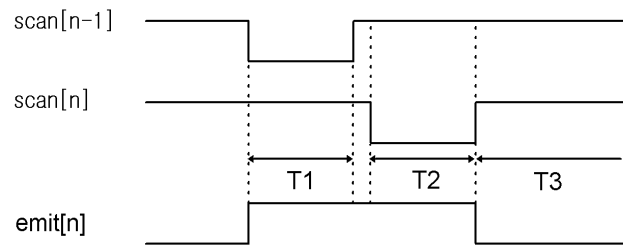
도면6



도면7



도면8



专利名称(译)	发光显示		
公开(公告)号	KR100599596B1	公开(公告)日	2006-07-13
申请号	KR1020040034679	申请日	2004-05-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BOYONG		
发明人	CHUNG,BOYONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/325 G09G2300/043 G09G2300/0876 G09G2320/0233 H01L27/3211		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050109699A		
外部链接	Espacenet		

摘要(译)

在有机EL显示装置中，驱动晶体管响应于前一个选择信号而二极管连接，并且连接到驱动晶体管的栅极的第一电容器的第二端连接到电源，商店。接下来，将第一电容器的第二端改变为数据电压以改变驱动晶体管的栅极和源极之间的电压，并且将该电压存储在第二电容器中。此时，第一电容器形成为大于第二电容器，以防止亮度降低。7 指数方面有机EL，寄生电容，阈值电压，补偿，数据电压

