

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G09G 3/30

(45) 공고일자 2005년05월11일
(11) 등록번호 10-0488835
(24) 등록일자 2005년05월02일

(21) 출원번호 10-2002-0071163 (65) 공개번호 10-2003-0079656
(22) 출원일자 2002년11월15일 (43) 공개일자 2003년10월10일

(30) 우선권주장 JP-P-2002-00102591 2002년04월04일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 마쯔모또쇼이찌로
일본기후켄오가끼시미도리쵸4-5레일시타507

사노게이이찌
일본기후켄안바찌공고우도쵸니시노호80-1

(74) 대리인 주성민
이중희
구영창

심사관 : 천대식

(54) 반도체 장치 및 표시 장치

요약

피구동 소자에 안정적으로 전력 공급 가능한 구성의 실현을 목적으로 한다.

매트릭스 형상으로 배치된 각 화소는 유기 EL 소자(50), 제1 TFT(10), 제2 TFT(20), 유지 용량 Cs, 리세트용 제3 TFT(30)를 구비하고, 제1 TFT(10)는 게이트 신호에 따라 데이터 신호가 공급되고, 제2 TFT(20)는 구동 전원 라인 VL에 드레인, 유기 EL 소자(50)에 소스가 접속되고, 데이터 신호를 게이트로 받아 구동 전원 Pvdd로부터 유기 EL 소자(50)에의 공급 전류를 제어한다. 유지 용량 Cs의 제1 전극(7)은 제2 TFT(20)의 게이트, 제2 전극(8)은 제2 TFT(20)의 소스 및 유기 EL 소자에 접속되고, 제2 TFT(20)의 Vgs를 유지한다. 제3 TFT(30)는 유지 용량 Cs 충전 시에 제2 전극 전위를 고정한다.

대표도

도 1

색인어

게이트, 유지 용량, 소스, 공급 전류, 전극 전위

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 소자를 구동하는 1 화소의 회로 구성을 도시한 도면.

도 2는 본 발명의 각 화소에 공급하는 게이트 신호 및 리세트 신호를 작성하는 회로의 구성예를 도시한 도면.

도 3은 도 2의 회로의 동작을 도시한 타이밍차트.

도 4는 본 발명의 실시예에 따른 유기 EL 소자를 구동하는 1 화소의 다른 회로 구성을 도시한 도면.

도 5는 본 발명의 실시예에 따른 유기 EL 소자를 구동하는 1 화소의 다른 회로 구성을 도시한 도면.

도 6은 도 4에 도시한 회로 구성을 구비한 1 화소의 평면 구성을 도시한 도면.

도 7은 도 6의 A-A선, B-B선 및 C-C선에 따른 단면 구조를 도시한 도면.

도 8은 도 5에 도시한 회로 구성을 구비한 1 화소의 평면 구성을 도시한 도면.

도 9는 LD 구조의 TFT의 구성예를 도시한 도면.

도 10은 LD 영역을 크게 한 TFT의 구성예를 도시한 도면.

도 11은 본 발명의 각 화소에 공급하는 게이트 신호 및 리세트 신호를 작성하는 회로의 다른 구성예를 도시한 도면.

도 12는 본 발명의 각 화소에 공급하는 게이트 신호 및 리세트 신호를 작성하는 회로의 또 다른 구성예를 도시한 도면.

도 13은 종래의 액티브 매트릭스형 유기 EL 표시 장치의 회로 구성을 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

2, 24, 32 : 게이트 전극

7 : 유지 용량의 제1 전극

8 : 유지 용량의 제2 전극

10 : 제1 TFT(스위칭용 박막 트랜지스터)

14 : 층간 절연막

20 : 제2 TFT(소자 구동용 박막 트랜지스터)

26 : 접속 배선(커넥트부)

31 : 전압 조정용 다이오드

34 : 공통 접속 배선

30 : 제3 TFT(스위칭용 박막 트랜지스터)

40, 41 : 게이트 라인(GL)

42 : 데이터 라인(DL)

44 : 구동 전원 라인(VL)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일렉트로루미네센스 표시 소자 등의 피구동 소자를 제어하기 위한 회로 구성에 관한 것이다.

자발광 소자인 일렉트로루미네센스(Electroluminescence : 이하 EL) 소자를 각 화소에 발광 소자로서 이용한 EL 표시 장치는, 자발광형이며 얇아서 소비 전력이 적다는 등의 유리한 점이 있어, 액정 표시 장치(LCD)나 CRT 등의 표시 장치를 대신할 수 있는 표시 장치로서 주목되고 있으며, 연구가 진행되고 있다.

또한, 그 중에서도 EL 소자를 개별로 제어하는 박막 트랜지스터(TFT) 등의 스위치 소자를 각 화소에 형성하고, 화소마다 EL 소자를 제어하는 액티브 매트릭스형 EL 표시 장치는 고정밀한 표시 장치로서 기대되고 있다.

도 13은 m 행 n 열의 액티브 매트릭스형 EL 표시 장치에서의 각 화소의 회로 구성을 도시하고 있다. EL 표시 장치에서는, 기판 위에 복수개의 게이트 라인 GL이 행 방향으로 연장되고, 복수개의 데이터 라인 DL 및 구동 전원 라인 VL이 열 방향으로 연장되어 있다. 또한 각 화소는 유기 EL 소자(50)와, 스위칭용 TFT(제1 TFT : 10), EL 소자 구동용 TFT(제2 TFT : 21) 및 유지 용량 Cs를 구비하고 있다.

제1 TFT(10)는 게이트 라인 GL과 데이터 라인 DL에 접속되어 있고, 게이트 전극으로 게이트 신호(선택 신호)를 받아 온(ON) 된다. 이 때 데이터 라인 DL에 공급되고 있는 데이터 신호는 제1 TFT(10)와 제2 TFT(21)와의 사이에 접속된 유지 용량 Cs에 의해 유지된다. 제2 TFT(21)의 게이트 전극에는 상기 제1 TFT(10)를 통해 공급된 데이터 신호에 따른 전압이 공급되고, 이 제2 TFT(21)는 그 전압값에 따른 전류를 전원 라인 VL로부터 유기 EL 소자(50)에 공급한다. 유기 EL 소자(50)는 양극으로부터 주입되는 정공과 음극으로부터 주입되는 전자가 발광층 내에서 재결합하여 발광 분자가 여기되고, 이 발광 분자가 여기 상태에서 기저 상태로 되돌아갈 때에 발광한다. 유기 EL 소자(50)의 발광 휘도는 유기 EL 소자(50)에 공급되는 전류에 거의 비례하며, 상술된 바와 같이 각 화소마다 데이터 신호에 따라 유기 EL 소자(50)에 흐르는 전류를 제어함으로써, 해당 데이터 신호에 따른 휘도로 유기 EL 소자를 발광하고, 표시 장치 전체에서 원하는 이미지 표시가 행해진다.

발명이 이루고자 하는 기술적 과제

유기 EL 표시 장치에 있어서, 높은 표시 품질을 실현하기 위해서는, 유기 EL 소자(50)를 데이터 신호에 따른 휘도로 확실하게 발광시킬 필요가 있다. 따라서, 액티브 매트릭스형에서는, 구동 전원 라인 VL과, 유기 EL 소자(50)와의 사이에 배치되는 제2 TFT(21)에 대해서는 유기 EL 소자(50)에 전류가 흘러 해당 EL 소자(50)의 양극 전위가 변동해도 그 드레인 전류가 변동하지 않는 것이 요구된다.

이 때문에, 도 13에 도시한 바와 같이 제2 TFT(21)로서는, 구동 전원 라인 VL에 소스가 접속되고, 유기 EL 소자(50)의 양극측에 드레인이 접속되며, 데이터 신호에 따른 전압이 인가되는 게이트와, 상기 소스와의 전위차 Vgs에 의해 소스·드레인 간 전류를 제어할 수 있는 pch-TFT가 채용되는 경우가 많다.

그러나, pch-TFT를 제2 TFT(21)로서 채용한 경우에는, 상술한 바와 같이 구동 전원 라인 VL에 소스가 접속되고, 이 소스와 게이트와의 전위차에 의해 드레인 전류, 즉 유기 EL 소자(50)에 공급되는 전류가 제어되기 때문에, 구동 전원 라인 VL의 전압이 변동하면 각 소자(50)에서의 발광 휘도가 변동하는 문제가 있다. 유기 EL 소자(50)는 상술한 바와 같이 전류 구동형 소자이며, 예를 들면 임의의 프레임 기간에 표시되는 이미지가 고휘도인 경우 등(일례로서 전면 백색 등), 기판 위의 대부분의 유기 EL 소자(50)에 대하여, 단일 구동 전원 Vpdd로부터 대응하는 각 구동 전원 라인 VL을 통해 한번에 많은 전류가 흘러, 구동 전원 라인 VL의 전위가 변동하는 경우가 있다. 또한, 구동 전원 Vpdd로부터의 거리가 길고, 구동 전원 라인 VL의 배선 저항에 의한 전압 강하가 현저한 영역, 예를 들면 전원으로부터 먼 위치에 있는 화소에서는, 구동 전원 라인 VL의 전압이 낮기 때문에 각 유기 EL 소자(50)의 발광 휘도가 전원에 가까운 위치의 소자보다 낮아지게 된다.

또한, 제2 TFT(21)로서 pch-TFT를 이용한 경우, 이 제2 TFT(21)에 공급하는 데이터 신호는, 그 극성을 비디오 신호의 극성과 반대로 할 필요가 있으며, 드라이버 회로에 극성 반전 수단을 형성할 필요도 있었다.

상기 과제를 해결하기 위해, 본 발명에서는 구동 전원 라인으로부터 피구동 소자로 공급되는 전력이 구동 전원의 전압 변동의 영향을 받지 않도록 하는 것을 목적으로 한다.

또한 본 발명의 다른 목적은, 소자 구동용 박막 트랜지스터에 공급하는 데이터 신호의 극성을 비디오 신호의 극성과 일치시켜, 구동 회로의 간소화를 도모하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은 반도체 장치로서, 선택 신호를 게이트로 받아 동작하고, 데이터 신호가 공급되는 스위칭용 박막 트랜지스터와, 구동 전원에 드레인이 접속되며, 피구동 소자에 소스가 접속되고, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호를 게이트로 받아, 상기 구동 전원에서부터 상기 피구동 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터와, 제1 전극이 상기 스위칭용 박막 트랜지스터와 상기 소자 구동용 박막 트랜지스터의 상기 게이트에 접속되고, 제2 전극이 상기 소자 구동용 박막 트랜지스터의 소스와 상기 피구동 소자와의 사이에 접속되며, 상기 데이터 신호에 따라 상기 소자 구동용 박막 트랜지스터의 게이트·소스간 전압을 유지하는 유지 용량과, 상기 유지 용량의 제2 전극의 전위를 제어하기 위한 스위치 소자를 포함한다.

본 발명의 다른 양태는, 매트릭스 형상으로 배치된 복수의 화소를 구비하는 액티브 매트릭스형 표시 장치로서, 각 화소는, 적어도, 피구동 소자와, 선택 신호를 게이트로 받아 동작하고, 데이터 신호가 공급되는 스위칭용 박막 트랜지스터와, 구동 전원에 드레인이 접속되고, 상기 피구동 소자에 소스가 접속되며, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호를 게이트로 받아, 상기 구동 전원에서부터 상기 피구동 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터와, 제1 전극이 상기 스위칭용 박막 트랜지스터와 상기 소자 구동용 박막 트랜지스터의 상기 게이트에 접속되고, 제2 전

극이 상기 소자 구동용 박막 트랜지스터의 소스와 상기 피구동 소자와의 사이에 접속되며, 상기 데이터 신호에 따라 상기 소자 구동용 박막 트랜지스터의 게이트·소스간의 전압을 유지하는 유지 용량과, 상기 유지 용량의 제2 전극의 전위를 제어하기 위한 스위치 소자를 포함한다.

이상과 같이, 유지 용량에 의해, 소자 구동용 박막 트랜지스터의 게이트와, 피구동 소자에 접속된 소스와의 사이의 전압을 유지하기 때문에, 피구동 소자가 동작하여 이 소자에 접속된 소자 구동용 박막 트랜지스터의 소스 전위가 상승한 경우에도 데이터 신호에 따른 전류의 피구동 소자에의 공급이 가능해져, 소자 구동용 박막 트랜지스터로서, n 채널형 박막 트랜지스터의 사용이 가능하다. 그리고, 구동 전원 라인에서의 전압 변동에 대하여 피구동 소자에의 공급 전력이 영향을 받지 않게 되어, 안정된 전력 공급이 가능해진다.

또한, n 채널형 박막 트랜지스터는, 채널 영역과 고농도 불순물을 주입한 소스 영역 및 드레인 영역과의 사이에 저농도 불순물을 주입한 LD 영역을 갖는 것이 적합하다.

특히, 이 구동 트랜지스터는 적어도 주변 회로에서의 n 채널 트랜지스터의 LD 영역보다 크게 설정되어 있는 것이 적합하며, 스위칭 트랜지스터의 LD 영역보다도 큰 것이 적합하다.

이에 의해, 트랜지스터를 크게 하지 않아도, 게이트로 받는 전압 변화에 대한 전류량 조정의 정밀도를 향상시킬 수 있다. 또한, 트랜지스터를 레이아웃하는 점유 면적을 작게 할 수 있으며, 개구율 증대에 따른 휘도 상승과 저소비 전류화를 실현할 수 있다.

본 발명의 다른 양태에서는, 상기 피구동 소자는 일렉트로루미네센스 소자이다. 일렉트로루미네센스 소자에서는, 예를 들면 공급 전류에 대응한 휘도로 발광하기 때문에, 상술한 바와 같은 회로 구성에 의해 전류 공급을 행함으로써, 데이터 신호에 따른 휘도로 각 소자를 발광시킬 수 있다.

본 발명의 다른 양태에서는, 상기 스위치 소자는 상기 스위칭용 박막 트랜지스터의 온·오프에 따라 상기 유지 용량의 제2 전극의 전위를 제어한다.

본 발명의 다른 양태에서는, 상기 스위치 소자에 의해 상기 스위칭용 박막 트랜지스터의 온 동작 시에 상기 유지 용량의 제2 전극이 고정 전위로 제어된다.

본 발명의 다른 양태에서는, 상기 스위치 소자에 의해, 상기 스위칭용 박막 트랜지스터의 온 동작이 전부터 상기 유지 용량의 제2 전극이 고정 전위로 제어되고, 상기 스위칭용 박막 트랜지스터가 오프 상태로 된 후에, 상기 유지 용량의 제2 전극에 대한 전위 제어를 정지한다.

본 발명의 다른 양태에서는, 상기 스위치 소자는 박막 트랜지스터이며, 소정의 리셋 신호 또는 상기 스위칭용 박막 트랜지스터에 공급되는 선택 신호에 따라, 상기 유지 용량의 제2 전극의 전위를 제어한다.

이상과 같은 스위치 소자의 제어에 의해, 유지 용량의 제2 전극 전위를 제어함으로써, 확실하고 간단하게 유지 용량에 데이터 신호에 따른 전하를 축적하고, 소정 기간, 소자 구동용 박막 트랜지스터의 게이트·소스간의 전압을 유지하는 것이 가능해진다.

본 발명의 다른 양태에서는, 상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있고, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키기 위해 이용되는 것을 특징으로 한다.

본 발명에서는, 피구동 소자 각각에 대응하여 해당 소자와 접속된 스위치 소자가 각 화소에 형성되어 있기 때문에, 예를 들면 소정 타이밍에서 스위치 소자를 온 상태로 함으로써, 스위치 소자를 통해 피구동 소자를 확실하게 또 다른 전용 소자를 형성하지 않고 간단히 방전시킬 수 있다.

본 발명의 다른 양태에서는, 상기 스위치 소자는 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용된다.

예를 들면 박막 트랜지스터로 구성되는 스위치 소자는, 소자 구동용 박막 트랜지스터의 소스에 접속되어 있기 때문에, 스위치 소자를 온 상태로 제어함으로써, 이 스위치를 통해 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류를 검출하는 것이 가능해진다. 따라서, 이러한 측정은 피구동 소자에 공급되는 예상 전력량을 미리 검사하는 것도 가능하게 된다.

또한, 본 발명은, 일렉트로루미네센스 소자를 복수 매트릭스 형상으로 배치한 유기 EL 패널로서, 일렉트로루미네센스 소자에 공급하는 구동 전류를 제어하는 구동 트랜지스터가 각 일렉트로루미네센스 소자에 대응하여 형성되고, 이 구동 트랜지스터는 n 채널 트랜지스터이며, 또한 채널 영역과 고농도 불순물을 주입한 소스 및 드레인 영역과의 사이에 저농도 불순물을 주입한 LD 영역이 형성되어 있는 것을 특징으로 한다. 특히, 구동 트랜지스터의 LD 영역은, 적어도 주변 트랜지스터의 LD 트랜지스터에 비교하여 큰 것이 적합하다.

이러한 큰 LD 영역을 채용함으로써, 높은 개구율을 확보하면서, 일렉트로루미네센스 소자에 공급하는 전류를 정밀도 좋게 제어할 수 있다.

또한, 상기 구동 트랜지스터의 게이트에는, 스위칭 트랜지스터와, 용량의 일단이 접속되고, 상기 일렉트로루미네센스 소자와 구동 트랜지스터의 접속점은 방전 트랜지스터에 의해 저전압 전원에 접속되고, 또한 상기 일렉트로루미네센스 소자와 구동 트랜지스터의 접속점에는 상기 용량의 타단이 접속되어 있는 것이 적합하다.

<발명의 실시예>

이하, 도면을 이용하여 본 발명의 적합한 실시예에 대하여 설명한다.

도 1은 본 발명의 실시예에 따른 유기 EL 소자를 구동하기 위한 회로 구성을 도시한다. 또, 여기서는, 구체적으로는 액티브 매트릭스형 유기 EL 표시 장치에서의 1 화소의 회로 구성을 예로 들어 설명하고 있다.

1 화소는, 도 1에 도시한 바와 같이, 피구동 소자 혹은 표시 소자로서의 유기 EL 소자(50), 스위칭용 박막 트랜지스터(제1 TFT : 10), 소자 구동용 박막 트랜지스터(제2 TFT : 20) 및 유지 용량 Cs를 갖고, 또한 리세트용 스위치 소자로서 리세트용 박막 트랜지스터(제3 TFT : 30)를 구비한다.

제1 TFT(10)는, 여기서는 nch-TFT로 구성되고, 게이트 라인 GL에 게이트 전극이 접속되고, 드레인이 데이터 라인 DL에 접속되며, 소스는 후술한 바와 같이 제2 TFT(20) 및 유지 용량 Cs에 접속되어 있다.

제2 TFT(20)는 본 실시예에서는 nch-TFT로 구성되고, 구동 전원 Pvdd(실제로는 여기서는 구동 전원 라인 VL)에 그 드레인이 접속되고, 유기 EL 소자(50)의 양극 측에 소스가 접속되어 있다. 또한 게이트는, 상기 제1 TFT(10)의 소스, 및 이하의 유지 용량 Cs의 제1 전극에 접속되어 있다.

유지 용량 Cs는, 제1 및 제2 전극을 구비하고, 제1 전극은 제1 TFT(10)의 소스와 제2 TFT(20)의 게이트에 접속되고, 제2 전극은 제2 TFT(20)의 소스와 유기 EL 소자(50)의 양극과의 사이에 접속되어 있다.

제3 TFT(방전 트랜지스터 : 30)는, 여기서는 nch-TFT로 구성되어 있고(단 pch-TFT라도 무방함), 게이트는 리세트 신호가 인가되는 리세트 라인 RSL에 접속되고, 드레인은 유지 용량의 제2 전극에 접속되며, 소스는 유지 용량의 제2 전극 전위를 규정하는 전압이 공급되어 있는 용량 라인 SL에 접속되어 있다.

이상과 같은 회로 구성에서, 게이트 라인 GL에 선택 신호(게이트 신호)가 출력되면 이에 따라 제1 TFT(10)는 온 상태가 된다. 제3 TFT(30)는 이 제1 TFT(10)와 거의 같은 타이밍에 의해 온·오프 제어되며, 제1 TFT(10)가 온 상태가 되었을 때, 제3 TFT(30)도 리세트 신호에 의해 온 상태가 되며, 유지 용량 Cs의 제2 전극은 이 제3 TFT(30)의 소스에 접속된 용량 라인 SL의 고정 전위 Vs1(예를 들면 0V)과 동일하게 되어 있다. 따라서, 제1 TFT(10)가 온 상태로 되어 제1 TFT(10)의 소스 전압이 데이터 라인 DL에 공급되어 있는 데이터 신호의 전압과 동일해지면, 유지 용량 Cs는 제2 전극의 고정 전위와, 상기 제1 TFT(10)의 소스 전위와의 차, 실질적으로는 데이터 신호에 대응한 전압에 따라 충전된다.

제2 TFT(20)는 유지 용량 Cs에 유지된 전하에 따른 전압이 제2 TFT(20)의 게이트에 인가되고, 해당 제2 TFT가 온 상태로 되면, 이 게이트 전압에 따른 전류가 구동 전원 라인 VL로부터 제2 TFT(20)의 드레인·소스 사이를 통해 유기 EL 소자(50)에 공급된다. 따라서, 흐른 전류량에 따라, 제2 TFT(20)의 소스 전위가 상승한다. 이 때, 제3 TFT(30)는 오프 상태로 제어되어 있고, 유지 용량 Cs의 제2 전극은 용량 라인 SL로 분리되어 있다. 이 때문에, 유지 용량 Cs는 제2 TFT(20)의 게이트·소스 사이에 접속된 상태가 되고, 소스 전위가 상승해도 그 만큼 게이트 전위가 상승하여, 데이터 신호에 따른 제2 TFT(20)의 게이트·소스간의 전압 Vgs가 이 유지 용량 Cs에 의해 유지된다.

따라서, 본 실시예의 회로 구성에 따르면, 유기 EL 소자(50)에 전류가 흘러 제2 TFT(20)의 소스 전위가 상승해도, 유지 용량 Cs의 기능에 의해 유기 EL 소자(50)에는 데이터 신호에 따른 전류가 안정적으로 공급된다. 또한, 제2 TFT(20)로서 nch-TFT를 채용하기 때문에, 비디오 신호와 동일 극성의 데이터 신호를 이용할 수 있다. 또한, 제2 TFT의 드레인이 접속되는 구동 전원 Pvdd는, 예를 들면 14V로 충분히 높은 전압이기 때문에, nch-TFT의 제2 TFT(20)에 대해서도 그 포화 영역에서의 구동이 가능하고, 소스·드레인간의 전압의 변동을 받지 않고 유기 EL 소자(50)에 전류를 공급하는 것이 가능하다. 또, 여기서, 게이트 라인 GL에 인가되는 게이트 신호는, 일례로 0V~12V의 범위, 데이터 신호는 1V~6V, 용량 라인 SL의 고정 전위는 0V 정도로 각 회로 소자를 구동할 수 있다. 또한, 제2 TFT(20)로서 nch-TFT를 채용하고 있으므로, 데이터 신호로서는 비디오 신호와 동일 극성의 신호를 사용할 수 있다.

또, 후술한 바와 같이 상기 n 채널형 제2 TFT(20)에는 채널과 소스·드레인 사이에 저농도 불순물 주입 영역을 갖는 소위 LDD 구조(본 명세서에서는, 이것을 LD 구조라고 함)를 채용할 수도 있다.

도 2는 상기한 바와 같은 각 화소에 대하여 대응하는 게이트 신호(G1~Gm) 및 리세트 신호(RS1~RSm)를 공급하기 위한 회로의 개략을 도시하고 있고, 도 3은 이 회로의 동작을 도시하고 있다. 액티브 매트릭스형 유기 EL 표시 장치에 있어서, 매트릭스 형상으로 배열된 화소의 각 제1 TFT(10)는 도 2에 개략한 바와 같은 수직 드라이버(100)로부터 출력되는 게이트 신호에 의해 행마다(게이트 라인 GL 마다) 순차적으로 선택되고, 이 때 도시하지 않은 수평 드라이버로부터 각 데이터 라인 DL에 출력되는 데이터 신호가 공급된다.

수직 드라이버(100)의 시프트 레지스터(110)는 수직 스타트 펄스를 1H(1수평 주사 기간)마다 시프트하고, 도 3에 도시한 바와 같이 출력부(120)에 대하여 순서대로 시프트 펄스 S1, S2, S3...Sm을 출력한다.

출력부(120)는 일례로서 도 2의 (b)에 도시한 바와 같은 구성을 구비하고 있고, 2개의 AND 게이트(122, 124)를 각 행에 대응하여 구비하고, 도 3에 도시한 바와 같은 게이트 신호 G1, G2, G3...Gm과, 리세트 신호 RS1, RS2, RS3...RSm을 순차 대응하는 라인에 출력한다. AND 게이트(122)는, 전후하는 시프트 펄스의 논리곱을 취한다. AND 게이트(124)의 한쪽 입력 단자에는 1H의 전환 기간에서, 게이트 라인 GL에의 게이트 신호의 출력을 금지하는 인에이블 신호 ENB(도 3 참조)가 공급되고 있으며, AND 게이트(124)는 이 ENB와 상기 AND 게이트(122)와의 논리곱을 취한다. AND 게이트(122)로부터 출력되는 2개의 시프트 펄스(도 2에서는 S1과 S2)의 논리곱은, 본 실시예에서 리세트 신호 RS(여기서는 RS1)로서 이용된다. 그리고, AND 게이트(124)가 ENB 신호에 의해 출력이 허가된 기간만, 상기 AND 게이트(122)의 논리곱 결과를 각 게이트 라인 GL에 게이트 신호(여기서는 G1)로서 출력한다.

AND 게이트(122)로부터 출력되는 리셋 신호 RS는 상술한 바와 같이 리셋 라인 RSL을 통해 대응하는 화소의 제3 TFT(30)의 게이트에 인가되고, 또한 게이트 신호 G는 대응하는 화소의 제1 TFT(10)의 게이트에 인가된다. 여기서, 도 2의 회로에 의해 작성된 리셋 신호 RS와, 게이트 신호 G와는 도 3에 도시한 바와 같이 예를 들면 1행째의 화소에 공급되는 G1, RS1를 비교하면 알 수 있듯이, 게이트 신호 G의 H 레벨 기간(nch-TFT(10)의 온 제어 기간)은 리셋 신호의 H 레벨 기간(nch-TFT(30)의 온 제어 기간)보다도 ENB 신호에 의해 제한된 기간만큼 짧다.

따라서, G1, RS1에 의해 제어되는 1행째의 화소를 예로 들면, 우선 리셋 신호 RS1에 의해 제3 TFT(30)가 온 제어된다. 즉, 유지 용량 Cs의 제2 전극이 유지 용량 라인의 전위로 고정된 후, 제1 TFT(10)가 게이트 신호 G1에 의해 온 상태로 되고, 유지 용량 Cs의 제1 전극에는 데이터 라인 DL에서의 데이터 신호와 거의 동일한 전압이 인가된다. 또한, 리셋 신호 RS는, 게이트 신호 G가 L 레벨(TFT 오프 레벨)이 되고나서 L 레벨이 된다. 즉, 유지 용량 Cs의 제2 전극은, 제1 TFT(10)가 오프 상태로 되고 제1 전극측의 전위가 결정될 때까지 고정 전위 Vs1로 유지된다. 따라서, 제1 TFT(10)의 온 기간 중에 제3 TFT(30)가 오프 상태가 됨으로써 유지 용량 Cs의 제1 전극 전위가 변동하고, 온 상태로 되어 있는 제1 TFT(10)를 통해 데이터 라인 DL에 일단 유지된 데이터 신호가 누설되는 것을 확실하게 방지할 수 있게 된다.

도 4 및 도 5는, 본 실시예에서 채용 가능한 다른 1 화소의 회로 구성을 도시하고 있다. 또, 도 1과 공통되는 부분에는 동일한 부호를 붙여 설명을 생략한다.

도 4의 회로 구성에서, 도 1과 서로 다른 점은, 도 4에서는 구동 전원 라인 VL과 유기 EL 소자(50)와의 사이에 복수(여기서는 2개)의 nch-TFT를 병렬로 형성하고 있는 점이며, 그 외에는 도 1과 동작을 포함하여 공통된다. 이와 같이 제2 TFT(20)를 복수개(k개)로 함으로써, 각 제2 TFT(20)에 흐르는 전류가 동일한 「i」인 경우에, 유기 EL 소자(50)에는 최대 합계 「k×i」의 전류가 공급된다. 예를 들면 k=2인 경우는, 한쪽의 제2 TFT(20)가 최악으로 전혀 동작하지 않는 경우에도, 다른 유기 EL 소자(50)에 공급되는 「2×i」 전류에 대하여, 유기 EL 소자(50)에 「i」의 전류를 공급하는 것은 가능해진다. 제2 TFT(20)를 1개만 채용한 경우에는 이 TFT(20)가 불량해지면 전류값 「0」, 즉 화소 결함이 되어 버린다. 따라서, 이러한 경우와 비교하면, 도 4와 같이 복수의 제2 TFT(20)를 형성함으로써, 각 유기 EL 소자(50)의 화소마다의 발광 휘도 변동을 완화시키고, 또한 화소에 발생하는 결함의 비율을 극단적으로 감소시킬 수 있어, 신뢰성을 높인 회로 구성이 실현된다.

도 5의 회로 구성에서, 도 1과 서로 다른 점은 제3 TFT(30)의 게이트가 제1 TFT(10)의 게이트와 함께 게이트 라인 GL에 접속되고, 이들이 동일한 게이트 신호 G에 의해 제어되는 것이다. 도 3의 타이밍차트와 같이 제1 TFT(10)의 온 기간보다 제3 TFT(30)의 온 기간을 길게 설정함으로써, 유지 용량 Cs가 유지하는 전위의 변동은 보다 확실하게 저감되지만, 도 5와 같은 회로 구성으로서 제1 TFT(10)와 제3 TFT(30)를 동일 타이밍에서 온 오프 제어하는 구성이라도, 제3 TFT(30)가 제1 TFT(10)보다 빨리 오프 상태로 될 가능성은 낮으며, 유지 용량 Cs에 정확하게 데이터 신호에 따른 전하를 축적시켜, 제2 TFT(20)를 구동할 수 있다. 또한 도 5에 도시한 바와 같은 회로 구성에서는 후술한 도 8로부터도 알 수 있듯이, 1 화소 내에서의 배선 및 제3 TFT(30)를 위한 배치 공간을 최소한으로 억제할 수 있으며, 도 1이나 도 4의 구성과 비교하여, 유기 EL 소자(50)의 배치 영역(발광 영역), 즉 개구율을 그 만큼 크게 할 수 있다.

도 6은, 도 4에 도시한 회로 구성을 구비한 1 화소의 평면 구성의 예를 도시한다. 또한, 도 7의 (a)는, 도 6의 A-A 선에 따른 제1 TFT(10)의 단면, 도 7의 (b)는 도 6의 B-B 선에 따른 제2 TFT(20)의 단면, 도 7의 (c)는 도 6의 C-C 선에 따른 제3 TFT(30)의 단면의 일례를 각각 도시하고 있다.

도 6의 구성에서는, 물론 대응하는 도 4와 같이 각 화소는 유기 EL 소자(50), 제1, 제2 및 제3 TFT(10, 20, 30) 및 유지 용량 Cs를 화소 영역 내에 구비하고 있다. 도 6의 예에서는 게이트 라인(GL : 40)은 행 방향으로 연장되고, 2개의 게이트 전극(2)이 이 게이트 라인(40)으로부터 해당 TFT(10)의 능동층(6)의 형성 영역 위로 연장되고, 더블 게이트 구조의 TFT가 채용되고 있다. 또한 게이트 라인(40)과 평행하게 행 방향으로 제3 TFT(30)를 구동하기 위한 리셋 라인(RSL : 46)이 형성되고, 제3 TFT(30)의 능동층(36) 위에 이 리셋 라인(46)으로부터 게이트 전극(32)이 연장되고 있다.

또한, 제1 TFT(10)에 데이터 신호를 공급하는 데이터 라인(DL : 42)과, 제2 TFT(20)에 구동 전원 Pvd로부터의 전류를 공급하는 구동 전원 라인(VL : 44)이 각각 화소의 열 방향으로 배치되어 있다. 또한, 제3 TFT(30)(여기서는 TFT(30)의 드레인)를 통해 유지 용량 Cs의 제2 전극(8)에 대하여, 고정 전위 Vs1을 공급하기 위한 용량 라인(SL : 48)이 상기 데이터 라인(42) 및 구동 전원 라인(44)과 나란히 열 방향으로 배치되어 있다.

또한, 구동 전원 라인(44)과, 유기 EL 소자(50)와의 사이에는 2개의 제2 TFT(20)가 병렬 접속되어 있고, 이 하나의 제2 TFT(20)는 도 6에 도시한 바와 같이, 열 방향(여기서는 화소 길이 방향과 일치하며, 또한 데이터 라인(42) 및 구동 전원 라인(44)의 연장 방향과 일치)으로 각 채널 길이 방향이 다르도록, 2개가 일직선상으로 배열되어 형성되며, 유지 용량 Cs의 제1 전극(7)과의 접촉 부분으로부터 2개의 TFT(20)에 공통된 게이트 전극(24)이 인출되고, 제2 TFT(20)의 능동층(16)을 피복하고 있다. 물론 제2 TFT(20)는 이러한 레이아웃에 한정되는 것은 아니지만, 이와 같이 화소 길이 방향으로 채널 길이 방향이 다르도록 배치함으로써, 신뢰성 향상을 위해 제2 TFT(20)의 채널 길이를 길게 하는 것이 바람직한 경우 예, 이러한 제2 TFT(20)를 한정된 1 화소 내에 효율적으로 배치하는 것이 가능해진다. 또한, 후술한 바와 같이 능동층(16)으로서 비정질 실리콘을 레이저 어닐링하여 다결정화하여 얻은 다결정 실리콘을 이용하는 경우에 있어서, 레이저 어닐링의 주사 방향을 열 방향으로 설정하고, 도 6과 같이 제2 TFT(20)의 긴 채널 길이 방향을 열 방향을 향하게 하고, 또한 2개의 제2 TFT(20)를 열 방향으로 이격하여 배치하는 구성을 채용함으로써, 각 TFT(20)의 능동층(16)에 대하여, 복수회의 펄스 레이저 조사될 가능성이 높아져, TFT(20) 특성의 변동이 화소간에 평균화될 수 있다(변동을 작게 할 수 있음).

이어서 화소의 각 회로 소자의 단면 구조에 대하여 더욱 도 7을 참조하여 설명한다. 도 7의 (a)~도 7의 (c)에 도시한 바와 같이, 본 실시예에서는 제1, 제2 및 제3 TFT(10, 20, 30) 모두 게이트 전극(2, 24, 32)이, 게이트 절연막(4)을 사이에 두고 능동층(6, 16, 36) 상측에 배치된 소위 탑 게이트형 TFT 구조가 채용되어 있다(물론 보텀 게이트형이라도 됨).

제1, 제2 및 제3 TFT(10, 20, 30)의 각 능동층(6, 16, 36)에는 유리 등의 투명 절연 기관(1) 위에 형성한 a-Si를, 동일한 레이저 어닐링 처리 공정에 의해 다결정화하고, 얻은 p-Si를 패터닝하여 얻어진 층이 이용되고 있다. 또한, 여기서는 어느 것의 TFT의 능동층도, 그 소스 영역, 드레인 영역에 동일한 도핑 공정에 의해 n형 불순물이 도핑되어 있으며, 모두 nch-TFT로서 구성되어 있다.

제1 TFT(10)에서는 게이트 라인(40)으로부터 게이트 전극(2)이 2군데에서 돌출 형성되어 있고, 회로적으로 더블 게이트 구조의 TFT가 형성되어 있다. 능동층(6)은 게이트 전극(2) 바로 아래의 영역이 불순물이 도핑되지 않은 진성의 채널 영역(6c)이 되고, 채널 영역(6c) 양측에는 여기서는 인(P) 등의 불순물이 도핑된 드레인 영역(6d), 소스 영역(6s)이 형성되고, nch-TFT가 구성되어 있다.

제1 TFT(10)의 드레인 영역(6d)은, 제1 TFT(10) 전체를 피복하여 형성되는 층간 절연막(14) 위에 형성되며 화소에 대응한 색 데이터 신호를 공급하는 데이터 라인(42)과, 해당 층간 절연막(14) 및 게이트 절연막(4)에 개구된 콘택트홀에 접속되어 있다.

제1 TFT(10)의 소스 영역(6s)은 유지 용량 Cs의 제1 전극(7)을 겸용하고 있다. 제1 전극(7) 위에는 게이트 절연막(4)을 사이에 두고 게이트 라인(40) 등과 동일한 재료로 이루어지는 제2 전극(8)이 형성되고, 제1 및 제2 전극(7, 8)이 게이트 절연막(4)을 사이에 두고 중첩된 영역이 유지 용량 Cs를 구성하고 있다. 제1 전극(7)은 제2 TFT(20)의 형성 영역(능동층(16))으로 연장되고, 접속 배선(26)을 통해 제2 TFT(20)의 게이트 전극(24)과 접속되어 있다. 또한, 제2 전극(8)은 이 제2 전극(8) 및 게이트 전극(2), 게이트 라인(40)을 피복하여 형성되는 층간 절연막(14)의 상층에, 후술하는 데이터 라인(42) 등과 동시에 형성되는 공통 접속 배선(34)에 의해 제3 TFT(30)의 드레인(36d)과, 제2 TFT(20)의 소스(16s)와, 유기 EL 소자(50)의 후술된 양극(52)에 접속되어 있다.

2개의 제2 TFT(20)의 능동층(16)은, 게이트 전극(24) 하측이 채널 영역(16c)이고, 채널 영역(16c) 양측에는 각각 인(P) 등의 불순물이 도핑된 드레인 영역(16d), 소스 영역(16s)이 형성되어, nch-TFT가 구성되어 있다. 2개의 제2 TFT(20)의 각 드레인 영역(16d)은 도 6 및 도 7의 (b)의 예에서는 상호 공통이며, 층간 절연막(14) 및 게이트 절연막(4)에 개구된 하나의 공통 콘택트홀을 통해 드레인 전극을 겸용하는 구동 전원 라인(44)과 접속되어 있다. 한편, 2개의 제2 TFT(20)의 소스 영역(16s)은 각각 층간 절연막(14) 및 게이트 절연막(4)에 개구된 콘택트홀을 통해 상기 공통 접속 배선(34)에 접속되어 있다.

제3 TFT(30)는 도 7의 (c)에 도시한 바와 같이 제1 및 제2 TFT(10, 20)와 기본적으로 마찬가지로의 구성으로, 리셋 라인(RSL : 46)과 일체의 게이트 전극(32) 하측이 채널 영역(36c)이 되며, 채널 영역(36c) 양측에는 인 등의 불순물이 도핑되어 소스 영역(36s) 및 드레인 영역(36d)이 형성되어, nch-TFT가 구성되어 있다.

제3 TFT(30)의 소스 영역(36s)은 층간 절연막(14) 및 게이트 절연막(4)에 개구된 콘택트홀을 통해 소스 전극을 겸용하는 용량 라인(SL : 48)과 접속되어 있다. 또한, 제3 TFT(30)의 드레인 영역(36d)은 층간 절연막(14) 및 게이트 절연막(4)에 개구된 콘택트홀을 통해 드레인 전극을 겸용하는 상기 공통 접속 배선(34)에 접속되어 있다.

제1 TFT(10)의 게이트 전극(2)(게이트 라인 : 40), 제2 TFT(20)의 게이트 전극(24)(접속부(26)로부터의 배선부를 포함함), 제3 TFT(30)의 게이트 전극(32)(리셋 라인(48)) 및 유지 용량 Cs의 제2 전극(8)은 각각 예를 들면 Cr을 이용하여 동시에 패터닝 형성되어 있다. 또한, 데이터 라인(42), 구동 전원 라인(44), 용량 라인(48) 및 공통 접속 배선(34), 접속 배선(26)은 각각 예를 들면 Al 등을 이용하여 동시에 패터닝 형성되어 있다. 또, 도 6에 도시한 바와 같이 제2 TFT(20)의 소스 영역(16s)에 접속되는 공통 접속 배선(34)은 후술하는 유기 EL 소자(50)의 양극(52)과, 제2 TFT(20)의 게이트 전극 형성 영역과의 사이를 피복하도록 화소 길이 방향(여기서는 열 방향)을 따라 배치되어 있고, 제2 TFT(20)의 채널 영역(16c)을 유기 EL 소자(50)로부터 유리 기관(1)측으로 사출되는 빛으로부터 차광하는 기능을 발휘할 수 있다.

제3 TFT(30)의 소스 영역(36s), 유지 용량 Cs의 제2 전극(8) 및 제2 TFT(20)의 소스 영역(16s)과 각각 접속된 상술한 공통 접속 배선(34)은 이 배선(34), 데이터 라인(42), 구동 전원 라인(44), 용량 라인(48)을 포함하는 기관 전체를 따라 형성된 제1 평탄화 절연층(18)에 개구된 콘택트홀을 통해 도 7의 (b)에 도시한 바와 같이, 유기 EL 소자(50)의 양극(52)과 접속되어 있다.

이상과 같이 본 실시예에서는, 1 화소 내에 각각 제1, 제2 및 제3 TFT(10, 20, 30)의 3 종류의 TFT를 형성하고 있지만, 제2 TFT(20)로서 nchTFT를 이용할 수 있는 회로 구성의 채용에 의해, 3 종류의 이들 TFT(10, 20, 30)는 동일 공정을 통해 동시에 형성할 수 있다. 따라서, 동시에 형성하면, TFT 수가 증가함에 따른 공정 증가를 방지할 수 있다.

유기 EL 소자(50)는 ITO(Indium Tin Oxide) 등으로 이루어지는 투명한 양극(52)과, 예를 들면 Al 등의 금속으로 이루어지는 음극(57)과의 사이에 유기 화합물이 이용된 발광 소자층(유기층 : 51)이 형성되어 구성되어 있으며, 본 실시예에서는 도 3의 (b)에 도시한 바와 같이 기관(1)측으로부터 양극(52), 발광 소자층(51), 음극(57)이 이 순서로 적층되어 있다. 또, 도 7의 (b)에 도시한 바와 같이, 상기 제1 평탄화 절연층(18) 위에는 유기 EL 소자(50)의 양극(52)의 형성 중앙 영역만 개구된 제2 평탄화 절연층(61)이 형성되어 있고, 이 제2 평탄화 절연층(61)은 양극(52)의 엣지를 피복하고, 또한 배선 영역 및 제1 및 제2 및 제3 TFT 형성 영역, 유지 용량 형성 영역을 피복하고 있으며, 양극(52)과 최상층의 음극(57)과의 쇼트나 발광 소자층(51)의 단선을 방지하고 있다.

발광 소자층(51)은 이 예에서는 양극측으로부터, 예를 들면 홀 수송층(54), 유기 발광층(55), 전자 수송층(56)이 예를 들면 진공 증착에 의해 순서대로 적층되어 있다. 발광층(55)은 각 화소가 다른 예를 들면, R(적), G(초록), B(청)으로서 할당된 컬러 표시 장치인 경우, 할당된 발광색마다 다른 재료가 이용된다. 다른 홀 수송층(54), 전자 수송층(56)은 도 7의 (b)에 예시한 바와 같이 전체 화소에 대하여 공통으로 형성할 수도 있으며, 또한 색마다 발광층(55)과 마찬가지로 다른 재료가 이용되어도 무방하다. 각 층에 이용되는 재료에 대하여 일례를 예로 들면 이하와 같다.

홀 수송층(54) : NBP,

발광층(55) : 레드(R)···호스트 재료(Alq₃)에 적색의 도우펀트(DCJTb)를 도핑,

그린(G)···호스트 재료(Alq₃)에 녹색의 도우펀트(Coumarin6)를 도핑,

블루(B)···호스트 재료(Alq₃)에 청색의 도우펀트(Perylene)를 도핑,

전자 수송층(56) : Alq₃,

또한, 음극(57)과 전자 수송층(56)과의 사이에는 예를 들면 불화리튬(LiF) 등을 이용한 전자 주입층을 형성해도 된다. 또한 홀 수송층은 각각 다른 재료를 이용한 제1 및 제2 홀 수송층으로 구성되어도 된다. 또한, 각 발광 소자층(51)은 적어도 발광 재료를 함유하는 발광층(55)을 구비하고 있지만, 이용하는 재료에 따라서는 상기 홀 수송층이나, 전자 수송층 등은 반드시 필요하지 않는 경우도 있다. 또, 약칭으로 기재한 재료의 정식 명칭은, 각각

「NBP」···N, N'-Di((naphthalene-1-yl)-N, N'-diphenyl-benzidine),

「Alq₃」···Tris(8-hydroxyquinolato)aluminum,

「DCJTb」···(2-(1, 1-Dimethylethyl)-6-(2-(2, 3, 6, 7-tetrahydro-1, 1, 7, 7-tetramethyl-1H, 5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene) propanedinitrile,

「Coumarin 6」···3-(2-Benzothiazolyl)-7-(diethylamino)coumarin,

「BAIq」···(1, 1'-Bisphenyl-4-olato)bis(2-methyl-8-quinolinplate-N1, 08) Aluminum,이다. 단, 물론 발광 소자층(51)의 구성은, 이들 구성, 이들 재료에는 한정되지 않는다.

이어서, 도 8을 참조하여, 본 발명의 실시예에 따른 화소의 다른 구성에 대하여 설명한다. 도 8은 도 5에 도시한 회로 구성을 구비한 1 화소의 평면 구성의 예를 도시하고 있으며, 도 6 및 도 7과 공통되는 부분에는 동일 부호를 붙이고 있다. 상기 도 6의 평면 구성과 서로 다른 점은, 주로 제1 TFT(10)의 게이트 전극(2)을 겸용하여 게이트 신호 G를 공급하는 게이트 라인(41)이, 제3 TFT(30)의 게이트 전극(32)을 겸용하는 점과, 구동 전원 라인(44)과 유기 EL 소자(50)의 양극(52)과의 사이에, 단일의 제2 TFT(20)가 배치되어 있는 점이다. 각 TFT(10, 20, 및 30), 용량 Cs, 유기 EL 소자(50)의 기본적인 단면 구조는, 도 7의 (a)~도 7의 (c)와 거의 공통되어 있다. 물론, 도 8의 구성에서도 제2 TFT(20)는 nch-TFT로 구성되어 있고, 게이트-소스간의 전압은 유기 용량 Cs에 의해 데이터 신호에 따른 전압으로 유지되어 있다.

도 8의 구성 예에서는 게이트 라인(41)이, 제1 TFT(10)의 게이트 전극(2)과 제3 TFT(30)의 게이트 전극(32)을 겸용함으로써, 도 6과의 비교로부터도 알 수 있듯이 행 방향으로 배치되는 배선은 각 행마다 하나의 게이트 라인(41)이라도 되어, 각 화소의 형성 영역을 그 만큼 넓게 할 수 있게 되어 있다. 제3 TFT(30)의 능동층(36)은, 도 8의 예에서는 제1 TFT(10)의 능동층(6)과 평행하게, 이 능동층(6)보다 게이트 라인(41)으로부터 떨어진 위치에 배치되어 있다. 제1 TFT(10)에 데이터 신호를 공급하는 데이터 라인(42)은 이 제3 TFT(30)의 능동층(36)의 상측을 가로지르고 있다. 그리고, 제3 TFT(30)의 드레인측은 해당 데이터 라인(42)과 평행하게 열 방향으로 배열되어 있는 용량 라인(48)에 접속되어 있다. 이 제3 TFT(30)의 드레인 영역(36d)은 공통 접속 배선(34)에 의해, 도 8에서는 구동 전원 라인(44)의 길이 방향을 따라 배치되어 있는 유기 용량 Cs의 제2 전극(8), 제2 TFT(20)의 소스 영역(16s), 및 유기 EL 소자(50)의 양극(52)에 각각 접속되어 있다.

도 8과 도 6을 비교하면 분명히 알 수 있듯이, 구동 전원 라인(44)의 행 방향에서의 배치 피치가 거의 동일한 경우, 도 8에서는 1 화소 내에서 유기 EL 소자(50)의 양극(52)의 형성 면적이 넓게 확보되어 있어, 보다 개구율이 높은, 즉 보다 고휘도의 표시를 실현할 수 있다.

또, 이상의 설명에서 제1~제3 TFT(10, 20, 30)의 능동층에는 각각 다결정 실리콘을 이용한 경우를 예로 설명하고 있지만, 물론 비정질 실리콘을 능동층에 채용해도 된다. 다결정 실리콘을 능동층으로서 이용한 TFT를 채용하는 경우, 동일 기판에는 각 화소를 구동하는 상술한 수직 드라이버나 수평 드라이버를 동일한 다결정 실리콘을 능동층으로서 이용한 TFT를 형성한다. 이 경우, 드라이버부의 TFT에는 CMOS 구조가 채용되는 경우가 많아, nch-TFT 및 pch-TFT의 양방을 형성할 필요가 있다. 한편, 비정질 실리콘을 각 화소의 TFT에 채용하는 경우, 각 화소를 구동하기 위한 드라이버는 전용의 외부 부속 IC가 이용된다. 그 때문에, 본 발명과 같이 각 화소에 3 종류의 TFT를 형성하는 경우에 있어서, 어느 것의 TFT도 nch-TFT로서 구성할 수 있기 때문에, 제2 TFT(20)로서 pch-TFT를 채용한 경우와 비교하여, 제조 공정을 보다 간소한 것으로 할 수 있다.

또한, 각 TFT에 대해서는 적절하게 채널 영역과 드레인 영역 사이 또는 채널 영역과 소스 영역 사이에 LD(Lightly Doped) 영역이 형성되어도 된다.

이어서, 본 실시예에서 각 화소에 형성한 리세트용 제3 TFT(30)의 또 다른 용도에 대하여 설명한다. 제3 TFT(30)는 상술된 바와 같이 통상의 표시 기간에서는, 물론 제2 TFT(20)의 게이트-소스간의 전압을 유기 용량 Cs에 유지시키기 위해, 상술된 바와 같이 제1 TFT(10)와 마찬가지로 타이밍에서 온 오프 제어하여 이용하지만, 다른 기간에서는 다른 용도로도 이용할 수 있다.

구체적으로는, 유기 EL 소자(50)의 양극-음극 사이에 축적된 전하를 소정 타이밍에서 강제적으로 방전시키는데 이용할 수 있다. 제2 TFT(20)의 게이트·소스간의 전압 V_{gs} 가 유지 용량 C_s 에 의해 소정 레벨로 유지되어 있는 기간 중, 유기 EL 소자(50)의 양극(52)과 음극(57)과의 사이에는 이 V_{gs} 에 따른 전류가 계속 흐르고, 그 화소의 표시 기간이 종료된 시점에서 양극-음극 사이에는 어느 정도의 전하가 남아 있다. 이러한 잔존 전하때문에, 해당 화소에서 다음 표시 기간에서의 표시 내용이 이 잔존 전하의 영향을 받아, 소위 잔상과 같은 현상이 발생할 가능성이 있다. 따라서, 소정 기간마다, 예를 들면 1 수직 주사 기간에 1회, 예를 들면 그 귀선 중에서, 전체 화소의 제3 TFT(30)를 동시 또는 순서대로 온 상태로 하면, 유기 EL 소자(50)의 양극을 용량 라인(48)에 접속하고, 양극 전위를 용량 라인(48)의 전위, 예를 들면 0V로 할 수 있다. 이러한 제어를 행하면, 1 표시 기간 종료 후, 다음 표시 기간이 시작되기 전에 유기 EL 소자(50) 내의 잔존 전하를 제3 TFT(30)를 통해 방전시킬 수 있어, 잔상 등이 없는 고품질의 표시가 가능해진다. 또한, 유기 EL 소자(50)는 흘린 전류량이 많을수록 특성 열화가 빨라지는 경향이 있어, 불필요한 전하를 방전하면 유기 EL 소자(50)에 불필요한 전류가 계속 흐르는 것을 방지할 수 있어, 유기 EL 소자(50)의 수명을 연장시킬 수도 있다.

다른 용도는, 제3 TFT(30)를 예로 들면 공장으로부터의 출하 전 등에 있어서, 각 화소의 검사에 이용하는 것이다. 즉, 제1 TFT(10)를 온 상태로 하여 검사용 데이터 신호를 기입하여 제2 TFT(20)를 온 상태로 하면, 기입된 검사용 데이터에 따른 전류가 구동 전원 라인(44)으로부터 제2 TFT(20)의 드레인 소스 사이에 흐른다. 따라서, 제2 TFT(20)의 소스 전압은, 유기 EL 소자(50)에 공급되는 전류량에 따른 전압이 되기 때문에, 이 때 제3 TFT(30)를 온 제어하여, 이 제2 TFT(20)의 소스 전압(또는 소스에 흐른 전류)을 용량 라인(48)의 전압 측정 등에 따라, 유기 EL 소자에 대하여 적정한 전류를 공급할 수 있는지의 여부를 확실하고 간단하게 검사할 수 있다.

이어서, 상술한 제2 TFT(20)의 다른 구조에 대하여 설명한다. 도 9는 이 제2 TFT(20)의 구성 예로서, 도 7의 구성과 서로 다른 점은, 제2 TFT(20)가 라이트 도핑(LD : Lightly Dope : 통상 LDD라고 함) 영역을 갖는 소위 LDD형 TFT에 의해 구성되어 있는 것이다. 또, 이 도면에서는 제2 TFT(20)를 싱글 게이트의 일반적인 구성으로 하고, 이것에 LD 영역(16LD)을 형성하고 있다. 즉, 유리 기판(1) 위에는 능동층(16)이 형성되어 있고, 이것을 피복하여 게이트 절연막(4)이 형성되어 있다. 능동층(16)의 중앙 부분의 게이트 절연막(4) 상층에는 게이트 전극(24)이 배치되어 있다.

또한, 능동층(16)의 양단부에는 고농도로 불순물이 도핑된 드레인 영역(16d), 소스 영역(16s)이 형성되어 있다. 그리고, 능동층(16)의 게이트 전극(24)의 하측 부분이 채널 영역(16c)으로 되어 있으며, 이 능동층(16)의 채널 영역(16c)과, 소스 영역(16s), 드레인 영역(16d)과의 사이가 저농도 불순물 주입에 의한 LD 영역(16LD)으로 되어 있다.

제2 TFT로서, 이러한 주변 트랜지스터에 비교하여 큰 LD 영역을 갖는 TFT를 채용함으로써, 내압을 크게 할 수 있음과 함께, 게이트 전압의 변화에 대한 전류량의 변화를 크게 할 수 있다.

즉, TFT(20)의 게이트 길이(채널 길이 방향)를 길게 하면, 게이트 전압에 대하여 전류량이 변화하는 범위를 크게 하고, 게이트 전압의 변화에 의한 전류량 조정의 정밀도를 향상시킬 수 있다. 본 실시예에서는, 큰 LD 구조로 함으로써, 게이트 길이를 길게 하는 것과 마찬가지로 효과를 얻을 수 있다.

실제로 게이트 전극(24)의 폭을 넓혀 게이트 길이를 길게 한 경우, 폭이 넓은(게이트 길이가 길) 게이트 전극(24)을 다른 부분과의 절연을 확보하면서 배선할 필요가 있다. 그러나, LD 구조에 의해 실질적으로 게이트 길이를 길게 한 것과 동일한 효과가 얻어지면, 차광성의 게이트 전극(24)의 폭을 특별히 넓게 하지 않아도 되며, 1 화소 내에서의 개구율을 향상시킬 수 있게 된다.

또, 이러한 LD 구조는 제1 TFT(10)나, 드라이버 회로의 TFT에서도 채용되는 경우가 있다.

본 실시예에서는 제2 TFT(20)에서의 LD의 영역을 제1 TFT(10)나, 드라이버 회로의 TFT에 비교하여 크게 하였다.

예를 들면, 제1 TFT(10)나 드라이버 회로에서의 TFT의 LD 영역의 길이를 도 9의 길이로 한 경우에, 제2 TFT(20)의 LD 영역을 도 10에 도시한 바와 같이, 크게 하였다. 이에 따라, 전류량의 제어를 더 고정밀도로 행할 수 있고, 또한 비교적 트랜지스터의 크기 자체는 거의 변경시킬 필요가 없다. 또한, 다른 TFT(10) 등의 게이트 전극과 동등한 폭의 게이트 전극을 이용하면 보다 설계가 용이해진다.

따라서, 이와 같이 LDD 구조로 함으로써, 게이트 전극(24)을 그다지 폭 넓게 하지 않아도 되기 때문에, 개구율을 크게 할 수 있다. 이에 따라, 화소의 발광 면적이 증대되므로, 각 유기 EL 소자에 흘리는 전류를 변경하지 않고, 휘도를 크게 할 수 있다. 또한, 반대로 개구율이 향상되므로, 동일 휘도를 실현하기 위해 유기 EL 소자에 공급하는 전류를 작게 억제할 수 있으며, 유기 EL 소자의 열화를 억제할 수 있다. 또한, 실질적으로는, 게이트 길이를 길게, 즉 채널 길이(LD 영역을 포함함)를 길게 할 수 있기 때문에, 엑시머 레이저 어닐링에 의한 능동층의 재결정화(폴리실리콘화)에 대한 특성의 변동 발생을 억제할 수 있다.

또한, 도 11에는 다른 실시예의 구성을 도시한다. 이 회로에서는, 도 1의 회로에 대하여 전압 조정용 다이오드(31)를 갖고 있다. 즉, 유지 용량 C_s 와, 제3 TFT(방전 트랜지스터 : 30) 및 유기 EL 소자(50) 사이에 다이오드(31)가 형성되어 있다. 이 다이오드(31)는 제2 TFT(20)와 동일한 구성을 갖는 TFT로 형성되고, 그 TFT의 게이트·드레인 사이를 쇼트하여 형성되어 있다.

이 다이오드(31)를 형성함으로써, 제2 TFT(20)의 게이트 전압을, 유기 EL(50)의 임계값(V_{tF})과 다이오드(31)의 임계값(V_{tn})과 비디오 신호와의 합으로 설정할 수 있어, 유기 EL(50)이나 TFT 트랜지스터의 임계값이 변동되거나 열화해도, 항상 비디오 신호에 적당한 전류를 제2 TFT(20)에 흘릴 수 있다.

즉, 다이오드(31)를 형성함으로써, 소자 특성의 변동이나 열화에 거의 관계없이, 구동 전류를 제어하는 것이 가능해지고, 색 얼룩이 적은 표시 장치를 제공할 수 있다.

또, 이 회로에서는 제3 TFT(30)가 형성되어 있다. 그리고, 이 제3 TFT(30)에 의해 유기 EL 소자(50)의 애노드측 전위를 접지 전위인 용량 라인 SL의 전압으로 설정하고, 유기 EL 소자(50)를 구동할 때의 초기 설정이 행해진다. 이와 같이, 유기 EL 소자(50)의 애노드측 전위를 강제적으로 임의의 전위로 설정(전하를 방출함)함으로써, 잔상 감소를 억제할 수 있다. 또한, 제3 TFT(30)의 소스측 전위를 유기 EL의 캐소드측 전위보다 더 낮은 전위로 설정함으로써, 유기 EL 소자에서의 적어도 유기 발광막을 포함하는 유기막에 역바이어스를 걸 수 있다. 이에 의해, 유기막의 특성 회복을 촉진하고, 막 특성의 열화 속도를 늦출 수 있다.

또한, 각 화소에 제3 TFT(30)가 있기 때문에, 게이트선 방향으로 접속된 전체 화소의 리세트 라인 RSL을 활성화시켜, 발광시키지 않는 시간을 제어할 수도 있다. 이에 의해, 휘도의 조절을 행할 수 있음과 함께, 저소비 전력화를 도모할 수 있다. 또한, RGB마다 리세트 라인 RSL을 결선하고, RGB마다 온 상태로 되게 하는 시간을 변경함으로써, RGB마다의 발광 시간을 제어할 수 있다. 이에 의해, 화이트 밸런스의 조절을 할 수 있어, 화질의 열화를 방지할 수 있다.

또한, 도 12에는, 도 11의 제3 TFT(30)의 게이트를 리세트 라인 RSL이 아니고, 게이트 라인 GL에 접속한 예가 도시되어 있다. 이 구성에서도, 도 11인 경우와 마찬가지로 작용 효과를 얻을 수 있다. 즉, 게이트 라인 GL이 활성화되면, 제1 TFT(10)가 온 상태로 되고, 데이터 라인 DL의 제2 TFT(20)의 게이트 전압이 데이터 라인 DL의 전압으로 설정된다. 또한, 제3 TFT(30)가 온 상태로 되기 때문에, 전원 라인 VL로부터의 전류가 제2 TFT(20), 제3 TFT(30)를 통하여 저전압(접지 전위)의 용량 라인 SL으로 흐른다.

이어서, 데이터 라인 DL이 비활성화됨으로써, 제1, 제3 TFT(10, 30)가 오프 상태가 되고, 제2 TFT(20)로부터의 전류는 유기 EL 소자(50)로 흘러 발광한다.

이 때, 유기 EL 소자(50)의 상측(제2 TFT(20)에 접속되어 있는 측)의 전위는 유기 EL(50)에서의 전압 강하 V_{tF} 이상의 전압이 된다. 한편, 다이오드(31)에서의 전압 강하 V_{tn} 이 존재하기 때문에, 제2 TFT(20)의 게이트 전압은 유기 EL 소자(50)에 전류가 흐르고 있을 때에 유기 EL 소자(50)의 임계값(V_{tF}) + 다이오드(31)의 임계값(V_{tn}) + 비디오 신호의 전압(V_{video})이 되고, 상술한 바와 같이 소자 특성의 변동이나 열화에 거의 관계없이, 구동 전류를 제어할 수 있게 되어, 색 열특이 적은 표시 장치를 얻을 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에서는 일렉트로루미네센스 소자 등의 피구동 소자에 안정적으로 전력을 공급할 수 있게 된다.

또한, 피구동 소자를 동작시키기 위한 데이터 신호를, 예를 들면 표시 장치에서 비디오 신호의 극성을 반전시켜 형성하지 않고 이용할 수 있다.

(57) 청구의 범위

청구항 1.

선택 신호를 게이트로 받아 동작하고, 데이터 신호가 공급되는 스위칭용 박막 트랜지스터와,

구동 전원에 드레인이 접속되고, 피구동 소자에 소스가 접속되며, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호를 게이트로 받아, 상기 구동 전원으로 부터 상기 피구동 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터와,

제1 전극이 상기 스위칭용 박막 트랜지스터와 상기 소자 구동용 박막 트랜지스터의 상기 게이트에 접속되고, 제2 전극이 상기 소자 구동용 박막 트랜지스터의 소스와 상기 피구동 소자와의 사이에 접속되며, 상기 데이터 신호에 따라 상기 소자 구동용 박막 트랜지스터의 게이트·소스간의 전압을 유지하는 유지 용량과,

상기 유지 용량의 제2 전극의 전위를 제어하기 위한 스위치 소자

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2.

매트릭스 형상으로 배치된 복수의 화소를 구비하는 액티브 매트릭스형 표시 장치로서,

각 화소는, 적어도

피구동 소자와,

선택 신호를 게이트로 받아 동작하고, 데이터 신호가 공급되는 스위칭용 박막 트랜지스터와,

구동 전원에 드레인이 접속되고, 상기 피구동 소자에 소스가 접속되며, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호를 게이트로 받아, 상기 구동 전원으로부터 상기 피구동 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터와,

제1 전극이 상기 스위칭용 박막 트랜지스터와 상기 소자 구동용 박막 트랜지스터의 상기 게이트에 접속되고, 제2 전극이 상기 소자 구동용 박막 트랜지스터의 소스와 상기 피구동 소자와의 사이에 접속되며, 상기 데이터 신호에 따라 상기 소자 구동용 박막 트랜지스터의 게이트·소스간의 전압을 유지하는 유지 용량과,

상기 유지 용량의 제2 전극의 전위를 제어하기 위한 스위치 소자

를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 3.

제1항에 있어서,

상기 소자 구동용 박막 트랜지스터는 n 채널형 박막 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 4.

제3항에 있어서,

상기 n 채널형 소자 구동용 박막 트랜지스터는, 채널 영역과 고농도 불순물 주입한 소스 영역 및 드레인 영역과의 사이에 저농도 불순물을 주입한 LD 영역을 갖는 것을 특징으로 하는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 n 채널형 소자 구동용 박막 트랜지스터의 LD 영역은, 적어도 주변 회로에 있어서의 n 채널 박막 트랜지스터의 LD 영역보다도 크게 설정되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항, 제3항 내지 제5항 중 어느 하나의 항에 있어서,

상기 피구동 소자는 일렉트로루미네센스 소자인 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항, 제3항 내지 제5항 중 어느 하나의 항에 있어서,

상기 스위치 소자는, 상기 스위칭용 박막 트랜지스터의 온·오프에 따라 상기 유지 용량의 제2 전극의 전위를 제어하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제7항에 있어서,

상기 스위치 소자에 의해, 상기 스위칭용 박막 트랜지스터의 온 동작 시에 상기 유지 용량의 제2 전극이 고정 전위로 제어되는 것을 특징으로 하는 반도체 장치.

청구항 9.

제7항에 있어서,

상기 스위치 소자에 의해,

상기 스위칭용 박막 트랜지스터의 온 동작전부터 상기 유지 용량의 제2 전극이 고정 전위로 제어되고,

상기 스위칭용 박막 트랜지스터가 오프 상태로 된 후에, 상기 유지 용량의 제2 전극에 대한 전위 제어를 정지하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제7항에 있어서,

상기 스위치 소자는 박막 트랜지스터이며, 소정의 리셋 신호 또는 상기 스위칭용 박막 트랜지스터에 공급되는 선택 신호에 따라, 상기 유지 용량의 제2 전극의 전위를 제어하는 것을 특징으로 하는 반도체 장치.

청구항 11.

제1항, 제3항 내지 제5항 중 어느 하나의 항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는 데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 12.

제1항, 제3항 내지 제5항 중 어느 하나의 항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

청구항 13.

일렉트로루미네센스 소자를 복수 매트릭스 형상으로 배치한 표시 장치로서,

일렉트로루미네센스 소자에 공급하는 구동 전류를 제어하는 구동 트랜지스터가 각 일렉트로루미네센스 소자에 대응하여 설치되고,

이 구동 트랜지스터는 n 채널 트랜지스터이며, 또한 채널 영역과 고농도 불순물을 주입한 소스 및 드레인 영역과의 사이에 저농도 불순물을 주입한 LD 영역이 형성되어 있는 표시 장치.

청구항 14.

일렉트로루미네센스 소자를 복수 매트릭스 형상으로 배치한 표시 장치로서,

일렉트로루미네센스 소자에 공급하는 구동 전류를 제어하는 구동 트랜지스터가 각 일렉트로루미네센스 소자에 대응하여 설치되고,

상기 구동 트랜지스터는 n 채널 트랜지스터이며, 또한 채널 영역과 고농도 불순물을 주입한 소스 및 드레인 영역과의 사이에 저농도 불순물을 주입한 LD 영역이 형성되고, 상기 구동 트랜지스터의 LD 영역은 적어도 주변 회로에서의 n 채널 트랜지스터의 LD 영역보다 크게 설정되어 있는 표시 장치.

청구항 15.

제13항 또는 제14항에 있어서,

상기 구동 트랜지스터의 게이트에는 스위칭 트랜지스터와, 용량의 일단이 접속되고,

상기 일렉트로루미네센스 소자와 구동 트랜지스터의 접속점은 방전 트랜지스터에 의해 저전압 전원에 접속되며,

또한, 상기 일렉트로루미네센스 소자와 상기 구동 트랜지스터의 접속점에는 상기 용량의 타단이 접속되어 있는 표시 장치.

청구항 16.

제6항에 있어서,

상기 스위치 소자는, 상기 스위칭용 박막 트랜지스터의 온·오프에 따라 상기 유지 용량의 제2 전극의 전위를 제어하는 것을 특징으로 하는 반도체 장치.

청구항 17.

제6항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 18.

제7항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 19.

제8항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 20.

제9항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 21.

제10항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 소정 타이밍에서 상기 피구동 소자에 축적된 전하를 방전시키는데 이용되는 것을 특징으로 하는 반도체 장치.

청구항 22.

제6항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

청구항 23.

제7항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

청구항 24.

제8항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

청구항 25.

제9항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

청구항 26.

제10항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

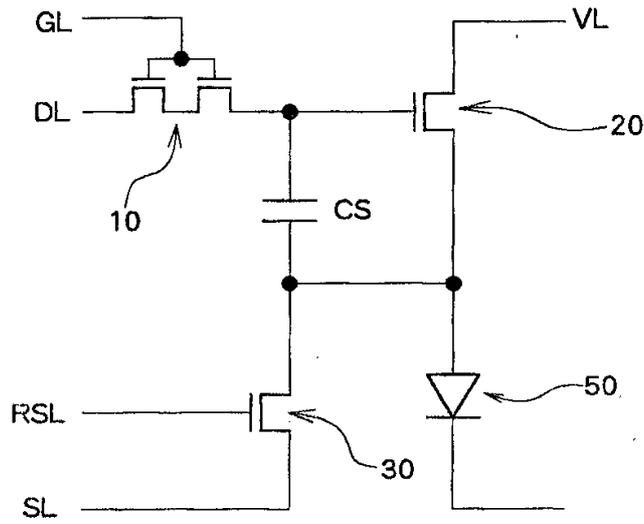
청구항 27.

제11항에 있어서,

상기 스위치 소자는, 상기 소자 구동용 박막 트랜지스터의 소스에 접속되어 있으며, 상기 피구동 소자에 접속된 상기 소자 구동용 박막 트랜지스터의 소스 전위 또는 전류의 측정에 이용되는 것을 특징으로 하는 반도체 장치.

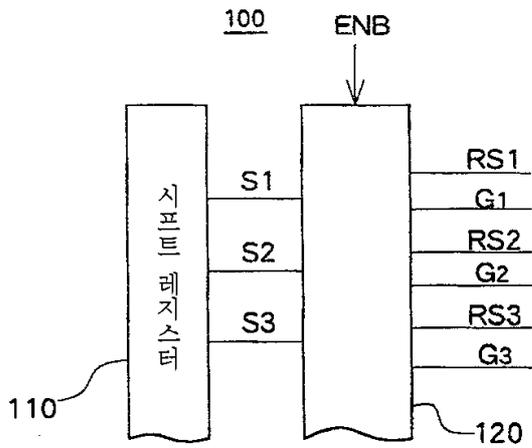
도면

도면1

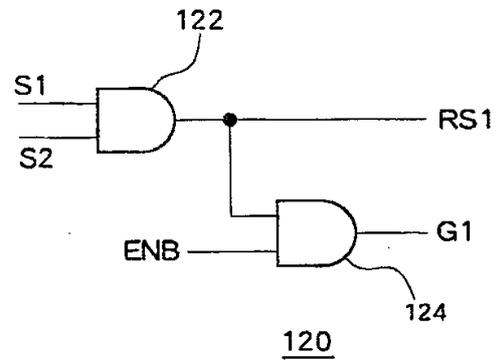


도면2

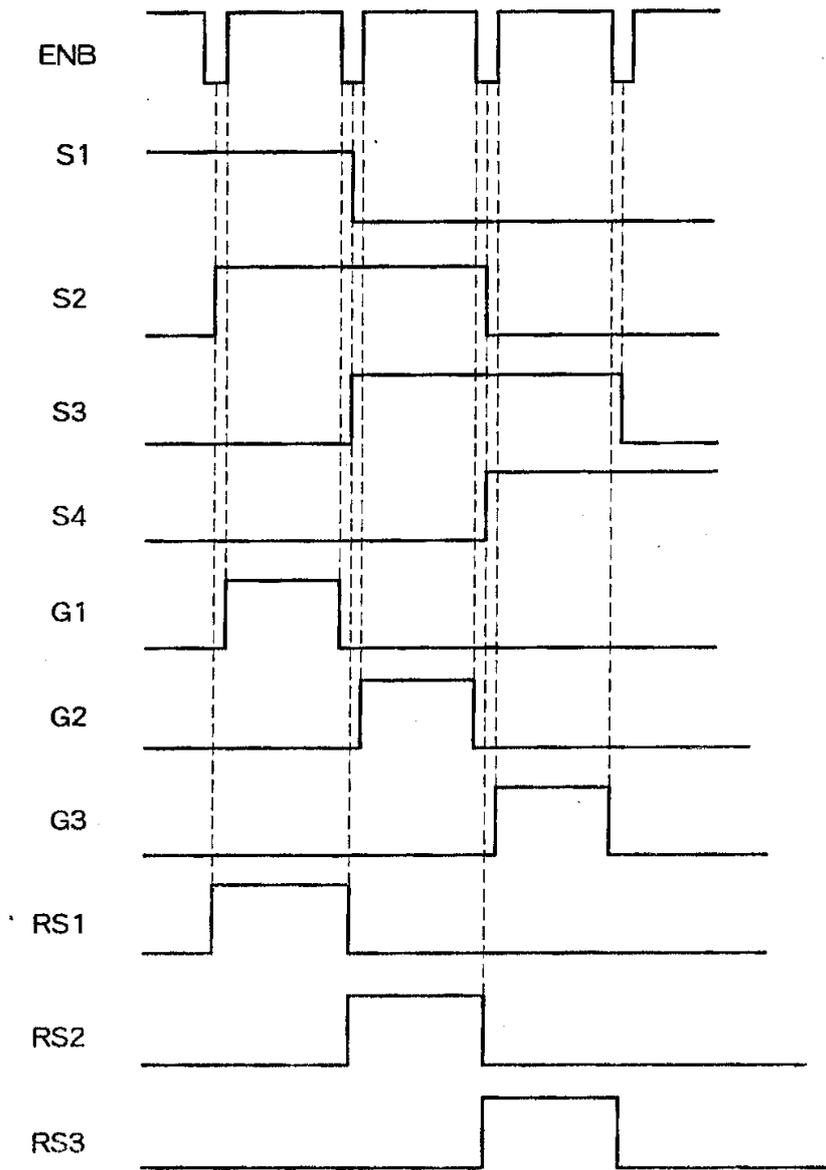
(a)



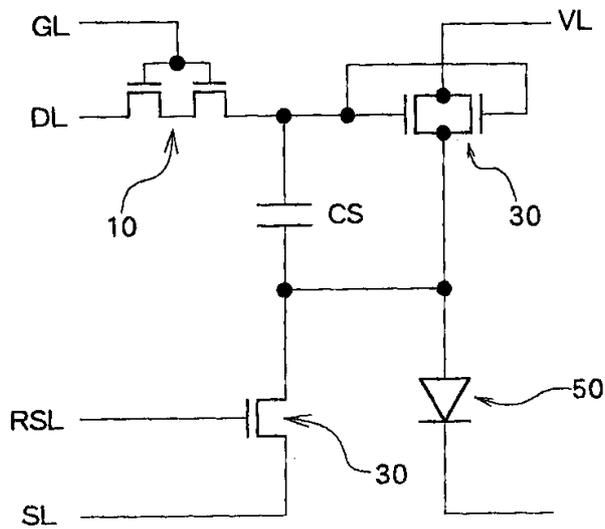
(b)



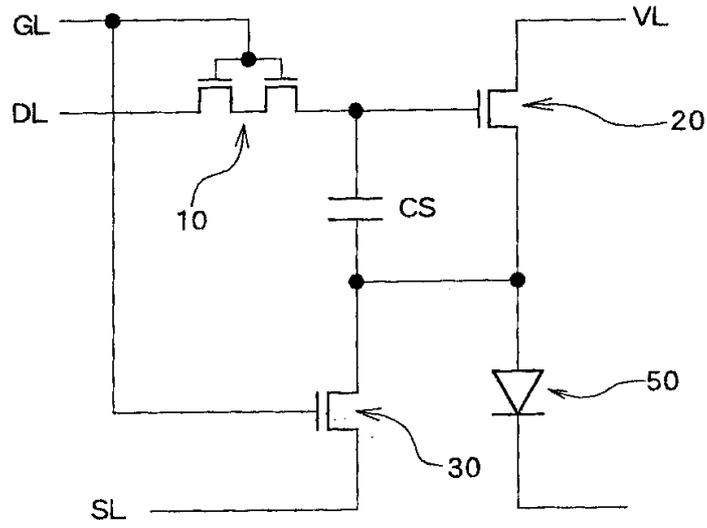
도면3



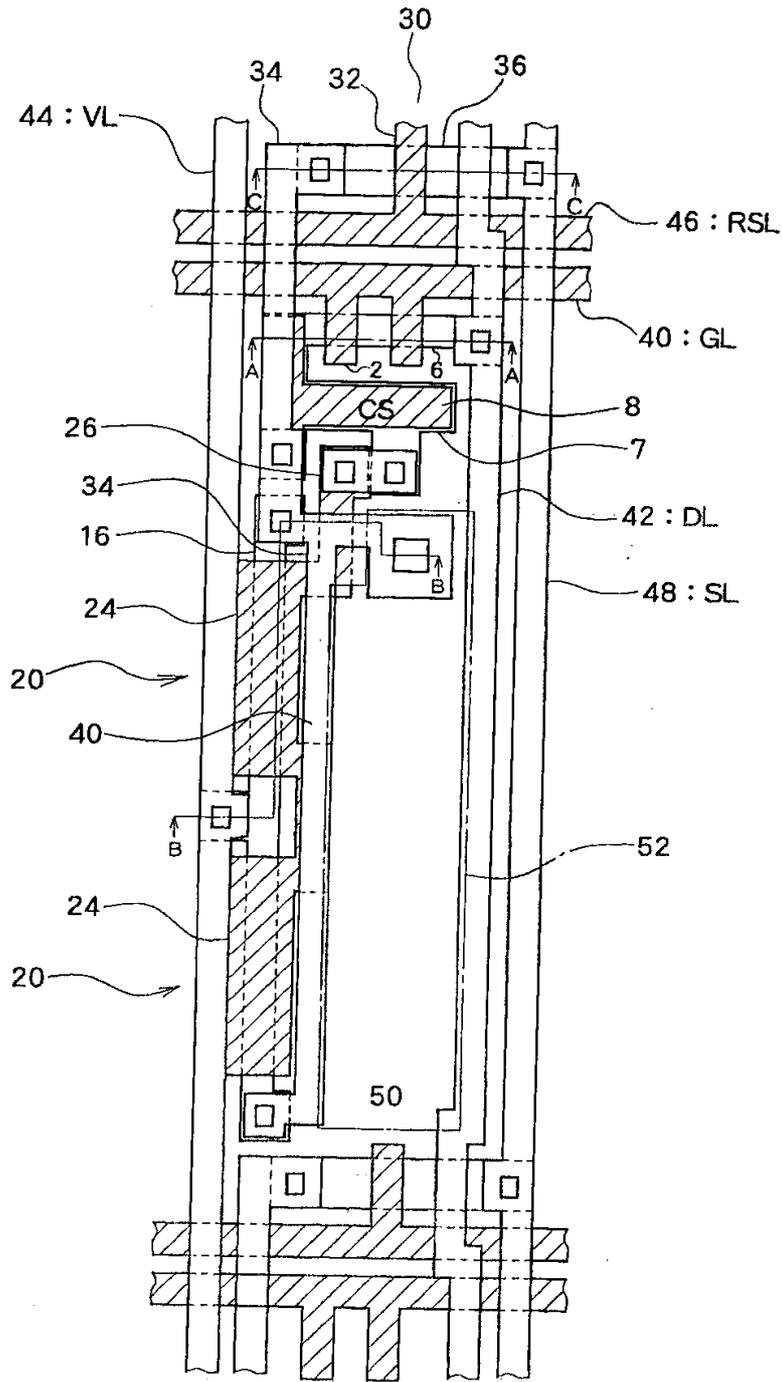
도면4



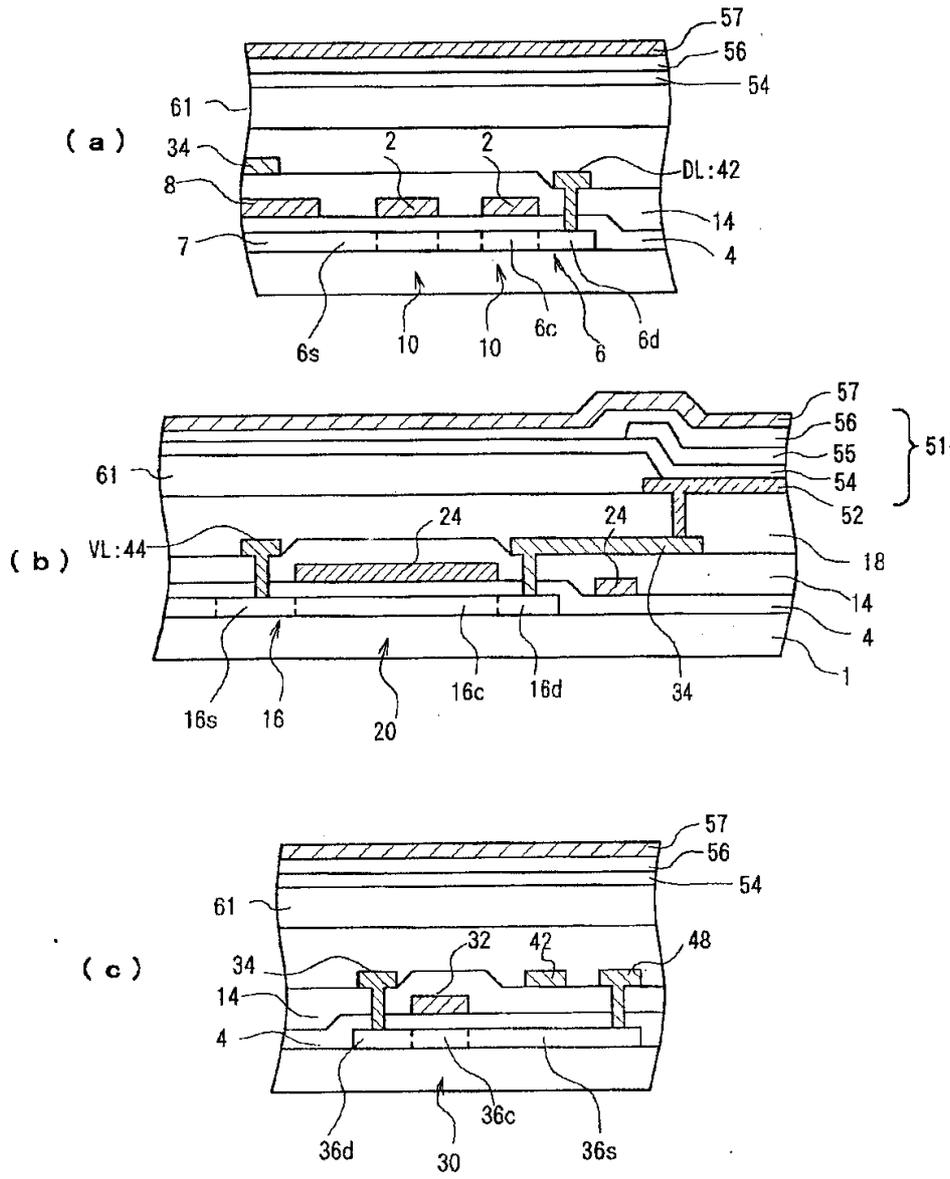
도면5



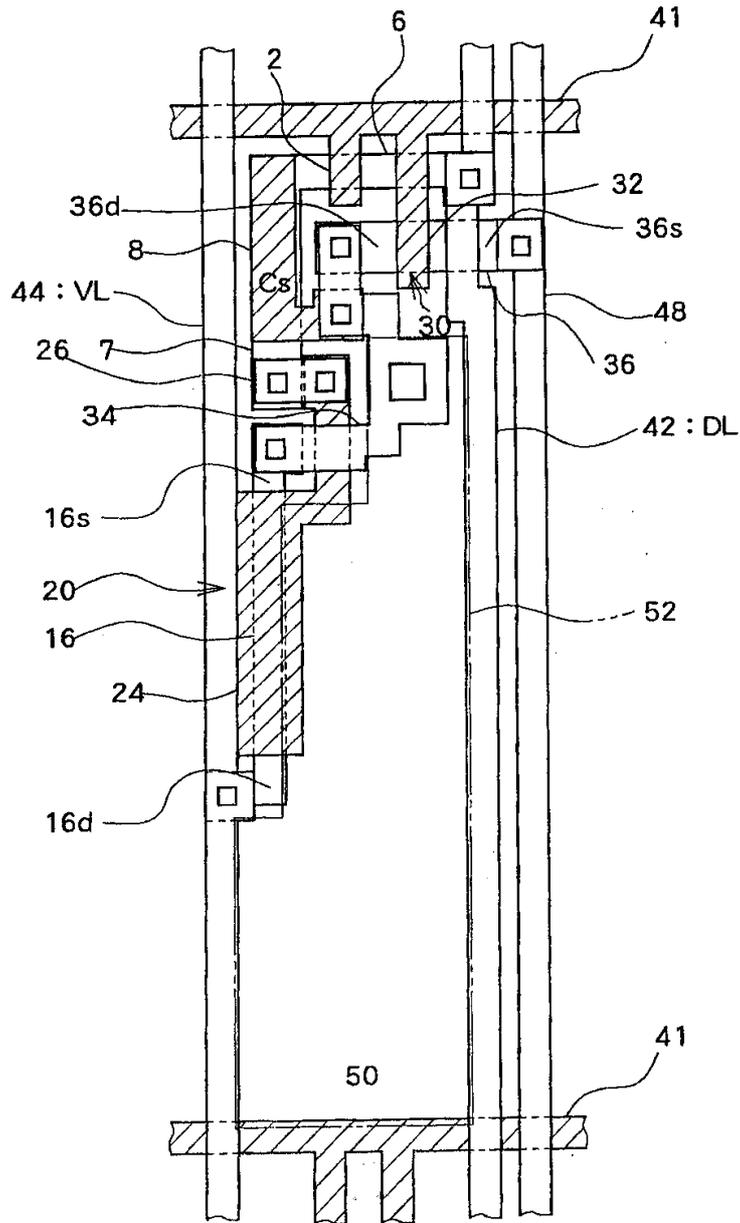
도면6



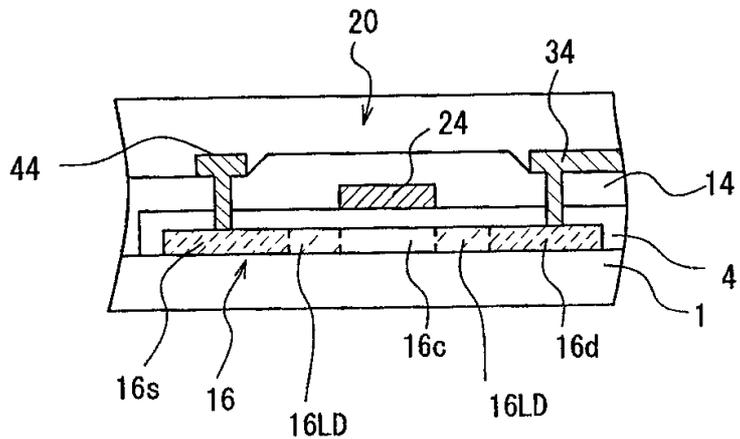
도면7



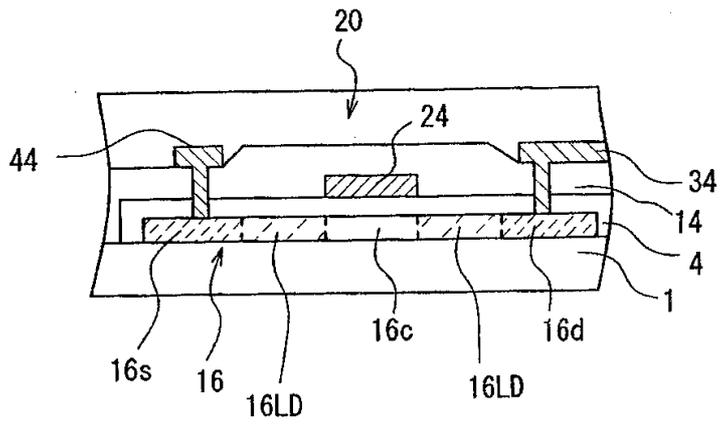
도면8



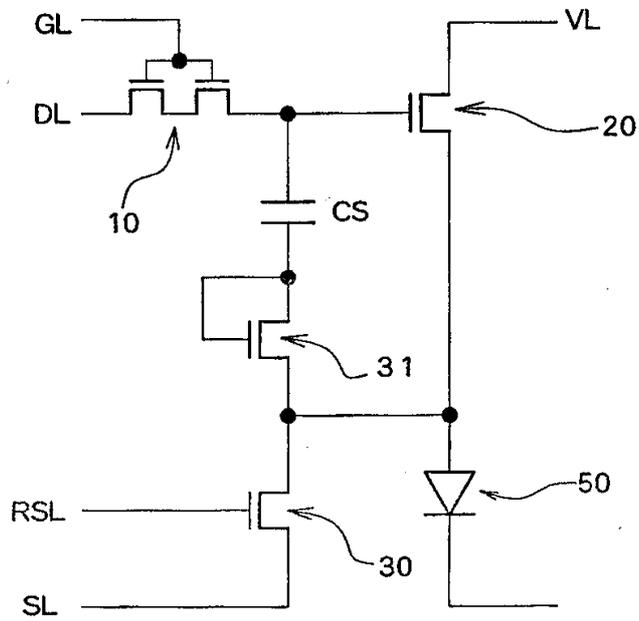
도면9



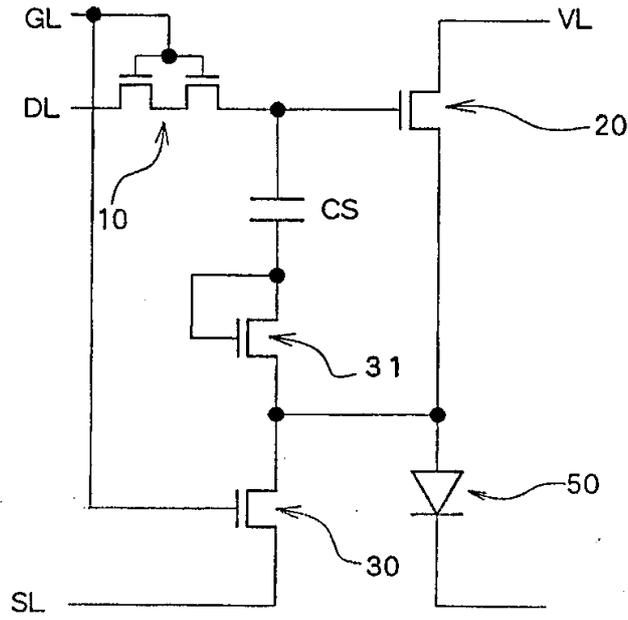
도면10



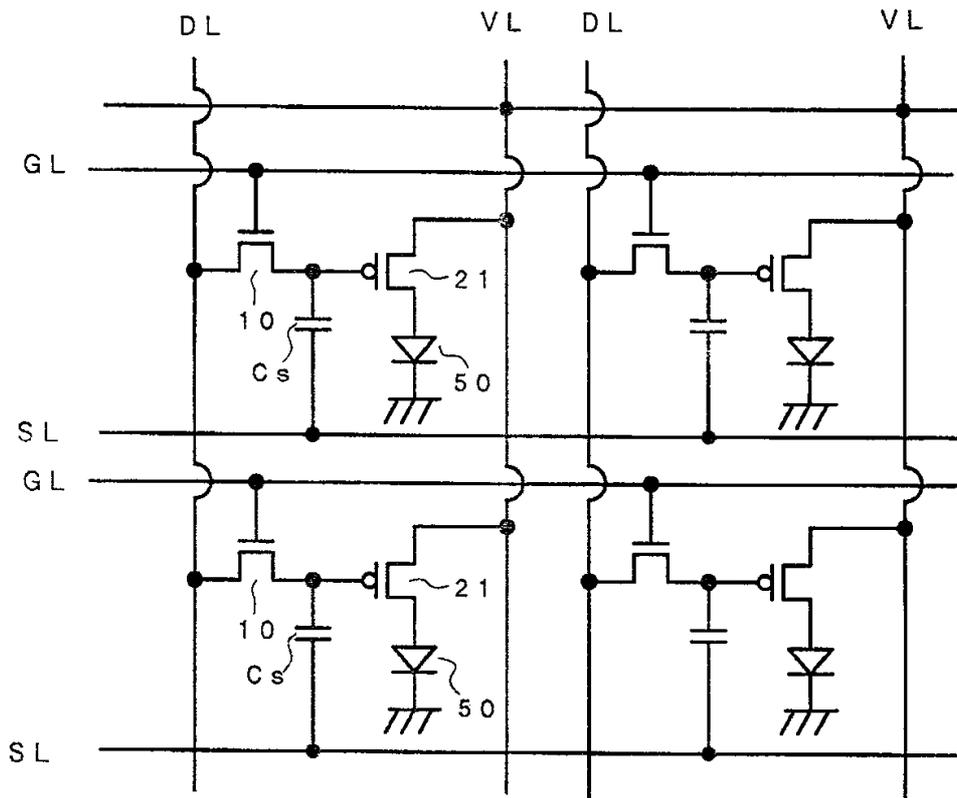
도면11



도면12



도면13



专利名称(译)	半导体器件和显示器件		
公开(公告)号	KR100488835B1	公开(公告)日	2005-05-11
申请号	KR1020020071163	申请日	2002-11-15
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	MATSUMOTO SHOICHIRO 마쯔모토쇼이찌로 SANO KEIICHI 사노게이이찌		
发明人	마쯔모토쇼이찌로 사노게이이찌		
IPC分类号	G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G2300/0852 G09G2300/0465 G09G2300/0842 G09G2300/0861 G09G2320/043 H01L27/3244 G09G2300/0809 G09G2310/0251 G09G3/3233 G09G2320/0233 G09G3/3266 G09G2300/0426		
代理人(译)	LEE , JUNG HEE CHU , 晟敏		
优先权	2002102591 2002-04-04 JP		
其他公开文献	KR1020030079656A		
外部链接	Espacenet		

摘要(译)

用于单独控制待驱动元件的半导体器件，例如电致发光元件，包括：开关TFT，当选择信号施加到其栅极时工作，并且还捕获数据信号；以及元件驱动TFT，其中，漏极与驱动电源连接，其源极与待驱动元件连接，栅极接收从开关TFT提供的数据信号，用于控制从驱动电源提供给待驱动元件的电功率。该半导体器件还包括存储电容器，其具有与开关TFT连接的第一电极和与元件驱动TFT的栅极连接的第二电极以及连接在元件驱动TFT的源极和待驱动元件之间的第二电极，用于保持根据数据信号，元件驱动TFT的栅极 - 源极电压，以及用于控制存储电容器的第二电极的电位的开关元件。利用这样的配置，所有上述开关可以由相同导电类型的TFT形成，并且可以确保对要驱动的元件的可靠的电力供应。

