

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)(51) Int. Cl.⁷
G09G 3/30(45) 공고일자 2005년04월07일
(11) 등록번호 10-0481110
(24) 등록일자 2005년03월25일(21) 출원번호 10-2001-0060955
(22) 출원일자 2001년09월29일(65) 공개번호 10-2002-0025842
(43) 공개일자 2002년04월04일(30) 우선권주장 JP-P-2000-00300982 2000년09월29일 일본(JP)
JP-P-2001-00279802 2001년09월14일 일본(JP)(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고(72) 발명자 안자이가쓰야
일본기후깁안빠찌궁안빠찌쵸오호모리180고미야나오아끼
일본효고깁고베시다루미꾸오또기1-5(74) 대리인 장수길
이중희
구영창

심사관 : 천대식

(54) 반도체 장치 및 표시 장치

요약

복수의 유기 EL 소자로의 공급 전류 편차를 저감한다.

유기 EL 소자(50)와 전원 라인 VL 사이에, 전원 라인 VL로부터 공급되는 전류량을 제어하는 소자 구동용 TFT(20)를 구비하고, TFT(20)의 채널 길이 방향을, 화소의 길이 방향, 또는 TFT(20)를 제어하는 스위칭용 TFT(10)에 데이터 신호를 공급하는 데이터 라인 DL의 연장 방향, 또는 TFT(20)의 능동층(16)을 다결정화하기 위한 레이저 어닐링의 주사 방향과 평행한 방향에 배치한다. 또한 전원 라인 VL과 TFT(20) 사이에 TFT(20)와 역 특성의 보상용 TFT(30)를 구비하고 있어도 좋다.

대표도

도 8

색인어

유기 EL 소자, 소자 구동용 TFT, 스위칭용 TFT, 레이저 어닐링

명세서

도면의 간단한 설명

도 1은 액티브 매트릭스형 유기 EL 표시 장치의 1 화소의 회로 구성을 나타내는 도면.

- 도 2는 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당 회로 구성예를 나타내는 도면.
- 도 3은 TFT의 I-V 특성을 나타내는 도면.
- 도 4는 본 발명 및 종래의 회로 구성에 의해서 실현되는 효과를 나타내는 도면.
- 도 5는 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 다른 회로 구성예를 나타내는 도면.
- 도 6은 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 다른 회로 구성예를 나타내는 도면.
- 도 7은 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 또 다른 회로 구성예를 나타내는 도면.
- 도 8은 도 7에 나타내는 회로 구성을 구비한 본 실시예 1에 따른 액티브 매트릭스형 유기 EL 패널의 평면 구성도.
- 도 9는 도 8의 A-A, B-B, C-C선에 따라 자른 단면 구성을 나타내는 도면.
- 도 10은 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 평면도 및 단면도.
- 도 11은 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.
- 도 12는 실시예 3에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 평면도.
- 도 13은 실시예 3에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.
- 도 14는 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.
- 도 15는 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 단면 및 평면 구조를 나타내는 도면.
- 도 16은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 단면 및 평면 구조예를 나타내는 도면.
- 도 17은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.
- 도 18은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.
- 도 19는 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.
- 도 20은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.

<도면의 주요 부분에 대한 간단한 설명>

- 1 : 기판(투명 기판)
- 2, 25, 35 : 게이트 전극
- 4 : 게이트 절연막
- 6, 16 : 능동층(p-Si막)
- 10 : 제1 TFT(스위칭용 TFT)
- 14 : 층간 절연막
- 18 : 평탄화 절연층
- 20, 22, 24 : 제2 TFT(소자 구동용 TFT)

30, 32, 34 : 보상용 TFT

40, 42 : 커넥터(배선층)

41 : 금속 접속층

50 : 유기 EL 소자

51 : 발광 소자층

52 : 양극

53 : 제1 홀 수송층

54 : 제2 홀 수송층

55 : 유기 발광층

56 : 전자 수송층

57 : 음극

GL : 게이트 라인

VL : 전원 라인

DL : 데이터 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 표시 장치, 특히 그 화소부의 회로 구성 트랜지스터에 관한 것이다.

자발광 소자인 일렉트로 루미네센스(Electroluminescence: 이하 EL이라고 함) 소자를 각 화소에 발광 소자로서 이용하는 EL 표시 장치는, 자발광형임과 함께, 얇고 소비 전력이 작다는 등의 유리한 점이 있으며, 액정 표시 장치(LCD)나 CRT 등의 표시 장치에 대신하는 표시 장치로서 주목받으며 연구가 진행되고 있다.

또한, 그 중에서도 EL 소자를 개별적으로 제어하는 박막 트랜지스터(TFT) 등의 스위치 소자를 각 화소에 마련하여, 화소마다 EL 소자를 제어하는 액티브 매트릭스형 EL 표시 장치는, 고정세도의 표시 장치로서 기대되고 있다.

도 1은 m행 n열의 액티브 매트릭스형 EL 소자 장치에서의 1 화소당의 회로 구성을 나타내고 있다. EL 표시 장치에서는 기판 상에 복수개의 게이트 라인 GL이 행 방향으로 연장되고, 복수개의 데이터 라인 DL 및 전원 라인 VL이 열 방향으로 연장되어 있다. 또한 각 화소는 유기 EL 소자(50), 스위칭용 TFT(제1 TFT)(10), EL 소자 구동용 TFT(제2 TFT)(20) 및 보조 용량 Cs를 구비하고 있다.

제1 TFT(10)는 게이트 라인 GL과 데이터 라인 DL에 접속되어 있고, 게이트 전극에 게이트 신호(선택 신호)를 수신하여 온한다. 이 때 데이터 라인 DL로 공급되고 있는 데이터 신호는 제1 TFT(10)와 제2 TFT(20) 사이에 접속된 보조 용량 Cs에 보존된다. 제2 TFT(20)의 게이트 전극에는 상기 제1 TFT(10)를 통해서 공급된 데이터 신호에 따른 전압이 공급되고, 이 제2 TFT(20)는 그 전압치에 따른 전류를 전원 라인 VL로부터 유기 EL 소자(50)에 공급한다. 이와 같은 동작에 의해, 각 소자마다 데이터 신호에 따른 휘도로 유기 EL 소자를 발광시켜, 원하는 이미지가 표시된다.

여기서, 유기 EL 소자는 음극과 양극 사이에 마련된 유기 발광층에 전류를 공급함으로써 발광하는 전류 구동형의 소자이다. 한편, 데이터 라인 DL로 출력되는 데이터 신호는, 표시 데이터에 따른 진폭의 전압 신호이다. 따라서, 종래보다 유기 EL 표시 장치에서는 이러한 데이터 신호에 의해서 유기 EL 소자를 정확하게 발광시킬 목적으로, 각 화소에는 제1 TFT(10)와 제2 TFT(20)를 마련하고 있다.

발명이 이루고자 하는 기술적 과제

상술한 유기 EL 표시 장치에 있어서, 그 표시 품질 및 신뢰성이 아직 충분하지 않아, 제1 및 제2 TFT(10, 20) 각각의 특성 편차를 해소할 필요가 있다. 특히, 전원 라인 VL로부터 유기 EL 소자(50)로 공급하는 전류량을 제어하는 제2 TFT의 특성 편차는 직접 발광 휘도에 편차를 발생시키므로, 그 편차를 작게 하는 것이 요구되고 있다.

또한, 이들 제1 및 제2 TFT(10, 20)를 동작 속도가 빠르고, 저 전압 구동이 가능한 다결정 실리콘 TFT에 의해서 구성하는 것이 적합하다. 다결정 실리콘을 얻기 위해서는, 비정질 실리콘을 레이저 어닐링에 의해서 다결정화시키는 것이 행해지는 데, 조사 레이저의 조사 면내에서의 에너지 편차 등에 기인하여 다결정 실리콘의 그레인 사이즈가 불균일하게 된다. 이 그레인 사이즈의 편차, 특히 TFT 채널 부근에 있어서 편차가 발생하면, TFT의 온 전류 특성 등에 편차가 생긴다고 하는 문제도 있다.

본 발명은 상기 과제를 감안하여 이루어진 것으로서, 유기 EL 소자를 제어하는 TFT의 특성 편차를 완화함으로써, 각 발광 화소를 균일한 휘도로 발광시킬 수 있는 액티브 매트릭스형 유기 EL 패널을 제공하는 것을 목적으로 한다.

또한, 본 발명의 다른 목적은 유기 EL 소자 등을 피 구동 소자로서 구비하는 장치에 있어서, 그 신뢰성이나 특성 향상을 도모하는 것이다.

상기 목적을 달성하기 위해서 본 발명은, 제1 및 제2 전극 사이에 발광층을 구비하여 구성되는 일렉트로 루미네센스 소자와, 게이트 신호를 게이트에 수신하여 동작하고, 데이터 신호를 수취하는 스위칭용 박막 트랜지스터와, 구동 전원과 상기 일렉트로 루미네센스 소자 사이에 마련되고, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호에 따라, 상기 구동 전원으로부터 상기 일렉트로 루미네센스 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터를 포함하되, 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에는, 상기 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터가 더 마련되어 있다.

이와 같은 역 도전 특성의 보상용 박막 트랜지스터에 의해, 소자 구동용 박막 트랜지스터에서, 특성 시프트의 편차를 상호 흡수할 수 있기 때문에, 개개의 트랜지스터의 편차를 전체적으로 완화할 수 있어, 특성 편차에 의한 일렉트로 루미네센스 소자에서의 발광 휘도 편차를 방지할 수 있다.

또한, 본 발명의 다른 양태는, 상기 보상용 박막 트랜지스터가 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에 다이오드 접속되어 있는 것이다.

이에 의해 보상용 박막 트랜지스터에 대하여 특별한 제어 신호를 공급할 필요없이 소자 구동용 박막 트랜지스터의 특성 편차를 보상할 수 있다.

본 발명의 다른 양태는, 상기 표시 장치에 있어서, 상기 소자 구동용 박막 트랜지스터가, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되는 것이다.

본 발명의 또 다른 양태는, 상기 소자 구동용 박막 트랜지스터가, 상기 구동 전원과 상기 일렉트로 루미네센스 소자 사이에, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되고, 상기 보상용 박막 트랜지스터는, 상기 병렬 접속된 복수의 박막 트랜지스터와 상기 구동 전원 사이에 각각 마련되어 있는 것이다.

이와 같이 소자 구동용 박막 트랜지스터를 병렬로 복수 마련함으로써, 개개의 트랜지스터에 특성 편차가 발생하더라도, 병렬 접속된 트랜지스터의 전체 특성에 대한 영향을 완화할 수 있다. 이 때문에, EL 소자에 대하여 편차가 적게 전류를 공급할 수 있다. 또한, 보상용 박막 트랜지스터에 대해서도 이것을 복수로 하면, 개개의 트랜지스터의 특성 편차가 화소 트랜지스터 전체의 특성에 부여하는 영향을 저감할 수 있어, EL 소자의 균일 휘도에서의 발광이 용이하게 된다.

본 발명의 다른 양태에 있어서, 상기 반도체 장치는, 매트릭스 형상으로 배치된 각 소자가, 상기 스위칭용 박막 트랜지스터와, 상기 소자 구동용 박막 트랜지스터와, 상기 보상용 박막 트랜지스터와, 표시 소자로서의 상기 피 구동 소자를 구비한 액티브 매트릭스형 표시 장치에 이용할 수 있다.

본 발명의 다른 양태에서는, 상기 반도체 장치에 있어서, 상기 소자 구동용 박막 트랜지스터 및 상기 보상용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있다.

본 발명의 다른 양태는, 매트릭스 형상으로 배치된 복수의 화소 각각이, 적어도, 피 구동 소자와, 구동 전원으로부터의 전력을 피 구동 소자에 공급하는 소자 구동용 박막 트랜지스터를 구비하는 액티브 매트릭스형 표시 장치에 있어서, 상기 복수의 화소의 각 화소 영역은, 매트릭스의 행 및 열 방향의 변 중 한쪽이 다른쪽보다 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 소자 영역의 긴 쪽의 변을 따라서 배치되어 있다.

본 발명의 다른 양태에 따른 표시 장치에서는, 상기 화소 영역은, 매트릭스의 행 방향보다도 열 방향의 변이 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 열 방향을 따라서 배치되어 있다.

본 발명의 다른 양태에 따른 반도체 장치에서는, 전원 라인으로부터의 구동 전류를 대응하는 피 구동 소자에 공급하는 적어도 하나의 소자 구동용 박막 트랜지스터와, 선택시에 공급되는 데이터에 기초하여 상기 소자 구동용 박막 트랜지스터를 제어하는 스위칭용 박막 트랜지스터를 구비하되, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있다.

이상과 같은 배치를 채용함으로써, 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터의 채널 길이를 길게 할 수 있어, 내압 등 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 피 구동 소자에 대하여 각각 마련되는 소자 구동용 박막 트랜지스터의 특성을 평균화할 수 있으며, 피 구동 소자가 공급 전력에 의해서 발광 휘도가 다른 발광 소자 등의 경우에 있

어서도 소자마다의 발광 휘도 편차를 억제할 수 있다. 또한, 예를 들면 1개의 피 구동 소자에 대하여 각각 충분한 채널 길이를 갖는 복수의 소자 구동용 박막 트랜지스터를 병렬 또는 직렬 접속하여 화소 내에 효율적으로 배치하는 것 등이 용이하고, 피 구동 소자가 발광 소자 중인 경우에 발광 영역을 증가시키는 것도 가능하게 된다.

본 발명의 다른 양태에 따른 반도체 장치 또는 표시 장치는, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향이, 상기 트랜지스터의 채널 영역을 어닐링하기 위한 선 형상 펄스 레이저의 조사 방향을 따르도록 상기 소자 구동용 박막 트랜지스터가 형성되어 있다.

이와 같이 소자 구동용 박막 트랜지스터의 채널 길이 방향에 레이저 어닐링의 조사 방향을 정합시킴으로써, 다른 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터의 트랜지스터 특성과의 차를 확실하게 작게 할 수 있다.

레이저 어닐링에서는 레이저 출력 에너지의 편차가 있다. 이 편차에는 펄스 레이저의 1 조사 영역 내에서의 편차와, 쇼트 사이에서의 편차가 존재한다. 한편, 예를 들면 액티브 매트릭스형 표시 장치 등의 반도체 장치에 채용되는 소자 구동용 박막 트랜지스터는, 채널 폭에 대하여 채널 길이가 대단히 길게 설계되는 경우가 많다. 또한, 상술한 바와 같이 화소 영역의 긴 쪽 변을 따라 배치하거나, 열 방향 혹은 데이터 라인의 연장 방향을 따라서 소자 구동용 박막 트랜지스터를 형성함으로써, 소자 구동용 박막 트랜지스터의 채널 길이를 충분한 길이로 하는 것이 용이해진다. 그리고, 레이저의 조사 방향을 소자 구동용 박막 트랜지스터의 채널 길이 방향과 대강 일치시킨다든가, 환언하면, 레이저 조사 영역의 길이 방향이 채널을 그 폭 방향으로 가로지르도록 설정함으로써, 1개의 소자 구동용 박막 트랜지스터의 채널 전체 영역이 단일 쇼트에 의해서 어닐링되지 않도록 용이하게 조정할 수 있다. 이것은 예를 들면 상기 소자 구동용 박막 트랜지스터의 채널 길이를 펄스 레이저의 1회 이동 피치보다도 길게 설정하면 용이하게 실현할 수 있다. 따라서, 동일 기관 상에 복수의 피 구동 소자가 형성되고, 이 소자에 각각 전력을 공급하는 소자 구동용 박막 트랜지스터가 복수 형성되는 경우에, 이 박막 트랜지스터의 능동층은 복수회의 쇼트에 의해서 레이저 어닐링할 수 있게 되고, 쇼트 사이에서의 에너지 편차를 각 트랜지스터가 균등하게 받아, 각 박막 트랜지스터의 특성을 확실하게 평균화할 수 있게 된다. 이에 의해서, 예를 들면 피 구동 소자로서 유기 화합물이 발광층에 이용된 유기 EL 소자가 이용된 유기 EL 표시 장치 등에서는, 각 화소에 마련되는 유기 EL 소자에서의 발광 휘도 편차를 대단히 작게 할 수 있다.

본 발명의 다른 양태에서는 상기 반도체 장치에 있어서, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터의 채널 길이 방향과 일치하지 않는다.

스위칭용 박막 트랜지스터는, 이 트랜지스터를 선택하는 선택 라인과 데이터 신호를 공급하는 데이터 라인이 교차하는 근방에 배치되고, 대부분의 경우, 선택 라인의 연장 방향과 스위칭용 박막 트랜지스터의 채널 길이 방향이 대강 평행하도록 배치된다. 이와 같은 경우에, 소자 구동용 박막 트랜지스터의 채널 길이 방향을 스위칭용 박막 트랜지스터와 다른 방향으로 배치함으로써, 소자 구동용 박막 트랜지스터는 채널 길이를 길게 하는 것이 용이해진다.

본 발명의 다른 양태에 따른 반도체 장치에서는, 공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 n 개(n 은 2이상의 정수)의 박막 트랜지스터를 구비하되, 상기 n 개의 복수의 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, $n-1$ 이하의 수의 컨택트에 의해서 서로 전기적으로 접속되어 있다.

피 구동 소자로의 전력 공급의 확실성이나 편차 방지 등의 관점에 있어서, 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터를 복수 마련하는 것은 효과가 높다. 한편, 예를 들면 피 구동 소자가 발광 소자 중인 경우에 있어서 컨택트부는 비 발광 영역으로 되는 경우가 많다. 따라서, 피 구동 소자에 전력을 공급하는 n 개의 박막 트랜지스터와 피 구동 소자의 컨택트 수를 $n-1$ 이하로 함으로써, 장치로서의 신뢰성 향상을 도모하면서 피 구동 소자의 실제 동작 영역(발광 소자이면 발광 영역)을 최대한 확보할 수 있게 된다.

본 발명의 다른 양태에 따른 반도체 장치는, 공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되, 상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, 배선층에 의해서 서로 전기적으로 접속되고, 상기 배선층과 상기 박막 트랜지스터의 컨택트 위치와, 상기 배선층과 상기 피 구동 소자의 컨택트 위치가 이격되어 배치되어 있다.

이와 같이 배선층과 상기 박막 트랜지스터의 컨택트 위치와, 상기 배선층과 상기 피 구동 소자의 컨택트 위치가 이격되어 배치됨으로써, 배선층보다도 상층에 형성되는 경우가 많은 피 구동 소자를 보다 평탄한 면 위에 형성하는 것이 용이해진다. 박막 트랜지스터와 배선층은 절연층에 의해 이격되어 있고, 이들 컨택트는 절연층에 형성된 컨택트 홀에서 행해진다. 또한, 배선층과 피 구동 소자의 접속은 양자를 절연하는 절연층에 형성된 컨택트 홀을 통해서 행해진다. 따라서, 박막 트랜지스터와 배선층을 접속하는 컨택트 홀과, 배선층과 피 구동 소자를 접속하는 컨택트 홀이 중첩된 위치에 형성되면, 가장 상층에 형성되는 피 구동 소자는 2개(2단)의 컨택트 홀에 의해서 형성된 큰 요철면 상에 형성되게 된다. 피 구동 소자로서 발광 소자, 예를 들면 유기 화합물이 발광층에 이용된 유기 EL 소자를 채용한 경우, 유기 화합물을 포함하는 층은 그 형성면의 평탄성이 불량하면, 전계 집중 등이 발생하여, 그 장소로부터 발광 불등으로 되는 다크 스폿 등이 발생하기 쉽다. 따라서, 배선층과 피 구동 소자의 컨택트를 박막 트랜지스터와 배선층의 컨택트부로부터 이격함으로써, 피 구동 소자의 형성 영역에서의 평탄성을 향상시킬 수 있다.

본 발명의 다른 양태에 따른 반도체 장치에서는, 상기 피 구동 소자가 제1 및 제2 전극 사이에 발광 소자층을 구비한 발광 소자이고, 상기 배선층의 상층에 형성된 절연층에는 컨택트 홀이 형성되어 있으며, 상기 컨택트 홀에 있어서, 상기 배선층은 상기 절연층 상에 상기 컨택트 홀을 덮으며 형성된 상기 발광 소자의 상기 제1 전극과 접속되며, 상기 제1 전극의 적어도 컨택트 홀 영역은 평탄화층에 의해 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있는 것을 특징으로 한다.

제1 전극의 컨택트 홀 영역을 평탄화층에 의해 덮음으로써, 즉 컨택트 홀의 존재에 의해 움푹 패인 부분을 평탄화층에 의해 매립함으로써, 제1 전극과 평탄화층으로 대단히 평탄성이 높은 면을 구성할 수 있다. 따라서, 이 평탄성이 높은 면 위에 발광 소자층을 형성함으로써 소자의 신뢰성을 향상시키는 것이 가능하게 된다.

본 발명의 다른 양태에 따른 반도체 장치는, 공급 전력에 따라 동작하고, 제1 및 제2 전극 사이에 발광 소자층을 구비하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인의 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되, 상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, 하층에 형성된 상기 박막 트랜지스터와 상기 피 구동 소자의 평판을 이격하는 절연층에 형성된 콘택트 홀에 있어서 직접 또는 간접적으로 서로 전기적으로 접속되며, 상기 제1 전극의 적어도 콘택트 홀 영역은 평탄화층에 의해서 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있다.

제1 전극의 상방에는 발광 소자층이 형성되는데, 이 제1 전극에 콘택트 홀의 존재에 의해서 발생하는 움푹 패인 부분을 평탄화층에 의해서 덮기 때문에, 예를 들면 이 움푹 패인 부분이 깊다고 하더라도, 제1 전극과 평탄화층에 의해서 대단히 평탄성이 높은 면을 구성할 수 있고, 이 평탄성이 높은 면 위에 발광 소자층을 형성함으로써 소자의 신뢰성을 향상시킬 수 있게 된다.

본 발명의 다른 양태는, 상기한 피 구동 소자는 유기 화합물을 발광층에 이용한 유기 일렉트로 루미네센스 소자이다. 이러한 유기 EL 소자에서는 고휘도이고 또한 발광색과 재료의 선택 범위가 넓지만, 전류 구동이기 때문에 공급 전류량의 편차가 발광 휘도의 편차에 영향을 미치는데, 상기한 바와 같은 화소의 회로 구성이나 배치의 채용에 의해 공급 전류량을 균일하게 유지하는 것이 용이하다. 또한, 상술한 바와 같은 콘택트의 배치 및 구조를 채용하여, 개구율이 크고 또한 발광층 등의 소자층을 평탄한 면에 형성할 수 있어, 신뢰성이 높은 소자를 얻을 수 있다.

발명의 구성 및 작용

이하, 도면을 이용하여 본 발명의 바람직한 실시예에 대하여 설명한다.

(실시예 1)

도 2는 본 발명의 실시예 1에 따른 m행 n열의 액티브 매트릭스형 EL 표시 장치에 있어서의 1 화소당의 회로 구성을 나타내고 있다. 도시하는 바와 같이 각 화소는 유기 EL 소자(50), 스위칭용 TFT(제1 TFT)(10), 소자 구동용 TFT(제2 TFT)(20) 및 보조 용량 Cs를 구비하며, 여기서는, 행 방향으로 연장되는 게이트 라인 GL과, 열 방향으로 연장되는 데이터 라인 DL에 의해 둘러싸인 영역에 구성되어 있다. 본 실시예에서는 또한, 도전 특성이 상기 제2 TFT(20)와 역의 보상용 TFT(30)가 전원 라인 VL과 제2 TFT(20) 사이에 삽입되어 있다. 이 보상용 TFT(30)는 게이트와 소스 또는 드레인 한쪽이 접속되어 다이오드 접속되어 있고, 상기 다이오드 전원 라인 VL과 제2 TFT(20) 사이에 순방향으로 접속되어 있다. 따라서, 특별한 제어 신호를 공급하지 않으면서 동작시킬 수 있게 되어 있다.

제1 TFT(10)는 게이트 신호를 그 게이트에 수신하여 온하고, 이에 의해, 제1 TFT(10)와 제2 TFT(20) 사이에 접속된 보조 용량 Cs에 데이터 라인 DL로 공급되고 있는 데이터 신호가 보존되고, 보조 용량 Cs의 한쪽 전극 전위가 상기 데이터 신호와 동일하게 된다. 제2 TFT(20)는 전원 라인 VL과 유기 EL 소자(소자의 양극)(50) 사이에 마련되고, 그 게이트에 인가되는 데이터 신호의 전압치에 대응한 전류를 전원 라인 VL로부터 유기 EL 소자(50)에 공급하도록 동작한다. 도 2에 도시하는 예에서는 제1 TFT(10)에는 고속 응답 가능한 nch-TFT가 이용되고, 제2 TFT(20)에는 pch-TFT가 이용되고 있다.

보상용 TFT(30)에는 상기 제2 TFT(20)와 역 극성의 nch-TFT가 이용되고 있으며, 제2 TFT(20)의 I(전류)-V(전압) 특성이 변동된 경우, 정확히 역 방향으로 그 I-V 특성이 변동되어, 제2 TFT(20)의 특성 변동을 보상한다.

도 3은 능동층에 다결정 실리콘을 이용한 nch-TFT 및 pch-TFT의 I-V 특성을 나타내고 있다. nch-TFT는 게이트로의 인가 전압이 소정의 플러스 전압(+Vth) 이상으로 되면 전류치가 급격하게 상승하고, 한쪽의 pch-TFT는 게이트로의 인가 전압이 소정의 마이너스 전압(-Vth) 이하로 되면 전류치가 급격하게 상승한다. 여기서, 예를 들면 동일 기판 상에 형성된 nch-TFT와 pch-TFT는 nch-TFT의 임계값 +Vth가 커지는 방향, 즉 도 3에 있어서 오른쪽으로 시프트하도록 변동한 경우, pch-TFT의 임계값 -Vth는 같은 정도만큼 도 3의 오른쪽으로 시프트한다. 반대로 nch-TFT의 임계값 +Vth가 왼쪽으로 시프트할 때는, pch-TFT의 임계값 -Vth도 좌측으로 시프트한다. 예를 들면, 제조 조건의 편차 등에 의해서, 도 2의 제2 TFT(20)에 이용되고 있는 pch-TFT의 -Vth가 오른쪽으로 어긋난 경우, 종래라면 동일 조건화에 있어서 유기 EL 소자(50)에 공급되는 전류량이 바로 감소하여 버린다. 그러나, 본 실시예에서는 상기 제2 TFT(20)와 전원 라인 VL 사이에 마련되어 있는 nch-TFT로 이루어지는 보상용 TFT(30)의 흐르는 전류량이 많아진다.

본 실시예에서는 도 2에 도시하는 바와 같이, 서로 역 극성으로 이루어지는 제2 TFT(20)와 보상용 TFT(30)가 전원 라인 VL과 유기 EL 소자(50) 사이에 마련되어 있기 때문에, 2개의 TFT는 상시 서로에 흐르는 전류량을 보상하도록 조화를 이루게 된다. 물론, 보상용 TFT(30)가 존재하지 않는 도 1과 같은 종래 회로 구성보다도 본 실시예의 회로 구성에서는, 보상용 TFT(30)가 존재하는 분만큼, 유기 EL 소자(50)에 공급 가능한 최대 전류치는 감소한다. 그러나, 인간의 눈은 고휘도측에서의 식별 감도가 중간 휘도에서의 감도에 비하여 대단히 낮기 때문에, 최대 공급 전류치가 다소 감소하더라도 표시 품질에는 거의 영향을 주지 않는다. 한편, 각 화소에 있어서, 제2 TFT(20)와 보상용 TFT(30)가 서로에 흐르기 시작하는 전류를 상호 조정하기 때문에, 화소 사이에서의 유기 EL 소자(50)로의 공급 전류량의 편차를 저감할 수 있게 된다.

다음에, 도 4를 참조하여, 본 실시예의 회로 구성에 의해서 실현되는 효과에 대하여 설명한다. 도 4의 상단은 도 2에 나타내는 본 실시예의 화소 회로 구성에 의해서 유기 EL 소자를 발광시킨 경우, 도 4의 하단은 도 1에 나타내는 종래의 화소 회로 구성에 의해서 유기 EL 소자를 발광시킨 경우의 인가 전압(데이터 신호)과 발광 휘도의 관계의 일례를 나타내고 있다. 도 4의 설정은 인가 전압(데이터 신호) 8V일 때를 유기 EL 소자에 대한 요구 최대 휘도로 하고 있고, 8V 내지 10V 사이에서 게조 표시가 행해지고 있는 경우를 예로 들고 있다. 또한, 도 4의 상단 및 하단의 각 3개의 샘플은 서로 다른 제조 조건 하에서 각각 도 2 및 도 1의 회로 구성의 유기 EL 패널을 형성한 경우, 즉 화소부의 TFT의 특성을 고의로 편차시킨 경우의 발광 휘도 특성이다.

도 4로부터 분명한 바와 같이, 종래의 회로 구성에서는, 화소부 TFT의 특성이 서로 다른 3가지 샘플에 있어서, 설정된 데이터 신호 전압 범위 8V 내지 10V에서 휘도 특성이 크게 변화하고 있는 데 반하여, 본 실시예의 회로 구성에서는, 시각(視感)되지 않는 고휘도 영역에서의 특성이 다를뿐, 3가지 샘플의 중간조 영역에서의 휘도 특성차는 대단히 작다. 따라서, 각 화소를 본 실시예와 같은 회로 구성으로 함으로써, TFT, 특히 큰 영향을 미치는 제2 TFT(20)의 특성에 편차가 생겨도, 이것과 역 극성의 보상용 TFT(30)의 존재에 의해 그 편차를 보상할 수 있어, 유기 EL 소자의 발광 휘도의 편차를 억제할 수 있게 된다.

도 5는 본 실시예에 따른 회로 구성의 다른 예를 나타내고 있다. 상술한 도 2와 다른 점은 nch-TFT를 이용하여 제2 TFT(22)가 구성되고, 또한 보상용 TFT(32)에는 다이오드 접속된 pch-TFT를 이용하고 있는 점이다. 이와 같은 구성에 의해서도 제2 TFT(22)에서의 특성 편차를 보상용 TFT(32)에 의해 보상할 수 있다.

도 6은 본 실시예에 따른 회로 구성의 또 다른 예를 나타내고 있다. 도 2의 회로 구성과 다른 점은 제2 TFT가 복수 병렬하여 보상용 TFT(30)와 유기 EL 소자(50) 사이에 마련되어 있다는 것이다. 또, TFT의 극성은 도 2와 마찬가지로, 제2 TFT(24)가 pch, 보상용 TFT(30)가 nch이다. 2개의 제2 TFT(24)는 그 게이트가 모두 제1 TFT(10) 및 보조 용량 Cs의 제1 전극측과 접속되고, 각 소스는 보상용 TFT(30)와 접속되고, 드레인이 유기 EL 소자(50)와 접속되어 있다. 이와 같이 제2 TFT(24)를 병렬하여 마련함으로써, 제2 TFT의 특성 편차에 따른 유기 EL 소자로의 공급 전류 편차를 더욱 저감할 수 있게 된다.

여기서, 2개의 제2 TFT(24) 각각의 흐르는 전류치 목표치를 i 로 하면, 당연히 2개의 제2 TFT(24)의 합계 목표 전류치는 $2i$ 로 된다. 편차에 의해, 예를 들면 한쪽 제2 TFT(24)의 전류 공급 능력이 $i/2$ 로 되어 버려도, 다른쪽 제2 TFT(24)가 i 만큼 전류를 흘려보내면, 목표치 $2i$ 에 대해 $(3/2)i$ 를 유기 EL 소자에 공급할 수 있다. 또한, 최악으로 한쪽 TFT의 전류 공급 능력이 0으로 되었다고 하여도, 도 6의 예라면, 다른쪽 TFT에 의해 전류 i 를 유기 EL 소자에 공급하는 것이 가능하다. 단일 TFT에 의해 제2 TFT(24)를 구성한 경우, 이것이 전류 공급 능력 0으로 되면, 그 화소는 결함으로 되는 것과 비교하면, 그 효과는 현격하게 크다.

또한, 본 실시예의 각 TFT는 레이저 어닐링 처리에 의해 a-Si를 다결정화하지만, 복수의 제2 TFT(24)를 병렬하여 마련하는 경우, 각 제2 TFT(24)의 능동 영역으로 동시에 레이저가 조사되지 않도록 레이저 조사 방향에 대해서 그 형성 장소를 어긋나게 하는 등의 공리가 용이하다. 그리고, 그와 같은 배치로 함으로써, 모든 제2 TFT(24)가 결함으로 될 가능성을 현격히 저하시킬 수 있어, 레이저 어닐링에 기인한 특성 편차를 최소 한도로 억제할 수 있게 된다. 게다가, 상술한 바와 같이, 제2 TFT(24)와 전원 라인 VL 사이에 보상용 TFT(30)를 마련하고 있기 때문에, 그 어닐링 조건 등의 편차에 의해 제2 TFT(24)의 임계값에 시프트가 발생하여도, 보상용 TFT(30)에 의해 이것을 완화할 수 있다.

도 7은 본 실시예의 또 다른 화소 회로 구성을 나타내고 있다. 상술한 도 6의 구성과 다른 점은, 제2 TFT(24)뿐만 아니라, 보상용 TFT도 복수 마련되고, 각 보상용 TFT(34)가 각각 전원 라인 VL과 제2 TFT(24) 사이에 마련되어 있다는 점이다. 보상용 TFT(34)에 대해서도 도 7과 같이 복수로 하면, 각 보상용 TFT(34)에 발생하는 전류 공급 전력의 편차를 전체적으로 완화할 수 있어, 유기 EL 소자(50)로의 공급 전류 능력의 편차를 보다 확실하게 저감시키는 것이 가능해진다.

도 8은 상기 도 7과 같은 회로 구성으로 되는 유기 EL 표시 장치의 평면 구성의 일례를 나타내고 있다. 또한, 도 9a는 도 8의 A-A선을 따라 자른 개략 단면, 도 9b는 도 8의 B-B선을 따라 자른 개략 단면, 도 9c는 도 8의 C-C선을 따라 자른 개략 단면을 나타내고 있다. 또, 도 9에 있어서, 동시에 형성되는 층(막)에는 기능이 다른 것을 제외하고 기본적으로 동일 부호가 부여되어 있다.

도 8에 도시하는 바와 같이, 각 화소는 제1 TFT(10), 보조 용량 Cs, 2개의 pch의 제2 TFT(24), 전원 라인 VL과 그 제2 TFT(24) 사이에 다이오드 접속되어 마련된 nch의 2개의 보상용 TFT(34), 그리고 제2 TFT(24)의 드레인과 접속된 유기 EL 소자(50)를 구비한다. 또한, 도 8의 예에서는(이것에 한정되지는 않지만), 행 방향으로 연장되는 게이트 라인 GL과 열 방향으로 연장되는 전원 라인 VL과 데이터 라인 DL로 둘러싸인 영역에 1 화소가 배치되어 있다. 또, 도 8의 예에서는, 보다 고품위의 컬러 표시 장치를 실현하기 위해서, R, G, B의 화소가 각 행마다 그 배치 위치가 어긋난, 이른바 델타 배열이 채용되고 있기 때문에, 데이터 라인 DL 및 전원 라인 VL은 일직선 형상이 아니라, 행마다 위치가 어긋난 화소의 간극을 뚫고 지나가도록 열 방향으로 연장되어 있다.

각 화소 영역에 있어서, 게이트 라인 GL과 데이터 라인 DL의 교차부 근방에는 제1 TFT(10)가 형성되어 있다. 능동층(6)에는 레이저 어닐링 처리에 의해서 a-Si를 다결정화하여 얻은 p-Si가 이용되고, 이 능동층(6)은 게이트 라인 GL로부터 돌출된 게이트 전극(2)을 2회 걸친 패턴으로 되어 있으며, 도 7에서는 싱글 게이트 구조로 나타내고 있지만, 회로적으로는 듀얼 게이트 구조로 되어 있다. 능동층(6)은 게이트 전극(2)을 덮으며 형성된 게이트 절연막(4) 상에 형성되어 있고, 게이트 전극(2)의 바로 상부 영역이 채널, 그 양측에는 불순물이 도핑된 소스 영역 6S, 드레인 영역 6D가 형성되어 있다. 제1 TFT(10)는 게이트 라인 GL로 출력되는 선택 신호에 고속 응답하는 것이 요망되기 때문에, 여기서, 소스 영역 6S, 6D에는 인(P) 등의 불순물이 도핑되어, nch-TFT로서 구성되어 있다.

제1 TFT(10)의 드레인 영역 6D는 제1 TFT(10) 전체를 덮으며 형성되는 층간 절연막(14) 상에 형성된 데이터 라인 DL과 그 층간 절연막(14)에 개구된 콘택트 홀에 의해 접속되어 있다.

이 제1 TFT(10)의 소스 영역 6S에는 보조 용량 Cs가 접속되어 있다. 이 보조 용량 Cs는 제1 전극(7)과 제2 전극(8)이 층간에 게이트 절연막(4)을 사이에 두고 중첩되어 있는 영역에 형성되어 있다. 제1 전극(7)은 도 8에 있어서 게이트 라인 GL과 마찬가지로 연장되어 있고, 게이트와 동일 재료로 형성된 용량 라인 SL과 일체로 형성되어 있다. 또한, 제2 전극(8)은 제1 TFT(10)의 능동층(6)과 일체이고, 그 능동층(6)이 제1 전극(7)의 형성 위치까지 연장되어 구성되어 있다. 제2 전극(8)은 커넥터(42)를 통해서 제2 TFT(24)의 게이트 전극(25)과 접속되어 있다.

2개의 pch의 제2 TFT(24)와 2개의 nch의 보상용 TFT(34)의 단면 구성은 도 9b와 같이 되어 있다. 이들 제2 TFT 및 보상용 TFT(24, 34)는 데이터 라인 DL(전원 라인 VL)을 따르는 방향으로, 각 TFT마다 섬 형상으로 패터닝된 능동층(16)을

각 기능층으로서 이용하고 있다. 따라서, 본 예에서는 이들 제2 TFT(24) 및 보상용 TFT(34)의 채널은 그 채널 길이 방향이 데이터 라인 DL, 여기서는 가늘고 긴 형상의 1 화소의 길이 방향을 따르도록 배치되어 있다. 또, 이 능동층(16)은 제1 TFT(10)의 능동층(6)과 동시에 형성된 것이며, 레이저 어닐링 처리에 의해 a-Si가 다결정화되어 형성된 다결정 실리콘이 이용되고 있다.

도 9b의 양단에 위치하는 보상용 TFT(34)는, 그 드레인 영역이 층간 절연막(14)으로 개구된 콘택트 홀을 통해서, 각각 동일한 전원 라인 VL과 접속되어 있다. 또한, 보상용 TFT(34)의 채널 영역 바로 아래에는 게이트 절연막(4)을 사이에 두고 게이트 전극(35)이 배치되어 있다. 이 게이트 전극(35)은 게이트 라인 GL과 동일 재료로 동시에 형성된 층이지만, 도 8에 도시하는 바와 같이 콘택트 홀에 있어서 전원 라인 VL과 접속되어 있다. 따라서, 이 보상용 TFT(34)는 도 7의 회로도에서와 같이, 게이트와 드레인이 모두 전원 라인 VL과 접속된 다이오드를 구성하고 있다. 또한, 이 보상용 TFT(34)의 소스 영역은, pch TFT로 구성되는 제2 TFT(24)의 소스 영역과 이격 배치되어 있으며, 콘택트 배선(43)에 의해서 상호 각각 접속되어 있다.

제2 TFT(24)의 각 게이트 전극(25)은, 보상용 TFT(34)의 게이트 전극(35)과 마찬가지로, 게이트 라인 GL과 동일 재료로 동시에 형성된 도전층으로, 보조 용량 Cs의 제2 전극(8)과 커넥터(42)를 통해서 접속되고, 그 보조 용량 Cs의 형성 영역으로부터 전원 라인 VL을 따라서 연장되고, 또한 능동층(16) 아래로 연장되어 있고, 2개의 제2 TFT(24)의 각 게이트 전극(25)을 구성하고 있다.

유기 EL 소자(50)는 예를 들면 도 9c와 같은 단면 구조를 구비하고 있고, 상술한 바와 같은 각 TFT가 형성된 후, 상면 평탄화의 목적에서, 기판 전면에 형성된 평탄화 절연층(18) 상에 형성되어 있다. 이 유기 EL 소자(50)는 양극(투명 전극)(52)과, 최상층에 각 화소 공통으로 형성된 음극(금속 전극)(57) 사이에 유기층이 적층되어 형성되어 있다. 여기서, 이 양극(52)은 제2 TFT(24)의 소스 영역과 직접 접속되어 있지 않고, 배선층을 구성하는 커넥터(40)를 통해서 접속되어 있다.

여기서, 본 실시예에서는 도 8과 같이, 2개의 제2 TFT(24)는 1개의 커넥터(40)와 공통으로 접속되어 있고, 이 커넥터(40)는 유기 EL 소자(50)의 양극(52)과 1개소에서 콘택트하고 있다. 즉, 유기 EL 소자(50)는 n개의 제2 TFT(24)와 (n-1)개 이하의 콘택트에 의해 접속되어 있다. 콘택트 영역은 비 발광 영역으로 되는 경우도 있으며, 이와 같이 유기 EL 소자(50)와 커넥터(40)(제2 TFT(24))의 콘택트 수를 가능한 적게 함으로써, 발광 영역을 가능한 크게 할 수 있게 한다. 또, 이 콘택트 수에 관한 다른 예에 대해서는 실시예 3으로서 후술한다.

또한, 본 실시예에서는 도 8 및 도 9c에 도시하는 바와 같이 커넥터(40)와 양극(52)의 접속 위치는 커넥터(40)와 제2 TFT(24)의 접속 위치와 어긋나게 배치되어 있다. 후술하는 유기 화합물을 포함하는 발광 소자층(51)은 국부적으로 얇은 장소 등이 있으면 전계 집중이 일어나기 쉽고, 전계 집중이 일어난 장소로부터 열화가 시작되는 일이 있다. 따라서 유기 재료가 이용되는 발광 소자층(51)의 형성면은 가능한 평탄한 것이 바람직하다. 콘택트 홀의 상층에서는 이 콘택트 홀에 기인한 움푹 패인 부분이 생겨, 콘택트 홀이 깊으면 깊을수록 그 움푹 패인 부분이 커진다. 따라서 양극(52)의 형성 영역 외에 커넥터(40)와 제2 TFT(24)의 소스 영역을 접속하는 콘택트 홀을 배치함으로써, 상부에 유기층이 형성되는 양극(52)의 상면을 가능한 평탄하게 하는 것을 가능하게 하고 있다. 또, 양극(52)의 상면을 평탄하게 하는 예에 대해서는 실시예 4로서 후술한다.

발광 소자층(유기층)(51)은 양극층으로부터, 예를 들면 제1 홀 수송층(53), 제2 홀 수송층(54), 유기 발광층(55), 전자 수송층(56)이 순차적으로 적층되어 있다. 일례로서, 제1 홀 수송층(53)은 MTDATA: 4, 4', 4''-tris(3-methylphenylphenylamino)triphenylamine, 제2 홀 수송층(54)은 TPD: N, N'-diphenyl-N, N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine, 유기 발광층(55)은 R, G, B의 목적으로 하는 발광색에 따라 다르지만, 예를 들면, 퀴나크리돈(Quinacridone) 유도체를 포함하는 BeBq₂: bis(10-hydroxybenzo[h]quinolinato)beryllium을 포함하며, 전자 수송층(56)은 BeBq로 구성된다. 또한, 도 9c에 도시하는 예에 있어서, 유기 EL 소자(50)는 ITO(Indium Tin Oxide) 등으로 이루어지는 양극(52)과, 유기 발광층(55) 이외의 각 유기층(53, 54, 56) 및 Al 등으로 이루어지는 음극(57)이 각 화소 공통으로 형성되어 있다.

상기 EL 소자의 다른 구성예로서는 오른쪽에 든 재료를 이용한 왼쪽 층이 순차적으로 적층 형성된 소자를 들 수 있다.

- a. 투명 전극(양극)
- b. 홀 수송층: NBP
- c. 발광층: 레드(R)···호스트 재료(Alq₃)에 적색 도펀트(DCJTb)를 도핑

그린(G)···호스트 재료(Alq₃)에 녹색 도펀트(Coumarin 6)를 도핑

블루(B)···호스트 재료(Alq₃)에 청색 도펀트(Perylene)를 도핑

- d. 전자 수송층: Alq₃
- e. 전자 주입층: 불화 리튬(LiF)
- f. 전극(음극): 알루미늄(Al)

또, 여기서, 상기 약칭으로 기재한 재료의 정식 명칭은 이하와 같다.

. 「NBP」 ...N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)

. 「Alq₃」 ...Tris(8-hydroxyquinolino)aluminum

. 「DCJTB」 ... (2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene) propanedinitrile

. 「Coumarin6」 ...3-(2-Benzothiazolyl)-7-(diethylamino)coumarin

. 「BALq」 ... (1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N1,08) Aluminum

단, 물론 이와 같은 구성에는 한정되지 않는다.

이상과 같은 구조의 화소에 있어서, 게이트 라인 GL에 선택 신호가 인가되면, 제1 TFT(10)가 온하여, 데이터 라인 DL의 전위와, 보조 용량 Cs의 제2 전극(8)과 접촉된 그 소스 영역 전위가 동등하게 된다. 제2 TFT(24)의 게이트 전극(25)에는 데이터 신호에 따른 전압이 공급되고, 제2 TFT(24)는 그 전압치에 따라서 전원 라인 VL로부터 보상용 TFT(34)를 통해서 공급되는 전류를 유기 EL 소자(50)의 양극(52)에 공급한다. 이와 같은 동작에 의해, 각 화소마다 데이터 신호에 따른 전류를 정확하게 유기 EL 소자(50)에 공급할 수 있어, 편차가 없는 표시가 가능해진다.

도 8에 도시하는 바와 같이, 전원 라인 VL과 유기 EL 소자(50) 사이에 보상용 TFT(34)와 제2 TFT(24)가 이 순서로 복수 계열(여기서는 2계열) 마련되어 있기 때문에, 한쪽 시스템에서 편차에 의한 특성 시프트나 결함 등이 발생하여도, 정상적인 특성의 다른쪽 시스템이 존재함으로써, 보수 계열의 합계 결정되는 공급 전류량의 편차를 완화할 수 있도록 하였다.

또한, 도 8에 도시하는 평면 배치에서는, 모두 능동층이 레이저 어닐링 처리에 의해서 다결정화된 다결정 실리콘층이 이용되고 있지만, 이 어닐링 처리는 일례로서 도면의 행 방향으로 긴 레이저 빔을 열 방향으로 주사하여 행한다. 이와 같은 경우에도, 제1 TFT(10)의 채널 방향과, 제2 및 보상용 TFT(24, 34)의 각 능동층 길이 채널 방향은 일치하지 않으며, 또한 형성 위치가 제1 TFT(10)과 제2 TFT(24)에 의해 이격되어 있다. 이 때문에, 레이저 어닐링에 의해서, 제1 및 제2 TFT(10, 24), 제2 및 보상용 TFT(24, 34)에 동시에 문제가 발생하는 것을 방지하는 것이 가능하다.

또, 제1 TFT(10), 제2 TFT(24) 및 보상용 TFT(34) 모두 바텀 게이트 구조로서 설명했지만, 능동층보다도 게이트 전극이 상층에 형성된 탑 게이트 구조이다라고 무방하다.

(실시예 2)

다음에, 본 발명의 다른 실시예 2에 대하여 설명한다. 실시예 1에서는 트랜지스터의 특성 편차에 의한 화소 사이에서 발광 휘도의 편차를 방지하기 위해서, 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터를 마련하고 있다. 이에 대하여, 본 실시예 2에서는 소자 구동용 박막 트랜지스터(제2 TFT)의 배치에 착안하여 화소 사이에서의 발광 휘도의 편차를 제어한다. 도 10은 실시예 2에 따른 1 화소당의 구성예를 나타내고 있으며, 도 10a는 개략 평면도 도 10b는 도 10a의 B-B선을 따라 자른 단면도이다. 이 구성은 도 1과 동일한 회로 구성으로 나타낸다. 또한, 도면 중 이미 설명한 도면과 대응하는 부분에는 동일 부호를 부여하였다.

본 실시예 2에 있어서, 1 화소는 유기 EL 소자(50), 제1 TFT(스위칭용 박막 트랜지스터)(10), 보조 용량 Cs, 제2 TFT(소자 구동용 박막 트랜지스터)(20)를 구비한다. 실시예 1과 달리, 전원 라인 VL과 유기 EL 소자(50) 사이에는 단일 제2 TFT(20)가 형성되어 있는데, 이 제2 TFT(20)는 상술한 도 8과 마찬가지로, 그 채널 길이 방향이, 가늘고 길게 형성된 화소의 길이 방향에 따르도록 배치되어 있다. 그리고, 본 실시예 2에서는 이와 같이 화소 영역의 길이 방향에 채널 길이 방향이 향하도록 제2 TFT(20)를 배치함으로써, 도 10a와 같이 채널 길이가 대단히 긴 제2 TFT(20)를 배치하는 경우에도, 또한, 상술한 도 8에 도시하는 바와 같이 전원 라인 VL과 유기 EL 소자(50) 사이에 제2 TFT(20)나 보상용 TFT(30)를 배치할 필요가 있는 경우에도, 유기 EL 소자(50)의 발광 영역을 최대한 확보하면서, 면적이 한정된 1 화소 영역 내에 필요한 TFT를 효과적으로 배치할 수 있도록 하고 있다.

본 실시예 2에서는, 화소의 길이 방향으로 제2 TFT(20)를 배치함으로써, 도 10a 및 도 10b에 도시하는 바와 같이, 제2 TFT(20)의 채널 길이를 충분히 길게 할 수 있도록 하고 있다. 제2 TFT(20)의 채널 길이를 충분히 길게 함으로써, TFT 내압 향상에 의한 신뢰성이 향상된다. 또한, 제2 TFT(20)의 트랜지스터 특성의 평균화가 가능하게 되어, 화소마다의 제2 TFT(20)의 전류 공급 능력 편차를 저감할 수 있으며, 이 능력 편차에 의해 발생하는 유기 EL 소자(50)의 발광 휘도 편차를 대단히 작게 할 수 있게 된다.

또한, 본 실시예 2에 있어서, 실시예 1과 마찬가지로, 제2 TFT(20)는 비정질 실리콘층을 레이저 어닐링에 의해서 다결정화하여 얻은 다결정 실리콘층(능동층)(16)으로서 이용한다. 이 경우에, 레이저 어닐링의 주사 방향을 제2 TFT(20)의 채널 길이 방향과 일치하는 방향으로 설정하는, 바꾸어 말하면 펄스 레이저 조사 영역의 길이 방향에지가 채널(16c)을 폭 방향으로 가로지르도록 배치하고, 또한 상술한 바와 같이 제2 TFT(20)의 채널 길이를 길게 함으로써, 제2 TFT(20)의 특성 편차의 저감이 가능하게 된다. 이것은 단일 레이저 쇼트에 의해서 제2 TFT(20)의 채널 전체 영역이 어닐링되지 않도록 조정하는 것이 용이하여, 다른 화소의 제2 TFT(20)와 그 특성에 큰 차가 발생하는 것을 방지할 수 있고, 이에 의해 제2 TFT(20)의 특성에 대해서 보다 높은 평균화 효과를 얻는 것이 가능하기 때문이다.

제2 TFT(20)는 유기 EL 소자(50)에 대하여 구동 전원(전원 라인 VL)으로부터의 비교적 큰 전류를 공급하는 것이 요구되지만, 능동층(16)에 다결정 실리콘을 이용한 p-Si-TFT를 제2 TFT(20)에 이용하는 경우, 요구 능력과 비교하여 p-Si의 이동도는 충분한 값이며, 제2 TFT(20)는 그 채널 길이를 길게 설계하여도 충분한 전류 공급 능력을 발휘할 수 있다. 또한,

제2 TFT(20)는 전원 라인 VL과 직접 접속되기 때문에 요구 내압이 높고, 채널 길이 CL은 채널 폭보다도 크게 하는 것이 요구되는 경우가 많다. 따라서, 이와 같은 관점에서 제2 TFT(20)는 충분히 긴 채널 길이로 하는 것이 바람직하고, 이를 위해 제2 TFT(20)를 그 채널 길이 방향이 화소 영역의 길이 방향을 따르도록 형성함으로써, 1 화소 영역 내에 긴 채널을 구비하는 제2 TFT(20)를 효율적으로 배치하는 것이 가능하게 된다.

표시면 상에 복수의 화소가 매트릭스 형상으로 배치되어 구성되는 표시 장치에서는 대부분의 경우, 수직 방향(열 방향)보다도 수평 방향(행 방향)이 보다 높은 해상도가 요구되기 때문에, 각 화소는 상술한 도 8이나 도 10a에 도시하는 바와 같이 열 방향으로 긴 형상으로 설계되는 경향이 강하다. 이와 같은 경우에, 열 방향으로 채널 길이 방향이 향하도록 제2 TFT(20)를 배치하면, 화소 영역의 길이 방향으로 채널 길이 방향이 따르게 되어, 상술한 바와 같은 요구되는 채널 길이의 확보가 용이하게 된다.

또한, 본 실시예 2에 도시하는 바와 같이, 각 화소에 표시 소자를 구동하기 위한 스위치 소자가 마련되는 액티브 매트릭스형 표시 장치에서는, 열 방향으로 제1 TFT(10)에 데이터 신호를 공급하는 데이터 라인 DL이 배치되고, 행 방향으로 선택 라인(게이트 라인) GL이 배치된다. 따라서, 데이터 라인 DL이 연장되는 방향(열 방향)으로 채널 길이 방향이 따르도록 제2 TFT(20)를 배치함으로써, 긴 채널 길이를 확보하면서, 제2 TFT(20)를 효율적으로 화소 영역 내에 배치하는 것이 용이하게 된다. 또, 도 10의 예에서는, 구동 전원 Pvdd로부터 전원 라인 VL에 의해서 각 화소에 전력이 공급되는 레이아웃이 채용되어 있고, 이 전원 라인 VL에 대해서도 데이터 라인 DL과 마찬가지로 열 방향으로 연장되어 있기 때문에, 제2 TFT(20)의 채널 길이 방향은 이 전원 라인 VL의 연장 방향과도 일치하고 있다.

그런데, 본 실시예 2에서는 상기와 같이 제2 TFT(20)의 채널 길이 방향이 레이저 어닐링의 주사 방향과 일치하도록, 혹은 열 방향(데이터 라인 DL의 연장 방향)과 평행하게 되도록 설정하고 있지만, 제1 TFT(10)에 대해서는 게이트 라인 GL이 연장되는 행 방향으로 그 채널 길이 방향이 일치하도록 배치되어 있다. 따라서, 본 실시예 2에 있어서는, 제1 TFT(10)와 제2 TFT(20)에서는 그 채널 길이 방향이 서로 다른 배치로 되어 있다.

다음에 본 실시예 2에 따른 표시 장치의 단면 구조에 대해서 도 10b를 참조하여 설명한다. 도 10b는 제2 TFT(20) 및 이 제2 TFT(20)와 접속되는 유기 EL 소자(50)의 단면 구조를 나타내고 있다. 또 도시하지 않은 제1 TFT(10)에 대해서는 채널의 길이, 더블 게이트라는 점, 및 능동층(6)의 도전형이 서로 다르다는 점 등을 제외하면, 기본 구조는 도 10b의 제2 TFT(20)와 거의 공통하고 있다.

실시예 1에 있어서 예시한 제1 및 제2 TFT는 모두 바텀 게이트 구조이지만, 본 실시예 2에서는 제1 및 제2 TFT(10, 20)는 능동층보다 게이트 전극이 상층에 형성된 탑 게이트 구조에 한정되는 것이 아니라, 바텀 게이트 구조이어도 좋다.

제2 TFT(20)의 능동층(16) 및 제1 TFT(10)의 능동층(6)은, 상기한 바와 같이 모두 기판(1) 상에 형성된 비정질 실리콘층을 레이저 어닐링하여 다결정화해서 얻어진 다결정 실리콘으로 구성되어 있다. 다결정 실리콘으로 이루어지는 능동층(6) 및 능동층(16) 위에는 게이트 절연막(4)이 형성되어 있다. 제1 TFT(10) 및 제2 TFT(20)의 각 게이트 전극(2 및 25)은, 이 게이트 절연막(4)의 위에 형성되어 있으며, 제2 TFT(20)가 게이트 전극(25)은 제1 TFT(10)의 능동층(6)과 일체의 보조 용량 Cs의 제2 전극(8)과 접속되고, 도 10a에 도시하는 바와 같이 보조 용량 Cs와의 접속 부분으로부터 열 방향으로 연장되어 게이트 절연막(4) 상에 능동층(16)의 상방을 넓게 덮도록 패터닝되어 있다.

제2 TFT(20)의 능동층(16)은 게이트 전극(25)에 의해서 상방이 덮여 있는 영역이 채널 영역 16c이고, 이 채널 영역 16c의 양측에는 각각 소스 영역 16s와, 드레인 영역 16d가 형성되어 있다. 본 실시예 2에서는 이 능동층(16)의 소스 영역 16s는 보조 용량 Cs의 근방에 있어서, 게이트 절연막(4) 및 층간 절연막(14)을 관통하여 형성된 콘택트 홀을 통해서 전원 라인 VL과 전기적으로 접속되어 있다. 또한, 드레인 영역 16d는 매트릭스의 다음 행에 상당하는 게이트 라인 GL의 근방에서, 게이트 절연막(4) 및 층간 절연막(14)을 관통하여 형성된 콘택트 홀을 통해서 커넥터(배선층)(40)와 접속되어 있다. 커넥터(40)는 드레인 영역 16d와의 접속 영역으로부터 유기 EL 소자(50)의 형성 영역까지 연장되고, 상기 층간 절연막(14) 및 전원 라인 VL 및 커넥터(40)를 덮으며 형성되어 있는 평탄화 절연층(18)에 형성된 콘택트 홀을 통해서 유기 EL 소자(50)의 ITO 전극(양극)(52)과 전기적으로 접속되어 있다.

또한, 도 10b에서는 상기 평탄화 절연층(18) 상에는 유기 EL 소자(50)의 양극(52)의 형성 중앙 영역만 개구되고, 양극(52)의 에지, 배선 영역 및 제1 및 제2 TFT의 형성 영역을 덮도록 제2 평탄화 절연층(61)이 형성되어 있다. 그리고, 유기 EL 소자(50)의 발광 소자층(51)이 양극(52) 및 제2 평탄화 절연층(61) 상에 형성되어 있다. 또한, 발광 소자층(51) 상에는 전계 화소 공통의 음극(57)이 형성되어 있다.

다음에, 제2 TFT(20)의 채널 길이 CL과 레이저의 이동 피치 P의 관계에 대하여 설명한다. 상술과 같이, 제2 TFT(20)의 채널 길이 CL에 대해서는 충분히 길게 하는 것이 바람직하지만, 1회의 펄스 레이저로 채널 전체 영역이 어닐링되지 않도록 하기 위해서는 레이저의 이동 피치 P가 채널 길이 CL에 대하여 $P < CL$ 로 되는 것이 바람직하다. 이동 피치 P는 레이저 어닐링 장치의 광학계 시스템 등의 설정에 의해 조정 가능한 경우가 있는데, 이와 같은 경우, $CL > P$ 로 되도록 장치를 조정하는 것이 적합하다. 예를 들면, 200dpi 정도의 해상도의 표시 장치인 경우, 화소 행 방향의 길이는 30 μ m 정도이더라도, 열 방향은 80 μ m 정도를 확보할 수 있다. 또한, 레이저의 이동 피치 P 20 μ m 내지 35 μ m인 경우에 있어서, 제2 TFT(20)를 그 채널 길이 방향이 화소 길이 방향으로 향하도록 배치함으로써 채널 길이 CL은 50 μ m 내지 80 μ m 정도를 확보할 수 있어, 상기 관계를 충족시킬 수 있다. 이와 같은 관계이면 제2 TFT(20)의 채널 영역 16c는 반드시 복수회 펄스 레이저가 조사되어 다결정화되게 되고, 마찬가지로 복수회의 펄스 레이저 조사에 의해 다결정화되는 다른 화소의 제2 TFT(20)와의 사이에서, 그 특성의 차를 저감하는 것이 가능해진다.

이상의 설명에서는 1 화소 내에 있어서 유기 EL 소자(50)와 전원 라인 VL 사이에 단일의 제2 TFT(20)가 형성되어 있다. 그러나, 제2 TFT(20)는 1 화소 내에 복수 마련되어 있어도 좋다. 도 11은 1 화소 내에서, 복수의 제2 TFT(20)가 능동층(16)과 유기 EL 소자(50) 사이에 병렬 접속되는 경우의 레이아웃의 일례를 나타내고 있다. 또, 도 11에 도시하는 화소 구성의 등가 회로는 상술한 도 6의 회로에 있어서 보상용 TFT(30)를 제외한 경우와 동일하며, 2개의 제2 TFT(20)의 소스

영역(16sa, 16sb)이 모두 각각 커넥터(40)를 통해서 유기 EL 소자(50)의 양극(52)과 접속되어 있다. 이와 같이 1 화소 내에 제2 TFT(20)를 복수 마련함으로써, 1 화소에 대하여 복수의 제2 TFT(20)의 양방이 동시에 불량으로 되어 유기 EL 소자에 전류 공급 불능으로 될 확률을 최저로도 절반 이하로 저감할 수 있다.

2개의 제2 TFT(20a, 20b)의 배치에 대해서는 도 10과 마찬가지로, 화소 영역의 길이 방향(여기서는 데이터 라인 DL의 연장 방향과도 일치)에 대하여, 그 채널 길이 방향이 거의 평행으로 되도록 배치한다. 이와 같은 배치에 의해, 발광 영역을 최대한 확보하면서 각 채널 길이 CL을 가능한 길게 확보할 수 있게 되어 있다. 또한, 레이저 어닐링의 주사 방향에 대해서는, 도 11에 있어서도, 2개의 제2 TFT(20a, 20b)의 어느 채널 길이 방향과도 평행하게 되도록 설정되어 있다. 또한, 양 능동층(16a, 16b)은 일직선 상에 나란히 배열되어 있다. 복수의 제2 TFT(20a, 20b)의 각 능동층을 서로 일직선 상에 나란히 배열하는 것이 반드시 필수는 아니지만, 제2 TFT(20a, 20b)의 각 채널 영역(16ca, 16cb)은 레이저 주사 방향에 대하여 서로 완전히 일치하지 않고, 약간이라도 어긋나 있음으로써, 제2 TFT(20a, 20b)의 특성이 동일하게 편차되는 것을 보다 확실하게 방지할 수 있다. 즉, 채널 길이 방향이 서로 레이저 주사 방향으로 어긋나 있음으로써, 동일한 펄스에 의해서 2개의 TFT의 채널이 동시에 어닐링될 가능성이 감소되어, 제2 TFT(20a, 20b)의 특성이 완전히 동일하게 설정치로부터 어긋나거나, 양방의 트랜지스터가 동시에 동작하지 않는다고 하는 문제 발생 가능성을 대폭 저감할 수 있어, 화소마다에서의 유기 EL 소자(50)로 공급하는 총 전류량의 편차를 저감할 수 있다.

2개의 제2 TFT(20a, 20b)의 채널 길이 CLa, CLb는 이들 모두가 상기와 같이 레이저의 이동 피치 P보다 큰 것이 바람직하다. 또한, 복수의 제2 TFT(20a, 20b)의 채널(16ca와 16cb)의 이격 거리 L에 대해서도, 레이저의 이동 피치 P보다도 크게 하는 것이 보다 바람직하다. 그러나, 도 11과 같이 복수의 제2 TFT(20)가 1 화소 내에 배치되어 있는 경우, 적어도 2개의 제2 TFT(20a, 20b)의 합계 채널 길이와 상기 이격 거리 L의 합계가 이동 피치 P보다 크면, 레이저 어닐링에 의해서, 1 화소 내의 복수의 트랜지스터 TFT2a, TFT2b에 동시에 문제가 발생하거나 또는 동일하게 특성이 어긋나는 것을 방지할 수 있어, 화소마다에서의 특성 편차 저감 효과를 얻을 수 있다.

(실시예 3)

다음에, 실시예 3으로서, 1 화소 내에 있어서 복수의 제2 TFT(20)와 대응하는 유기 EL 소자(50)와의 보다 효율적인 접속 방법에 대하여 설명한다. 상술한 실시예 1 및 실시예 2의 도 11에 도시하는 바와 같이, 1 화소 내에서 유기 EL 소자(50)와 전원 라인 VL 사이에 복수의 제2 TFT(20)를 마련하는 것은, 신뢰성 향상 및 특성 향상 등의 관점에서 적합하다. 이와 같이 복수의 제2 TFT(20)를 1 화소 내에 마련하는 경우, 도 11에 도시한 바와 같이, 제2 TFT(20a, 20b)와 유기 EL 소자(50)를 각각 접속함으로써, 전원 라인 VL로부터 유기 EL 소자(50)로의 제2 TFT(20)를 통해서 전류 공급이 보다 확실하게 된다. 그러나, 도 10b에 도시하는 바와 같은 투명한 양극(52)으로부터 하방의 기판(1)을 통해서 외부로 유기 발광층(55)으로부터의 광을 사출하는 타입의 유기 EL 소자인 경우, 컨택트부는 차광되는 일이 많다. 예를 들면, 도 9c나 도 10b에서는, 유기 EL 소자(50)의 제2 TFT(20)의 접속은 금속 배선인 배선층(40)을 통해서 행해지고, 이 배선층(40)과 양극(52)의 컨택트부에서는 양극(52)의 하방에 차광성의 배선층(40)이 존재하고 있으며, 이 영역에서는 유기 발광층(55)으로부터의 광은 기판(1)측으로 빠져나갈 수는 없다. 따라서, 제2 TFT(20)와 유기 EL 소자(50)의 컨택트부를 제2 TFT(20)의 개수 n과 동일한 수만큼 마련하면 컨택트 수에 비례하여 발광 면적이 감소하여 버린다.

그러므로, 발광 면적의 감소를 최소한으로 하기 위해서는, 1 화소당의 제2 TFT(20)의 수 $n(n \geq 2)$ 에 대하여, 그 제2 TFT(20)와 유기 EL 소자(50)의 컨택트 수를 $n-1$ 이하로 하는 것이 적합하다. 상기 도 8이나, 이하에 설명하는 도 12, 도 13 및 도 14에서는, n개의 제2 TFT(20)와 유기 EL 소자(50)를 $n-1$ 이하의 컨택트 수로 접속하고 있다. 또, 이하에서 설명하는 각 도면에 있어서, 이미 설명한 도면과 공통되는 부분에는 동일 부호를 붙이고 설명을 생략한다.

도 12에서는 전원 라인 VL과 유기 EL 소자(50) 사이에 2개의 제2 TFT(20a, 20b)를 병렬 접속한 경우의 유기 EL 소자(50)와의 컨택트 방법을 나타내고 있다. 또, 2개의 제2 TFT(20a, 20b)는 상술한 도 11과 마찬가지로, 그 채널 길이 방향이 화소의 길이 방향(데이터 라인 DL의 연장 방향), 또는 레이저 어닐링의 주사 방향에 대하여 평행하게 되도록 배치되고, 또한 서로 어긋나도록 배치되어 있어, 화소 사이에서의 휘도 편차의 저감 및 신뢰성 향상을 도모하고 있다.

도 12의 예에서는 단일의 섬 형상으로 패터닝된 p-Si로 이루어지는 반도체층이 2개의 제2 TFT(20a, 20b)의 능동층(16a, 16b)으로서 이용되고 있다. 이 반도체 패턴은 그 열 방향의 양단측이, 각 제2 TFT(20a, 20b)의 소스 영역(p-ch TFT인 경우)(16sa, 16sb)이고, 각각 전원 라인 VL과 접속되어 있다. 또한, 반도체 패턴의 중앙 부근이 2개의 제2 TFT(20a, 20b)의 드레인 영역(p-ch TFT인 경우)(16da, 16db)은, 2개의 TFT 사이에 배치된 단일 배선층(40)과, 중간 절연막(14) 및 게이트 절연막(4)을 관통하여 형성된 공통의 컨택트 홀에 있어서 접속되어 있다(도 10b 참조).

이 배선층(40)은 유기 EL 소자(50)의 양극 형성 영역으로 연장되고, 도 10b의 단면 구조와 마찬가지로 평탄화 절연층(18)에 개구된 1개소의 컨택트 홀을 통해서 유기 EL 소자(50)의 양극(52)과 접속되어 있다. 여기서, 배선층(40)과 양극(52)의 접속 위치는, 도 12에 있어서, 양극(52)의 화소 길이 방향의 중앙 부근으로 되어 있다. 컨택트 위치는 도 12와 같이 한정되는 것은 아니지만, 도 12와 같이 양극(52)의 비교적 중앙 부근에 가까운 위치에 배치되게 되고, 금속 전극과 비교하면 고저항의 ITO 등으로 이루어지는 양극(52)의 형성 영역 내에서의 전류 밀도의 평균화 효과가 얻어져, 각 화소의 발광면 내에서의 발광 휘도의 균일성을 높이는 것이 가능하다.

도 13에 도시하는 예에서는, 제2 TFT(20)의 수를 3으로 하고, 이들 3개의 TFT(20-1, 20-2, 20-3)를 전원 라인 VL과 유기 EL 소자(50)의 양극(52) 사이에 병렬 접속하고 있다. 3개의 제2 TFT(20)의 능동층(16)은 일체이고, 채널 길이 방향은 도면 중의 행 방향으로 설정되어 있다. 제2 TFT(20-1 내지 20-3)의 각 채널 영역(16c1 내지 16c3)은 서로 그 채널 폭 방향에 있어서, 능동층(16)의 패턴이 개구되어 있음으로써 분리되어 있다.

이 3개의 제2 TFT(20)는, 여기서는 전원 라인 VL과 1개소에서 접속되고, 또한 단일 배선층(40)에 의해 유기 EL 소자(50)의 양극(52)과도 1개소에서 접속되며, 게이트 전극(25)은 3개의 TFT에 대하여 공통이고, 보조 용량 Cs의 제2 전극(8)과 전기적으로 접속되고, 또한 보조 용량 Cs 부근에서 열 방향으로 연장한 금속 배선에 의해서 구성되어 있다. 도 13의 구성 예에서는 3개의 제2 TFT(20-1 내지 20-3)와 유기 EL 소자(50)가 1개의 컨택트부에 의해서 접속되어 있고, 유기 EL 소자(50)의 형성 영역에 차지하는 컨택트부의 비율을 낮게 할 수 있어, 1 화소당의 개구율, 즉 발광 면적을 높게 할 수 있다.

도 14에 도시하는 예에서는, 제2 TFT(20)의 수를 4로 하고, 이들 4개의 제2 TFT(20-1 내지 20-4)는, 전기적으로는 전원 라인 VL과 유기 EL 소자(50)의 양극(52) 사이에 병렬 접속되어 있다. 4개의 제2 TFT(20)의 능동층(16)은 일체로 구성되고, 각 제2 TFT(20-1 내지 20-4)의 채널 길이 방향은 도 12 등과 마찬가지로, 화소 영역의 길이 방향 또는 데이터 라인 DL의 연장 방향과 평행하게 설정되고, 4개가 거의 일직선 상에 나란히 배치되어 있다.

4개의 제2 TFT(20-1 내지 20-4)는, 여기서는 전원 라인 VL과 3개소에서 접속되고, 제1 및 제2 배선층(40-1 및 40-2)에 의해 유기 EL 소자(50)의 양극(52)과 2개소에서 접속되어 있다. 도 14의 구성예에서는 단일 능동층(16)의 가장 외측에 위치하는 제2 TFT(20-1, 20-4)의 각 소스 영역(16s₁, 16s₄)이 각각 단독으로 전원 라인 VL과 접속되고, 중앙에 위치하는 제2 TFT(20-2, 20-3)의 각 소스 영역(16s₂, 16s₃)이 공통으로 전원 라인 VL과 접속되어 있다. 제2 TFT(20-1 및 20-2)와 유기 EL 소자(50)는, 제2 TFT(20-1 및 20-2) 사이에서 유기 EL 소자(50)로 연장되는 제1 배선층(40-1)에 드레인 영역(16d₁ 및 16d₂)이 접속되고, 이 제1 배선층(40-1)은 유기 EL 소자(50)의 형성 영역으로 연장되어, 소자의 양극(52)과 접속되어 있다. 또한, 제2 TFT(20-3 및 20-4)와 유기 EL 소자(50)는, 제2 TFT(20-3 및 20-4) 사이에서 유기 EL 소자(50)로 연장되는 제2 배선층(40-2)에 드레인 영역(16d₃ 및 16d₄)이 접속되고, 이 제2 배선층(40-2)은 유기 EL 소자(50)의 형성 영역으로 연장되어, 소자의 양극(52)과 접속되어 있다. 이와 같이, 4개의 제2 TFT(20-1 내지 20-4)와 유기 EL 소자(50)는 2개소만 접속되어 있고, 4개의 제2 TFT(20-1 내지 20-4)를 마련함에 따른 발광 영역의 감소를 억제하고 있다.

또한, 도 14의 구성에 있어서는, 4개의 제2 TFT(20-1 내지 20-4)를 화소의 길이 방향에 따라서 거의 일직선 상에 채널 길이 방향이 향하도록 배치하고 있기 때문에, 제2 TFT(20-1 내지 20-4)를 효율적으로 1 화소 내에 배치하는 것을 가능하게 하고 있다.

(실시예 4)

다음에, 도 15 내지 도 20을 참조하여, 제2 TFT(20)와 유기 EL 소자(50)의 접속 구조에 대하여 설명한다. 실시예 3에서 설명한 바와 같이, 유기 EL 소자(50)와 제2 TFT(20)의 콘택트 영역은, 투명 양극(52)을 투과하여 하방의 기판(1)으로부터 외부로 광을 방사하는 방식(바텀 에미션)인 경우, 비 발광 영역으로 되는 일이 많다. 또한, 대부분의 집적 회로 등에 있어서는 집적도의 향상, 표시 장치이면 해상도의 향상 등을 실현하기 위해서는, 콘택트 면적을 가능한 적게 하는 것이 요망된다. 이와 같은 관점에서는 제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)을 직접 접속하는 경우에도, 접속 특성의 향상을 위해 직접 접속하지 않고 금속 접속층(AI층이나 Cr층 등)을 개재시키는 경우에 있어서는, 도 15에 도시하는 바와 같이 중간 절연막(14)의 제1 콘택트 홀(70), 평탄화 절연층(18)의 제2 콘택트 홀(72)을 중첩하여 형성하는 것이 바람직하다.

그러나, 복수의 콘택트 홀을 도 15a에 도시하는 바와 같이 중첩하여 형성한 경우, 콘택트 홀 합계 단차(h70+h72)가 커져, 콘택트 홀 상에 형성되는 층의 표면 평탄도가 저하된다. 또한, 양극 에지 영역에서의 발광 소자층(51)의 커버리지 불량에 따른 양극(52)과 음극(57)의 단락을 방지하기 위해서, 도 15a에 도시하는 바와 같이 양극(52)의 에지 영역을 덮는 제2 평탄화 절연층(61)이 채용되는 경우가 있는데, 이 제2 평탄화 절연층(61)은 양극(52)의 중앙 영역에서는 개구된다. 따라서, 제2 평탄화 절연층(61)의 개구부는 상기 제1 및 제2 콘택트 홀(70 및 72)의 근방에 형성되게 되고, 발광 소자층(51)의 형성면은 또한 이 제2 평탄화 절연층(61)의 개구에 의한 단차 h74의 영향도 받게 된다.

한편, 유기 EL 소자(50)는 발광 소자층(51)에 전류를 흘려보냄으로써 유기 발광층(55)에 포함되는 발광성 유기 화합물을 발광시키고 있으며, 발광 소자층(51)의 층 내에 있어서 그 두께에 큰 차이가 있으면, 다른 부분보다 얇은 부분에서 전계 집중이 일어나기 쉬워, 그러한 부분에 다크 스폿이 발생하기 쉽다는 것이 알려져 있다. 다크 스폿은 표시 품질을 저하시키고, 또한 소자 구동에 의해 확대되는 일도 많기 때문에, 소자 수명을 단축시켜 버리기도 한다. 따라서, 콘택트 영역의 상층에 유기 EL 소자(50)를 형성하는 경우에는, 발광 소자층(51)의 형성면의 평탄성을 가능한 높이는 것이 요구되며, 발광 소자층(51)이 대단히 요철이 많은 면에 형성되게 되는 도 15와 같은 콘택트 구조는 발광 소자층(51)의 신뢰성 향상 등의 관점에서는 바람직하지 않다.

도 16은 이상을 근거로, 발광 소자층(51)의 형성면에서의 평탄성을 높인 접속 방법의 예를 도시하고 있다. 도 16a는 제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 콘택트 부분의 단면 구조, 도 16b는 이 콘택트 부분의 개략 단면 구조를 나타내고 있다. 도 16에 도시하는 접속 구조는 양극(52)의 에지 영역을 덮는 제2 평탄화 절연층(61)이 존재한다는 점과, 제2 TFT가 탑 게이트라는 점을 제외하고, 실시예 1에서 설명한 도 8 및 도 9와 공통되며, 배선층(40)과 양극(52)의 접속 위치가, 배선층(40)과 제2 TFT(20)의 능동층(16)과의 접속 위치와 어긋나게 배치되어 있다. 이와 같은 레이아웃을 채용함으로써, 배선층(40)과 양극(52)의 콘택트 영역에서는 양극 표면, 즉 발광 소자층(51)의 형성면은 제2 콘택트 홀(72)에 의한 단차 h72의 영향을 받을뿐, 도 15와 같이 제1 콘택트 홀(70)에 의한 단차 h70의 영향을 받지 않는다. 따라서, 도 15와 도 16의 비교로부터도 이해할 수 있듯이, 발광 소자층 형성면, 특히 유기 발광층(55)이 형성되고 화소의 발광 영역에서의 소자층 형성면의 평탄성 향상이 되모되고 있다.

도 17은 상기 도 16에서의 발광 소자층의 형성면을 더욱 평탄하게 하기 위한 방법을 나타내고 있다. 도 17에 도시하는 예에서는 도 16과 마찬가지로, 배선층(40)과 유기 EL 소자(50)의 양극(52)을 접속하는 제2 콘택트 홀(72)의 형성 위치를 제1 콘택트 홀(70)의 형성 위치로부터 어긋나게 함과 함께, 제2 평탄화 절연층(61)에 의해서 제2 콘택트 홀(72)을 덮고 있다. 따라서, 유기 발광층(55)이 형성되는 영역에서는 제1 콘택트 홀(70)은 물론이고 제2 콘택트 홀(72)에 의한 단차의 영향도 받지 않으면서, 발광 소자층 형성면의 평탄성을 한층 향상시키는 것이 가능하게 되어 있다. 또한, 제2 평탄화 절연층(61)은 양극(52)의 에지 영역을 덮고 있으므로 양극(52)과 음극(57)의 쇼트 등도 확실하게 방지되고 있다.

여기서, 유기 EL 소자의 발광 영역은, 양극(52)과 음극(57) 사이에 배치되는 유기 발광층(55)을 사이에 두고 대향하는 영역이 되고, 양극(52)과 발광 소자층(51) 사이에 제2 평탄화 절연층(61)이 형성되어 있는 영역은 발광하지 않는다. 따라서, 도 17에 도시하는 구성에서는, 엄밀하게는 제2 평탄화 절연층(61)이 양극(52)의 에지뿐만 아니라 제2 콘택트 홀(72)의 상

방까지 덮기 때문에, 그 만큼 발광 영역은 감소하게 된다. 그러나, 이미 설명한 바와 같이 하층에 차광성의 배선층(40) 등이 형성되어 있으면, 배선층(40)의 형성 영역은 외부에서 보면 비 발광 영역으로 된다. 따라서, 도 17과 같이 제2 평탄화 절연층(61)이 제2 콘택트 홀(72)을 덮는 구조를 채용하여도 그에 의한 1 화소당의 실제 발광 면적의 감소를 억제할 수 있다.

제2 평탄화 절연층(61)에 의해서 콘택트 홀을 덮는 방법은, 상술한 도 15와 같이 제1 및 제2 콘택트 홀(70, 72)이 중첩하여 배치되는 레이아웃에 채용하는 것에 의해서도, 발광 소자층 형성면의 평탄성 향상 효과를 발휘한다. 즉, 도 18에 도시하는 콘택트부의 단면 구조와 같이, 제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)이 중첩하여 형성된 제1 및 제2 콘택트 홀(70, 72)에 의해서 접속되고, 이 2개의 콘택트 홀에 의해 양극(52)의 상면이 깊게 움푹 패인 영역을 제2 평탄화 절연층(61)으로 덮는다. 따라서, 콘택트 홀(70 및 72)의 상방에서의 발광 소자층 형성면은, 제2 평탄화 절연층(61)에 의해서 형성된 평탄성이 양호한 면으로 된다. 또한, 도 18에서는 2개의 콘택트 홀(70, 72)을 동일한 위치에 형성함으로써, 1 화소 내에서의 소자 배치 효율이 높고, 또한 발광 영역의 향상에 기여하는 것도 용이하게 된다.

도 19는 또 다른 발광 소자층 형성면의 평탄화 방법을 설명하고 있다. 도 17과 다른 점은, 제2 콘택트 홀(72)의 형성 영역에 있어서, 양극(52) 상에 제2 평탄화 절연층(61)이 아니라, 매립층(62)을 선택적으로 형성하여 콘택트 홀에 의한 움푹 패인 부분을 매립하고 있는 점이다. 이와 같이 제2 콘택트 홀(72)을 덮는 양극(52) 상에 선택적으로 매립층(62)을 형성함으로써, 제2 평탄화 절연층(61) 등을 마련하지 않은 경우일지라도, 콘택트 홀 상의 발광 소자층 형성면을 평탄하게 할 수 있다. 또한, 도 20에 도시하는 바와 같이, 제1 및 제2 콘택트 홀(70, 72)을 중첩하여 형성하는 경우에 도 19와 마찬가지로 매립층(62)을 채용하여도 좋다. 도 20에서는 2개의 콘택트 홀이 중첩하여 형성되는 영역에 있어서, 양극(52) 상에 매립층(62)을 선택적으로 형성하고 있고, 2개의 콘택트 홀에 의해서 형성되는 깊게 움푹 패인 부분이 매립되어 있다. 도 19 및 도 20 모두에 있어서, 발광 소자층(51)은 콘택트 홀 형성 영역에서는 매립층(62)의 평탄한 면 위에 형성되게 되고, 이 영역에서의 발광 소자층의 문제 발생을 방지할 수 있다.

또, 제2 평탄화 절연층(61) 및 상기 매립층(62)의 재질은 상면이 평탄하게 되면 어떠한 것이어도 되지만, 발광 소자층(51)과 반응하거나 흡수성이 아니고 안정적이며 절연성 재료가 좋다. 예를 들면 폴리이미드나, HMOSO, TOMCAT, TEOS 등을 이용할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 있어서는 유기 EL 소자 등의 피 구동 소자에 전력을 공급하는 트랜지스터의 특성 편차를 완화하는 것이 가능하고, 피 구동 소자로의 공급 전력의 편차를 평균화하여, 피 구동 소자에서의 발광 휘도 편차 등을 방지할 수 있다.

또한, 본 발명에서는 피 구동 소자와 이 소자에 전력 공급하는 트랜지스터를 최소한의 콘택트 수로 접속함으로써, 한정된 면적 내에 효율 좋게 필요한 트랜지스터나 소자 등을 배치할 수 있다. 따라서, 피 구동 소자로서 예를 들면 EL 소자 등이 채용되는 경우에 1 화소 단위 등에 있어서의 발광 면적을 향상시킬 수 있다.

또한, 본 발명에서는 피 구동 소자를 형성하는 면의 평탄성을 향상시킬 수 있어, 피 구동 소자의 신뢰성을 향상시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

게이트 신호를 게이트에 수신하여 동작하고, 데이터 신호를 수취하는 스위칭용 박막 트랜지스터와,

구동 전원과 피 구동 소자 사이에 구비되어, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호에 따라, 상기 구동 전원으로부터 상기 피 구동 소자로 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터와,

상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에 상기 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 보상용 박막 트랜지스터는, 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에 다이오드 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 소자 구동용 박막 트랜지스터는, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 소자 구동용 박막 트랜지스터는, 상기 구동 전원과 상기 피 구동 소자 사이에 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되고,

상기 보상용 박막 트랜지스터는, 상기 병렬 접속된 복수의 박막 트랜지스터와 상기 구동 전원 사이에 각각 마련되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항 또는 제2항에 있어서,

상기 피 구동 소자는, 제1 및 제2 전극 사이에 발광층을 구비하여 구성되는 일렉트로 루미네센스 소자인 것을 특징으로 하는 반도체 장치.

청구항 6.

제5항에 있어서,

상기 일렉트로 루미네센스 소자는, 유기 화합물을 발광층에 이용한 유기 일렉트로 루미네센스 소자인 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항 또는 제2항에 있어서,

매트릭스 형상으로 배치된 각 소자가,

상기 스위칭용 박막 트랜지스터와, 상기 소자 구동용 박막 트랜지스터와, 상기 보상용 박막 트랜지스터와, 표시 소자로서의 상기 피 구동 소자를 구비한 액티브 매트릭스형 표시 장치에 이용되고 있는 것을 특징으로 하는 반도체 장치.

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.
삭제

청구항 17.
삭제

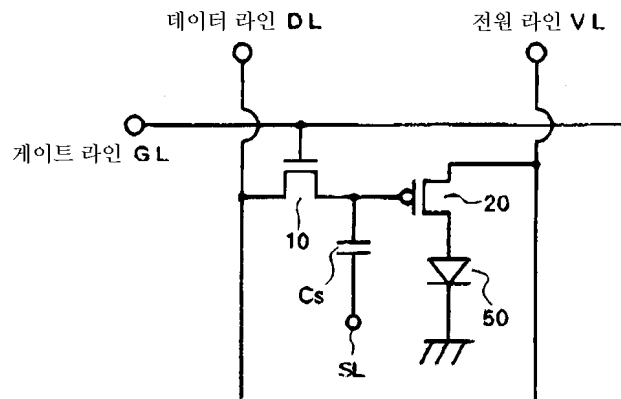
청구항 18.
삭제

청구항 19.
삭제

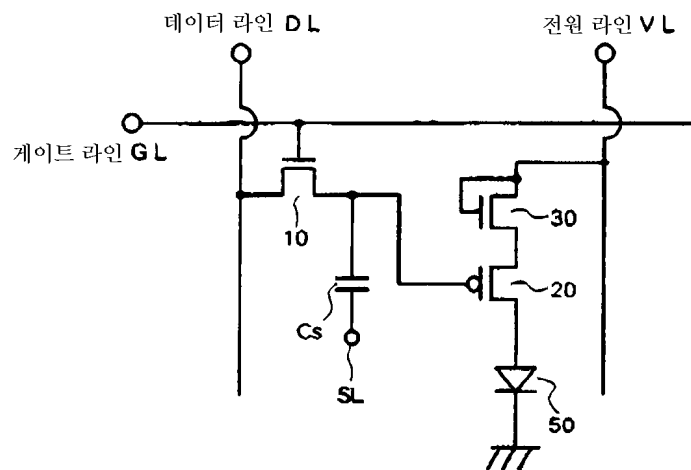
청구항 20.
삭제

도면

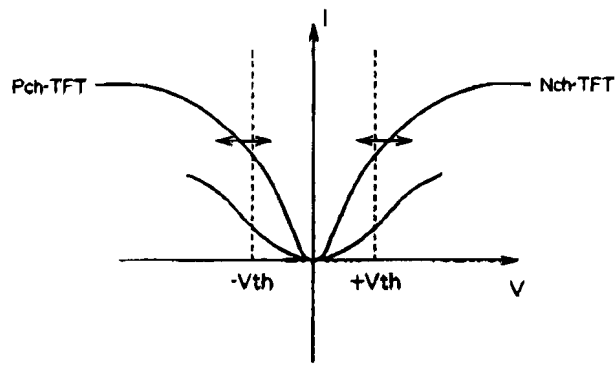
도면1



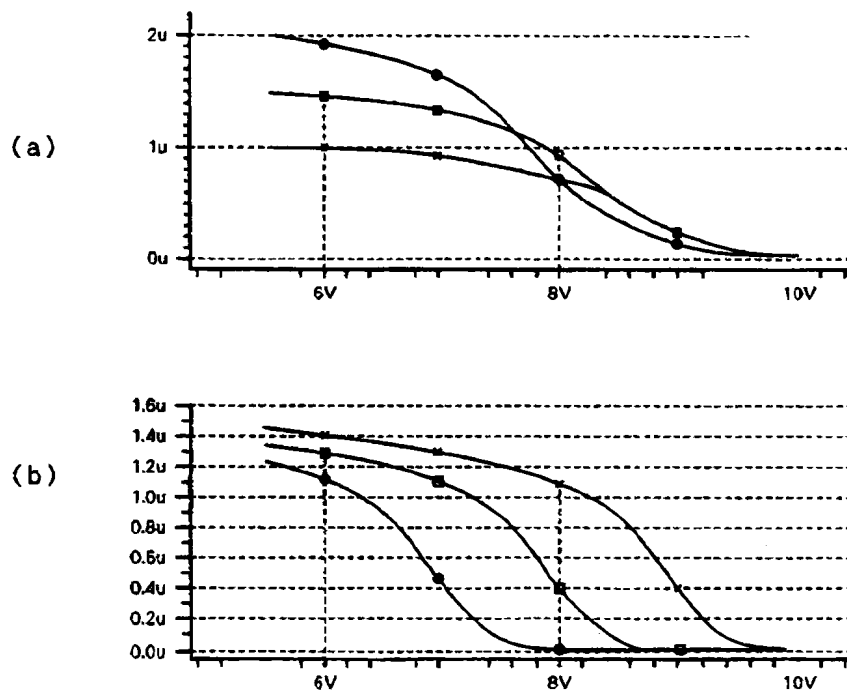
도면2



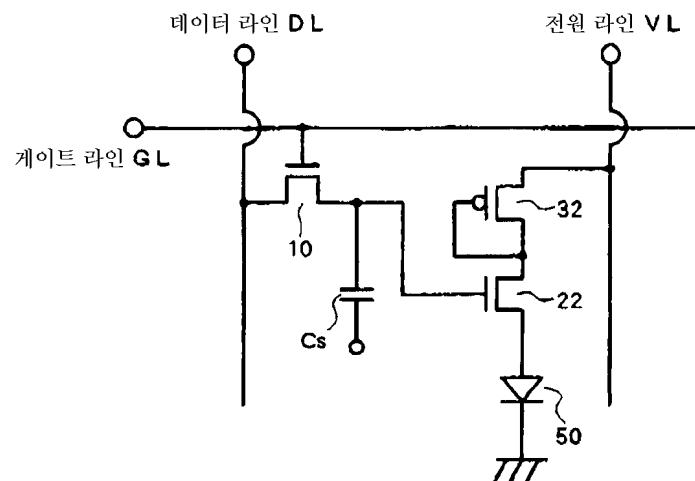
도면3



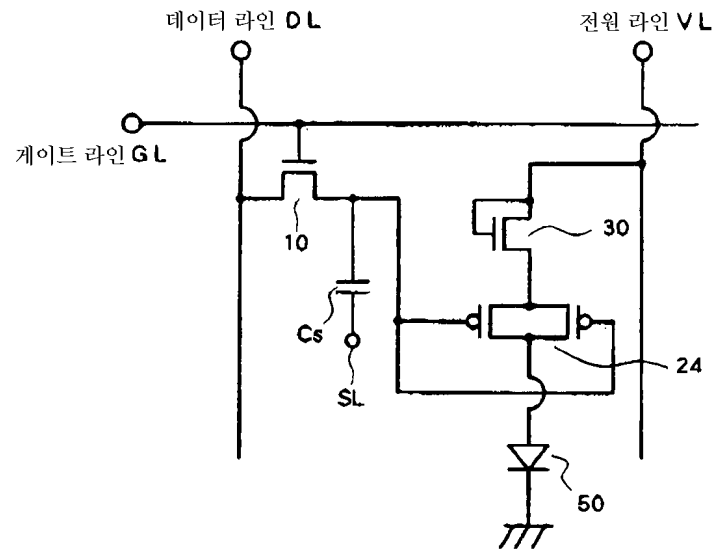
도면4



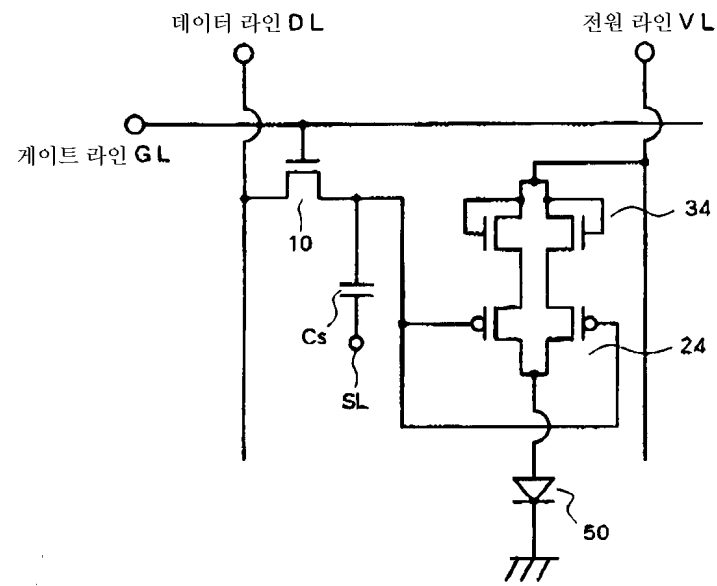
도면5



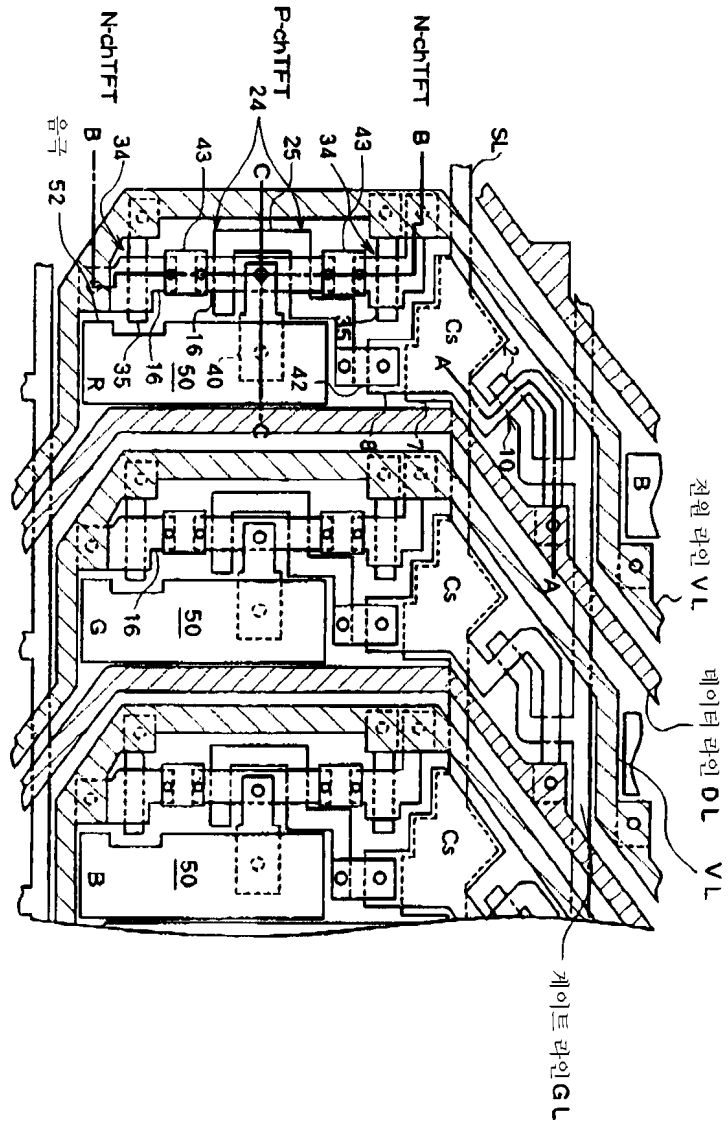
도면6



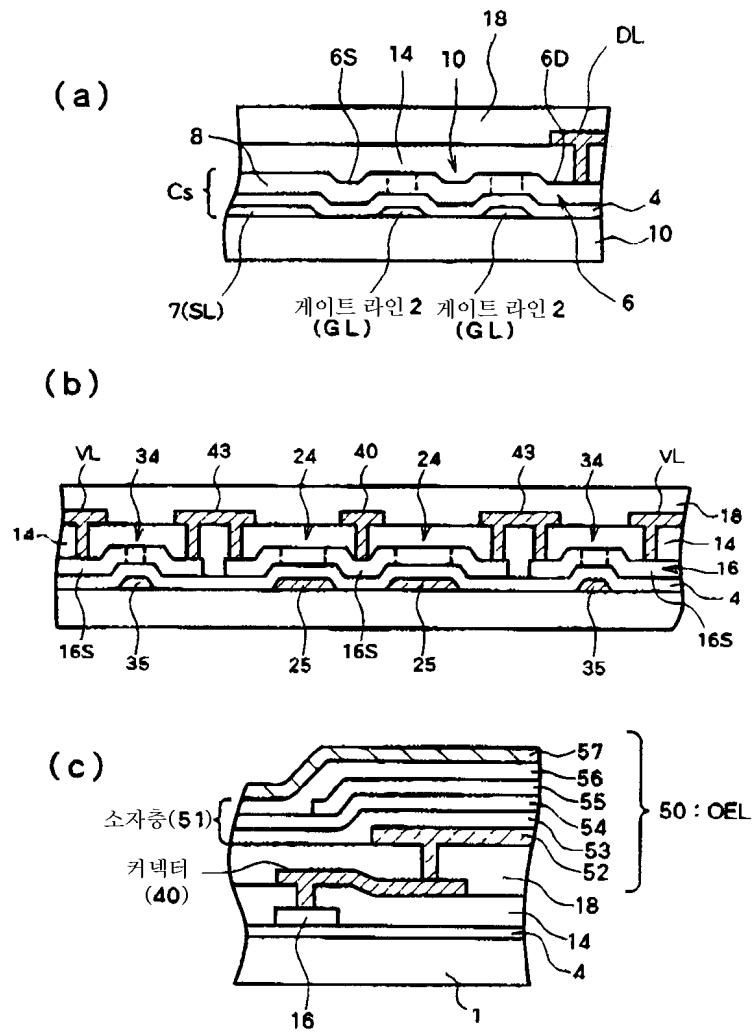
도면7



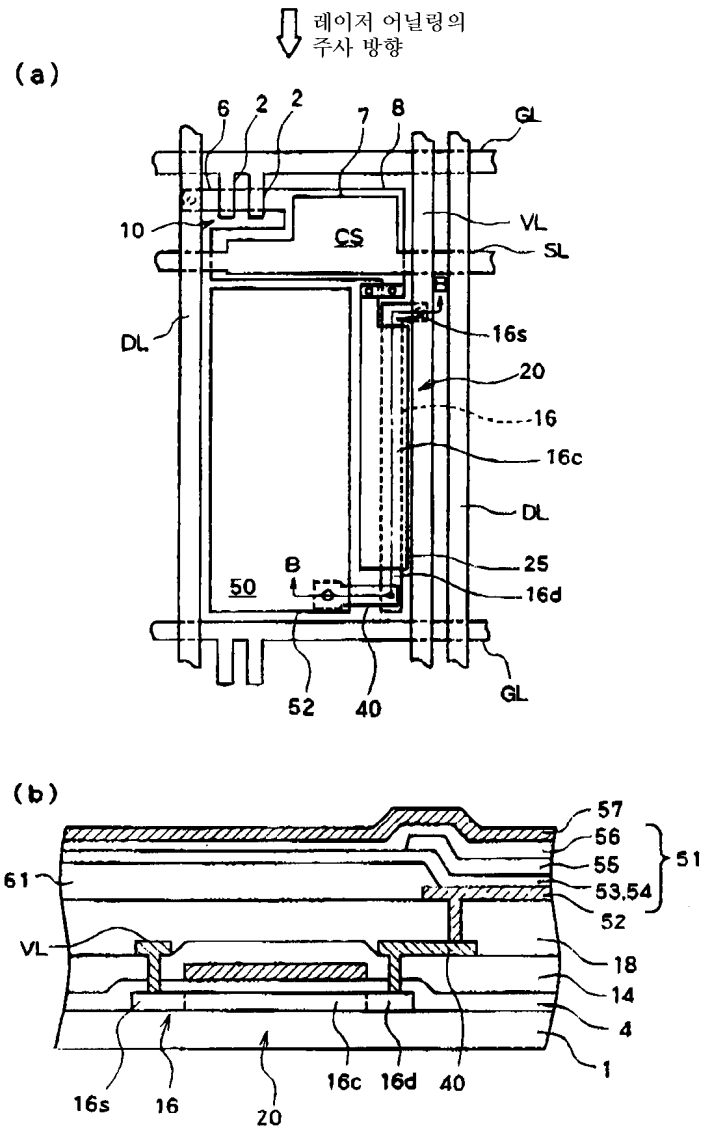
도면8



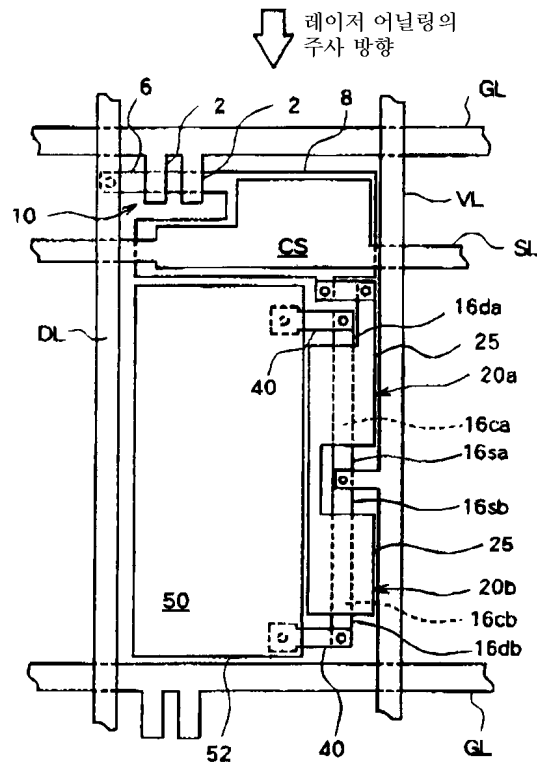
도면9



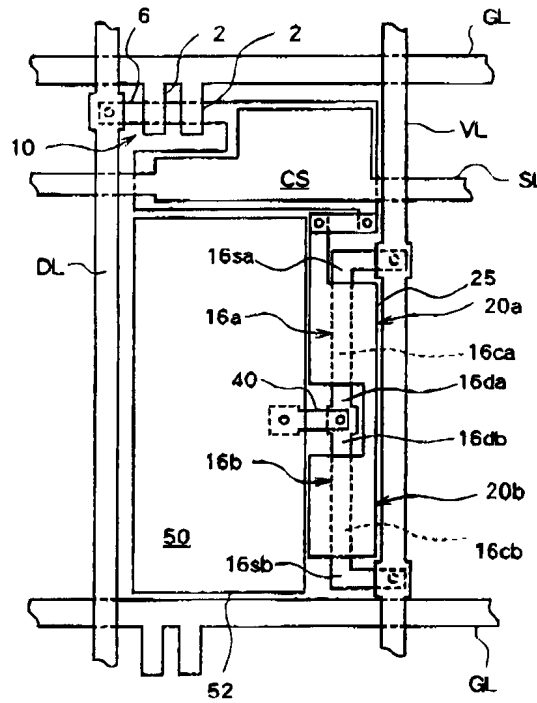
도면10



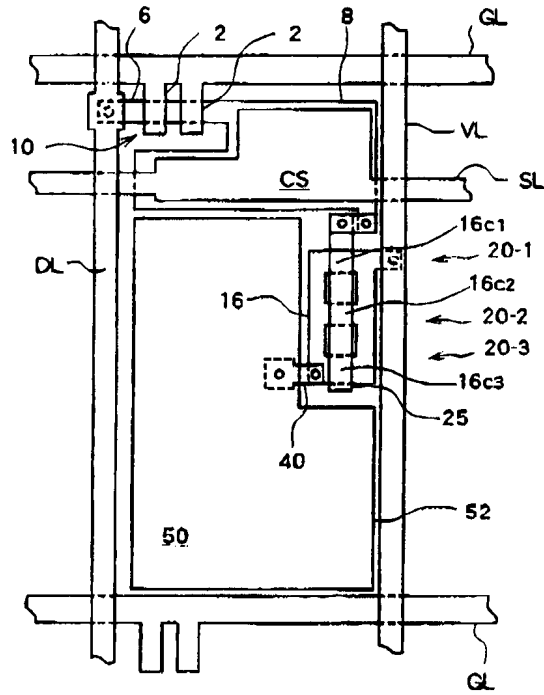
도면11



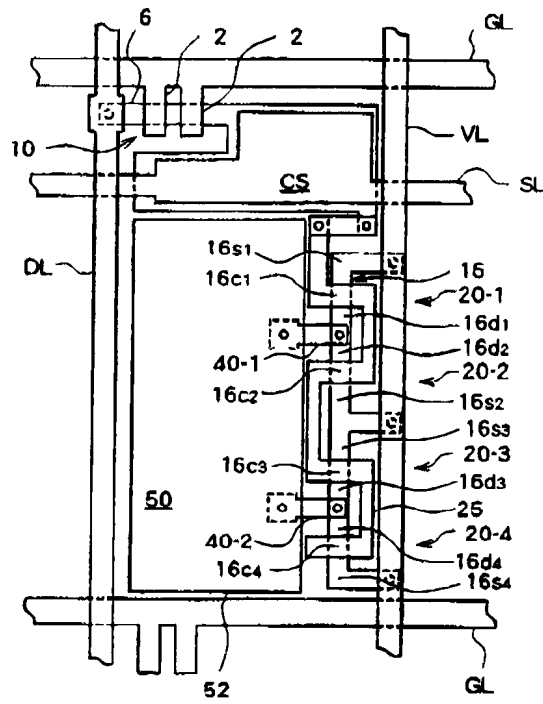
도면12



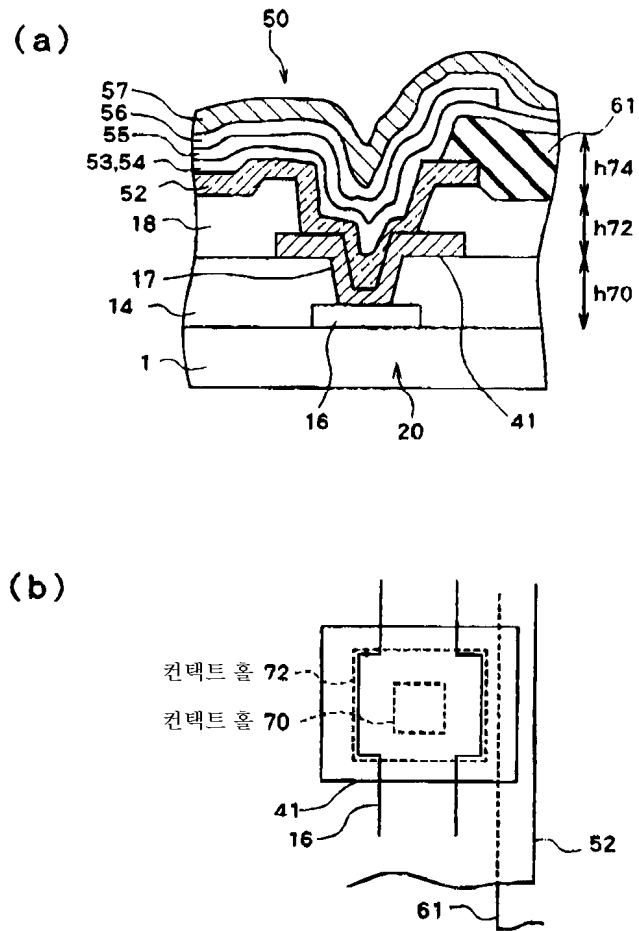
도면13



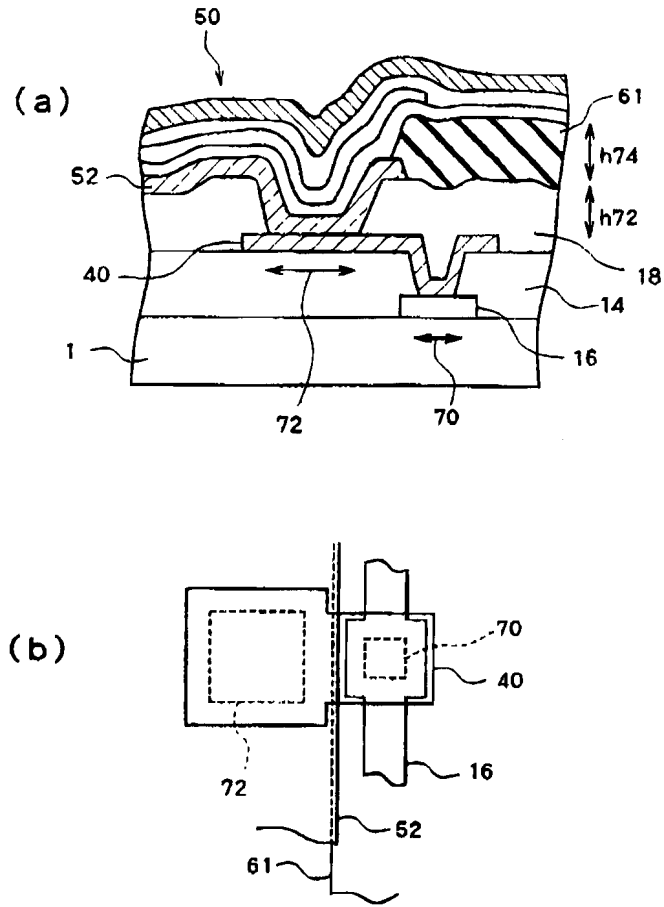
도면14



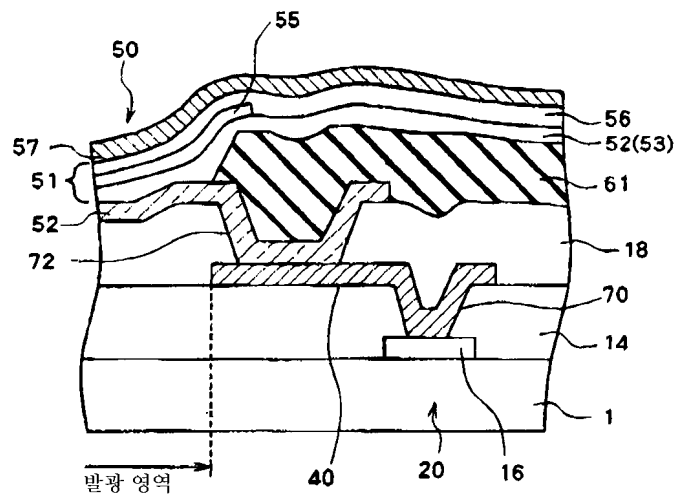
도면15



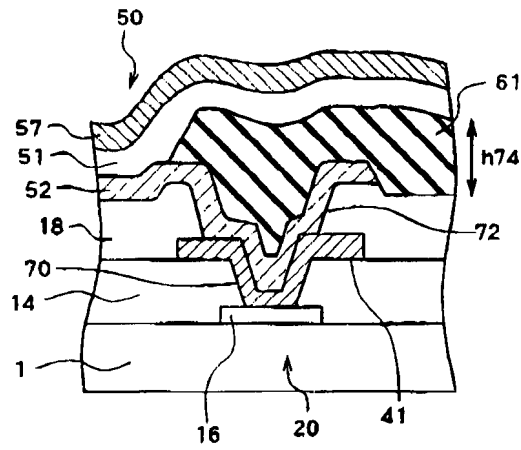
도면16



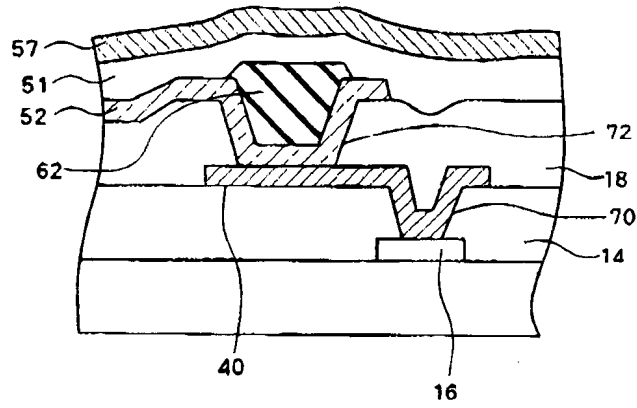
도면17



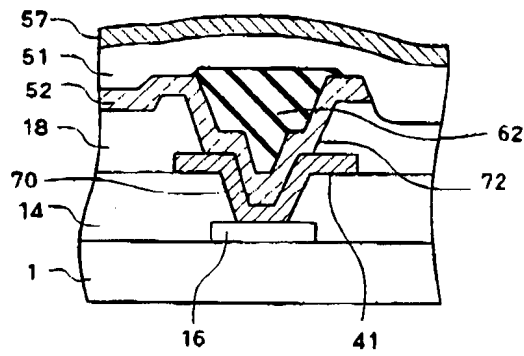
도면18



도면19



도면20



专利名称(译)	半导体器件和显示器件		
公开(公告)号	KR100481110B1	公开(公告)日	2005-04-07
申请号	KR1020010060955	申请日	2001-09-29
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	ANZAI KATSUYA 안자이가쓰야 KOMIYA NAOAKI 고미야나오아끼		
发明人	안자이가쓰야 고미야나오아끼		
IPC分类号	H01L51/50 G09G3/30 G09F9/30 G09G3/32 H01L21/336 H01L21/20 G09G3/20 H01L27/32 H01L29/786 H05B33/00 H01L27/08		
CPC分类号	G09G2300/0842 H01L27/3244 H01L27/3248 G09G2330/021 G09G2300/0417 G09G2300/0885 G09G2300/0426 H01L27/3262 G09G2300/0465 G09G2320/0204 G09G2320/043 G09G2300/0809 G09G2320/0233 G09G3/3233 G02F1/13624		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2000300982 2000-09-29 JP 2001279802 2001-09-14 JP		
其他公开文献	KR1020020025842A		
外部链接	Espacenet		

摘要(译)

并且减少了对多个有机EL元件的供电电流偏差。在有机EL元件50和电源线VL之间提供用于控制从电源线VL提供的电流量的驱动TFT 20的器件，并且在像素的纵向方向上设置TFT 20的沟道长度方向，用于向开关TFT 10提供数据信号以控制TFT 20的数据TFT20的有源层16沿与激光退火的扫描方向平行的方向排列，以进行多晶化。此外，可以在电源线VL和TFT 20之间提供具有与TFT 20相反的特性的补偿TFT 30。8 指数方面 有机EL元件，器件驱动TFT，开关TFT，激光器退火

