(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/30

(45) 공고일자 2004년12월03일
(11) 등록번호 10-0459166
(24) 등록일자 2004년11월19일

(21) 출원번호 10-2001-0046280
(22) 출원일자 2001년07월31일

(65) 공개번호 10-2003-0012302
(43) 공개일자 2003년02월12일

(73) 특허권자 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 김학수
서울특별시종로구혜화동163-5호

(74) 대리인 김용인
심창섭

심사관 : 천대식

(54) 전류구동 표시소자의 구동 회로

요약

패시브 패널에서의 듀티(duty)를 줄이기 위한 스캔 구조의 표시 소자를 구동하는 회로에 관한 것으로서, 특히 하나의 스캔 라인안에 픽셀들을 병렬로 배치하는 구조에서 구동 IC의 특정 회로 부분(예를 들면, 데이터 전극을 구동하기 위한 먹스)을 공유하도록 함으로써, 하나의 스캔 라인에 만들어진 데이터 픽셀의 개수에 비례하여 구동 회로의 구조가 간단해지며, 또한 레이아웃에서의 면적도 줄어들어서 전체 칩의 크기를 줄일 수 있다. 이로 인해 전체 칩의 가격도 낮출 수 있다.

대표도

도 6

색인어

유기 EL, 레이아웃, 더블 스캔

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 패시브(passive) 구동형 유기 EL의 구조를 나타낸 도면
도 2는 도 1과 같은 유기 EL 구조에 적용되는 구동 회로도
도 3은 도 2의 전류구동 표시소자의 구동 회로의 레이아웃의 예를 보인 도면
도 4는 본 발명에 따른 전류구동 표시소자의 더블 스캔 구조의 일 실시예를 나타낸 도면
도 5은 본 발명에 따른 전류구동 표시소자의 더블 스캔 구조의 다른 실시예를 나타낸 도면
도 6은 도 4, 도 5와 같은 유기 EL 구조에 적용되는 구동 회로도
도 7은 도 6의 전류구동 표시소자의 구동 회로의 레이아웃의 예를 보인 도면

도면의 주요부분에 대한 부호의 설명
601,602 : 제 1, 제 2 데이터 입력부
603 : 64레벨 기준 타이밍부 604 : 64 to 2 먹스
605,607 : 제 1, 제 2 PWM 제어부
606,608 : 제 1, 제 2 유기 EL 발광부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전류를 사용하는 디스플레이 소자에 관한 것으로, 특히 패시브 패널에서의 듀티(duty)를 줄이기 위한 더블 스캔 구조의 표시 소자를 구동하는 회로에 관한 것이다.
최근 평면 디스플레이 분야에서는 비약적인 발전이 이루어지고 있다.
특히 LCD(Liquid Crystal Display)를 선두로 하여 등장하기 시작한 평면 디스플레이는 수 십년간 디스플레이 분야에서 가장 많이 사용되어 온 CRT(Cathode Ray Tube)를 추월하여 최근에는 PDP(Plasma Display Panel), VFD(Visual Fluorescent Display), FED(Field Emission Display), LED(Light Emitting Diode), EL(Electroluminescence)등 많은 발전이 이루어지고 있다.
이와 같은 디스플레이 소자는 시인성 및 색감이 좋을 뿐만 아니라 제조공정도 간단하기 때문에 많은 부분에서 응용분야를 넓혀가고 있다.
그러나 이 디스플레이 소자들은 디스플레이 패널의 크기가 커질수록 디스플레이와 구동회로에서 더욱 더 많은 전류를 소모하게 된다. 또한 해상도가 높아질수록 디스플레이에서 물리적인 양으로 인하여 구동에 필요한 시간이 적어지기 때문에 원하는 휘도를 얻기 위해서는 더욱 많은 전류를 필요로 하게 된다.
현재 휴대용 정보 기기에서 가장 많이 사용하고 있는 LCD는 응답시간, 시야각, 그리고 색감 등에 불리한 특성을 가지고 있으면서도 널리 사용되고 있는 가장 큰 이유는 파워(power) 소모가 아주 작다는 장점을 가지고 있기 때문이다.
물론 LCD의 백 라이트(back light)의 사용을 고려하면 파워의 소모가 작은 것은 아니지만, 근래에는 백 라이트가 거의 사용되지 않아도 가능한 트랜스플랙티브(transflective) 타입 혹은 리플랙티브(reflective) 타입의 LCD가 사용되고 있다.
그리고 최근에는 표시장치의 대형화에 따른 공간 점유가 적은 평판 디스플레이 패널로 유기 EL 디스플레이 패널이 주목되고 있다.
이 유기 EL 디스플레이 패널은 매우 얇고 매트릭스 형태로 어드레스 할 수 있으며, 15V 이하의 낮은 전압으로도 구동이 가능한 장점이 있다.
도 1은 종래 기술에 따른 패시브(passive) 구동형 유기 EL의 구조를 나타낸 도면이다.
도 1을 참조하여 설명하면, 데이터 라인과 스캔 라인이 매트릭스 형태로 형성되어 빛을 발광하는 유기 EL 패널과, 상기 데이터라인 및 스캔라인에 선택적으로 전류를 인가하여 상기 유기 EL 패널을 선택적으로 발광시키는 데이터 구동부(2) 및 스캔 구동부(1)로 구성된다.
이때, 상기 유기 EL 패널을 형성하는 공정을 보면, 먼저 글라스(glass) 기판 위에 투명한(transparent) 물질로 전극을 형성한다. 상기 전극은 ITO(Indium Tin Oxide)를 주로 사용하는데, 이 ITO는 선저항 값이 높기 때문에 금속(4)을 이용하여 버스라인을 형성한 후 사용하는 경우가 많다.
이어, 스캔 라인 형성을 위한 격벽(3)을 형성하고 전면에 유기물을 증착한 후, 금속을 사용하여 캐소드를 형성함으로써 유기 EL 패널을 제조한다.
이와 같이 구성된 유기 EL 패널의 해상도가 128x128로 가정하면, 이때의 전체 듀티(duty)는 스캔라인 수에 반비례하는 $\frac{1}{128}$ 의 값을 갖는다.
이때, 프레임 주파수가 60Hz라고 가정하면, 한 스캔 라인에 할당할 수 있는 시간(Ts)은 수학식 1과 같이 구할 수 있다.

수학식 1

$$Ts = \frac{1}{128} \times \frac{1}{60} = 130\mu s$$

도 2는 이러한 구조를 갖는 유기 EL 구동 회로도로서, 64 그레이 스케일(gray scale)인 경우를 보이고 있다.
도 2를 보면, 유기 EL 발광부(205)는 정전류원(205a), 제어 스위치(205b), 및 유기 EL(205c)로 구성된다. 여기서, 상기 정전류원(205a)은 구동 전원인 Vdd와 연결되어 있고, 상기 유기 EL(205c)의 캐소드 단자는 또 하나의 구동 전원인 Vss와 연결되어 있다. 그리고, 상기 정전류원(205a)에서 출력되는 전류는 상기 제어 스위치(205a)가 온으로 되었

을 경우 유기 EL(205c)의 애노드 단자로 흐르게 된다.
상기 제어 스위치(205b)의 온/오프는 PWM(Pulse Width Modulation) 제어부(204)에서 제어한다.
즉, 64 레벨 기준 타이밍부(202)에서는 64개의 레벨을 갖는 기준 타이밍을 생성하여 먹스(203)로 출력하고, 상기 먹스(203)는 데이터 입력부(201)에서 출력되는 데이터 신호에 따라 상기 64레벨의 기준 타이밍 중 하나를 선택하여 PWM 제어부(204)로 출력한다. 여기서, 상기 먹스(203)는 64개의 입력 라인과 1개의 출력 라인을 갖는 64 to 1 먹스이다.
상기 PWM 제어부(204)는 입력되는 기준 타이밍 신호에 따라 펄스폭이 달라지며, 그 펄스폭에 해당하는 시간만큼 제어 스위치(205b)를 온시킨다. 따라서, 유기 EL(205c)은 64 그레이 스케일 중 어느 하나의 그레이로 발광된다.
도 3은 도 2와 같은 64 그레이 스케일 유기 EL 구동 회로의 레이아웃(layout)에서 패드(PAD)의 폭을 70㎛라고 가정할 때의 전체 레이아웃을 도시하고 있다.
도 3에서 보면, 64 to 1 먹스(203) 부분이 가장 긴 부분을 차지하게 되며, 길이는 약 900㎛ 정도로 된다. 그리고, PWM 제어부(204)가 약 300㎛ 정도이며, 정전류원(205a) 및 제어 스위치(205b) 부분이 약 200㎛ 정도이다. 또한, ESD 회로 부분이 200㎛ 정도로 되고, 마지막으로 출력 패드 부분이 150㎛ 정도로 된다. 위의 수치를 보면, 64 to 1 먹스(203) 부분이 가장 길게 되며 이 부분의 길이를 줄여주면 전체 칩의 면적을 줄일 수 있음을 알 수 있다.
한편, 한 스캔라인에 할당할 수 있는 시간(Ts)을 늘려주면, 전력소비를 줄일 수 있으며, 또한 각 전극의 휘도를 용이하게 조절할 수 있다.
따라서 종래에는 상기 스캔 시간(Ts)을 늘려주기 위한 방법으로 물리적인 듀티를 반으로 줄이는 방법 즉, 패널을 위와 아래로 나누어서 듀얼 스캔으로 구동하는 방법을 사용하였다.
이때, 한 프레임 주파수가 60Hz라고 가정하면, 한 스캔 라인에 할당할 수 있 는 스캔 시간(Ts)은 다음의 수학식 2와 같이 구할 수 있다.

수학식 2

$$Ts = \frac{1}{64} \times \frac{1}{60} = 260\mu s$$

상기 수학식 2에서 구해진 것과 같이 한 스캔 시간(Ts)이 두 배로 증가하여, 물리적인 듀티가 반으로 줄게 됨으로써, 전력 소비를 줄일 수 있게 된다.
그러나, 이러한 듀얼 스캔 방법은 스캔 시간을 두배로 늘려주지만 데이터 구동부가 위와 아래 각각 128개씩 필요하고 스캔 라인은 그대로 128개가 필요하게 되어서 전체 구동부의 개수는 384개가 필요하게 된다. 또한, 패널이 두 개로 나누어져 있기 때문에 패널에 편차가 생길 수 있는 가능성도 있고, 이로 인하여 디스플레이되는 영상에 균일도의 문제가 생길 수 있는 가능성이 커지는 불리한 상태가 된다. 그리고, 데이터 구동 IC를 위 아래로 나누어 2개 구성함으로써, 전체 디스플레이 소자의 크기를 증가시킬 뿐만 아니라, 시스템의 복잡도를 가중시키는 문제점이 있다.
따라서, 이러한 문제점을 해결하기 위하여 본 출원인은 전류구동 표시소자의 더블 스캔 구조에 관한 특허를 기 출원한 바 있다(출원번호 : P01-24360, 출원일 : 2001.5.4).
도 4, 도 5는 상기된 특허(P01-24360, 2001.5.4)에 도시된 전류구동 표시소자의 더블 스캔 구조의 실시예들을 보이고 있다. 도 4, 도 5를 보면, 구동 IC의 증가나 패널 분할을 하지 않으면서도 물리적인 듀티(duty)를 반으로 줄여서 화질 변 화가 없으면서 구동이 쉬운 유기 EL 구조를 제안하고 있다.
즉, 도 4는 전류구동 표시소자의 더블 스캔 구조의 일 실시예로서, 다수개의 데이터라인과 다수개의 스캔라인이 매트릭스 형태로 형성되어 빛을 발광하는 유기 EL 패널과, 상기 데이터라인 및 스캔라인에 선택적으로 전류를 인가하여 상기 유기 EL 패널을 선택적으로 발광시키는 데이터 구동부(20) 및 스캔 구동부(10)로 구성된다.
이때, 상기 유기 EL 패널의 각 스캔라인은 종래 두 개의 스캔라인을 하나로 묶어서 하나의 스캔라인으로 형성함으로써, 스캔 라인의 폭이 증가되어 스캔라인의 저항이 감소되게 된다.
그리고, 상기 유기 EL 패널의 데이터라인은 상기 다수개의 스캔라인 내에 짝수 번째 스캔 라인에 해당하는 전극들 별로, 그리고 홀수 번째 스캔 라인에 해당하는 전극들 별로 서로 연결하여, 각각 하나의 데이터 라인을 형성한다.
이는 스캔라인이 반으로 줄어드는 대신에 하나의 스캔 신호에 두 개의 전극을 제어하여야 하기 때문에 데이터 신호는 두 개가 필요하다.
따라서 해상도가 128x128인 디스플레이 패널의 경우 데이터라인은 256개로 늘어나지만 스캔라인은 64개로 줄어든다.
이와 같이 구성함으로써, 한 스캔라인에 할당할 수 있는 시간(Ts)은 다음 수학식 3과 같이 구할 수 있다. 이때 프레임 주파수는 60Hz으로 가정한다.

수학식 3

$$Ts = \frac{1}{64} \times \frac{1}{60} = 260\mu s$$

즉, 종래와 같이 패널을 분리하지 않고도 하나의 스캔 라인에 할당할 수 있는 시간이 종래의 패널에서와 비교하면 2배로 늘어나는 것을 알 수 있다.
또한, 데이터 구동부(20)의 개수도 하나로 구성 가능하므로 디스플레이 소자의 크기도 줄일 수 있게 된다.

한편, 도 5는 전류구동 표시소자의 더블 스캔 구조의 다른 실시예로서, 데이터라인과 스캔라인이 매트릭스 형태로 형성되어 빛을 발광하는 유기 EL 패널과, 상기 데이터라인 및 스캔라인에 선택적으로 신호를 인가하여 상기 유기 EL 패널을 선택적으로 발광시키는 데이터 구동부(20') 및 스캔 구동부(10')로 구성된다.
이때 상기 유기 EL 패널의 스캔라인은 스캔 구동부(10')에서 인가되는 신호가 두 개 단위로 동시에 인가된다. 즉, 첫 번째 스캔 신호가 스캔라인 첫 번째 및 두 번째에 동시에 인가되고, 두 번째 스캔 신호가 스캔라인 세 번째와 네 번째에 동시에 인가된다.
또한 상기 유기 EL 패널의 데이터라인은 상기 다수개의 스캔라인 내에 짝수 번째 스캔 라인에 해당하는 전극들 별로, 그리고 홀수 번째 스캔 라인에 해당하는 전극들 별로 서로 연결하여, 각각 하나의 데이터 라인을 형성한다.
따라서, 해상도가 128x128인 디스플레이 패널의 경우 데이터라인은 256개로 늘어난다. 그리고 스캔라인은 128개이지만 하나의 스캔신호로 제어되므로 실질적으 로는 64개인 것처럼 사용된다.
이와 같이 구성함으로써, 한 스캔라인에 할당할 수 있는 시간(Ts)은 다음 수학식 4와 같이 구할 수 있다. 이때 프레임 주파수는 60Hz으로 가정한다.

수학식 4

$$Ts = \frac{1}{64} \times \frac{1}{60} = 260\,\mu s$$

마찬가지로, 종래와 같이 패널을 구분하지 않고도 하나의 스캔 라인에 할당할 수 있는 시간이 종래의 패널에서와 비교하면 2배로 늘어나는 것을 알 수 있다.
또한, 데이터 구동부(20')의 개수도 하나로 구성 가능하므로 종래 2개의 데이터 구동부를 사용한 것에 비하면 디스플레이 소자의 크기도 줄일 수 있게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같이 하나의 스캔 라인 안에 n개의 데이터 픽셀들을 병렬적인 구조로 만든 스캔 구조에서 전체 구동 IC의 면적을 줄일 수 있는 전류구동 표시소자의 구동 회로를 제공함에 있다.
본 발명의 다른 목적은 하나의 스캔 라인 안에 n개의 데이터 픽셀들을 병렬적인 구조로 만든 스캔 구조에서, 데이터 전극을 구동하기 위한 먹스를 n개의 구동부에서 공유하도록 함으로써, 레이아웃의 크기를 줄이는 전류구동 표시소자의 구동 회로를 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기 EL 구동 회로는, 하 나의 스캔 라인 안에 픽셀들을 병렬로 배치하는 구조에서 구동 IC의 특정 회로 부분(예를 들면, 데이터 전극을 구동하기 위한 먹스)을 공유함으로써, 전체 데이터 구동 회로의 부피를 줄이는 것을 특징으로 한다.
본 발명의 다른 목적, 특성 및 잇점들은 첨부한 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.
이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.
도 6은 본 발명에 따른 64 그레이 스케일 유기 EL 구동 회로의 구성 블록도로서, 정전류원, 제어 스위치, 및 유기 EL로 구성되는 유기 EL 발광부와 PWM 제어부는 데이터 라인의 개수와 동일하게 구성하고, 가장 넓은 부분을 차지하는 64 to 1 먹스 부분을 하나의 스캔 라인에 구성되는 픽셀의 개수와 같은 개수로 묶어서 공유한다. 즉, 64 to 1 먹스를 64 to 2 먹스로 만든다. 따라서, 64 to 2 먹스에는 두 개의 데이터 신호가 선택 신호로서 입력되고, 상기 선택 신호에 따라 두 개의 출력이 나가는 구조로 되어 있다.
즉, 도 6을 보면 64개의 기준 타이밍 중 어느 하나를 선택할 수 있는 선택 신호를 출력하는 제 1, 제 2 데이터 입력부(601,602), 64개의 레벨을 갖는 기준 타이밍을 생성하여 출력하는 64 레벨 기준 타이밍부(603), 상기 제 1, 제 2 데이터 입력부(601,602)의 데이터 신호에 따라 상기 64레벨의 기준 타이밍 중 어느 하나를 각각 선택하여 출력하는 64 to 2 먹스(604), 상기 먹스(604)에서 출력되는 제 1 출력 신호에 해당하는 듀티를 갖는 펄스를 발생하여 출력하는 제 1 PWM 제어부(605), 상기 먹스(604)에서 출력되는 제 2 출력 신호에 해당하는 듀티를 갖는 펄스를 발생 하여 출력하는 제 2 PWM 제어부(607), 상기 제 1 PWM 제어부(605)의 출력에 따라 온/오프가 제어되어 해당 그레이로 발광하는 제 1 유기 EL 발광부(606), 및 상기 제 2 PWM 제어부(607)의 출력에 따라 온/오프가 제어되어 해당 그레이로 발광하는 제 2 유기 EL 발광부(608)로 구성된다.
이와 같이 구성된 본 발명에서 먹스(604)는 상기 제 1 데이터 입력부(601)에서 출력되는 데이터 신호에 따라 64개의 레벨을 갖는 기준 타이밍 중 하나를 선택하여 제 1 PWM 제어부(605)로 출력하고, 상기 제 2 데이터 입력부(602)에서 출력되는 데이터 신호에 따라 64개의 레벨을 갖는 기준 타이밍 중 하나를 선택하여 제 2 PWM 제어부(607)로 출력한다.
이때, 상기 먹스(604)로 입력되는 제 1, 제 2 데이터 신호는 동일 레벨의 기준 타이밍을 선택하는 신호일 수도 있고, 서로 다른 레벨의 기준 타이밍을 선택하는 신호일 수도 있다.
상기 제 1, 제 2 PWM 제어부(605,607)는 입력되는 기준 타이밍 신호에 해당하는 듀티를 갖도록 펄스를 발생하여 각각 제 1, 제 2 유기 EL 발광부(606,608)의 제어 스위치(606b,608b)로 출력한다.

상기 제어 스위치(606b,608b)는 입력되는 펄스폭에 해당하는 시간동안 온되고, 이때 정전류원에서 출력되는 전류는 상기 제어 스위치(606b,608b)가 온되는 시간동안 각 유기 EL(606c,608c)의 애노드로 흘러 각 유기 EL(606c,608c)을 발광시킨다.
도 7은 도 6과 같은 유기 EL 구동 회로를 실제 IC 형태로 만들었을 경우의 레이아웃되는 예를 보이고 있다.
도 7을 보면, 출력 패드, ESD 회로, 정전류원 및 제어 스위치 그리고, PWM 제어부 부분은 데이터 라인과 같이 두 개의 부분으로 나누어져 있다. 그러나, 64 to 2 먹스는 하나로 만들어서 두 개의 데이터 구동부에서와 같이 사용하는 구조로 되어 있다.
따라서, 구동부의 면적으로 비교해 보면, 종래의 구조에서 두 개의 데이터 구동부를 구성하기 위하여 필요한 구동부의 면적은 (70㎛+70㎛+10㎛)x(900㎛+300㎛+200㎛+200㎛+150㎛) = 262,500㎛ ^{2} 이 된다. 그러나, 본 발명에 의한 구동 회로의 구조에서는 두 개의 데이터 구동부를 구성하기 위하여 필요한 부분의 면적은 (70㎛+70㎛+10㎛)x(150㎛+200㎛+200㎛+300㎛+500㎛) = 202,500㎛ ^{2} 이 된다. 결론적으로, 약 60,000㎛ ^{2} (데이타 구동부 부분의 약 22.86%)의 면적의 절감을 가져올 수 있다. 만약 전체 구동 IC에서 데이터 구동부의 개수가 200개라면 절약할 수 있는 IC의 면적은 대략 6,000,000㎛ ^{2} 이 된다.
한편, 본 발명에서는 n개의 구동부가 먹스를 공유하는 예를 설명하였으나, 설계자에 따라 n개의 구동부에서 PWM 제어부 및 먹스를 공유하게 설계할 수도 있고, 또는 구동 IC의 특정 부분을 공유하게 설계할 수도 있다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 전류구동 표시소자의 구동 회로는 하나의 스캔 라인안에 픽셀들을 병렬로 배치하는 구조에서 구동 IC의 특정 회로 부분(예를 들면, 데이터 전극을 구동하기 위한 먹스)을 공유하도록 함으로써, 하나의 스캔 라인에 만들어진 데이터 픽셀의 개수에 비례하여 구동 회로의 구조가 간단해지며, 또한 레이아웃에서의 면적도 줄어들어서 전체 칩의 크기를 줄일 수 있다. 이로 인해 전체 칩의 가격도 낮출 수 있다.
이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
따라서, 본 발명의 기술적 범위는 실시 예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

(57) 청구의 범위

청구항 1.
소정 비트의 데이터 신호를 출력하는 데이터 입력부와, 다수개의 레벨을 갖는 기준 타이밍 신호를 생성하는 기준 타이밍부와, 상기 데이터 입력부의 데이터 신호에 따라 상기 다수개의 레벨을 갖는 기준 타이밍 중 어느 하나를 선택하여 출력하는 선택부와, 상기 선택부에서 출력되는 기준 타이밍에 해당하는 듀티를 갖는 펄스를 발생하여 해당 유기 EL 발광부로 출력하는 PWM 제어부와, 상기 PWM 제어부에서 출력되는 펄스폭에 해당하는 시간동안 발광하는 유기 EL 발광부로 된 데이터 구동부가 하나의 스캔 라인에 구성되는 n개의 픽셀 수만큼 병렬적인 구조로 배치되는 전류 구동 표시 소자의 구동 회로에 있어서,
하나의 스캔 라인 안에 위치한 n개의 데이터 구동부의 구성 요소 중에서 선택부와 PWM 제어부를 공유하여 해당 유기 EL을 발광시키는 것을 특징으로 하는 전류 구동 표시소자의 구동 회로.

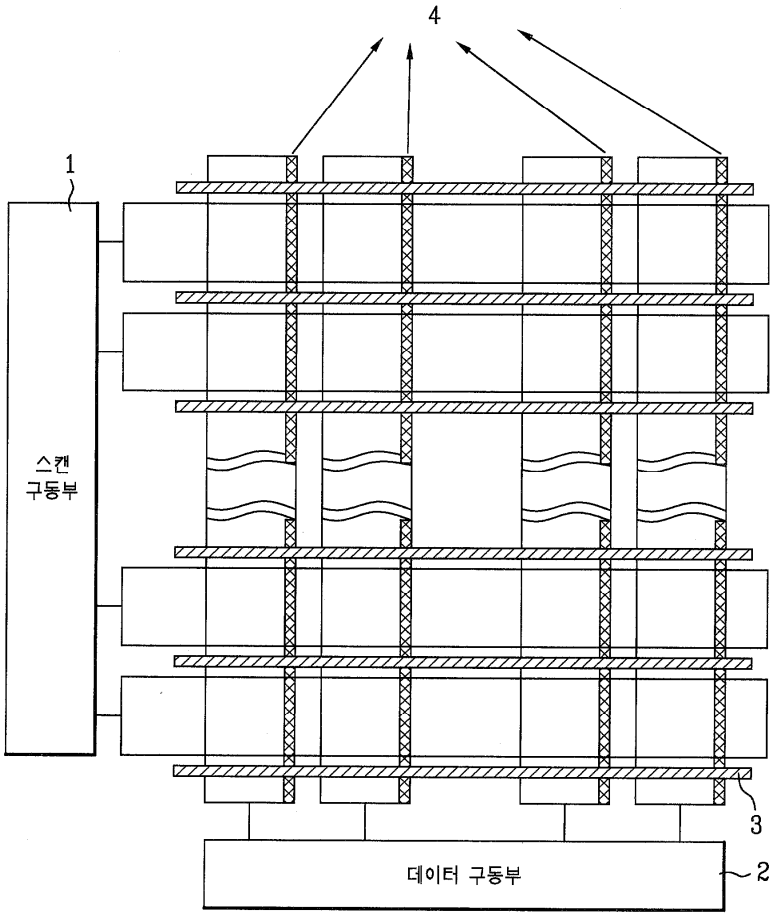
청구항 2.
삭제

청구항 3.
삭제

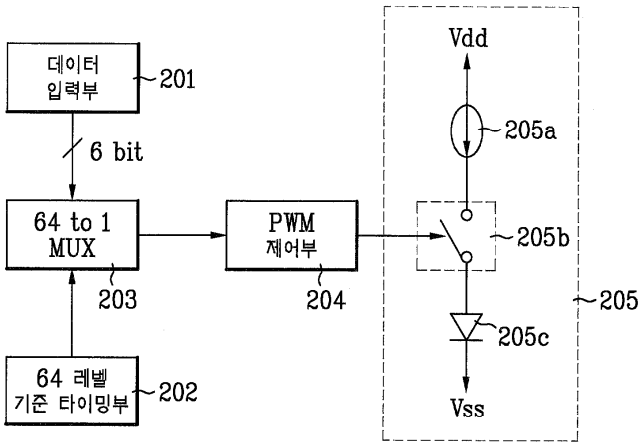
청구항 4.
제 1 항에 있어서,
상기 공유하는 요소에 상기 유기 EL 발광부의 정전류원이 더 포함되는 것을 특징으로 하는 전류 구동 표시소자의 구동 회로.

도면

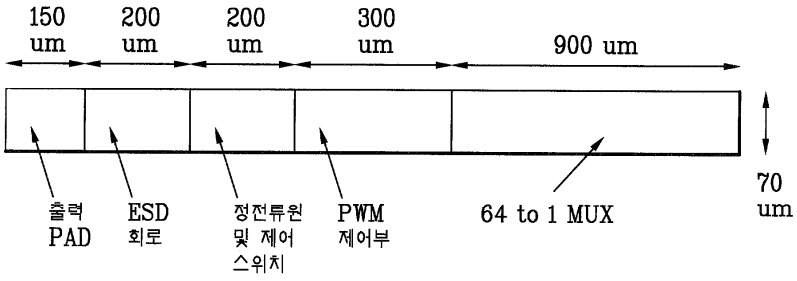
도면1


4
1
스캔
구동부
3
데이터 구동부
2

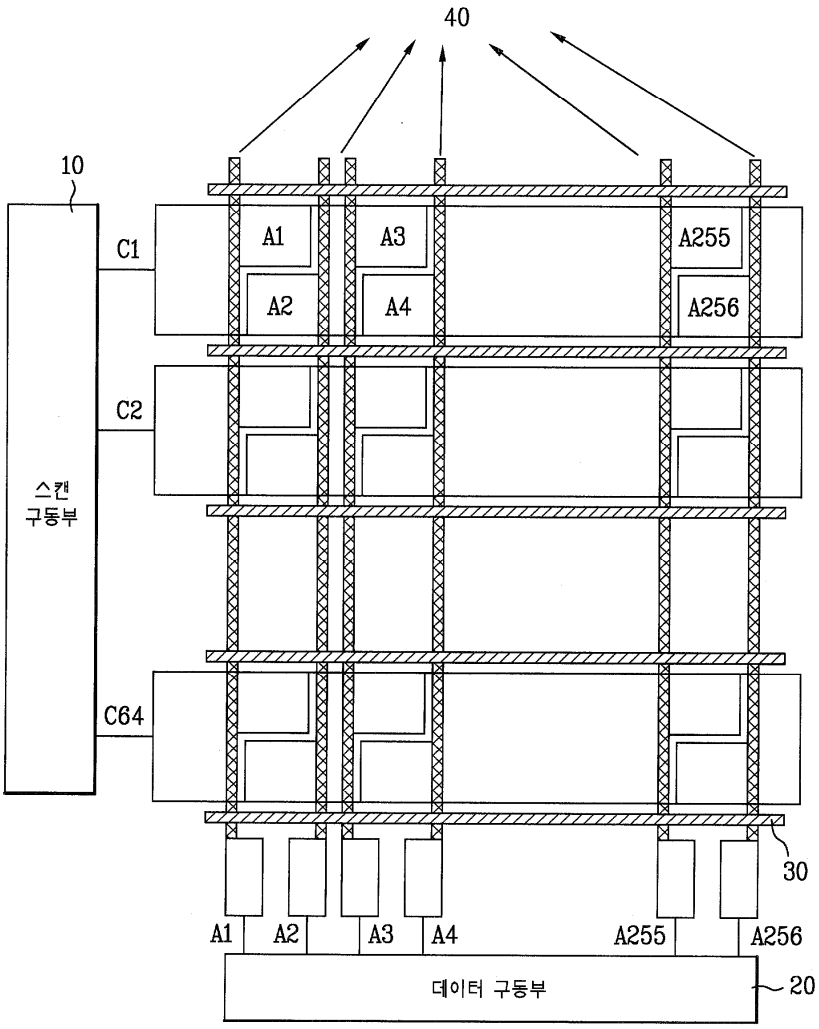
도면2


데이터
입력부
201
6 bit
64 to 1
MUX
203
PWM
제어부
204
64 레벨
기준 타이밍부
202
Vdd
205a
205b
205
205c
Vss

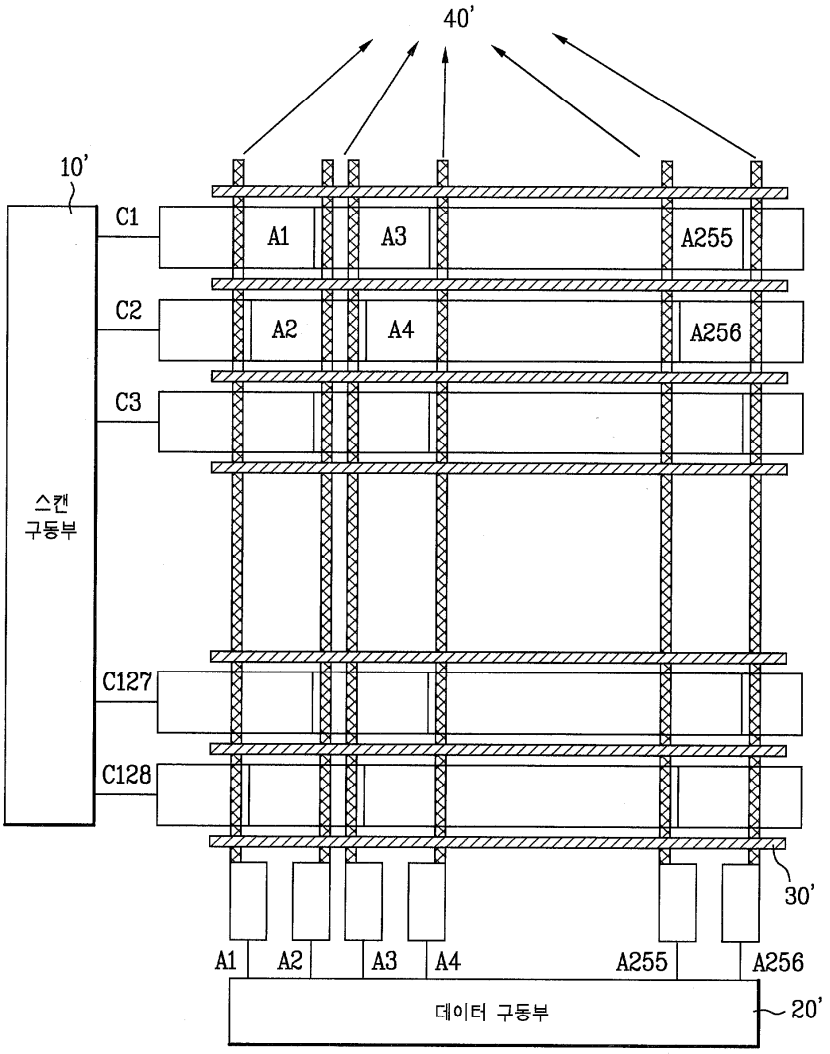
도면3


150
um
200
um
200
um
300
um
900 um
70
um
출력
PAD
ESD
회로
정전류원
및 제어
스위치
PWM
제어부
64 to 1 MUX

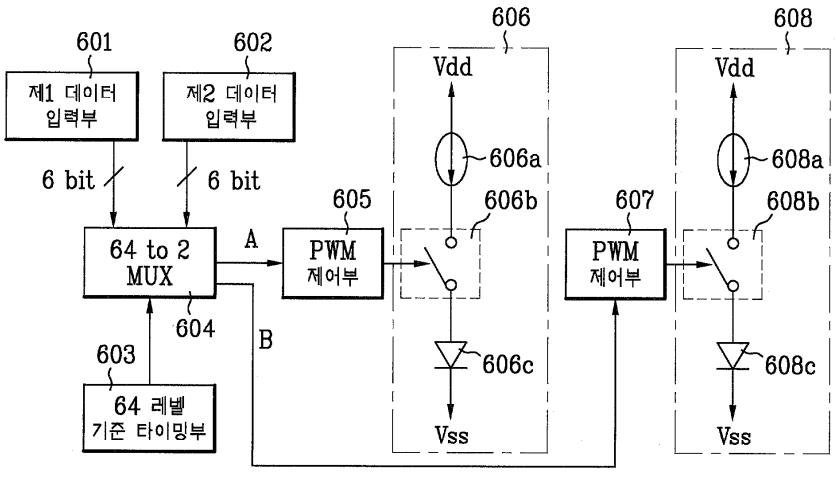
도면4



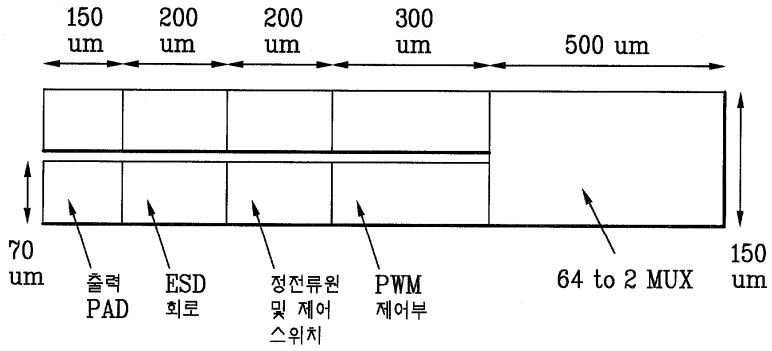
도면5


40'
10'
C1
C2
C3
C127
C128
스캔
구동부
A1
A3
A255
A2
A4
A256
30'
A1
A2
A3
A4
A255
A256
데이터 구동부
20'

도면6


601
602
606
608
제1 데이터
입력부
제2 데이터
입력부
Vdd
Vdd
6 bit
6 bit
606a
608a
606b
608b
605
607
64 to 2
MUX
A
PWM
제어부
PWM
제어부
604
B
603
606c
608c
64 레벨
기준 타이밍부
Vss
Vss

도면7


150 um
200 um
200 um
300 um
500 um
70 um
150 um
출력 PAD
ESD 회로
정전류원 및 제어 스위치
PWM 제어부
64 to 2 MUX

专利名称(译)	电流驱动显示元件的驱动电路		
公开(公告)号	KR100459166B1	公开(公告)日	2004-12-03
申请号	KR1020010046280	申请日	2001-07-31
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM HAKSU		
发明人	KIM,HAKSU		
IPC分类号	G09G3/30		
代理人(译)	金勇 新昌		
其他公开文献	KR1020030012302A		
外部链接	Espacenet		

摘要(译)

更具体地说，涉及一种用于驱动扫描结构的显示元件以减小无源面板中的占空比的电路，特别是在一个扫描线中平行排列像素的结构中，驱动电路结构与在一条扫描线中形成的数据像素的数量成比例地简化，并且布局中的面积也减小，从而可以减小整个芯片的尺寸。这可以降低整个芯片的成本。 6 指数方面 有机EL，布局，双重扫描