



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0055477
(43) 공개일자 2009년06월02일

(51) Int. Cl.

H05B 33/08 (2006.01) H05B 33/26 (2006.01)
H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0113861

(22) 출원일자 2008년11월17일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-307042 2007년11월28일 일본(JP)

(71) 출원인

소니 가부시키 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

타네다 타카유키

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤 나이

우치노 카쓰히데

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤 나이

(뒷면에 계속)

(74) 대리인

이화익, 권태복

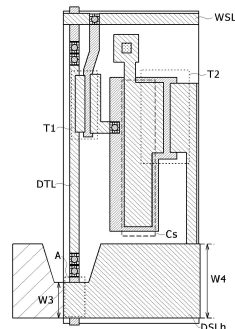
전체 청구항 수 : 총 8 항

(54) EL 표시 패널 및 전자기기

(57) 요약

액티브 매트릭스 구동방식에 대응한 화소 구조를 갖는 EL(electro luminescent) 표시 패널은 복수의 화소회로에 공통적으로 접속되도록 구성된 전류공급선을 구비하고, 상기 전류공급선과 신호선의 교차부분의 선폭이, 상기 전류공급선의 다른 부분의 선폭보다도 작다.

대표도 - 도27



- 제1의 금속층
- 제1의 금속층과 제2의 금속층과의 콘택부
- 제2의 금속층
- 제2의 금속층과 제3의 금속층과의 콘택부
- 직강용량의 형성영역

(72) 발명자

이이다 유키히토

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키
가이사 나이

아사노 미쓰루

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키
가이사 나이

특허청구의 범위

청구항 1

액티브 매트릭스 구동방식에 대응한 화소 구조를 갖는 EL(electro luminescent) 표시 패널로서,
복수의 화소회로들에 공통적으로 접속되도록 구성된 전류공급선을 구비하고, 신호선과 상기 전류공급선의 교차
부분의 선폭이, 상기 전류공급선의 다른 부분의 선폭보다도 작은 것을 특징으로 하는 EL 표시 패널.

청구항 2

제 1 항에 있어서,
상기 화소 구조는 톱 이미선 구조를 갖는 것을 특징으로 하는 EL 표시 패널.

청구항 3

제 1 항에 있어서,
상기 전류공급선의 구동은, 2차 이상의 전위로 제어되는 것을 특징으로 하는 EL 표시 패널.

청구항 4

제 3 항에 있어서,
상기 화소 구조는 톱 이미선 구조를 갖는 것을 특징으로 하는 EL 표시 패널.

청구항 5

제 1 항에 있어서,
특정한 행에 대응하는 상기 전류공급선의 전위변동의 타이밍이, 다른 행의 신호선 전위의 기록기간에 존재하는
것을 특징으로 하는 EL 표시 패널.

청구항 6

제 5 항에 있어서,
상기 신호선 전위의 기록 기간 중에 이동도 보정이 실행되는 것을 특징으로 하는 EL 표시 패널.

청구항 7

제 5 항에 있어서,
특정한 행에 대응하는 상기 전류공급선의 전위변동의 타이밍이, 다른 행의 임계치 보정기간에 존재하는 것을 특
징으로 하는 EL 표시 패널.

청구항 8

액티브 매트릭스 구동방식에 대응한 화소 구조를 갖고 복수의 화소회로들에 공통적으로 접속되는 전류공급선을
포함하도록 구성되며, 신호선과 상기 전류공급선의 교차 부분의 선폭이 상기 전류공급선의 다른 부분의 선폭보
다 작은, EL 표시 패널과,
시스템 전체의 동작을 제어하도록 구성된 시스템 제어부와,
상기 시스템 제어부에 대한 조작 입력을 접수하도록 구성된 조작 입력부를 구비한 것을 특징으로 하는 전자기
기.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 전체 내용이 본 명세서에 참고로 포함되어 있는 2007년 11월 28일자로 출원된 일본 특허출원번호 제2007-307042호와 관련된 주제를 포함한다.
- <2> 이 명세서에서 설명하는 발명은, 액티브 매트릭스 구동방식에 근거해서 구동이 제어되는 EL(Electro Luminescent)표시패널의 구조에 관한 것이다. 또한, 이 명세서에서 제안하는 발명은, EL 표시 패널 및 전자기기로서의 측면도 갖는다

배경 기술

- <3> 도 1은, 액티브 매트릭스 구동형의 유기 EL 패널의 일반적인 회로 블록 구성을 나타낸다. 도 1에 나타나 있는 바와 같이, 유기 EL 패널(1)은, 화소 어레이부(3)와, 그 구동회로로서의 기록제어선 구동부(5) 및 수평 셀렉터(7)로 구성된다. 또한, 화소 어레이부(3)에는, 신호선 DTL과 기록제어선 WSL의 각 교점에 화소회로(9)가 배치된다.
- <4> 유기 EL 소자는 전류 구동형의 발광소자다. 이 때문에, 유기 EL 패널에서는, 각 화소에 대응하는 유기 EL 소자에 흐르는 전류량의 제어에 의하여 발색의 계조를 제어한다.
- <5> 도 2는, 이 종류의 화소회로(9)의 가장 단순한 회로 구성 중의 하나를 나타낸다. 이 화소회로(9)는, 기록 트랜지스터 T1, 구동 트랜지스터 T2 및 저장용량 Cs으로 구성된다.
- <6> 기록 트랜지스터 T1은, 대응화소의 계조에 의존하는 신호전위 Vsig를 저장용량 Cs에 기록하는 것을 제어하는 박막 트랜지스터다. 구동 트랜지스터 T2는, 저장용량 Cs에 저장된 신호전위 Vsig에 의존하는 게이트·소스간 전압 Vgs에 근거해서 구동전류 Ids를 유기 EL 소자 OLED에 공급하는 박막 트랜지스터다. 도 2의 구성에서, 기록 트랜지스터 T1은, N채널형의 박막 트랜지스터로 구성되고, 구동 트랜지스터 T2는, P채널형의 박막 트랜지스터로 구성된다.
- <7> 도 2의 구성에서, 구동 트랜지스터 T2의 소스 전극은, 전원전위 Vcc이 고정적으로 인가되는 전류공급선(전원선)에 접속된다. 이 때문에, 구동 트랜지스터 T2는, 항상 포화영역에서 동작한다. 즉, 구동 트랜지스터 T2는, 신호전위 Vsig에 의존하는 구동전류를 유기 EL 소자 OLED에 공급하는 정전류원으로 동작한다. 이때, 구동전류 Ids는 다음 식에서 주어진다.
- <8>
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$
- <9> 이와 관련하여, μ 은, 구동 트랜지스터 T2의 다수 캐리어의 이동도다. V_{th} 는, 구동 트랜지스터 T2의 임계치 전압이다. k 는, $(W/L) \cdot Cox$ 으로 표현된 계수이다. W 는 채널 폭, L 은 채널길이, Cox 는 단위면적당의 게이트 용량이다.
- <10> 이 구성을 갖는 화소회로에서, 도 3에 나타내는 유기 EL 소자의 I-V 특성의 시간경과에 따라, 구동 트랜지스터 T2의 드레인 전압이 변화한다.
- <11> 그러나, 게이트·소스간 전압 Vgs는 일정하게 유지되므로, 유기 EL 소자에 공급되는 전류량에는 변화가 없어, 발광 휘도를 일정하게 유지할 수 있다.
- <12> 이하에, 액티브 매트릭스 구동방식을 채용하는 유기 EL 패널 디스플레이에 관한 문헌의 예는, 일본국 공개특허 공보 특개 2003-255856호, 특개 2003-271095호, 특개 2004-133240호, 특개 2004-029791호, 및 특개 2004-093682호를 포함한다.
- <13> 박막 프로세스의 종류에 따라서는, 도 2에 나타낸 회로 구성을 채용할 수 없는 경우가 있다. 즉, 현재의 박막 프로세스에서는, P채널형의 박막 트랜지스터를 채용할 수 없는 경우가 있다. 이러한 경우, 구동 트랜지스터 T2로서의 P채널형의 트랜지스터를 N채널형의 박막 트랜지스터로 치환하게 된다.
- <14> 도 4는, 이러한 종류의 화소회로의 구성을 나타낸다. 이 구성에서, 구동 트랜지스터 T2의 소스 전극은 유기 EL 소자 OLED의 애노드 단자에 접속된다. 따라서, 이 화소회로(9)는, 유기 EL 소자의 I-V 특성이 시간의 경과에 따라 변화하면, 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs가 변동하는 문제가 있다. 이 게이트·소스간 전압 Vgs의 변동은 구동전류량을 변화시키고, 그 결과 발광 휘도를 변화시켜 버린다.
- <15> 한층 더, 각 화소회로를 구성하는 구동 트랜지스터 T2의 임계치 및 이동도는, 화소마다 다르다. 이 구동 트랜지스터 T2의 임계치와 이동도의 차는, 구동 전류값의 변동으로서 출현하여, 각 화소의 발광 휘도를 변화시키는 원

인이 된다.

- <16> 따라서, 도 4에 나타난 화소회로를 채용할 경우에는, 시간경과에 따른 변화에 관계없이 안정한 발광 특성을 허용하는 구동방법의 확립이 요청된다. 동시에, 표시 품질이 높은 패널구조의 실현이 요청된다.

발명의 내용

- <17> 발명자 등은, 액티브 매트릭스 구동방식에 대응한 화소 구조를 갖는 EL 표시 패널로서, 복수의 화소회로들에 공통적으로 접속되는 전류공급선을 포함하는 EL 표시 패널을 제안한다. 이 EL 표시 패널에서, 신호선과 전류공급선의 교차 부분의 선폭은, 전류공급선의 다른 부분의 선폭보다도 작다.
- <18> 이 패널구조의 경우, 전류공급선과 신호선과의 교차 부분의 면적을 증가시키지 않고, 교차부분 이외의 전류공급선의 선폭을 증가시킬 수 있다. 이것은, 전류공급선의 전체로서의 배선 저항을 감소시킬 수 있다는 것을 의미한다. 결과적으로, 표시된 영상과 화소 위치에 의존한 전류공급선의 전위 변동을 줄일 수 있다.
- <19> 이 패널구조는, 전류공급선의 구동이 2차 이상의 전위로 제어될 경우에, 보다 높은 효과를 기대할 수 있다. 전류공급선에 고정 전위가 인가되지 않을 경우, 신호선과의 교차 부분의 면적이 크면, 전류공급선의 전위변동이 신호선과의 교차 부분에 형성되는 커플링 용량을 통해서 신호선에 전파하기 쉬워진다.
- <20> 그렇지만, 이 패널구조의 경우, 전류공급선과 신호선과의 교차 부분의 면적을 전류구동능력에 비해서 작게 할 수 있다. 이 때문에, 전류공급선의 전위변동이 신호선에 주는 영향을 감소시킬 수 있다. 결과적으로, 신호선에 전파하는 전위변동은 작아지고, 기록 전위에의 영향을 최소화할 수 있다. 결과적으로, 표시 품질의 저하를 억제할 수 있다.
- <21> 제안하는 패널구조는, 화소 구조가 톱 이미션(top-emission) 구조를 갖고 있는 경우에 보다 효과적이다. 톱 이미션 구조의 경우, 전류공급선의 형성층은 광선의 출력 경로와 교차하지 않는다. 따라서, 개구물에 영향을 주지 않고, 신호선과의 교차부 이외의 전류공급선의 선폭을 증가시킬 수 있다.
- <22> 제안하는 패널구조의 경우, 어떤 행에 대응하는 전류공급선의 전위변동의 타이밍이 다른 행의 신호선 전위의 기록기간에 존재할 경우에 보다 높은 효과를 기대할 수 있다. 전술한 바와 같이, 전류공급선의 전위변동은 신호선과의 교차부를 통해서 전파하지만, 신호선과의 교차 부분의 면적이 작다. 이 때문에, 다른 행에 위치하는 화소 회로에 있어서의 신호선의 전위의 기록에의 영향을 최소화할 수 있다.
- <23> 신호선 전위의 기록 기간 중에 이동도 보정이 실행될 경우에는, 구동 트랜지스터의 이동도 보정의 정밀도를 향상시키는 것이 가능하게 된다. 또한, 임계치 보정이 실행될 경우에는, 구동 트랜지스터의 임계치 보정의 정밀도를 높이는 것이 가능하게 된다. 이렇게, 상술한 패널 구조는 표시 품질의 저하의 억제에 효과적이다.
- <24> 또한, 발명자 등은, 전술한 패널구조를 갖는 EL 표시 패널을 탑재한 전자기기를 제안한다.
- <25> 전자기기는, EL 표시 패널과, 시스템 전체의 동작을 제어하는 시스템 제어부와, 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 포함한다.
- <26> 발명자들이 제안하는 본 발명을 채용함으로써, 전류공급선과 신호선과의 교차 부분의 면적을 증가시키는 일없이, 교차 부분 이외의 전류공급선의 선폭을 증가시키는 것이 가능하게 된다. 이 선폭의 증대에 의하여, 전류공급선의 전체로서의 배선 저항을 작게 할 수 있다. 그 결과, 표시 영상과 화소위치에 의존한 전류공급선의 전위 저하를 억제해서 화질을 개선할 수 있다.
- <27> 또한, 전류공급선과 신호선과의 교차 부분의 면적을 작게 할 수 있다. 이 때문에, 전류공급선으로부터 신호선에의 전위변동의 전파량을 억제할 수 있다. 이와 같이, 신호선 전위의 변동에 의한 화소회로에의 오기록을 막을 수 있다.

발명의 실시를 위한 구체적인 내용

- <28> 이하, 본 발명의 실시 예를, 액티브 매트릭스 구동형의 유기 EL 패널에 적용하는 경우에 대해서 설명한다.
- <29> 본 명세서에서 특히 도시 또는 기재되지 않는 부분에는, 해당 기술분야의 주지 또는 공지기술을 적용한다. 또 이하에 설명하는 형태 예는, 발명의 하나의 형태 예이며, 이것들에 한정되는 것은 아니다.
- <30> (A) 외관 구성

- <31> 또한, 이 명세서에서는, 화소 어레이부와 구동회로를 같은 반도체 프로세스를 사용해서 같은 기판 위에 형성한 표시 패널뿐만 아니라, 예를 들면 특정 용도대상 IC로서 제조된 구동 회로를 화소 어레이부의 형성된 기판 위에 설치한 것도 유기 EL 패널이라고 부른다.
- <32> 도 5는, 유기 EL 패널의 외관 구성 예를 나타낸다. 유기 EL 패널(11)은, 지지 기판(13)의 화소 어레이부의 형성 영역에 대향부(15)를 접촉시킴으로써 얻은 구조를 갖고 있다.
- <33> 지지 기판(13)은, 유리, 플라스틱, 또는 다른 재료로 구성되고, 그 표면에 유기 EL층이나 보호막 등을 형성한다. 대향부(15)의 베이스는, 유리, 플라스틱, 또는 다른 투명부재로 구성된다. 유기 EL 패널(11)에는, 외부로부터/에 지지 기판(13)에/으로부터 신호 등을 입출력하기 위한 FPC(flexible printed circuit)(17)이 배치된다.
- <34> (B)제1 형태 예
- <35> (B-1) 시스템 구성
- <36> 이하에서는, N채널형의 박막 트랜지스터로 구성된 구동 트랜지스터 T2의 특성 변동을 막고, 또 화소 회로를 구성하는 소자 수가 적은 유기 EL 패널(11)의 시스템 구성 예를 나타낸다.
- <37> 도 6은, 유기 EL 패널(11)의 시스템 구성 예다. 도 6에 나타내는 유기 EL 패널(11)은, 화소 어레이부(21)와, 화소 어레이부(21)의 구동회로로서의 기록제어선 구동부(23), 전류공급선 구동부(25), 수평 셀렉터(27), 및 타이밍 제너레이터(29)로 구성된다.
- <38> 화소 어레이부(21)는, 신호선 DTL과 기록제어선 WSL과의 각 교점 위치에 서브 화소를 배치한 매트릭스 구조를 갖고 있다. 서브 화소는 1화소를 구성하는 화소 구조의 최소 단위다. 예를 들면, 화이트 유닛(white unit)으로서의 1화소는, 유기 EL 재료가 서로 다른 3개의 서브 화소(R, G, B)로 구성된다.
- <39> 도 7은, 서브 화소에 대응하는 화소회로와 각 구동회로와의 접속 관계를 나타낸다. 도 8은, 제1 형태 예로서 제안하는 화소회로의 내부구성을 나타낸다. 도 8에 나타내는 화소회로는, 2개의 N채널형의 박막 트랜지스터 T1 및 T2와 1개의 저장용량 Cs로 구성된다.
- <40> 이 회로 구성에서도, 기록제어선 구동부(23)는, 기록제어선 WSL을 통해서 기록 트랜지스터 T1의 개폐를 제어하고, 그것에 의해 신호선 전위를 저장용량 Cs에 기록하는 것을 제어한다. 기록제어선 구동부(23)는, 수직 해상도와 같은 출력단 수를 갖는 시프트 레지스터로 구성된다.
- <41> 전류공급선 구동부(25)는, 구동 트랜지스터 T2의 한쪽의 주 전극에 접속되는 전류공급선 DSLa를 2차적으로 제어하고, 다른 구동회로와의 협동 동작에 의해 화소회로 내의 동작을 제어한다. 이 화소회로에서의 동작에는, 유기 EL 소자의 발광/비발광뿐만 아니라, 특성 변동의 보정동작도 포함된다. 이 형태 예의 경우, 특성 변동의 보정은, 구동 트랜지스터 T2의 임계치의 변동과 이동도의 변동에 의해 유니포미티(uniformity)의 열화의 보정을 의미한다.
- <42> 수평 셀렉터(27)는, 신호선 DTL에 화소 데이터 Din에 의존한 신호전위 Vsig 또는 임계치 보정용의 오프셋 전위 Vofs를 인가한다. 또한, 수평 셀렉터(27)는, 수평 해상도와 같은 출력단 수를 갖는 시프트 레지스터와, 각 출력단에 대응하는 래치회로와, D/A 변환회로와, 버퍼 회로와, 셀렉터로 구성된다.
- <43> 타이밍 제너레이터(29)는, 기록제어선 WSL, 전류공급선 DSLa, 및 신호선 DTL의 구동에 필요한 타이밍 펄스를 생성한다.
- <44> (B-2) 구동 동작 예
- <45> 도 9a 내지 9e는, 도 8에 나타내는 화소회로의 구동 동작 예를 나타낸다. 도 9a 내지 9e에서는, 전류공급선 DSLa에 인가하는 2종류의 전원전위 중, 고전위(발광 전위)를 Vcc로 나타내고, 저전위(비발광 전위)를 Vss로 나타낸다.
- <46> 우선, 발광 상태에 있어서의 화소회로 내의 동작 상태를 도 10에 나타낸다. 이 상태에서, 기록 트랜지스터 T1은 오프 상태에 있다. 한편, 구동 트랜지스터 T2는 포화 영역에서 동작하고, 게이트 · 소스간 전압 Vgs에 따라 정해지는 전류 Ids를 유기 EL 소자 OLED에 공급한다(도 9a 내지 9e(t1)).
- <47> 다음에, 비발광 상태의 동작 상태를 설명한다. 비발광 상태의 시작시에는, 전류공급선 DSLa의 전위가 고전위 Vcc으로부터 저전위 Vss로 전환한다(도 9a 내지 9e(t2)). 이때, 유기 EL 소자의 임계치 전압 Vth1이 Vss-

V_{cat} (캐소드 전위) $< V_{th1}$ 이면 유기 EL 소자는 소등한다.

- <48> 구동 트랜지스터 T2의 소스 전위 V_s 는, 전류공급선 DSLa의 전위와 같게 된다. 즉, 유기 EL 소자의 애노드 전극은 저전위 V_{ss} 로 충전된다. 도 11은, 기간 t_2 에 있어서의 화소회로 내의 동작 상태를 나타낸다. 도 11에 파선으로 나타나 있는 바와 같이, 이때, 저장용량 C_s 에 저장된 전하는 전류공급선 DSLa으로 방전된다.
- <49> 이후, 신호선 DTL의 전위가 임계치 보정용의 오프셋 전위 V_{ofs} 로 천이한 후에, 기록제어선 WSL이 고전위로 변화하면, 온 동작한 기록 트랜지스터 T1을 통해서 구동 트랜지스터 T2의 게이트 전위가 오프셋 전위 V_{ofs} 로 변화한다(도 9a 내지 9e(t_3)).
- <50> 도 12는, 이 기간 t_3 에 있어서의 화소회로 내의 동작 상태를 나타낸다. 이 기간 t_3 에서, 구동 트랜지스터 T2의 게이트·소스간 전압 V_{gs} 는 $V_{ofs}-V_{ss}$ 로 주어진다. 이 전압은, 구동 트랜지스터 T2의 임계치 전압 V_{th} 보다도 크게 설정된다. 이것은 $V_{ofs}-V_{ss} > V_{th}$ 의 관계를 만족하지 않으면 임계치 보정동작을 실행할 수 없기 때문이다.
- <51> 다음에, 전류공급선 DSLa의 전위가 다시 고전위 V_{cc} 로 전환한다(도 9a 내지 9e(t_4)). 전류공급선 DSLa의 전위가 고전위 V_{cc} 로 변화함으로써, 유기 EL 소자 OLED의 애노드 전위 V_{el} 이 구동 트랜지스터 T2의 소스 전위 V_s 가 된다.
- <52> 도 13은, 이 기간 t_4 에 있어서의 화소회로 내의 동작 상태를 나타낸다. 도 13에서는, 유기 EL 소자 OLED를 등가회로로 나타낸다. 즉, 다이오드와 기생 용량 C_{el} 로 나타낸다. 이 기간 t_4 에서, $V_{el} \leq V_{cat} + V_{th1}$ 의 관계를 충족시키는 한(유기 EL 소자의 리이크 전류가 구동 트랜지스터 T2에 흐르는 구동전류 I_{ds} 보다 상당히 작다고 하는 가정에 근거해서), 구동 트랜지스터 T2에 흐르는 구동전류 I_{ds} 는, 저장용량 C_s 와 기생 용량 C_{el} 을 충전하는데도 사용된다.
- <53> 결과적으로, 유기 EL 소자 OLED의 애노드 전위 V_{el} 은, 도 14에 나타나 있는 바와 같이, 시간의 경과와 함께 상승한다. 즉, 구동 트랜지스터 T2의 게이트 전위 V_g 은 오프셋 전위 V_{ofs} 로 고정된 상태 그대로, 구동 트랜지스터 T2의 소스 전위 V_s 가 상승을 시작한다. 이 동작이 임계치 보정동작이다.
- <54> 그러는 동안, 구동 트랜지스터 T2의 게이트·소스간 전압 V_{gs} 는 임계치 전압 V_{th} 에 수축(收束)한다. 이때, $V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{th1}$ 의 관계를 만족시키고 있다.
- <55> 임계치 보정기간이 종료하면, 기록 트랜지스터 T1이 다시 오프된다(도 9a 내지 9e(t_5)).
- <56> 이 오프에 의해, 구동 트랜지스터 T2의 게이트 전위 V_g 은 플로팅 상태가 된다. 다만, 게이트·소스간 전압 V_{gs} 는 임계치 전압 V_{th} 에 수축하고 있으므로 구동 트랜지스터 T2는 컷오프 상태에 있어, 구동전류 I_{ds} 는 흐르지 않는다.
- <57> 이후, 신호선 DTL의 전위가 신호전위 V_{sig} 로 천이하는데 필요한 타이밍 이후에, 기록 트랜지스터 T1은 다시 온 상태로 제어된다(도 9a 내지 9e(t_6)). 도 15는, 이 기간 t_6 에 있어서의 화소회로 내의 동작 상태를 나타낸다. 신호전위 V_{sig} 은, 대응화소의 계조값에 따라 공급되는 전위다.
- <58> 이 기간 t_6 에서, 구동 트랜지스터 T2의 게이트 전위 V_g 은, 신호전위 V_{sig} 로 천이한다. 즉, 게이트·소스간 전압 V_{gs} 가 임계치 전압 V_{th} 보다 커진다. 이에 따라, 구동 트랜지스터 T2은 온 상태가 되어, 저장용량 C_s 와 기생 용량 C_{el} 을 충전하도록 구동전류 I_{ds} 를 흘려보내기 시작한다.
- <59> 이 구동전류 I_{ds} 의 공급 시작에 따라, 구동 트랜지스터 T2의 소스 전위 V_s 는 상승한다. 구동 트랜지스터 T2의 소스 전위 V_s 가 유기 EL 소자의 임계치 전압 V_{th1} 과 캐소드 전압 V_{cat} 의 합을 초과하지 않는 한(유기 EL 소자 OLED에 흘러 들어 오는 리이크 전류가 구동전류 I_{ds} 보다도 상당히 작으면), 구동 트랜지스터 T2에 의해 공급되는 구동전류 I_{ds} 는, 저장용량 C_s 와 기생 용량 C_{el} 을 충전하는데 사용된다.
- <60> 이 동작 개시 시점에 있어서는, 이미 구동 트랜지스터 T2의 임계치 보정동작이 완료했다. 따라서, 구동 트랜지스터 T2로부터 공급되는 구동전류 I_{ds} 는, 구동 트랜지스터 T2의 이동도 μ 을 반영한 값이 된다. 구체적으로는, 구동 트랜지스터가 이동도 μ 보다 크면, 보다 큰 구동전류 I_{ds} 가 흘러, 소스 전위 V_s 의 상승도 한층 더 빨라진다.
- <61> 반대로, 구동 트랜지스터가 보다 낮은 이동도 μ 를 가지면, 보다 작은 구동전류 I_{ds} 가 흘러서, 소스 전위 V_s 의 상승도 더 늦어진다(도 16).
- <62> 결과적으로, 저장용량 C_s 에 저장된 전압은, 구동 트랜지스터 T2의 이동도 μ 에 따라 보정된다. 즉, 구동 트랜

지스터 T2의 게이트·소스간 전압 V_{gs} 는, 이동도 μ 을 보정한 전압으로 변화한다.

- <63> 최후에, 기록 트랜지스터 T1이 오프되어서, 신호전위 V_{sig} 의 기록이 종료한다. 이때, 구동 트랜지스터 T2의 게이트·소스간 전압 $V_{gs}(=V_{sig}-V_{ofs}+V_{th}-\Delta V)$ 은, 임계치 전압 V_{th} 보다 크다. 따라서, 구동전류 I_{ds} 의 공급이 계속되고, 유기 EL 소자 OLED의 발광이 개시된다.
- <64> 유기 EL 소자 OLED에 구동전류 I_{ds} 가 흐름으로써, 구동 트랜지스터 T2의 소스 전위 V_s 는 전위 V_x 까지 상승한다. 도 17은 이 발광 기간에 있어서의 화소회로 내의 동작 상태를 나타낸다.
- <65> 이 발광 기간에서, 구동 트랜지스터 T2의 게이트 전위 V_g 는 플로팅 상태에 있다. 따라서, 구동 트랜지스터 T2의 게이트 전위 V_g 은, 저장용량 C_s 의 부트스트랩 동작에 의해, 게이트·소스간 전압 V_{gs} 를 일정하게 유지한 채 상승한다(도 9a 내지 9e(t7)).
- <66> 또한, 이 형태 예로서 제안하는 구동회로에서도, 총 발광 시간이 길어지면, 유기 EL 소자 OLED의 I-V 특성이 변화한다. 즉, 구동 트랜지스터 T2의 소스 전위 V_s 도 변화한다.
- <67> 그렇지만, 구동 트랜지스터 T2의 게이트·소스간 전압 V_{gs} 는, 저장용량 C_s 에 의해 일정하게 유지되므로 유기 EL 소자 OLED에 흐르는 전류량은 변화하지 않는다.
- <68> 이 형태 예로서 제안하는 화소회로와 구동방식을 채용하면, 유기 EL 소자 OLED의 I-V 특성의 변화에 관계없이, 신호전위 V_{sig} 에 의존한 구동전류 I_{ds} 를 항상 공급할 수 있다.
- <69> 즉, 유기 EL 소자 OLED의 특성의 시간경과에 따른 변화에 관계없이, 발광 휘도를 신호전위 V_{sig} 에 의존한 휘도로 계속해서 유지할 수 있다.
- <70> (B-3) 정리
- <71> 이상과 같이, 이 형태 예에서 설명한 화소회로와 구동방식의 채용에 의해, 구동 트랜지스터 T2를 N채널형의 박막 트랜지스터로 구성할 경우에도, 화소마다 휘도 변동이 없는 유기 EL 패널을 실현할 수 있다. 또한, N채널형의 박막 트랜지스터만을 이용해서 화소회로를 구성할 수 있어, 유기 EL 패널의 제조에 아모르포스(amorphous) 실리콘계의 프로세스를 채용하는 것이 가능하게 된다.
- <72> (C)제2 형태 예
- <73> (C-1) 다른 기술과제의 고찰
- <74> 전술한 바와 같이, 유기 EL 소자 OLED는 전류구동소자다. 이 때문에, 전류공급선 DSLa에는, 각 화소회로에 필요한 구동전류 I_{ds} 가 누적적으로 흐르고 있다. 도 18은, 전류공급선 DSLa가 수평 라인에 대하여 평행하게 연장될 경우에 있어서의 화소위치와 전압 강하와의 관계를 나타낸다. 도 18에서는, 전류공급선 DSLa의 저항성분을 명시적으로 나타내고 있다.
- <75> 도 18에 나타난 저항성분의 영향에 의해, 화소위치가 전류공급선 구동부(25)로부터 더 멀어짐에 따라 전류공급선 DSLa의 전압강하의 양이 서서히 커진다. 이것은, 1화소당의 전압강하를, 각 화소회로에 대응하는 구동전류 I_{ds} 와 1화소당의 배선 저항의 적으로서 나타내기 때문이다. 당연히, 화면의 우측에 위치하는 화소회로의 전원전위 V_y 는, 화면의 좌측에 위치하는 화소회로의 전원전위 V_x 보다도 낮다.
- <76> 이 전원전위의 저하는, 화소회로를 구성하는 구동 트랜지스터 T2의 드레인·소스간 전압 V_{ds} 를 작게 하는 작용을 한다.
- <77> 도 19는, 화면의 우측단과 좌측단의 전원전위의 차가 구동전류 I_{ds} 에 주는 영향을 나타낸다. 도 19에 나타나 있는 바와 같이, 같은 계조값에서도, 구동전류 I_{ds} 가 다르면, 발광 휘도차가 발생한다. 이 현상은 셰이딩 현상으로서 지각된다.
- <78> 이 셰이딩이라고 불리는 현상은, 전술한 바와 같이 전류공급선 DSLa의 배선구조에 기인한다. 이 때문에, 제1 형태 예에서 설명한 구동 트랜지스터 T2의 특성보정 기능에서는, 그 셰이딩 발생을 막는 것은 불가능하다.
- <79> 게다가, 셰이딩 현상은, 크로스토크(crosstalk)의 발생에도 관련이 있다.
- <80> 크로스토크란, 도 20a에 나타나 있는 바와 같은 화상(모든 백색 배경 화상의 일부 영역에 흑색 표시창을 배치한 화상 등)의 표시시에, 도 20b에 나타나 있는 바와 같이 수평 라인 간에서 휘도차가 지각되는 현상을 말한다. 구체적으로는, 흑색 표시창과 같은 수평 라인의 배경 흰색 부분과, 흑색 표시창의 상하에 위치하는 수평 라인의

배경 흰색 부분과의 사이에 휘도차가 생기는 현상을 말한다.

- <81> 이 휘도차는, 도 21에 나타나 있는 바와 같이 흑색 표시창 부분에 대응하는 화소회로에는 구동전류 Ids가 흐르지 않는 상태에 영향을 주고 있다. 구체적으로는, 이 휘도차는 흑색 표시창 부분에서의 전류공급선 DSL의 전압강하가 매우 작은 상태에 영향을 주고 있다. 결과적으로, 흑색 표시창 부분과 같은 열의 화면 우측단 부근에 있어서의 전류공급선 DSL의 전압강하는 매우 작아, 높은 발광 휘도가 얻어진다.
- <82> 한편, 도 21에 나타나 있는 바와 같이 흑색 표시창과는 다른 수평라인 상의 화면 우측단 부근에서는, 전압강하의 누적에 의해 전압강하량이 커진다. 즉, 발광 휘도는 전원전위의 강하만큼 낮아진다. 결과적으로, 같은 화면 우측단의 열에서도, 흑색 표시창이 있는 수평 라인과 그 밖의 수평 라인과의 사이에서는 휘도차가 발생하고, 그 휘도차가 일정량 이상이 되면 시각적으로 인식된다.
- <83> 전압강하량은, 구동전류와 전류공급선의 배선 저항과의 곱의 합으로서 취득된다.
- <84> 예를 들면, 도 21의 패넬구조의 경우, 수평라인 상의 화소수(R화소, G화소, B화소의 모두를 포함한다)를 N, 각 화소에서 필요로 하는 구동전류 Ids의 최대값을 I, 1화소당의 배선 저항을 r이라고 하면, 전류공급선 DSL 중 전류공급선 구동부(25)로부터 가장 먼 위치(이 형태 예의 경우, 화면 우측단)의 전원강하량 Vy는, 다음 식으로 주어진다.
- <85>
$$V_y = \{N(N+1)/2\} \times I \times r \quad (\text{식1})$$
- <86> 따라서, 전압강하량을 작게 하기 위해서는, N, I, r의 적어도 하나를 작게 하면 된다.
- <87> 여기에서는, 배선 저항 r를 작게 하는 것을 고려한다. 배선 저항 r를 작게 하기 위해서는, 전류공급선 DSL의 배선 폭을 증가시키거나, 전류공급선 DSL을 구성하는 금속막(예를 들면, 알루미늄막)의 두께를 증가시키는 것이 필요하다.
- <88> 이들 방법 중, 막 두께를 증대하는 방법은 프로세스의 변경을 수반하고, 생산 택트(takt)나 수율의 저하 등을 초래할 가능성이 있다. 이 때문에, 다른 방법이 선택되어야 한다. 즉, 전류공급선 DSL의 선포를 증가시키는 방법이 선택되어야 한다.
- <89> 도 22는, 제1 형태 예에 대응하는 화소회로(31)의 배치 예를 나타낸다. 도 8과 같은 도 22의 부호는, 같은 구성소자를 나타낸다. 도 22의 경우, 전류공급선 DSLa의 선포는 W1로 나타낸다.
- <90> 도 23은, 전류공급선 DSLa의 선포를 W2(>W1)까지 증가시킨 배치 예를 나타낸다. 도 23의 배치를 채용하면, 전류공급선 DSLa의 배선 저항을 작게 할 수 있다. 결과적으로, 웨이딩 및 크로스토크의 개선을 기대할 수 있다.
- <91> 그렇지만, 전류공급선 DSLa의 선포가 증가하면, 전류공급선 DSLa와 신호선 DTL이 교차하는 부분(도 23에서 파선으로 둘러싸여 나타낸 부호 A의 부분)의 면적이 증가한다.
- <92> 이 면적의 증가는, 전류공급선 DSLa와 신호선 DTL과의 사이에 형성되는 배선간 용량(커플링 용량)의 증가를 의미한다. 즉, 면적의 증가에 의해 전류공급선 DSLa의 전위 변동이 신호선 DTL에 전파하기 쉬워지는 또 다른 기술과제가 발생한다.
- <93> 예를 들면, 어떤 수평 라인에 대응하는 화소회로의 신호전위 Vsig의 기록 타이밍에서, 또 다른 수평 라인에 대응하는 전류공급선 DSLa의 전위가 변동할 가능성이 있다. 이 경우, 이동도 보정기간 중에 전류공급선 DSLa의 전위의 변동에 의한 구동 트랜지스터 T2의 게이트와 소스의 전위 변동이 캔슬되지 않으면, 구동 트랜지스터 T2의 이동도 보정이 부정확하게 실행될 것이다.
- <94> 도 24a 내지 24f는, 어떤 수평 라인에 대응하는 화소회로(31)의 구동 동작 예를 나타낸다. 주목하는 수평 라인의 위치를 첨자 "i"로 나타낸다. 첨자 "i"는, 화면의 가장 위쪽의 행으로부터 i번째에 위치하는 수평 라인을 의미한다.
- <95> 도 24a는, i번째의 수평 라인에 대응하는 화소회로(31)의 기록제어선 WSL(i)의 신호 파형 예다. 도 24b는, i번째의 수평 라인에 대응하는 전류공급선 DSLa(i)의 신호 파형 예다. 도 24c는, i+1번째의 수평 라인에 대응하는 전류공급선 DSLa(i+1)의 신호 파형 예다.
- <96> 도 24d는, 전류공급선과 교차하는 신호선 DTL의 신호 파형을 나타낸다. 도 24e는, i번째의 수평 라인에 대응하는 화소회로(31)를 구성하는 구동 트랜지스터 T2의 게이트 전위 Vg의 신호 파형이다. 도 24f는, i번째의 수평 라인에 대응하는 화소회로(31)를 구성하는 구동 트랜지스터 T2의 소스 전위 Vs의 신호 파형이다.

- <97> 도 24d에 나타나 있는 바와 같이, 전류공급선 DSLa의 전위변동은, 이 전위변동이 이동도 보정 대상으로서의 화소회로와 같은 행에서 발생했는지 혹은 또 다른 행에서 발생했는지의 여부에 관계없이 교차부분의 배선 용량을 통해서 신호선 DTL(i)에 전파된다. 도 24a 내지 24f의 경우, 신호전위 Vsig의 기록 및 이동도 보정 기간 중(t6)에 있어서의 전원전위의 변동(고전위 Vcc로부터 저전위 Vss로의 변동)이 구동 트랜지스터 T2의 게이트 전위 Vg와 소스 전위 Vs에 미치는 현상을 확인할 수 있다.
- <98> 그럼에도 불구하고, 게이트 전위 Vg와 소스 전위 Vs가 이동도 보정기간 중에 본래의 전위로 돌아가면, 문제없이 이동도 보정동작을 완료할 수 있다. 그러나, 이들 전위가 본래의 전위로 돌아가지 않을 경우, 이동도 보정동작을 정상적으로 완료할 수 없다.
- <99> 그 이유는, 소스 전위 Vs의 전위변동량은, 저장용량 Cs를 매개로 인해 게이트 전위 Vg의 전위변동량보다 작기 때문이다.
- <100> 즉, 게이트 전위 Vg의 변동이 이동도 보정기간 중에 캔슬되지 않으면, 정상적인 이동도 보정의 경우에 비해서 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs가 작아진다. 이것은, 화면상의 휘도가 본래의 휘도 레벨보다도 낮아지는 것을 의미한다.
- <101> 게다가, 커플링의 영향에 의한 전위의 변동량은, 신호전위 Vsig와는 무관하게 일정하다.
- <102> 따라서, 신호전위 Vsig가 저휘도의 값을 갖는 경우, 이 휘도 레벨의 저하는 더욱 크게 나타나게 된다. 이것은, 100% 흑색으로서의 낮아지는 측의 그레이스케일(grayscale)의 잘못된 표현 및 감마 보정의 부족으로서 화질의 저하를 일으킨다.
- <103> 또한, 이 신호선 DTL에의 전위변동의 전파는, 임계치 보정기간이 복수의 수평주사기간에서 복수의 기간으로 분할될 경우에 화소회로의 구동에 영향을 주는 경우가 있다.
- <104> 예를 들면, 어떤 수평 라인에 대응하는 화소회로의 임계치 보정기간 중에, 다른 수평 라인에 대응하는 전류공급선 DSLa의 전위가 변동할 가능성이 있다. 이 경우, 임계치 보정기간 중에 전류공급선 DSLa의 전위의 변동에 의한 구동 트랜지스터 T2의 게이트와 소스의 전위 변동이 캔슬되지 않으면, 구동 트랜지스터 T2의 임계치 보정이 정확하게 실행되지 않는다.
- <105> 도 25a 내지 25g는, 어떤 수평 라인에 대응하는 화소회로(31)의 구동 동작 예를 나타낸다. 특히, 도 25a 내지 25g는, 임계치 보정동작을 3수평 주사 기간으로 분할해서 실행하는 경우의 동작 예다. 또한, 도 25a 내지 25g에 있어서도, 주목하는 수평 라인의 위치를 첨자 "i"로 나타낸다. 첨자 "i"는, 화면의 가장 위에 있는 행으로부터 i번째의 행에 위치하는 수평 라인을 의미한다.
- <106> 도 25a는, i번째의 수평 라인에 대응하는 화소회로(31)의 기록제어선 WSL(i)의 신호 파형 예다. 도 25b는, i번째의 수평 라인에 대응하는 전류공급선 DSLa(i)의 신호 파형 예다. 도 25c는, i+1번째의 수평 라인에 대응하는 전류공급선 DSLa(i+1)의 신호 파형 예다.
- <107> 도 25d는, i+2번째의 수평 라인에 대응하는 전류공급선 DSLa(i+2)의 신호 파형 예다.
- <108> 도 25e는, 전류공급선과 교차하는 신호선 DTL의 신호 파형을 나타낸다. 도 25f는, i번째의 수평 라인에 대응하는 화소회로(31)를 구성하는 구동 트랜지스터 T2의 게이트 전위 Vg의 신호 파형이다. 도 25g는, i번째의 수평 라인에 대응하는 화소회로(31)를 구성하는 구동 트랜지스터 T2의 소스 전위 Vs의 신호 파형이다.
- <109> 도 25e에 나타나 있는 바와 같이, 전류공급선 DSLa의 전위변동은, 이 전위변동이 임계치 보정 대상으로서의 화소회로와 같은 행에서 발생했는지 혹은 다른 행에서 발생했는지의 여부에 관계없이, 교차 부분의 배선 용량을 통해서 신호선 DTL에 전파된다. 도 25a 내지 25g의 경우, 기록 트랜지스터 T1이 온 상태인 기간 t3, t4, t6, t8의 전원전위의 변동(저전위 Vss로부터 고전위 Vcc로의 변동)이 구동 트랜지스터 T2의 게이트 전위 Vg와 소스 전위 Vs로 전파된다.
- <110> 이 경우에도, 게이트 전위 Vg와 소스 전위 Vs의 전위변동이 임계치 보정기간 중에 캔슬되면, 문제없이 임계치 보정을 완료할 수 있다. 그러나, 임계치 보정동작의 거의 종료 직전에 다른 행의 전류공급선 DSLa의 전위변동이 전파되어, 게이트 전위 Vg와 소스 전위 Vs가 변동해서 본래의 전위로 돌아가지 않는 경우에는, 임계치 보정동작을 정상적으로 완료할 수 없다.
- <111> 도 26a 내지 26d는, 그 이유를 나타낸다. 도 26a는, 전류공급선 DSLa에 전위변동이 생기기 전의 화소회로 내의 전위관계를 나타내고 있다. 도 26a의 경우, 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs는 이미 임계치 전

압 V_{th} 에 수속되었다. 도 26b는, 임계치 보정기간의 종료 직전에 전류공급선 DSLa의 전위가 변동한 상태를 나타내고 있다.

- <112> 이 시점의 게이트 전위 V_g 는, 오프셋 전위 V_{ofs} 보다 전위 변동에 대응하는 ΔV 만큼 크다. 한편, 소스 전위 V_s 의 변동량 ΔV_s 는, 저장용량 C_s 를 통해서 전위 변동이 전파되므로, 게이트 전위 V_g 의 변동량 ΔV 보다 작다. 이 때문에, 구동 트랜지스터 T2의 게이트·소스간 전압 V_{gs} 는 임계치 전압 V_{th} 보다 커지고, 구동 트랜지스터 T2은 다시 온한다.
- <113> 결과적으로, 도 26c에 나타나 있는 바와 같이, 구동 트랜지스터 T2의 이동도 보정동작은 계속하므로, 소스 전위 V_s 는 더욱더 $\Delta V_s'$ 만큼 상승한다.
- <114> 드디어, 도 26d에 나타나 있는 바와 같이, 전류공급선 DSLa의 전위변동의 영향이 사라지면, 구동 트랜지스터 T2의 게이트 전위 V_g 는 오프셋 전위 V_{ofs} 에 수속하고, 소스 전위 V_s 는 전위변동 전의 전위보다 $\Delta V_s'$ 만큼 큰 전위에 수속한다.
- <115> 이것은, 임계치 보정기간의 종료시점에서, 구동 트랜지스터 T2의 게이트·소스간 전압 V_{gs} 가 임계치 전압 V_{th} 보다도 낮은 전압 V_{gs}' 으로 변화되었다는 것을 의미한다.
- <116> 즉, 임계치 보정동작이 정상적으로 실행되지 않고 있는 것을 의미한다. 결과적으로, 발광 휘도가 본래의 휘도와 일치하지 않게 된다.
- <117> 또한, 전류공급선 DSLa와 신호선 DTL의 교차 면적의 증대는, 금속층끼리의 중첩 면적의 증대를 의미한다. 따라서, 교차 면적의 증대는, 층간 쇼트의 가능성을 향상시키는 원인으로도 된다.
- <118> 또한, 도 23에 나타나 있는 바와 같이, 전류공급선 DSLa가 신호선 DTL의 상층(제2층)으로서 형성될 경우, 신호선 DTL 중 전류공급선 DSLa의 하층(제1층)부분의 배선 길이가 길어진다. 이 경우에, 하층(제1층)부분의 배선 저항이 상층(제2층)의 배선 저항보다 크면, 신호선 DTL의 전체로서의 배선 저항이 커지는 원인으로도 된다.
- <119> (C-2) 제안하는 배치
- <120> 이들 문제를 해결하기 위해서, 본 발명자 등은, 도 27에 나타내는 배치를 제안한다. 즉, 전류공급선 DSLb 중 신호선 DTL과의 교차 부분만 작은 선폭 $W3$ ($<W1$)을 갖고, 전류공급선 DSLb의 그 밖의 부분은 큰 선폭 $W4$ ($>W1$)을 갖는다.
- <121> 이 때문에, 전류공급선 DSLb의 작은 선폭과 큰 선폭은, 수평 라인을 따라 화소 피치의 사이클로 교대로 출현하게 된다.
- <122> 도 27의 경우, 전류공급선 DSL의 선폭은, 선폭 $W3$ 으로부터 선폭 $W4$ 로 서서히 수평방향을 따라 증가하고, 선폭 $W4$ 로부터 선폭 $W3$ 으로 서서히 수평방향을 따라 감소한다.
- <123> 무엇보다, 전류공급선 DSL의 선폭은, 선폭 $W3$ 과 $W4$ 의 사이에서 계단형(직각)으로 변화해도 된다.
- <124> 이 배선구조의 채용에 의해, 전류공급선 DSL의 전체로서의 배선 저항을 저하시킬 수 있어, 웨이딩 및 크로스토크의 발생을 효과적으로 억제할 수 있다.
- <125> 물론, 선폭 $W3$ 및 $W4$ (특히, $W4$)은, 식 1로 주어지는 전압강하량 V_y 가 크로스토크의 시각적 인식과 관련된 한계값 미만으로 되도록 설계된다. 크로스토크의 시각적 인식과 관련된 한계값은, 사용 환경이나 수평주사 주기 등에 따라 다르다. 여기에서는, 한계값의 하나로서, 예를 들면, 가장 높은 계조값에 대응하는 휘도의 1%가 이용가능하다.
- <126> 또한, 도 27에 나타낸 배선구조는, 전술한 그 밖의 과제도 해결할 수 있다.
- <127> 우선, 도 27에 나타낸 배선구조의 경우, 전류공급선 DSL과 신호선 DTL과의 사이에 형성되는 배선간 용량은 작다. 그 이유는, 배선부분의 선폭이 $W3$ 로 감소하기 때문이다. 이 때문에, 전류공급선 DSLb의 전위변동의 신호선 DTL에의 전파를 줄일 수 있다.
- <128> 따라서, 어떤 수평 라인에 대응하는 화소회로의 신호전위 V_{sig} 의 기록 타이밍에서, 다른 수평 라인에 대응하는 전류공급선 DSLb의 전위가 변동하여, 기록 중의 신호전위 V_{sig} 에 전위변동이 생긴 경우에도, 변동 자체가 작으므로 이동도 보정기간 중에 전위의 변동을 캔슬할 수 있다. 즉, 정상적인 이동도 보정의 실행을 확보할 수 있다.

- <129> 도 28a 내지 28f는, 어떤 수평 라인에 대응하는 화소회로(31)의 구동 동작 예를 나타낸다. 도 28a 내지 28f는, 전술한 도 24a 내지 24f에 대응하는 도면이며, 주목하는 수평 라인의 위치를 첨자 "i"로 나타낸다. 따라서, 도 28a~도 28f의 신호 파형은, 모두 도 24a~도 24f의 신호 파형에 대응한다.
- <130> 물론, 본 발명자들이 제안하는 배선구조의 경우에도, 도 28d에 나타나 있는 바와 같이, 전류공급선 DSLb의 전위 변동이, 신호선 DTL과의 교차부분에 형성되는 배선간 용량을 통해서 신호선 DTL에 전파된다. 다만, 그 전파량은 도 24a 내지 24f보다 작다.
- <131> 따라서, 신호전위 V_{sig} 의 기록 및 이동도 보정기간 중(t_6)에, 전원전위가 고전위 V_{cc} 로부터 저전위 V_{ss} 로 변화될 때에도, 구동 트랜지스터 T2의 게이트 전위 V_g 와 소스 전위 V_s 에 출현하는 변동량은 적다.
- <132> 이 때문에, 게이트 전위 V_g 와 소스 전위 V_s 은, 거의 틀림없이 이동도 보정기간 중에 본래의 전위로 되돌리는 것이 가능해지므로, 이동도 보정동작을 기간 내에 완료할 수 있다. 따라서, 신호전위 V_{sig} 가 고휘도의 값을 갖는 경우는 물론, 저휘도의 값을 갖는 경우에도, 계조값에 대응하는 본래의 발광 휘도를 실현할 수 있다.
- <133> 또한, 신호선 DTL에 전파된 전위 변동량의 억제는, 임계치 보정기간이 복수의 수평주사기간에서 복수의 기간으로 분할되는 경우에도 유리한 효과를 발휘한다.
- <134> 여기에서는, 도 29a 내지 29g를 참조해서 이 특징을 설명한다. 도 29a 내지 29g는, 전술한 도 25a 내지 25g에 대응하는 도면이며, 주목하는 수평 라인의 위치를 첨자 "i"로 나타내고 있다. 따라서, 도 29a 내지 29g의 신호 파형은, 모두 도 25a~도 25g의 신호 파형에 대응한다.
- <135> 도 29a 내지 29g의 경우에도, 기록 트랜지스터 T1이 온 상태인 기간 t_3 , t_4 , t_6 , t_8 에 발생한 전류공급선 DSLb의 전위변동(저전위 V_{ss} 로부터 고전위 V_{cc} 로의 변동)이, 구동 트랜지스터 T2의 게이트 전위 V_g 와 소스 전위 V_s 에 전파된다.
- <136> 그렇지만, 본 발명자들이 제안하는 배선구조에 근거해 전류공급선 DSL과 신호선 DTL과의 교차 부분에 형성되는 배선간 용량(커플링 용량)은 작기 때문에, 전위변동의 전파량이 대단히 작다.
- <137> 결과적으로, 게이트 전위 V_g 와 소스 전위 V_s 의 전위변동이 임계치 보정기간의 종료 직전에 발생해도, 그 변동을 나머지의 보정기간 동안에 캔슬할 수 있으므로, 문제없이 임계치 보정을 완료할 수 있다. 또한, 임계치 보정동작의 완료 후에 전위변동이 전파되어 임계치 보정동작이 재개되어도, 그때에 나타나는 소스 전위 V_s 의 상승량 $\Delta V_s'$ 은 무시할 수 있을 만큼 매우 작다. 따라서, 임계치 보정동작에의 영향을 고려할 필요가 없다.
- <138> 또한, 도 27에 나타난 배선구조에서는, 전류공급선 DSLb와 신호선 DTL의 교차면적이 작으므로, 금속층끼리의 중첩 면적도 작다. 따라서, 층간 쇼트의 가능성을 줄이는 효과도 기대할 수 있다.
- <139> 또한, 도 27에 나타나 있는 바와 같이, 전류공급선 DSLa가 신호선 DTL의 상층(제2층)으로서 형성될 경우, 신호선 DTL 중 전류공급선 DSLa의 하층(제1층)부분의 배선 길이를 짧게 할 수 있다.
- <140> 따라서, 하층(제1층)부분의 배선 저항이 상층(제2층)의 배선 저항보다 커도, 신호선 DTL의 전체로서의 배선 저항을 작게 할 수 있다.
- <141> 전술한 각종의 효과는, 유기 EL 패널이 톱 이미션(top-emission)형의 화소 구조를 채용할 경우에 특히 크다.
- <142> 도 30은, 톱 이미션 구조를 갖는 유기 EL 패널의 단면 구조 예를 나타낸다. 이 구조의 경우, 기록 트랜지스터 T1, 구동 트랜지스터 T2, 및 저장용량 C_s 등의 각 소자가 지지 기판으로서의 유리 기판(33) 위에 형성되고, 이들 소자의 상층에 유기 EL 소자 OLED가 형성된다.
- <143> 유기 EL 소자 OLED 상층에는, 밀봉재(35), 컬러 필터(37), 및 유리 기판(39)이 순번으로 배치된다.
- <144> 이 층 구조의 경우, 유기층으로 출력된 빛은, 반투명막으로 구성된 캐소드 전극과 컬러 필터(37)를 순번으로 통과함으로써, 이들 구성소자를 밀봉하는 유리 기판(39)의 표면에서 외부로 출력된다.
- <145> 톱 이미션 구조에서는, 전류공급선 DSLb와 신호선 DTL 등의 배선층을 광로 위에 배치하지 않는다. 즉, 전류공급선 DSLb는, 유기 EL 소자 OLED의 하위계층에 배치된다.
- <146> 따라서, 높은 개구률의 확보의 관점에서 보면, 신호선 DTL과의 교차부 이외의 부분에 전류공급선 DSLb의 선폭 W4를 넓히는 것에는 한계가 없으므로, 선폭 W4를 필요한 폭만큼 넓히는 것이 가능하다.
- <147> (C-3)시스템 구성

- <148> 도 31은, 전술한 배선구조를 갖는 유기 EL 패널(11)의 시스템 구성 예를 나타낸다. 도 31에서는, 도 6과의 대응 부분에 동일한 부호를 부착해서 나타내고 있다.
- <149> 도 31에 나타난 유기 EL 패널(11)은, 화소 어레이부(41)와, 이 화소 어레이부(41)의 구동회로로서의 기록제어선 구동부(23), 전류공급선 구동부(25), 수평 셀렉터(27), 및 타이밍 제너레이터(29)로 구성된다.
- <150> 이들 유닛 중, 화소 어레이부(41)는, 전류공급선 DSLb(도 27) 이외는, 제1 형태 예에서 설명한 화소 어레이부(21)와 같은 구조를 갖고 있다. 즉, 화소 어레이부(41)는, 전류공급선 DSLb의 2차 전위 구동에 의해 화소회로의 동작 상태를 제어하는 액티브 매트릭스형 구동방식에 대응한 화소 구조를 채용한다.
- <151> 따라서, 화소회로(31)와 각 구동회로와의 접속관계(도 32)와 화소회로(31)의 내부구성(도 33)에 관해서는 제1 형태 예와 같다.
- <152> (D) 다른 형태 예
- <153> (D-1) 구동방식 1
- <154> 상기의 형태 예의 경우에는, 전류공급선 DSLb가 2차 전위(고전위 V_{cc} 와 저전위 V_{ss})로 구동을 제어하는 경우에 관하여 설명했다.
- <155> 그렇지만, 전류공급선 DSLb의 구동이 3차 이상의 전위로 제어되는 구성에도, 물론 상술한 배선 구조를 적용할 수 있다. 전술한 배선구조에 근거한 전류공급선 DSLb를 사용하면, 3차 이상의 전위로 전류공급선 DSLb의 구동이 제어될 경우에도 신호선 DTL에의 전위변경의 전파를 효과적으로 억제할 수 있다.
- <156> (D-2) 구동방식 2
- <157> 상기의 형태 예의 경우에는, 전류공급선 DSLb의 구동이 2차 전위(고전위 V_{cc} 와 저전위 V_{ss})로 제어되는 경우에 관하여 설명했다.
- <158> 그렇지만, 전류공급선 DSLb는, 예를 들면 도 2 및 도 4에 나타내는 화소 구조에 채용될 수 있다. 즉, 전류공급선 DSLb가 고정 전위로 제어되는 구조에도 상술한 배선 구조를 적용할 수 있다.
- <159> 이 경우에도, 전류공급선 DSLb의 배선 저항을 작게 할 수 있기 때문에, 웨이딩 및 크로스토크의 영향을 작게 할 수 있다.
- <160> 또한, 신호선 DTL과의 교차 부분의 면적을 작게 할 수 있으므로, 배선간 용량(커플링 용량)의 소형화나 신호선 DTL의 저저항화 등을 실현한다.
- <161> (D-3) 구동방식 3
- <162> 상기의 형태 예의 설명에서는, 다른 수평 라인에 대응하는 전류공급선 DSLb의 전위변동의 타이밍이 어떤 수평 라인의 신호선 전위(신호전위 V_{sig} 나 오프셋 전위 V_{ofs})의 기록기간과 중첩될 경우에 관하여 설명했다.
- <163> 그렇지만, 이것은 필수적인 구동조건이 아니라, 다른 수평 라인에 대응하는 전류공급선 DSLb의 전위변동의 타이밍이 어떤 수평 라인의 신호전위 V_{sig} 의 기록기간이나 오프셋 전위 V_{ofs} 의 기록기간과 겹치지 않아도, 전술한 배선구조는 웨이딩이나 크로스토크의 억제에 효과적이다.
- <164> (D-4)구동방식 4
- <165> 상기의 형태 예의 설명에서는, 신호전위 V_{sig} 의 기록기간에서는 이동도 보정도 동시에 실행되는 경우에 관하여 설명했다.
- <166> 그렇지만, 신호전위 V_{sig} 의 기록과 이동도 보정이 각각 실행되는 경우에도 전류공급선 DSLb이 적용될 수 있다.
- <167> (D-5)구동방식 5
- <168> 상기의 형태 예의 설명에서는, 전류공급선 구동부(25)가 화소 어레이부(41)의 한쪽에서 전류공급선 DSLb를 구동하는 경우에 관하여 설명했다.
- <169> 그렇지만, 화소 어레이부(41)의 양측에서 1개의 전류공급선 DSLb를 구동하는 경우에도 상술한 배선 구조를 적용할 수 있다.
- <170> 이 경우, 1개의 전류공급선 구동부(25)에 의해 구동되는 화소 수는, 전류공급선 DSLb이 한쪽에서 구동되는 경우

의 절반정도이다.

- <171> 따라서, 식 1에서는, 화소 수 N 을 $N/2$ 로 치환함으로써 얻은 식을 계산함으로써, 화면 중앙 부근의 전압 강하량을 산출할 수 있다.
- <172> 이 경우, 취득한 전압강하량이 휘도차로서 지각되지 않도록 1화소당의 저항 r 를 제공하도록 선폭 $W3$ 및 $W4$ 을 설계한다.
- <173> (D-6) 화소 구조 1
- <174> 전술한 형태 예에서는, 탑 이미션 화소 구조에 전류공급선 DSLb이 적용가능하므로, 배선 폭의 제약이 없어, 특히 효과적이다.
- <175> 그렇지만, 이 화소 구조는 반드시 탑 이미션 구조에 한정되는 것은 아니고, 바텀 이미션(bottom-emission) 구조의 경우에도 전류공급선 DSLb이 적용가능하다.
- <176> (D-7) 화소 구조 2
- <177> 전술한 형태 예에서는, 화소회로가 2개의 박막 트랜지스터와 저장용량 Cs 으로 구성된다.
- <178> 그렇지만, 3개 이상의 박막 트랜지스터를 포함하는 화소회로에도, 전류공급선 DSLb를 적용할 수 있다. 예를 들면, 신호선 DTL은 신호전위 V_{sig} 의 인가 전용으로 사용되어도 되고, 오프셋 전위 V_{ofs} 의 인가에는 별도 다른 박막 트랜지스터를 준비해도 된다.
- <179> (D-8) 제품 예
- <180> (a) 전자기기
- <181> 상기의 설명에서는, 유기 EL 패널을 본 발명의 실시 예로서 설명했다. 그러나, 전술한 유기 EL 패널은, 각종의 전자기기에 실장한 상품형태로도 유통된다. 이하, 전자기기에 유기 EL 패널을 실장함으로써 얻은 제품 예를 설명한다.
- <182> 도 34는, 전자기기(51)의 개념 구성 예를 나타낸다. 전자기기(51)는, 유기 EL 패널(53), 시스템 제어부(55) 및 조작 입력부(57)로 구성된다. 여기에서의 유기 EL 패널(53)로서는, 예를 들면 제2 형태 예에서 설명한 유기 EL 패널(11)이 이용된다.
- <183> 시스템 제어부(55)로 실행되는 처리 내용은, 전자기기(51)의 상품형태에 따라 다르다. 조작 입력부(57)는, 시스템 제어부(55)에 대한 조작 입력을 접수하는 디바이스다. 조작 입력부(57)로서는, 예를 들면 스위치, 버튼 등의 기계식 인터페이스 혹은 그래픽 인터페이스 등을 사용한다.
- <184> 전자기기(51)는, 기기 내에서 생성되는 또는 외부에서 입력되는 화상 및 영상을 표시하는 기능을 탑재하고 있으면, 특정한 분야의 기기에 한정되지 않는다.
- <185> 도 35는, 유기 EL 패널이 적용되는 전자기기로서의 텔레비전 수상기의 외관 예를 나타낸다.
- <186> 텔레비전 수상기(61)의 케이싱 정면에는, 프런트(front) 패널(63) 및 필터 글래스(65) 등으로 구성되는 표시 화면(67)이 배치된다. 표시 화면(67)은, 형태 예에서 설명한 유기 EL 패널에 대응한다.
- <187> 또한, 이 종류의 전자기기(51)로서는, 예를 들면 디지털 카메라가 이용가능하다. 도 36a 및 36b는 디지털 카메라(71)의 외관 예를 나타낸다. 도 36a는 정면측(피사체측)의 외관 예이며, 도 36b는 배면측(촬영자측)의 외관 예다.
- <188> 디지털 카메라(71)는, 보호 커버(73), 촬영 렌즈부(75), 표시 화면(77), 컨트롤 스위치(79) 및 셔터 버튼(81)으로 구성된다. 표시 화면(77)은, 형태 예에서 설명한 유기 EL 패널에 대응한다.
- <189> 또한, 이 종류의 전자기기(51)로서는, 예를 들면 비디오 카메라가 이용 가능하다. 도 37은, 비디오 카메라(91)의 외관 예를 나타낸다.
- <190> 비디오 카메라(91)는, 본체(93)의 전방측에 배치되며 피사체를 촬상하기 위해 사용되는 촬영 렌즈(95), 촬영의 스타트/스톱 스위치(97) 및 표시 화면(99)으로 구성된다. 표시 화면(99)은, 형태 예에서 설명한 유기 EL 패널에 대응한다.
- <191> 또한, 이 종류의 전자기기(51)로서는, 예를 들면 휴대 단말장치가 이용 가능하다. 도 38은, 휴대 단말장치로서

의 휴대전화기(101)의 외관 예를 나타낸다. 도 38a 및 38b에 나타내는 휴대전화기(101)는 접혀지는(foldable)형태이다. 도 38a는 케이싱을 연 상태의 외관 예이며, 도 38b는 케이싱을 닫은 상태의 외관 예다.

<192> 휴대 전화기(101)는, 상측 케이싱(103), 하측 케이싱(105), 연결부(이 예에서는 힌지부(hinge))(107), 표시 화면(109), 보조 표시 화면(111), 픽처 라이트(picture light)(113) 및 촬영 렌즈(115)로 구성된다. 표시 화면(109) 및 보조 표시 화면(111)은, 형태 예에서 설명한 유기 EL 패널에 대응한다.

<193> 또한, 이 종류의 전자기기(51)로서는, 예를 들면 컴퓨터가 이용 가능하다. 도 39는, 노트북형 컴퓨터(121)의 외관 예를 나타낸다.

<194> 노트북형 컴퓨터(121)는, 하측 케이싱(123), 상측 케이싱(125), 키보드(127) 및 표시 화면(129)으로 구성된다. 표시 화면(129)은, 형태 예에서 설명한 유기 EL 패널에 대응한다.

<195> 이러한 디바이스 이외에, 전자기기(51)로서는, 오디오 재생장치, 게임기, 전자북, 전자사서 등이 이용가능하다.

<196> (D-9) 기타의 표시 디바이스 예

<197> 상기의 형태 예에 있어서는, 발명을 유기 EL 패널에 적용하는 경우에 관하여 설명했다.

<198> 그렇지만, 전술한 구동기술은, 그 밖의 EL 표시장치에 대하여도 적용될 수 있다. 예를 들면, LED를 배열하는 표시장치와 다이오드 구조를 갖는 발광소자를 화면 위에 배열한 다른 표시장치에 대해서도 구동기술을 적용할 수 있다. 또한, 무기 EL 소자를 화면 위에 배열한 표시장치에도 구동기술을 적용할 수 있다.

<199> (D-10) 기타

<200> 전술한 형태 예에는, 발명의 취지의 범위 내에서 여러 가지 변형 예가 고려된다. 또한, 본 명세서의 기재에 의거하여 창작되는 또는 조합되는 각종의 변형 예 및 응용 예도 고려된다.

도면의 간단한 설명

<201> 도 1은 유기 EL 패널의 기능 블록 구성을 설명하는 도면이다.

<202> 도 2는 화소회로와 구동회로와의 접속 관계를 설명하는 도면이다.

<203> 도 3은 유기 EL 소자의 I-V특성의 시간경과에 따른 변화를 설명하는 도면이다.

<204> 도 4는 다른 화소회로 예를 도시한 도면이다.

<205> 도 5는 유기 EL 패널의 외관 구성 예를 도시한 도면이다.

<206> 도 6은 유기 EL 패널의 시스템 구성 예를 도시한 도면이다.

<207> 도 7은 화소회로와 구동회로와의 접속 관계를 설명하는 도면이다.

<208> 도 8은 제1 형태 예에 따른 화소회로의 구성 예를 도시한 도면이다.

<209> 도 9a 내지 9e는 제1 형태 예에 따른 구동동작 예를 도시한 도면이다.

<210> 도 10은 화소회로의 동작 상태를 설명하는 도면이다.

<211> 도 11은 화소회로의 동작 상태를 설명하는 도면이다.

<212> 도 12는 화소회로의 동작 상태를 설명하는 도면이다.

<213> 도 13은 화소회로의 동작 상태를 설명하는 도면이다.

<214> 도 14는 소스 전위의 상승을 도시한 도면이다.

<215> 도 15는 화소회로의 동작 상태를 설명하는 도면이다.

<216> 도 16은 이동도의 차이에 의한 소스 전위의 상승도의 차이를 도시한 도면이다.

<217> 도 17은 화소회로의 동작 상태를 설명하는 도면이다.

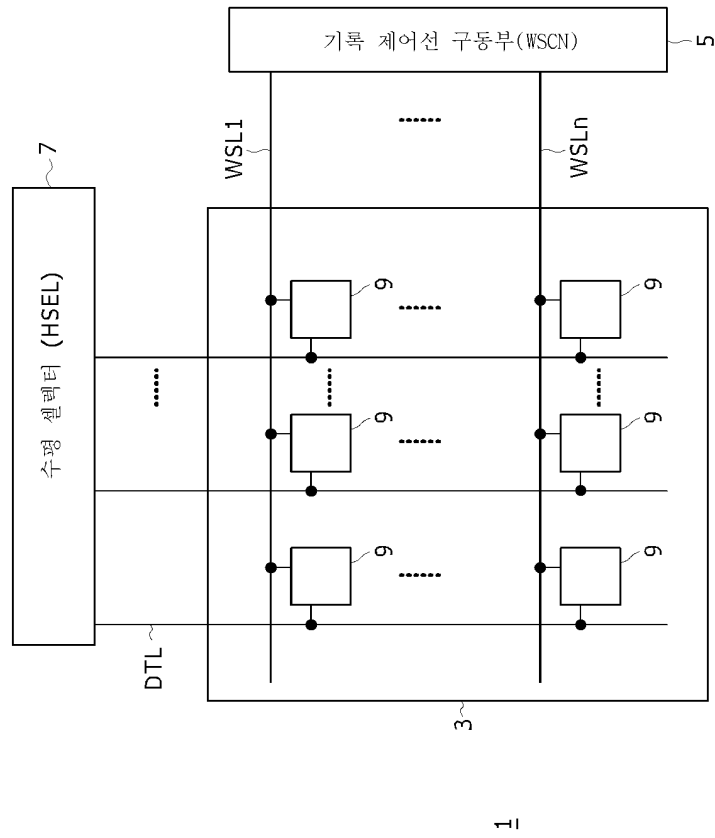
<218> 도 18은 웨이딩 현상을 설명하는 도면이다.

<219> 도 19는 웨이딩 현상의 발생 원인을 설명하는 도면이다.

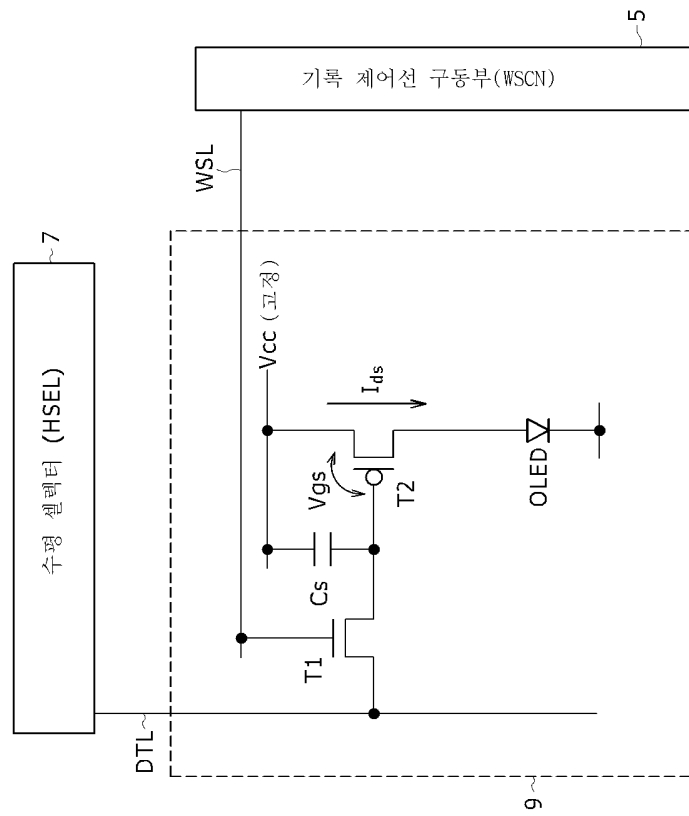
- <220> 도 20a 및 20b는 크로스토크 현상을 설명하는 도면이다.
- <221> 도 21은 크로스토크 현상의 발생 원인을 설명하는 도면이다.
- <222> 도 22는 제1 형태 예에 대응하는 화소회로의 배치를 도시한 도면이다.
- <223> 도 23은 화소회로의 개선된 배치 예를 도시한 도면이다.
- <224> 도 24a 내지 24f는 전류공급선의 전위변동이 이동도 보정에 주는 영향을 설명하는 도면이다.
- <225> 도 25a 내지 25g는 전류공급선의 전위변동이 임계치 보정에 주는 영향을 설명하는 도면이다.
- <226> 도 26a 내지 26d는 임계치 보정에 나타나는 영향의 발생 원리를 설명하는 도면이다.
- <227> 도 27은 제2 형태 예로서 제안하는 화소회로의 배치를 도시한 도면이다.
- <228> 도 28a 내지 28f는 이동도 보정의 개선을 설명하는 도면이다.
- <229> 도 29a 내지 29g는 임계치 보정의 개선을 설명하는 도면이다.
- <230> 도 30은 톱 이미션 구조 예를 설명하는 도면이다.
- <231> 도 31은 제2 형태 예에 따른 유기 EL 패널의 구성 예를 도시한 도면이다.
- <232> 도 32는 제2 형태 예에 따른 화소회로와 구동회로와의 접속 관계를 도시한 도면이다.
- <233> 도 33은 제2 형태 예에 따른 화소회로의 구성 예를 도시한 도면이다.
- <234> 도 34는 전자기기의 개념 구성 예를 도시한 도면이다.
- <235> 도 35는 전자기기의 상품 예를 도시한 도면이다.
- <236> 도 36a 및 36b는 전자기기 상품 예를 도시한 도면이다.
- <237> 도 37은 전자기기 상품 예를 도시한 도면이다.
- <238> 도 38은 전자기기 상품 예를 도시한 도면이다.
- <239> 도 39는 전자기기 상품 예를 도시한 도면이다.

도면

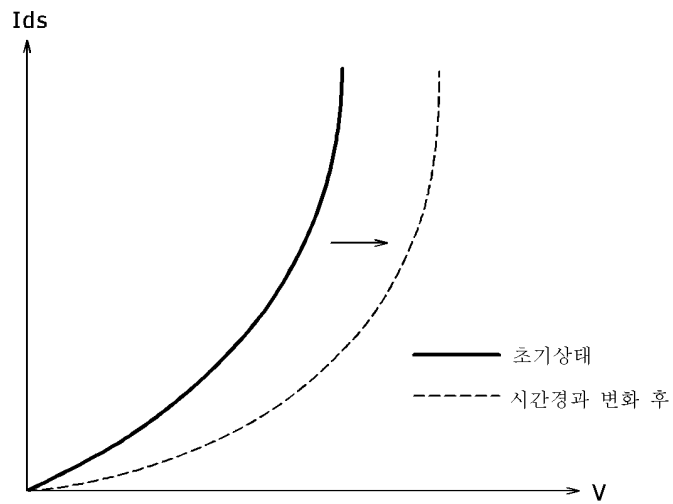
도면1



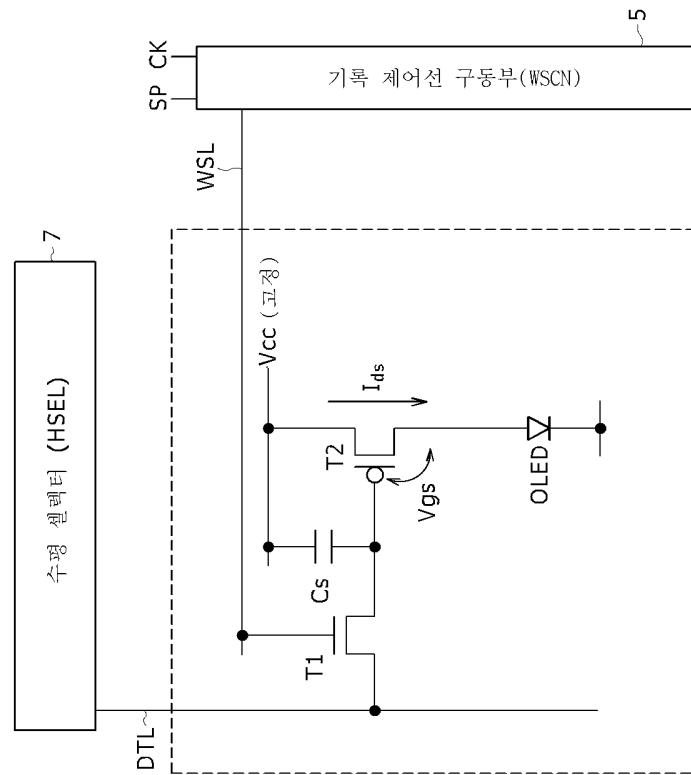
도면2



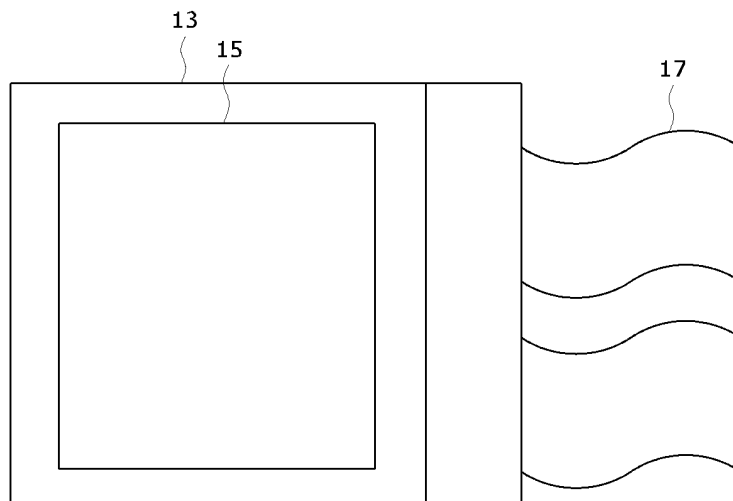
도면3



도면4

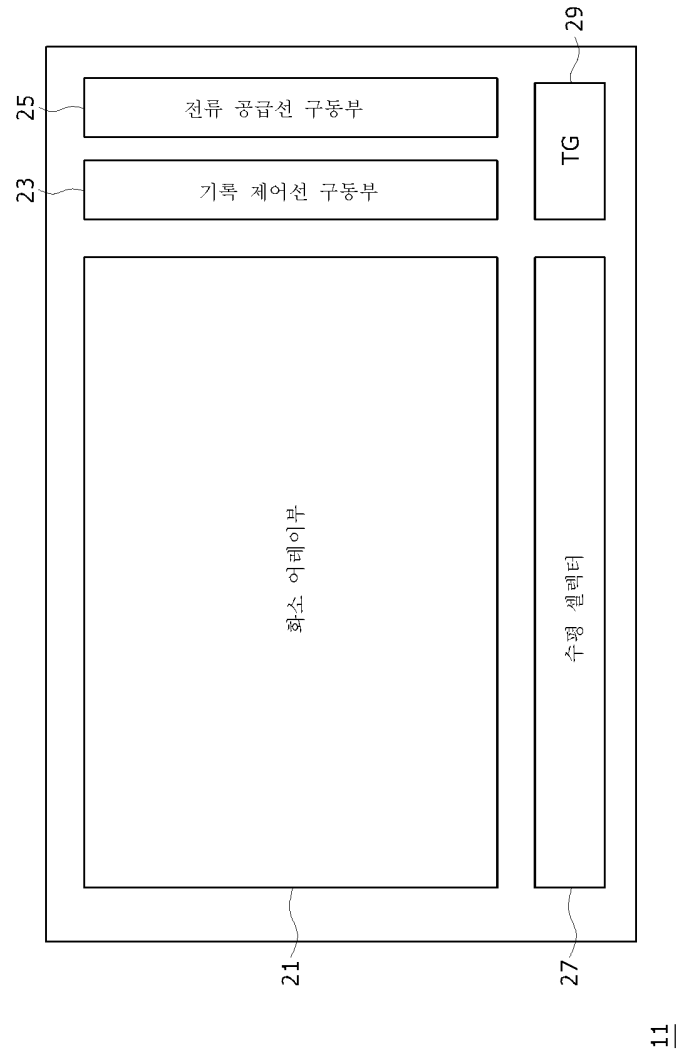


도면5

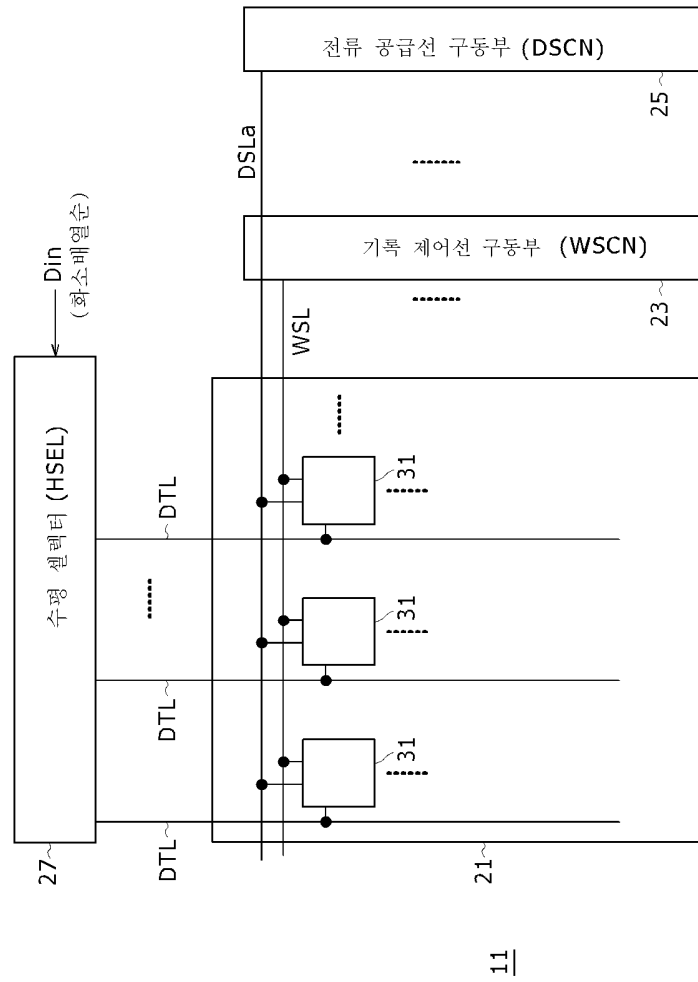


11

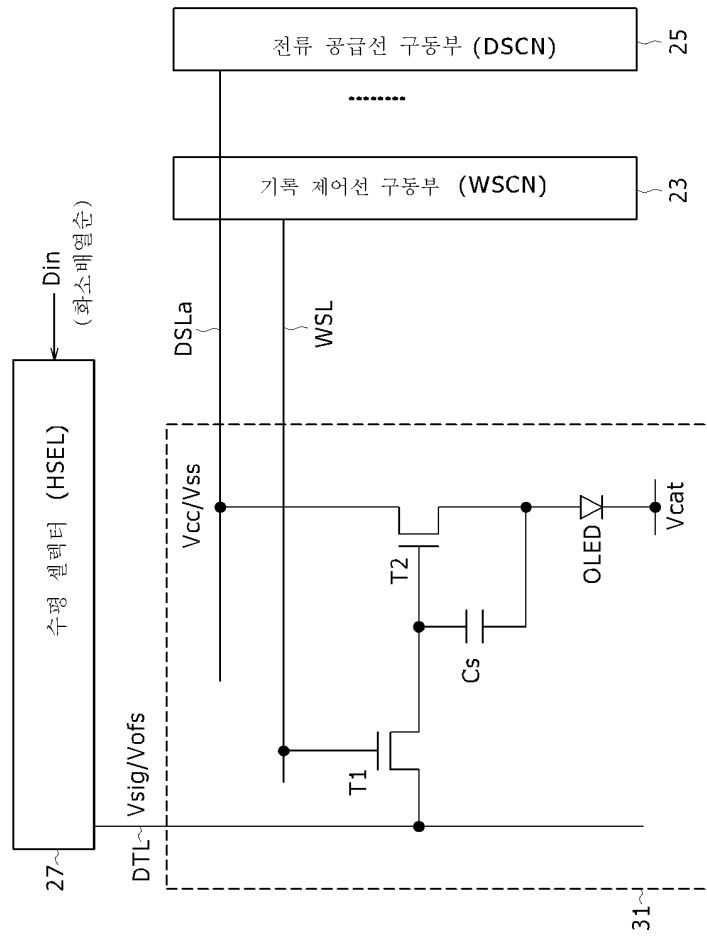
도면6



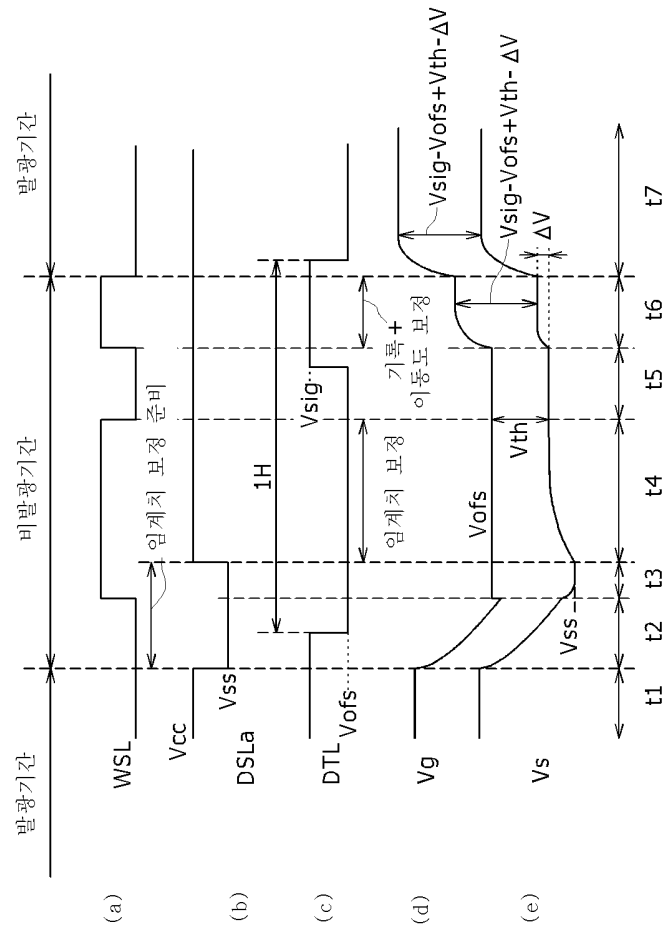
도면7



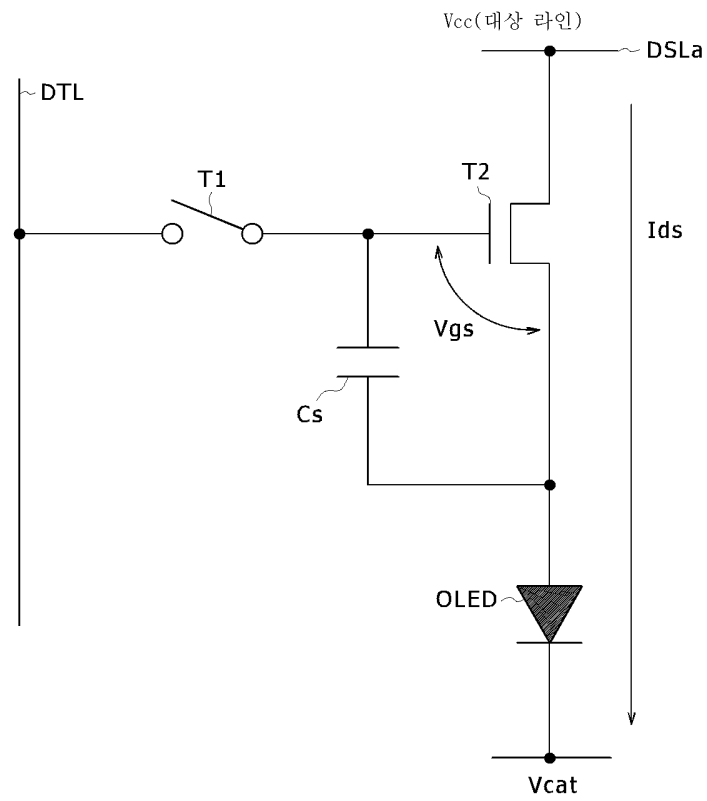
도면8



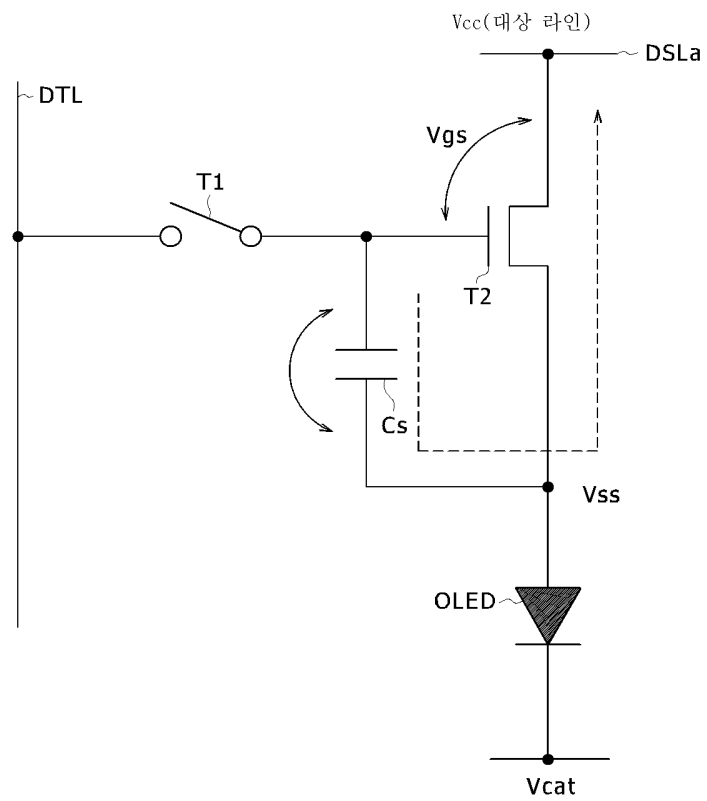
도면9



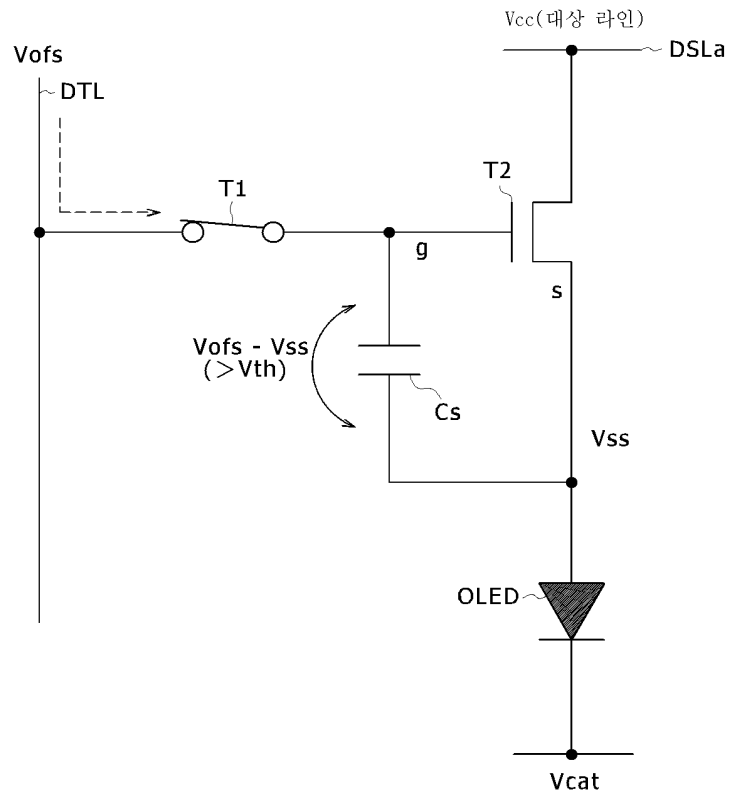
도면10



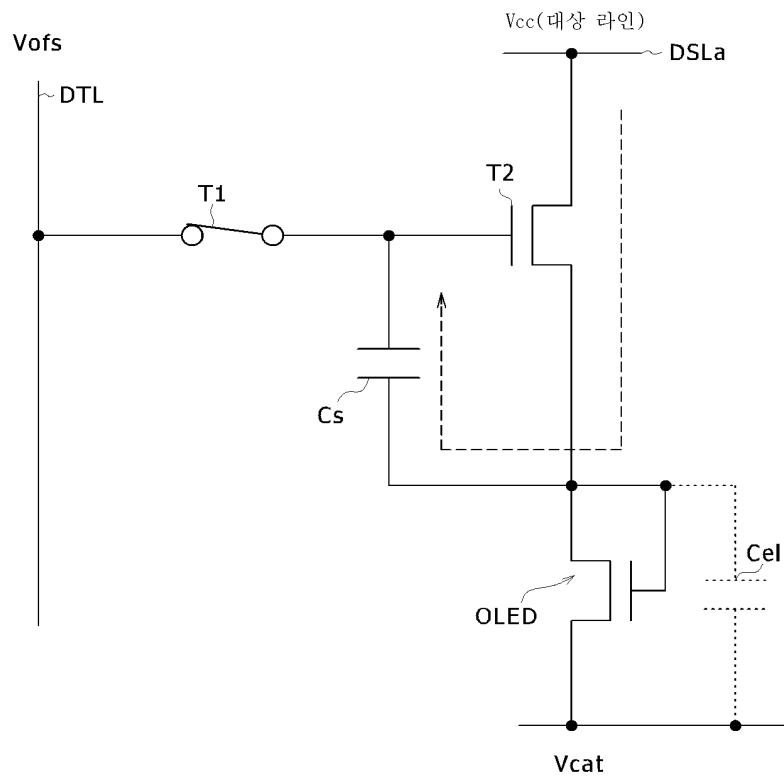
도면11



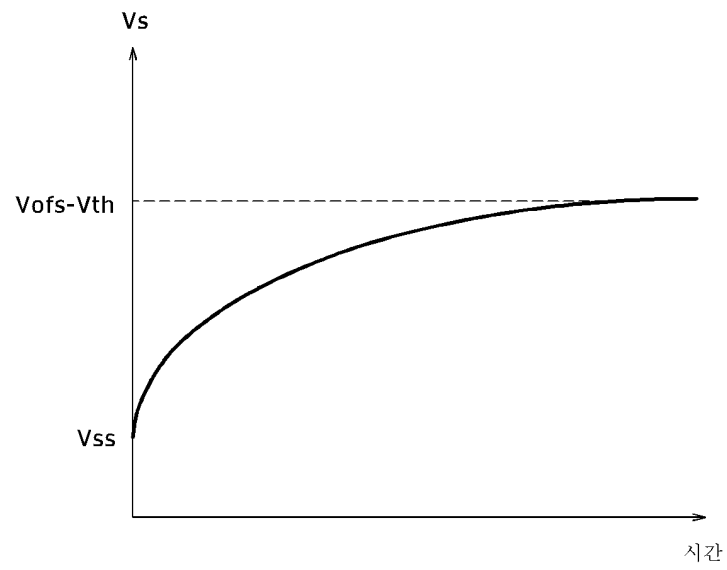
도면12



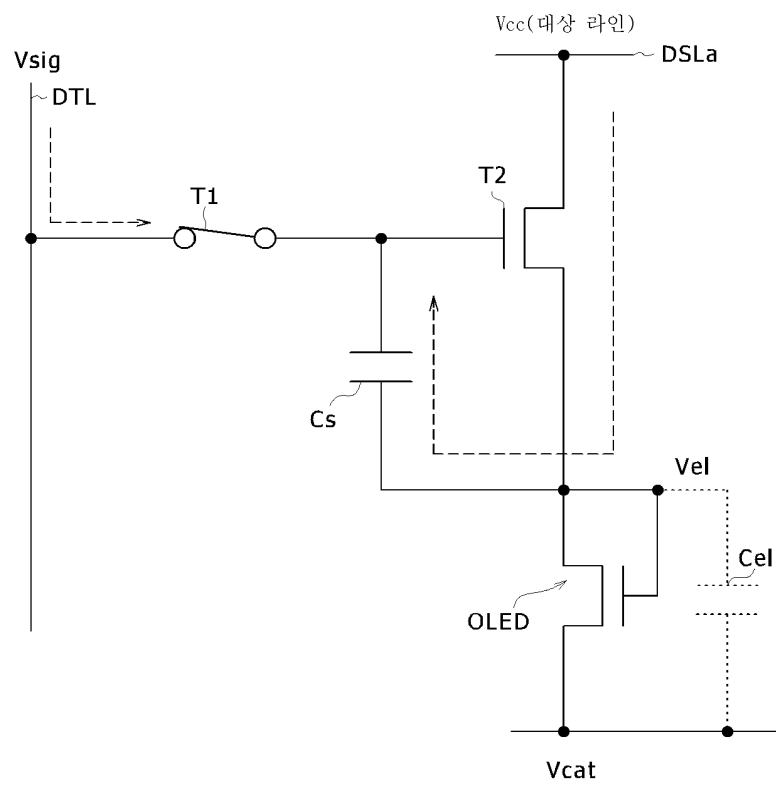
도면13



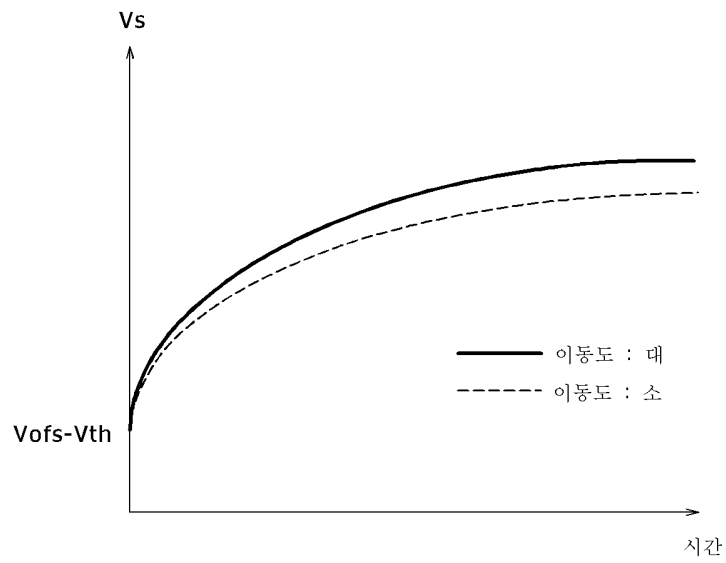
도면14



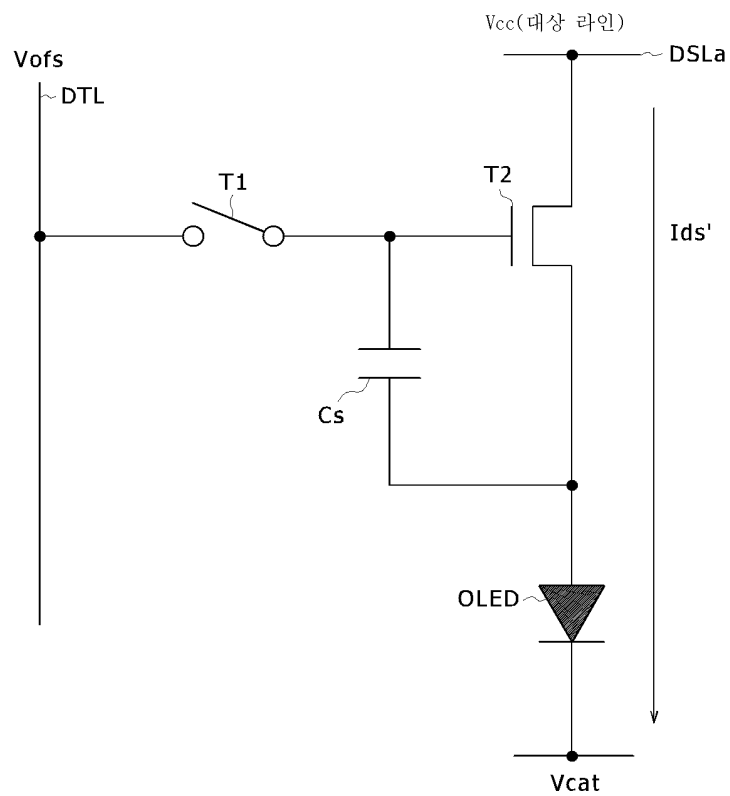
도면15



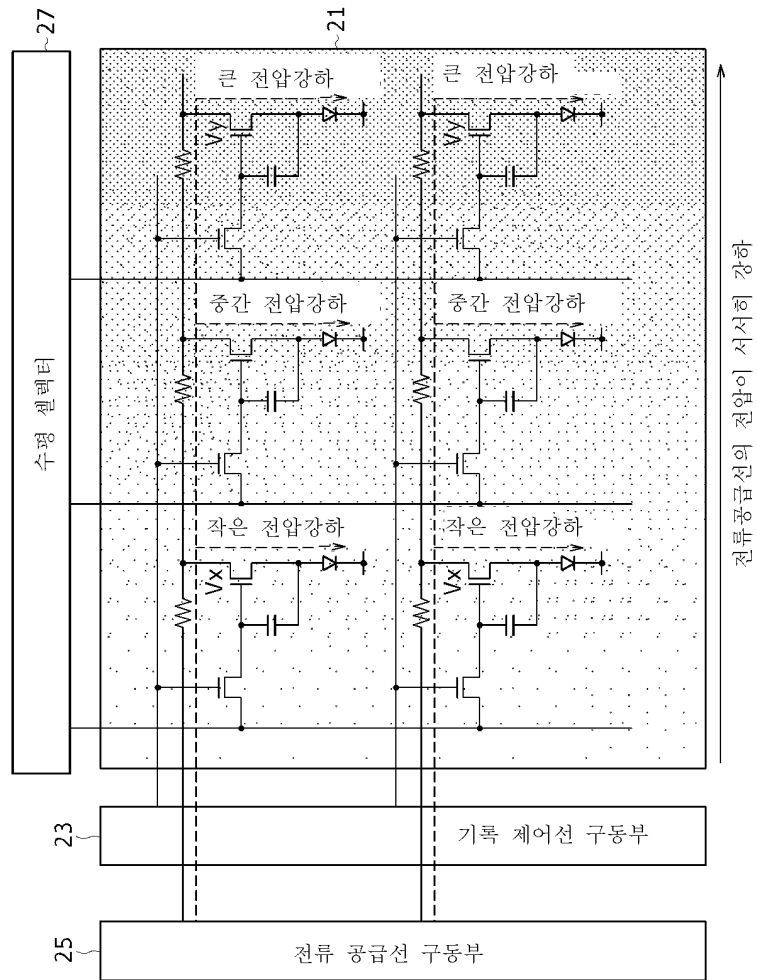
도면16



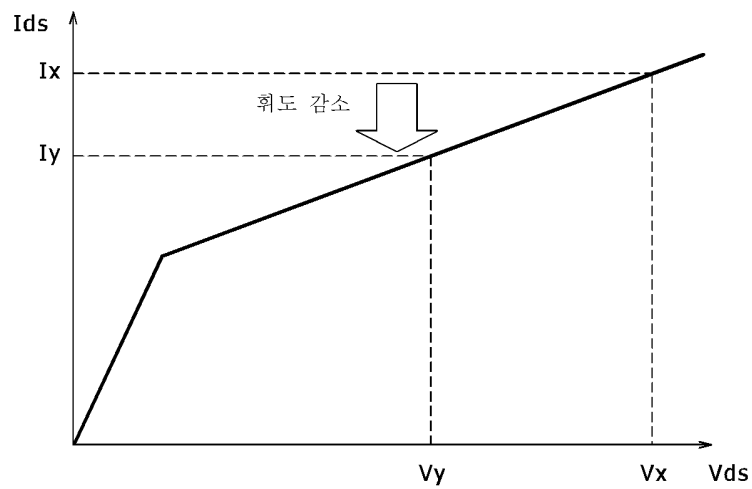
도면17



도면18

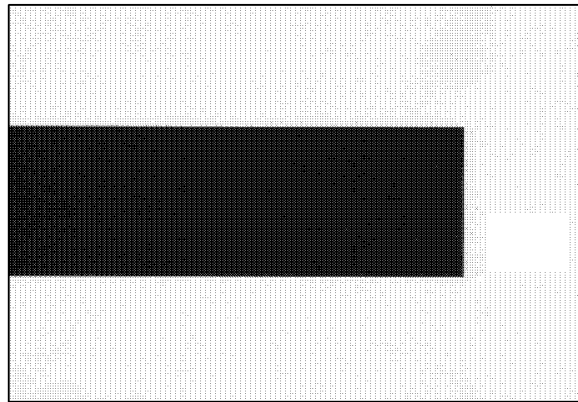


도면19

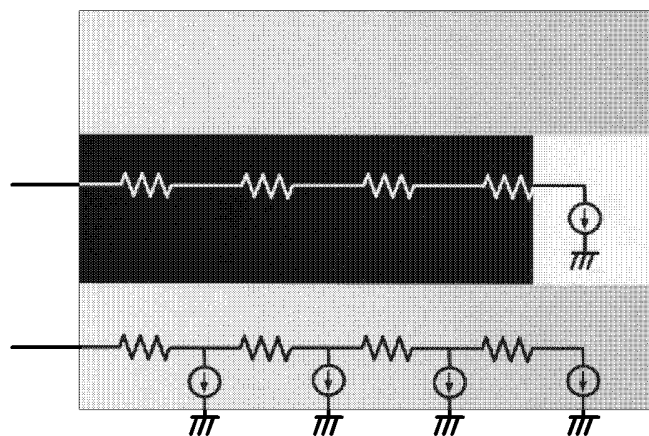


도면20

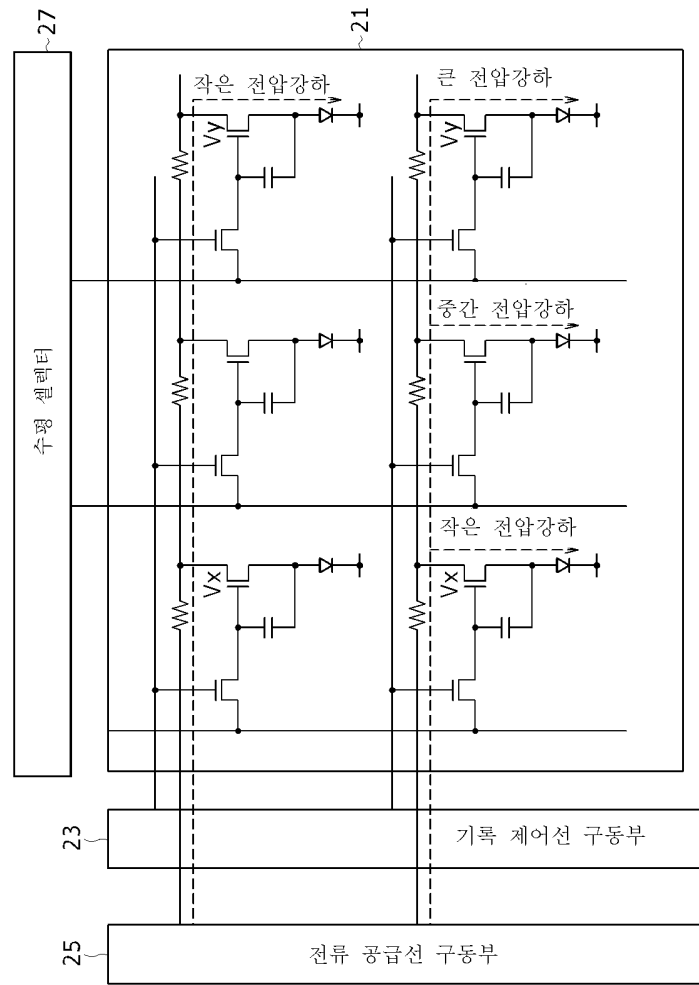
(a)



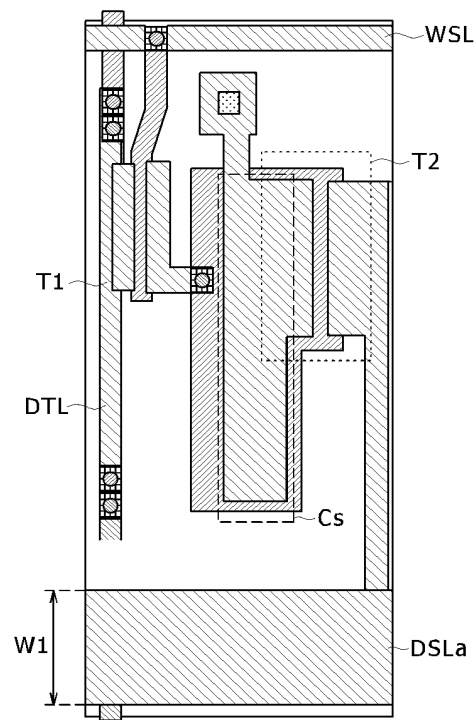
(b)



도면21

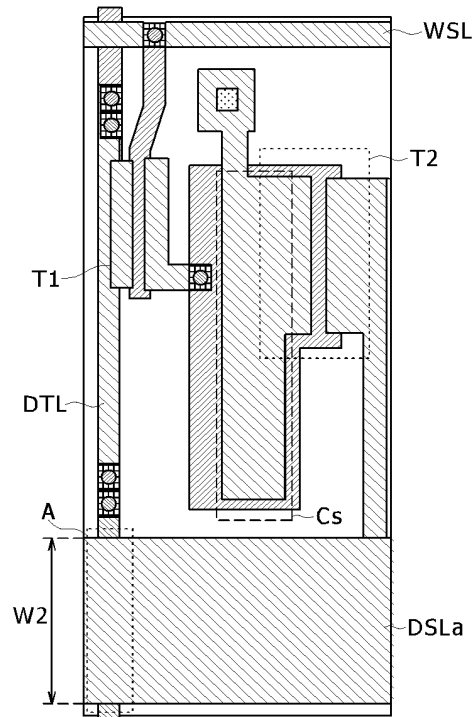


도면22



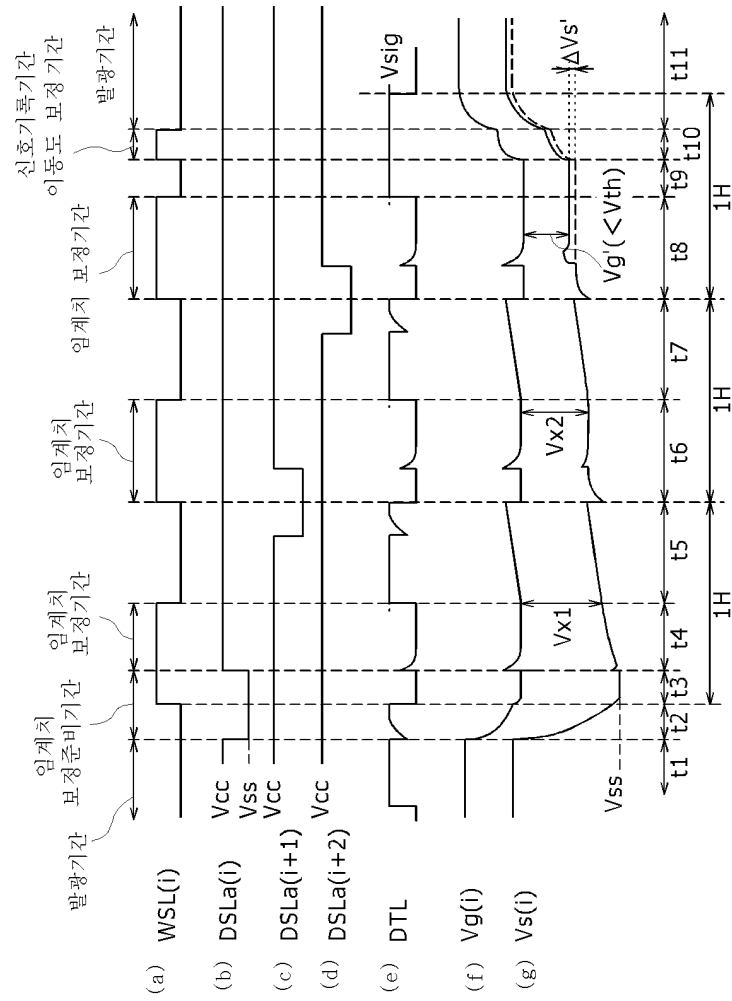
- | | |
|---|--|
|  제1의 금속층 |  제1의 금속층과 제2의 금속층과의 콘택부 |
|  제2의 금속층 |  제2의 금속층과 제3의 금속층과의 콘택부 |
| |  저장용량의 형성영역 |

도면23

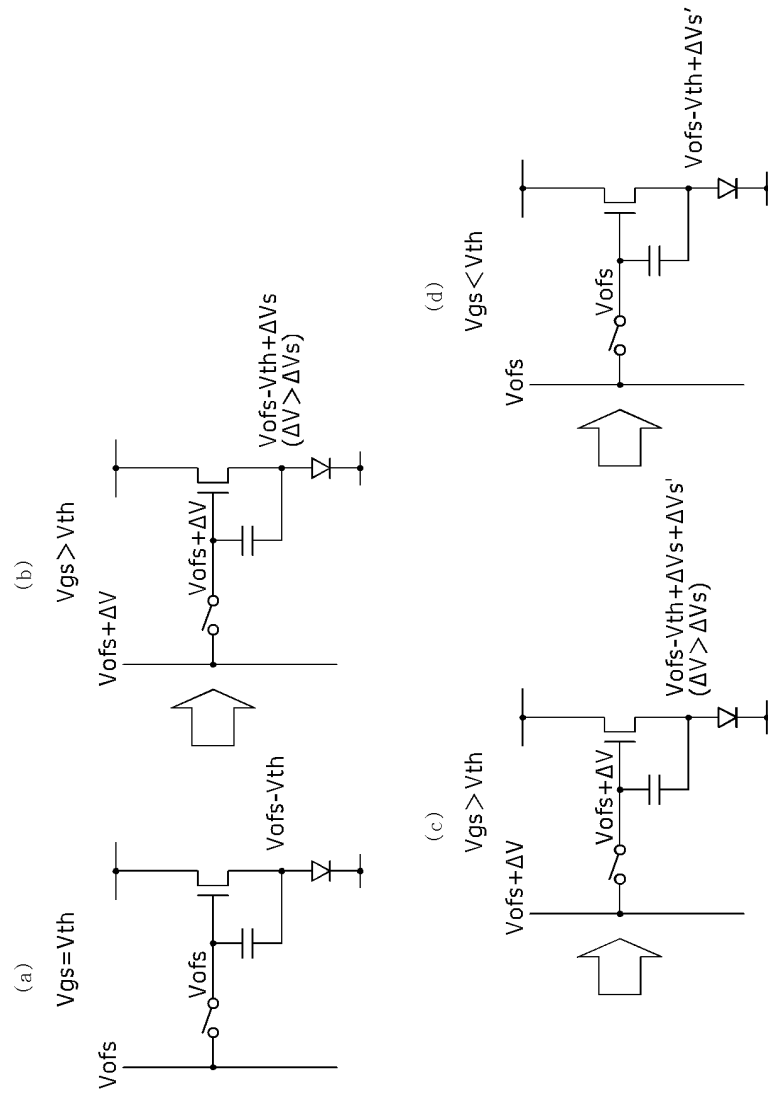


- | | |
|---|--|
|  제1의 금속층 |  제1의 금속층과 제2의 금속층과의 콘택부 |
|  제2의 금속층 |  제2의 금속층과 제3의 금속층과의 콘택부 |
| |  저장용량의 형성영역 |

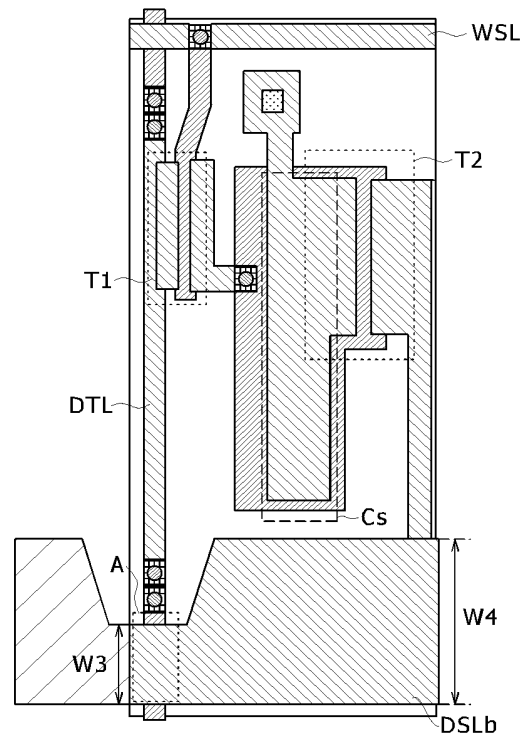
도면25



도면26

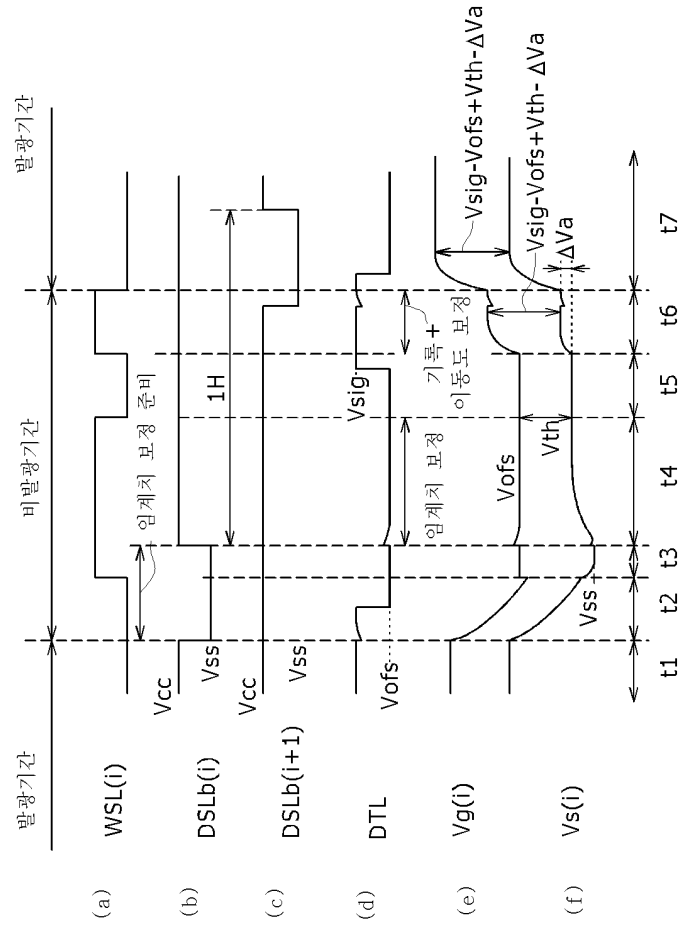


도면27

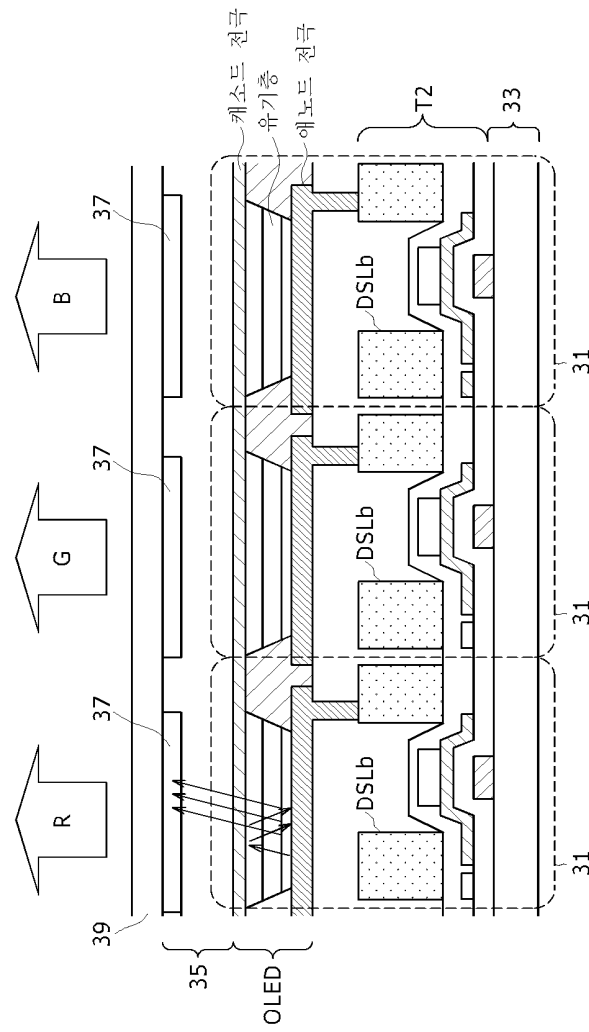


- | | |
|---|--|
|  제1의 금속층 |  제1의 금속층과 제2의 금속층과의 콘택부 |
|  제2의 금속층 |  제2의 금속층과 제3의 금속층과의 콘택부 |
| |  저장용량의 형성영역 |

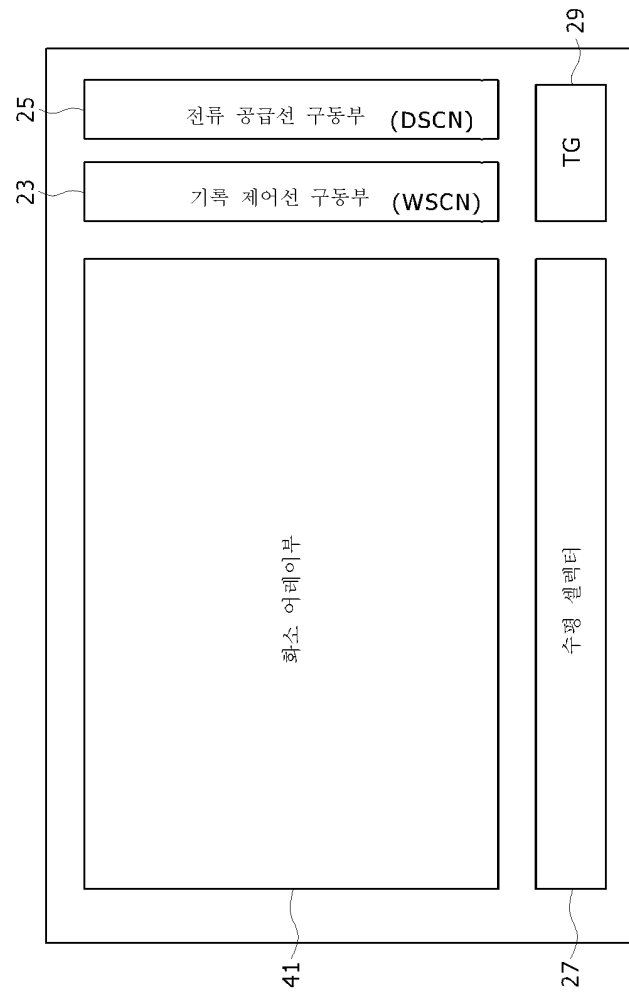
도면28



도면30

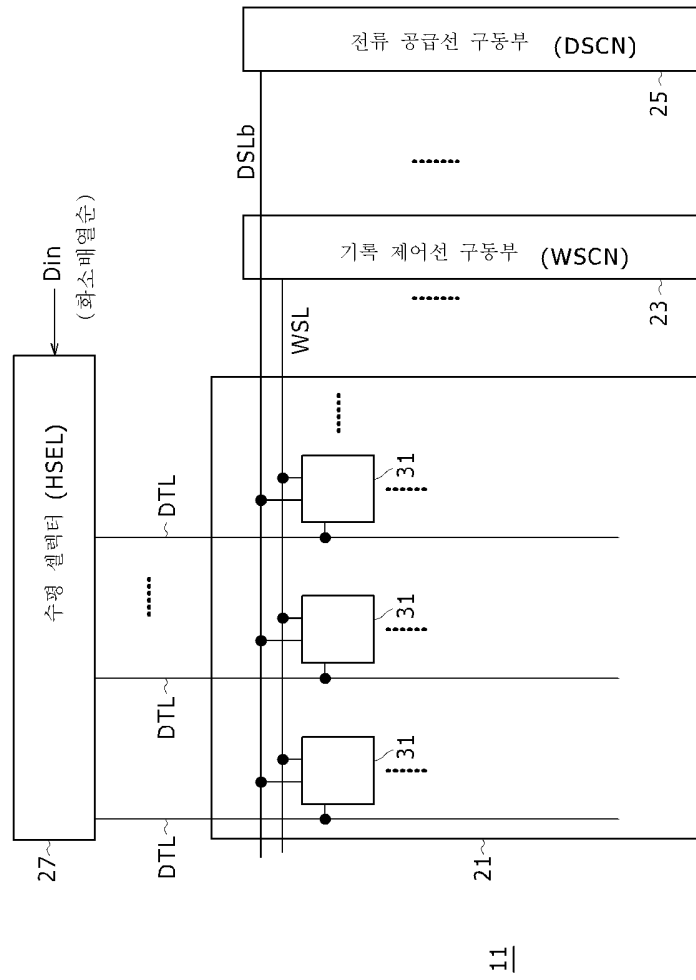


도면31

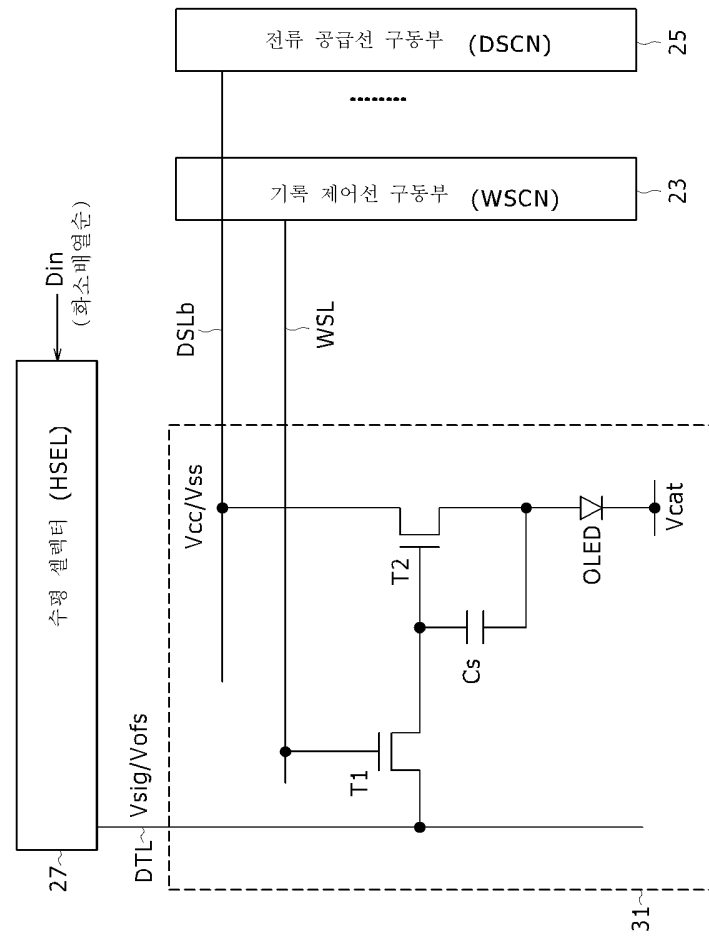


11

도면32

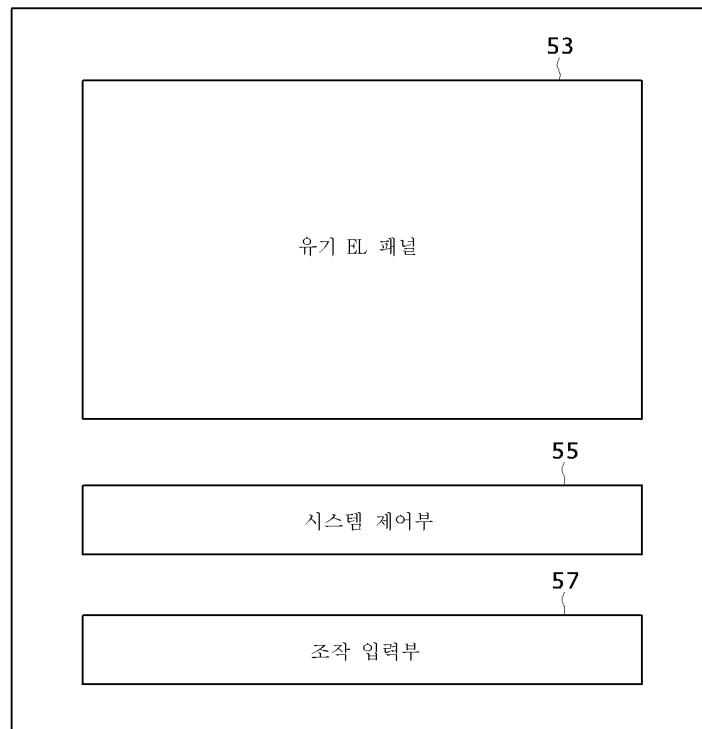


도면33

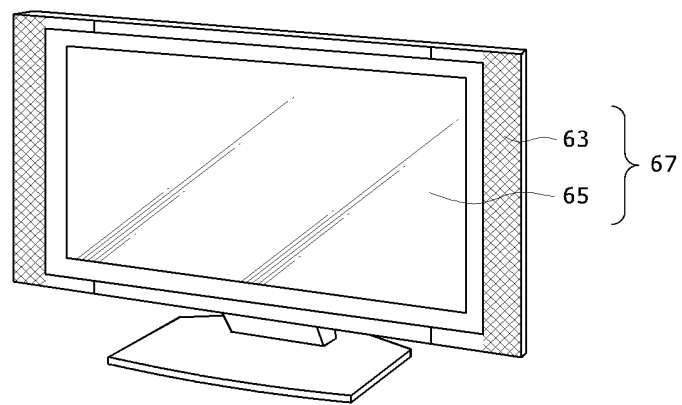


도면34

51

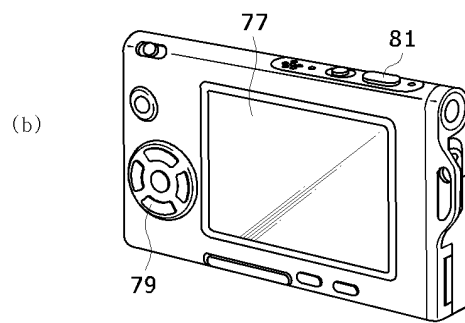
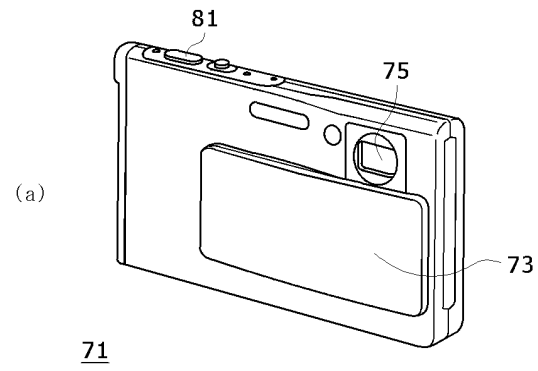


도면35

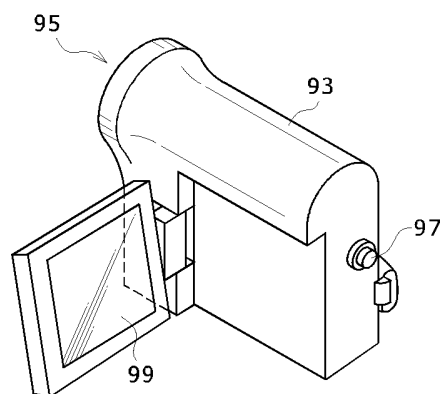


61

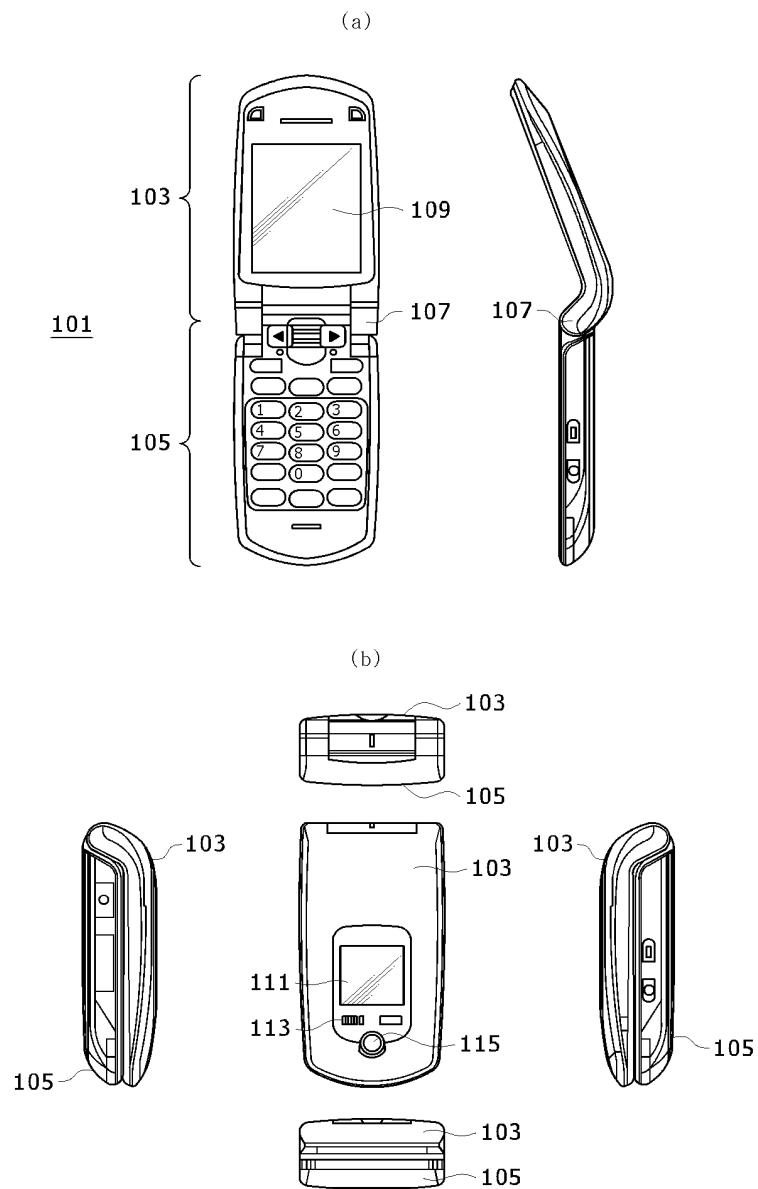
도면36



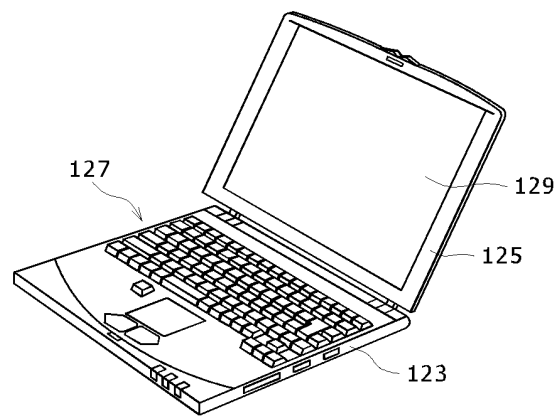
도면37



도면38



도면39



121

专利名称(译)	EL显示板和电子设备		
公开(公告)号	KR1020090055477A	公开(公告)日	2009-06-02
申请号	KR1020080113861	申请日	2008-11-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	TANEDA TAKAYUKI 타네다타카유키 UCHINO KATSUhide 우치노카쓰히데 IIDA YUKIHITO 이이다유키히토 ASANO MITSURU 아사노미쓰루		
发明人	타네다타카유키 우치노카쓰히데 이이다유키히토 아사노미쓰루		
IPC分类号	H05B33/08 H05B33/26 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3291 H01L27/3276 G09G3/3225 G09G3/325 H01L51/5012 H01L27/3248 H01L27/3262 G09G3/3208 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/08 G09G2320/0209 G09G2320/0223 G09G2320/043 G09G2320/045 H01L27/3279 H01L51/52 H01L2251/5315		
代理人(译)	Jangsugil Yijunghui		
优先权	2007307042 2007-11-28 JP		
其他公开文献	KR101569526B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种电致发光显示面板和一种电子设备，通过减少电流供应线和信号线的交叉区域来抑制电流源和信号线的电位变化传播。组成：EL显示面板具有像素结构对应有源矩阵驱动系统，像素结构具有顶部发光结构。EL显示面板包括电流供应线（DSLb），并且电流供应线共同连接到多个像素电路。信号线（DTL）和电流供应线的交叉区域的线宽小于电流供应线的其他区域的线宽。对应于特定行的电流供应线的电位变化的定时在另一行的信号线的电位的写入周期内。ÖKIPO2009

