



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

(11) 공개번호 10-2007-0058332

(43) 공개일자 2007년06월08일

(21) 출원번호 10-2006-0119790

(22) 출원일자 2006년11월30일

심사청구일자 2006년11월30일

(30) 우선권주장 JP-P-2005-00348486 2005년12월01일 일본(JP)

(71) 출원인 도시바 마쯔시따 디스플레이 테크놀로지 컴퍼니, 리미티드  
일본 도쿄도 미나토꾸 4쵸메 고난 1-8

(72) 발명자 나카무라 노리오  
일본 도쿄도 미나토꾸 고난 4쵸메 1-8 도시바 마쯔시따디스플레이 테크  
놀로지 컴퍼니, 리미티드 지적재산부 내  
다카하라 히로시  
일본 도쿄도 미나토꾸 고난 4쵸메 1-8 도시바 마쯔시따디스플레이 테크  
놀로지 컴퍼니, 리미티드 지적재산부 내

(74) 대리인 구영창  
장수길  
이중희

전체 청구항 수 : 총 8 항

(54) EL 표시 장치와 EL 표시 장치의 구동 방법

(57) 요약

도 4a에 도시하는 바와 같이 소스 드라이버 IC(회로)(14)는, 프로그램 전류(리셋 전류)를 인가하기 전에 리셋 동작을 행한다. 리셋 동작에서는, 스위치(SW2, SW4, SW5)는 오픈 상태로 설정되고, 스위치(SW3)는 클로즈되어, 콘덴서(52)에 그라운드 전위가 인가된다. 구동용 트랜지스터(11a)는, 리셋 전류(Ia)를 흘리도록 게이트 단자 전위를 변화시킨다. 콘덴서(52)의 a부에는, 구동용 트랜지스터(11a)의 게이트 단자에 대한 리셋 전위(Va)가 읽어내어진다. 다음으로 도 4b에 도시하는 바와 같이, 전압 계조 회로(20)로부터 계조 전압(Vx)을 출력하고, 리셋 전압(Va)에 계조 전압(Vx)을 가산 또는 감산하여, 목표 계조 전압(Vc)을 화소(16)에 인가한다. 도 4c는 화상 표시 상태이다. 구동용 트랜지스터(11a)가 EL 소자(15)에, 프로그램된 목표 계조 전압(Vc)을 전압-전압 변환하여 전류를 공급한다.

대표도

도 4

## 특허청구의 범위

### 청구항 1.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,  
소정의 정전류를 발생시키는 정전류 회로와,  
계조 전압을 발생시키는 계조 전압 회로를 구비하고,  
상기 정전류 회로가 발생하는 상기 정전류는, 소스 신호선을 통해 상기 화소에 공급되고,  
상기 계조 전압 회로가 발생하는 상기 계조 전압은 상기 소스 신호선을 통해 상기 화소에 공급되는 EL 표시 장치.

### 청구항 2.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치의 구동 방법으로서,  
상기 EL 표시 장치는,  
소정의 정전류를 발생시키는 정전류 회로와,  
계조 전압을 발생시키는 계조 전압 회로를 구비하고,  
상기 화소가, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 스위칭용 트랜지스터를 갖고 있으며,  
상기 EL 표시 장치의 구동 방법은,  
상기 정전류 회로가 발생하는 상기 정전류를, 상기 소스 신호선을 통해 상기 화소에 인가하는 스텝과,  
상기 정전류가 상기 소스 신호선에 인가된 상태에서, 상기 소스 신호선의 전위를 취득하는 스텝과,  
상기 취득한 전위와 상기 계조 전압을 가산 또는 상기 취득한 전위로부터 상기 계조 전압을 감산하고, 상기 가산 또는 감산의 결과를 상기 소스 신호선을 통해 상기 화소의 상기 구동용 트랜지스터에 인가하는 스텝을 구비한 EL 표시 장치의 구동 방법.

### 청구항 3.

제2항에 있어서,  
상기 정전류를 상기 화소에 인가하는 기간 또는 상기 기간의 전에,  
상기 소스 신호선 또는 상기 화소에 프리차지 전압을 인가하는 EL 표시 장치의 구동 방법.

### 청구항 4.

제2항에 있어서,

정전류 회로는, 복수의 단위 트랜지스터로 구성되어 있는 EL 표시 장치의 구동 방법.

#### 청구항 5.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로를 구비하고,

상기 화소는, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 상기 구동용 트랜지스터의 게이트 단자와 접속된 콘덴서와, 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 제1 스위칭용 트랜지스터와, 상기 콘덴서를 통해 상기 구동용 트랜지스터에 상기 계조 전압을 인가하는 제2 스위칭용 트랜지스터를 갖는 EL 표시 장치.

#### 청구항 6.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로와,

상기 화소에 상기 정전류를 공급하는 제1 소스 신호선과,

상기 화소에 상기 계조 전압을 공급하는 제2 소스 신호선을 구비하고,

상기 화소는, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 상기 구동용 트랜지스터의 게이트 단자와 접속된 콘덴서와, 상기 제1 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 제1 스위칭용 트랜지스터와, 상기 제2 소스 신호선과 콘덴서와 전기 경로를 형성하는 제2 스위칭용 트랜지스터를 갖는 EL 표시 장치.

#### 청구항 7.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로와,

콘덴서와,

상기 화소에 상기 정전류를 공급하는 소스 신호선을 구비하고,

상기 계조 전압은, 상기 콘덴서를 통해 상기 소스 신호선에 인가되는 EL 표시 장치.

#### 청구항 8.

EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 표시부와,

상기 EL 소자의 구동용 트랜지스터에 리셋 전류를 출력하는 정전류 출력 회로와,

상기 리셋 전류를 인가한 상태에서 상기 구동용 트랜지스터의 게이트 단자 전위를 취득하는 전압 유지 회로와,

영상 신호에 대응하는 계조 전압을 출력하는 계조 전압 회로와,

상기 게이트 단자 전위와, 상기 계조 전압을 가산 또는 상기 게이트 단자 전위로부터 상기 계조 전압을 감산하고, 상기 가산 또는 감산의 결과를 상기 구동용 트랜지스터의 게이트 단자에 인가하는 전압 인가 회로를 구비하는 EL 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 유기 또는 무기 일렉트로루미네센스(EL) 소자 등을 이용한 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치)의 구동 방법, 구동 회로, 표시 장치에 관한 것이다. 또한, 이들 구동 회로를 이용한 표시 패널(표시 장치) 등에 관한 것이다.

전기 광학 변환 물질로서 유기 일렉트로루미네센스(EL) 재료 또는 무기 EL 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는, 화소에 기입되는 전류에 따라 발광 휘도가 변화한다. EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. EL 표시 패널은, 액정 표시 패널에 비해 화상의 시인성이 높고, 발광 효율이 높으며, 백 라이트가 불필요하고, 응답 속도가 빠르다는 등의 이점을 갖는다.

액티브 매트릭스 방식의 유기 EL 표시 패널은, 특허 문헌 1에 개시되어 있다. 이 표시 패널의 한 화소의 등가 회로를 도 3에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(구동용 트랜지스터)(11a), 제2 트랜지스터(스위칭용 트랜지스터)(11b) 및 축적 용량(컨덴서)(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로루미네센스(EL) 소자이다.

도 3의 화소 구성을 구동하는 드라이버 회로는, 전압의 강약으로 나타내어진 영상 신호를 출력한다. 드라이버 회로는, 액정 표시 패널을 구동하는 드라이버 회로와 구성이 유사하다. 드라이버 회로로부터, 영상 신호로서의 전압 신호가 소스 신호선(18)에 인가된다. 인가된 전압 신호가 화소(16)에 인가되어 컨덴서(19)에 유지된다.

본 명세서에서는, EL 소자(15)에 전류를 공급하는 트랜지스터(11a)를 구동용 트랜지스터라고 부른다. 또한, 도 3의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위칭용 트랜지스터라고 부른다.

#### 발명이 이루고자 하는 기술적 과제

유기 EL 표시 패널은, 저온 또는 고온 폴리실리콘으로 이루어지는 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는, 폴리실리콘 트랜지스터 어레이의 트랜지스터 특성에 편차가 있으면, 표시 얼룩이 발생한다.

도 3은 전압 프로그램 방식의 화소 구성이다. 또한, 전압 프로그램 방식이란, 전압의 크기 또는 강약으로 나타내어지는 영상 신호 등의 전압 신호(프로그램 전압)를 데이터 신호선, 소스 신호선 또는 화소 등에 인가하고, 화소의 트랜지스터 등에서 전압 신호를 전류 신호로 변환하여 EL 소자에 인가하는 구성 또는 회로 또는 구동 방법을 말한다.

전류 프로그램 방식이란, 전류의 크기 또는 강약으로 나타내어지는 영상 신호 등의 전류 신호(프로그램 전류)를 데이터 신호선, 소스 신호선 또는 화소 등에 인가하고, 화소의 트랜지스터 등에서 인가한 전류 신호를 그대로 EL 소자에 인가하는 구성 또는 회로 또는 구동 방법을 말한다.

EL 소자에 유입하는 전류, EL 소자로부터 유출하는 전류를 모두 인가라고 부른다. 또한, EL 소자를 구동하는 것도, 전류를 인가하거나 EL 소자에 전류를 공급하는 것과 같은 뜻으로 사용하는 경우가 있다. 또는 전류 프로그램 방식이란, 인가한 전류 신호에 거의 비례한 전류 신호 또는 인가한 전류에 소정의 변환 처리를 행한 전류 신호(프로그램 전류)를 직접적 또는 간접적으로 EL 소자에 인가하는 구성 또는 회로 또는 구동 방법을 말한다.

도 3에 도시하는 화소 구성에서는, 전압의 강약으로 나타내어진 영상 신호가 구동용 트랜지스터(11a)에서 전류 신호로 변환된다. 따라서, 트랜지스터(11a)에 특성 편차가 있으면, 변환되는 전류 신호에도 편차가 발생한다. 통상, 트랜지스터(11a)는 50% 이상의 특성 편차가 있다. 도 3의 구성에서는 특성 편차에 대응한 표시 얼룩이 발생하는 과제가 있다. 그러나, 전압 프로그램 방식은, 저계조 영역, 고계조 영역의 어느 영역에 있어서도, 소스 신호선 등의 충방전 능력이 높아, 기입 부족에 의한 표시 얼룩의 발생은 거의 없다.

상기 트랜지스터의 특성 편차에 의한 표시 얼룩은, 전류 프로그램 방식의 구성을 채용함으로써 저감시킬 수 있다. 그러나, 전류 프로그램 방식은, 저계조 영역에서의 구동 전류가 작고, 소스 신호선(18)의 기생 용량에 의해 양호하게 구동할 수 없다는 과제가 있었다.

본 발명은, 상기 종래의 과제를 고려하여, 전체 계조 영역에서 종래와 비교하여 기입 부족이 발생하기 어려워, 트랜지스터의 특성 편차에 의한 표시 얼룩을 종래에 비해 저감시킬 수 있는 EL 표시 장치, 및 EL 표시 장치의 구동 방법을 제공하는 것을 목적으로 한다.

### 발명의 구성

상기 본 발명의 목적을 달성하기 위해,

제1의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로를 구비하고,

상기 정전류 회로가 발생하는 상기 정전류는, 소스 신호선을 통해 상기 화소에 공급되고,

상기 계조 전압 회로가 발생하는 상기 계조 전압은 상기 소스 신호선을 통해 상기 화소에 공급되는, EL 표시 장치이다.

또한, 제2의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치의 구동 방법으로서,

상기 EL 표시 장치는,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로를 구비하고,

상기 화소가, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 스위칭용 트랜지스터를 갖고 있으며,

상기 EL 표시 장치의 구동 방법은,

상기 정전류 회로가 발생하는 상기 정전류를, 상기 소스 신호선을 통해 상기 화소에 인가하는 스텝과,

상기 정전류가 상기 소스 신호선에 인가된 상태에서, 상기 소스 신호선의 전위를 취득하는 스텝과,

상기 취득한 전위와 상기 계조 전압을 가산 또는 상기 취득한 전위로부터 상기 계조 전압을 감산하고,

상기 가산 또는 감산의 결과를 상기 소스 신호선을 통해 상기 화소의 상기 구동용 트랜지스터에 인가하는 스텝을 구비한, EL 표시 장치의 구동 방법이다.

또한, 제3의 본 발명은, 상기 정전류를 상기 화소에 인가하는 기간 또는 상기 기간의 전에,

상기 소스 신호선 또는 상기 화소에 프리차지 전압을 인가하는, 상기 제2의 본 발명의 EL 표시 장치의 구동 방법이다.

또한, 제4의 본 발명은, 정전류 회로는, 복수의 단위 트랜지스터로 구성되어 있는, 상기 제2의 본 발명의 EL 표시 장치의 구동 방법이다.

또한, 제5의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로를 구비하고,

상기 화소는, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 상기 구동용 트랜지스터의 게이트 단자와 접속된 콘텐서와, 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 제1 스위칭용 트랜지스터와, 상기 콘텐서를 통해 상기 구동용 트랜지스터에 상기 계조 전압을 인가하는 제2 스위칭용 트랜지스터를 갖는, EL 표시 장치이다.

또한, 제6의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로와,

상기 화소에 상기 정전류를 공급하는 제1 소스 신호선과,

상기 화소에 상기 계조 전압을 공급하는 제2 소스 신호선을 구비하고,

상기 화소는, 상기 EL 소자에 구동 전류를 공급하는 구동용 트랜지스터와, 상기 구동용 트랜지스터의 게이트 단자와 접속된 콘텐서와, 제1 소스 신호선과 상기 구동용 트랜지스터 간에 전류 경로를 형성하는 제1 스위칭용 트랜지스터와, 상기 제2 소스 신호선과 콘텐서와 전기 경로를 형성하는 제2 스위칭용 트랜지스터를 갖는, EL 표시 장치이다.

또한, 제7의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 EL 표시 장치로서,

소정의 정전류를 발생시키는 정전류 회로와,

계조 전압을 발생시키는 계조 전압 회로와,

콘텐서와,

상기 화소에 상기 정전류를 공급하는 소스 신호선을 구비하고,

상기 계조 전압은, 상기 콘텐서를 통해 상기 소스 신호선에 인가되는, EL 표시 장치이다.

또한, 제8의 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 표시부와,

상기 EL 소자의 구동용 트랜지스터에 리셋 전류를 출력하는 정전류 출력 회로와,

상기 리셋 전류를 인가한 상태에서 상기 구동용 트랜지스터의 게이트 단자 전위를 취득하는 전압 유지 회로와,

영상 신호에 대응하는 계조 전압을 출력하는 계조 전압 회로와,

상기 게이트 단자 전위와, 상기 계조 전압을 가산 또는 상기 게이트 단자 전위로부터 상기 계조 전압을 감산하고, 상기 가산 또는 감산의 결과를 상기 구동용 트랜지스터의 게이트 단자에 인가하는 전압 인가 회로를 구비하는, EL 표시 장치이다.

또한, 본 발명의 드라이버 회로 및 EL 표시 장치는, 전류 발생 회로와, 전압발생 회로를 구비한다. 전류 발생 회로가 출력하는 정전류는 EL 소자를 구동하는 구동용 트랜지스터에 인가된다(전류 프로그램). 정전류를 구동용 트랜지스터에 인가함으로써, 구동용 트랜지스터의 게이트 전압은, 인가된 정전류를 홀리도록 전류 프로그램된다. 이 정전류를 리셋 전류(Ia)라고 부른다. 리셋 전류(Ia)는 기준으로 되는 전류의 의미로서 이용하는 경우에도 있다.

소스 드라이버 회로(14)로부터 출력되는 전류 또는 구동용 트랜지스터 등에 기입하는 전류를 프로그램 전류라고 부른다. 구동용 트랜지스터(11a) 등에 기준으로 되는 전류를 홀리도록 설정하는 전류를 리셋 전류(Ia)라고 부른다. 따라서, 소스 드라이버 회로(14)로부터 출력되는 전류가 리셋 전류인 경우에는, 프로그램 전류=리셋 전류로 된다.

이상과 같이 정전류를 인가한 상태 또는 변화시킨 상태를 전류 리셋 상태라고 부른다. 또한, 구동용 트랜지스터가 정전류를 홀리고 있을 때에, 구동용 트랜지스터의 게이트 단자에 인가되는 전압 또는 발생하는 전압을 리셋 전압(Va)이라고 부른다. 또한, 일정한 기준으로 되는 전압을 리셋 전압(Va)이라고 부르는 경우에도 있다.

전압 발생 회로는, EL 표시 장치에 입력되는 영상 신호에 대응한 계조 전압(Vx) 또는 목표 계조 전압(Vc)을 출력한다. 계조 전압 등은 리셋 전압(Va)을 기준으로 하여, 구동용 트랜지스터의 게이트 단자에 인가된다(전압 프로그램). 예를 들어, 리셋 전압(Va)이 3V이면, 3V의 리셋 전압(Va)을 기준으로 하여  $\pm$ 의 계조 전압(Vx)을 인가한다. Vx=0이면, 구동용 트랜지스터(11a)는, 전류 프로그램된 리셋 전류(Ia)를 발광 전류로서 EL 소자(15)에 흘린다. 즉, 리셋 전압(Va)을 기준으로 하여 EL 소자(15)에 흘리는 전류가 결정된다.

본 발명의 다른 실시예에서의 드라이버 회로 및 EL 표시 장치는, 정전류(리셋 전류(Ia))를 인가한 상태에서 구동용 트랜지스터의 게이트 단자 전압(리셋 전압(Va))을 측정 또는 소정 기간 유지하는 전압 유지 회로를 구비한다.

또한, 전류 프로그램(방식)은, 전류 구동(방식)이라고 부르는 경우에도 있다. 또한, 전압 프로그램(방식)은, 전압 구동(방식)이라고 부르는 경우에도 있다.

또한, 드라이버 회로란, 실리콘 등의 반도체 IC 회로로 구성된 것만이 아니라, 저온 폴리실리콘 등으로 유리 기판에 형성된 것도 의미한다.

#### <발명을 실시하기 위한 최량의 형태>

이하, 본 발명의 EL 표시 장치 및 그 구동 방법의 실시의 형태에 대해 설명한다.

#### (제1 실시예)

도 1은 본 발명의 EL 표시 장치의 구동 회로의 설명도이다. 소스 드라이버 IC(회로)(14)의 출력 단자(21)는 소스 신호선(18)에 접속되어 있다. 각 소스 신호선(18)에는, 복수의 화소(16)가 접속되어 있다. 화소(16)에 EL 소자(15)가 형성되고, 화소(16)는 매트릭스 형상으로 배치되어 있다.

각 출력 단자(21)에는, 정전류 출력 회로(전류 계조 회로)(10), 전압 계조 회로(20)가 구성 또는 형성되어 있다. 또한, 정전류 출력 회로(10)는, 프로그램 전류 등의 계조 전류를 출력할 수 있는 것이 바람직하다. 그러나, 제1 실시예에서는, 정전류 출력 회로(10)는 계조 전류를 출력할 수 있을 필요는 없고, 소정의 정전류(프로그램 전류)를 출력할 수 있는 구성이면 된다.

전류량이 서로 다른 정전류를 출력할 수 있도록 구성함으로써, 계조 전압(Vx)에 대응하여, 리셋 전류(Ia)의 크기를 변화 또는 변경할 수 있다. 또한, 패널 사이즈 또는 소스 신호선(18)의 기생 용량의 크기에 대응시켜 정전류의 크기를 변화 또는 설정할 수 있다. 따라서, 양호하게 전류 프로그램을 실시할 수 있다는 이점이 발휘된다.

각 출력에는 스위치(SW1, SW2, SW3, SW4, SW5)가 형성 또는 배치되어 있다. 또한, 콘덴서(52), 버퍼(53)가 형성 또는 배치되어 있다. 콘덴서(52)는, 직류(DC) 성분을 컷하는 기능을 갖는 것이면 어떤 것이어도 된다. 또한, 전위를 레벨 시프트할 수 있는 것이면 어떤 것이어도 된다.

버퍼(53)는 입력의 a부가 고임피던스이고, 출력의 b부가 저임피던스인 것이면 어떤 것이어도 된다. 예를 들어, 버퍼 앰프, OP 앰프 등이 예시된다. 그 외, 트랜지스터 소자로 에미터 팔로워 회로를 구성하여도 된다.

본 발명의 EL 표시 패널(EL 표시 장치)의 화소(16)의 구조는, 도 2 등에 도시하는 바와 같이, 1개의 화소(16)가 4개의 트랜지스터(11) 및 EL 소자(15)에 의해 형성된다. 적어도, EL 소자(15)를 구동하는 트랜지스터(11a)를 통한 전류의 경로가, 소스 신호선(18)까지 계속될 수 있는 화소 구성이다.

도 2의 화소 구성에서는, EL 소자(15)에 전류를 공급하는 트랜지스터(11a)(구동용 트랜지스터(11a))에 흐르는 전류는, 트랜지스터(11c)를 온(클로즈)시킴으로써 소스 신호선(18)으로 취출할 수 있다. 또는, 적어도, EL 소자(15)를 구동하는 트랜지스터의 게이트 단자에 인가된(인가된) 전압이, 소스 신호선(18)으로부터 관통될 수 있는 화소 구성이다.

도 2의 화소 구성에 있어서는, EL 소자(15)에 전류를 공급하는 트랜지스터(11a)(구동용 트랜지스터(11a))의 게이트 단자 전압은, 트랜지스터(11b, 11c)를 온(클로즈)시킴으로써 소스 신호선(18)으로부터 관통할 수 있다.

도 2의 화소 회로는, 1화소 내에 4개의 트랜지스터(11(11a, 11b, 11c, 11d))를 갖고 있다. 구동용 트랜지스터(11a)의 게이트 단자는 트랜지스터(11b)의 소스 단자에 접속되어 있다. 트랜지스터(11b) 및 트랜지스터(11c)의 게이트 단자는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인 단자는 트랜지스터(11c)의 소스 단자 및 트랜지스터(11d)의 소스 단자에 접속되고, 트랜지스터(11c)의 드레인 단자는 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트 단자는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인 단자는 EL 소자(15)의 애노드 전극(단자)에 접속되어 있다.

또한, 트랜지스터(11)는, P 채널 트랜지스터로 형성되어 있다. P 채널 트랜지스터는, 수명 신뢰성이 높아 바람직하다. 또한, 도 2의 구성에서는, 구동용 트랜지스터(11a)로부터 소스 드라이버 회로(14)로 흐르는 전류(Ia)는 소스 드라이버 회로(14)에 흡입되는 전류로 된다. 소스 드라이버 회로(14)에는, N 채널의 트랜지스터가 형성되어 있다. N 채널의 트랜지스터는, 흡입 전류(Ia)를 양호하게 흡입할 수 있고, 또한, N 채널 트랜지스터는 특성 편차가 적다. 그 때문에, 소스 드라이버 회로(14)를 소형화할 수 있다.

도 2의 화소 구성에서는, 트랜지스터(11b, 11c)의 게이트 단자는, 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b, 11c)는, 게이트 신호선(17a)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다. 트랜지스터(11d)의 게이트 단자는, 게이트 신호선(17b)에 접속되어 있다. 트랜지스터(11d)는, 게이트 신호선(17b)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다.

게이트 드라이버(12)(도 20에서는, 게이트 드라이버 회로(12a, 12b))는, 게이트 신호선(17a, 17b)을 제어한다. 도 20에 도시하는 바와 같이, 표시 영역(184)의 좌단에 게이트 드라이버 회로(12a)를 형성 또는 배치하고, 우단에 게이트 드라이버 회로(12b)를 형성 또는 배치하여도 된다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어하고, 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어한다. 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 각각 내부에 시프트 레지스터 회로가 형성되어 있기 때문에, 독립적으로 동작시킬 수 있다.

도 2에 도시하는 유기 EL의 화소 구성에서는, 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터로서 기능시킨다. 또한, 트랜지스터(11a)는 EL 소자(15)에 전류를 공급하기 위한 구동용 트랜지스터로서 기능시키고 있다.

트랜지스터(11b)는, 듀얼 게이트 이상인 멀티 게이트 구조로 하고 있다. 본 발명의 표시 패널의 화소(16)를 구성하는 트랜지스터(11b)는, 트랜지스터(11a)의 소스-드레인 간의 스위치로서 작용한다. 따라서, 트랜지스터(11b)는, 가능한 한 저리크 전류 특성이 요구된다. 트랜지스터(11b)의 게이트의 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 함으로써 저리크 전류 특성을 실현할 수 있다.

패널을 저비용으로 제작하기 위해서는, 화소를 구성하는 트랜지스터(11)를 모두 P 채널로 형성하고, 게이트 드라이버 회로(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5매가 되어, 저비용화, 고수율화를 실현할 수 있다.

이하, 도 17a 및 도 17b를 이용하여 설명한다. 이하의 설명은, 전류 구동 방식의 화소 구성을 이해하기 위한 설명이다. 본 발명은, 전류 구동 방식의 화소 구성(전류 프로그램할 수 있는 화소 구성)을 갖고 있다. 본 발명은, 화소(16)의 구동용 트랜

지스터(11a)에 프로그램 전류(리셋 전류(Ia))를 흘리고, 프로그램 전류를 흘린 상태에서 구동용 트랜지스터(11a)의 게이트 단자 전위를 측정 또는 일정한 기간 유지하는 것을 특징으로 한다. 또한, 게이트 단자 전위에 계조 전압을 가감산하고, 가감산한 전압을 화소의 구동용 트랜지스터(11a)의 게이트 단자에 기입하는 것을 특징으로 한다.

본 발명의 화소의 동작은 제1 동작과 제2 동작의 2개의 동작에 의해 제어된다. 도 17a 및 도 17b는 도 2의 화소 구성에서의 동작의 설명도이다. 제1 동작은 전류 프로그램의 동작(EL 소자(15)에 흘리는 전류를 설정하는 동작)이다. 또한, 제1 동작은, 전류 리셋 동작, 리셋 전류(Ia)를 인가하여 구동용 트랜지스터(11a)의 게이트 단자의 리셋 전위를 관독하는 전압 관독 동작, 리셋 전압(Va)을 기준(중심 또는 원점)으로 하여 계조 전압 또는 목표 계조 전압을 인가하는 계조 전압 인가 동작으로 대별된다. 제2 동작은, EL 소자(15)에 전류를 흘려, EL 소자(15)가 발광하는 동작이다. 도 17a는, 제1 동작의 설명도이다. 도 17b는 제2 동작의 설명도이다.

이하, 도 1 및 도 17a 및 도 17b를 참조하면서, 본 발명의 EL 표시 패널 및 그 구동 방법에 대해 설명한다.

제1 동작은 EL 소자(15)에 흘리는 전류치를 기억시키는 동작이다. 우선, 소스 드라이버 IC(회로)(14)의 정전류 출력 회로(10)로부터, 소정의 정전류인 리셋 전류(Ia)가 소스 신호선(18)에 인가된다. 정전류 출력 회로(10)의 일례를 도 37에 도시한다.

정전류 출력 회로(10)는, 일례로서 OP 앰프(291)와 트랜지스터(286) 및 저항(R)으로 구성된다. OP 앰프(291)의 +측 단자에는 전자 볼륨(331)이 접속된다. 전자 볼륨(331)은, 디지털 데이터를 아날로그 데이터로 변환하는 DA 변환 회로로서 동작한다. 전자 볼륨(331)의 출력 전압(V)은 설정 데이터(디지털 데이터)에 의해 변경된다. 소스 신호선(18)에 흐르는 전류(Ia)는, 전자 볼륨(331)의 출력 전압(V)을 저항(R)으로 나눈 값으로 된다.

리셋 전류(Ia)의 발생은 정전류 출력 회로(10)에 한정하는 것은 아니고, 소정 또는 일정 범위의 크기의 리셋 전류(Ia)를 발생시킬 수 있는 것이면 어떤 것이어도 된다. 예를 들어, 에미터 팔로워 회로에서도 리셋 전류(Ia)를 발생시킬 수 있다. 또한, 정전류 출력 회로(10)가 발생하는 리셋 전류(Ia)는, 복수의 크기의 리셋 전류(Ia)를 발생시킬 수 있도록 구성하는 것이 바람직하다. 더욱 바람직하게는, 계조 전압의 각각에 대응한 리셋 전류(Ia)를 발생시킬 수 있는 것이 바람직하다.

리셋 전류(Ia)란 전류 0 상태(Ia=0, 전류가 흐르지 않음)도 포함한다. 도 2의 화소 구성에 있어서, 프로그램 전류(Ia)=0으로 하면, 구동용 트랜지스터(11a)는, 전류가 흐르지 않도록 게이트 단자의 전위(콘덴서(19)의 일 단자의 전위)를 변동(가변)시킨다. 이 변동 후의 구동용 트랜지스터(11a)의 게이트 단자의 리셋 전압(Va)은 구동용 트랜지스터(11a)의 특성을 나타내고 있게 된다. 리셋 전류(Ia)=0일 때의 리셋 전압(Va)은, 구동용 트랜지스터(11a)의 동작 개시 전압이다.

소스 드라이버 IC(회로)(14)로부터 소스 신호선(18)에 프로그램 전류(Ia)를 인가하고 있을 때에는, 도 17a에 도시하는 바와 같이, 트랜지스터(11b) 및 트랜지스터(11c)가 온(클로즈)한다. 또한, 트랜지스터(11d)는 오픈 상태로 제어된다. 트랜지스터(11b, 11c, 11d)의 제어는, 게이트 신호선(17a, 17b)에 인가하는 온 오프 신호에 의해 행한다.

도 4a에 도시하는 바와 같이, 소스 드라이버 IC(회로)(14)는, 프로그램 전류(리셋 전류(Ia))를 인가하기 전에, 리셋 동작을 행한다. 리셋 동작에서는, 도 1, 도 4a 내지 도 4c에 도시하는 스위치(SW2, SW4, SW5)는 오픈(오프) 상태로 설정된다. 스위치(SW2, SW3)는 클로즈(온)되어, 콘덴서(52)에 그라운드 전위 또는 소정의 고정 전압이 인가된다. 또한, 스위치(SW1)는 클로즈시킨 상태에서 소스 신호선(18)에 프로그램 전류를 인가하여도 된다.

이상의 동작이 리셋 동작이다. 리셋 동작에서는, 콘덴서(52)의 일 단자(c)에 고정(기지)의 전압을 인가한다. 기지의 전압이란 그라운드 전압도 포함된다. 콘덴서(52)의 용량은, 0.05pF 이상 2pF 이하인 것이 바람직하다.

다음의 전압 관독 동작에서는, 스위치(SW1)를 클로즈시켜, 프로그램 전류(리셋 전류(Ia))(Ia)를 소스 신호선(18)에 인가한다. 이때, 스위치(SW4, SW5)는 오픈 상태로 하고, 스위치(SW2)는 클로즈 상태로 한다(도 4a를 참조).

도 17a 및 도 17b에 나타내는 화소(16)의 구동용 트랜지스터(11a)는, 프로그램 전류(Ia)를 흘리고, 또한, 프로그램 전류(Ia)를 흘리도록 게이트 단자 전위를 변화시킨다. 게이트 단자 전위는, 트랜지스터(11b, 11c)가 클로즈 상태이기 때문에, 소스 신호선(18)에 출력된다(읽어내어진다). 소스 드라이버 IC(회로)(14) 내의 스위치(SW2)가 클로즈되어 있다. 결과적으로 프로그램 전류(리셋 전류)(Ia)를 흘리는 구동용 트랜지스터(11a)의 게이트 단자 전위는, 소스 드라이버 IC(회로)(14)의 a부에 인가되게(읽어내어지게) 된다(도 1 참조).

프로그램 전류(리셋 전류)(Ia)의 크기는, 최대 계조 전류의 1/8 이상 1배 이하의 범위로 되도록 설정하는 것이 바람직하다. 또한, 기입 시간을 단축하기 위해, 최대 계조 전류의 1배 이상 10배 이하로 설정하여도 된다. 최대 계조 전류란, 최대 계조에서의 EL 소자(15)에 흐르는 전류의 크기, 또는 화소(16)에 프로그램되는 프로그램 전류의 크기이다. 예를 들어, 256 계조에서는, 최대 계조 전류는, 255 계조에서 EL 소자(15)에 프로그램되는 전류이다(0 계조로부터 계조 번호는 개시되는 것으로 하고 있다).

프로그램 전류(리셋 전류(Ia))가 작으면, 소스 신호선(18)의 기생 용량을 충전하는 시간에 장시간을 필요로 한다. 그 때문에, 구동용 트랜지스터(11a)의 게이트 전위의 변화가 1 수평 주사 기간(1H 기간)의 처음의 단시간에서는 수렴하지 않는다. 또한, 프로그램 전류(리셋 전류(Ia))가 크면 비교적 구동용 트랜지스터(11a)의 특성 편차의 영향이 화상 표시로서 출현하기 쉬운 저계조 영역에서의 특성 보상이 낮아진다.

이상의 동작에 의해, 콘텐서(52)의 a부에는, 구동용 트랜지스터(11a)의 게이트 단자 전위가 읽어내어진다. 또는, 콘텐서(52)의 a부에 유지된다. 도 1의 실시예에서는, 콘텐서(52)의 a부에 구동용 트랜지스터(11a)의 게이트 단자 전위를 읽어내, 유지하는 것으로 하였다. 본 발명은 이것에 한정하는 것은 아니다. 예를 들어, a부의 전위를 AD(analoge digital) 변환하여, 디지털 데이터로서 취득하여도 된다. 취득한 디지털 데이터는, 소스 드라이버 IC(회로)(14) 내 또는 외부에 형성 또한 구성된 메모리 회로에 보유된다. 물론, 아날로그 데이터의 상태로 일정 기간, 소스 드라이버 IC(회로)(14) 밖 또는 안의 기억 수단 등에 보유시켜도 된다.

다음 동작은, 판독한 전압을 기준(중심 위치 또는 원점 위치)으로 하여 계조 전압을 인가하는 동작이다(도 4b를 참조). 이 동작에서는, 스위치(SW1, SW2, SW3)가 오픈 상태로 되고, 스위치(SW4, SW5)가 클로즈 상태로 제어된다. 콘텐서(52)의 a부에는, 선택한 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압(리셋 전압(Va))이 유지되어 있다(도 4a 참조). 리셋 전류(Ia)를 흘렸을 때에 유지되는 전압을 리셋 전압(Va)이라고 부른다.

게이트 단자 전압은, 구동용 트랜지스터(11a)가, 프로그램 전류(리셋 전류(Ia))를 EL 소자(15)에 흘리는데 필요한 전압이다. c부에 그라운드(GND) 전압이 인가되어 있는 것으로 하면, 콘텐서(52)의 두 전극 간에는, 구동용 트랜지스터(11a)의 게이트 단자 전압이 유지되고 있는 것으로 된다.

OP 앰프(53)의 증폭률(게인)이 1이라고 하면, a부의 전압이 스위치(SW5)를 통해 소스 신호선(18)에 인가되게 된다. 화소(16)의 트랜지스터(11b, 11c)는 선택된 1 수평 주사 기간(1H 기간), 클로즈하고 있다. 이 상태에서는, 읽어내어진 구동용 트랜지스터(11a)의 게이트 단자 전압이, 다시 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되게 된다.

따라서, 구동용 트랜지스터(11a)는 리셋 전류(Ia)에 해당하는 전류를 EL 소자(15)에 흘린다. 이상의 상태는 구동용 트랜지스터(11a)의 특성 편차를 보상하여, 높은 정밀도로 EL 소자(15)에 리셋 전류(Ia)(프로그램된 전류)를 흘리게 된다.

또한, 리셋 전압(Va)은, 구동용 트랜지스터(11a)의 특성에 따라 각 화소에서 상이한 것은 물론이다. 그러나, EL 소자(15)에 흘리는 전류는 높은 정밀도로 프로그램 전류(리셋 전류(Ia))가 인가된다.

전압 계조 회로(20)는, 각 계조에 대응하는 계조 전압(Vx)을 출력한다. 계조 전압(Vx)이란, 영상 신호의 계조 번호에 대응하는 전압이다. 영상 신호라고 생각해도 된다. 계조 전압(Vx)을 그대로 또는 일정 처리(비례 처리, 시프트 처리, 가감산 처리 등)를 행하고, 구동용 트랜지스터(11a)에 프로그램 전압으로서 인가함으로써 화상 표시를 행할 수 있다.

계조 전압(Vx)은, 스위치(SW4)를 통해 콘텐서(52)의 c부에 인가된다. 콘텐서(52)의 a부의 전위(Va)는, 전압 계조 회로(20)가 출력하는 계조 전압(Vx)분이 시프트된다. 따라서, a부의 전위는, 이상적으로는 Va+ Vx로 된다.

Va+ 계조 전압(Vx)은, 게인 1인 OP 앰프(53)에서 저임피던스로 되어 출력된다. Va+ 계조 전압(Vx)은, 스위치(SW5), 출력 단자(21)를 통해 소스 신호선(18)에 인가되고, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 따라서, 구동용 트랜지스터(11a)는, Va+ Vx에 대응하는 전류를 EL 소자(15)에 인가한다.

도 1에서는, OP 앰프(53)는, 게인 1로 하였지만 이것에 한정하는 것은 아니며, 1 이외이어도 된다. 예를 들어, 2배이면, OP 앰프(53)는 a부에 인가된 전압을 2배하여 소스 신호선(18)에 인가한다. 또한, 인가된 a부의 전압 극성의 반전 동작을 행하여도 된다. 또한, 계조 전압(Vx)이란, 각 계조에 대한 임의의 전압이다. 계조 전압(Vx)은, 리셋 전압(Va)을 중심으로 하여 발생 또는 설정한다. 계조 전압(Vx)은, 플러스 방향으로 설정하여도 되고, 마이너스 방향으로 설정하여도 된다. 또한, 구성에 따라, ± 방향으로 설정하여도 된다.

도 1에서는, OP 앰프(53)를 사용하는 것으로 하였지만 이것에 한정하는 것은 아니다. 입력 임피던스가 높고, 출력 임피던스가 낮은 것이면 어떤 것이어도 된다. 예를 들어, 도 9는 트랜지스터에 의한 에미터 팔로워 회로(91)를 이용한 구성예이다. 트랜지스터(Q)와 저항(R)로 에미터 팔로워 회로(91)가 구성되어 있다.

a부로부터 트랜지스터(Q)의 게이트를 본 임피던스는 높고, b부의 출력 임피던스는 낮아져 있다. 따라서, 콘덴서(52)의 전위를 안정되게 유지할 수 있어, 스위치(SW5)를 통해 인가하는 전압에 의해 소스 신호선(18)을 양호하게 충방전할 수 있기 때문에, 화소(16)의 구동용 트랜지스터(11a)에 양호하게 계조 전압을 인가할 수 있다.

도 1에서, 정전류 출력 회로(10)는, 각 소스 신호선(18)에 대응하여 소스 드라이버 IC(회로)(14) 내에 배치 또는 형성하는 것으로 하였지만, 본 발명은 이것에 한정하는 것은 아니다. 예를 들어, 도 38에 도시하는 바와 같이, 1개의 전류 발생 회로(413)가 발생하는 정전류(리셋 전류(Ia))를, 스위치 회로(선택 절환 회로)에 의해, 복수의 전류 유지 회로(501)(도 49, 도 50 및 그 설명을 참조)에 인가하는 구성이 예시된다. 전류 유지 회로(501)는 각 소스 신호선(18)에 접속 또는 배치되어 있다.

전류 유지 회로(501)는, 화소(16)에 리셋 전류(Ia)를 인가한다. 전류 유지 회로(501)는, 리셋 전류(Ia)를 화소(16)에 인가함과 함께, 화소(16)의 구동용 트랜지스터(11a)의 리셋 전압(Va)을 취득하는 기능도 갖는다. 각 소스 신호선(18)에 인가되어 있는 리셋 전압(Va) 또는 각 전류 유지 회로(501)가, 취득 또는 유지한 리셋 전압(Va)은, 스위치 회로(381)의 제어에 의해 읽어내어진다. 읽어낸 리셋 전압(Va)으로부터, 목표 계조 전압(Vc)을 구해 각 화소(16)에 인가한다.

또한, 정전류 출력 회로(10) 또는 전류 발생 회로(413)가 출력하는 리셋 전류(Ia)의 크기는, 전류 유지 회로(501) 등으로 증폭시켜도 된다. 증폭 등은 OP 앰프, 차동 증폭 회로 등으로 용이하게 실현할 수 있다. 증폭이란 1 이상의 경우를 의미하지만, 본 명세서에서는 1 이하의 경우에도 포함된다.

전류 유지 회로(501)는 어레이 기판(382)에 저온 폴리실리콘 등의 폴리실리콘 기술을 이용하여 형성된다. 전류 발생 회로(413)도 어레이 기판(382)에 형성하여도 되지만, 전류 정밀도가 요망되는 경우에는, 반도체 칩으로 형성된 소스 드라이버 회로(14) 내에 형성하는 것이 바람직하다.

상기 정전류 출력 회로(10) 또는 전류 발생 회로(413)의 출력 전류(리셋 전류(Ia))는 스위치 회로(381)에 의해 절환되어, 각 소스 신호선(18) 또는 각 출력 단자(21)에 형성 또는 구성된 전류 유지 회로(501)에 인가해도 된다. 도 50 등에 도시하는 바와 같이, 전류 유지 회로(501)는, 커런트 미러 회로 또는 커런트 카피어 회로로 구성되어 있다.

정전류 출력 회로(10) 또는 전류 발생 회로(413)가 출력하는 리셋 전류(Ia)는, 일정치의 리셋 전류(Ia)에 한정하는 것은 아니다. 64 계조 또는 256 계조 등, 복수 종류의 계조수, 서로 다른 크기의 전류를 출력할 수 있는 것이어도 된다. 또한, 리셋 전류(Ia)는, 수평 동기 신호(HD), 수직 동기 신호(VD)마다 그 값을 변화시킬 수 있도록 구성하여도 된다. 또한, 도트 클럭에 동기하여 1 화소마다 그 값을 변화시킬 수 있도록 구성해도 된다. 또한, 리셋 전류(Ia)는, 도 52와 같은 패널 온도 검출 회로를 이용하여, 패널 온도에 상관하여 변화시켜도 된다.

계조 전압(Vx)은 계조 번호로 치환하여도 된다. 예를 들어, 리셋 전압(Va)이 256 계조의 128 계조째로 하고,  $V_x = V_c - V_a$ 가 64 계조분의 전압에 해당하는 것으로 한다. 전압 계조 회로(20)가  $V_x$ 를 출력함으로써,  $V_c$ 는  $128 + 64 = 192$  계조로 된다.  $V_x$ 가 한 방향으로 작용하는 것으로 하고,  $V_a - V_x$ 가 64 계조분의 전압에 해당하는 것으로 하면, 전압 계조 회로(20)가  $V_x$ 를 출력함으로써,  $V_b$ 는  $128 - 64 = 64$  계조로 된다. 도 7에서는,  $V_b$ 에 대응하는 전류는  $I_b$ 이다. 물론, 계조 전압( $V_x$ )은 전압이라면 어떤 단위, 크기의 것이어도 되는 것은 물론이다.

이상의 계조 전압( $V_x$ )에 의한 EL 소자(15)에 흐르는 전류는, 도 7에 도시된다. 도 7의 실선은, 화소(16)의 구동용 트랜지스터(11a)의 V-I 특성을 나타내고 있다. 도 7에서는, 리셋 전압(Va)에서는, 전류(Ia)가 EL 소자(15)에 흐르는 것으로 하고 있다. 즉, 이상적으로는 리셋 전압(Va)을 구동용 트랜지스터(11a)의 게이트 단자에 인가하면, 리셋 전류(Ia)가 EL 소자(15)에 흐른다. 현실적으로는, 구동용 트랜지스터(11a)의 게이트 단자와 게이트 신호선(17a) 간에 발생하는 관통 전압 등의 영향에 의해 리셋 전류(Ia)와 차이가 있는 전류가 EL 소자(15)에 흐른다. 이 경우에도 본 발명을 적용할 수 있는 것은 물론이다. 본 명세서에서는 이상 상태를 예시하여 설명을 행한다. 또한, 리셋 전압(Va)은 각 구동용 트랜지스터의 특성에 따라 상이하다.

계조 전압( $V_x$ )은, 각 계조에 대응하는 전압이다. 계조 전압은, 리셋 전압(Va)을 중심으로 +측(+ $V_x$ )과 -측(- $V_x$ )으로 변화시킨다. 예를 들어, +측으로 변화시켰을 때, EL 소자(15)에 인가되는 전류는  $I_c$ 이고, -측으로 변화시켰을 때, EL 소자

(15)에 흐르는 전류는 Ib이다. 즉, 전압 계조 회로(20)는, 리셋 전압(Va)을 기준으로 하여 +측 또는 -측의 전압을 가감산 등 하여, a부에 유지시킨다. 물론, 리셋 전압(Va)을 기준으로 하여, 계조 전압(Vx)을 플러스 방향(가산)으로만 설정하여도 된다. 또한, 리셋 전압(Va)을 기준으로 하여, 계조 전압(Vx)을 마이너스 방향(감산)에만 설정하여도 된다. 가산/감산은, 아날로그 전압의 가산/감산에 한정하는 것이 아니고, 디지털 데이터를 가산/감산함으로써 실현하여도 된다.

전압 계조 회로(20)는, 반도체 IC 칩으로 형성하는 것에 한정되지 않는다. 어레이 기판(382)에 폴리실리콘 기술을 이용하여 형성해도 된다. 그 경우에는, 점순차 회로, 선순차 회로로 구성한다. 또한, 도 35에 도시하는 바와 같이 샘플 홀드 회로 등을 이용하여 구성해도 된다.

전압 계조 회로(20)가 출력하는 전압은 0이어도 되는 것은 물론이다. 이 경우에는, 정전류 출력 회로(10)의 출력 전류는 0으로 한다(정전류 출력 회로(10)는 불필요하다). 따라서, 본 발명은, 정전류 출력 회로(10)를 생략할 수 있다.

또한, 각 화소의 구동용 트랜지스터의 리셋 전압(Va)을 미리 측정해 두고, 측정된 리셋 전압(Va)을 이용하여, 각 화소에 인가하는 계조 전압(Vx)을 보정해도 된다.

이 경우에는, 리셋 전압(Va)을 측정할 때에, 정전류 출력 회로(10) 등이 출력하는 리셋 전류(Ia)가 필요할 뿐이고, 화상 표시 상태에서는 정전류 출력 회로(10)는 불필요하다. 따라서, 리셋 전류(Ia)는 별도 소스 드라이버 IC(14)의 외부에 배치한 회로로부터 공급하면 된다.

또한, 리셋 전압(Va)은 간접적으로 광학적으로 측정할 수 있다. EL 표시 장치를 전압 구동하면, 각 구동용 트랜지스터의 특성 편차는 얼룩으로서 광학적으로 표시되기 때문이다. 광학적으로 표시된 얼룩을 측정하면 용이하게 각 화소의 구동용 트랜지스터 리셋 전압(Va) 또는 그와 비슷한 전압을 구할 수 있다. 또한, 목표 계조 전압(Vc), 계조 전압(Vx)을 보정할 수 있다.

해당하는 선택 화소(16)의 게이트 신호선(17a)에 온 전압을 인가한다. 게이트 신호선(17a)에 온 전압을 인가함으로써, 구동용 트랜지스터(11a)는, EL 소자(15)에 흐리는 전류가 0으로 되도록, 게이트 단자 전위를 변동시킨다. 이 EL 소자(15)에 흐리는 전류가 0으로 되는 전압(Va)가, OP 앰프(53)의 a부에 유지된다. 전압 계조 회로(20)가 +측의 전압을 출력하고, +측의 전압과 a부에 유지된 전압이 가산되어 OP 앰프(53)의 b부에 출력된다(도 11을 참조).

도 11에 도시하는 바와 같이, 정전류 출력 회로(10)로부터 소스 신호선(18)에 흐리는 전류를 0으로 하고, 구동용 트랜지스터(11a)가 EL 소자(15)에 흐리는 전류가 0으로 되도록 동작한 후의 소스 신호선(18)의 전위(V0)를 측정한다. V0은 리셋 동작한 후의 전압이다. 리셋 전압 Va=V0을 구동용 트랜지스터(11a)의 게이트 단자에 인가하여도 EL 소자(15)에는 전류는 흐르지 않는다. 리셋 전압(V0)을 기준으로 하여 계조 전압(Vx)을 인가하면, EL 소자(15)에 전류(Ie)가 흐른다.

도 4c, 도 17b에 도시하는 제2 동작은, EL 소자(15)에 전류를 인가하는 제2 동작이다. 제2 동작은, 도 2에서는, 구동용 트랜지스터(11a)의 게이트 단자에 인가된 전압에 기초하여, 구동용 트랜지스터(11a)가 EL 소자(15)에 전류(Ie)를 인가한다. 각 화소(16)의 EL 소자(15)는 인가된 전류(Ie)에 의해 발광 동작한다.

이상의 동작은, 게이트 드라이버 회로(12a)가 순차적으로, 화소행을 선택함으로써 실시된다. 즉, 1 수평 주사 기간에 화소행을 선택한다. 우선, 1 수평 주사 기간의 처음에, 선택한 화소행에 리셋 전류(Ia)를 인가한다. 리셋 전류(Ia)를 인가한 상태에서, 상기 구동용 트랜지스터(11a)가 리셋 전류(Ie)를 흘리기 위해 필요한 리셋 전압(Va)을 판독한다. 또는 그 리셋 전압(Va)을 a부에 유지시킨다.

다음으로, 리셋 전압(Va)에 계조 전압(Vx)을 가감산한다. 가감산된 전압은, 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 이상으로 1 수평 주사 기간이 완료한다. 선택된 화소행은, 다음의 1 수평 주사 기간 이후의 소정의 기간의 동안, 구동용 트랜지스터로부터 EL 소자(15)에 전류가 공급되어 EL 소자(15)가 발광한다.

다음의 1 수평 주사 기간에서는, 다음 인접한 화소행이 선택된다. 1 수평 주사 기간에 화소행을 선택하고, 수평 주사 기간의 처음에 선택한 화소행에 리셋 전류(Ia)를 인가하고, 상기 구동용 트랜지스터(11a)가 리셋 전류(Ia)를 흘리기 위해 필요한 Va를 판독한다.

다음으로 리셋 전압(Va)에 계조 전압을 가감산하여, 구동용 트랜지스터(11a)의 게이트 단자에 인가한다. 이상으로 1 수평 주사 기간이 완료한다.

각 화소(16)에 인가하는 리셋 전류(Ia)의 크기는, 각 화소(16)의 EL 소자(15)에 흐르는 전류(Ie)의 크기, 재기입 전류차, 점등 주기 등에 대응하여, 가변 또는 변화 또는 조정하여도 된다. 또한, 표시 영역(184) 전체에서 사용하는 최대 전류에 대한 각각의 화상 표시에서 사용하는 전류의 비율(점등률)에 대응하여 가변 또는 변화 또는 조정하여도 된다.

특히 최대치가 100%로서, 점등률이 25% 이하의 경우에, 리셋 전류(Ia)를 증가시키는 것이 바람직하다. 즉, 점등률에 대응하여 리셋 전류(Ia)의 크기를 변화(제어)한다.

각 화소(16)의 EL 소자(15)에 흘리는 전류의 크기, 재기입하는 전류차, 점등 주기 등에 대응하여, OP 앰프(53)의 앰프 배율을 변화시켜도 된다. 또한, 리셋 전류(Ia)를 인가하고 있는 기간을 가변해도 된다.

또한, 각 화소(16)의 EL 소자(15)에 흘리는 전류의 크기, 재기입하는 전류차, 점등 주기 등에 대응하여, 전압 게조 회로(20)가 출력하는 게조 전압(Vx)의 증폭률을 변화시켜도 된다. 또한, 리셋 전압(Va), 리셋 전압(V0)에 대해 일정량의 전압을 이용하여 보정하고, 보정한 Va, V0을 기준 전압으로서 사용하여도 된다. 또한, 스위치(SW2) 등은 생략하여도 된다.

본 발명에서는 리셋 전압(Va)을 구하거나 취득하는 것으로 하고 있지만, 이것에 한정하는 것은 아니다. 리셋 전압(Va)과 비슷한 것이면 된다. 예를 들어, 리셋 전압(Va)과 비례 관계에 있는 전압, 일정한 레벨 시프트한 전압을 예시할 수 있다. 또한, 증폭한 전압을 예시할 수 있다. 또한, 광학적으로 구한 전압 또는 디지털 데이터를 예시할 수 있다.

리셋 전압(Va)은 모든 화소에 대해 구하거나 취득할 필요는 없다. 일정 기간마다 세선화를 행하여, 선택된 화소로부터 추출한 리셋 전압(Va)이어도 된다. 근방의 화소의 리셋 전압(Va)은 비교적 일치하고 있기 때문이다. 추출한 리셋 전압(Va)을 근방의 화소의 리셋 전압(Va)으로 하여, 직접 사용하거나 또는 연산 등의 가공을 행하여 사용한다.

즉, 화소 세선화를 행하여, 선택된 화소의 리셋 전압(Va)을 취득하고, 이 리셋 전압(Va)을 이용하여 선택되지 않은 화소의 리셋 전압(Va)을 구한다. 또는 리셋 전압을 유추한다.

도 1은, 도 5와 같이 구성하여도 된다. 도 5는 스위치(SW3)에 DA(디지털-아날로그) 변환 회로(51)를 접속한 구성이다. DA 변환 회로(51)는 8 비트의 디지털 데이터(DATA)에 기초하여 스위치(SW3)를 통해 c부에 전압을 인가한다. c부에는, 그라운드(GND) 전위에 한정하지 않고, 다중 다양한 전압을 인가할 수 있다.

예를 들어, 구동용 트랜지스터(11a)의 게이트 단자로부터 관통한 리셋 전압(Va)을 콘덴서(52)의 한쪽 전극 c부에 인가할 수 있다. 따라서, 콘덴서(52)의 초기화를 용이하게 실시할 수 있다.

도 5의 구성에 의해 a부에 인가되는 전압을 일정한 전압 시프트할 수 있다. 게이트 신호선(17a)이 온 전압 인가 상태에서 오프 전압 인가 상태로 변화했을 때에 관통 전압이 발생한다. 관통 전압에 의해 구동용 트랜지스터(11a)의 게이트 단자의 전위가 시프트한다. 도 5의 구성에서는, 용이하게 전위 시프트를 보정할 수 있다. 다른 구성은, 도 1과 동일 또는 유사하므로 설명을 생략한다.

도 1에서는, 소스 신호선(18)의 전위를 콘덴서(52) 등에 의해, 아날로그적으로 유지시키는 것으로 하였지만, 본 발명은 이것에 한정하는 것은 아니다. 예를 들어, 도 6과 같이 구성하여도 된다.

도 6에서, 소스 신호선(18)의 전위는, 아날로그-디지털(AD) 변환 회로(62)에서 아날로그-디지털 변환된다. AD 변환된 디지털 데이터는, 가산 회로(61)에 의해 전압 게조 회로(20)의 출력 전압과 가산된다. 가산된 전압은, 도 1과 마찬가지로 OP 앰프(53)의 입력 a부에 인가되고, 임피던스 변환되어 b부로부터 출력된다. 다른 동작, 구성은 도 1과 동일 또는 유사하므로 설명을 생략한다.

가산 회로(61)는, 도 1의 콘덴서(52)나 전압 게조 회로와 동일 또는 유사한 기능을 발휘한다. AD 변환 회로(62)는 전위를 측정하고, 유지하는 기능을 갖기 때문에, 도 1의 콘덴서(52)의 기능을 갖는다. 가산 회로(61)는, 전압 게조 회로(20)의 출력 데이터에 AD 변환 회로(62)의 출력 데이터를 가산(감산이어도 됨, 또한, 가산 및 감산하여도 됨)하여, a부에 출력한다.

따라서, 콘덴서(52)의 a부의 리셋 전압(Va)과 전압 게조 회로의 출력 전압(Vx)을 더해 a부의 전위를 시프트하는 것과 마찬가지로 동작으로 된다. 가산 회로(61)는 감산 회로이어도 된다. 가산은 아날로그 가산, 디지털 가산의 어느 것이어도 된다. 또한, 가산의 개념은, 레벨 시프트 등의 개념도 포함한다.

AD 변환 회로(62)는 측정 또는 유지한 전압을 디지털 데이터로서 가산 회로(61)에 인가하는 것으로 하였지만 이것에 한정하는 것은 아니다. 예를 들어, AD 변환 회로(62)의 디지털 데이터를 소스 드라이버 IC(회로)(14)의 외부 또는 내부에 구성 또는 형성한 메모리 회로(도시 생략)에 보유시켜도 된다. 이 디지털 데이터를 수시로 읽어내어, 가산 회로(61)에 인가 또는 출력한다.

소스 신호선(18)의 전위는, 소스 드라이버 IC(회로)(14)가 출력하는 전압 또는 전류에 의해 변동한다. 기본적으로는, 소스 신호선(18)의 전위는, 1 수평 주사 기간마다 재기입된다. 본 발명에 따르면, 1 수평 주사 기간(1H)의 처음에 리셋 전류(Ia)를 인가하고, 구동용 트랜지스터(11a)를 동작시켜, 동작이 완료한 정상 상태로 된 구동용 트랜지스터(11a)의 게이트 전위를 측정한다. 측정된 전압을 기준으로 하여 계조 전압을 구동용 트랜지스터(11a)에 인가함으로써, 구동용 트랜지스터(11a)의 특성 편차를 보상한다.

리셋 전류(Ia)는 1 수평 주사 기간(1H 기간) 내에 있어서, 정상적으로 소정의 리셋 전류(Ia)로 하는 것에 한정하는 것은 아니다. 예를 들어, 리셋 전류(Ia)를, 리셋 전류(Ia)의 인가 개시시에 큰 전류로 하고, 일정 기간 후, 소정의 리셋 전류(Ia)로 설정하여도 된다. 이와 같이 동작시킴으로써, 소스 신호선(18) 등의 기생 용량을 단시간에 충전시킬 수 있다. 즉, 리셋 전류(Ia)는 1H 기간에 있어서, 다단계로 변화시켜도 된다. 또한, 소스 신호선(18)의 전위에 기초하여, 다단계로 절환하는 리셋 전류(Ia)의 크기를 변화 또는 변경하여도 된다.

구동용 트랜지스터(11a)의 게이트 단자의 전위를 변동시켜, 구동용 트랜지스터(11)의 특성 편차를 보상하기 위해서는, 우선, 리셋 전류(Ia)에 의해(물론, 구동용 트랜지스터(11a)의 동작도 더해짐) 소스 신호선(18)의 기생 용량을 충전시킬 필요가 있다. 충전 전 시간은, 1 수평 주사 기간 전의 소스 신호선(18)의 전위에 의해 좌우된다. 그 때문에, 소스 신호선(18)의 전위 상태에 따라서는, 소정 시간 내에 충전시킬 시간이 부족한 경우가 있다.

본 발명에 따르면 이 과제를 해결하기 위해, 1 수평 주사 기간(1H)의 처음의 기간에, 프리차지 전압(Vp)을 소스 신호선(18)에 인가한다. 프리차지 전압(Vp)은, 이후에 설명하지만, 소스 드라이버 IC(회로)(14) 내에 형성되며, 소정의 전압을 소스 신호선(18)에 인가할 수 있도록 구성한다. 또한, 프리차지 전압(Vp)은 화소(16)에 직접 인가하도록 구성해도 된다. 예를 들어, 화소에 미리 형성된 캐소드 전압(Vss)과 구동용 트랜지스터(11a)의 게이트 단자를 단락하는 스위칭용 트랜지스터를 화소에 형성하고, 이 트랜지스터를 온시킴으로써, 캐소드 전압을 프리차지 전압(Vp)으로 하여 화소에 인가하는 방식이어도 된다.

도 12에서는, 각 수평 주사 기간의 A 기간에 프리차지 전압(Vp)을 인가하고 있다. 프리차지 전압(Vp)의 인가에 의해 각 소스 신호선은 순간적으로 충전되어 전위(Vp)로 된다. 또한, 본 실시예에 있어서, 화소(16)의 구성은, 도 2를 예시하여 설명한다. 화소(16)의 구동용 트랜지스터(11a)는 P 채널 트랜지스터로서 설명한다. 또한, 구동용 트랜지스터(11a)가 N 채널 트랜지스터라도, 당업자이면, 이후의 설명을 다소 변경하는 것만으로 화소(16)를 실시할 수 있다. 본 발명은, 구동용 트랜지스터(11a)의 채널 극성에 한정되지 않는다.

P 채널 트랜지스터의 경우에는, 구동용 트랜지스터(11a)의 게이트 단자 전위는, Vdd 전압(애노드 전압)에 가까울수록 구동용 트랜지스터(11a)의 전류(Ie)는 작아진다(흑 표시 또는 저휘도 표시). 구동용 트랜지스터(11a)의 게이트 단자 전위는, GND 전압(그라운드 전압 또는 캐소드 전압)에 가까울수록 구동용 트랜지스터(11a)의 전류(Ie)는 커진다(백 표시 또는 고휘도 표시).

프리차지 전압(Vp)은, 최대 계조(백 표시 또는 고휘도 표시)에 상당하는 전압 부근에 설정한다. 프리차지 전압(Vp)은, 소정의 고정 전압이라도 되지만, 리셋 전압(Va) 또는 리셋 전압(V0)에 대응하여 가변 또는 조절할 수 있도록 구성하는 것이 바람직하다.

도 12에서는, 제1H~제3H(1~3번째의 수평 주사 기간)는, 각각 1 수평 주사 기간(1H)이다. 또한, 제1H~제3H(1~3번째의 수평 주사 기간)는 화소행이 선택되는 차례이다. 화소행이 제n 화소행 있다고 하면, 1 필드(프레임) 기간은, n 수평 주사 기간(화소행)과 블랭킹 기간으로 구성된다. 각각의 수평 주사 기간의 처음의 A 기간에 프리차지 전압(Vp)이 인가된다.

따라서, 1H 전의 소스 신호선(18)의 전위가 어떤 전위라도, 순식간에 프리차지 전압(Vp)으로 된다. 1H의 A 기간 후의 B 기간에, 정전류 출력 회로(10)로부터 리셋 전류(Ia)가 출력된다. 또한, 리셋 전류(Ia)는 A 기간에도 인가하여도 된다. 리셋 전류(Ia)는 화소(16)의 구동용 트랜지스터(11a)로부터 소스 신호선(18)을 통해 정전류 출력 회로(10)에 유입된다.

리셋 전류(Ia)에 의해 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자는 리셋 전압(Va)으로 된다. 리셋 전압(Va)은, 각 화소(16)의 구동용 트랜지스터(11a)의 특성 편차에 따라 상이한 것은 물론이다. 그러나, 리셋 전압(Va)의 최소와 최대의 차이는 0.5V 정도이다. 리셋 전압(Va)과 Vp 전압의 전위차는 거의 일정하다. 1H 전의 소스 신호선(18)의 전위가 어떤 것이라도, 프리차지 전압(Vp)의 인가에 의해, 리셋 전류(Ia)의 인가 시는, 프리차지 전압(Vp)으로부터 Va로의 변화로 되어 있다. 따라서, 수렴 시간은 거의 일정하다.

B 기간 다음의 C 기간은, 영상 신호로서의 목표 계조 전압(Vc)이 인가된다. 따라서, 리셋 전압(Va)를 기준으로 하여 목표 계조 전압( $Vc=Va+Vx$ )으로서 소스 신호선(18)에 인가된다. 도 12에서는, 제1H 기간에서는 목표 계조 전압이 V1이고, 제2H 기간에서는 목표 계조 전압이 V2이고, 제3H 기간에서는 목표 계조 전압이 V3인 예이다. 이후 제nH까지 화소행의 선택 위치가 시프트되어 상기와 마찬가지로 동작이 실시된다. 이상과 같이, 프리차지 전압(Vp)의 인가에 의해, 리셋 전류(Ia)를 화소(16)의 구동용 트랜지스터(11a)에 인가하기 쉽게 하여, 수렴 시간을 단축할 수 있다. 프리차지 전압(Vp)은 어레이 기관의 회로에서 발생해도 되고, 소스 드라이버 IC(14) 내에 형성된 회로로부터 발생해도 된다.

도 12는, 프리차지 전압(Vp)을 일정하게 한 실시예였지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 13에 도시하는 바와 같이 프리차지 전압(Vp)을 변화시켜도 된다.

도 13에서는, 제1H는 프리차지 전압(Vp1)이고, 제2H는 프리차지 전압(Vp2)이고, 제3H는 프리차지 전압(Vp3)인 예이다. 이후 제nH까지, 화소행의 선택 위치가 시프트되어 상기와 마찬가지로 동작이 실시된다. 프리차지 전압(Vp)은 계조 전압 또는 목표 계조 전압(Vc)에 상관시켜 변화시키는 것이 바람직하다. 예를 들어, 목표 계조 전압( $Vc=Va+Vx$ )과, 프리차지 전압(Vp)의 전위차가 소정 전압 범위로 되도록, 프리차지 전압(Vp)을 설정하는 것이 예시된다.

도 12는, 프리차지 전압(Vp)을 일정하게 한 실시예였지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 14에 도시하는 바와 같이 리셋 전압(Va)을 변화시켜도 된다. 도 14에서는, 제1H 기간에서는 리셋 전압은 Va1이다. 제2H 기간에서는 리셋 전압은 Va2이고, 제3H는 리셋 전압은 Va3이다. 이후 제nH까지, 화소행의 선택 위치가 시프트되어 상기와 마찬가지로 동작이 실시된다. 도 14의 실시예에서는, 리셋 전압(Va)은 각 화소(16)의 구동용 트랜지스터(11a)의 리셋 전압(Va)을 보정한 것이다.

리셋 전류(Ia)를 계조적으로 또는 다단계적으로 변화시키려면, 전류 데이터를 소스 드라이버 IC(회로)(14)에 송신할 필요가 있다. 또한, 계조 전압(Vx)을 화소마다 변화시키려면, 전압 데이터를 소스 드라이버 IC(회로)(14)에 송신할 필요가 있다. 도 15는 그 실시예이다. 8 비트의 리셋 전류 데이터 ID(7:0)와 8 비트의 계조 전압 데이터 VD(7:0)를 세트하여, 또한 교대로 전송하고 있다. 리셋 전류 데이터 ID(7:0)는 정전류 출력 회로(10)가 출력하는 리셋 전류(Ia)를 발생시키는 데이터이다. 전압 데이터(VD)(7:0)는, 전압 계조 회로(20)가 출력하는 계조 전압(Vx)을 발생시키는 것이다.

이상의 실시예에서는, 프리차지 전압(Vp)의 인가에 의해, 소스 신호선(18)의 전위를 초기화한다. 초기화 후, 소스 신호선(18)에 리셋 전류(Ia)를 인가한다. 프리차지 전압(Vp)은 화소(16)에 직접 인가하여도 된다.

또한, 본 실시예에서는 트랜지스터에 리셋 전류(Ia)를 인가하여, 구동용 트랜지스터(11a)의 게이트 단자 전압을 직접적으로 또는 간접적으로 측정 또는 유지하는 것으로서 설명한다. 그러나, 본 발명은, 이것에 한정하는 것은 아니다. 리셋 전류(Ia)의 의미에는, 직류값이 0(리셋 전류(Ia)를 흘리지 않는다)인 경우도 포함한다. 또한, 리셋 전류(Ia)의 인가에 의한 전압의 측정은, 전압의 크기의 측정에 한정하는 것은 아니라 전후의 전압의 변화량, 전압의 변화 속도, 전압의 차분치의 측정이어도 된다.

전압의 측정이란, 측정된 전압을 아날로그 디지털 변환(AD 변환)하여, 드라이버 회로 외부 또는 내부에 유지하는 동작 또는 구성도 포함한다. 또한, 전압을 디지털 데이터로서 메모리에 보관하는 동작을 포함한다. 또한, 측정뿐만 아니라, 콘텐서 등의 유지 매체에 일시적으로 유지 또는 래치 또는 기억하는 동작 또는 구성도 포함한다.

도 1 등의 실시예에서는, 게이트 드라이버 회로(12a)는, 1 화소행을 순차적으로 선택하고, 각 화소행의 화소에 리셋 전류(Ia)를 인가하는 것으로 했지만, 본 발명은 이것에 한정하는 것은 아니다. 예를 들어, 도 16a 및 도 16b에 도시하는 바와 같이 복수의 화소행을 선택하여 리셋 전류(Ia)를 인가해도 된다. 또한, 복수 화소를 동시에, 또는 공통으로 리셋 전압(Va) 또는 리셋 전압(V0)(도 11 참조)을 측정 등 하여도 된다. 리셋 전압(Va), 리셋 전압(V0)은 인접한 화소행에서는 유사하기 때문이다.

도 16a의 실시예는, 인접한 2 화소행을 동시에 선택하고, 2 화소행에서 리셋 전류(Ia)를 정전류 출력 회로(10)로부터 인가한 구성이다. 2개의 화소(16)를 동시에 선택하는 경우에는, 리셋 전류(Ia)는 1 화소의 경우의 2배로 한다. 3개의 화소(16)를 동시에 선택하는 경우에는, 리셋 전류(Ia)는 1 화소의 경우의 3배로 한다. 리셋 전류(Ia)를 정수배로 할 필요는 없고, 실수배이면 어떤 크기이어도 된다. 또한, 복수 화소(16)를 선택하는 경우에서도, 1 화소(16)를 선택하는 리셋 전류(Ia)와 동일한 크기이어도 된다.

선택한 2 화소행의 각 화소행의 구동용 트랜지스터(11a)가 각각 출력하는 전류에는, 구동용 트랜지스터(11a)의 특성이 상이하기 때문에 차이가 있다. 그러나, 인접한 화소행에서는 그 차이가 근소하다. 화소행의 선택은, 제1, 및 제2 화소행, 제3, 및 제4 화소행, 제5, 및 제6 화소행 ...으로 2 화소행씩 순차적으로 선택하여도 되며, 제1, 및 제2 화소행, 제2, 및 제3 화소행, 제3, 및 제4 화소행 ...으로 1 화소행씩 어긋나게 하여 순차적으로 선택해도 된다.

도 16b는, 인접한 화소행이 아니라, 1 화소 떨어진 위치의 화소행을 선택한 실시예이다. 예를 들어, 제1, 및 제3 화소행을 선택하고, 다음으로 제2, 및 제4 화소행을 선택하고, 다음으로 제3, 및 제5 화소행을 선택해 간다.

도 16a 및 도 16b에서도, 다른 구성, 동작은, 도 1 등에서 설명한 실시예와 마찬가지로 설명을 생략한다. 이상과 같이, 복수 화소행을 동시에 선택하고, 리셋 전압(Va) 등을 측정하면, 정전류 출력 회로(10)의 동작 시간을 단축시킬 수 있다. 또한, 정전류 출력 회로(10) 등의 구성을 간략화할 수 있다.

도 16a 및 도 16b의 실시예는, 2 화소행을 동시에 선택하는 구동 방식이었다. 본 발명은 2 화소행에 한정되는 것은 아니다. 3 화소 이상을 동시에 선택해도 된다. 또한, 화소행의 선택은, 화소행을 순차적으로 주사하여 선택하는 것에 한정되는 것은 아니고, 랜덤으로 화소행을 선택하여도 된다. 또한, 홀수 필드(프레임)제는 화면 위로부터 아래 방향으로 순차적으로 선택하고, 짝수 필드(프레임)제는 화면의 아래에서 위로 순차적으로 선택하여도 된다.

1H 기간에 복수의 화소행을 순차적으로 선택하고, 각각의 화소행에 리셋 전류(Ia)를 인가하여, 리셋 전압(Va)을 측정하여도 된다. 예를 들어, 1H의 전반 1/2H 기간에, 제1행제의 화소행을 선택하여 리셋 전류(Ia)를 인가하고, 후반의 1/2H 기간에 다음 제2행제의 화소행을 선택하는 구동 방법이 예시된다.

리셋 전압(Va)(도 7을 참조), 리셋 전압(V0)(도 11을 참조)의 측정은, 순차적으로 화소행을 선택하고, 행하는 것으로 하였지만, 이것에 한정하는 것은 아니다. 예를 들어, 영상 신호의 블랭킹 시간에 표시 영역 내의 화소행을 순차적으로 선택하고 주사하여, 리셋 전압(Va, V0)을 측정하는 등 하여, 메모리에 기억시켜 두어도 된다. 또한, 복수의 화소행을 동시에 또는 순차적으로 선택하고, 리셋 전압(Va, V0)을 측정하여 일정 기간 유지하고, 이 유지한 리셋 전압(Va, V0)을 순차적으로 읽어 내어, 계조 전압(Vx)과 가감산하여 목표 계조 전압을 구하거나 발생시켜, 각 소스 신호선(18)에 순차적으로 인가하여도 된다.

도 8도 도 1과 마찬가지로, 게이트 드라이버 회로(12)가 순차적으로, 화소열을 선택함으로써 실시된다. 즉, 1 수평 주사 기간에 화소행을 선택한다. 우선, 먼저, 스위치(SW3)를 클로즈하고, 스위치(SW4, SW2, SW5)를 오픈한다. 스위치(SW3)의 클로즈에 의해, 콘덴서(52)의 한쪽 단자 c부에 그라운드(GND) 전압이 인가되고 그라운드 전압으로 유지된다. 또한, 도 5에서 설명한 바와 같이 임의의 소정 전압을 인가할 수 있도록 구성하여도 된다.

콘덴서(52)의 c부에 그라운드 전압을 인가하여 리셋을 행한 후, 다음으로, 도 10a에 도시하는 바와 같이, 스위치(SW2, SW3)를 클로즈하고, 또한, 스위치(SW4, SW5)를 오픈한다. 콘덴서(52)의 a부에는, 구동용 트랜지스터(11a)가 EL 소자(15)에 전류를 흘리지 않는 전압(=구동용 트랜지스터(11a)의 게이트 단자 전압)이 유지된다. 이 기간도 해당 화소행이 선택되고 있다. 해당 화소행의 각 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위는, 오프셋 상태(트랜지스터(11d)를 클로즈하여도 EL 소자(15)에 흐르지 않는 상태)로 유지된다.

도 10a의 동작에 의해, 상기 구동용 트랜지스터(11a)가 오프셋으로 되는데 필요한 리셋 전압(Va)이 판독된다(유지된다). 따라서, 구동용 트랜지스터(11a)는 도 11에 도시하는 바와 같이, 그대로 리셋 전압(V0)을 구동용 트랜지스터(11a)의 게이트 단자에 인가하면, 컷오프 상태(EL 소자(15)에 흐르는 전류가 0으로 되는 상태)로 된다.

다음으로, 도 10b에 도시하는 바와 같이, 스위치(SW4, SW5)를 클로즈하고, 또한, 스위치(SW2, SW3)를 오픈한다. 전압 계조 회로(20)는, 계조 전압(Vx)을 출력 목표 전압( $Vc=V0+Vx$ )으로 한다. 이 기간도 해당 화소행이 선택되어 있다.

전압 게조 회로(20)에 출력된 전압( $V_x$ )은, 콘덴서(52)의 a부의 전위를 전위 시프트시킨다. a부의 전위 시프트에 의해, 리셋 전압( $V_0$ )과 게조 전압( $V_x$ )이 가산된다. 이상으로 1 수평 주사 기간이 완료한다. 선택된 화소행은 다음의 1 수평 주사 기간에서 EL 소자(15)에 전류를 인가하고, EL 소자(15)가 발광한다.

이상의 본 발명의 실시에는, 리셋 전압( $V_a$ ,  $V_0$ )의 측정과, 이들 전압에 게조 전압( $V_x$ )을 가감산하여 화소(16)의 구동용 트랜지스터(11a)에 인가한다고 하는 점을 중심으로 설명하였다. 이하, 본 발명의 EL 표시 장치의 화상 표시를 중심으로 설명을 행한다.

본 발명에서는, 프로그램 전류(리셋 전류)( $I_a$ )를 흘린 상태에서 구동용 트랜지스터(11a)의 게이트 단자의 전위(도 2의 f로 나타냄)를 측정한다(전위를 취득한다). 또는, 전위를 도 1의 콘덴서(52)에 유지시킨다. 또는, 전위에 대응하는 데이터를 메모리 등의 기억 수단에 보유한다.

도 2에서, 게이트 단자의 전위 f는, 트랜지스터(11b, 11c)가 온 상태이기 때문에, 소스 신호선(18)의 전위(d로 나타냄)와, 동일 전위로 된다. 따라서, 소스 드라이버 회로(14)의 단자(93)를 통해, 소스 신호선(18)의 전위를 측정하면, 트랜지스터(11a)의 게이트 단자의 전위 f를 측정할 것으로 된다.

제2 동작은 트랜지스터(11b)와 트랜지스터(11c)가 닫히고, 트랜지스터(11d)가 열린 동작 상태로서, 그때의 등가 회로는 도 17b로 된다. 트랜지스터(11a)의 소스-게이트 간의 전압은 유지된 채로 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에,  $I_e=I_a$ 의 전류는 일정하게 된다. 또한,  $I_e$ 는 구동용 트랜지스터(11a)가 EL 소자(15)에 흐르는 전류이고,  $I_e=I_a$ 는 화소(16)에 관통 전압 등의 영향이 없어 이상적인 상태인 경우이다. 본 명세서의 설명에서는, 상기 이상적인 상태 하에서의 실시를 설명한다. 이상적인 상태 이외라도 본 발명의 기술적 사상을 실시하고 있으면, 본 발명의 기술적 범주이며, 본 발명의 실시이다.

이상의 동작을 표시 화면(184)으로 도시하면, 도 18a 및 도 18b에 도시하는 바와 같이 된다. 도 18a의 참조 부호 181은, 표시 화면(184)에서의, 임의의 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소행)를 나타내고 있다. 또는, 리셋 전압( $V_a$ ), 리셋 전압( $V_0$ )을 측정하고 있는 화소행(화소)이다. 또한, 목표 게조 전압( $V_c$ )을 기입하고 있는 화소행(화소)이다. 화소(행)(181)는, 비점등(비표시 화소(행))으로 한다. 비점등으로 하려면, 게이트 드라이버 회로(12b)를 제어하여, 화소(16)의 트랜지스터(11d)를 오픈 상태로 하면 된다.

비점등(비표시)이란, EL 소자(15)에 전류가 흐르지 않는 상태를 말한다. 또는, 일정 이내의 작은 전류가 흐르고 있는 상태를 말한다(표시가 어두운 상태임). 즉, 어두운 표시 상태이다. 따라서, 비점등 화소행이란, 해당 화소행의 EL 소자(15)에 전류가 흐르지 않는 상태 또는 비교적 어두운 표시 상태를 의미한다. 표시 영역(184)의 비표시(비점등)의 범위를 비표시 영역(182)이라고 부른다. 표시 영역(184)의 표시(점등)의 범위를 표시(점등) 영역(183)이라고 부른다. 표시 영역(183)의 화소(16)의 스위칭용 트랜지스터(11d)는 클로즈하여, EL 소자(15)에 전류가 흐르고 있다. 단, 흑 표시의 화상 표시에서는 EL 소자(15)에 전류가 흐르지 않는 것은 당연하다. 스위칭용 트랜지스터(11d)가 오픈인 영역은, 비표시 영역(182)으로 된다.

도 2의 화소 구성의 경우에는, 도 17a에 도시하는 바와 같이, 1H의 처음의 기간( $V_a$  또는  $V_0$  측정 기간)에, 프로그램 전류(리셋 전류)( $I_a$ )가 소스 신호선(18)에 흐른다. 이 프로그램 전류( $I_a$ )가 구동용 트랜지스터(11a)에 흐르고, 프로그램 전류( $I_a$ )를 흘리는 전류가 유지되도록, 콘덴서(19)에 전압 설정(프로그램)된다. 또는, 구동용 트랜지스터(11a)의 게이트 단자에 프로그램 전류( $I_a$ )를 흘리는 전류가 흐르도록 콘덴서(19)에 전압이 유지된다. 이때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

EL 소자(15)에 전류를 흘리는 기간은 도 17b와 같이, 트랜지스터(11c, 11b)가 오프하고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압( $V_{gh}$ )이 인가되고, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17b)에 온 전압( $V_{gl}$ )이 인가되어, 트랜지스터(11d)가 온한다.

도 17a 및 도 17b, 도 18a 및 도 18b 에서 설명한 구동 방법의 타이밍차트를 도 19a 내지 도 19c에 도시한다. 도 19a 내지 도 19c에서, 선택된 화소행에서는, 게이트 신호선(17a)에 온 전압( $V_{gl}$ )이 인가되고 있을 때(도 19a를 참조)에는, 게이트 신호선(17b)에는 오프 전압( $V_{gh}$ )이 인가되고 있다(도 19b를 참조). 이 기간은, 선택된 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 또한, 선택 기간은 1 수평 주사 기간(1H)으로 하고 있다.

게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되지 않은) 화소행 중에서, 점등 상태의 화소행에서는, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가되고 있다. 이 화소행의 EL 소자(15)에는 전류가 흘러서, EL 소자(15)가 발광하고 있다.

게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되지 않은) 화소행 중에서, 비점등 상태의 화소행에서는, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되고 있다. 이 화소행의 EL 소자(15)에는 전류가 흐르지 않아, EL 소자(15)는 비발광 상태이다.

리셋 전압(Va)을 측정 또는 취득할 때에, 소스 신호선(18)의 충방전을 고속으로 행하는 경우, 또는, 화상 표시에 흑 삽입(비표시 영역 삽입)을 행하여, 동화 시인성을 향상시키는 경우에는, 리셋 전류(Ia)의 크기를 N배로 한다. 리셋 전류(Ia)의 크기를 N배로 함으로써 EL 소자(15)에 흐르는 전류도 N배로 된다. 계조 전압(Vx)을 종래와 마찬가지로 1배로 하는 경우에는, N배의 리셋 전류(Ia)를 기입 효과에 의해 소스 신호선(18)의 충방전을 고속으로 할 수 있다는 효과가 발휘된다. 이 경우에는, 기준으로 되는 리셋 전압(Va)이 이미 N배의 EL 전류가 되는 전압이기 때문에, 가감산하는 계조 전압(Vx)도 이 점을 고려하여 설정할 필요가 있다. 목표 계조 전압(Vc)도 마찬가지로이다.

또한, 리셋 전압(Va), 목표 계조 전압(Vc), 계조 전압(Vx), 리셋 전류(Ia) 중, 적어도 1개는, N배의 N에 비례 또는 상관으로 되는 관계로 하는 것이 바람직하다. 또한, 본 발명은, 도 18a 및 도 18b, 도 21a 및 도 21b, 도 22a 및 도 22b 등의 실시예와 조합하여 실시하는 것이 바람직하다.

이하, 설명을 용이하게 하기 위해, 리셋 전압(Va)을 측정할 때의 리셋 전류(Ia)도 N배로 하고, Va, V0에 가산되는 Vx도 구동용 트랜지스터(11a)가 EL 소자(15)에 N배의 전류를 흘리도록 설정되는 것으로 한다. 또한, 1배의 전류일 때에 EL 표시 장치가 표시하는 화면(184)의 휘도는 B로 하고, N배의 전류가 흐를 때는 발광부의 휘도는, B×N의 휘도로 표시되는 것으로 한다.

EL 소자(15)에 흐르는 리셋 전류(Ia)는, 화면(184)의 평균(소정) 휘도 B를 얻는데 필요한 전류의 N배로 한다. 따라서, EL 소자(15)는, 평균(소정) 휘도 B의 N배의 휘도(N·B)로 점등한다. 점등 기간은 1F/N로 한다. 1F란 1 필드(프레임)이다. 또한, 설명을 용이하게 하기 위해, 1 필드(프레임)에 블랭킹 기간은 없는 것으로 하여 설명한다. 실용상은, 블랭킹 기간이 있기 때문에, 정확하게는 N·B는 되지 않는다. 즉, 1F의 1/N의 기간, N배의 휘도(N·B)에서 EL 소자(15)가 발광한다. 따라서, 1F를 평균한 표시 패널의 표시 휘도는, (N·B)×(1/N)=B(소정 휘도)로 된다.

N은 1보다 크면, 어떤 실수치이어도 된다. 단, N이 너무 크면 EL 소자(15)에 흐르는 순간 전류가 크기 때문에, N은 10 이하로 하는 것이 바람직하다. 물론 N=1로 하여, 기입 화소행(181) 이외를 표시(점등) 영역(183)으로 해도 좋은 것은 물론이다. 이 경우에는, EL 소자(15)에 흐르는 전류(Ia)는, 화면(184)의 평균(소정) 휘도 B를 얻는데 필요한 전류로 한다. 따라서, EL 소자(15)는, 소정의 휘도 B에서 점등(발광)한다. 또한, 저휘도 표시를 실현하기 위해, N을 1보다 작게 해도 된다.

또한, 발광 휘도 N·B로 되도록 N배의 리셋 전류(Ia)를 흘리는 이유의 하나는, 소스 신호선(18)의 기생 용량의 영향을 작게 하기 위함이다. 큰 전류를 흘림으로써, 기생 용량의 전하를 단기간에 충방전할 수 있게 된다.

도 20을 이용하여, 본 발명의 EL 표시 패널에서 사용하는 전압에 대해 설명한다. 게이트 드라이버 회로(12)는, 버퍼 회로(202)와 시프트 레지스터 회로(201)로 구성된다. 버퍼 회로(202)는 오프 전압(Vgh)과 온 전압(Vgl)을 전압으로서 사용한다. 한편, 시프트 레지스터 회로(201)는 시프트 레지스터의 전압(VGDD)과 그라운드(GND) 전압을 사용하고, 또한, 입력 신호(CLK, UD, ST)의 반전 신호를 발생시키기 위한 VREF 전압을 사용한다. 또한, 소스 드라이버 IC(회로)(14)는, 전압(Vs)과 그라운드(GND) 전압을 사용한다. 게이트 드라이버 회로(12)를 동작시킴으로써, 리셋 전류(Ia)를 인가하는 화소행을 지정한다.

게이트 드라이버 회로(12a)는, 시프트 레지스터 회로(201a)와 버퍼 회로(202)를 구비하고 있다. 따라서, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 온 오프 제어한다. 또한, 설명을 용이하게 하기 위해, 화소 구성은 도 1을 예로 들어 설명한다.

도 18a 및 도 18b 에서는 표시 영역(183)을 1개로 한 방식이다. 그러나, 본 발명은 이것에 한정하는 것은 아니다. 예를 들어, 도 22a 및 도 22b에 도시하는 바와 같이, 표시 영역(183)과 비표시 영역(182)을 복수개로 분산시켜도 된다.

도 22a 및 도 22b에 도시하는 바와 같이, 간헐적인 간격(비표시 영역(182)/표시 영역(183))은 등간격에 한정하는 것은 아니다. 예를 들어, 랜덤이어도 된다(전체적으로, 표시 기간 또는 비표시 기간이 소정치(일정 비율)로 되면 된다). 또한, RGB에서 상이해도 된다. 즉, 백(화이트) 밸런스가 최적으로 되도록, R, G, G 표시 기간 또는 비표시 기간이 소정치(일정 비율)로 되도록 조정(설정)하면 된다.

비표시 영역(182)이란, 임의의 시각에서 비점등 EL 소자(15)의 화소(16) 영역이다. 표시 영역(183)이란, 임의의 시각에서 EL 소자(15)가 점등하고 있는 영역이다. 단, 영상 신호가 흑 표시에서는 EL 소자(15)는 점등하지 않는다. 그러나, 이 경우라도, 흑 표시를 점등하려고 동작하고 있는 것이기 때문에, 점등 영역이다. 비표시 영역(182), 표시 영역(183)은, 수평 동기 신호에 동기하여, 1 화소행씩 위치가 시프트 되어 간다.

도 11의 실시예에서는, 전압(V0)을 구하고, 이 전압(V0)을 기준으로 하여 계조 전압(Vx)을 가산하여, 목표 계조 전압(Vc)을 발생시키는 방식이었다. 또한, 도 4a 내지 도 4c는, 리셋 전압(Va)을 구하고, 이 전압을 기준으로 하여 계조 전압(Vx)을 가감산 등 하여, 목표 계조 전압(Vc)을 발생시키는 방식이었다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 리셋 전압(Va)을 구할 때, 인가하는 리셋 전류(Ia)를 최대 계조(Iam)에 해당하는 전류로 하여도 된다.

최대 계조에 해당하는 리셋 전류(Iam)를 구동용 트랜지스터(11a)에 인가함으로써, 구동용 트랜지스터(11a)는 최대 계조의 전류가 흐르도록, 그 게이트 단자에 리셋 전압(Vam)이 발생한다. 이 Vam을 기준으로 하여, 계조 전압(Vx)을 가산하여 목표 계조 전압(Vc)을 발생시킨다. 발생시킨 전압(Vam)을 구동용 트랜지스터(11a)의 게이트 단자에 인가한다.

본 발명은, 주로 전류 구동 방식의 화소 구성을 갖는 EL 표시 장치에 관한 것이다. 또한, 구동용 트랜지스터(11a) 또는 구동용 트랜지스터(11a)와 커런트 미러 결합된 트랜지스터(11b)의 드레인 단자 또는 소스 단자가, 직류적으로 소스 신호선(18)에 결선되어 있는 화소 구성을 갖는 EL 표시 장치에 관한 것이다. 또한, 구동용 트랜지스터(11a)(도 2, 도 23 등) 등을 흐르는 전류를 소스 신호선(18)으로 취출, 또는 소스 신호선(18)으로부터 취득할 수 있는 구성의 EL 표시 패널에 관한 것이다.

본 발명의 구동 방식은, 리셋 전류(Ia)를 구동용 트랜지스터(11)에 인가하거나, 또는 구동용 트랜지스터(11)로부터 리셋 전류(Ia)를 흘려, 거의 정상 상태가 되었을 때 이후에, 상기 구동용 트랜지스터(11)의 게이트 단자 전위를 측정(취득)한다.

또한, 본 발명의 구동 방식은, 측정(취득)한 전위를 기준(원점 또는 상대적인 위치)으로 하여, 계조 전압에 대응하는 전압을 가감산 등의 처리를 하여, 목표 계조 전압(Vc)을 발생시킨다. 발생한 목표 계조 전압을 상기 구동용 트랜지스터(11)의 게이트 단자 등에 인가한다. 또한, 전기 구동용 트랜지스터(11)가 목표 계조 전압에 대응하는 전류를 EL 소자(15)에 흘리도록 하는 것이다. 또한, EL 소자(15)에 전류를 흘린다는 것은, EL 소자(15)에 전류를 공급하는 경우와, EL 소자(15)로부터 상기 구동용 트랜지스터(11)에 유입되는 경우의 양쪽 모두를 포함한다.

또한, 이상의 실시예는, 리셋 전압(Va, V0, 또는 Vam)을 기준으로 하여 구동용 트랜지스터(11)에 거의 1배의 전류(Ie)를 흘리는 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 18a 및 도 18b, 도 21a 및 도 21b, 도 22a 및 도 22b 등에서 설명한, 「1F/N의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간(1F(N-1)/N)은 전류를 흘리지 않는」 구동 방식으로는, 리셋 전류(Ia)를 N배(N은 실수)로 설정해도 되는 것은 물론이다. 즉, N배의 정전류(리셋 전류(Ia))에 대응하는 리셋 전압(Va)을 구하고, 이 리셋 전압(Va)을 기준으로 하여 목표 계조 전압(Vc)을 발생시킨다.

본 발명의 구동 방법에서는, 도 21a 및 도 21b에 도시하는 바와 같이 적(R), 녹(G), 청(B) 마다 간헐 표시 실시할 수 있다. 도 21a에서는, R, G, B에서 점등 영역(183)의 면적을 상이하게 하고 있다. 도 21b는, R, G, B에서 점등 영역(183)의 면적은 동일하지만, B의 점등 영역을 복수로 함으로써, 점등 영역의 면적의 총합을 상이하게 하고 있다. R, G, B의 점등 영역(183)의 면적을 상이하게 하거나 변화 또는 조정함으로써, 화상 표시의 화이트 밸런스를 조정할 수 있다.

전술의 실시예에서는, 점등 영역(183)의 면적을 상이하게 하였지만, 반대로, 비점등 영역(182)의 면적을 상이하게 하려고 생각해도 된다.

도 18a 및 도 18b의 표시에서는, 1개의 표시 영역(183) 또는 비표시 영역(182)이 화면 위로부터 아래 방향으로 띠 형상으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(183)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 감았을 때, 또는 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉬워진다.

이 과제에 대해서는, 도 22a 및 도 22b에 도시하는 바와 같이, 표시 영역(183)을 복수로 분해하면 된다. 이 분할된 총합이  $S(N-1)/N$ 의 면적으로 되면, 도 18a 및 도 18b의 밝기와 동등해진다. 또한, 분할된 표시 영역(183)은 동일하게(등분으로) 할 필요는 없다. 또한, 분할된 비표시 영역(182)도 동일하게(등분으로) 할 필요는 없다.

본 발명의 화소 구성은, 도 2의 구성을 예시하여 설명하지만, 이것에 한정되는 것은 아니다. 예를 들어, 도 23 등의 다른 화소 구성이어도 된다.

도 23의 화소 구성은, 프로그램 시에는, 트랜지스터(11c, 11d)가 온(클로즈)한다. 소스 드라이버 IC(회로)(14)가 프로그램 전류(리셋 전류)(Ia)를 출력한다. 구동용 트랜지스터(11b)와 커런트 미러 회로를 구성하는 트랜지스터(11a)에 프로그램 전류(리셋 전류)(Ia)(Ia)가 흐르고, 프로그램 전류에 대응한 전압이 콘덴서(19)에 유지된다. 또한, 트랜지스터(11e)는 게이트 신호선(17b)에 인가한 제어 신호(온 오프 신호)에 의해, 온 오프(클로즈 오픈) 제어되어, 도 18a 및 도 18b, 도 21a 및 도 21b, 및 도 22a 및 도 22b에서 설명한 간헐 제어를 실현한다.

도 23의 실시예는, EL 소자(15)에 전류(Ie)를 인가하는 트랜지스터(11a)에 프로그램 전류(리셋 전류)(Ia)를 흘리는 실시예가 아니다. 본 발명의 기술적 사상은, 소스 드라이버 IC(회로)(14) 등으로부터 리셋 전류(Ia) 등을 흘려, 직접적으로 구동용 트랜지스터(11a) 또는 간접적으로 EL 소자(15)에 1 전류를 흘리는 구동용 트랜지스터(11b)의 특성 보상을 행하는 점에 있다. 따라서, 도 23의 구성도 본 발명의 기술적 범주이다. 또한, 도 23의 구성에서는, 트랜지스터(11e)를 생략하여도 된다. Va 측정시 등에 리셋 전류(Ia)가 분류되어 EL 소자(15)에 흐르는 일이 없기 때문이다.

도 2 등의 화소 구성은, 트랜지스터(11d)에 의해 EL 소자(15)에 흐리는 전류를 트랜지스터(11d)에 의해 제어하는 것이었지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 26에 도시하는 바와 같이, 트랜지스터(11d)가 없어도 EL 소자(15)에 인가하는 전류를 온 오프 제어할 수 있다.

도 26에서는, 게이트 드라이버 회로(12b)는, 게이트 신호선(17b)을 제어하고, 게이트 신호선(17b)의 전위는, Vdd 전압과, 그것보다 낮은 전압인 EL 소자(15)에 전류가 흐르지 않는 전압(Vg)으로 구동된다. 즉, 게이트 신호선(17b)에는, Vdd 전압과 Vg 전압이 출력된다. 게이트 신호선(17b)에 Vdd 전압이 인가되었을 때에는, EL 소자(15)에 전류가 흐르고, 게이트 신호선(17b)에 Vg 전압이 인가되었을 때에는, EL 소자(15)에는 전류가 흐르지 않는다. 구동용 트랜지스터(11a)에 리셋 전류(Ia)를 인가하는 점에 있어서, 도 26에서도 도 2와 마찬가지로이다. 따라서, 도 26과 같이, 게이트 드라이버(12b)를 갖지 않는 구성도 본 발명의 기술적 범주이다.

도 2의 변형으로서 도 27의 화소 구성도 예시된다. 도 2와 도 27의 차이는, 트랜지스터(11b)가, 트랜지스터(11b1)와 트랜지스터(11b2)로 분리되어 있는 점, 게이트 신호선(17a)이, 게이트 신호선(17a1, 17a2)으로 분리되어 있는 점이다.

트랜지스터(11b1)는 트랜지스터(11c)와 함께, 게이트 신호선(17a1)으로 제어된다. 또한, 트랜지스터(11b2)는 게이트 신호선(17a2)으로 제어된다. 프로그램 전류(리셋 전류)(Ia)를 인가하고, 리셋 전압(Va) 또는 리셋 전압(Va)을 측정하여, 게조 전압(Vc)을 선택한 화소(16)에 인가할 때에는, 트랜지스터(11b1, 11b2, 11c)가 클로즈 상태이다.

화소의 선택 기간이 완료(1H 기간)할 때, 우선, 게이트 신호선(17a2)에 오프 전압이 인가되어, 트랜지스터(11b2)가 오픈 상태로 된다. 다음으로, 0.5 $\mu$ sec 이상 5 $\mu$ sec 이하의 기간에서, 게이트 신호선(17a1)에 오프 전압이 인가되어, 트랜지스터(11b1, 11c)가 오픈 상태로 된다. 또한, 게이트 신호선(17a1)에 오프 전압이 인가될 때까지, 또는 트랜지스터(11b1)가 오픈 상태가 될 때까지, 화소행의 선택 기간(1H 기간)이다.

트랜지스터(11b2)가 트랜지스터(11b1) 보다, 먼저 오픈(오프) 상태로 됨으로써, 게이트 신호선(17a1)에 인가한 온 전압이 오프 전압으로 변화할 때에 발생하는 관통 전압의 영향을 경감할 수 있다. 게이트 신호선(17a1)에 오프 전압이 인가될 때, 트랜지스터(11b2)가 이미 오프(오픈) 상태이기 때문이다. 따라서, 관통 전압의 영향이 트랜지스터(11)의 게이트 단자에 미치지 않는다.

도 2 등에서 설명한 화소 구성에서는, 구동용 트랜지스터(11a)는 각 화소(16)에 1개의 구성이다. 그러나, 본 발명에서, 구동용 트랜지스터(11a)는 1개에 한정되는 것은 아니다. 예를 들어, 도 24의 화소 구성이 예시된다.

도 24는 화소(16)를 구성하는 트랜지스터 카운트를 6개로 하여, 프로그램용 트랜지스터(11an)는 트랜지스터(11b2)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성하고, 구동용 트랜지스터(11a1)는 트랜지스터(11b1)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성한 실시예이다.

도 24에서, 구동용 트랜지스터(11a1)의 게이트 단자와 프로그램용 트랜지스터(11an)의 게이트 단자를 공통으로 하고 있다. 트랜지스터(11b1)는 전류 프로그램 시에 구동용 트랜지스터(11a1)의 드레인 단자와 게이트 단자를 단락하도록 동작한다. 트랜지스터(11b2)는 전류 프로그램 시에 프로그램용 트랜지스터(11an)의 드레인 단자와 게이트 단자를 단락하도록 동작한다.

도 24에서, 구동용 트랜지스터(11a1), 트랜지스터(11an)를 각 1개와 같이 도시하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 구동용 트랜지스터(11a1)를 2개 이상으로 형성해도 된다. 또한, 트랜지스터(11an)를 2개 이상 형성해도 된다. 또한, 트랜지스터(11a1, 11an)의 쌍방을 복수개로 형성하여도 되는 것은 물론이다.

트랜지스터(11c)는 구동용 트랜지스터(11a1)의 게이트 단자에 접속되어 있으며, 트랜지스터(11d)는 구동용 트랜지스터(11a1)와 EL 소자(15) 간에 형성 또는 배치되어, EL 소자(15)에 흐르는 전류를 제어한다. 또한, 구동용 트랜지스터(11a1)의 게이트 단자와 애노드(Vdd) 단자 간에는 부가 콘덴서(19)가 형성 또는 배치되어 있고, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)의 소스 단자는 애노드(Vdd) 단자에 접속되어 있다.

이상과 같이, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)가 동일 수의 트랜지스터를 통과하도록 구성함으로써, 정밀도를 향상시킬 수 있다. 즉, 구동용 트랜지스터(11a1)를 흐르는 전류는, 트랜지스터(11b1), 트랜지스터(11c)를 통해 소스 신호선(18)에 흐른다. 또한, 프로그램용 트랜지스터(11an)를 흐르는 전류는, 트랜지스터(11b2), 트랜지스터(11c)를 통해 소스 신호선(18)에 흐른다. 따라서, 구동용 트랜지스터(11a1)의 전류와 프로그램용 트랜지스터(11an)의 전류는, 동수의 2개의 트랜지스터를 통과하여 소스 신호선(18)에 흐르도록 구성되어 있다.

도 25a 및 도 25b는 도 24의 화소 구성의 동작 설명도이다. 도 25a는 전류 프로그램 상태 또는 Va의 측정 상태의 투과 회로도이다. 도 25b는 EL 소자(15)에 전류를 공급하고 있는 상태를 도시하고 있다. 또한, 도 25b 상태에서, 트랜지스터(11d)를 온 오프(클로즈 오픈)시켜 간헐 표시를 실시해도 되는 것은 물론이다.

도 25a에서는, 게이트 신호선(17a)에 온 전압이 인가되어, 트랜지스터(11b1, 11b2, 11c)가 온한다. 트랜지스터(11a1)는 전류(Ie)를 공급하고, 트랜지스터(11an)는 전류(Ia-Ie)를 공급하여, 합성한 리셋 전류(Ia)가 소스 드라이버 IC에 프로그램 전류(리셋 전류(Ia))(Ia)로 된다. 따라서, 소스 드라이버 IC(회로)(14)는 이 리셋 전류(Ia)를 화소(16)에 공급한다.

이상의 동작에 의해, 프로그램 전류(Ia)에 대응하는 리셋 전압(Va)이 콘덴서(52)에 유지된다. 이 기간에는 트랜지스터(11d)는 오프 상태로 유지된다(게이트 신호선(17b)에는 오프 전압이 인가되고 있다). 그 후, 표시 계조에 대응하는 목표 계조 전압(Vc)이 화소(16)에 기입된다.

EL 소자(15)에 전류를 흘리는 경우가, 도 25b의 동작 상태로 도시된다. 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에 온 전압이 인가된다. 이 상태에서는, 트랜지스터(11b1, 11b2, 11c)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 된다. EL 소자(15)에 Ie 전류가 공급된다.

이상과 같이, 도 2, 도 23, 도 24, 도 26, 도 27 등의 다종 다양한 화소 구성에서, 본 발명을 적용할 수 있다.

도 2, 도 5, 도 6에서는, 참조 부호 10은 정전류 출력 회로로 하였다. 이하, 이 정전류 출력 회로(10)의 구성, 동작을 중심으로 하여 소스 드라이버 IC(회로)(14)를 설명한다.

정전류 출력 회로(10)는, 도 28에 도시하는 바와 같이, 단위 트랜지스터(284)의 집합으로서 구성된다. 단위 전류란, 기준 전류의 크기에 대응하여 단위 트랜지스터가 출력하는 1 단위의 프로그램 전류의 크기이다. 또한, 단위 트랜지스터란, 1 단위 또는 최소 단위의 프로그램 전류를 출력하는 트랜지스터 또는 전류원이다. 즉, 단위 트랜지스터=단위 전류원이다. 또한, 복수의 단위 트랜지스터가 집합하여, 프로그램 전류 또는 리셋 전류(Ia)를 출력하는 구성 또는 부분을 단위 트랜지스터군이라고 부른다.

단위 전류의 크기는 기준 전류 회로가 출력하는 기준 전류(Ic)의 크기 또는 강도를 조정함으로써 가변할 수 있다. 기준 전류의 조정은, 소스 드라이버 IC(회로)(14) 내에 내장한 전자 볼륨(331) 등에 의해 행한다. 기준 전류를 발생시키는 기준 전류 회로는 적색(R), 녹색(G), 청색(B) 회로마다 설치되어 있고, 각각의 RGB 기준 전류 회로의 기준 전류의 크기를 조정함으로써 화이트 밸런스를 취할 수 있다. 따라서, R, G, B의 화소의 각각의 리셋 전류(Ia), 리셋 전압(Va) 등의 크기를 독립적으로 설정할 수 있다. 또한, R, G, B의 화소 각각의 목표 계조 전압(Vc), 계조 전압(Vx)을 독립적으로 설정할 수 있다. 도 33에 그 실시예를 도시하고 있다.

RGB의 각 출력단은 단위 트랜지스터(284)의 집합으로 구성되어 있으며, 단위 트랜지스터의 출력 전류(단위 프로그램 전류)의 크기는, 기준 전류의 크기로 조정할 수 있다. 기준 전류의 크기를 조정하면, RGB마다 각 계조의 프로그램 전류(리셋 전류)(Ia)의 크기를 변경 또는 가변할 수 있다. 따라서, RGB의 단위 트랜지스터의 특성이 동일한 이상적 상태에서는, RGB의 기준 전류의 크기의 비율을 변화시킴으로써, 화이트 밸런스를 취할 수 있다.

이하의 실시예에서는, 단위 트랜지스터군(285) 등은 소스 드라이버 IC(회로)(14)에 형성 또는 구성하는 것으로 설명하지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 단위 트랜지스터군(285) 등은 어레이 기판에 형성해도 된다. 화소(16)와 단위 트랜지스터군(285), 게이트 드라이버 회로(12)를 어레이 기판에 형성하고, 다른 부분을 소스 드라이버 IC(회로)(14)에 형성해도 된다.

도 28, 도 29a 및 도 29b 등에 도시하는 바와 같이, 소스 드라이버 IC(회로)(14)는, 출력 단자수에 대응하는 출력단(트랜지스터군)(285)이 형성 또는 배치되어 있다. 각 출력단인 트랜지스터군(285)에는 리셋 전류(Ia)의 가변 비트수에 대응하는 단위 트랜지스터(284)가 형성 또는 배치되어 있다. 예를 들어, 기본적으로는 리셋 전류(Ia)의 제어 신호(단위)가 6 비트(D0~D5)인 경우에는, 2의 6승-1=63개의 트랜지스터(284)가 형성된다. 계조 0은 전류 0이므로, 어떤 단위 트랜지스터의 출력도 소스 신호선(18)에 출력되지 않는 상태이다. 리셋 전류(Ia)의 제어 신호가 8 비트(D0~D7)인 경우에는, 2의 8승-1=255개의 트랜지스터(284)가 형성된다.

이하, 설명을 용이하게 하거나 도시를 용이하게 하기 위해, 소스 드라이버 IC(회로)(14)의 정전류 출력 회로(10)는 6 비트로 하여 설명한다. 도 22a 및 도 22b에서, 각 단위 트랜지스터(284)는, 정전류 데이터(D0~D5)마다 배치된다. D0 비트에는 1개의 단위 트랜지스터(284)가 배치된다. D1 비트에는 2개의 단위 트랜지스터(284)가 배치된다. D2 비트에는 4개의 단위 트랜지스터(284)가 배치되고, D3 비트에는 8개의 단위 트랜지스터(284)가 배치되고, D4 비트에는 16개의 단위 트랜지스터(284)가 배치된다. 마찬가지로, D5 비트에는 32개의 트랜지스터(284)가 배치되어 있다.

각 비트의 단위 트랜지스터(284)의 출력 전류가 출력 단자(21)에 출력되는지의 여부는, 아날로그 스위치(281)(281a~281f)에 의한 온 오프 제어로 실현된다. 아날로그 스위치(281a~281f)는 정전류의 제어 신호의 각 비트(일례로서 6 비트)에 대응한다. D0 비트에 대응하는 스위치(281a)가 닫히면, 1 단위 전류가 출력 단자(21)로부터 출력(입력)된다. 출력 단자(21)에는, 소스 신호선(18)이 접속되어 있다. 마찬가지로, D1 비트에 대응하는 스위치(281b)가 닫히면, 2 단위 전류가 출력 단자(21)로부터 출력(입력)된다.

이하 마찬가지로, D2 비트에 대응하는 스위치(281c)가 닫히면, 4 단위 전류가 출력 단자(21)로부터 출력(입력)된다. D3 비트에 대응하는 스위치(281c)가 닫히면, 8 단위 전류가 출력 단자(21)로부터 출력(입력)된다. D4 비트에 대응하는 스위치(281d)가 닫히면, 16 단위 전류가 출력 단자(21)로부터 출력(입력)된다. D5 비트에 대응하는 스위치(281e)가 닫히면, 32 단위 전류의 출력 단자(21)로부터 출력(입력)된다.

이상과 같이, 리셋 전류(Ia)의 제어 신호의 비트에 대응하여, 디지털적으로 스위치(281)가 클로즈 또는 오픈하여, 단위 전류의 총합(프로그램 전류)이 출력 단자(21)로부터 출력된다.

단위 트랜지스터(284)는 트랜지스터(286b)와 커런트 미러 회로를 구성하고 있다. 또한, 도 28, 도 29a 및 도 29b에서는, 이해를 용이하게 하기 위해 트랜지스터(286b)를 1개로 도시하고 있다. 실제로는, 복수의 트랜지스터(트랜지스터군)로 구성(형성)된다.

트랜지스터(286b)에는 기준 전류(Ic)가 흐르고, 이 기준 전류(Ic)의 커런트 미러비에 따른 전류가 단위 트랜지스터(284)에 흐른다. 도 28의 63개의 단위 트랜지스터(284)는 모두 동일한 단위 전류를 출력한다. 단위 전류가 흐르기 위해서는, 해당 스위치(281)가 닫혀, 전류 경로를 구성할 필요가 있다.

기준 전류(Ic)는 OP 앰프(291a)와 저항(R1)으로 이루어지는 정전류 발생 회로에서 발생한다. 기준 전류(Ic)는 기준 전압(Vs)을 안정화 또는 고정밀화함으로써 일정화된다. 기준 전류(Ic)를 설정하는 전압(Vi와 Vs)이 저항(R1)의 양쪽 단에 인가된다. 따라서, 기준 전류  $I_c = (V_s - V_i) / R_1$ 으로 된다. 기준 전류(Ic)는 RGB 마다 설정할 수 있다. 즉, RGB 마다 트랜지스터군(285)이 구성(형성)되어 있다.

도 29a는 기준 전류(Ic)를, Vs 전압을 이용하여 발생시키는 회로 구성이다. 도 29b는 GND와 OP 앰프(291a)의 일단자 간에 배치(삽입)된 저항(R1)을 이용하여 기본적인 전류를 발생시키고, 트랜지스터(292b)와 트랜지스터(286a)로 이루어지

는 커런트 미러 회로에서 반환되어, 트랜지스터(286b)에 기준 전류(Ic)를 흘리는 구성이다. 도 29b 쪽이, 기준 전류(Ic)의 크기를 조정하기 쉽다. 그러나, 트랜지스터(292b)와 트랜지스터(286a)로 이루어지는 커런트 미러 회로에서 반환시키기 때문에, 편차가 발생하기 쉽다.

본 발명은 도 30a에 도시하는 바와 같이, 각 비트에 1개 또는 복수의 단위 트랜지스터(284)를 형성 또는 배치하는 것으로 하였다. 예를 들어, 1 비트째는, 1개의 단위 트랜지스터를 형성하고, 2 비트째는 2개의 단위 트랜지스터를 형성한다.

그러나, 본 발명은 이것에 한정하는 것은 아니다. 예를 들면, 각 비트에, 각 비트에 따른 전류를 출력하는 1개의 트랜지스터(284)를 형성 또는 배치해도 되는 것은 물론이다. 예를 들어, 1 비트째의 트랜지스터는, 0 비트째의 트랜지스터의 2배의 전류를 출력하는 트랜지스터를 1개 형성 또는 배치한다. 2 비트째의 트랜지스터는, 0 비트째의 트랜지스터의 4배의 전류를 출력하는 트랜지스터를 1개 형성 또는 배치한다. 그 외, 2 비트째의 트랜지스터는, 1 비트째의 트랜지스터의 2배의 전류를 출력하는 트랜지스터를 2개 형성 또는 배치하여도 된다.

도 30a에 도시하는 바와 같이, 64 계조(RGB 각 6 비트)의 경우에는, 63개의 단위 트랜지스터(284)를 형성하는 것으로 하였다. 따라서, 256 계조(RGB의 각 8 비트)의 경우, 255개의 단위 트랜지스터(284)가 필요하게 되게 된다.

도 30a는, 각 비트에 대해 동일한 사이즈의 단위 트랜지스터(284)를 배치한 트랜지스터군(285)의 구성이다. 설명을 용이하게 하기 위해, 도 30a는 63개의 단위 트랜지스터(284)가 구성되어, 6 비트의 트랜지스터군(285)을 구성(형성)하고 있는 것으로 한다. 또한, 도 30b는 8 비트인 것으로 한다.

도 30b에서는, 하위 2 비트(A로 도시)는, 단위 트랜지스터(284)보다 작은 사이즈의 트랜지스터로 구성하고 있다. 최소 비트체인 제0 비트째에는, 단위 트랜지스터(284)의 채널폭 W의 1/4로 형성하고 있다(단위 트랜지스터(284b)로 도시). 또한, 제1 비트째는, 단위 트랜지스터(284)의 채널폭 W의 1/2로 형성하고 있다(단위 트랜지스터(284a)로 도시). 또한, 단위 트랜지스터(284a)는, 단위 트랜지스터(284)의 채널폭 W의 1/4인 단위 트랜지스터(284b)를 2개로 형성하여도 된다.

단위 트랜지스터(284a, 284b, 284)의 게이트 단자는 동일한 게이트 배선(282)이 접속된다. 게이트 배선(283)은 트랜지스터(286b)의 게이트 단자와 접속되어 있다.

이상과 같이, 하위 2 비트는 상위의 단위 트랜지스터(284)보다 작은 사이즈의 단위 트랜지스터(284a, 284b)로 형성하고 있다. 따라서, 단위 트랜지스터(284a, 284b)는, 단위 트랜지스터(284)의 1/2, 1/4의 단위 전류를 출력할 수 있다. 단위 트랜지스터(284a, 284b)가 차지하는 면적은 아주 작다. 또한, 정규의 단위 트랜지스터(284)의 개수는 63개로 변화가 없다. 따라서, 6 비트(64 계조)로부터 8 비트(256 계조)로 변경해도, 트랜지스터군(285)의 형성 면적은 도 30a와 도 30b에서 큰 차이는 없다. 즉, 프로그램 전류 방식을 이용하는 소스 드라이버 IC(회로)(14)의 칩 사이즈는 계조수에 거의 의존하지 않는다. 반대로, 프로그램 전압 방식에서 이용하는 소스 드라이버 IC(회로)(14)는, 계조수에 크게 의존한다.

도 32에서도 도시하고 있는 바와 같이, 트랜지스터군(285)을 구성하는 단위 트랜지스터(284)의 게이트 단자는, 1개의 게이트 배선(283)에 접속되어 있다. 게이트 배선(283)에 인가된 전압에 의해 단위 트랜지스터(284)의 출력 전류가 결정된다. 따라서, 트랜지스터군(285) 내의 단위 트랜지스터(284)의 형상이 동일하면, 각 단위 트랜지스터(284)는 동일한 단위 전류를 출력한다.

본 발명은, 트랜지스터군(285)을 구성하는 단위 트랜지스터(284)의 게이트 배선(283)을 공통으로 하는 것에는 한정되지 않는다. 예를 들어, 도 31a와 같이 구성해도 된다. 또한, 트랜지스터군(251b)과는 트랜지스터(286b)가 대응한다. 트랜지스터군(285)에 의해 트랜지스터(286b)가 구성되어 있다. 도 31a에서, 트랜지스터군(251b1)과 커런트 미러 회로를 구성하는 단위 트랜지스터(284)와, 트랜지스터군(251b2)과 커런트 미러 회로를 구성하는 단위 트랜지스터(284)가 배치되어 있다. 트랜지스터군(285)은 계조 전압에 대응한 계조 전류를 출력할 수 있다. 따라서, 목표 계조 전압(Vc), 계조 전압(Vx)에 비례 또는 상관한 리셋 전류(Ia)를 발생시킬 수 있다. 당연한 일이지만, 소정치의 리셋 전류(Ia), 다단계의 리셋 전류(Ia)를 발생할 수 있다. 또한, 리셋 전류(Ia)의 크기는 RGB에서 독립적으로 설정 또는 조정할 수 있다.

트랜지스터군(251b1)은 게이트 배선(283a)으로 접속되어 있다. 트랜지스터군(251b2)은 게이트 배선(283b)으로 접속되어 있다. 도 31a의 맨 위 1개의 단위 트랜지스터(284)는 LSB(0 비트째)이며, 2단계의 2개의 단위 트랜지스터(284)는 1 비트째, 3단계의 4개의 단위 트랜지스터(284)는 2 비트째이다. 또한, 4단계 세트의 8개의 단위 트랜지스터(284)는 3 비트째이다.

도 31a에서, 게이트 배선(283a)과 게이트 배선(283b)의 인가 전압을 변화시킴으로써, 각 단위 트랜지스터(284)의 사이즈, 형상이 동일해도, 각 단위 트랜지스터(284)의 출력 전류를 변화(변경)할 수 있다.

도 31a에서, 단위 트랜지스터(284)의 사이즈 등을 동일하게 하고, 게이트 배선(283a, 283b)의 전압을 상이하게 했지만, 본 발명은 이것에 한정되는 것은 아니다. 단위 트랜지스터(284)의 사이즈 등을 상이하게 하여, 인가하는 게이트 배선(283a, 283b)의 전압을 조정함으로써, 상이한 형상의 단위 트랜지스터(284)의 출력 전류를 동일하게 하도록 해도 된다.

기준 전류(Ic)를 변화시키는 것은, 도 33 등의 전자 블록(331)을 변화시키는 방법이 있다. 또한 도 33에는 전자 블록(331)과 RGB마다 구성된 전자 블록(331R, 331G, 331B)으로 도시하고 있다. 기준 전류(Ic)를 수평 주사 기간(H)의 동기 신호(HD), 수직 주사 동기 신호(V)의 동기 신호(VD)에 동기시켜 변화시킬 수 있다. VD, HD는 소스 드라이버 회로의 내장 클럭에 동기하여 발생시킨다.

소스 드라이버 IC(회로)(14)는, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 회로를 내장한다(도 12, 도 13, 도 14를 참조). 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 또는 디스차지 회로의 전압(전류) 출력치는, R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계치가 RGB에서 상이하기 때문이다. 또한, RGB에서 리셋 전압(Va)이 상이하기 때문이다.

도 34는 프리차지부의 구성도이다. Vp는 프리차지 전압이다. 프리차지 전압(Vp)의 인가 기간은 영상 데이터(D0~D5)에 의해 결정하는 것이 바람직하다. 또는 계조 전압(Vx)에 대응하여 Vp의 인가 기간을 결정하는 것이 바람직하다. 또한, 프리차지 전압(Vp)의 크기는 영상 데이터 또는 계조 전압(Vx)에 의해 결정하는 것이 바람직하다.

프리차지 전압(Vp)은, HD 또는 VD에 동기하여 출력된다. 프리차지 전압을 출력하는 시간은, 수평 동기 신호(HD)를 기점으로 하여 카운터(342)의 설정치로 결정된다. 카운터(342)는 클럭(CLK) 신호에 동기하여 카운트 업된다. 프리차지 전압 출력 기간은, HD의 처음부터 개시된다. 카운터(342)는 카운트한 카운트치와 설정치가 일치하면, 프리차지 전압의 출력 기간이 종료한다. 카운터 회로(342)의 출력은 앤드(AND) 회로(343)의 a부 입력으로 된다. 또한, 프리차지 전압(Vp)은, 온(인가함)/오프(인가하지 않음)를 절환할 수 있도록 구성한다.

도 34의 구성에서는, 어떠한 조건에서 프리차지할지는 일치 회로(341)에 의해 결정된다. 일치 회로(341)에는, 영상 데이터(D0~D5)가 인가된다. 일치 회로는 프리차지 전압 범위가 메모리되어 있다. 일치 회로(341)는 클럭(CLK)으로 동기하여 동작한다. 또한, 인에이블 신호(EN)가 H일 때, 프리차지 전압은 출력되고, L일 때에는 영상 데이터의 값에 의하지 않고, 프리차지 전압은 출력되지 않는다. 일치 회로(341)의 출력은 앤드 회로(343)의 b 단자 입력으로 된다.

앤드 회로(343)의 a부 입력이 H이고, b 단자 입력이 H일 때, 스위치(281a)가 닫혀서, 프리차지 전압(Vp)이 내부 배선(282)에 인가되며, 또한 HI 신호가 H일 때, 스위치(281b)가 닫혀 출력 단자(21)로부터 프리차지 전압이 출력된다.

도 35는, 소스 드라이버 IC(회로)(14)의 프리차지 회로(프리차지 전압을 출력하는 화소 구성부)(353)를 중심으로 하는 블록도이다. 프리차지 회로(353)란, 프리차지 제어 회로에 의해 프리차지 제어 신호 PC 신호(적(RPC), 녹(GPC), 청(BPC))가 출력되는 회로이다.

선택(셀렉터) 회로(352)는, 메인 클럭에 동기하여 출력단에 대응하는 래치 회로(351)에 순차적으로 래치해 간다. 래치 회로(351)는 래치 회로(351a)와 래치 회로(351b)의 2단 구성이다. 래치 회로(351b)는 수평 주사 클럭(1H)에 동기하여 프리차지 회로(353)에 데이터를 송출한다. 즉, 셀렉터는, 1 화소행분의 화상 데이터 및 PC 데이터를 순차적으로 래치해 나가고, 수평 주사 클럭(1H)에 동기하여, 래치 회로(351b)에서 데이터를 스토어한다.

도 35에서는, 래치 회로(351)의 R, G, B는 RGB의 화상 데이터 6 비트의 래치 회로이며, P는 프리차지 신호(RPC, GPC, BPC)의 3 비트를 래치하는 래치 회로이다.

프리차지 회로(353)는, 래치 회로(351b)의 출력이 H 레벨일 때, 스위치(281a)를 온 시켜, 소스 신호선(18)에 프리차지 전압(Vp)을 출력한다. 정전류 출력 회로(10)는 화상 데이터에 따라, 프로그램 전류(리셋 전류(Ia))를 소스 신호선(18)에 출력한다.

이하, 전압 계조 회로(20)에 대해 설명한다. 전압 계조 회로(20)가 출력하는 전압( $V_x$ )을 프로그램 전압이라고 부른다. 프로그램 전압( $V_x$ )은 리셋 전압( $V_a$ ) 또는 리셋 전압( $V_0$ )과 가산됨으로써 목표의 계조 전압( $V_c$ )(일례로서  $V_c = V_a + V_x$ )으로 된다.

도 36에 도시하는 바와 같이, 8 비트의 영상 DATA에 대응하는 전압(프로그램 전압)이, 영상 클럭에 동기하여 전자 볼륨(331)으로부터 출력된다. 프로그램 전압은  $C_c$  용량에 일시적으로 유지되고, 버퍼 앰프(291a)로부터 출력된다. 출력된 전압은, 샘플 홀드 회로(이 실시예에서는 절환 회로와 같이 도시하고 있음)(361)에 의해, 각 출력 단자(21)에 순차적으로 배분된다(출력 단자(21a, 21b, 21c, 21d, ..., 21n, 21a, 21b, 21c, ..., 21n, ...)). 배분은 클럭(CLK)에 동기하여 실시된다.

전압 계조 회로(20)가 출력하는 전압은, EL 표시 패널의 구동용 트랜지스터(11a)의 특성 편차를 반영한 것이어도 된다. 각 구동용 트랜지스터(11a)의 리셋 전압( $V_a$ ) 또는 그것과 비슷한 전압을 미리 측정해 둔다. 측정이란, 도 1과 같이, 리셋 전압( $V_a$ )을 전기적으로 읽어내는 방법을 예시할 수 있다. 또한, EL 표시 장치의 표시 영역에 소정 전압을 인가하고, 점등하고 있는 각 EL 소자의 발광 상태를, 스캐너 등을 이용해 광학적으로 측정한다. 측정한 화상 데이터로부터, 각 구동용 트랜지스터(11a)의 특성 편차를 구한다. 구한 데이터를 이용하여 계조 전압( $V_x$ )을 보정한다.

## (제2 실시예)

이하, 본 발명의 제2 실시예에 대해 설명한다. 또한, 이하의 실시예에 있어서, 제1 실시예와 같은 개소, 동작 등은 설명을 생략한다. 설명은 제1 실시예와의 차이를 중심으로 하여 설명한다. 이전에 설명한 내용은, 이후의 실시예에 적용된다. 예를 들어, 도 5, 도 6, 도 8, 도 9 등의 드라이버 회로에 관한 구성을 적용할 수 있고, 적시에 조합할 수 있다. 도 12, 도 13, 도 14 등의 프리차지 방법, 도 34의 프리차지 회로에 관한 구성을 적용할 수 있고, 적시에 조합할 수 있다. 또한, 도 15의 데이터 전송 방법에 관한 구성을 적용할 수 있고, 적시에 조합할 수 있다. 또한, 도 20의 게이트 드라이버 회로, 도 18a 및 도 18b, 도 21a 및 도 21b, 도 22a 및 도 22b의 간헐 표시, 도 28, 도 29a 및 도 29b, 도 30a 및 도 30b, 도 31a 및 도 31b, 도 32, 도 33, 도 35, 도 36, 도 38의 소스 드라이버에 관한 구성을 적용할 수 있고 적시에 조합할 수 있다. 이상의 사항은 제2 실시예 뿐만 아니라 다른 실시예에도 적용된다.

도 39는 본 발명의 제2 실시예에서의 EL 표시 장치의 화소 구성 등의 설명도이다. 도 2와의 차이는, 콘덴서(19b)와 스위칭용 트랜지스터(11e)가 부가된 점이다. 콘덴서(19b)는 구동용 트랜지스터(11a)의 게이트 단자와 트랜지스터(11e)의 드레인 단자 사이에 배치된다. 콘덴서(19b)는, 신호의 직류 성분을 컷한다. EL 표시 장치에는, RGB의 3 종류의 색의 화소가 매트릭스 형상으로 형성되어 있다. 설명을 용이하기 하기 위해, 도 39에서도 도 2와 마찬가지로 1 화소를 추출하여 도시하고 있다.

트랜지스터(11b), 트랜지스터(11c)는, 소스 신호선(18)에 인가된 전류 신호를 구동용 트랜지스터(11a)에 인가하기 위해 동작한다(전류 프로그램). 콘덴서(19b)와 트랜지스터(11e)는 소스 신호선(18)에 인가된 전압 신호를 구동용 트랜지스터(11a)에 인가하기 위해 동작한다(전압 프로그램).

게이트 드라이버 회로(12)는 12a, 12b, 12c의 3개를 갖는다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어한다. 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어한다. 게이트 드라이버 회로(12c)는 게이트 신호선(17c)을 제어한다. 게이트 드라이버 회로(12a, 12b, 12c)는 각각 내부에 시프트 레지스터 회로를 갖고, 동기를 취해, 화소행을 선택하는 게이트 신호선(12) 위치를 시프트시킨다.

도 40, 도 41은 도 39의 본 발명의 EL 표시 장치의 구동 방법의 설명도이다. 소스 드라이버 회로(14)는, 앞의 실시예와 마찬가지로 정전류 출력 회로와 전압 계조 회로를 구비한다. 동작은, 도 42의 표로 나타내는 바와 같이, 리셋 기간과, 기입 기간, 유지(발광) 기간으로 대별된다. 리셋 기간은, 구동용 트랜지스터(11a)에 리셋 전류( $I_a$ )를 인가하는 기간이다. 기입 기간은, 목표 계조 전압( $V_c$ )을 화소(16)에 기입하는 기간이다. 유지 기간은, EL 소자(15)가 발광하는 기간이다.

리셋 기간은 1H의 처음에 실시된다. 리셋 기간의 뒤에, 기입 기간이 개시된다. 리셋 기간+ 기입 기간=1 수평 주사 기간(1 화소행을 선택하는 기간)이다. 또한, 경우에 따라서는, 리셋 기간의 개시 직후에 기입 기간을 개시하여도 된다.

제2 실시예도 제1 실시예와 마찬가지로, 화소(16)에 리셋 전류( $I_a$ )를 인가하는 단계와, 화소(16)에 목표 계조 전압( $V_c$ )을 인가하는 단계를 갖는다. 또한, 리셋 전원( $V_a$ )과 계조 전압( $V_x$ )으로부터 목표 계조 전압( $V_c$ )을 발생시키는 동작을 갖는다.

이하, 도 42 및 도 40, 도 41을 참조하면서 본 발명의 EL 표시 장치의 동작에 대해 설명한다.

도 40에 도시하는 바와 같이, 리셋 기간에서는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어하여, 1 화소행을 선택한다. 선택된 화소행의 트랜지스터(11c, 11b)는 온(클로즈) 상태로 된다. 소스 드라이버 회로(14)의 스위치(SW1)는 온하여, 정전류 출력 회로(413)는 리셋 전류(Ia)를 소스 신호선(18)에 인가한다. 리셋 전류(Ia)는 선택된 화소(16)의 애노드 전압(Vdd)→구동용 트랜지스터(11a)→트랜지스터(11c)→소스 신호선(18)을 흐른다. 또한, 스위치(SW2)는 오프 상태이다.

구동용 트랜지스터(11a)에 리셋 전류(Ia)가 흐름으로써, 구동용 트랜지스터(11a)의 게이트 단자에는, 리셋 전류(Ia)가 흐르도록 전류 프로그램이 행해진다. 리셋 전류(Ia)를 흘리도록 설정하는 리셋 전압(Va)은 제1 실시예와 마찬가지로 구동용 트랜지스터(11a)에 게이트 단자에 접속된 콘덴서(19b)에 유지된다(a점). 동시에 트랜지스터(11c), 트랜지스터(11b)가 온 상태이기 때문에, 콘덴서(19b)의 a점의 전위와 b점의 전위는 동일 전위로 된다. 따라서, 콘덴서(19b)의 양 단자에는 전위차가 발생하지 않는다. 이상의 동작시, 게이트 신호선(17c) 및 게이트 신호선(17b)에는 오프 전압이 인가되어 있고, 트랜지스터(11e), 트랜지스터(11d)는 오프(오픈) 상태로 유지된다.

도 41은, 기입 기간의 동작의 설명도이다. 기입 기간은 전압 프로그램의 기간이다. 기입 기간에는, 게이트 드라이버 회로(12c)는 게이트 신호선(17c)을 제어하여, 리셋 전류(Ia)를 인가한 1 화소행을 선택한다. 선택된 화소행의 트랜지스터(11e)는 온(클로즈) 상태로 된다. 소스 드라이버 회로(14)의 스위치(SW2)는 온하여, 계조 전압 회로(411)는 계조 전압(Vx)을 소스 신호선(18)에 인가한다. 또한, 스위치(SW1)는 오프 상태이다. 또한, 트랜지스터(11b, 11c, 11d)는 오프 상태이다.

계조 전압(Vx)은, 트랜지스터(11e)를 통해 선택된 화소(16)의 콘덴서(19b)의 b 단자에 인가된다. 계조 전압(Vx)은 V1로 한다. 또한, 설명을 용이하게 하기 위해, 계조 전압(V1)은 리셋 전압(Va)을 기준으로 하여 V1의 전위차를 발생시키는 것으로 한다.

계조 전압(V1)이 콘덴서(19b)의 b 단자에 인가되면, 콘덴서(19b)의 단자는, V1의 전위만큼 전위 시프트한다. 즉, 콘덴서(19b)의 a 단자의 전위는, 리셋 전압(Va)+ 계조 전압(V1)=목표 계조 전압(Vc)으로 된다. 이 목표 계조 전압(Vc)이 구동용 트랜지스터(11a)의 게이트 단자에 인가된다.

유지(발광) 기간에서는, 게이트 신호선(17b)에 온 전압이 인가되어, 트랜지스터(11d)가 온 상태로 된다. 트랜지스터(11d)의 온 오프 제어는, 도 18a 및 도 18b, 도 21a 및 도 21b, 도 22a 및 도 22b의 구동 방법에 대응하도록 실시된다. 유지(발광) 기간에는, 트랜지스터(11e, 11b, 11c)는 오프 상태로 유지된다. 구동용 트랜지스터(11a)는 목표 계조 전압(Vc)을 전압-전류 변환하고, 변환한 전류를 EL 소자(15)에 인가한다. EL 소자(15)는 인가된 전류에 대응하여 발광한다.

이상과 같이, 게이트 신호선(17a)과 게이트 신호선(17c)은 세트가 되어, 화소행을 순차적으로 선택한다. 선택된 화소행에는, 리셋 전류(Ia)와 계조 전압(Vx)이 인가되고 화소행의 각 화소에는 목표 계조 전압(Vc)이 인가된다.

본 발명의 제1 실시예에서는, 목표 계조 전압(Vc)은 소스 드라이버 내 등에 형성된 콘덴서(52)를 이용하여 발생시켰다. 발생된 목표 계조 전압(Vc)은 소스 신호선(18)에 출력되고 구동용 트랜지스터(11a)에 인가되었다.

본 발명의 제2 실시예에서는, 소스 신호선(18)에는 계조 전압(Vx)이 출력되고, 화소(16)의 콘덴서(19b)에 의해, 리셋 전압(Va)과 계조 전압(Vx)이 가산(감산)되어 목표 계조 전압(Vc)을 발생시킨다.

도 34 등의 프리차지 전압(Vp) 발생 회로에 의해, 프리차지 전압(Vp)을 1H의처음에 인가하면, 도 12 내지 도 14의 구동 방식을 실현할 수 있는 것은 물론이다. 또한, 제2 실시예에서, 도 16a 및 도 16b의 복수 화소행을 선택하는 구동 방법과 조합할 수 있다. 또한, 정전류 출력 회로로서, 도 28 등의 구성을 채용할 수 있다.

이상과 같이, 본 발명의 제2 실시예는, 다른 실시예와 서로 조합할 수 있다. 또한, 각 구성 부품, 구동 방법을 채용할 수 있다. 또한, 명세서에 기재하는 화소 구성에서도 채용할 수 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지로 적용된다.

도 43은 제3 실시예이다. 도 43에서는, 리셋 전류(Ia)를 발생시키는 소스 드라이버 회로(14a)와, 계조 전압(Vx)을 발생시키는 소스 드라이버 회로(14b)를 구비한다. 소스 드라이버 회로(14a)의 출력 단자는, 소스 신호선(18a)에 접속되어 있다.

소스 드라이버 회로(14b)의 출력 단자는, 소스 신호선(18b)에 접속되어 있다. 트랜지스터(11c)의 소스 단자는 소스 신호선(18a)에 접속되고, 트랜지스터(11e)의 소스 단자는 소스 신호선(18b)에 접속되어 있다. 다른 구성 등은 제1 실시예 및 제2 실시예와 마찬가지로이다.

### (제3 실시예)

도 44의 표는 본 발명의 제3 실시예의 각 구성 요소의 동작 상태를 도시한다. 이하, 도 43 및 도 44를 참조하면서, 본 발명의 제3 실시예에 대해 설명한다. 또한, 제2 실시예와 마찬가지로, 게조 전압( $V_x$ )은  $V_1$ 로서 설명한다.

리셋 기간에서는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)를 제어하여, 1 화소행을 선택한다. 선택된 화소행의 트랜지스터(11c, 11b)는 온(클로즈) 상태로 된다. 소스 드라이버 회로(14)는 리셋 전류( $I_a$ )를 소스 신호선(18a)에 인가한다. 리셋 전류( $I_a$ )는 선택된 화소(16)의 애노드 전압( $V_{dd}$ )→구동용 트랜지스터(11a)→트랜지스터(11c)→소스 신호선(18a)을 흐른다. 또한, 전술의 실시예 등에서도 설명했지만, 리셋 전류( $I_a$ )의 전류 방향은, 화소(16)의 구성에 맞추어, 토출 전류 방향, 흡입 전류 방향의 어느 하나를 선택하여 채용한다.

구동용 트랜지스터(11a)에 리셋 전류( $I_a$ )가 흐른다. 구동용 트랜지스터(11a)의 게이트 단자에는, 리셋 전류( $I_a$ )가 흐르도록 전류 프로그램이 행해진다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자에는 리셋 전류( $I_a$ )를 흘리도록 리셋 전압( $V_a$ )이 설정된다. 리셋 전압( $V_a$ )은 콘덴서(19b)의 a점에 유지된다.

기입 기간에서는, 게이트 신호선(17c)에 온 전압이 인가되어, 트랜지스터(11e)가 온 된다. 또한, 트랜지스터(11e)는 리셋 기간에 온시키고, 기입 기간에 온 상태를 계속시켜도 된다. 기입 기간에서는, 트랜지스터(11b, 11c, 11d)는 오프 상태로 유지된다.

기입 기간에, 소스 드라이버 회로(14b)는, 입력되는 영상 신호에 기초한 게조 전압( $V_1$ )을 소스 신호선(18b)에 인가한다. 트랜지스터(11c)를 온시킴으로써, 소스 신호선(18b)에 인가된 전압( $V_1$ )이 콘덴서(19b)의 b 단자에 인가된다. 콘덴서(19b)의 b 단자의 전위가 초기 상태의 전압( $V_b$ )으로부터  $V_1$ 로 변화한다.

b 단자의 전압이 초기 상태의 전압( $V_b$ )으로부터  $V_1$  전압으로 변화함으로써, 콘덴서(19b)의 a 단자 전위가,  $V_a$  전압으로부터  $V_a + V_1$ 로 변화한다(가산 방향일 때). 또는,  $V_a - V_1$ 로 변화한다(감산 방향일 때). 따라서, 구동용 트랜지스터(11a)에 게이트 단자에는, 목표 게조 전압( $V_c = V_a \pm V_x$ )이 인가된다.

초기 상태의 전압( $V_b$ )은, 리셋 전압( $V_a$ )으로 해도 된다. 리셋 기간에 소스 신호선(18a)과 소스 신호선(18b)을 전기적으로 단락함으로써 실현할 수 있다. 단락은, 소스 신호선(18a)과 소스 신호선(18b) 사이에 아날로그 스위치를 형성함으로써 용이하게 실현할 수 있다. 리셋 기간에 아날로그 스위치를 온시킴으로써, 소스 신호선(18a)의 전위( $V_a$ )가 소스 신호선(18b)에 인가된다.

소스 드라이버 회로(14a)는 각 소스 신호선(18a)에, 리셋 전류( $I_a$ )를 정상적으로 인가한다. 따라서, 소스 신호선(18a)의 전위를 안정적으로 유지할 수 있다. 단, 화소행의 선택에 따라, 구동용 트랜지스터(11a)의 특성에 대응하여 리셋 전압( $V_a$ )은 변화한다.

유지(발광) 기간에서는, 게이트 신호선(17b)에 온 전압이 인가되어 트랜지스터(11d)가 온 상태로 된다. 트랜지스터(11d)의 온 오프 제어는, 도 18a 및 도 18b, 도 21a 및 도 21b, 도 22의 구동 방법에 대응하도록 실시된다. 유지(발광) 기간에서는, 트랜지스터(11e, 11b, 11c)는 오프 상태로 유지된다. 구동용 트랜지스터(11a)는 목표 게조 전압( $V_c$ )을 전압-전류 변환하고, 변환한 전류를 EL 소자(15)에 인가한다. EL 소자(15)는 인가된 전류에 대응하여 발광한다.

이상과 같이, 게이트 신호선(17a)과 게이트 신호선(17c)은 세트가 되어, 화소행을 순차적으로 선택한다. 선택된 화소행의 구동용 트랜지스터에는 리셋 전류( $I_a$ )가 인가되고, 구동용 트랜지스터(11a)의 게이트 단자에는 목표 게조 전압( $V_c$ )이 인가된다.

### (제4 실시예)

도 45는 제4 실시예이다. 도 46의 표는, 도 45의 동작의 설명도이다. 도 45의 실시예에서는, 도 1, 도 39의 실시예와 마찬가지로, 각 화소(16)는 1개의 소스 신호선(18)에 접속되어 있다. 큰 차이는, 정전류 출력 회로를 갖는 소스 드라이버 회로(12a)의 출력 단자와, 계조 전압 회로를 갖는 소스 드라이버 회로(12b)의 출력 단자 기간이, 콘덴서(19b)에 의해 접속되어 있는 점이다.

리셋 기간에서는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어하여, 1 화소행을 선택한다. 선택된 화소행의 트랜지스터(11c, 11b)는 온(클로즈) 상태로 된다. 소스 드라이버 회로(14a)는 리셋 전류(Ia)를 소스 신호선(18)에 인가한다. 리셋 전류(Ia)는 선택된 화소(16)의 애노드 전압(Vdd)→구동용 트랜지스터(11a)→트랜지스터(11c)→소스 신호선(18)을 흐른다.

구동용 트랜지스터(11a)의 게이트 단자에는, 리셋 전류(Ia)가 흐르도록 전류 프로그램이 행해진다. 리셋 전류(Ia)를 흘리도록 설정하는 리셋 전압(Va)은 제1 실시예와 마찬가지로 구동용 트랜지스터(11a)에 게이트 단자 및 소스 신호선(18)에 유지된다. 트랜지스터(11)는 리셋 기간 및 기입 기간에서는 오프 상태이다.

리셋 기간 후에 기입 기간이 개시된다. 기입 기간에서는 소스 드라이버 회로(14b)는 계조 전압(Vx)을 출력한다. 또한, 도 46의 표에 나타나고 있는 바와 같이, 리셋 기간에서는, 소스 드라이버 회로(14b)의 출력 전압은 Vb 전압인 것으로 하고, 기입 기간에서는 계조 전압  $V_x=V_1$ 을 출력하는 것으로서 설명한다.

기입 기간에서는, 소스 드라이버 회로(14b)의 계조 전압 회로(411)로부터 계조 전압(V1)이 출력된다. 계조 전압(V1)은 콘덴서(19b)를 통해, 소스 신호선(18)에 인가된다. 따라서, 소스 신호선(18)에는, 리셋 전압(Va)+ 계조 전압(V1)=목표 계조 전압(Vc)으로 된다. 이 목표 계조 전압(Vc)이 구동용 트랜지스터(11a)의 게이트 단자에 인가된다.

유지(발광) 기간에서는, 게이트 신호선(17b)에 온 전압이 인가되어, 트랜지스터(11d)가 온 상태로 된다. 유지(발광) 기간에서는, 트랜지스터(11b, 11c)는 오프 상태로 유지된다. 구동용 트랜지스터(11a)는 목표 계조 전압(Vc)을 전압-전류 변환하고, 변환한 전류를 EL 소자(15)에 인가한다. EL 소자(15)는 인가된 전류에 대응하여 발광한다.

이상과 같이, 게이트 신호선(17a)은 화소행을 순차적으로 선택한다. 선택된 화소행에는, 리셋 전류(Ia)가 인가되고, 소스 신호선(18)에 리셋 전압(Va)이 취출되어, 리셋용 전압(Va)과 계조 전압(Vx)이 가감산된 전압(Vc)이, 구동용 트랜지스터(11a)의 게이트 단자에 인가된다.

#### (제5 실시예)

도 47은 제5 실시예이다. 도 48의 표는, 도 47의 동작 상태의 설명도이다. 제5 실시예와 제4 실시예의 차이는, 트랜지스터(11b)와 트랜지스터(11c)가 게이트 신호선(17a)과 게이트 신호선(17c)에 의해 개별적으로 온 오프 제어될 수 있는 점이다.

도 47도 도 45의 실시예와 마찬가지로, 각 화소(16)는 1개의 소스 신호선(18)에 접속되어 있다. 리셋 기간에서는, 게이트 드라이버 회로(12a) 및 게이트 드라이버(11c)는 게이트 신호선(17a, 17c)을 제어하여, 1 화소행을 선택한다. 선택된 화소행의 트랜지스터(11c, 11b)는 온(클로즈) 상태로 된다. 소스 드라이버 회로(14a)는 리셋 전류(Ia)를 소스 신호선(18)에 인가한다. 리셋 전류(Ia)는 선택된 화소(16)의 애노드 전압(Vdd)→구동용 트랜지스터(11a)→트랜지스터(11c)→소스 신호선(18)을 흐른다.

구동용 트랜지스터(11a)의 게이트 단자에는, 리셋 전류(Ia)가 흐르도록 전류 프로그램이 행해진다. 리셋 전류(Ia)를 흘리도록 설정하는 리셋 전압(Va)은 제4 실시예와 마찬가지로 구동용 트랜지스터(11a)에 게이트 단자 및 소스 신호선(18)에 출력된다. 트랜지스터(11d)는 리셋 기간 및 기입 기간에서는 오프 상태이다.

기입 기간에서는, 게이트 신호선(17a)에는 온 전압이 인가되어 트랜지스터(11c)의 온 상태가 유지된다. 게이트 신호선(17c)에는 오프 전압이 인가되어 트랜지스터(11b)는 오프 상태로 제어된다. 기입 기간에서는, 소스 드라이버 회로(14b)의 계조 전압 회로(411)로부터 계조 전압(V1)이 출력된다. 계조 전압(V1)은 콘덴서(19b)를 통해, 소스 신호선(18)에 인가된다. 따라서, 소스 신호선(18)에는, 리셋 전압(Va)+ 계조 전압(V1)=목표 계조 전압(Vc)으로 된다. 이 목표 계조 전압(Vc)이 구동용 트랜지스터(11a)의 게이트 단자에 인가된다.

제5 실시예에서는, 제4 실시예와 상이하어, 기입 기간에 트랜지스터(11b)를 오프 상태로 하고 있기 때문에, 양호하게 구동용 트랜지스터(11a)에 목표 계조 전압(Vc)을 기입할 수 있다.

유지(발광) 기간에서는, 게이트 신호선(17b)에 온 전압이 인가되어 트랜지스터(11d)가 온 상태로 된다. 유지(발광) 기간에서는, 트랜지스터(11b, 11c)는 오프 상태로 유지된다. 구동용 트랜지스터(11a)는 목표 계조 전압(Vc)을 전압-전류 변환하고, 변환한 전류를 EL 소자(15)에 인가한다. EL 소자(15)는 인가된 전류에 대응해 발광한다.

본 발명의 실시예에서, 화소(16)에 인가하는 리셋 전류 Ia는 1종류로 했지만, 이것에 한정하는 것은 아니다. 예를 들면, 10  $\mu$ A인 제1 리셋 전류 Ia1과, 20  $\mu$ A인 제2 리셋 전류 Ia2의 2개의 리셋 전류를 발생시키고, 이들 리셋 전류를 화소에 인가하고, 각각의 목표 계조 전압 등을 구해도 된다. 구해진 목표 계조 전압은, 평균화 처리를 행함으로써, 높은 정밀도의 목표 계조 전압을 얻을 수 있다.

본 발명의 실시예에서, 화소(16)에 인가하는 리셋 전류 Ia의 횟수는 1회로 했지만, 이것에 한정하는 것은 아니다. 예를 들면, 화소(16)에 10  $\mu$ A의 리셋 전류 Ia를 4회 인가하고, 각각의 목표 계조 전압 등을 구하여도 된다. 구해진 목표 계조 전압은, 평균화 처리를 행함으로써, 높은 정밀도의 목표 계조 전압을 얻을 수 있다.

이하의 사항은, 제1 실시예 내지 제5 실시예의 공통 사항이다.

제1 내지 제5 실시예에서는, 정전류 출력 회로를 사용하고 있다. 정전류 출력 회로는 소스 드라이버 회로(14) 내에 형성되는 경우에도 있고, 어레이 기관(30)에 형성되는 경우에도 있다. 도 49는, 정전류 출력 회로를 반도체 IC 기술로 제작한 소스 드라이버 회로(14) 내에 형성한 예이다. 어레이 기관(31)에는, 전류 유지 회로(501)가 형성되어 있다. 소스 드라이버 회로(14)의 1 출력 단자에는, 2개의 전류 유지 회로(501(501a, 501b))가 접속되어 있다. 소스 드라이버 회로(14)는 토출 전류 방향인 리셋 전류(Ia)를 출력한다.

도 50은, 2개의 전류 유지 회로(501a, 501b)의 상세 구성도이다. 전류 유지 회로(501)는, 전류를 유지하는 콘덴서(19)와, 기입된 전류(유지된 전류)를 출력 또는 발생시키는 구동용 트랜지스터(11)로 구성된다. 또한, 스위치(SA, SB)로 구성된다.

화소(16)의 리셋 전류(Ia)가 전류 유지 회로(501a)에 유입되고 있을 때에는, 소스 드라이버 회로(14)는 전류 유지 회로(501b)에 리셋 전류(Ia)를 기입하고 있다. 화소(16)의 리셋 전류(Ib)가 전류 유지 회로(501b)에 유입되고 있을 때에는, 소스 드라이버 회로(14)는 전류 유지 회로(501a)에 리셋 전류(Ia)를 기입하고 있다. 전류 유지 회로(501a, 501b)는 교대로 소스 드라이버 회로(14)로부터 리셋 전류(Ia)가 기입된다.

전류 유지 회로(501a)에 소스 드라이버 회로(14)로부터 리셋 전류(Ia)를 기입할 때에는, 트랜지스터(스위치)(SAa)를 온시킨다. 그때, 트랜지스터(스위치)(SAb)는 오프로 된다. 화소(16)로부터 전류가 전류 유지 회로(501a)에 유입되게 할 때에는, 트랜지스터(스위치)(SAb)를 온시킨다. 그때, 트랜지스터(스위치)(SAa)는 오프로 된다.

마찬가지로, 전류 유지 회로(501b)에 소스 드라이버 회로(14)로부터 리셋 전류(Ia)를 기입할 때에는, 트랜지스터(스위치)(SBa)를 온시킨다. 그때, 트랜지스터(스위치)(SBb)는 오프로 된다. 화소(16)로부터 전류가 전류 유지 회로(501b)에 유입되게 할 때에는, 트랜지스터(스위치)(SBb)를 온시킨다. 그때, 트랜지스터(스위치)(SBa)는 오프로 된다. 이상과 같이 구성함으로써, 소스 드라이버 회로(14)의 구성을 간략화할 수 있고, 또한, 출력 단자수를 삭감시킬 수 있다.

소스 드라이버 회로(14)의 출력 단자(21)를 삭감시키려면, 도 51에 도시하는 바와 같이 화소(16a, 16b)를 구성하는 것도 효과적이다. 1개의 출력 단자(21)에는, 1개의 소스 신호선(18)이 접속되어 있다. 1개의 소스 신호선에는, 2 화소열이 접속되어 있다. 화소(16a)와 화소(16b)는 동일 소스 신호선(18)에 접속되어 있다.

소스 신호선(18)에는 리셋 전류(Ia), 계조 전압(Vx) 또는 목표 계조 전압(Vc)이 인가된다. 또한, 본 발명의 실시예의 구성에 따라서는, 리셋 전압(Va)이 출력된다.

화소(16a)는 1 수평 주사 기간의 전반에 리셋 전류(Ia)가 인가되고, 화소(16b)에는 상기 화소(16b)가 선택되고 있는 기간 이외의 기간에 리셋 전류(Ia)가 인가된다. 즉, 화소(16a)와 화소(16b)는 시분할로 선택된다.

전압 프로그램 방식에서는, 계조 전압(Vx), 목표 계조 전압(Vc)에 대해 온도 보상을 실시하는 것이 바람직하다. 구동용 트랜지스터(11a)의 전압-전류(V-I) 특성이 온도 의존성을 갖고 있기 때문이다.

본 발명에서는, 도 52에 도시하는 바와 같이, 화소(16)에 구성과 동일 또는 유사한 구성의 온도 검출 회로(화소)(521)를 어레이 기판에 형성하고 있다. 온도 검출 회로(521)는 리셋 전압(Va)의 온도 변화를 검출하는 구동용 트랜지스터(11)와 유지용 콘덴서(19)로 구성된다.

온도 검출 회로(521)는, 복수개가 어레이 기판에 형성된다. 1개의 온도 검출 회로(521)에서는, 이 1개의 온도 검출 회로(521)에 결합이 있으면, 패널 모듈이 불량품으로 되어 버리기 때문이다. 도 52의 실시예와 같이, 복수개의 온도 검출 회로(521)를 형성해 두면, 적어도 1개의 온도 검출 회로(521)가 불량품이면 된다. 복수개의 온도 검출 회로(521)에서 1개의 온도 검출 회로(521)의 선택은, 셀렉터 회로(524)에 의해 행한다.

각 온도 검출 회로(521)에는, 정전류 회로(413)가 접속되어 있다. 정전류 회로(413)는 소스 드라이버 회로(14) 내에 형성되어 있다. 또한, 정전류 회로(413)는 리셋 전류(Ia)를 출력하는 회로와 동일하다. 정전류 회로(413)는, 리셋 전류(Ia)와 동일한 크기의 전류를 온도 검출 회로(521)에 흘린다. 따라서, 온도 검출 회로(521)의 구동용 트랜지스터(11)의 리셋 전압(Va)이 검출 배선(527)에 취출된다.

셀렉터(524)는, 1개의 검출 배선(527)을 선택하고, 검출 배선(527)에 출력되고 있는 리셋 전압(Va)을 AD 변환 회로(523)로 출력한다. 또한, 셀렉터(524)는 VD 또는 HD의 타이밍에서 선택하는 온도 검출 회로(521)를 변화시켜도 되는 것은 물론이다. 이 경우에는, 복수의 온도 검출 회로(521)의 출력(Va)을 평균화 처리한다.

AD 변환 회로(523)는 리셋 전압(Va)을 디지털 데이터로 변환한다. 데이터 비교 회로(525)는, 변환된 디지털 데이터의 리셋 전압(Va)을 외부 기억 회로(예를 들어, EEPROM)(522)의 데이터와 비교한다. 외부 기억 회로(522)에는, 상온 또는 소정 온도에서의 디지털 데이터의 리셋 전압(Va)이 기억되어 있다.

상온 또는 소정 온도에서의 디지털 데이터의 리셋 전압(Va)과, 온도 검출 회로(521)에서 취득한 리셋 전압(Va)과 비교함으로써, 현 패널의 온도에 대응하는 전압 변동치가 구해진다. 온도 보상 회로(526)는, 이 전압 변동치를 이용하여, 계조 전압(Vx), 목표 계조 전압(Vc)에 대해 온도 보상을 실시한다.

이하, 본 발명의 EL 표시 패널 또는 EL 표시 장치 또는 그 구동 방법 등을 이용한 장치 등에 대해 설명한다. 이하의 장치는, 이전에 설명한 본 발명의 장치 또는 방법을 실시한다. 도 53은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이스(533)에 안테나(531), 숫자 패드(532) 등이 장착되어 있다.

도 54는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(542)와 비디오 카메라 본체(533)를 구비하고, 촬영 렌즈부(542)와 뷰파인더부(533)는 등을 맞대고 있다. 또한, 뷰파인더부(533)에는 접안 커버가 장착되어 있다. 관찰자(유저)는 이 접안 커버부로부터 표시 패널(534)의 표시 화면(184)을 관찰한다.

본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시부(184)는 지점(541)에서 각도를 자유롭게 조정할 수 있다. 표시부(184)를 사용하지 않을 때는, 저장부(543)에 저장된다.

본 실시의 형태의 EL 표시 장치 등은 비디오 카메라뿐만이 아니라, 도 55에 도시하는 바와 같은 전자 카메라, 스틸 카메라 등에도 적용할 수 있다. 표시 장치는 카메라 본체(551)에 부착된 모니터(184)로서 이용한다. 카메라 본체(551)에는 셔터(553) 외에, 스위치(544)가 장착되어 있다.

본 발명의 실시예에서 설명한 표시 장치 또는 구동 방법 또는 제어 방법 또는 방식 등의 기술적 사상은, 비디오 카메라, 프로젝터, 입체(3D) TV, 프로젝션 TV, 필드에미션 디스플레이(FED), SED(캐논과 도시바가 개발한 디스플레이), PDP(Plasma Display Panel) 등에 적용할 수 있다.

또한, 본 명세서에서는, 구동용 트랜지스터(11a), 스위칭용 트랜지스터(11b) 등은 박막 트랜지스터로서 설명하지만, 이것에 한정하는 것은 아니다. MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이어도 된다.

소스 드라이버 회로(IC)(14)는, 단지 드라이버 기능뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 레벨 시프터 회로, 데이터 변환 회로, 래치 회로, 커맨드 디코더, 어드레스 변환 회로, 화상 메모리(RAM)등을 내장시켜도 된다.

어레이 기관(382)은 글래스 기관으로서 설명을 하지만, 실리콘 웨이퍼로 형성해도 된다. 또한, 어레이 기관(382)은, 금속 기관, 세라믹 기관, 플라스틱시트(판) 등을 사용해도 된다.

또한, 명세서에 기재하는 가산 또는 감산은, 계산에 의한 산출을 의미하는 것은 아니다. 전압 레벨 시프트, 레벨 변환, 전압 다중, 증폭 등의 넓은 개념을 의미하는 것이다. 취득한 아날로그 데이터를 디지털 데이터로 변환해서 가산 또는 감산해도 되는 것은 물론이다. 또한, 전압을 측정한다는 것은, 전압을 취득하는 것, 전압 등을 유지하는 것, 전압 샘플홀드하는 것까지 포함하는 넓은 기술 개념이다.

또한, 본 발명은 상기 각 실시 형태에 한정되는 것이 아니고, 그 실시의 단계에서는 그 요지를 일탈하지 않는 범위에서 다양한 변형·변경이 가능하다. 또한, 각 실시 형태는 가능한 한 적절히 조합하여 실시되어도 된다.

### 발명의 효과

본 발명은, 전체 계조 영역에서 종래에 비해 기입 부족이 발생하기 어려워, 트랜지스터의 특성 편차에 의한 표시 얼룩을 종래에 비해 저감시킬 수 있다고 하는 효과를 갖는다.

또한, 본 발명은, 각 화소의 구동용 트랜지스터(11a)에 리셋 전류(Ia)를 인가하여, 구동용 트랜지스터(11a)의 리셋 전압(Va)을 발생시킨다. 각 화소의 구동용 트랜지스터(11a)의 리셋 전압(Va)은, 각 구동용 트랜지스터(11a)의 특성에 따라 상이하다. 레이저 어닐링 상태 등에 따라 편차가 발생하기 때문이다. 이 리셋 전압(Va)을 기준으로 하여 목표 계조 전압(Vc)을 인가하면, 각 구동용 트랜지스터(11a)의 특성이 상이해 있어도 정밀도가 높은 계조 전류를 EL 소자(15)에 인가할 수 있게 된다. 계조 전압의 절대치가 커짐에 따라, EL 소자(15)에 흘리는 전류의 편차가 커진다. 그러나, 편차는 실용상 문제가 되지 않는 크기이다.

전압 프로그램 방식은, 화소(16)의 구동용 트랜지스터(11a)의 특성 보상이 불충분하다는 결점을 갖고 있었다. 그러나, 본 발명은, 화소(16)의 트랜지스터에 정전류를 인가하는 전류 프로그램 방식을 실시한다. 전류 프로그램의 실시에 의해 발생하는, 구동용 트랜지스터(11a)의 게이트 단자 전압(리셋 전압(Va))을 기준(원점)으로 하여, 계조 전압(Vx)을 인가한다(전압 프로그램). 따라서, 구동용 트랜지스터(11a)의 게이트 단자에 인가되는 목표 계조 전압(Vc)은,  $Va \pm Vx$ 로 된다. 따라서, 구동용 트랜지스터(11a)의 특성 편차가 있어도, 정밀도가 높은 계조 전압에 대응하는 계조 전류를 EL 소자(15)에 흘릴 수 있다.

리셋 전류(Ia)를 소정 이상의 크기의 전류치로 함으로써, 전류 프로그램 방식의 약점인 저계조 영역(저전류 영역)에서의 기입 부족의 과제가 발생하지 않는다. 리셋 전압(Va)을 기준으로 하여 계조 전압(Vx)을 가산 또는 감산함으로써, 전압 구동의 특징인 전체 계조 영역에서 기입 부족이 없다고 하는 이점을 발휘시킬 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 표시 장치의 구성도.

도 2는 본 발명의 표시 장치의 화소의 구성도.

도 3은 종래의 표시 장치의 구성도.

도 4a 내지 도 4c는 본 발명의 표시 장치의 동작의 설명도.

도 5는 본 발명의 표시 장치의 구성도.

도 6은 본 발명의 표시 장치의 구성도.

도 7은 본 발명의 표시 장치의 설명도.

도 8은 본 발명의 표시 장치의 구성도.

- 도 9는 본 발명의 표시 장치의 구성도.
- 도 10a 및 도 10b는 본 발명의 표시 장치의 구성도.
- 도 11은 본 발명의 표시 장치의 설명도.
- 도 12는 본 발명의 표시 장치의 설명도.
- 도 13은 본 발명의 표시 장치의 설명도.
- 도 14는 본 발명의 표시 장치의 설명도.
- 도 15는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 16a 및 도 16b는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 17a 및 도 17b는 본 발명의 표시 장치의 설명도.
- 도 18a 및 도 18b는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 19a 내지 도 19c는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 20은 본 발명의 표시 장치의 구성도.
- 도 21a 및 도 21b는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 22a 및 도 22b는 본 발명의 표시 장치의 구동 방법의 구성도.
- 도 23은 본 발명의 표시 장치의 설명도.
- 도 24는 본 발명의 표시 장치의 설명도.
- 도 25a 및 도 25b는 본 발명의 표시 장치의 설명도.
- 도 26은 본 발명의 표시 장치의 설명도.
- 도 27은 본 발명의 표시 장치의 설명도.
- 도 28은 본 발명의 표시 장치의 구성도.
- 도 29a 및 도 29b는 본 발명의 표시 장치의 구성도.
- 도 30a 및 도 30b는 본 발명의 표시 장치의 구성도.
- 도 31a 및 도 31b는 본 발명의 표시 장치의 구성도.
- 도 32는 본 발명의 표시 장치의 구성도.
- 도 33은 본 발명의 표시 장치의 구성도.
- 도 34는 본 발명의 표시 장치의 구성도.
- 도 35는 본 발명의 표시 장치의 구성도.

- 도 36은 본 발명의 표시 장치의 구성도.
- 도 37은 본 발명의 표시 장치의 구성도.
- 도 38은 본 발명의 표시 장치의 구성도.
- 도 39는 본 발명의 표시 장치의 구성도.
- 도 40은 본 발명의 표시 장치의 구성도.
- 도 41은 본 발명의 표시 장치의 구성도.
- 도 42는 본 발명의 표시 장치의 구성도.
- 도 43은 본 발명의 표시 장치의 구성도.
- 도 44는 본 발명의 표시 장치의 구성도.
- 도 45는 본 발명의 표시 장치의 구성도.
- 도 46은 본 발명의 표시 장치의 구성도.
- 도 47은 본 발명의 표시 장치의 구성도.
- 도 48은 본 발명의 표시 장치의 구성도.
- 도 49는 본 발명의 표시 장치의 구성도.
- 도 50은 본 발명의 표시 장치의 구성도.
- 도 51은 본 발명의 표시 장치의 구성도.
- 도 52는 본 발명의 표시 장치의 구성도.
- 도 53은 본 발명의 표시 장치의 구성도.
- 도 54는 본 발명의 표시 장치의 구성도.
- 도 55는 본 발명의 표시 장치의 구성도.

<도면의 주요 부분에 대한 부호의 설명>

- 10: 정전류 출력 회로
- 11: 트랜지스터(박막 트랜지스터, TFT)
- 12: 게이트 드라이버 IC(회로)
- 14: 소스 드라이버 IC(회로)
- 15: EL(소자, 발광 소자)
- 16: 화소

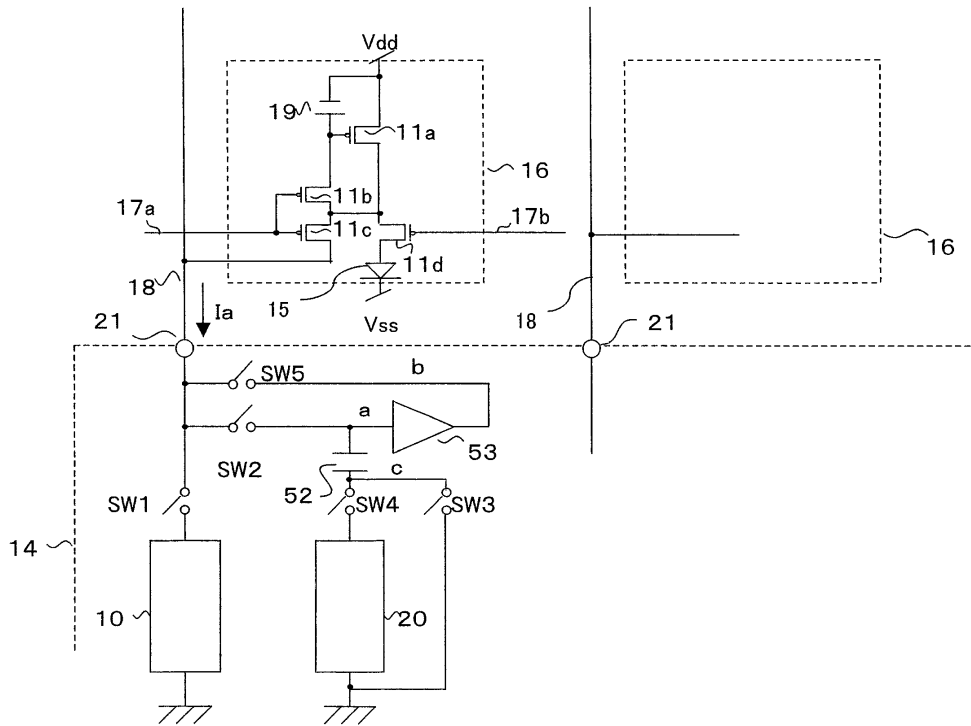
- 17: 게이트 신호선
- 18: 소스 신호선
- 19: 축적 용량(부가 콘덴서, 부가 용량)
- 20: 전압 게조 회로
- 21: 출력 단자
- 55: DA 변환 회로
- 52: 콘덴서(DC 성분 컷 회로)
- 53: OP 앰프
- 61: 가산 회로
- 62: AD 변환 회로
- 91: 에미터 팔로워 회로
- 181: 기입행
- 182: 비표시 영역(비점등 영역, 후 표시 영역)
- 183: 표시 영역(점등 영역, 화상 표시 영역)
- 184: 표시 영역(표시 화면, 표시부)
- 201: 시프트 레지스터 회로
- 202: 버퍼 회로
- 281: 스위치(온 오프 수단)
- 282: 내부 배선(출력 배선)
- 283: 게이트 배선
- 284: 단위 트랜지스터
- 291: OP 앰프
- 292: 트랜지스터
- 331: 전자 볼륨
- 341: 일치 회로
- 342: 카운터
- 343: AND 회로

- 351: 래치 회로
- 352: 셀렉터 회로
- 353: 프리차지 회로
- 361: 샘플 홀드 회로(전압 유지 수단)
- 381: 스위치 회로
- 411: 계조 전압 회로
- 413: 전전류 회로(전류 발생 회로)
- 501: 전류 유지 회로
- 521: 온도 검출 회로
- 522: 외부 기억 회로
- 523: A/D 변환 회로
- 524: 셀렉터 회로
- 525: 데이터 비교 회로
- 526: 온도 보상 회로
- 531: 안테나
- 532: 키
- 533: 케이싱
- 534: 표시 패널
- 541: 지점(회전부)
- 542: 촬영 렌즈(촬영 수단)
- 543: 저장부
- 544: 스위치
- 551: 본체
- 552: 촬영부
- 553: 셔터 스위치

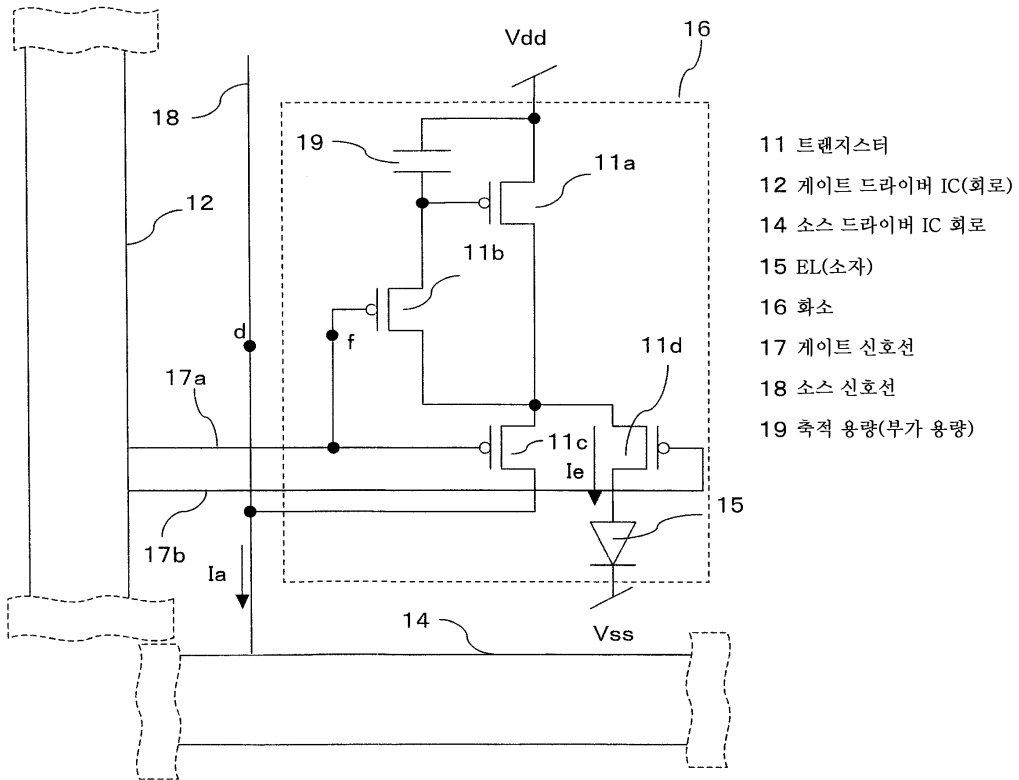
도면

도면1

10 정전류 출력 회로    20 전압 게조 회로    21 출력 단자

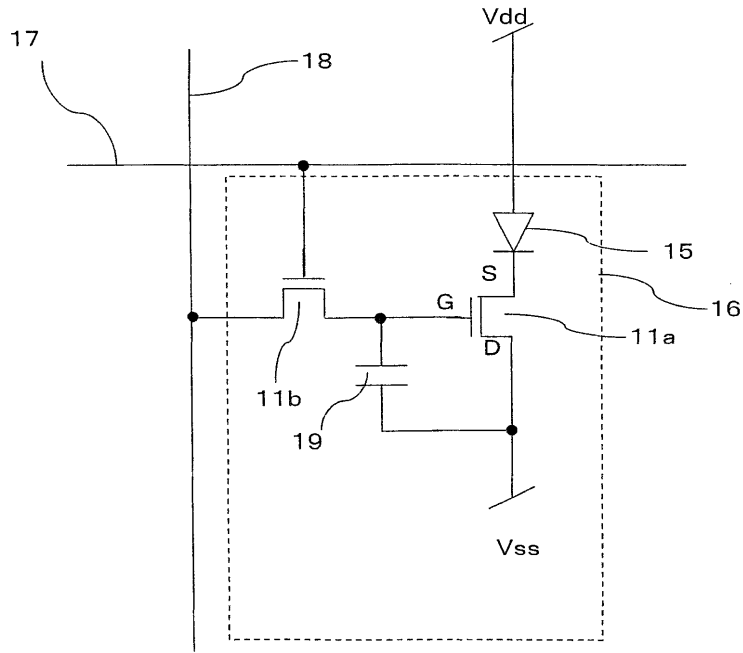


도면2

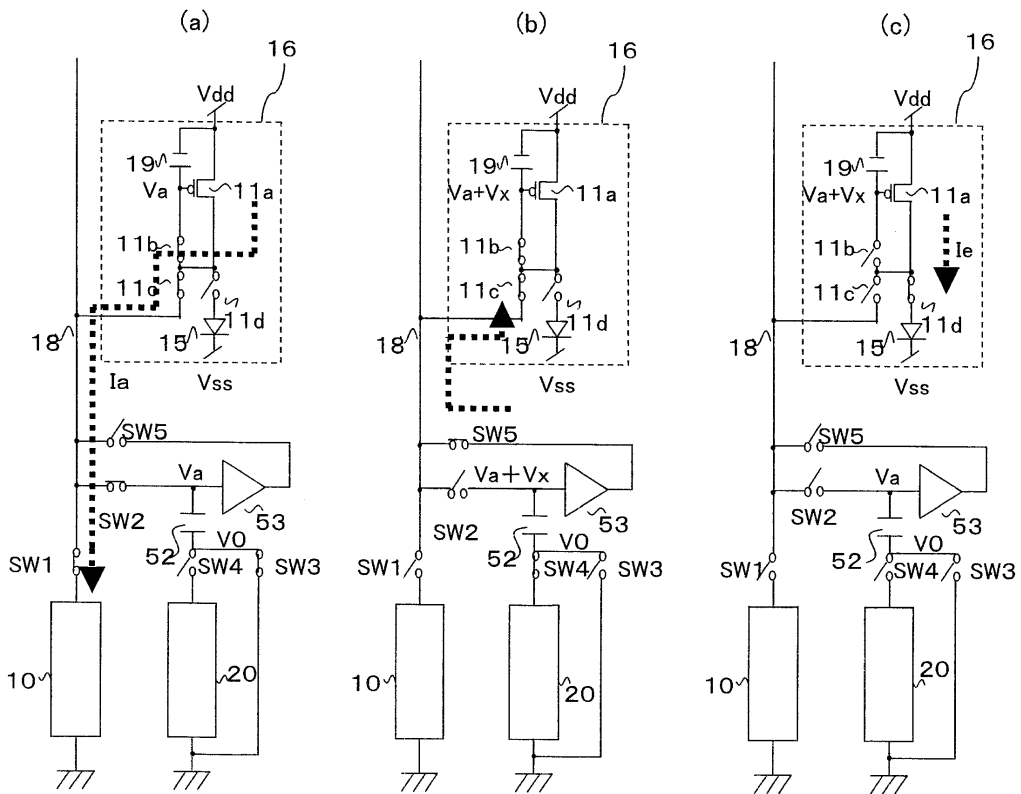


- 11 트랜지스터
- 12 게이트 드라이버 IC(회로)
- 14 소스 드라이버 IC 회로
- 15 EL(소자)
- 16 화소
- 17 게이트 신호선
- 18 소스 신호선
- 19 축적 용량(부가 용량)

도면3

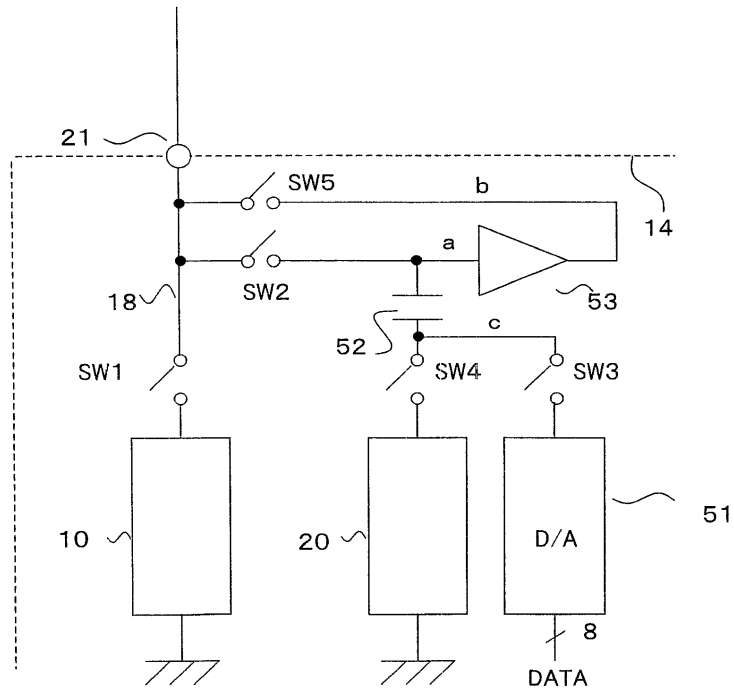


도면4



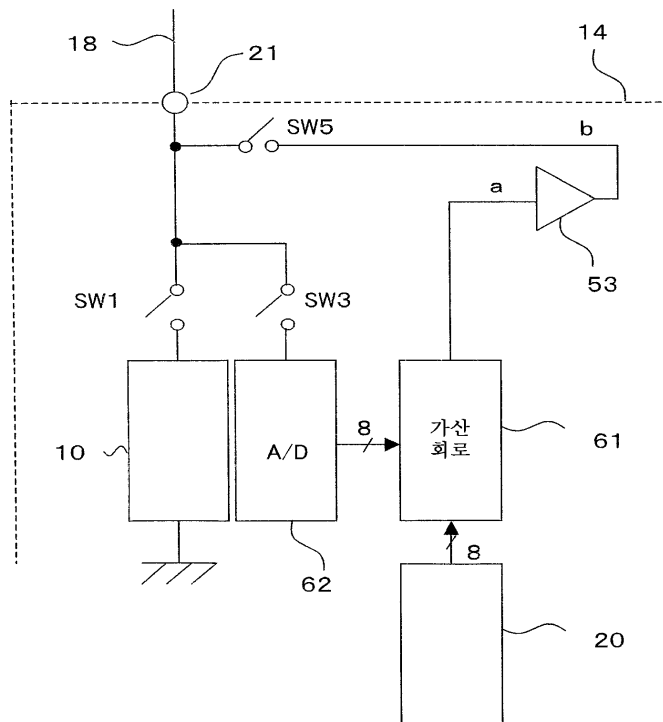
도면5

51 DA 변환 회로 52 콘덴서 53 OP 앰프

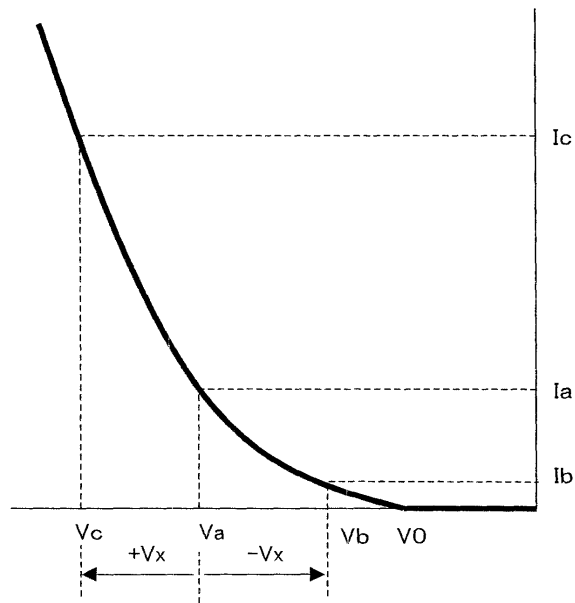


도면6

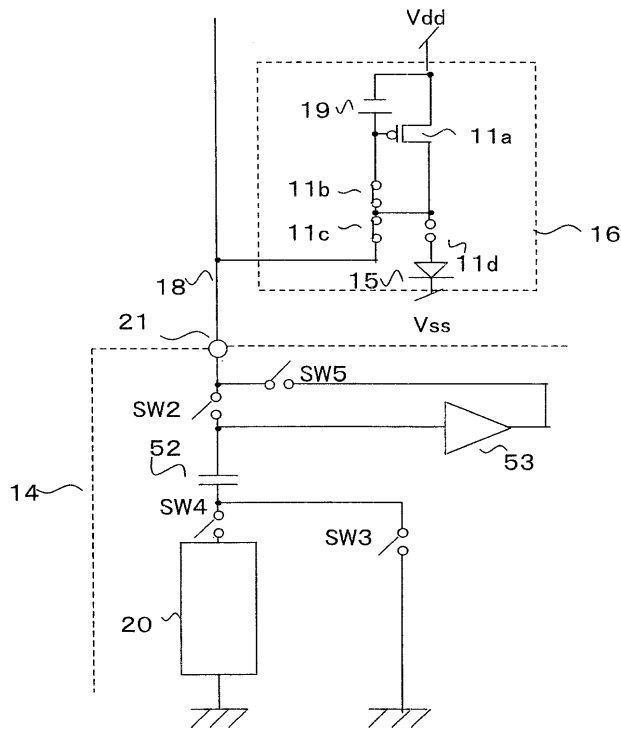
61 가산 회로 62 AD 변환 회로



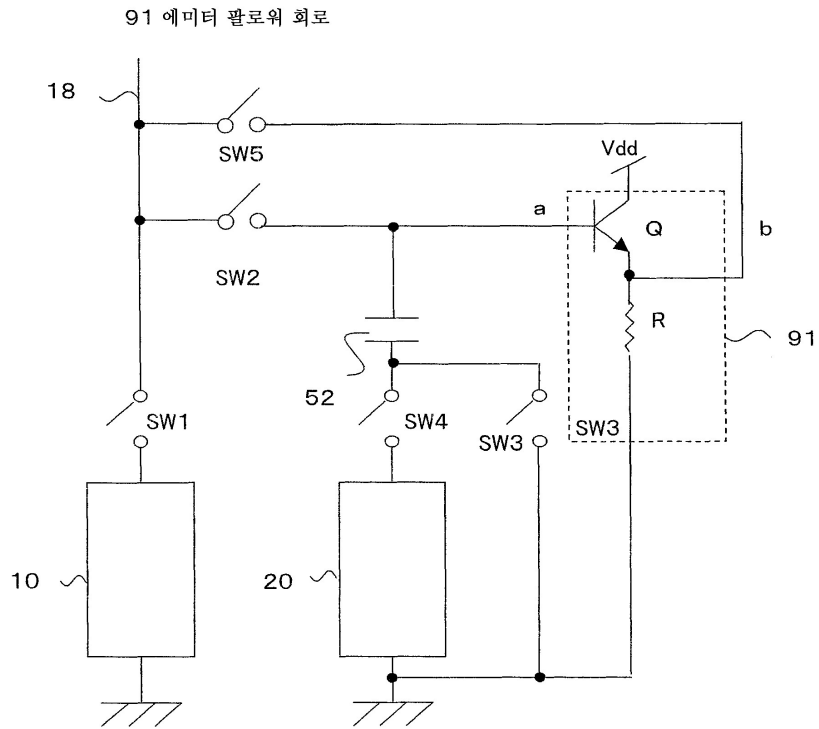
도면7



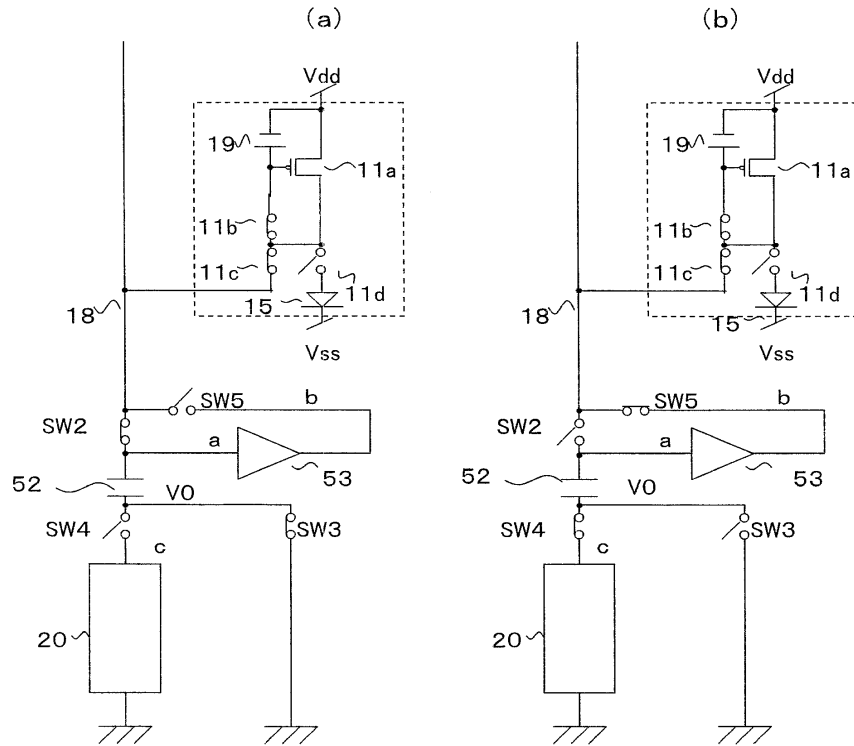
도면8



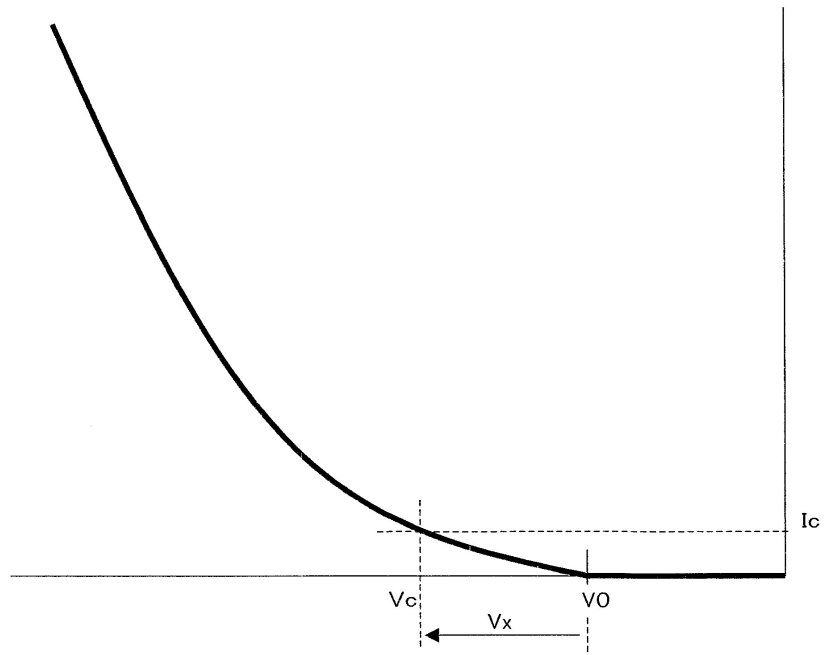
도면9



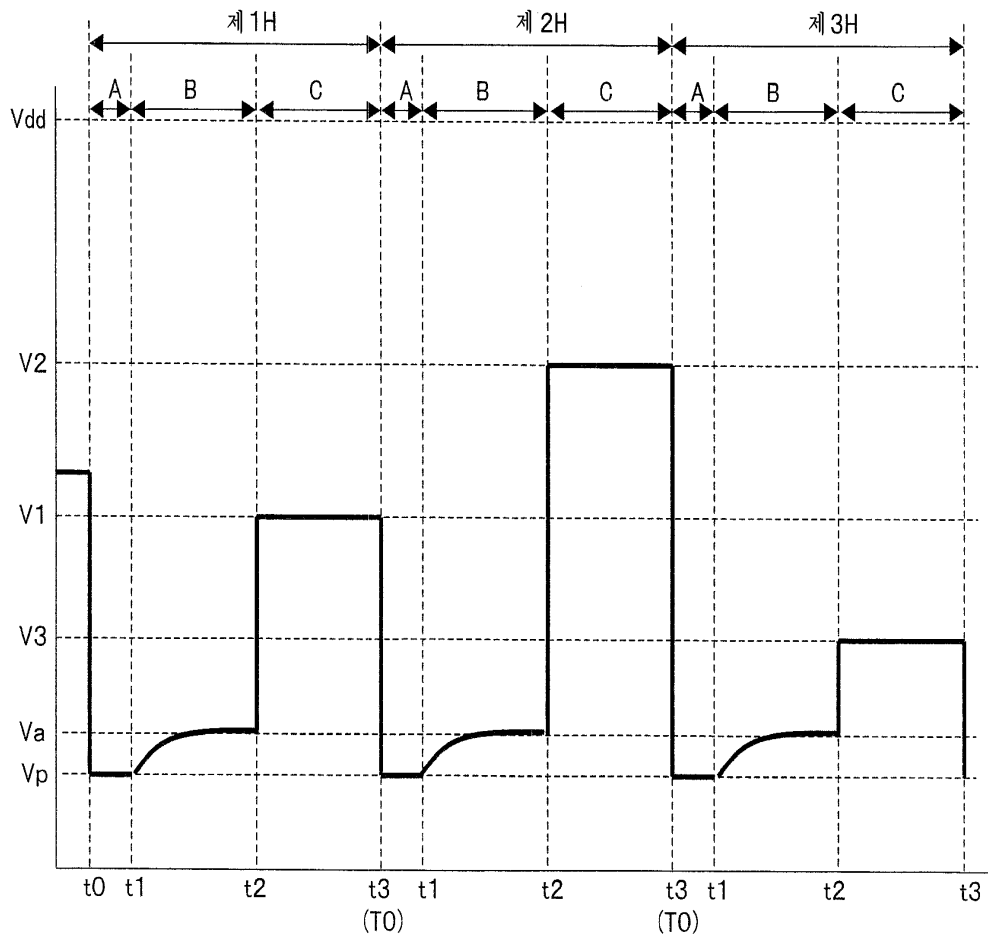
도면10



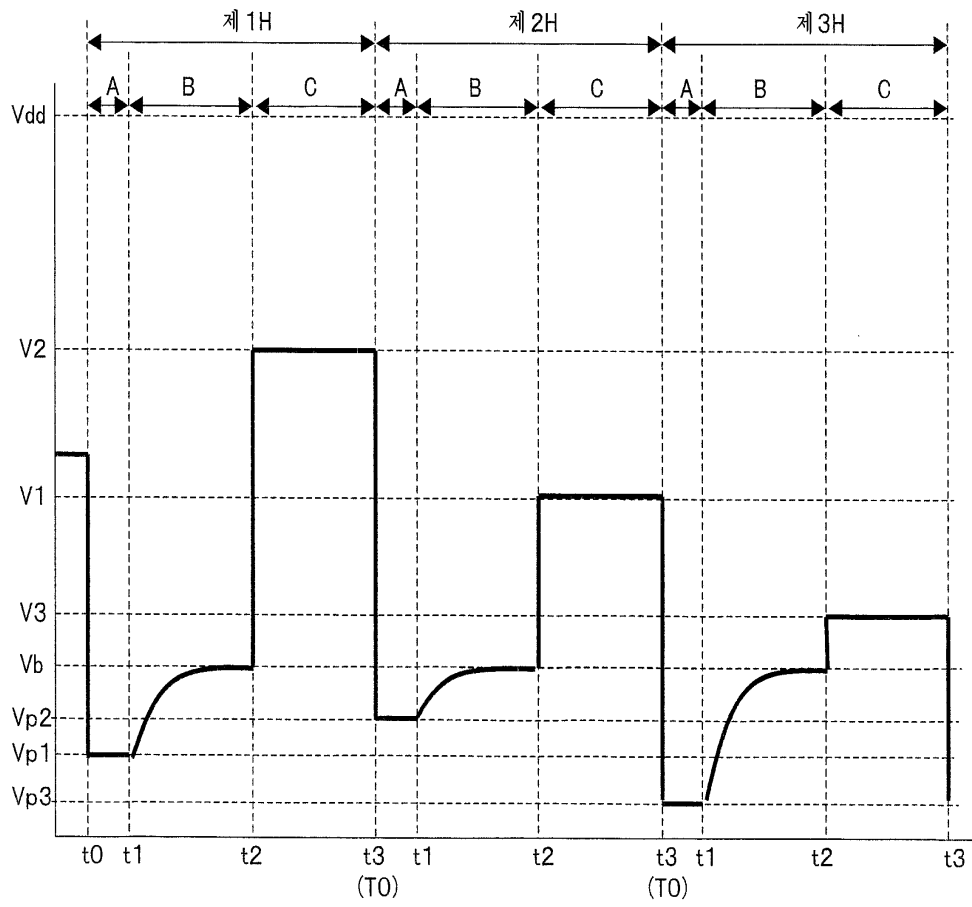
도면11



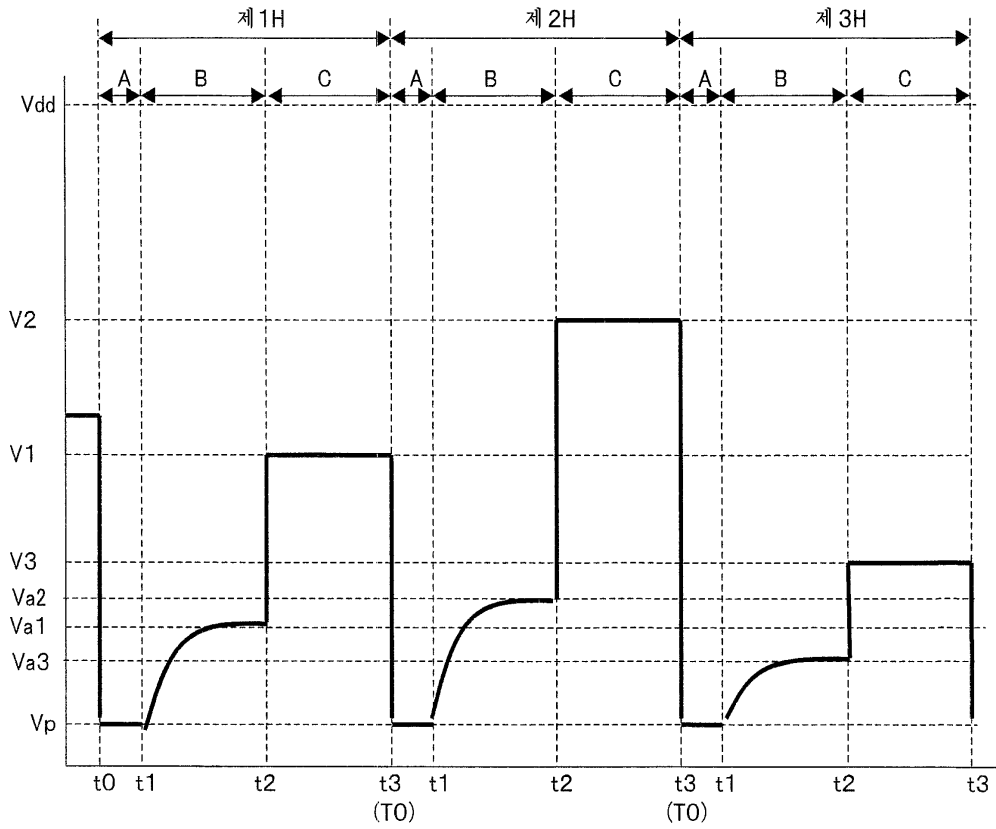
도면12



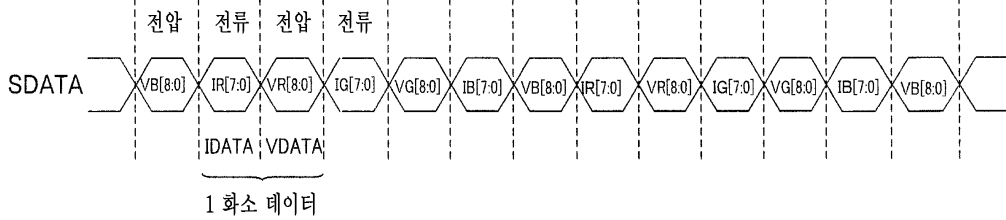
도면13



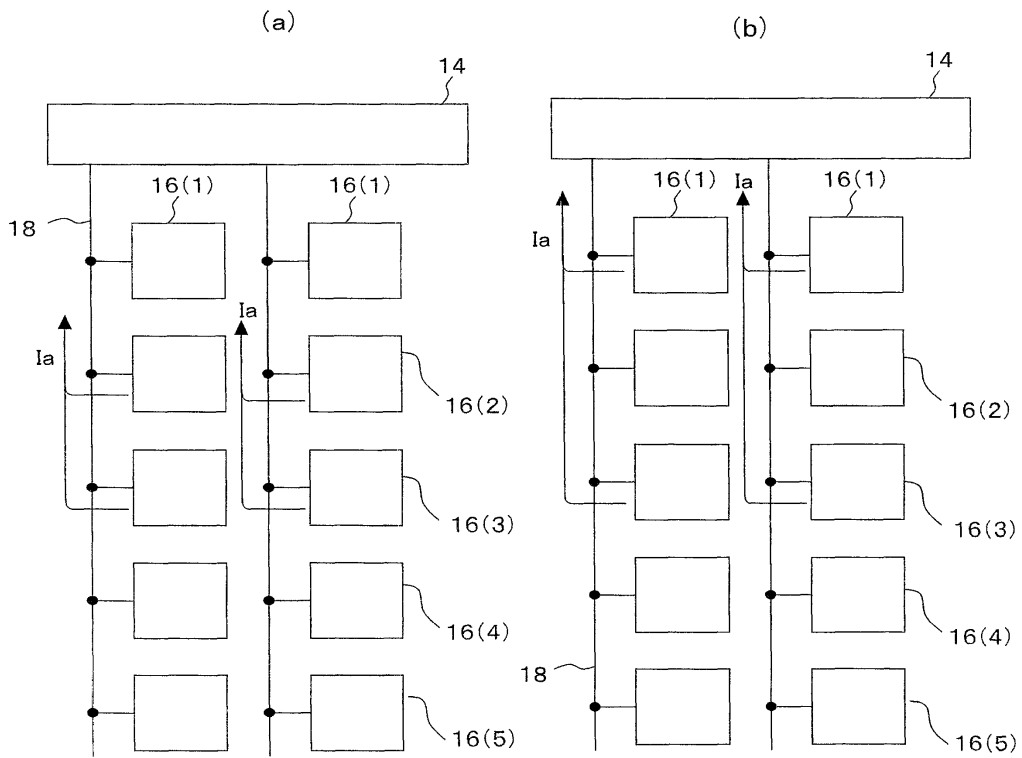
도면14



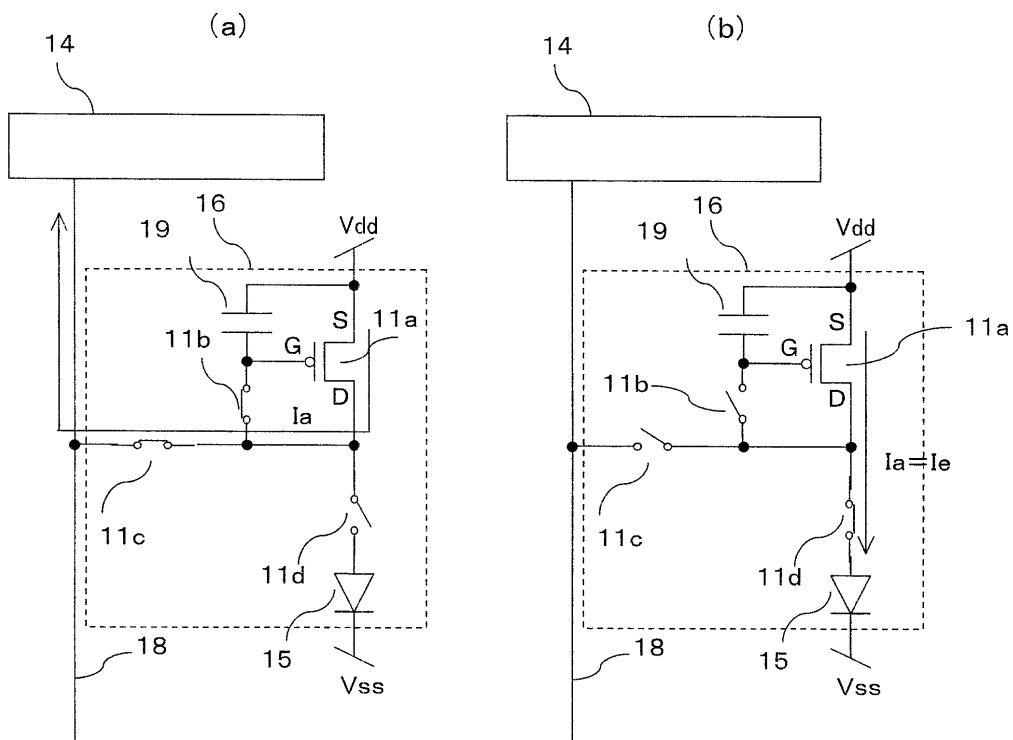
도면15



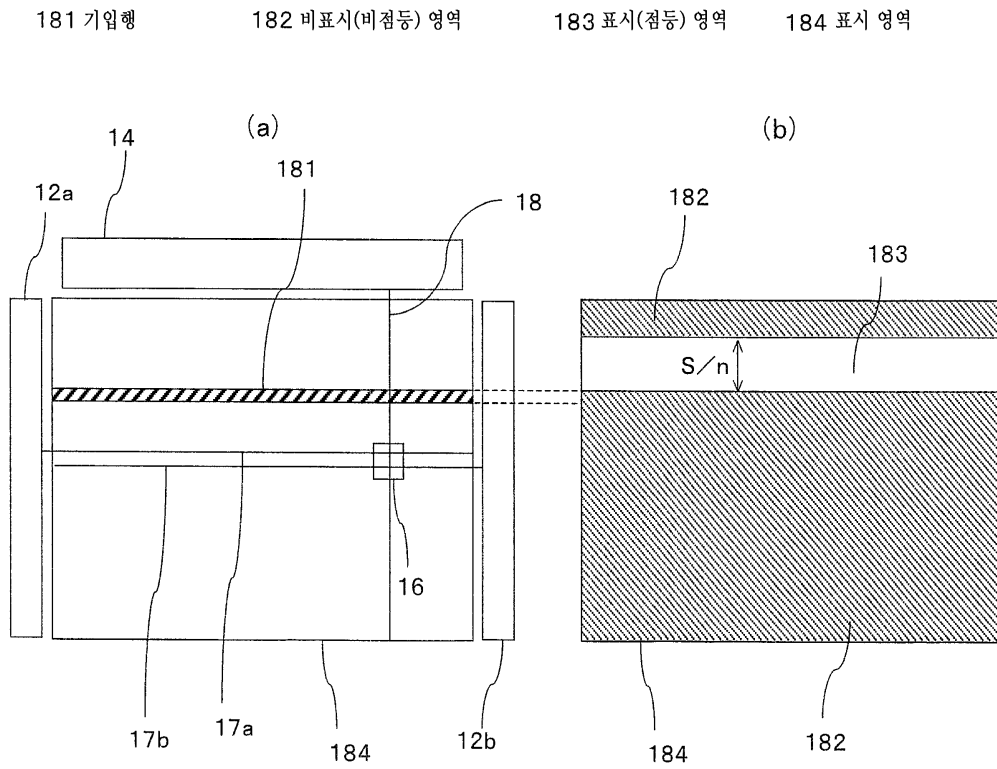
도면16



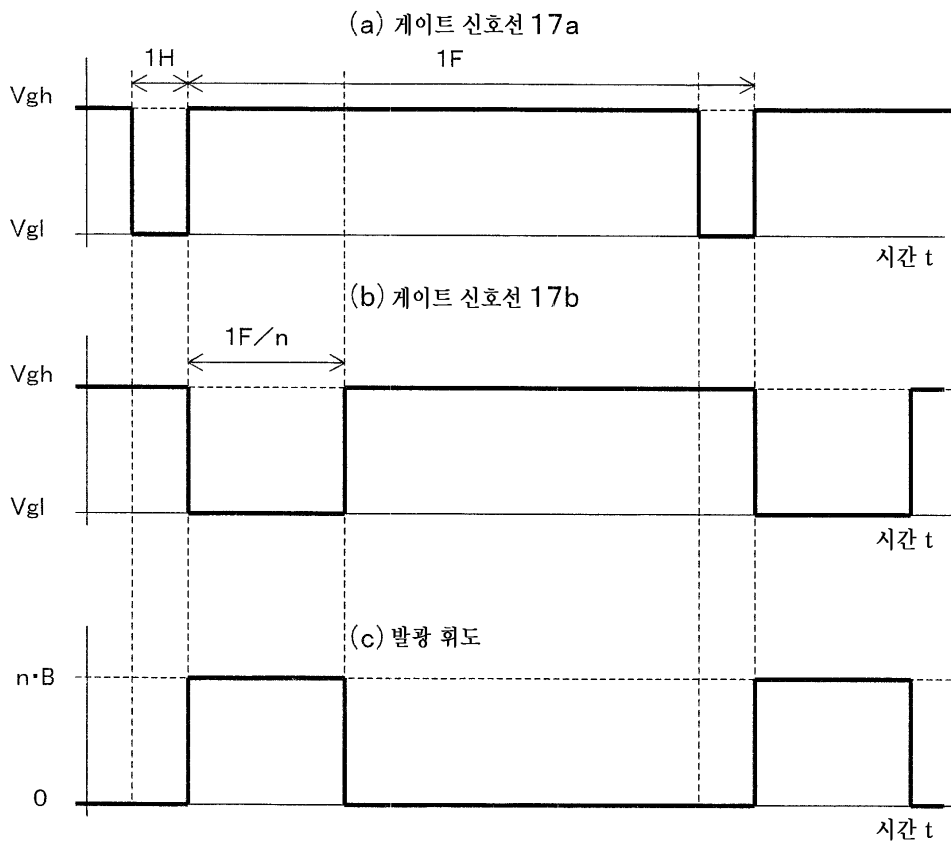
도면17



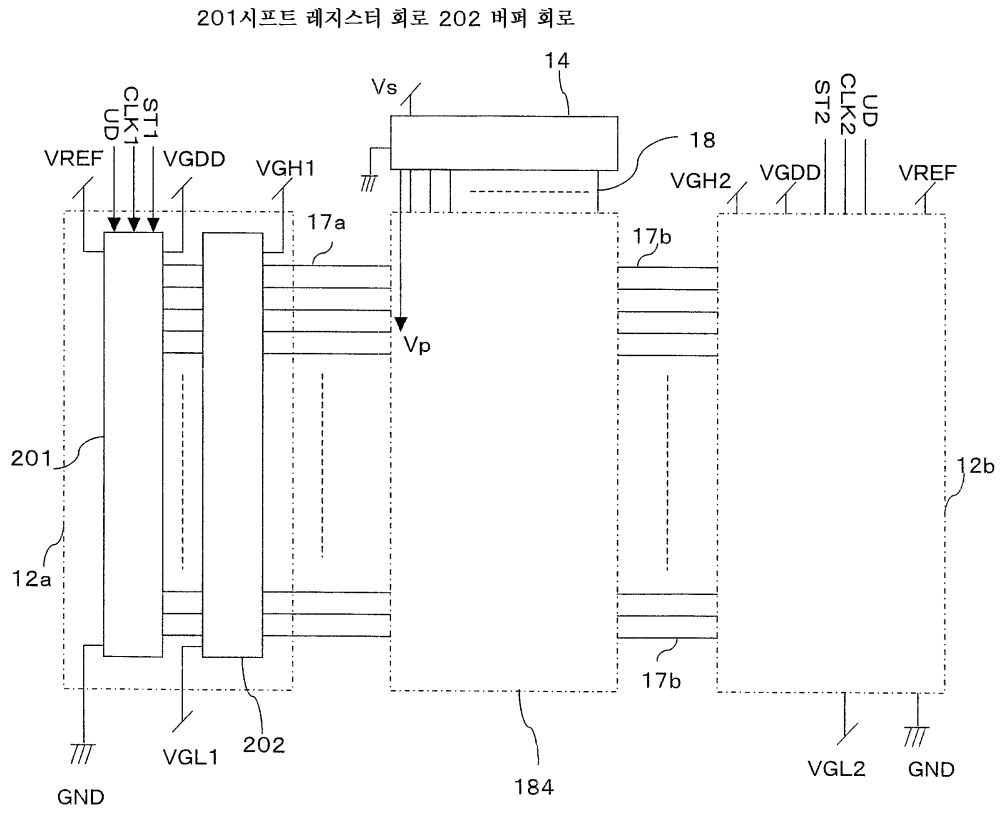
도면18



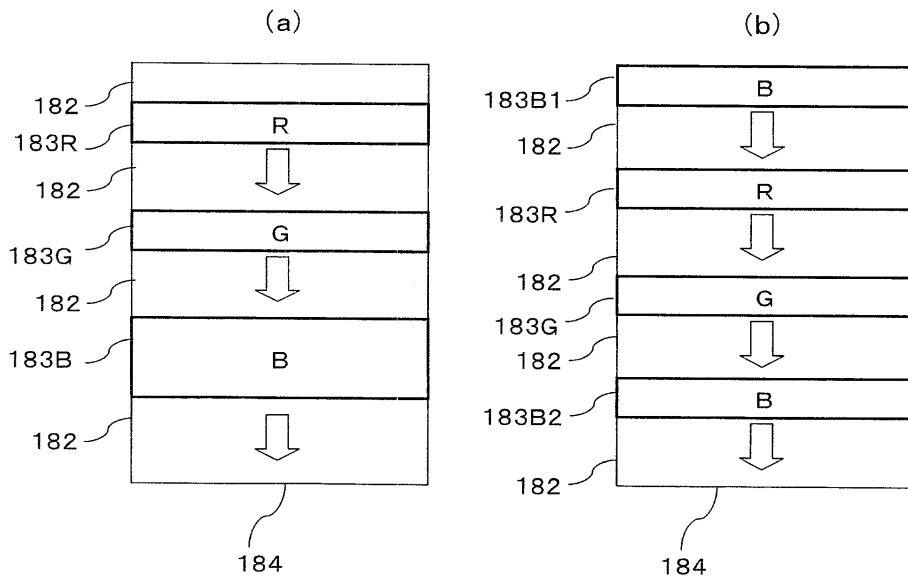
도면19



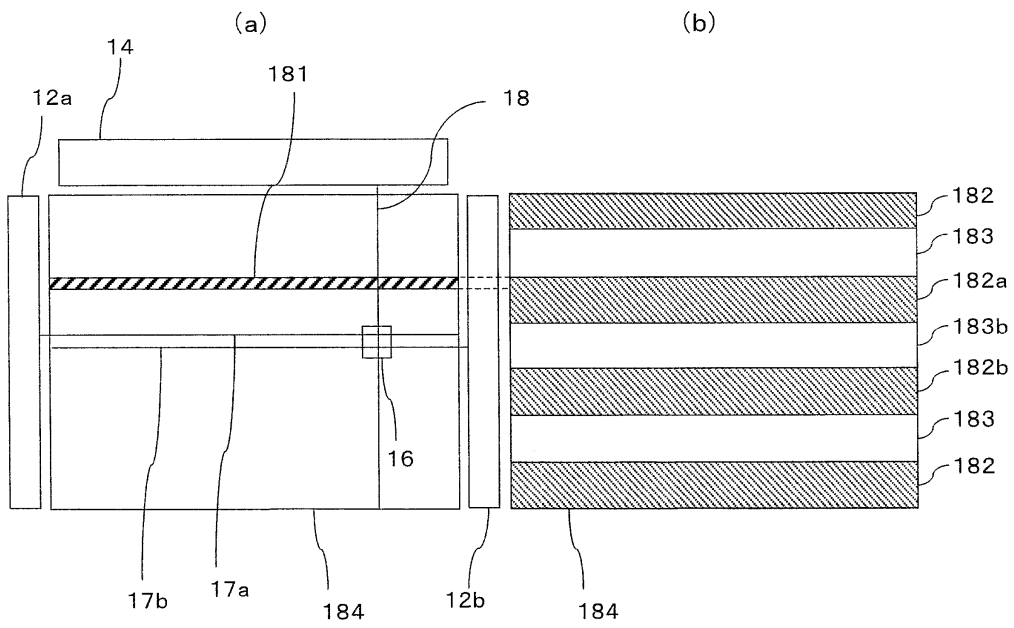
도면20



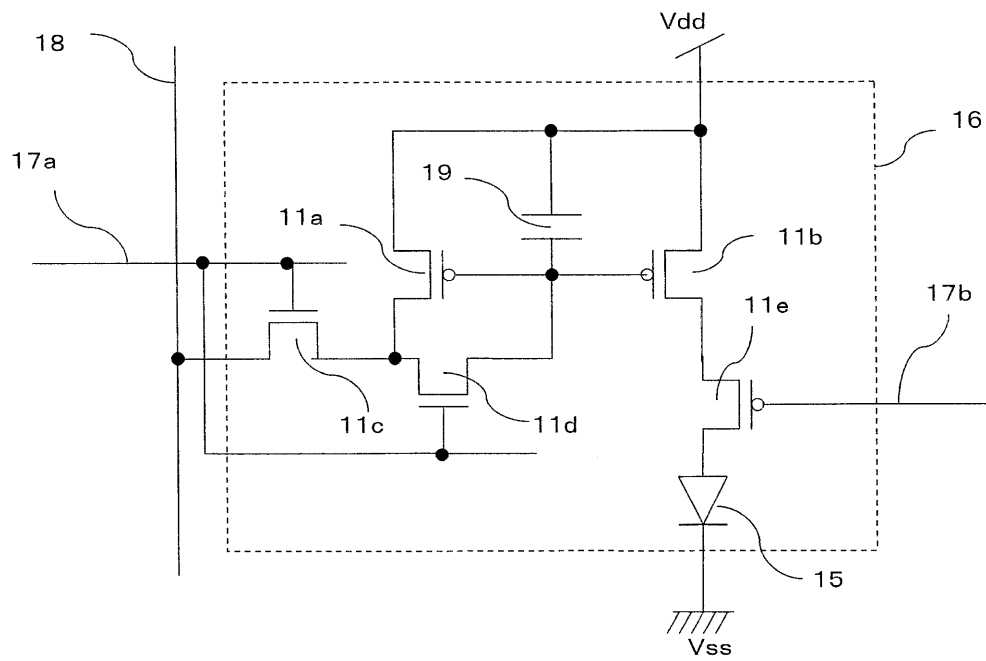
도면21



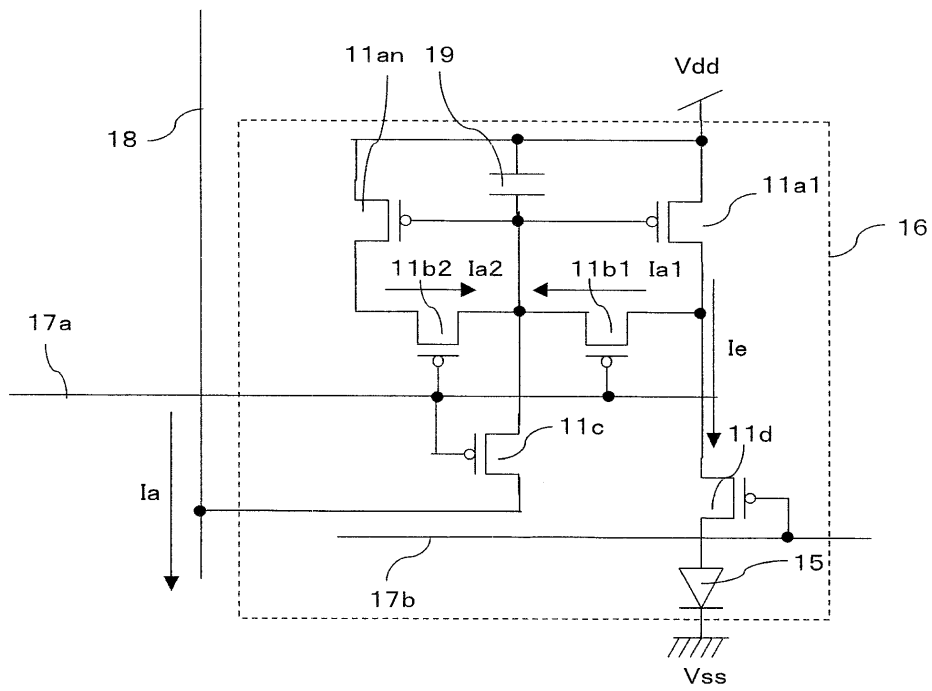
도면22



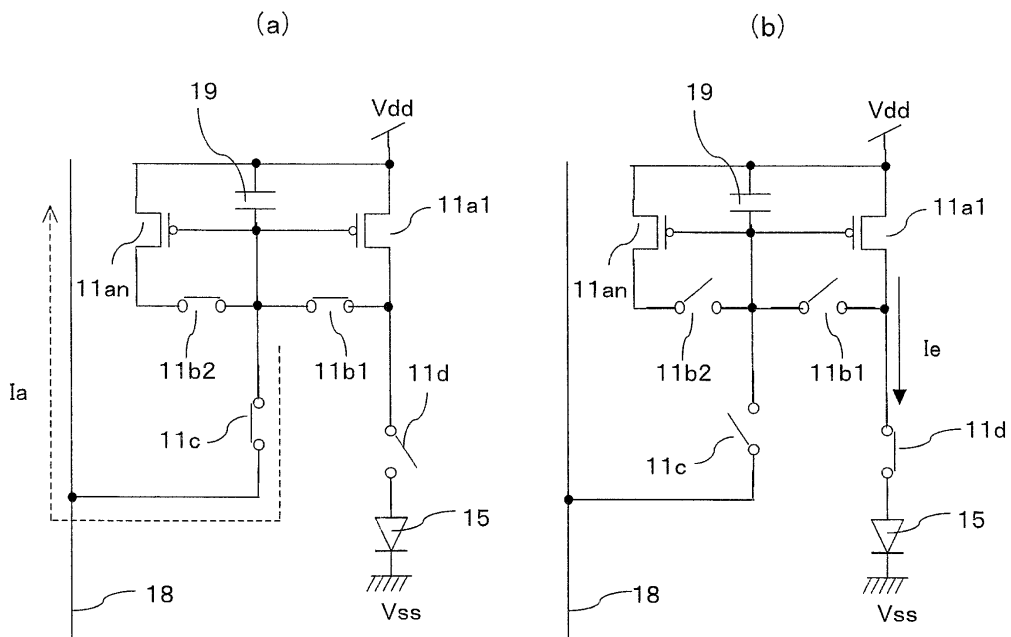
도면23



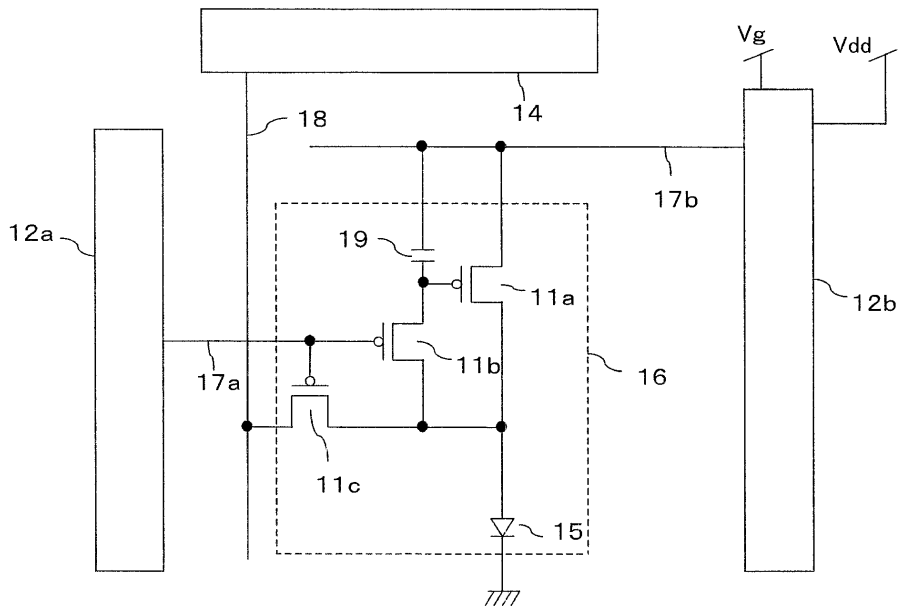
도면24



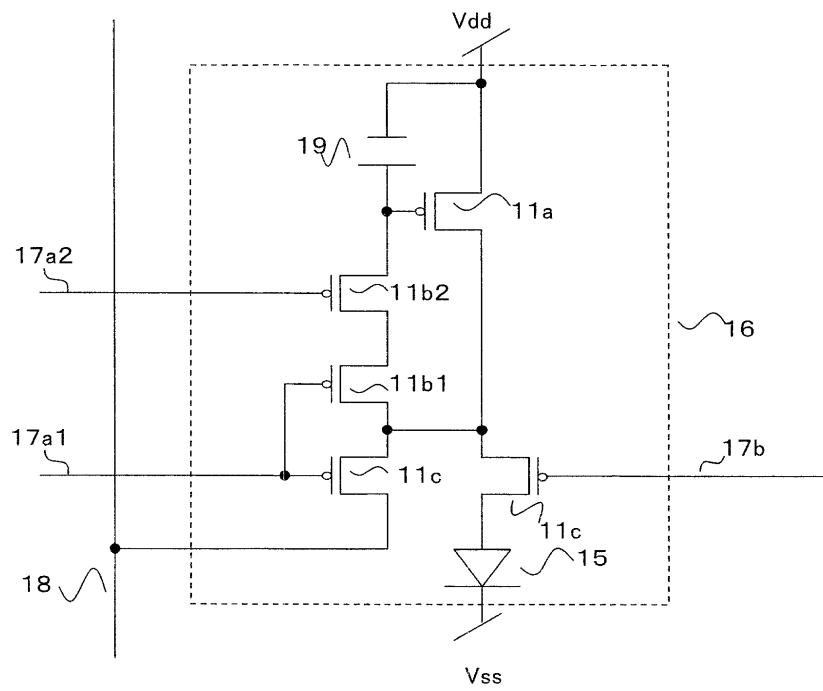
도면25



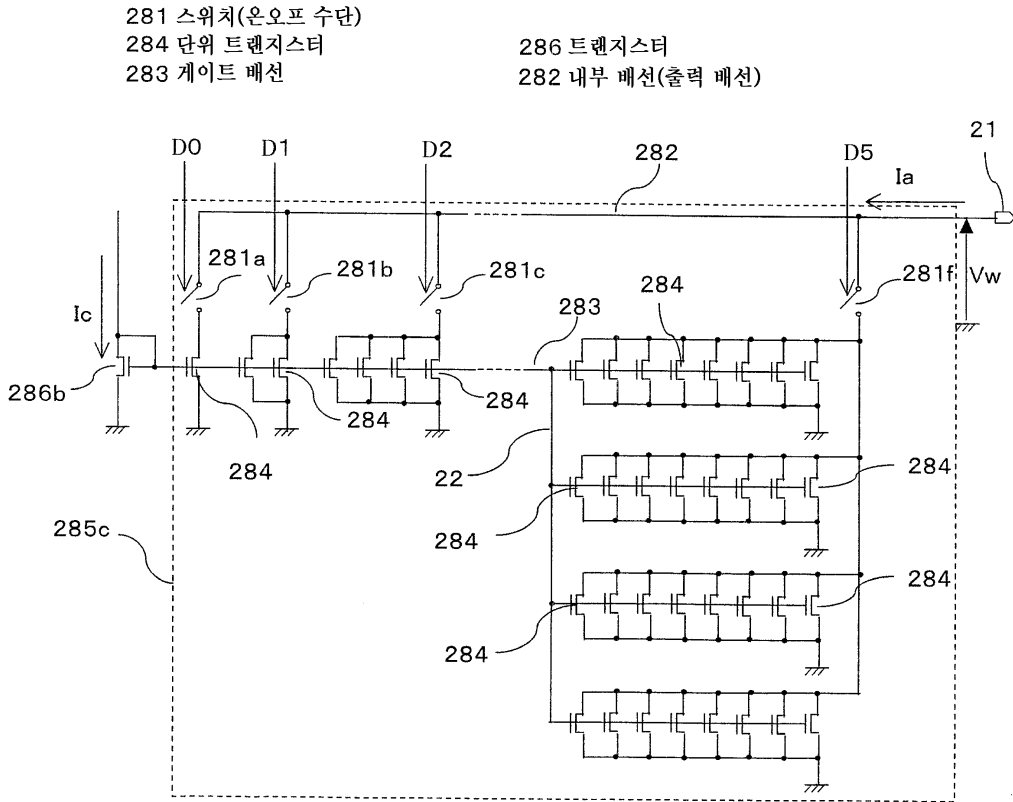
도면26



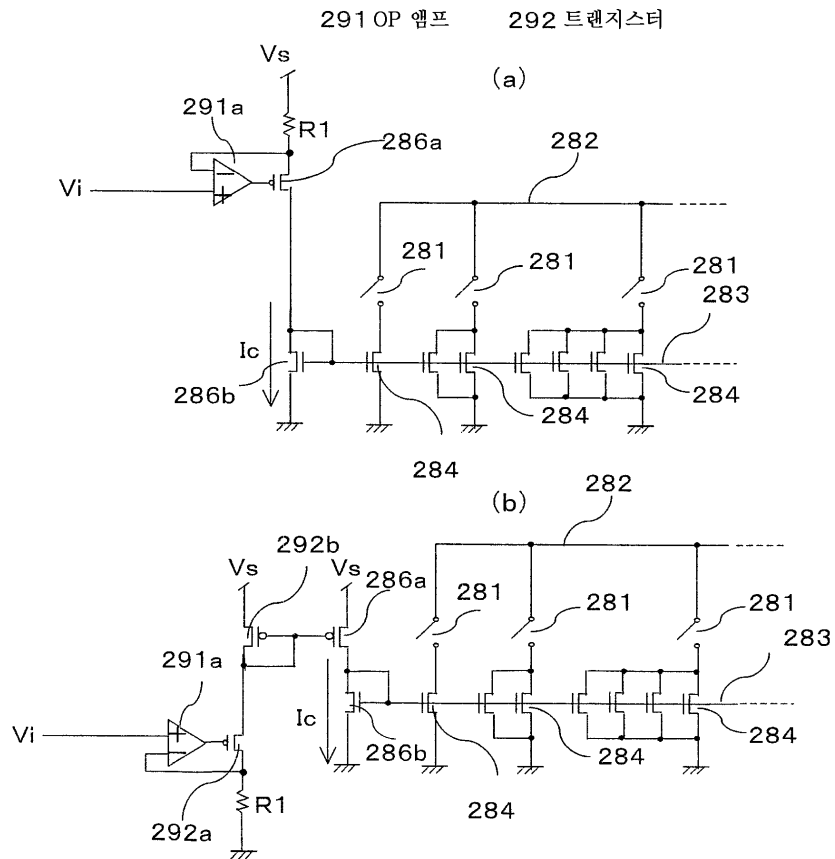
도면27



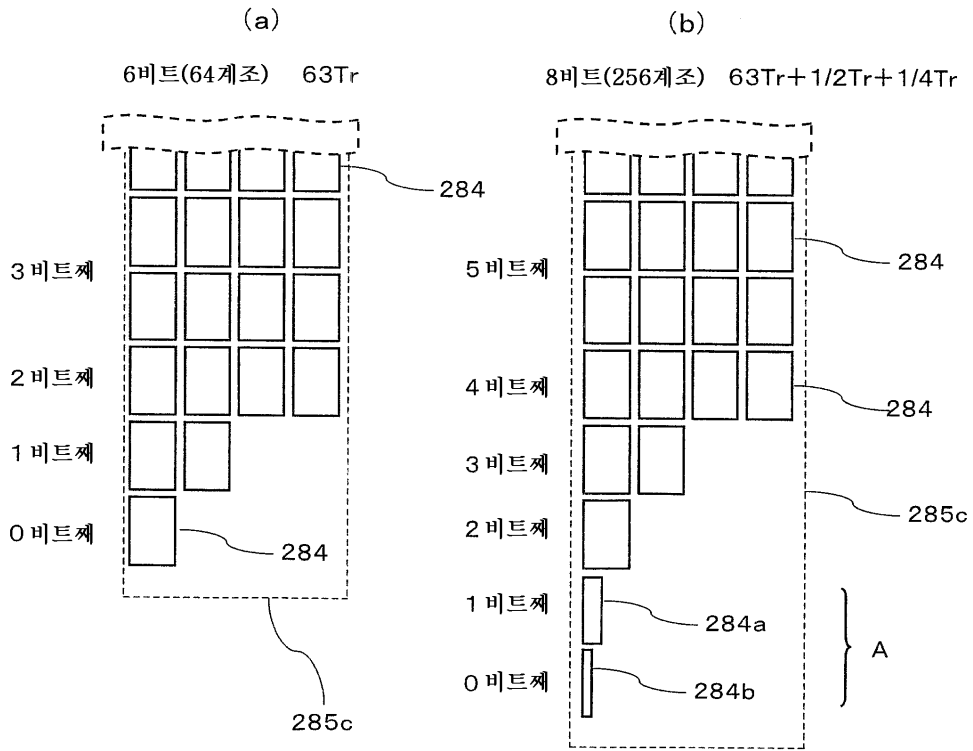
도면28



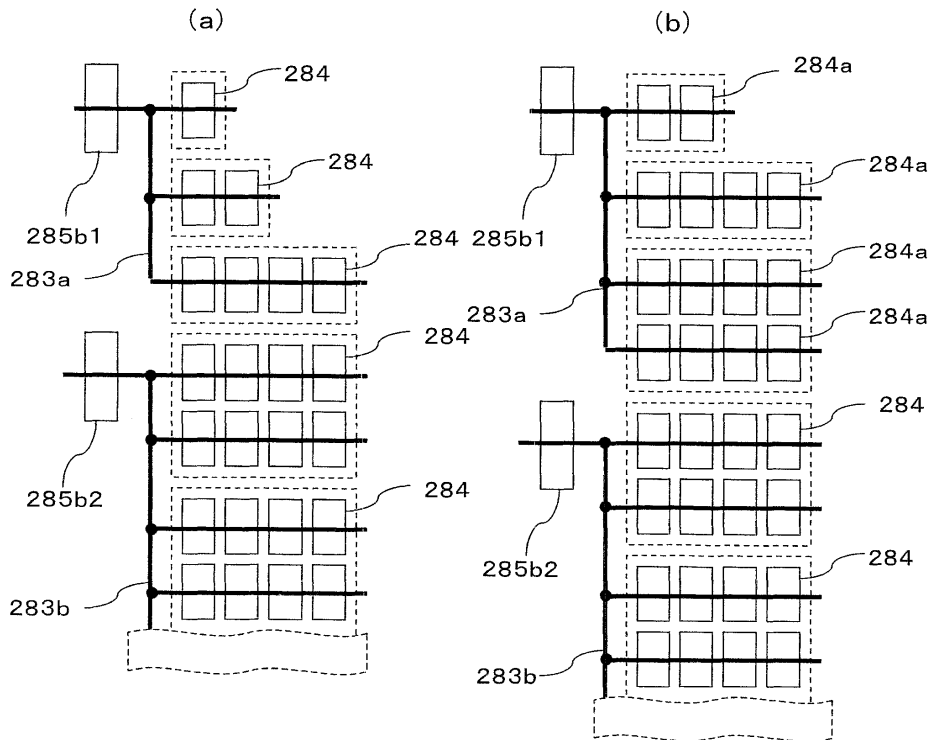
도면29



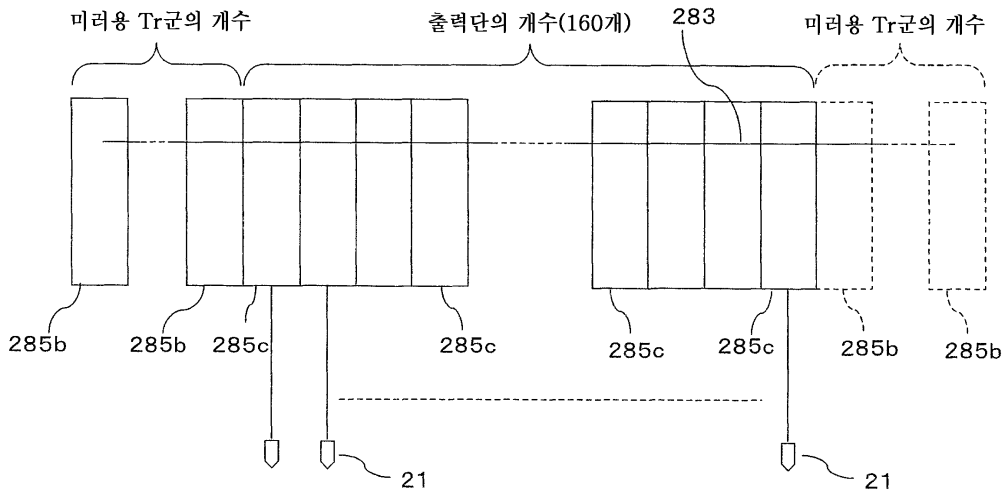
도면30



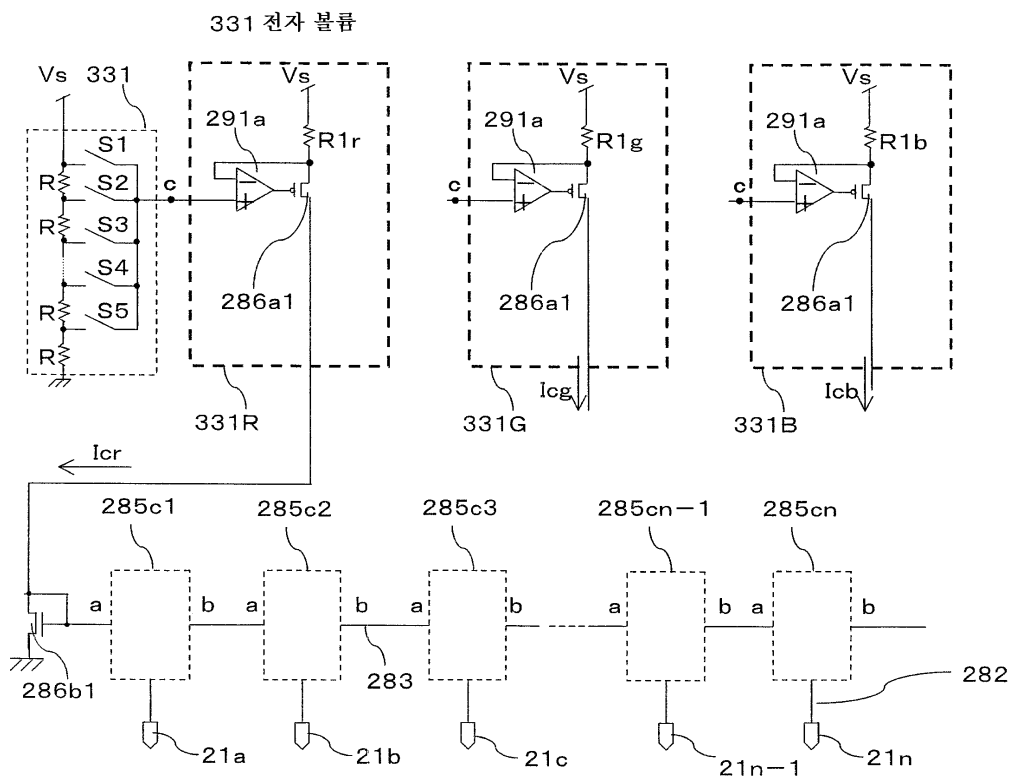
도면31



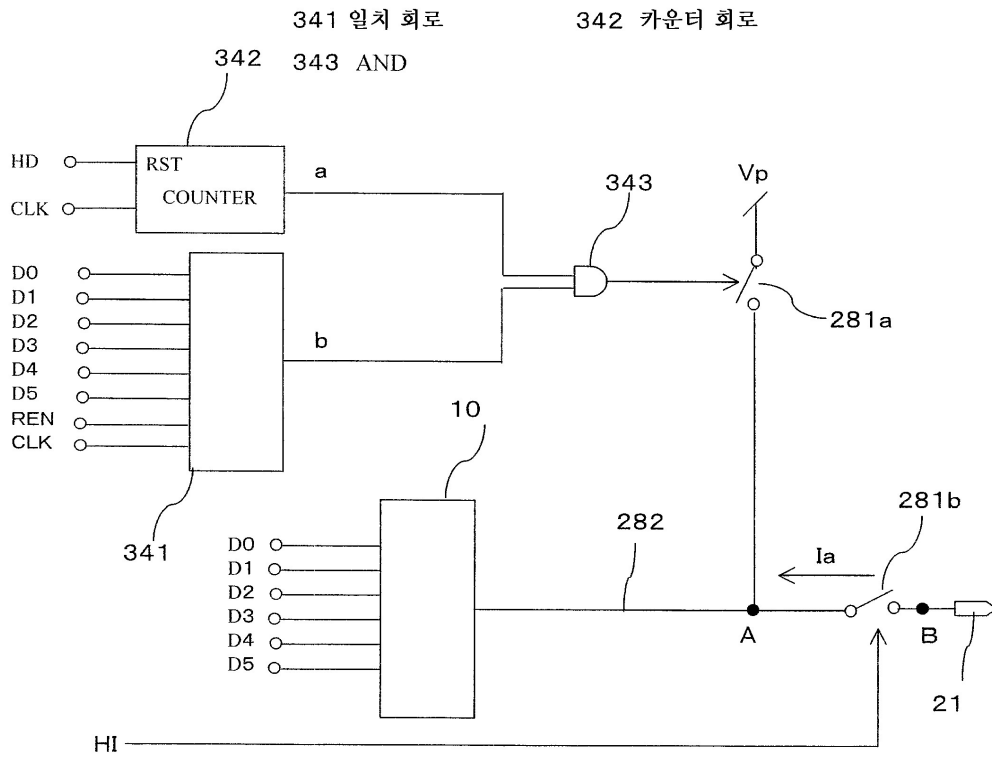
도면32



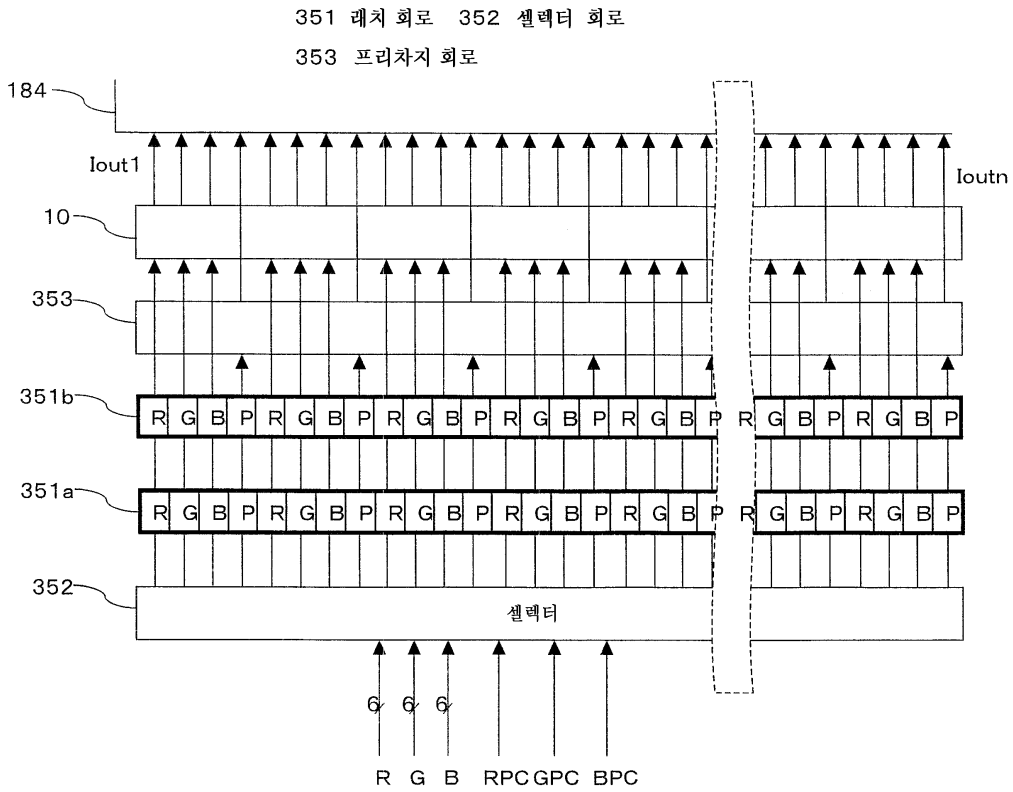
도면33



도면34

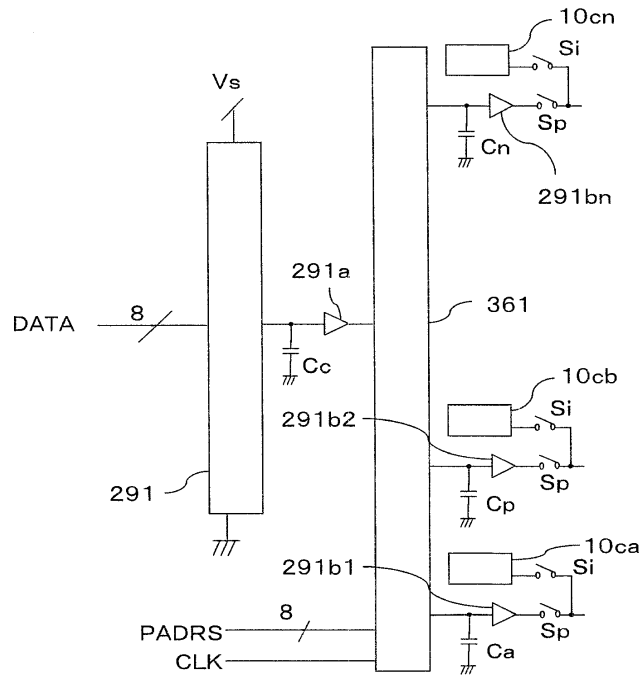


도면35

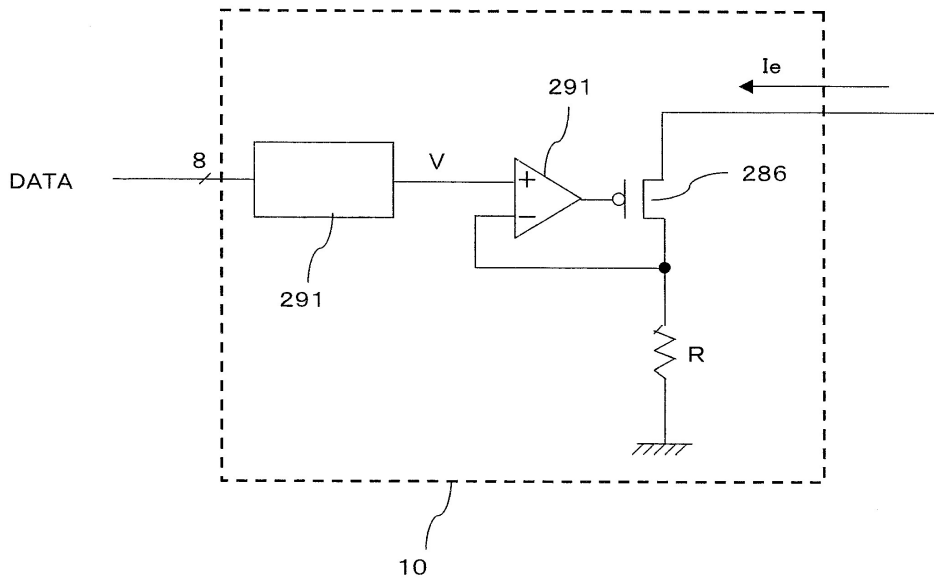


도면36

361 샘플 홀드

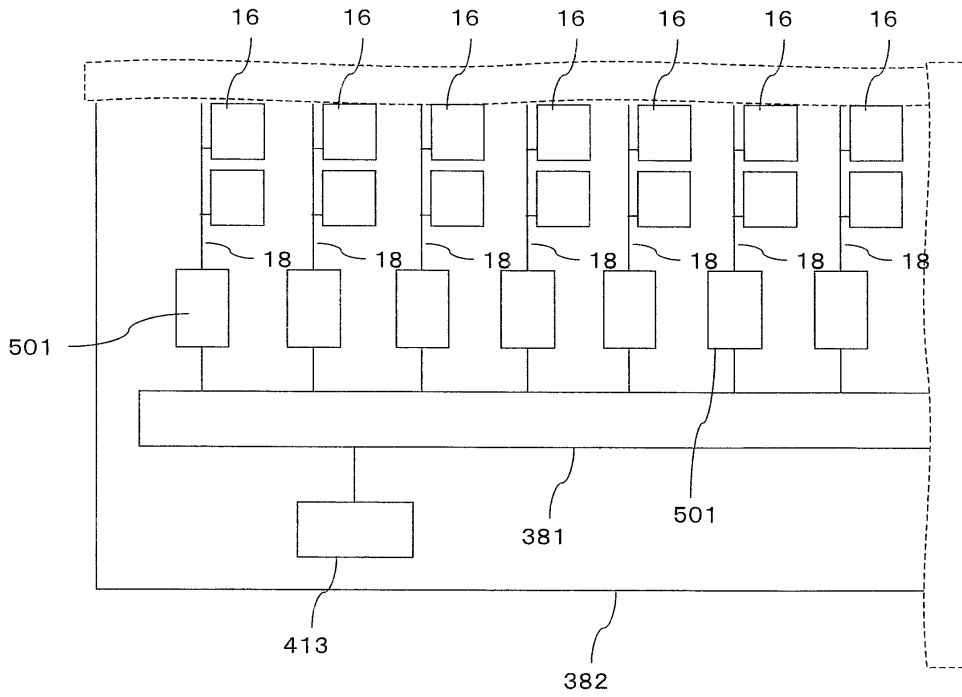


도면37

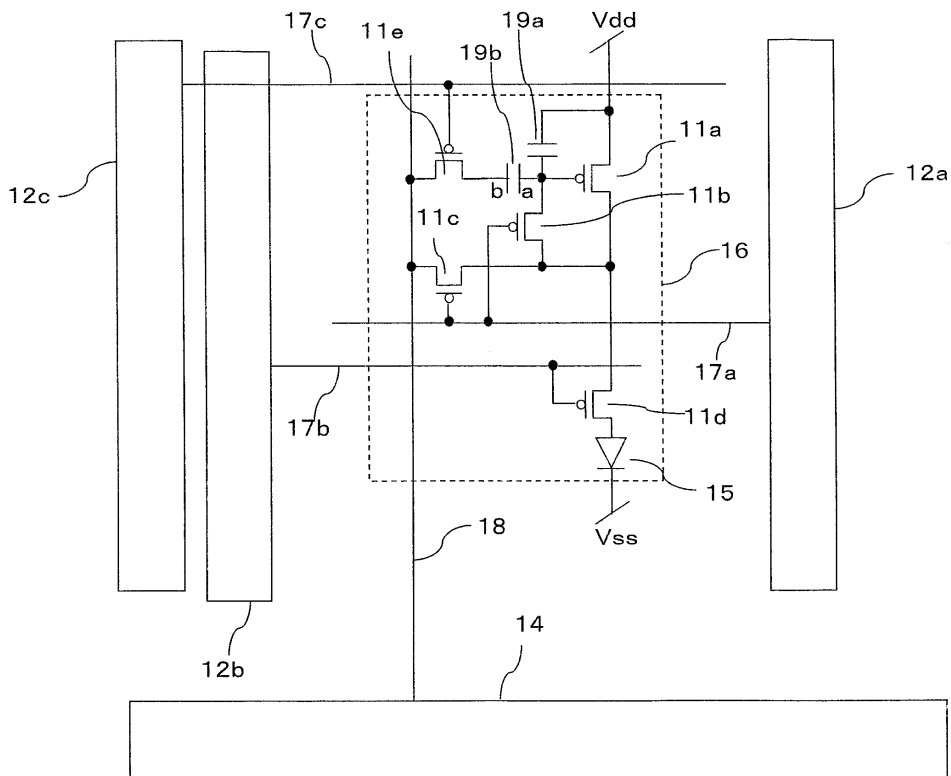


도면38

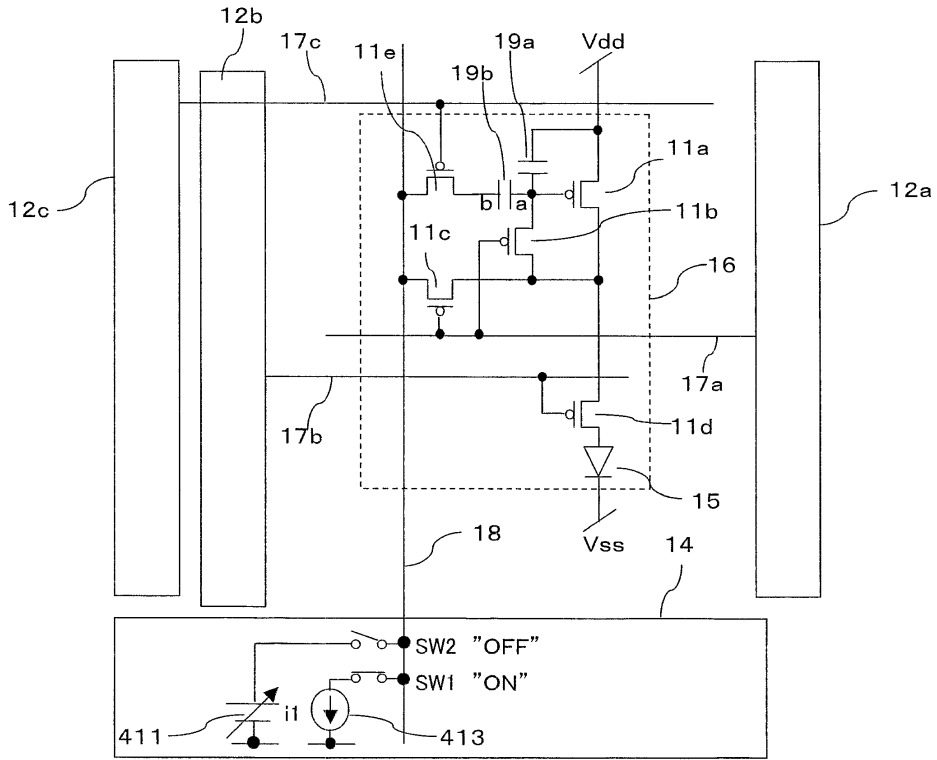
381 스위칭(선택) 회로      382 어레이 기판



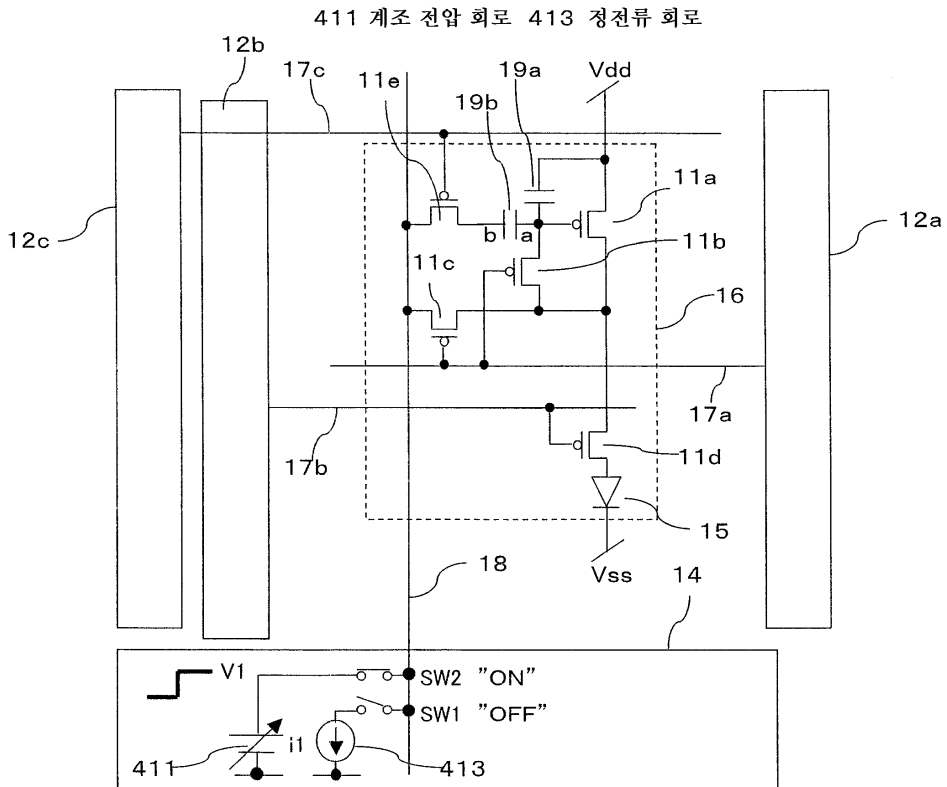
도면39



도면40



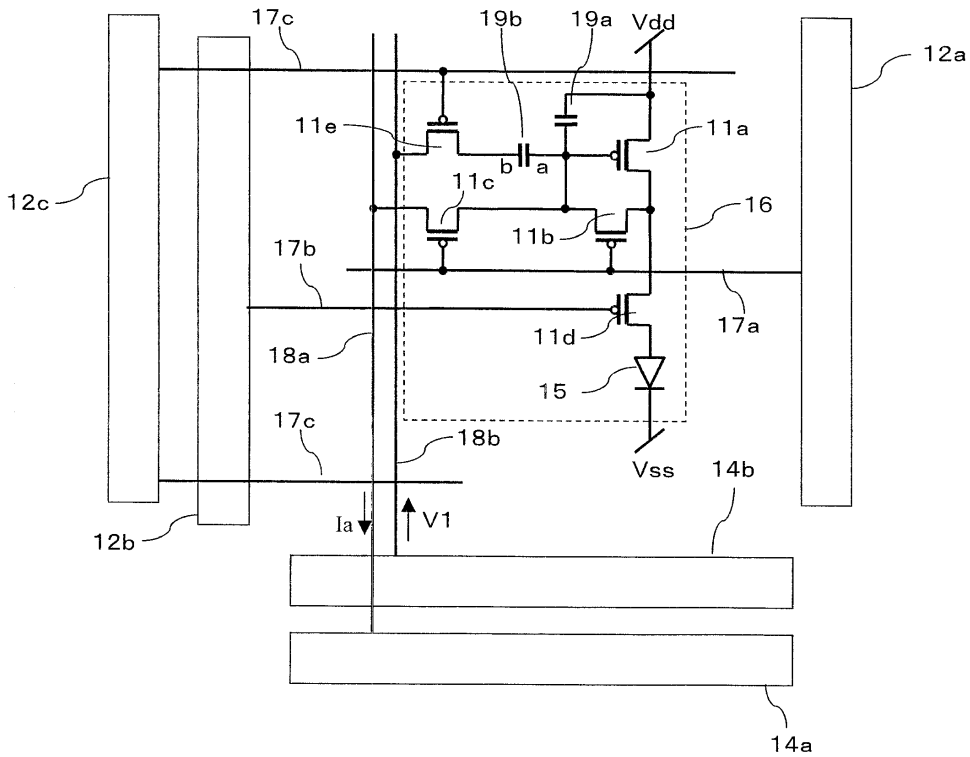
도면41



도면42

	리셋 기간	기입 기간	유지(발광) 기간
트랜지스터 11b	ON	OFF	OFF
트랜지스터 11c	ON	OFF	OFF
트랜지스터 11d	OFF	OFF	ON
트랜지스터 11e	OFF	ON	OFF
SW1	ON	OFF	—
SW2	OFF	ON	—

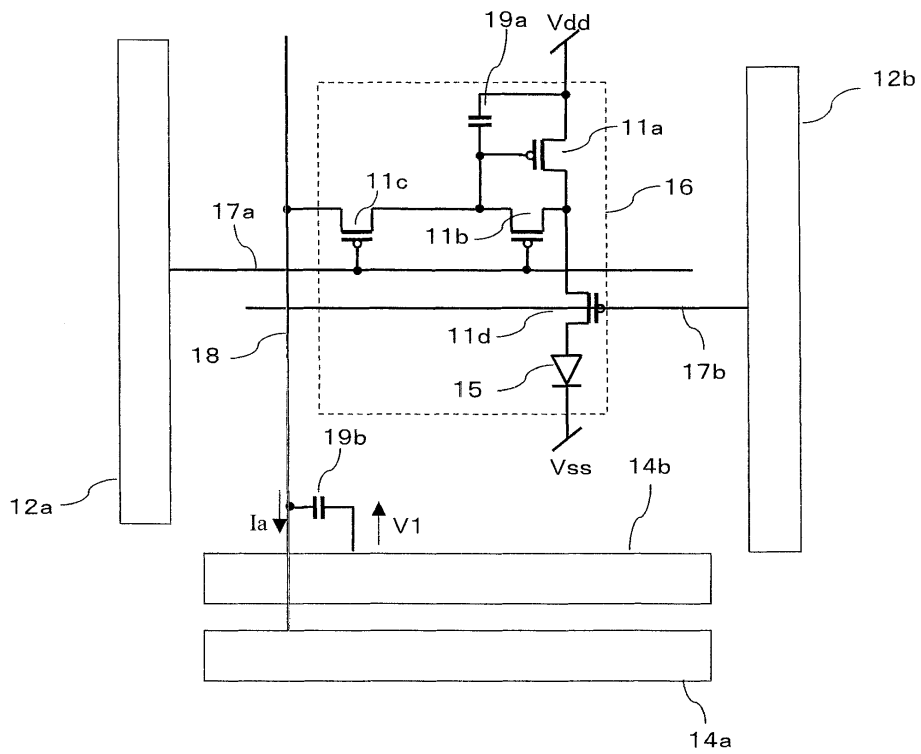
도면43



도면44

	리셋 기간	기입 기간	유지(발광) 기간
트랜지스터 11b	ON	OFF	OFF
트랜지스터 11c	ON	OFF	OFF
트랜지스터 11d	OFF	OFF	ON
트랜지스터 11e	ON	ON	OFF
드라이버 18a	I0	I0	—
드라이버 18b	Vb	V1	—

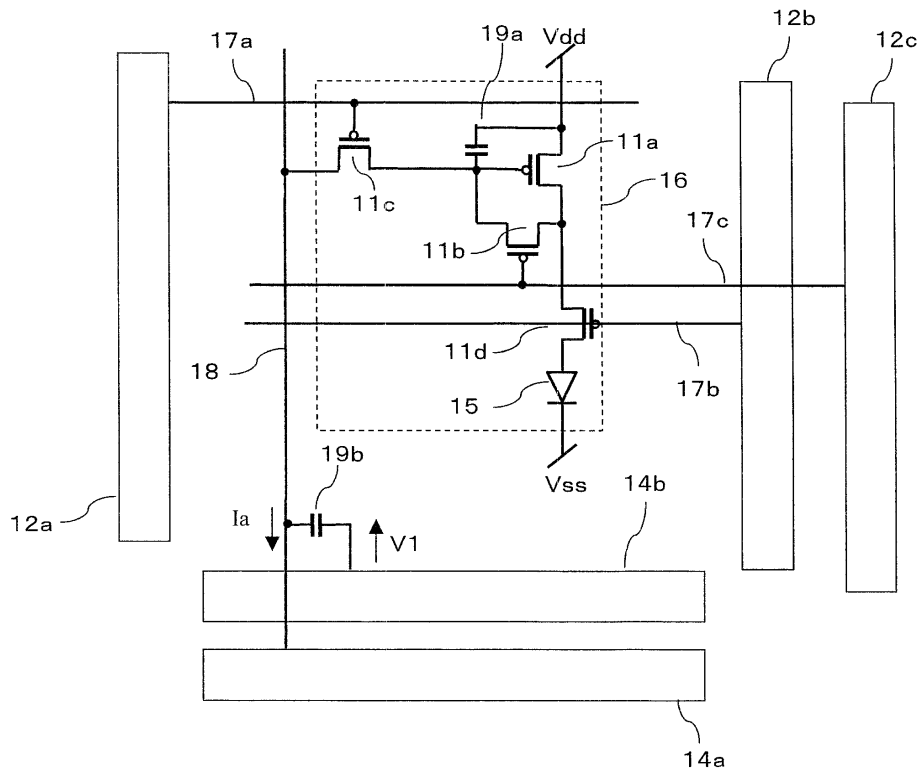
도면45



도면46

	리셋 기간	기입 기간	유지(발광) 기간
트랜지스터 11b	ON	ON	OFF
트랜지스터 11c	ON	ON	OFF
트랜지스터 11d	OFF	OFF	ON
드라이버 18a	I0	-	-
드라이버 18b	Vb	V1	-

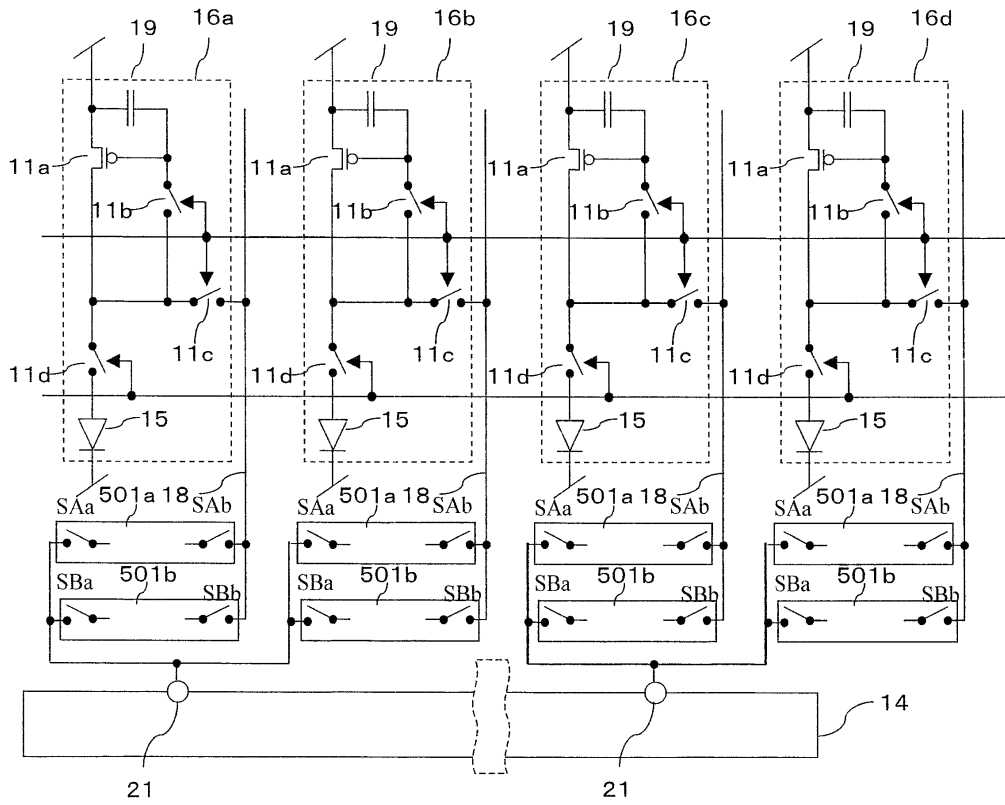
도면47



도면48

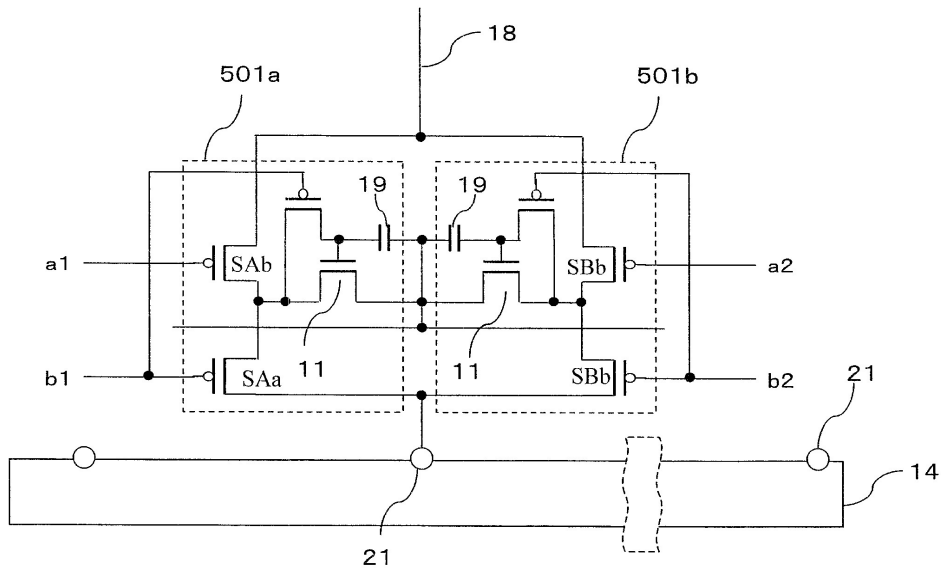
	리셋 기간	기입 기간	유지(발광) 기간
트랜지스터 11b	ON	ON	OFF
트랜지스터 11c	ON	OFF	OFF
트랜지스터 11d	OFF	OFF	ON
드라이버 18a	I0	-	-
드라이버 18b	Vb	V1	-

도면49

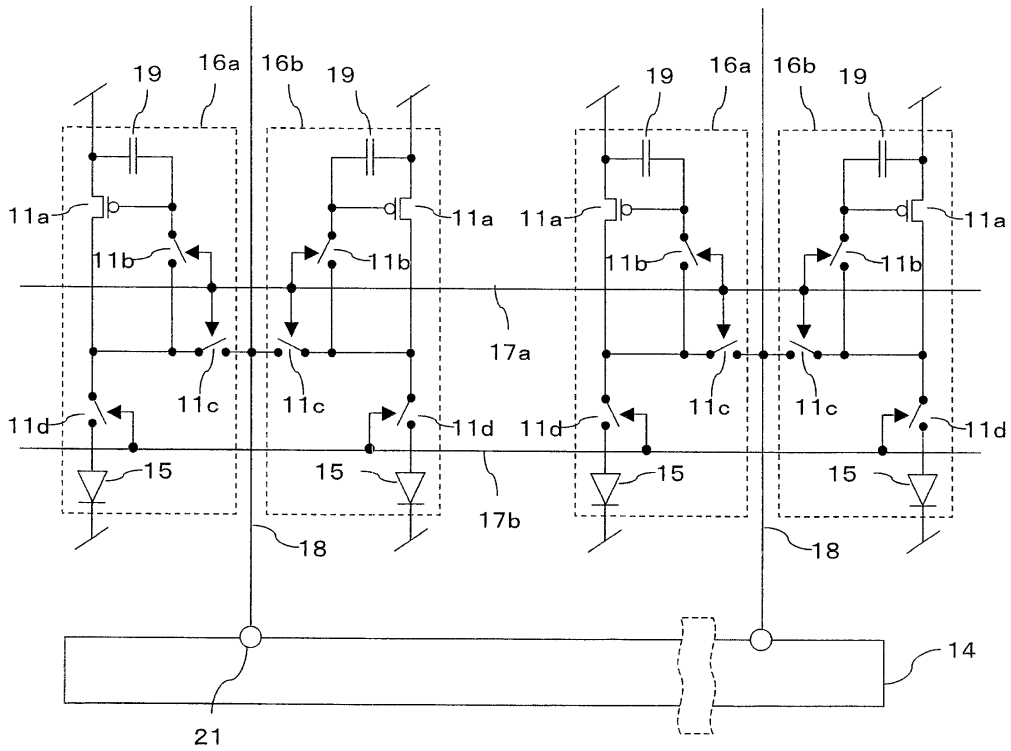


도면50

501 전류 유지 회로

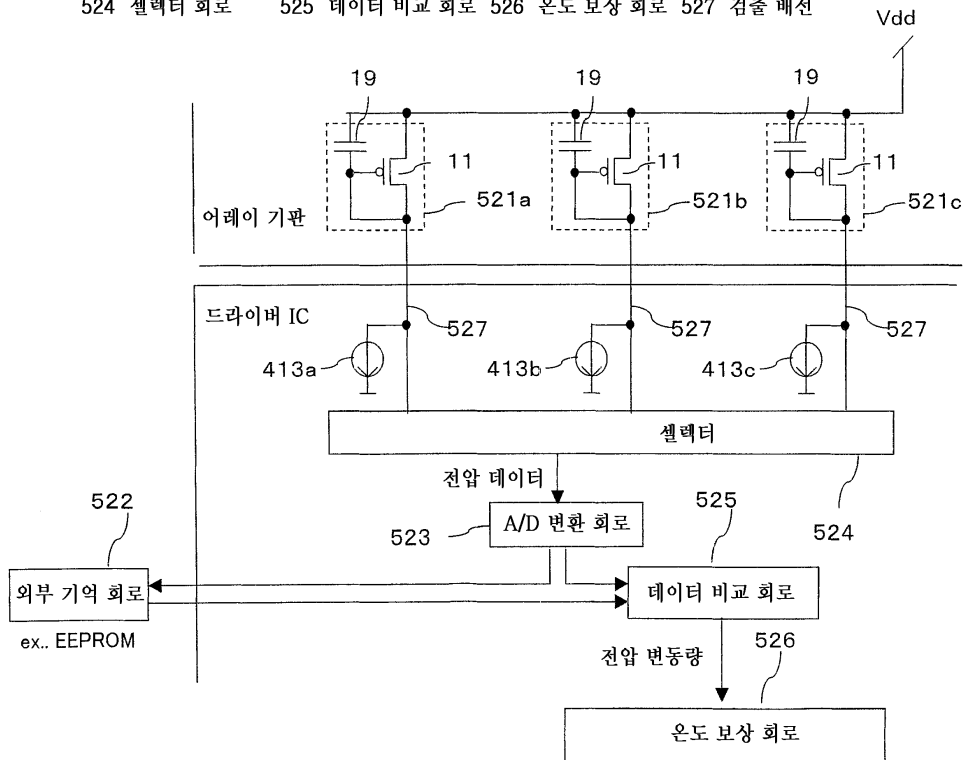


도면51

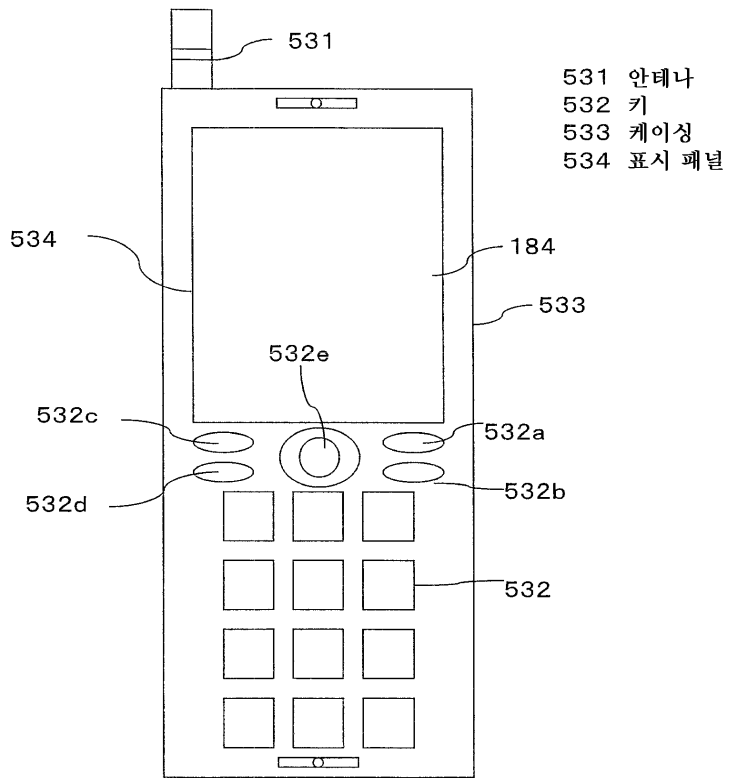


도면52

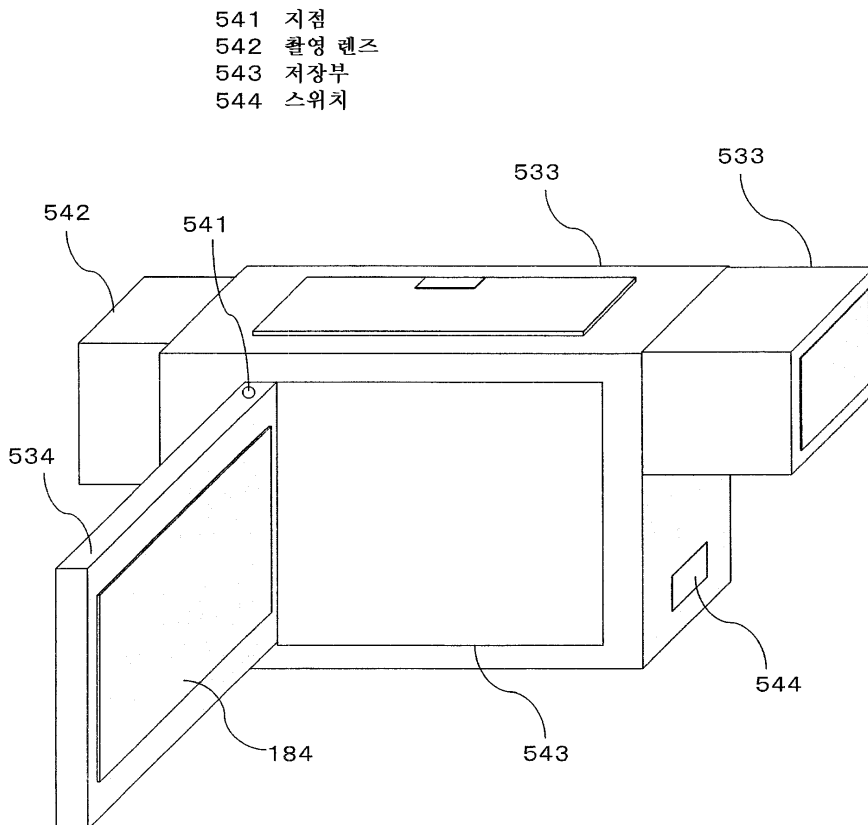
521 온도 검출 회로 522 외부 기억 회로 523 A/D 변환 회로  
 524 셀렉터 회로 525 데이터 비교 회로 526 온도 보상 회로 527 검출 배선



도면53

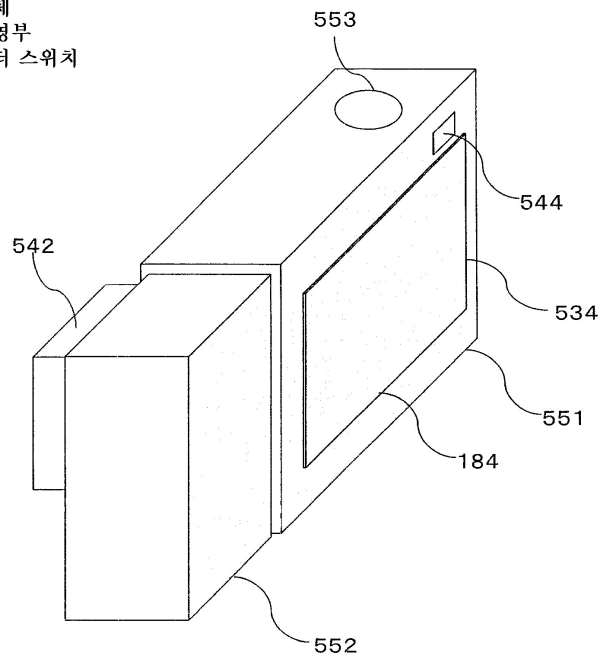


도면54



도면55

- 551 본체
- 552 촬영부
- 553 서터 스위치



专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	<a href="#">KR1020070058332A</a>	公开(公告)日	2007-06-08
申请号	KR1020060119790	申请日	2006-11-30
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	NAKAMURA NORIO 나카무라노리오 TAKAHARA HIROSHI 다카하라히로시		
发明人	나카무라노리오 다카하라히로시		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08		
CPC分类号	G09G2300/0842 G09G2320/041 G09G2300/0417 G09G2310/0205 G09G3/3283 G09G2300/0852 G09G2300/0861 G09G3/325 G09G3/3241 G09G3/3266 G09G3/3233 G09G2330/028 G09G2320/0233 G09G2310/0289 G09G2300/0819 G09G2320/0261 G09G2310/0248		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2005348486 2005-12-01 JP		
其他公开文献	KR100916866B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

如图4a所示，源极驱动器集成电路（电路）（14）在授权编程电流（复位电流）之前执行复位动作。在复位动作中，开关（SW2，SW4，SW5）被设置为断开相位。开关（SW3）闭合。在电容器（52）处施加地电位。用于驱动的晶体管（11a）改变栅极端子电位以便使复位电流（Ia）溢出。在电容器（52）的一部分中，用于驱动的晶体管（11a）的栅极端子周围的复位电位（Va）读入。接着，如图4b所示，从电容器输出灰度电压（Vx）。电压灰度电路（20）。灰度电压（Vx）加到复位电压（Va）或减去。在像素（16）中授权目标灰度电压（Vc）。图4c可以是图像显示状态。提供电流将编程的目标灰度电压（Vc）转换为电压作为电压 - 用于驱动的晶体管（11a）是电致发光单元（15）。电致发光单元，晶体管，电容器，显示器不均匀性，电流编程方法，恒定电流。

