

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup> (11) 공개번호 10-2006-0007973  
H05B 33/10 (2006.01) (43) 공개일자 2006년01월26일

(21) 출원번호 10-2004-0057604  
(22) 출원일자 2004년07월23일

(71) 출원인 엘지전자 주식회사  
서울특별시 영등포구 여의도동 20번지  
(72) 발명자 김우찬  
경상북도 구미시공단2동 LG전자 기숙사 205호  
(74) 대리인 최규팔  
조희연

심사청구 : 있음

(54) 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 픽셀

요약

본 발명은 식각 방식에 의해 인듐주석산화물층들이 형성되는 액티브 매트릭스형 유기 전계 발광 픽셀을 제조하는 방법에 관한 것이다. 상기 유기 전계 발광 픽셀은 서브 픽셀을 구동시키는 복수의 구동 소자들 및 캐패시터들을 기판 위에 형성하는 단계, 상기 구동 소자들 및 캐패시터들이 형성된 기판 위에 인터레이어(interlayer)를 형성하는 단계, 상기 인터레이어를 식각하여 상기 구동 소자들에 연결되는 복수의 인듐주석산화물층들을 형성하는 단계 및 상기 인듐주석산화물층들 위에 각기 유기물층 및 음극전극층을 형성하는 단계에 의해 제조된다. 상기 유기 전계 발광 픽셀은 식각 방식을 이용하여 인듐주석산화물층들을 형성하므로, 인듐주석산화물층들의 높이가 정밀하면서 용이하게 형성된다.

대표도

도 3

색인어

픽셀, 유기 전계, 인듐주석산화물층, ITO

명세서

도면의 간단한 설명

도 1은 일반적인 액티브 매트릭스형 유기 전계 발광 픽셀에 포함된 서브 픽셀을 도시한 평면도이다.

도 2a 및 도 2b는 종래의 유기 전계 발광 픽셀 제조 과정을 도시한 단면도들이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 픽셀을 도시한 단면도이다.

도 4a 내지 도 4o는 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 픽셀 제조 과정을 도시한 단면도들이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀에 관한 것으로, 더욱 상세하게는 식각 방식에 의해 형성된 인듐주석산화물층들을 형성하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀에 관한 것이다.

유기 전계 발광 픽셀은 레드, 그린 및 블루 빛을 발광시키는 서브 픽셀들을 포함한다. 이러한 유기 전계 발광 픽셀은 패시브 매트릭스형 유기 전계 발광 픽셀(passive matrix typed electroluminescent pixel)과 액티브 매트릭스형 유기 전계 발광 픽셀(active matrix typed electroluminescent pixel)을 포함한다.

상기 패시브 매트릭스형 유기 전계 발광 픽셀은 데이터 전극 라인들과 스캔 전극 라인들이 교차하는 영역들에 형성되며, 서브 픽셀들을 포함한다. 상기 서브 픽셀들은 스캔 전극 라인들에 상응하여 라인 단위로 순차적으로 발광한 후 즉시 턴-오프(turn-off)된다. 그 결과, 평균 휘도와 스캔 전극 라인들의 수의 곱에 상응하는 순간 휘도가 요구된다. 그러므로, 스캔 전극 라인들의 수가 많아질수록 더 많은 순간 휘도가 요구된다.

반면에, 상기 액티브 매트릭스형 유기 전계 발광 픽셀의 각 서브 픽셀은 이에 인가되는 전압을 저장하는 캐패시터를 포함하고, 상기 캐패시터는 상기 인가된 전압을 저장한 후 다음 프레임 신호가 인가될 때까지 다이오드에 전압을 인가한다. 그러므로, 상기 다이오드는 스캔 전극 라인들의 수에 관계없이 한 프레임 동안 계속하여 발광한다.

도 1은 일반적인 액티브 매트릭스형 유기 전계 발광 픽셀에 포함된 서브 픽셀을 도시한 평면도이다.

도 1을 참조하면, 상기 서브 픽셀은 스위칭 트랜지스터(switching transistor, T1), 구동 트랜지스터(driving transistor, T2), 캐패시터(Cs) 및 다이오드(D<sub>F</sub>)를 포함한다.

상기 스위칭 트랜지스터는 피-모스 트랜지스터(P-MOS transistor)로서 스위칭 역할을 한다. 상세하게는, 상기 스위칭 트랜지스터는 게이트단에 로우 로직(low logic)이 인가된 경우 턴-온(turn-on)되어 데이터 전극 라인(D<sub>N</sub>)을 통하여 인가된 데이터 라인 전압을 상기 캐패시터 및 상기 구동 트랜지스터의 게이트단에 인가한다. 반면에, 상기 스위칭 트랜지스터는 게이트단에 하이 로직(high logic)이 인가된 경우 턴-오프되고, 그 결과 상기 다이오드는 발광되지 않는다.

상기 캐패시터는 일단이 전압 공급 라인과 연결되고, 타단은 상기 스위칭 트랜지스터의 드레인단에 연결된다. 그래서, 상기 스위칭 트랜지스터가 턴-온되는 경우, 상기 캐패시터는 상기 전압 공급 라인을 통하여 인가된 전원 전압(V<sub>DD</sub>)과 상기 스위칭 트랜지스터를 통하여 인가된 상기 데이터 라인 전압의 차에 해당하는 전압을 저장한다. 이어서, 상기 캐패시터는 상기 저장된 전압을 한 프레임 동안 상기 다이오드에 일정하게 인가한다. 그 결과, 상기 다이오드는 한 프레임동안 계속하여 발광한다.

상기 구동 트랜지스터는 게이트단이 상기 스위칭 트랜지스터의 드레인단 및 상기 캐패시터의 일단에 연결되고, 소스단이 상기 캐패시터의 타단에 연결된다. 그래서, 상기 구동 트랜지스터는 상기 다이오드를 구동시킨다. 상세하게는, 상기 다이오드를 구동시킬 경우, 상기 스위칭 트랜지스터가 턴-온될 때 상기 구동 트랜지스터도 턴-온된다. 반면에, 상기 다이오드를 구동시키지 않을 경우, 상기 구동 트랜지스터는 오프 상태를 유지하거나 턴-오프된다.

도 2a 및 도 2b는 종래의 유기 전계 발광 픽셀 제조 과정을 도시한 단면도들이다.

상기 유기 전계 발광 픽셀은 탑 에미션(Top Emission) 방식으로 상기 픽셀들의 양단에 순방향 전압이 인가된 경우 위쪽으로 빛을 투과시킨다.

도 2a를 참조하면, 종래의 유기 전계 발광 픽셀은 구동 트랜지스터들(20a, 20b 및 20c), 캐패시터들(30a, 30b 및 30c), 연결 콘택홀부들(40a, 40b 및 40c), 금속반사층(45) 및 인듐주석산화물층들(50a, 50b 및 50c)을 포함한다.

제 1 구동 트랜지스터(20a)의 드레인단은 제 1 연결 콘택홀부(40a) 및 금속반사층(45)을 통하여 제 1 인듐주석산화물층(50a)과 연결되고, 제 2 구동 트랜지스터(20b)의 드레인단은 제 2 연결 콘택홀부(40b) 및 금속반사층(45)을 통하여 제 2 인듐주석산화물층(50b)과 연결된다. 또한, 제 3 구동 트랜지스터(20c)의 드레인단은 제 3 연결 콘택홀부(40c) 및 금속반사층(45)을 통하여 제 3 인듐주석산화물층(50c)과 연결된다.

인듐주석산화물층들(50a, 50b 및 50c)은 금속반사층(45) 상에 도 2a에 도시된 바와 같이 서로 다른 높이를 가지고 증착된다. 이에 대한 자세한 설명은 이하 첨부된 도면을 참조하여 상술하겠다.

도 2b를 참조하면, 도 2a의 인듐주석산화물층들(50a, 50b 및 50c) 사이에 절연막들(60a 및 60b)이 증착되고, 절연막들(60a 및 60b)이 형성된 기판 위에 정공 주입층(70), 정공 수송층(80), 발광층들(90a, 90b 및 90c) 및 음극전극층(100)이 순차적으로 증착된다.

음극전극층(100)은 발광층들(90a, 90b 및 90c) 위에 순차적으로 증착된 금속층(100a)과 인듐주석산화물층(100b)을 포함한다. 여기서, 인듐주석산화물층(100b)은 금속층(100a)을 보호하는 역할을 한다.

인듐주석산화물층(100b)의 밀도(D1, 이하 "밀한 매질의 밀도"라 함)는 금속층(100a), 발광층들(90a, 90b 및 90c), 정공 수송층(80), 정공 주입층(70) 및 인듐주석산화물층들(50a, 50b 및 50c)의 전체적인 밀도(D2, 이하 "소한 매질의 밀도"라 함)에 비하여 높다. 그 결과, 발광층들(90a, 90b 및 90c)로부터 발생된 빛 중 일부는 음극전극층(100)을 투과하여 외부로 발산되고, 나머지는 밀한 매질인 음극전극층(100)의 인듐주석산화물층(100b)에 의해 반사된다. 이 때, 양 매질의 D1과 D2가 다르기 때문에, 상기 반사되는 빛의 파장이 변화된다. 따라서, 상기 반사된 빛의 파장은 D2를 조절하여 원하는 파장으로 변화시킬 수 있고, 상세하게는 이는 소한 매질 중 인듐주석산화물층들(50a, 50b 및 50c)의 높이를 조절하여 D2를 변화시킬 수 있다. 각기 파장이 다른 레드, 그린 및 블루 빛을 큰 휘도값으로 발광시키기 위하여 소한 매질의 두께를 레드, 그린 및 블루 빛에 상응하여 다르게 형성하여야 한다. 그래서, 종래의 유기 전계 발광 픽셀은 도 2b에 도시된 바와 같이 인듐주석산화물층들(50a, 50b 및 50c)의 두께를 증착 방식을 이용하여 다르게 형성하였다.

그러나, 이렇게 증착 방식을 이용하여 인듐주석산화물층들(50a, 50b 및 50c)의 높이를 다르게 형성하면서 정밀하게 형성하는 것이 현재까지 용이하지 않다. 또한, 인듐주석산화물층들(50a, 50b 및 50c)의 상면의 위치가 서로 다르므로, 상기 유기 전계 발광 픽셀의 상면을 패시베이션(passivation)하기 위하여 유기물 증착을 통한 평탄화 공정이 필요하였다. 그러므로, 다른 높이를 가지는 인듐주석산화물층들(50a, 50b 및 50c)을 정밀하면서 용이하게 형성할 수 있고, 패시베이션을 위한 평탄화 공정이 필요하지 않은 유기 전계 발광 픽셀 제조 공정 및 이에 의해 제조되는 유기 전계 발광 픽셀이 요구된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 제 1 목적은 매질의 밀도차에 따라 변하는 파장에 상응하여 인듐주석산화물층들의 높이를 정밀하며 용이하게 형성할 수 있는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀을 제공하는 것이다.

본 발명의 제 2 목적은 패시베이션을 위한 평탄화 공정이 필요하지 않은 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀을 제공하는 것이다.

### 발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 픽셀 제조 방법은 서브 픽셀을 구동시키는 복수의 구동 소자들 및 캐패시터들을 기판 위에 형성하는 단계, 상기 구동 소자들 및 캐패시터들이 형성된 기판 위에 인터레이어(interlayer)를 형성하는 단계, 상기 인터레이어를 식각하여 상기 구동 소자들에 연결되는 복수의 인듐주석산화물층들을 형성하는 단계 및 상기 인듐주석산화물층들 위에 각기 유기물층 및 음극전극층을 형성하는 단계를 포함한다.

본 발명의 바람직한 일 실시예에 따른 복수의 구동 소자들, 캐패시터들 및 인듐주석산화물층들, 유기물층 및 음극전극층을 포함한다. 상기 캐패시터들은 상기 구동 소자들의 소스단들에 각기 연결되고, 외부로부터 인가되는 전압을 저장한다. 상기 인듐주석산화물층들은 상기 구동 소자들의 드레인단들에 각기 연결되고, 식각 방식에 의해 형성된다. 상기 유기물층 및 음극전극층은 상기 각 인듐주석산화물층들 위에 순차적으로 적층된다.

본 발명에 따른 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀은 식각 방식을 이용하여 인듐주석산화물층들을 형성하므로, 인듐주석산화물층들의 높이가 정밀하면서 용이하게 형성된다.

아울러, 본 발명에 따른 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀은 식각 방식을 이용하여 인듐주석산화물층들을 형성하고 폴리싱 공정을 이용하여 상기 인듐주석산화물층들의 상면을 동일한 평면상에 위치시키므로, 패시베이션을 위한 평탄화 공정이 필요하지 않는 장점이 있다.

이하에서는 첨부된 도면을 참조하여 본 발명에 따른 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀의 바람직한 실시예들을 자세히 설명하도록 한다.

도 3은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 픽셀을 도시한 단면도이다.

도 3을 참조하면, 본 발명의 유기 전계 발광 픽셀은 탑 에미션(Top Emission) 방식을 가지는 액티브 매트릭스형 픽셀(active matrix typed pixel)로서, 구동 트랜지스터들(110a, 110b 및 110c), 캐패시터들(120a, 120b 및 120c), 연결 콘택홀부들(130a, 130b 및 130c), 금속반사층들(140a, 140b 및 140c), 인듐주석산화물층들(Indium Tin Oxide Films, 160a, 160b 및 160c, 이하 "ITO층들"이라 함), 절연막들(170a 및 170b), 유기물층(180) 및 음극전극층(190)을 포함한다.

구동 트랜지스터들(110a, 110b 및 110c)은 유기 전계 발광 서브 픽셀, 상세하게는 다이오드를 구동시키는 구동 소자들로서, 연결 콘택홀부들(130a, 130b 및 130c)을 통하여 레드, 그린 및 블루 빛에 상응하는 인듐주석산화물층들(160a, 160b 및 160c)에 각기 연결된다. 예를 들어, 제 1 구동 트랜지스터(110a)는 제 1 연결 콘택홀부(130a)를 통하여 레드에 상응하는 제 1 인듐주석산화물층(160a)에 연결되고, 제 2 구동 트랜지스터(110b)는 제 2 연결 콘택홀부(130b)를 통하여 그린에 상응하는 제 2 인듐주석산화물층(160b)에 연결되며, 제 3 구동 트랜지스터(110c)는 제 3 연결 콘택홀부(130c)를 통하여 블루에 상응하는 제 3 인듐주석산화물층(160c)에 연결된다.

또한, 구동 트랜지스터들(110a, 110b 및 110c)은 캐패시터들(120a, 120b 및 120c)에 각기 연결된다. 상세하게는, 제 1 구동 트랜지스터(110a)는 제 1 캐패시터(120a)와 연결되고, 제 2 구동 트랜지스터(110b)는 제 2 캐패시터(120b)와 연결되며, 제 3 구동 트랜지스터(110c)는 제 3 캐패시터(120c)와 연결된다.

각 캐패시터들(120a, 120b 및 120c)은 캐패시터전극, 전압공극전극 및 상기 캐패시터전극과 전압공극전극 사이에 위치하는 제 1 절연층으로 이루어진다.

연결 콘택홀부들(130a, 130b 및 130c)은 구동 트랜지스터들(110a, 110b 및 110c)의 각 드레인단에 연결되고, 금속으로 이루어져 구동 트랜지스터들(110a, 110b 및 110c)을 통하여 인가된 양의 전압을 ITO층들(160a, 160b 및 160c)에 제공한다.

ITO층들(160a, 160b 및 160c)은 상기 제공된 양의 전압에 따라 정공들을 유기물층(180)에 제공한다. 또한, 각 ITO층들(160a, 160b 및 160c)은 인듐주석산화물층(190b)의 하부에 위치한 소한 매질의 밀도를 변화시키기 위하여 각기 파장이 다른 레드, 그린 및 블루 빛을 내는 서브 픽셀마다 높이를 달리 형성한다. 여기서, 레드, 그린 및 블루 빛의 순으로 파장이 길기 때문에, 레드 빛에 상응하는 제 1 인듐주석산화물층(160a), 그린 빛에 상응하는 제 2 인듐주석산화물층(160b) 및 블루 빛에 상응하는 제 3 인듐주석산화물층(160c)의 순으로 깊이가 깊다.

본 발명에 따른 ITO층들(160a, 160b 및 160c)은 인터레이어(Interlayer, 350)를 식각함에 의해 형성된다. 이어서, 금속반사층들(140a, 140b 및 140c)이 상기 식각된 인터레이어(350) 위에 형성된다. 이에 대한 자세한 설명은 이하 첨부된 도면을 참조하여 상술하겠다.

절연막들(170a 및 170b)은 ITO층들(160a, 160b 및 160c) 사이에 형성되어 ITO층들(160a, 160b 및 160c) 사이의 전기적 연결을 차단한다.

유기물층(180)은 정공 주입층(Hole Injection Layer, HIL), 정공 수송층(Hole Transporting Layer, HTL), 발광층들(Emitting Layers, EMLs), 전자 수송층(Electron Transporting Layer, ETL) 및 전자 주입층(Electron Injection Layer, EIL)을 포함한다. 본 발명의 다른 실시예에 따른 유기물층(180)은 정공 수송층, 발광층 및 전자 수송층만을 포함한다. 그래서, ITO층들(160a, 160b 및 160c)에 소정의 양의 전압이 인가되고 음극전극층(190)에 소정의 음의 전압이 인가된 경우, 상기 정공 주입층은 ITO층들(160a, 160b 및 160c)로부터 제공되는 정공들을 상기 정공 수송층으로 원활하게 주입시키

고, 상기 정공 수송층은 주입된 정공들을 해당 발광층으로 수송한다. 또한, 상기 전자 주입층은 음극전극층(190)로부터 제공되는 전자들을 상기 전자 수송층으로 원활하게 주입시키고, 상기 전자 수송층은 상기 주입된 전자들을 해당 발광층으로 수송한다. 이어서, 상기 수송된 정공들 및 전자들이 각 발광층에서 재결합하여 레드, 그린 또는 블루에 상응하는 빛을 발생시킨다.

상기 발광층들은 ITO층들(160a, 160b 및 160c)에 상응하여 상기 정공 수송층과 상기 전자 수송층 사이에 각기 형성된다.

음극전극층(190)은 금속층(190a)과 그 위에 증착된 인듐주석산화물층(190b)을 포함하며, 소정의 음의 전압이 인가된 경우 전자들을 유기물층(180)에 제공한다. 여기서, 금속층(190a)이 매우 얇은 반투명한 금속층이기 때문에, 인듐주석산화물층(190b)은 금속층(190a)을 보호하기 위하여 금속층(190a) 위에 형성된다. 인듐주석산화물층(190b)의 밀도는, 금속층(190a), 유기물층(180) 및 ITO층들(160a, 160b 및 160c)의 전체 밀도에 비하여 높다. 그 결과, 인듐주석산화물층(190b)으로부터 반사된 빛이 변화되고, 그래서 ITO층들(160a, 160b 및 160c)의 높이가 다르게 형성된다. 또한, 이러한 반사된 빛의 파장 변화로 인하여 다른 레드, 그린 및 블루 빛은 큰 휘도값을 가지고 발광된다.

본 발명의 유기 전계 발광 픽셀에서, ITO층들(160a, 160b 및 160c)은 식각 방식에 의해 형성된다. 이 경우, 원하는 ITO층들(160a, 160b 및 160c)의 깊이를 기설정하고 이에 상응하여 ITO층들(160a, 160b 및 160c)이 형성되도록 식각한다. 이 공정은 높이가 다른 ITO층들을 각기 증착해야 하는 종래 기술보다 용이하게 실행될 수 있다. 그러므로, 본 발명의 ITO층들(160a, 160b 및 160c)은 종래 기술보다 정밀하면서도 용이하게 형성된다.

또한, 본 발명의 유기 전계 발광 픽셀 제조 방법은 이하에서 상술될 폴리싱 공정을 이용하여 ITO층들(160a, 160b 및 160c)의 상면을 동일한 평면상에 위치시키고, 이어서, ITO층들(160a, 160b 및 160c) 위에 유기물층(180) 및 음극전극층(190)을 평탄하게 증착시킨다. 그러므로, 종래의 기술과 달리 패시베이션 과정에서 유기물의 증착을 통한 평탄화 공정 없이 음극전극층(190) 위에 즉시 비유기층을 형성할 수 있다.

게다가, 본 발명의 유기 전계 발광 픽셀에서, ITO층들(160a, 160b 및 160c)의 상면에 절연막들(170a 및 170b)이 전혀 증착되지 않는다. 그러므로, 본 발명의 유기 전계 발광 픽셀에 포함된 ITO층들(160a, 160b 및 160c)은 종래의 기술보다 발광층에 정공들을 제공하는 부분의 폭이 더 크다. 그 결과, 상기 유기 전계 발광 픽셀의 발광 효율이 향상된다.

도 4a 내지 도 4o는 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 픽셀 제조 과정을 도시한 단면도들이다.

도 4a를 참조하면, 기판(100) 위에 버퍼층(200)이 형성되고, 버퍼층(200) 위에 액티브층들(220a, 220b 및 220c) 및 캐패시터전극들(230a, 230b 및 230c)이 형성된다. 상세하게는, 버퍼층(200)은 스퍼터링(sputtering) 방법 등의 증착 방법에 의해 기판(100)의 전면에 걸쳐 증착되고, 액티브층들(220a, 220b 및 220c) 및 캐패시터전극들(230a, 230b 및 230c)은 식각 공정을 포함하는 포토리소그래피 공정(photolithography process)에 의해 버퍼층(200) 위에 도 4a에 도시된 바와 같이 형성된다. 여기서, 버퍼층(200)은 제 1 절연물질로 이루어지며, 액티브층들(220a, 220b 및 220c) 및 캐패시터전극들(230a, 230b 및 230c)은 폴리 실리콘으로 이루어진다.

도 4b를 참조하면, 각 액티브층들(220a, 220b 및 220c) 위에 게이트 절연막 및 게이트 전극이 순차적으로 형성된다. 상세하게는, 도 4a의 기판 위에 제 2 절연물질 및 제 1 금속물질이 차례로 증착되고, 그런 후 소정의 마스크를 이용함에 의해 상기 순차적으로 증착된 제 2 절연물질 및 제 1 금속물질이 패터닝된다. 그 결과, 상기 순차적으로 증착된 게이트 절연막 및 게이트 전극이 도 4b에 도시된 바와 같이 각 액티브층들(220a, 220b 및 220c) 위에 형성된다. 여기서, 상기 게이트 절연막은 무기 절연물질, 예를 들어 산화 실리콘( $\text{SiO}_x$ ) 또는 질화 실리콘( $\text{SiN}_x$ )으로 이루어진다.

도 4c를 참조하면, 도 4b의 기판 위에 제 1 절연층(250)이 형성되고, 그런 후 제 1 절연층(250) 위에 전압공극전극들(260a, 260b 및 260c)이 형성된다. 상세하게는, 제 1 절연층(250)은 제 3 절연물질이 도 4b의 기판의 전면에 걸쳐 증착됨에 의해 형성되고, 전압공극전극들(260a, 260b 및 260c)은 식각 공정을 포함하는 포토리소그래피 공정에 의해 제 1 절연층(250) 위에 형성된다. 여기서, 제 1 절연층(250)은 산화 실리콘( $\text{SiO}_x$ ) 또는 질화 실리콘( $\text{SiN}_x$ ) 등과 같은 무기 절연물질 또는 아크릴(Acryl)계 유기화합물 등의 유기 절연물질로 이루어지고, 전압공극전극들(260a, 260b 및 260c)은 제 2 금속물질로 이루어진다.

캐패시터전극들(230a, 230b 및 230c), 제 1 절연층(250) 및 전압공극전극들(260a, 260b 및 260c)이 순차적으로 형성되어 캐패시터들(120a, 120b 및 120c)을 형성한다.

도 4d를 참조하면, 도 4c의 기관의 전면에 걸쳐 제 4 절연물질이 증착되고, 상기 제 4 절연물질이 증착된 기관이 소정의 마스크를 이용함에 의해 패터닝되어 제 2 절연층(270, 280a, 280b 및 280c)이 형성된다. 여기서, 상기 제 4 절연물질은 산화 실리콘( $\text{SiO}_x$ ) 또는 질화 실리콘( $\text{SiN}_x$ ) 등과 같은 무기 절연물질 또는 아크릴(Acryl)계 유기화합물 등의 유기 절연물질이다.

이어서, 제 2 절연층(270, 280a, 280b 및 280c)이 형성된 기관이 식각 공정을 포함하는 포토리쓰그래피 공정에 의해 소정의 패턴으로 패터닝된다. 그 결과, 제 1 구동 트랜지스터 콘택홀들(290a, 290b 및 290c), 제 2 구동 트랜지스터 콘택홀들(300a, 300b 및 300c) 및 캐패시터 콘택홀들(305a, 305b 및 305c)이 도 4d에 도시된 바와 같이 형성된다. 여기서, 제 1 구동 트랜지스터 콘택홀들(290a, 290b 및 290c)은 구동 트랜지스터들(110a, 110b 및 110c)의 드레인단들에 상응하고, 제 2 구동 트랜지스터 콘택홀들(300a, 300b 및 300c)은 구동 트랜지스터들(110a, 110b 및 110c)의 소스단들에 상응한다.

도 4e를 참조하면, 도 4d의 기관 위에 제 3 금속물질이 증착되고, 그런 후 상기 제 3 금속물질이 증착된 기관이 식각 공정을 포함하는 포토리쓰그래피 공정에 의해 소정의 패턴으로 패터닝된다. 그 결과, 제 1 트랜지스터 콘택홀부들(320a, 320b 및 320c) 및 제 2 트랜지스터 콘택홀부들(330a, 330b 및 330c)이 도 4e에 도시된 바와 같이 형성된다. 여기서, 상기 제 3 금속물질은 크롬(Cr) 또는 몰리브덴(Mo) 등이다. 또한, 제 2 트랜지스터 콘택홀부들(330a, 330b 및 330c)은 구동 트랜지스터들(110a, 110b 및 110c)의 소스단들과 캐패시터들(120a, 120b 및 120c)을 연결시킨다.

도 4f 및 도 4g를 참조하면, 도 4e의 기관의 전면에 걸쳐 제 1 포토레지스트(first photoresist, 340)가 증착되고, 상기 제 1 포토레지스트가 증착된 기관이 소정의 마스크를 이용함에 의해 패터닝되어 제 1 연결 콘택홀이 형성된다. 이어서, 상기 제 1 연결 콘택홀에 제 4 금속물질이 증착되어 제 1 연결 콘택홀부(130a)가 형성된다.

도 4h를 참조하면, 제 2 및 제 3 연결 콘택홀부들(130b 및 130c)은 제 1 연결 콘택홀부(130a)와 동일한 공정에 의해 형성된다. 다만, 연결 콘택홀부들(130a, 130b 및 130c)은 높이가 서로 다르게 형성된다.

도 4i를 참조하면, 도 4h의 기관의 전면에 걸쳐 제 5 절연물질이 증착되어 인터레이어(350)가 형성된다.

도 4j를 참조하면, 도 4i의 기관 위에 형성된 인터레이어(350)를 제 1 ITO 마스크를 이용하여 제 1 깊이로 식각, 예를 들어 건식 식각하고, 그런 후 제 2 절연막 마스크를 이용하여 제 2 절연막(170b)을 형성한다. 여기서, 제 2 절연막(170b)은 제 3 연결 콘택홀부(130c)의 왼쪽에 접하거나 소정 거리 떨어져 위치하며, 상기 제 1 깊이로 식각된 부분의 바닥면에 제 3 연결 콘택홀부(130c)가 도 4j에 도시된 바와 같이 연결된다.

도 4k를 참조하면, 인터레이어(350) 중 제 2 절연막(170b)로부터 왼쪽에 위치하는 부분을 제 2 ITO 마스크를 이용하여 제 2 깊이로 식각하고, 그런 후 제 1 절연막 마스크를 이용하여 제 1 절연막(170a)을 형성한다. 여기서, 제 1 절연막(170a)은 제 2 연결 콘택홀부(130b)의 왼쪽에 접하거나 소정 거리 떨어져 위치하며, 상기 제 2 깊이로 식각된 부분의 바닥면에 제 2 연결 콘택홀부(130b)가 도 4k에 도시된 바와 같이 연결된다.

도 4l을 참조하면, 인터레이어(350) 중 제 1 절연막(170a)로부터 왼쪽에 위치하는 부분을 제 3 ITO 마스크를 이용하여 제 3 깊이로 식각한다. 이어서, 상기 식각된 부분들 위에 도 4l에 도시된 바와 같이 금속반사층들(140a, 140b 및 140c)을 증착한다. 여기서, 상기 제 3 깊이로 식각된 부분의 바닥면에 제 1 연결 콘택홀부(130a)가 도 4l에 도시된 바와 같이 연결된다.

도 4m 및 도 4n을 참조하면, 도 4l의 기관의 전면에 걸쳐 ITO층(370)이 증착되고, 그런 후 상기 증착된 ITO층(370)이 폴리싱 공정(Polishing process)에 의해 폴리싱되어 ITO층들(160a, 160b 및 160c)이 형성된다. 여기서, ITO층들(160a, 160b 및 160c) 및 절연막들(170a 및 170b)의 상면들은 동일한 평면상에 위치한다.

도 4o를 참조하면, 도 4n의 기관의 전면에 걸쳐 유기물층(180)이 증착되고, 그런 후 유기물층(180) 위에 음극전극층(190)이 평탄하게 증착된다.

유기물층(180) 중 발광층들은 ITO층들(160a, 160b 및 160c)에 상응하여 각기 형성되며, 상호 이격되어 있다.

음극전극층(190)은 순차적으로 적층된 금속층(190a) 및 인듐주석산화물층(190b)을 포함한다. 금속층(190a)은 얇은 금속막으로 반투명하며, 캐소드(cathode)의 역할을 수행한다. 또한, 인듐주석산화물층(190b)은 금속층(190a)을 보호한다. 다만, 금속층(190a) 위에 형성되는 물질은 인듐주석산화물층(190b) 외에도 투명한 물질이면 사용 가능하다.

상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

### 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀은 식각 방식을 이용하여 인듐주석산화물층들을 형성하므로, 인듐주석산화물층들의 높이가 정밀하면서 용이하게 형성되는 장점이 있다. 그 결과, 음극전극층의 인듐주석산화물층에서 반사되는 빛의 파장을 원하는 파장으로 용이하게 변화시켜 고휘도를 가지는 빛을 발광시킬 수 있다.

아울러, 본 발명에 따른 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법 및 이에 의해 제조되는 유기 전계 발광 픽셀은 식각 방식을 이용하여 인듐주석산화물층들을 형성하고 폴리싱 공정을 이용하여 상기 인듐주석산화물층들의 상면을 동일한 평면상에 위치시키므로, 패시베이션 과정에서 평탄화 공정이 필요하지 않는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

서브 픽셀을 구동시키는 복수의 구동 소자들 및 캐패시터들을 기판 위에 형성하는 단계;

상기 구동 소자들 및 캐패시터들이 형성된 기판 위에 인터레이어(interlayer)를 형성하는 단계;

상기 인터레이어를 식각하여 상기 구동 소자들에 연결되는 복수의 인듐주석산화물층들을 형성하는 단계; 및

상기 인듐주석산화물층들 위에 각기 유기물층 및 음극전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

#### 청구항 2.

제 1 항에 있어서,

상기 인듐주석산화물층들은 각기 서로 다른 깊이를 가지며 소정의 거리를 가지고 서로 이격되는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

#### 청구항 3.

제 1 항에 있어서, 상기 구동 소자들 및 캐패시터들이 형성된 기판 위에 복수의 연결 콘택홀부들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

#### 청구항 4.

제 3 항에 있어서, 상기 연결 콘택홀부들을 형성하는 단계는,

상기 구동 소자들이 형성된 기판 위에 제 1 포토레지스트를 증착하는 단계;

상기 제 1 포토레지스트를 제 1 콘택홀 패턴에 따라 패터닝하여 제 1 연결 콘택홀부를 상기 구동 소자들 중 제 1 구동 소자 위에 형성하는 단계;

상기 제 1 연결 콘택홀부가 형성된 기판 위에 제 2 포토레지스트를 증착하는 단계;

상기 제 2 포토레지스트를 제 2 콘택홀 패턴에 따라 패터닝하여 제 2 연결 콘택홀부를 상기 구동 소자들 중 제 2 구동 소자 위에 형성하는 단계;

상기 제 2 연결 콘택홀부가 형성된 기판 위에 제 3 포토레지스트를 증착하는 단계; 및

상기 제 3 포토레지스트를 제 3 콘택홀 패턴에 따라 패터닝하여 제 3 연결 콘택홀부를 상기 구동 소자들 중 제 3 구동 소자 위에 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

## 청구항 5.

제 1 항에 있어서, 상기 인듐주석산화물층들을 형성하는 단계는,

상기 인터레이어를 제 1 식각 패턴에 따라 제 1 식각하는 단계;

상기 제 1 식각된 인터레이어 위에 제 1 절연막 패턴에 따라 제 1 절연막을 형성하는 단계;

상기 제 1 식각된 인터레이어를 제 2 식각 패턴에 따라 제 2 식각하는 단계;

상기 제 2 식각된 인터레이어 위에 제 2 절연막 패턴에 따라 제 2 절연막을 형성하는 단계;

상기 제 2 식각된 인터레이어를 제 3 식각 패턴에 따라 제 3 식각하는 단계;

상기 식각된 인터레이어의 상면에 금속반사층을 증착하는 단계;

상기 증착된 금속반사층 위에 인듐주석산화물을 증착하는 단계; 및

상기 인듐주석산화물이 증착된 인터레이어를 폴리싱(Polishing)하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

## 청구항 6.

제 1 항에 있어서, 상기 유기물층 및 음극전극층을 형성하는 단계는,

상기 각 인듐주석산화물층 위에 상기 유기물층을 형성하는 단계;

상기 유기물층 위에 금속층을 형성하는 단계; 및

상기 금속층 위에 인듐주석산화물층을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀 제조 방법.

## 청구항 7.

복수의 구동 소자들;

상기 구동 소자들의 소스단들에 각기 연결되고, 외부로부터 인가되는 전압을 저장하는 복수의 캐패시터들;

상기 구동 소자들의 드레인단들에 각기 연결되고, 식각 방식에 의해 형성된 인듐주석산화물층들; 및

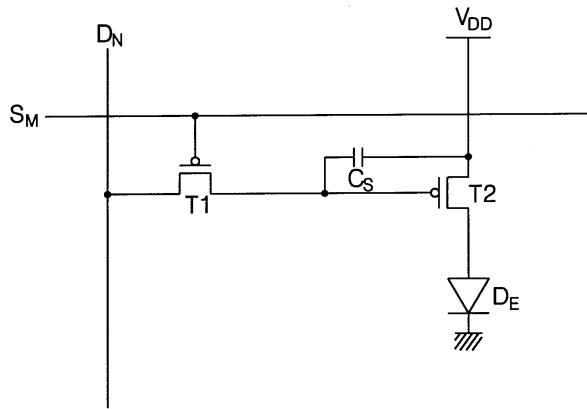
상기 각 인듐주석산화물층들 위에 순차적으로 적층된 유기물층 및 음극전원층을 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀.

**청구항 8.**

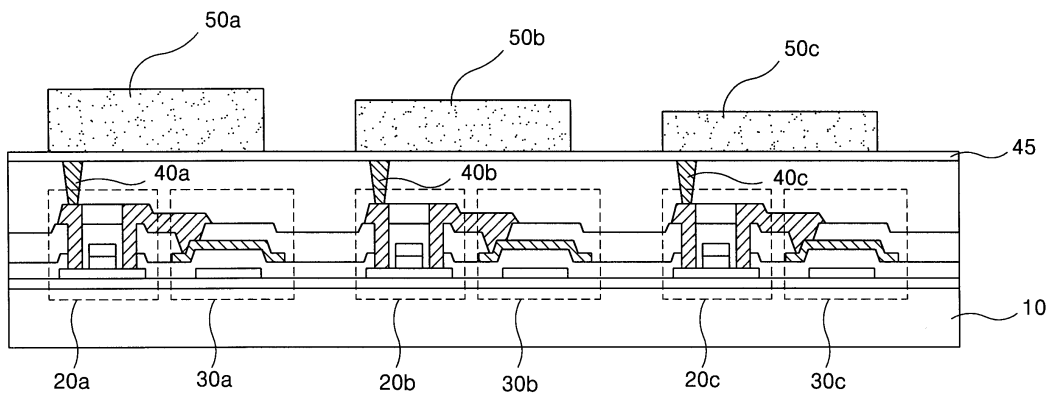
제 7 항에 있어서, 상기 인듐주석산화물층들은 각기 서로 다른 깊이를 가지며 상기 인듐주석산화물층들 사이에 위치하는 절연막들에 의해 서로 이격되는 것을 특징으로 하는 액티브 매트릭스형 유기 전계 발광 픽셀.

도면

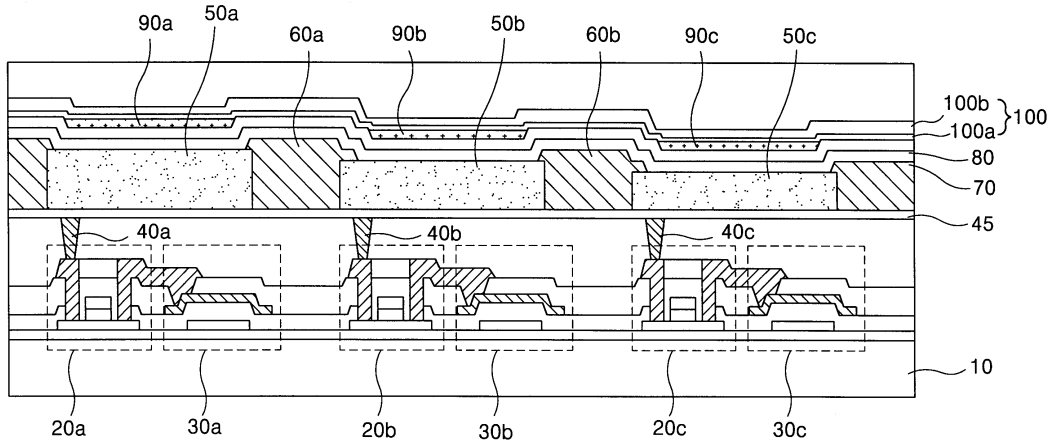
도면1



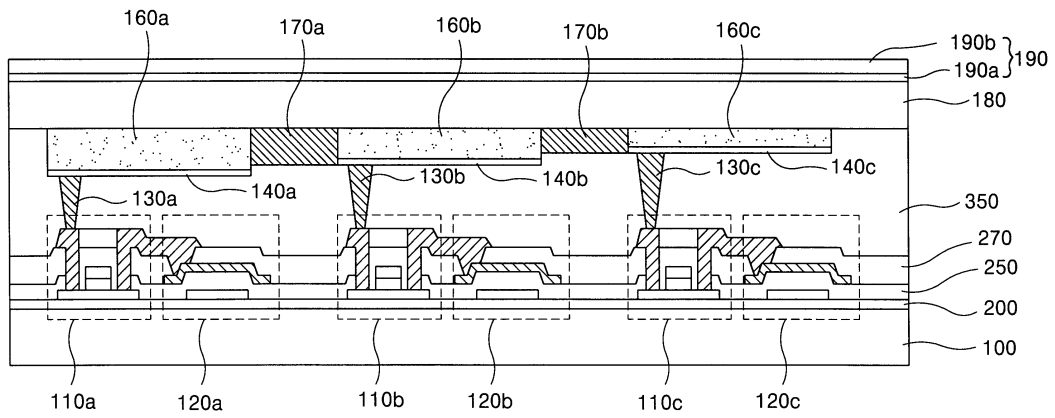
도면2a



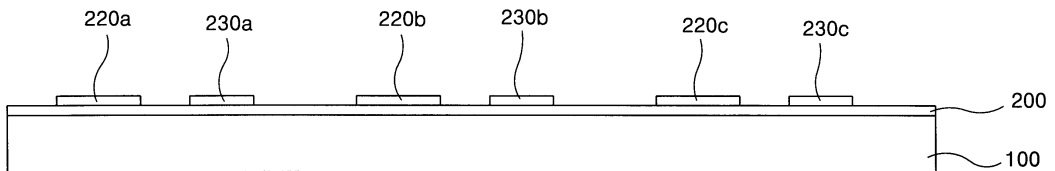
도면2b



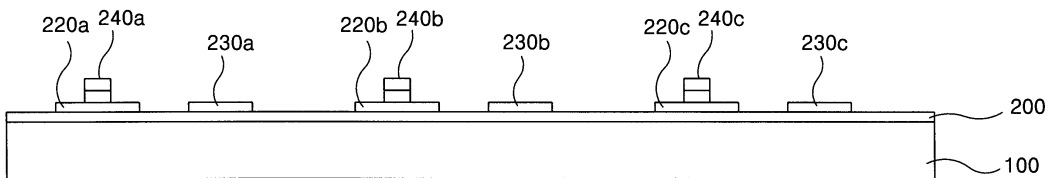
도면3



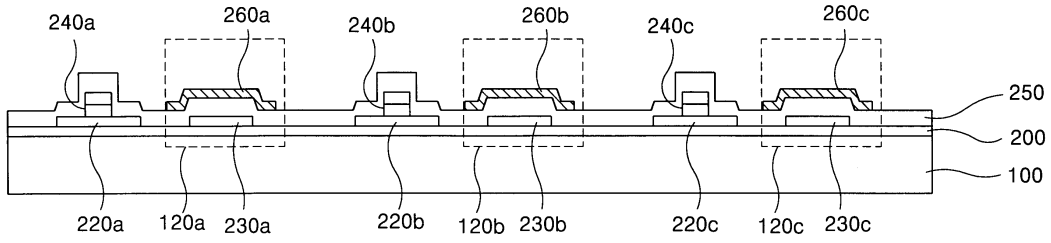
도면4a



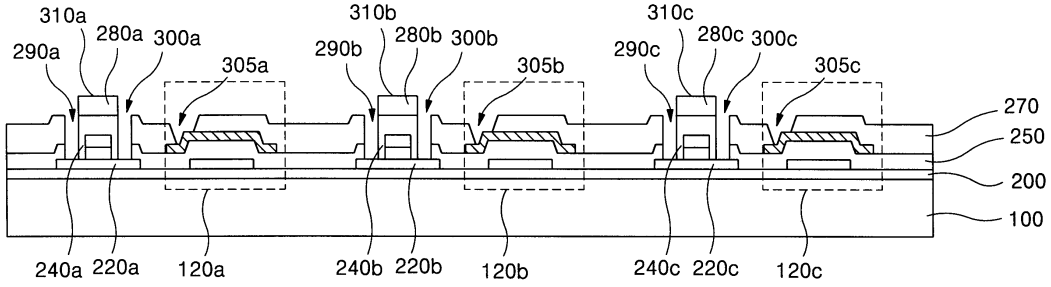
도면4b



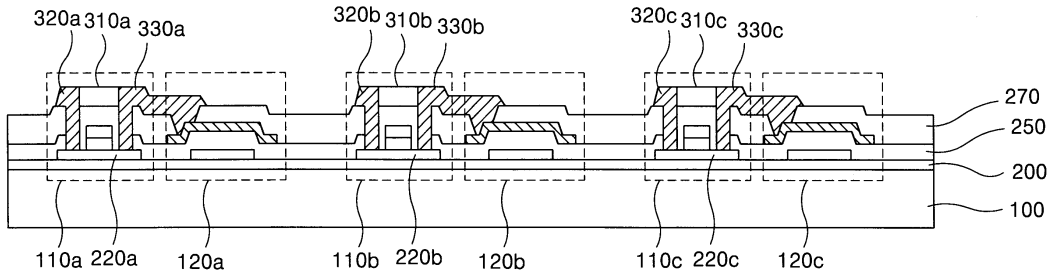
도면4c



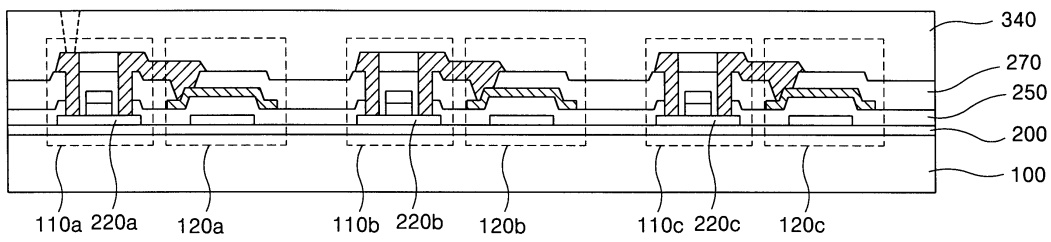
도면4d



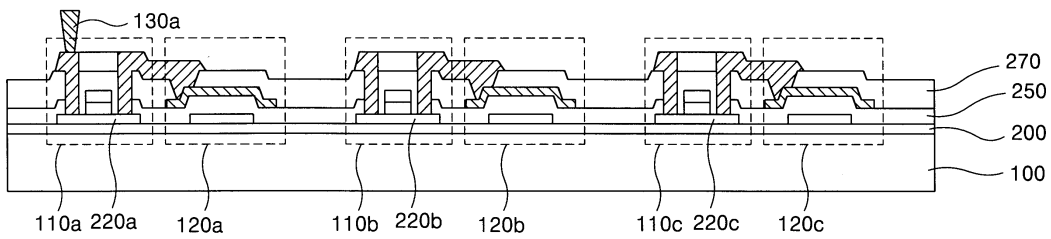
도면4e



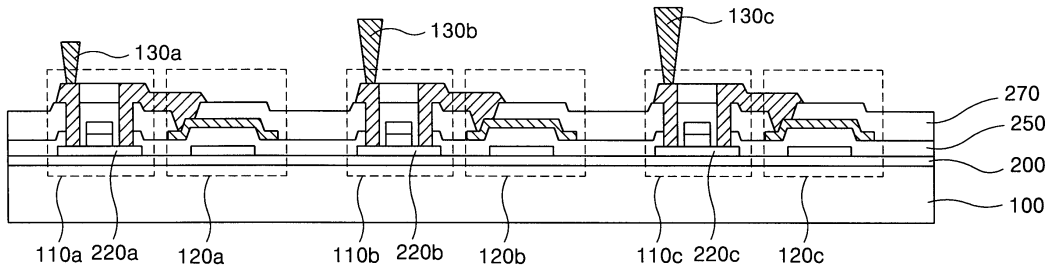
도면4f



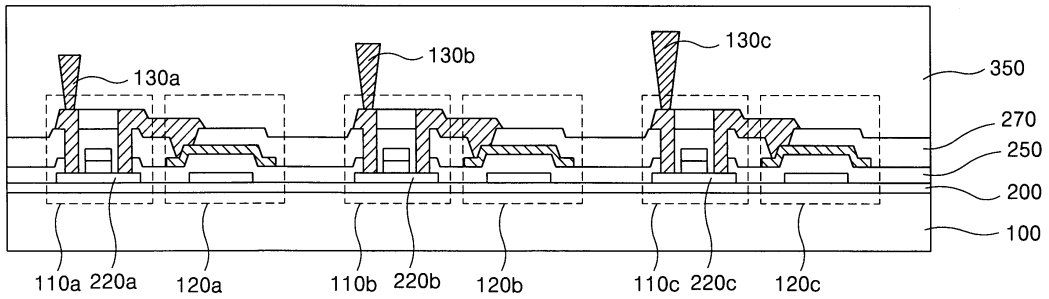
도면4g



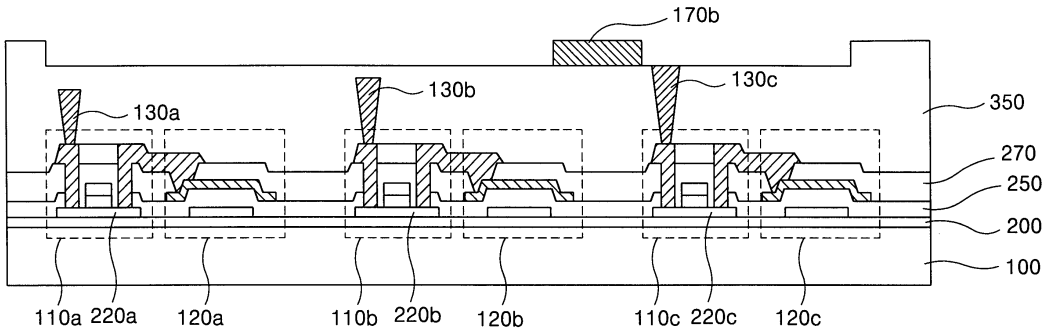
도면4h



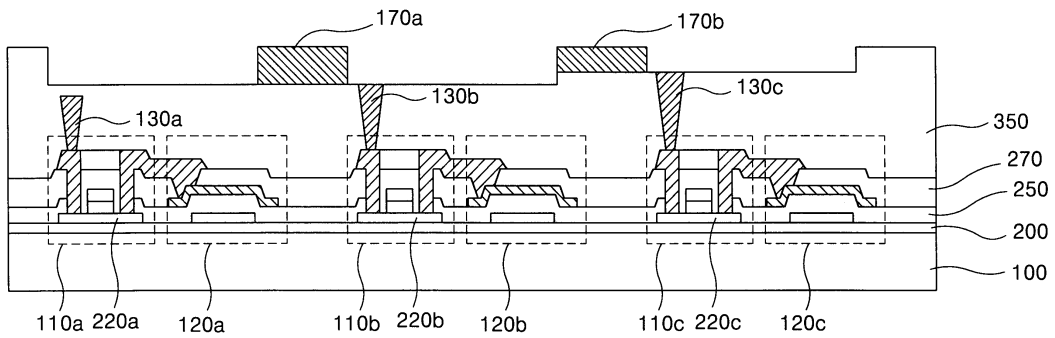
도면4i



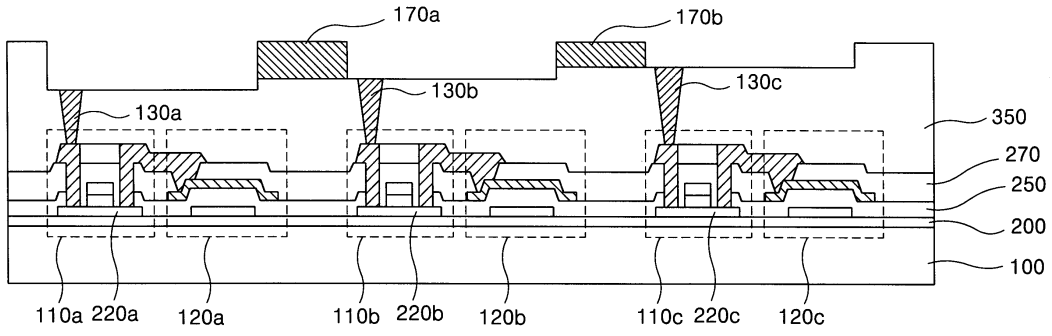
도면4j



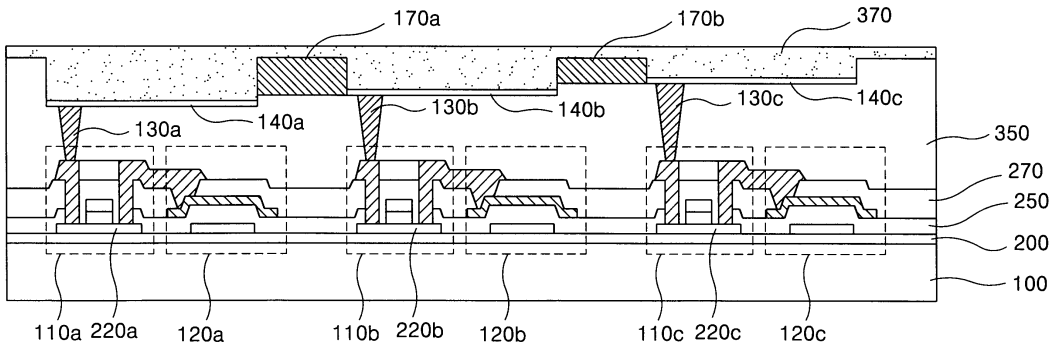
도면4k



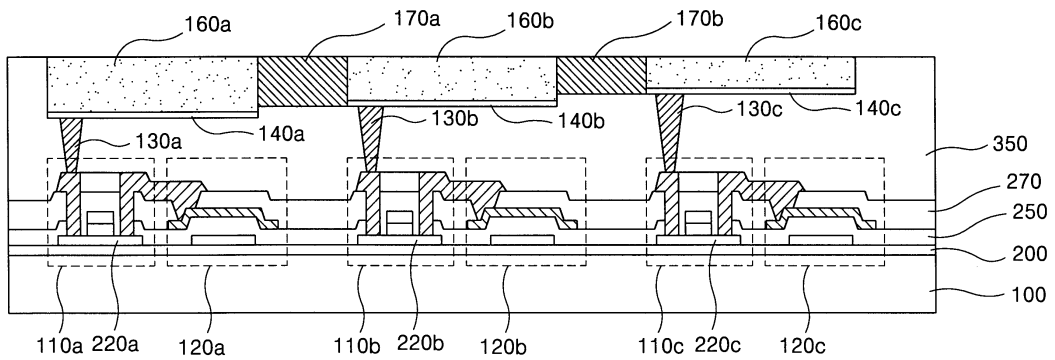
도면4l



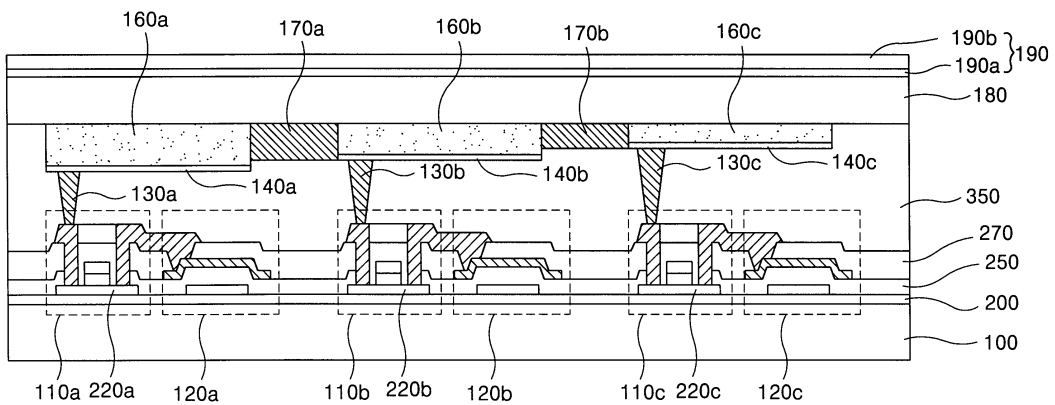
도면4m



도면4n



도면4o



专利名称(译)	一种制造有源矩阵型有机电致发光像素和像素的方法		
公开(公告)号	<a href="#">KR1020060007973A</a>	公开(公告)日	2006-01-26
申请号	KR1020040057604	申请日	2004-07-23
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM WOCHAN		
发明人	KIM,WOCHAN		
IPC分类号	H05B33/10		
代理人(译)	CHOI , KYU PAL 赵熙妍		
其他公开文献	KR100656498B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种制造有源矩阵型有机电致发光像素的方法和由其制造的像素，通过容易地改变从负电极层的氧化铟锡膜反射的光的所需波长，发射具有高亮度的光。

