

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸
H05B 33/10 (2006.01)

(11) 공개번호 10-2006-0001748
(43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0050912
(22) 출원일자 2004년06월30일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김득중
서울특별시 은평구 수색동 대림아파트 108동 1301호
황의훈
경기도 안양시 동안구 관양동 1589-1번지 한가람신라아파트 405동
603호
배성식
경기도 수원시 팔달구 영통동 황골마을주공1단지아파트 황골1주공아파
트 140-1603
박상일
서울특별시 양천구 신정4동 983-12호 한솔그린아트빌 B동 501호

(74) 대리인 박상수

심사청구 : 있음

(54) 유기전계발광표시장치의 제조방법

요약

유기전계발광표시장치의 제조방법을 제공한다. 상기 제조방법은 화소영역 및 상기 화소영역의 주변부에 위치하는 회로영역을 갖는 기판을 제공하는 것을 구비한다. 상기 화소영역 및 상기 회로영역 상에 화소 반도체층 및 회로 반도체층을 각각 형성한다. 상기 화소 반도체층 및 상기 회로 반도체층에 불순물을 도핑함으로써, 화소 소오스/드레인 영역 및 회로 소오스/드레인 영역을 각각 형성한다. 상기 소오스/드레인 영역들이 형성된 반도체층들 상에 적어도 한 층의 수소를 함유하는 막을 형성한다. 상기 수소를 함유하는 막이 형성된 기판을 360 내지 420℃의 온도로 열처리 함으로써, 상기 반도체층에 도핑된 불순물들을 활성화함과 동시에 상기 반도체층을 수소화한다. 상기 수소를 함유하는 막은 실리콘 질화막 또는 실리콘 산질화막일 수 있다.

대표도

도 2

색인어

유기전계발광표시장치, 열처리, 수소화, 활성화, 에스 팩터

명세서

도면의 간단한 설명

도 1a 및 1b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 공정단계 별로 나타낸 단면도들이다.

도 2는 제조예 1 내지 3 및 비교예 1 내지 3 각각에 따른 TFT들의 에스-펙터값을 열처리 온도에 대해 나타낸 그래프이다.

(도면의 주요 부위에 대한 부호의 설명)

10 : 기판 21 : 화소 반도체층

23, 25 : 회로 반도체층 30 : 게이트 절연막

40 : 층간절연막 60 : 패시베이션막

63 : 화소전극 70 : 유기기능막

80 : 대향전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치의 제조방법에 관한 것으로, 특히 박막트랜지스터를 구비하는 유기전계발광표시장치의 제조방법에 관한 것이다.

유기전계발광표시장치에 있어서, 단위화소가 각각의 단위화소 구동회로를 갖는 경우를 능동 매트릭스 유기전계발광표시장치라고 한다. 이러한 단위화소 구동회로는 화소전극에 인가되는 전류 또는 전압을 제어하기 위한 적어도 하나의 박막트랜지스터(thin film transistor; 이하, TFT라 한다)를 구비한다.

이러한 TFT는 반도체층, 게이트 전극 및 소오스/드레인 전극을 구비하는데, 상기 반도체층의 종류에 따라 구분되기도 한다. 자세하게는 상기 반도체층이 다결정 실리콘층인 경우 다결정 실리콘 TFT라 하고, 비정질 실리콘층인 경우 비정질 실리콘 TFT라고 한다. 상기 다결정 실리콘 TFT는 채널 영역에서의 캐리어 이동도가 비정질 실리콘 TFT의 그것보다 높고 해상도를 갖는 유기전계발광표시장치를 구현할 수 있다. 또한, 상기 다결정 실리콘 TFT의 높은 캐리어 이동도는 상기 유기전계발광표시장치의 기판 상에 화소부를 비롯하여 상기 화소부를 구동하기 위한 회로부를 동시에 형성하는 것을 가능하게 한다. 이는 구동회로 칩의 실장비용을 줄일 수 있게 한다.

이와 같이 하나의 기판 상에 화소부 및 회로부를 동시에 구비하는 반도체 장치가 일본 공개특허 제 2001-53286호에 개시된 바 있다. 상기 공개특허에 따르면, 화소부 및 구동회로부를 갖는 기판 상에 비정질 실리콘막을 적층하고, 상기 비정질 실리콘막을 패터닝하여 상기 화소부 및 상기 구동회로부 상에 반도체층들을 각각 형성한다. 상기 반도체층들 상에 게이트 절연막을 형성한다. 상기 게이트 절연막 상에 도전막을 형성하고, 상기 도전막을 패터닝하여 게이트 전극들을 형성한다. 상기 게이트 전극들을 마스크로 하여 상기 반도체층에 불순물을 주입함으로써, 상기 반도체층에 소오스 영역 및 드레인 영역을 형성한다. 이어서, 상기 반도체층에 주입된 불순물을 활성화시키기 위해 질소 분위기 속에서 400 내지 700℃ 바람직하게는 500 내지 600℃의 온도로 열처리한다. 이어서, 3 내지 100%의 수소를 포함하는 분위기 속에서 300 내지 500℃의 온도로 열처리함으로써, 상기 반도체층을 수소화한다. 이어서, 상기 게이트 전극들 상에 산화 질화 수소화 실리콘막인 층간 절연막을 형성한다. 상기 층간 절연막 내에 상기 소오스 영역 및 드레인 영역에 이르는 콘택홀을 형성하고, 소오스 배선 및 드레인 배선을 형성한다. 이어서, 패시베이션 막으로 질화 실리콘막, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다. 상기 패시베이션막이 형성된 기판을 수소 분위기 또는 질소 분위기로 300 내지 500℃의 온도로 열처리할 수 있다. 이로써, n 채널 TFT는 0.10 내지 0.30V/dec의 S값을 갖고, p 채널 TFT는 0.10 내지 0.30V/dec의 S값을 갖도록 형성할 수 있다.

그러나, 상기 공개특허는 화소부 TFT와 회로부 TFT의 적절한 전기적 특성 즉, 적절한 에스-펙터 값을 구현하기 위한 제조 방법에 대해서는 언급하지 않고 있다. 또한, 불순물을 활성화시키기 위한 열처리와 반도체층을 수소화하기 위한 열처리 즉, 두 번의 열처리를 진행함으로써, 제조 비용이 높고 작업처리량(throughput)이 낮을 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 화소 TFT와 회로 TFT 모두가 적절한 전기적 특성 즉, 적절한 에스-펙터 값을 가질 수 있는 유기전계발광표시장치의 제조방법을 제공함에 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 제조 비용의 감소와 작업처리량의 증가를 이룰 수 있는 유기전계발광표시장치의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제들을 이루기 위하여 본 발명의 일 측면(one aspect)은 유기전계발광표시장치의 제조방법을 제공한다. 상기 제조방법은 화소영역 및 상기 화소영역의 주변부에 위치하는 회로영역을 갖는 기판을 제공하는 것을 구비한다. 상기 화소영역 및 상기 회로영역 상에 화소 반도체층 및 회로 반도체층을 각각 형성한다. 상기 화소 반도체층 및 상기 회로 반도체층에 불순물을 도핑함으로써, 화소 소오스/드레인 영역 및 회로 소오스/드레인 영역을 각각 형성한다. 상기 소오스/드레인 영역들이 형성된 반도체층들 상에 적어도 한 층의 수소를 함유하는 막을 형성한다. 상기 수소를 함유하는 막이 형성된 기판을 360 내지 420℃의 온도로 열처리 함으로써, 상기 반도체층에 도핑된 불순물들을 활성화함과 동시에 상기 반도체층을 수소화한다. 상기 수소를 함유하는 막은 실리콘 질화막 또는 실리콘 산질화막일 수 있다.

상기 제조방법은 상기 열처리하기 전에 상기 소오스/드레인 영역들이 형성된 반도체층들을 덮는 층간절연막을 형성하는 것을 포함할 수 있다. 이 경우, 상기 수소를 함유하는 막은 상기 층간절연막에 구비된다. 자세하게는 상기 층간절연막은 실리콘 질화막과 실리콘 산화막의 이중층이거나, 실리콘 산질화막과 실리콘 산화막의 이중층일 수 있다.

이와는 달리, 상기 제조방법은 상기 열처리하기 전에 상기 소오스/드레인 영역들이 형성된 반도체층들을 덮는 층간절연막을 형성하고, 상기 층간절연막 상에 상기 층간절연막을 관통하여 상기 화소 반도체층의 단부와 접하는 화소 소오스/드레인 전극 및 상기 회로 반도체층의 단부와 접하는 회로 소오스/드레인 전극을 형성하고, 상기 소오스/드레인 전극들을 덮는 패시베이션막을 형성하는 것을 포함할 수 있다. 이 경우, 상기 수소를 함유하는 막은 상기 층간절연막 및/또는 상기 패시베이션막에 구비된다. 자세하게는 상기 층간절연막은 실리콘 산화막이고, 상기 패시베이션막은 실리콘 질화막 또는 실리콘 산질화막일 수 있다.

상기 열처리는 퍼니스 어닐링법을 사용하여 수행할 수 있다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면들을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.

도 1a 및 도 1b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 공정단계 별로 나타낸 단면도들이다.

도 1a를 참조하면, 화소영역(A)과 상기 화소영역(A)의 주변부에 위치하는 회로영역(B)을 구비하는 기판(10)을 제공한다. 상기 화소영역(A)은 유기전계발광표시장치의 화상이 형성되는 부분으로서 단위화소에 한정하여 나타낸 영역이다. 상기 회로영역(B)은 상기 화소영역(A)에 표시되는 화상을 구동 및 제어하기 위한 회로들이 형성되는 영역으로서, N형 TFT와 P형 TFT에 한정하여 나타낸 영역이다. 한편, 상기 기판(10)은 유리, 석영, 사파이어, 단결정 실리콘 또는 플라스틱 기판일 수 있다.

상기 기판(10) 상에 버퍼층(11)을 형성할 수 있다. 상기 버퍼층(11)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층일 수 있다.

상기 버퍼층(11) 상에 비정질 실리콘막을 적층한다. 상기 비정질 실리콘막을 고상결정화(solid phase crystallization; SPC)법, 엑시머 레이저 어닐링(eximer laser annealing; ELA)법, 연속측면고상화(sequential lateral solidification; SLS)법 또는 금속결정화법(metal induced crystallization; MIC)을 사용하여 결정화함으로써, 다결정 실리콘막을 형성한다. 상기 다결정 실리콘막을 패터닝함으로써, 상기 화소영역(A) 상에 화소 반도체층(21)을 형성하고, 상기 회로영역(B) 상에 제 1 회로 반도체층(23) 및 제 2 회로 반도체층(25)을 각각 형성한다.

상기 반도체층들(21, 23, 25) 상에 게이트 절연막(30)을 형성한다. 상기 게이트 절연막(30)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막으로 이루어진 군에서 선택되는 적어도 한층으로 형성할 수 있다. 또한, 상기 게이트 절연막(30)은 800 내지 1500Å의 두께로 형성할 수 있다.

상기 게이트 절연막(30) 상에 게이트 도전막을 적층하고 상기 게이트 도전막을 패터닝함으로써, 상기 화소 반도체층(21), 상기 제 1 회로 반도체층(23) 및 상기 제 2 회로 반도체층(25)과 각각 중첩되는 화소 게이트 전극(31), 제 1 회로 게이트 전극(33) 및 제 2 회로 게이트 전극(35)을 형성한다.

상기 제 2 회로 게이트 전극(35) 상에 상기 제 2 회로 반도체층(25)을 덮는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴 및 상기 화소 게이트 전극(31) 및 상기 제 1 회로 게이트 전극(33)을 마스크로 하여 제 1 불순물을 주입함으로써, 상기 화소 반도체층(21)에 화소 소오스/드레인 영역들(21a)을 형성하고, 상기 제 1 회로 반도체층(23)에 제 1 회로 소오스/드레인 영역들(23a)을 형성한다. 상기 소오스/드레인 영역들(21a, 23a) 사이에는 각각 채널 영역들(21b, 23b)이 정의된다.

이어서, 상기 화소 게이트 전극(31) 및 상기 제 1 회로 게이트 전극(33) 상에 상기 화소 반도체층(21) 및 상기 제 1 회로 반도체층(23)을 덮는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴 및 상기 제 2 회로 게이트 전극(35)을 마스크로 하여 제 2 불순물을 주입함으로써, 상기 제 2 회로 반도체층(25)에 제 2 회로 소오스/드레인 영역들(25a)을 형성한다. 상기 소오스/드레인 영역들(25a) 사이에는 채널 영역(25b)이 정의된다. 상기 제 1 불순물은 p형 불순물, 상기 제 2 불순물은 n형 불순물일 수 있다.

상기 게이트 전극들(31, 33, 35) 상에 층간절연막(40)을 형성한다. 상기 층간절연막(40)은 상기 게이트 전극들(31, 33, 35) 및 상기 반도체층들(21, 23, 25)을 덮는다.

상기 층간절연막(40) 내에 상기 화소 반도체층(21)의 양 단부들을 노출시키는 화소 콘택홀들, 상기 제 1 회로 반도체층(23)의 양 단부들을 노출시키는 제 1 회로 콘택홀들 및 상기 제 2 회로 반도체층(25)의 양 단부들을 노출시키는 제 2 회로 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 소오스/드레인 도전막을 적층하고 상기 소오스/드레인 도전막을 패터닝하여, 상기 층간절연막(40) 상에 상기 화소 콘택홀들을 통해 상기 층간절연막(40)을 관통하여 상기 화소 반도체층(21)의 양 단부들과 각각 접하는 화소 소오스/드레인 전극들(51), 상기 제 1 회로 콘택홀들을 통해 상기 층간절연막(40)을 관통하여 상기 제 1 회로 반도체층(23)의 양 단부들과 각각 접하는 제 1 회로 소오스/드레인 전극들(53) 및 상기 제 2 회로 콘택홀들을 통해 상기 층간절연막(40)을 관통하여 상기 제 2 회로 반도체층(25)의 양 단부들과 각각 접하는 제 2 회로 소오스/드레인 전극들(55)을 형성한다.

상기 화소 반도체층(21), 상기 화소 게이트 전극(31) 및 상기 화소 소오스/드레인 전극들(51)은 화소 TFT를 형성한다. 반면, 상기 제 1 회로 반도체층(23), 상기 제 1 회로 게이트 전극(33) 및 상기 제 1 회로 소오스/드레인 전극들(53)은 제 1 회로 TFT를 형성한다. 또한, 상기 제 2 회로 반도체층(25), 상기 제 2 회로 게이트 전극(35) 및 상기 제 2 회로 소오스/드레인 전극들(55)은 제 2 회로 TFT를 형성한다. 상기 화소 TFT 및 상기 제 1 회로 TFT는 P형일 수 있고, 상기 제 2 회로 TFT는 N형일 수 있다. 즉, 상기 회로영역(B) 상에는 CMOS TFT가 형성된다.

상기 소오스/드레인 전극들(51, 53, 55) 상에 상기 소오스/드레인 전극들(51, 53, 55)을 덮는 패시베이션막(60)을 형성한다.

상기 패시베이션막(60)이 형성된 기판을 360 내지 420℃의 온도로 열처리함으로써, 상기 반도체층들(21, 23, 25)에 도핑된 불순물들을 활성화함과 동시에 상기 반도체층들(21, 23, 25)을 수소화한다. 이 경우, 상기 층간절연막(40) 및/또는 상기 패시베이션막(60)은 수소를 함유하는 막을 구비할 수 있다. 결과적으로, 상기 열처리하기 전에 상기 소오스/드레인 영역들이 형성된 반도체층들(21, 23, 25) 상에 적어도 한 층의 수소를 함유하는 막을 형성할 수 있다. 상기 수소를 함유하는 막은 실리콘 질화막 또는 실리콘 산질화막일 수 있다. 자세하게는 상기 패시베이션막(60)은 실리콘 질화막 또는 실리콘 산질화막으로 형성하고, 상기 층간절연막(40)은 실리콘 산화막으로 형성하거나, 실리콘 산화막과 실리콘 질화막의 이중층 또는 실리콘 산화막과 실리콘 산질화막의 이중층으로 형성할 수 있다. 상기 층간절연막(40)은 실리콘 산화막으로 형성하는 것은 상기 반도체층들(21, 23, 25) 및 상기 게이트 전극들(31, 33, 35)과 상기 층간절연막(40) 간의 접착력을 향상시킬 수 있다.

이와는 달리, 상기 열처리는 상기 층간절연막(40)을 형성한 후 상기 콘택홀들을 형성하기 전 즉, 상기 소오스/드레인 전극들(51, 53, 55)을 형성하기 전에 수행할 수도 있다. 이 경우, 상기 층간절연막(40)은 수소를 함유하는 막을 구비하도록 형

성한다. 바람직하게는 상기 층간절연막(40)은 실리콘 질화막과 실리콘 산화막의 이중층이거나, 실리콘 산질화막과 실리콘 산화막의 이중층일 수 있다. 자세하게는 상기 층간절연막(40)은 상기 반도체층들(21, 23, 25) 및 상기 게이트 전극들(31, 33, 35)과 접촉력을 향상을 위해 실리콘 산화막 상에 실리콘 질화막 또는 실리콘 산질화막이 적층된 구조를 가질 수 있다.

상기 실리콘 질화막 또는 상기 실리콘 산질화막은 화학기상증착법(chemical vapor deposition; CVD)을 사용하여 형성할 수 있는데, 바람직하게는 수소를 풍부하게 함유할 수 있도록 PECVD법을 사용하여 형성한다.

상기 열처리하는 퍼니스 어닐링법을 사용하여 수행할 수 있다.

상기 열처리로 인해 상기 반도체층들(21, 23, 25)에 도핑된 불순물은 상기 반도체층들(21, 23, 25) 내의 격자 내로 들어가 실리콘(Si)과 공유결합을 함으로써 활성화된다. 이와 더불어, 상기 열처리로 인해 상기 적어도 한 층의 수소를 함유하는 막으로부터 수소가 확산되고, 상기 확산된 수소는 상기 반도체층들(21, 23, 25)의 결정입자 경계(grain boundary)에 존재하는 불완전결합(dangling bond)과 같은 결함을 치유 즉, 수소화(hydrogen passivation)할 수 있다. 이러한 열처리는 TFT의 전기적 특성 예를 들어, 에스-팩터(s-factor)값에 영향을 미친다. 나아가서, 상기 열처리 온도에 의해 상기 에스-팩터 값은 영향을 받을 수 있다. 자세하게는 상기 열처리 온도를 높이면 에스-팩터 값이 증가되고, 상기 열처리 온도를 낮추면 에스-팩터 값이 감소될 수 있다.

한편, 상기 회로영역(B)의 회로 TFT들은 빠른 스위칭 동작을 나타내도록 작은 에스-팩터 값을 갖고, 상기 화소영역(A)의 화소 TFT는 계조표시를 용이하게 구현하도록 큰 에스-팩터 값을 갖는 것이 바람직하다. 상기 360 내지 420℃의 열처리는 상기 화소 TFT 및 상기 회로 TFT 모두가 적정 범위의 에스-팩터 값을 갖도록 할 수 있다. 이와 더불어, 상기 360 내지 420℃의 열처리는 상기 반도체층에 도핑된 불순물들을 충분하게 활성화시킬 수 있다.

상기 패시베이션막(60) 내에 상기 화소 소오스/드레인 전극들 중 하나를 노출시키는 비아홀을 형성한다. 상기 비아홀이 형성된 기판 상에 화소 도전막을 형성하고, 상기 화소 도전막을 패터닝하여 상기 화소영역(A)의 패시베이션막(60) 상에 상기 비아홀을 통해 상기 화소 소오스/드레인 전극(51)과 전기적으로 접속하는 화소전극(63)을 형성한다.

상기 화소전극(63) 상에 상기 화소전극(63)의 적어도 일부를 노출시키는 개구부를 갖는 화소정의막(65)을 형성한다. 상기 개구부 내에 노출된 화소전극(63) 상에 적어도 발광층을 구비하는 유기기능막(70)을 형성한다. 상기 유기기능막(70) 상에 대향전극(80)을 형성한다.

이하, 본 발명의 이해를 돕기 위해 바람직한 실험예(example)를 제시한다.

<TFT의 제조예 1>

비정질 실리콘막을 적층하고, 상기 비정질 실리콘막을 ELA법을 사용하여 결정화함으로써, 다결정 실리콘막을 형성하였다. 상기 다결정 실리콘막을 패터닝함으로써, 반도체층을 형성하였다. 상기 반도체층 상에 실리콘 산화막인 게이트 절연막을 형성하였다. 상기 게이트 절연막 상에 도전막을 적층하고 상기 도전막을 패터닝함으로써, 상기 반도체층과 중첩되는 게이트 전극을 형성하였다. 상기 게이트 전극을 마스크로 하여 불순물을 도핑하여 상기 반도체층에 소오스/드레인 영역들을 형성하였다. 이어서, 상기 게이트 전극 상에 실리콘 산화막인 층간절연막을 형성하였다. 이어서, 상기 층간절연막 내에 콘택홀들을 형성하고, 상기 콘택홀들이 형성된 기판 상에 도전막을 적층하고 패터닝하여, 상기 반도체층의 양단부와 각각 접속하는 소오스/드레인 전극들을 형성하였다. 상기 소오스/드레인 전극들을 덮는 실리콘 질화막인 패시베이션막을 형성하고, 상기 패시베이션막이 형성된 기판을 N₂를 함유하는 분위기에서 360℃의 온도로 열처리함으로써, 상기 반도체층에 도핑된 불순물을 활성화함과 동시에 상기 반도체층을 수소화시켰다. 이로써, 상기 반도체층, 상기 게이트 전극 및 상기 소오스/드레인 전극들을 구비하는 TFT를 제조하였다.

<TFT의 제조예 2>

패시베이션막이 형성된 기판을 380℃의 온도로 열처리한 것을 제외하고는 제조예 1과 동일한 방법으로 TFT를 제조하였다.

<TFT의 제조예 3>

패시베이션막이 형성된 기판을 420℃의 온도로 열처리한 것을 제외하고는 제조예 1과 동일한 방법으로 TFT를 제조하였다.

<TFT의 비교예 1>

패시베이션막이 형성된 기판을 340℃의 온도로 열처리한 것을 제외하고는 제조예 1과 동일한 방법으로 TFT를 제조하였다.

<TFT의 비교예 2>

패시베이션막이 형성된 기판을 450℃의 온도로 열처리한 것을 제외하고는 제조예 1과 동일한 방법으로 TFT를 제조하였다.

<TFT의 비교예 3>

패시베이션막이 형성된 기판을 480℃의 온도로 열처리한 것을 제외하고는 제조예 1과 동일한 방법으로 TFT를 제조하였다.

상기 제조예 1 내지 3 및 상기 비교예 1 내지 3 각각에 따른 TFT들의 에스-펙터값을 측정한 후, 하기 표 1 및 도 2에 나타내었다. 일반적으로 동일한 공정에 의해 형성된 화소 및 회로 TFT들은 비슷한 에스-펙터값을 나타내므로 상기 제조예들 및 상기 비교예들 각각에 따른 TFT들의 에스-펙터값은 상기 제조예들 및 상기 비교예들과 같은 과정에 따라 형성된 화소 및 회로 TFT들의 에스-펙터값을 대변할 수 있다.

[표 1]

	열처리 온도 (℃)	에스-펙터 (V/dec)
비교예 1	340	0.45
제조예 1	360	0.4
제조예 2	380	0.38
제조예 3	420	0.33
비교예 2	450	0.3
비교예 3	480	0.25

한편, 유기전계발광표시장치에서 계조 표시를 용이하게 구현하기 위해서는 화소 TFT의 에스-펙터 값은 0.32V/dec이상인 것이 바람직하다. 나아가서, 유기전계발광표시장치의 회로 TFT가 양호한 스위칭 특성을 나타내기 위해서는 회로 TFT의 에스-펙터 값은 0.41V/dec이하인 것이 바람직하다. 따라서, 화소 및 회로 TFT의 에스-펙터 값은 0.32 내지 0.41V/dec인 것이 바람직하다.

상기 표 1 및 도 2를 참조하면, 열처리 온도에 따라서 TFT의 에스-펙터 값은 변한다. 자세하게는 열처리 온도가 높아질수록 TFT의 에스-펙터 값은 작아진다. 이러한 TFT의 에스-펙터 값이 상술한 바와 같이 0.32 내지 0.41V/dec를 만족하기 위해서는 열처리 온도는 360 내지 420℃인 것이 바람직하다. 결과적으로, 360 내지 420℃의 온도 범위 내에서 열처리를 수행함으로써, 각각 적절한 전기적 특성을 갖는 화소 및 회로 TFT를 하나의 기판 상에 형성할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 360 내지 420℃의 온도 범위 내에서 열처리를 수행함으로써, 각각 적절한 전기적 특성을 갖는 화소 및 회로 TFT를 하나의 기판 상에 형성할 수 있다. 나아가서, 한 번의 열처리를 통해 반도체층에 도핑된 불순물을 활성화시킴과 동시에 반도체층을 수소화함으로써, 제조 비용의 감소와 작업처리량의 증가를 이룰 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

화소영역 및 상기 화소영역의 주변부에 위치하는 회로영역을 구비하는 기판을 제공하고;

상기 화소영역 및 상기 회로영역 상에 화소 반도체층 및 회로 반도체층을 각각 형성하고;

상기 화소 반도체층 및 상기 회로 반도체층에 불순물을 도핑함으로써, 화소 소오스/드레인 영역 및 회로 소오스/드레인 영역을 각각 형성하고;

상기 소오스/드레인 영역들이 형성된 반도체층들 상에 적어도 한 층의 수소를 함유하는 막을 형성하고;

상기 수소를 함유하는 막이 형성된 기판을 360 내지 420℃의 온도로 열처리 함으로써, 상기 반도체층에 도핑된 불순물들을 활성화함과 동시에 상기 반도체층을 수소화하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 수소를 함유하는 막은 실리콘 질화막(silicon nitride layer) 또는 실리콘 산질화막(silicon oxynitride layer)인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 열처리하기 전에 상기 소오스/드레인 영역들이 형성된 반도체층들을 덮는 층간절연막을 형성하는 것을 포함하고, 상기 수소를 함유하는 막은 상기 층간절연막에 구비된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 층간절연막은 실리콘 질화막과 실리콘 산화막의 이중층이거나, 실리콘 산질화막과 실리콘 산화막의 이중층인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 5.

제 1 항에 있어서,

상기 열처리하기 전에 상기 소오스/드레인 영역들이 형성된 반도체층들을 덮는 층간절연막을 형성하고,

상기 층간절연막 상에 상기 층간절연막을 관통하여 상기 화소 반도체층의 단부와 접하는 화소 소오스/드레인 전극 및 상기 회로 반도체층의 단부와 접하는 회로 소오스/드레인 전극을 형성하고,

상기 소오스/드레인 전극들을 덮는 패시베이션막을 형성하는 것을 포함하고,

상기 수소를 함유하는 막은 상기 층간절연막 및/또는 상기 패시베이션막에 구비된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 6.

제 5 항에 있어서,

상기 층간절연막은 실리콘 산화막이고,

상기 패시베이션막은 실리콘 질화막 또는 실리콘 산질화막인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

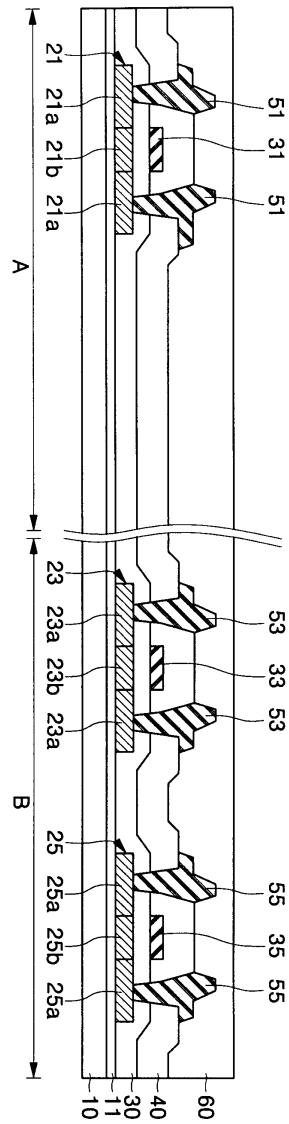
청구항 7.

제 1 항에 있어서,

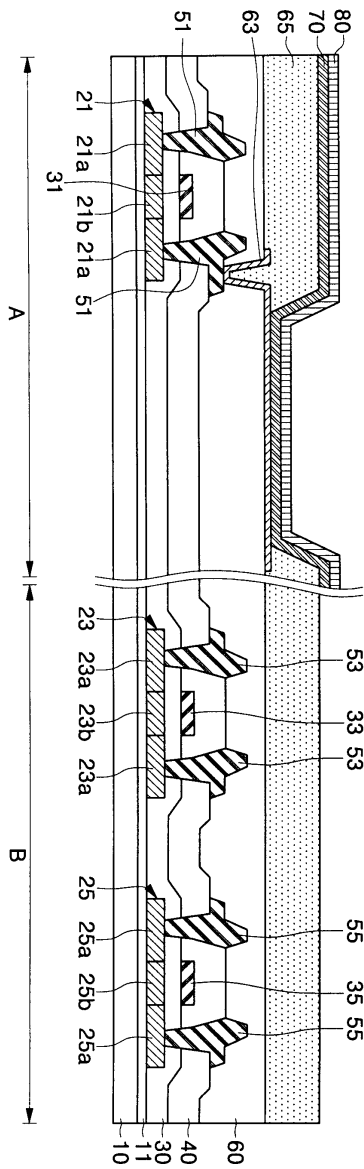
상기 열처리는 퍼니스 어닐링법을 사용하여 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

도면

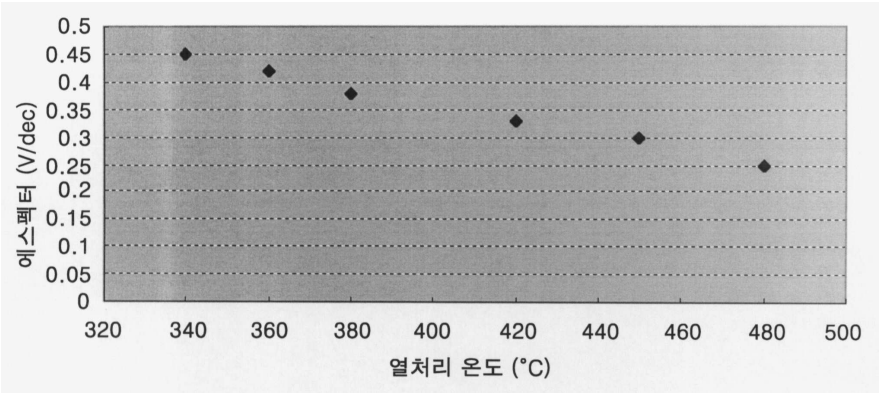
도면1a



도면1b



도면2



专利名称(译)	制造有机电致发光显示装置的方法		
公开(公告)号	KR1020060001748A	公开(公告)日	2006-01-06
申请号	KR1020040050912	申请日	2004-06-30
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM DEUKJONG 김득중 HWANG EUIHOON 황의훈 BAE SUNGSKI 배성식 PARK SANGIL 박상일		
发明人	김득중 황의훈 배성식 박상일		
IPC分类号	H05B33/10		
代理人(译)	PARK, 常树		
其他公开文献	KR100685395B1		
外部链接	Espacenet		

摘要(译)

提供一种制造有机电致发光显示装置的方法。该制造方法包括提供具有像素区域的基板和位于像素区域的外围部分中的电路区域。并且，在像素区域和电路区域上分别形成像素半导体层和电路半导体层。将杂质掺杂到像素半导体层和电路半导体层中，以分别形成像素源/漏区和电路源/漏区。在其上形成源/漏区的半导体层上形成含有至少一层氢的膜。其上形成含氢膜的基板在360至420°C的温度下加热，以活化半导体层中的掺杂杂质并氢化半导体层。含氢膜可以是氮化硅膜或氮氧化硅膜。2 指数方面 有机电致发光显示装置，热处理，加氢，活化，

