(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/30

(11) 공개번호 10-2004-0034684
(43) 공개일자 2004년04월28일

(21) 출원번호 10-2004-7003165
(22) 출원일자 2004년03월03일
번역문 제출일자 2004년03월03일
(86) 국제출원번호 PCT/JP2003/008153
(87) 국제공개번호 WO 2004/003877
(86) 국제출원출원일자 2003년06월27일
(87) 국제공개일자 2004년01월08일

(30) 우선권주장 JP-P-2002-00187803 2002년06월27일 일본(JP)

(71) 출원인 가시오게산키 가부시키가이샤
일본국 도쿄도 시부야쿠 혼마치 1쵸메 6반 2고

하토리 레이지
일본국 후쿠오카켄 후쿠오카시 니시쿠 메이하마마치 200-1-109

(72) 발명자 하토리레이지
일본국후쿠오카켄후쿠오카시니시쿠메이하마마치200-1-109

(74) 대리인 손은진

심사청구 : 있음

(54) 전류 구동회로 및 그 구동방법, 및 그 회로를 이용한전자발광 표시장치

요약

액티브 행렬 표시용 전류구동장치는 복수의 부하들에, 예를 들어, 유기 또는 무기 EL 소자들에, 전류를 인가함으로써 동작시킨다. 상기 장치는 상기 부하들이 각각 연결된 복수의 출력단자(Tout)들을 포함한다. 예를 들어, 디지털-아날로그 컨버터와 전류미러를 포함하는 단일의 전류발생회로(10A)는 소정의 전류값을 갖는 동작전류를 출력한다. 복수의 전류저장회로(30A)가 각 출력단자들에 따라 구비되고, 동작전류를 순차적으로 유지하고 그 후 샘플 동작전류에 기초한 구동전류가 각 출력단자들로 동시에 출력된다. 상기 동작전류는 입력신호에 따른 전류값을 갖는다. 상기 전류저장회로(30A)는 상기 전류발생회로로부터 출력된 동작전류를 샘플로 하고 제2전류미러를 구동시키기 위한 동작전류의 전류값에 대응하는 구동제어전류를 구동시키기 위한 전압성분를 유지하는 전압성분 유지부를 포함한다.

대표도

도 3

색인어

전류, 구동, 픽셀, 동작, 미러, 유기, 펄스, 계조, 패치, 기준, 저장, 칩

명세서

기술분야

본 발명은 전류 구동장치, 상기 전류 구동장치의 구동방법, 및 상기 전류 구동장치를 이용한 표시장치에 관한 것으로, 보다 상세하게는 소정의 전류를 부하에 인가함으로서 복수의 부하를 동작시킬 수 있는 구조를 포함하는 전류 구동장치 및 그 구동방법, 그리고 전류 구동장치를 이용하여 표시패널내에 원하는 이미지 정보를 표시하는 표시장치에 관한 것이다.

배경기술

통상적으로, 알려진 발광소자형 표시장치로는 복수의 유기 전자발광 소자(이하에서 '유기 EL소자'라 함), 무기 전자발광 소자(이하에서 '무기 EL소자'라 함) 또는 발광 다이오드와 같이 자기-발광형 발광소자(광소자)가 행렬 형태로 배열된 표시패널을 포함하는 것이 있다.

최근에 상당히 보편화된 액정 표시장치(LCD)와 비교하여, 발광소자형 표시장치는 더 빠른 표시응답속도와 시약각 의존성이 없고 콘트라스트가 증가하며, 고화질의 표시 화질을 실현하고, 전력소비의 절감이 가능하다. 더욱이, 1개층의 두께와 중량의 감소가 가능한데, 이는 액정 표시장치와 달리 백라이트가 필요없기 때문이 다. 따라서, 이는 매우 훌륭한 특성을 가지고 있어서, 발광소자형 표시장치는 차세대 표시장치로서 활발하게 연구되고 개발되고 있다.

이와 같은 표시장치는 일반적으로, 발광소자를 포함하는 표시 픽셀들이 행방향으로 배열된 스캔라인들과 열방향으로 배열된 데이터라인들의 각 교차점의 근처에 배열된 표시패널, 표시 데이터에 따라 소정의 구동전류를 생성하여 이를 데이터 라인을 통해 각 표시소자로 인가하는 데이터 구동부, 및 소정의 타이밍에 스캐닝 신호를 인가함으로서 소정의 행에 있는 표시 픽셀이 선택상태로 진입하도록 하는 스캐닝 구동부를 포함한다. 이와 같은 장치에서, 각 표시 픽셀에 인가되는 구동 전류를 사용함으로서 표시 데이터에 따른 소정의 휘도 계조로 각 발광소자가 발광동작을 수행하도록 함으로서, 원하는 이미지의 정보가 표시패널내에 표시된다.

발광소자형 표시장치의 구체적인 예가 이후에서 설명되는 실시예와 결합하여 상세히 설명될 것이다.

여기서, 표시장치의 표시 구동동작에는, 1개의 스크린에 대해 각 행에 따라 복수의 표시 픽셀에 대해 표시 데이터에 따라 개별적인 전류값을 갖는 구동 전류를 생성하는 동작을 순차적으로 반복하는 동시에, 특정 행의 표시 픽셀로 전류를 인가하여 각 표시 픽셀의 발광소자가 소정의 휘도 계조로 발광하도록 하는 전류 지정형 구동모드 및 1개의 스크린에 대하여 복수의 표시픽셀와 관련된 표시데이터에 따라 개별적인 시간폭(신호폭)으로 고정된 전류값을 갖는 구동 전류를 같은 표시주기로 특정 행내의 표시픽셀에 인가하는 동작을 순차적으로 반복함으로서 각 발광소자가 소정의 휘도 계조로 발광하도록 하는 펄스폭 변조(PWM)형 구동모드가 있는 것으로 알려져 있다.

이들과 같은 표시 구동 동작에서, 표시 데이터에 따라 소정의 전류값 또는 고정된 전류값을 갖는 구동전류는 동시에 또는 동일한 표시주기내에 각 행내의 복수의 표시 픽셀에 인가되어져야만 한다.

최근의 얇은 표시장치의 고선명과 대형 스크린을 실현하는 것에 대처하기 위하여 복수의 구동칩(반도체 칩)을 포함하는 회로 구성을 적용하는 표시장치가 알려져 있고, 각 칩은 앞서 설명한 데이터 구동부와 같이 소정 갯수의 출력단자를 갖고, 각 구동칩내에서 개별적으로 구동 전류를 생성하여, 구동전류를 데이터 라인을 통해 각 발광소자로 동시에 인가한다.

복수의 구동칩을 갖는, 앞서 설명한 데이터 구동부가 적용되는 표시장치는 이하의 문제점들을 갖는다.

복수의 구동칩을 갖는 종래의 데이터 구동부는 각 구동칩에 따라 개별적으로 구동전류를 생성하곤 하는 회로를 포함하고, 각 구동칩으로부터 각 출력단자를 통해 구동전류를 각 발광소자로 동시에 공급하는 구조를 갖는다. 따라서, 복수의 구동칩으로부터 출력되는 구동전류의 전류값에 불규칙성이 일어나면 각 표시픽셀(발광소자의 휘도 계조)에서의 발광상태에서 불규칙성이 일어나서 표시의 이질성이 만들어진다. 따라서, 각 구동칩과 각 출력단자사이에서 구동전류의 불규칙성은 가능한한 최대로 억제되어야만 한다.

그러나, 반도체 생산기술 분야에서, 동일 반도체 칩상에 형성된 트랜지스터 소자, 저항 소자 또는 캐패시턴스 소자와 같은 기능성 소자의 소자 특성상 불규칙 성은 필연적으로 발생하는 것이라는 사실이 알려져 있다. 소자 특성에서 이와 같은 불규칙성은 생산공정을 최적화함으로서 어느 정도 억제할 수 있으나 완전히 제거할 수 는 없다. 더욱이, 채널내의 불순물 원자들 갯수의 불규칙성은 상대적으로 트랜지스터 소자에 적용되는 설계 최소 치수에서의 감소로 실현되고, 이로서 불규칙성들은 임계값 또는 유동성에서 발생된다는 사실이 보고되고 있다.

따라서, 생산공정의 최적화 기술만을 사용하여 앞서 언급한 소자특성에서 불규칙성으로 인해 유발되는 구동칩의 출력단자들 사이에서의 구동전류의 불규칙성을 획기적으로 개선하는 것은 매우 어려운 문제이다.

더욱이, 배선 길이의 증가 또는 1개의 칩내에 있는 부품수의 증가로 인한 제품의 축소에 기인한 신호 지연의 증가라는 문제점으로 인해 하나의 반도체 칩내에 있을 수 있는 출력단자의 갯수에는 한계가 있기 때문에, 데이터 구동부는 필연적으로 복수의 구동칩을 사용하여 구성되어져야만 한다. 만약 반도체 칩들이 서로 다르다면, 출력단자들 사이의 구동전류의 불규칙성은 더욱 더 커질 것이고, 구동칩 사이에서의 불규칙성을 억제하는 동안에 동일한 구동칩 내에서 구동전류의 불규칙성을 억제하는 것은 매우 어려운 것이 된다.

구동칩에서의 구동전류의 불규칙성을 수정하는 기술로서, 각 구동칩의 출력단자에 따라 전류 설정 저항을 추가적으로 구비하고 전류 설정 저항의 저항값을 개별적으로 조정하는 기술이 알려져 있다. 이러한 기술에서, 동일한 구동칩에 구비된 출력단자의 갯수가 증가하면, 각 전류 설정 저항의 조정이 복잡해지고, 조정은 긴 시간과 비용을 필요로 하게 되고, 회로구성에서 저항 설정 면적이 커지게 된다. 따 라서, 각 출력단자들 사이에서의 구동전류의 불규칙성을 억제하기 위한 기술로는 적합하지 않다.

따라서, 동일한 구동칩내에서 출력단자들 사이의 구동전류의 불규칙성을 억제하는 동시에 구동칩들 사이의 불규칙성도 억제하기 위하여, 복잡하고 커다란 크기의 회로구성이 각 출력단자들 사이 및 각 구동칩들 사이에 추가되어야만 한다. 따라서, 구동칩을 포함하는 데이터 구동부 및 표시장치의 장치 크기가 증가하고 따라서 제품가격이 증가하는 문제가 있다.

더욱이, 앞서 설명한 바와 같이, 최근의 표시장치에서, 표시 화질에서 더 선명한 계조표시의 구현이 고선명의 실현과 함께 요구될지라도

최근들어 개발되어진 발광소자형 표시장치는, 디지털-아날로그 변환에 의해 표시 데이터가 되는 디지털 입력신호로부터 아날로그 신호성분을 갖는 구동전류를 생성할 때, 충분한 계조표시를 구현할 수 있는 아날로그 출력신호를 생성하기 위한 기술의 확립에는 미치지 못하다는 문제점을 갖고 있다.

발명의 상세한 설명

본 발명에 따른 전류 구동장치는, 복수의 부하에 전류를 인가함으로서 동작되는 전류 구동장치의 출력단자들 사이의 전류 불규칙성을 억제하고, 또한, 전류 구동장치가 복수의 구동칩으로 구성될 때 칩들간의 불규칙성을 억제한다는 특징을 갖는다. 더욱이, 전류 구동장치를 포함하는 표시장치에서 표시의 불규칙성이 억제되는 훌륭한 표시특성을 얻을 수 있는 장점을 갖는다.

이와 같은 목적을 달성하기 위하여, 본 발명의 제 1 전류구동장치에 따르면, 전류를 인가함으로서 복수의 부하를 동작시키는 전류 구동장치가 제공되고, 이는 부하들이 각각 연결되어 있는 복수의 출력단자들; 소정의 전류값을 갖는 동작전류를 출력하는 단일 전류 생성회로; 및 각 출력단자에 따라 구비되고, 동작전류를 순차적으로 패치하고 유지하며 동작전류에 기초하여 각 출력단자로 구동전류를 동시에 출력하는 복수의 전류 저장회로; 로 구성된다. 동작전류는 입력신호에 따른 전류값을 갖고, 전류 저장회로는 전류생성회로로부터 출력된 동작전류를 패치하여 동작전류의 전류값에 대응하여 전압성분을 유지하는 전압성분 유지부를 포함하고, 전압성분 유지부는 동작전류에 대응하는 전하가 쓰여진 캐패시턴스 소자를 갖는다. 각 전류 저장회로는 병렬로 배치되어, 동작전류를 패치하여 유지하는 동작 및 유지된 동작전류에 기초하여 구동전류를 출력하는 동작이 병렬에서 교대로 수행되는 한쌍의 전류저장부를 포함하거나, 또는 전단계와 후단계상에 직렬로 배치되어, 동작전류를 패치하여 유지하고 유지된 전류를 후단계상의 전류저장부에 인가하는 동작 및 인가된 전류를 패치하여 유지하고 유지된 전류에 기초하여 구동전류를 출력하는 동작이 병렬로 수행되어지는 전류저장부를 포함하는 것이 바람직하다.

전류 구동장치는 전류생성회로와 복수의 전류저장회로들 사이에 신호입력전류 저장회로를 포함하는데, 이는 구동전류가 각 출력단자에서 동일한 전류값을 갖도록 하기 위하여 동작전류를 패치하여 유지하고 유지된 동작전류에 기초하여 복수의 전류저장회로에 전류를 인가한다. 그리고 입력신호에 따라 각 구동전류의 펄스폭을 제어하는 펄스폭 제어회로를 포함한다.

적어도 전류구동장치내의 복수의 전류저장회로 및 출력단자들은 적어도 하나 의 반도체 칩상에 형성되고, 전류 생성회로는 앞서 언급한 반도체 칩과 다른 반도체 칩상에 형성되거나 앞서 언급한 반도체 칩상에 형성되는 것이 바람직하다.

앞서 언급한 목적을 달성하기 위하여, 본 발명의 제 2 전류 구동장치에 따르면, 전류를 인가함으로서 복수의 부하를 동작시키는 전류 구동장치가 제공되고, 이는 부하가 각각 연결된 복수의 출력단자; 서로 다른 전류 값을 갖는 복수의

기준전류를 생성하여 출력하는 단일 기준전류 생성회로; 복수의 기준전류의 각각을 패치하여 유지하고 각 기준전류에 기초하여 복수의 계조기준전류를 출력하는 적어도 하나의 기준전류 저장회로; 각 계조기준전류들중 하나를 선택하고, 입력신호에 따라 계조전류를 생성하는 복수의 전류 생성회로; 및 각 계조전류를 순차적으로 패치하여 유지하고, 계조전류에 기초하여 동시에 각 출력단자로 구동전류를 출력하는 복수의 전류 저장회로; 로 구성된다. 기준전압 생성회로는 각 기준전압을 생성하여 출력하고 병렬로 배열된 복수의 기준전류 생성부를 포함할 수 있고, 각 기준전류 생성부로부터 출력된 기준전류의 전류값은 디지털 신호의 각 비트에 따라 가중치를 가질 수 있다. 기준전류 저장회로는 기준전류 생성회로로부터 출력된 각 기준전류를 개별적으로 패치하고, 각 기준전류에 대응하는 전압성분을 유지하고 그리고 각 전압성분에 기초하여 계조기준전류를 출력하는 복수의 기준전류 저장부를 포함하고, 각 전류 생성회로는 입력신호의 비트값에 기초하여 각 기준전류 저장부로부터 출력된 계조기준전류들중 하나를 선택하고, 선택된 계조기준전류를 가산하여 계조전류를 생성하는 것이 바람직하다. 전류 저장회로는 전류생성회로로부터 출력된 계조전류를 패치하고 계조전류의 전류값에 대응하는 전압성분을 유지하는 전압성분 유지부를 포함할 수 있고, 전압성분 유지부는 계조전류에 대응하는 전하가 전압성분으로서 쓰여지는 캐패시턴스 소자를 갖는다.

본 발명에 따른 표시장치에 따르면, 복수의 표시픽셀을 포함하는 표시패널의 각 표시픽셀로 표시신호에 대응하는 구동전류를 인가하는 표시장치가 제공되고, 이는

라인방향으로 배열된 복수의 스캐닝 라인과 행방향으로 배열된 복수의 신호라인의 교차점 인근에 배열된 광소자를 갖는 복수의 표시픽셀을 포함하는 표시패널;

표시신호에 기초하는 전류값을 갖는 동작전류를 생성하는 출력하는 단일 전류생성회로 및 각 신호라인에 따라 구비되고 전류생성회로로부터 출력된 동작전류를 순차적으로 패치하고 동작전류에 기초하여 동시에 복수의 신호라인으로 구동전류를 출력하는 복수의 전류저장회로를 갖는 제 1 전류 구동장치의 구조 또는 서로 다른 전류값을 갖는 복수의 기준전류를 생성하여 출력하는 단일 기준전류 생성회로, 각 기준전류를 패치하여 유지하고 각 기준전류에 기초하여 보수의 계조기준전류를 출력하는 적어도 하나의 기준전류 저장회로, 각 기준전류들중 하나를 선택하고 계조전류를 생성하여 출력하는 적어도 하나의 전류생성회로, 및 각 신호라인에 따라 제공되고 전류 생성회로로부터 출력되는 계조전류를 순차적으로 패치하고 유지하며 계조전류에 기초하여 복수의 신호라인으로 구동전류를 동시에 출력하는 복수의 전류 저장회로를 포함하는 제 2 전류구동장치의 구조중 어느 하나를 포함하는 신호구동회로; 및 스캐닝 라인들에 연결된 표시픽셀을 순차적으로 선택하는데 사용 되는 스캐닝 신호를 출력하고, 표시픽셀내의 광소자는 발광소자를 갖고, 그리고 광소자는 유기 전계발광 소자를 갖는 스캐닝 구동회로로 구성된다.

본 발명의 추가적인 목적들과 장점들은 이하의 설명에서 확립될 것이고, 일부는 설명으로부터 명백하거나 본 발명의 실시로부터 습득될 것이다. 본 발명의 목적들 및 장점들은 이하에서 특별히 지적된 수단들과 결합들에 의하여 구현되고 얻어질 것이다.

도면의 간단한 설명

본 명세서에 삽입되어 일부를 구성하는 첨부된 도면들은 본 발명의 실시예를 나타내고, 앞서 주어진 일반적인 설명과 이하에서 주어지는 실시예의 상세한 설명과 함께, 발명의 요지를 설명하는데 사용된다.

도 1은 본 발명에 따른 전류 구동장치의 제 1 실시예를 도시한 주요 구조도,

도 2는 상기 실시예에 적용할 수 있는 전류 생성회로의 구체적인 예를 도시한 회로구조도,

도 3은 상기 실시예에 적용할 수 있고, 전류 저장회로와 스위치 회로로 구성된 구조의 구체적인 예를 도시한 회로구조도,

도 4a 및 도 4b는 상기 실시예에 적용할 수 있는 전류 저장회로내의 기본 동작을 도시하는 개념도,

도 5a는 전하가 트랜지스터의 게이트와 소스 사이의 캐패시턴스에 축적될 때의 구조를 도시한 등가회로도,

도 5b는 전하가 트랜지스터의 게이트와 소스 사이의 캐패시턴스에 축적될 때, 캐패시턴스 전압의 시간에 따른 변화를 도시한 그래프,

도 6은 본 발명에 따른 전류 구동장치의 제 2 실시예를 도시한 주요 구조도,

도 7은 본 발명에 따른 전류 구동장치의 제 3 실시예를 도시한 주요 구조도,

도 8은 본 발명에 따른 전류 구동장치의 제 4 실시예를 도시한 주요 구조도,

도 9는 본 발명에 따른 전류 구동장치의 제 5 실시예를 도시한 주요 구조도,

도 10은 본 발명에 따른 전류 구동장치의 제 6 실시예를 도시한 주요 구조도,

도 11은 본 발명에 따른 전류 구동장치의 제 7 실시예를 도시한 주요 구조도,

도 12는 본 발명에 따른 전류 구동장치의 제 8 실시예를 도시한 주요 구조도,

도 13은 본 발명에 따른 전류 구동장치의 제 9 실시예를 도시한 주요 구조도,

도 14는 본 발명에 따른 표시장치의 전체구조의 일예를 도시한 개략적인 구조도,

도 15는 상기 실시예에 따라 표시장치에 적용할 수 있는 데이터 구동부, 스캐닝 구동부 및 표시패널의 주요 구조를 도시한 블럭도,

도 16은 본 발명에 따른 표시장치에 적용할 수 있는 스캐닝 구동부의 다른 예를 도시한 개략적인 구조도,

도 17은 본 발명에 따른 표시장치에 적용할 수 있는 픽셀 구동회로의 기본구 조의 일예를 도시한 회로구성도,

도 18a 및 도 18b는 상기 실시예에 적용할 수 있는 픽셀 구동회로에서 기본동작을 각각 도시한 개념도,

도 19는 상기 실시예에 따른 표시장치에서 이미지 정보의 표시 타이밍을 도시한 타이밍도,

도 20은 본 발명에 따른 표시장치의 그 밖의 또 다른 실시예의 주요 구조를 도시한 개략적인 블럭도이다.

실시예

전류 구동장치, 그 구동방법 및 본 발명에 따라 전류 구동장치가 적용되는 표시장치는 설시되는 실시예에 기초하여 설명되어질 것이다.

먼저, 전류 구동장치 및 그 구동방법이 상기 첨부된 도면과 관련하여 설명될 것이다.

<전류 구동장치의 제 1 실시예>

도 1은 본 발명에 따른 전류 구동장치의 제 1 실시예를 도시한 주요 구조도이다.

제 1 실시예에 따른 전류 구동장치는, 각 출력단자에 따라 구비되는 전류 저장회로에 단일의 전류 생성회로로부터 인가되는 소정의 전류값으로 전류를 순차적으로 유지하고 그 후 출력단자 각각을 통해 전류를 부하(표시소자)로 동시에 출력하는 구조를 갖는다.

도 1에 도시된 바와 같이, 본 실시예에 따른 전류 구동장치는, 복수의 출력 단자 Tout 각각에 연결된 각 부하(LD)(표시소자)의 구동상태를 제어하는데 사용되는 소정의 전류값을 갖는 동작전류(Ic)를 생성하고 출력하는 단일의 전류 생성회로(10A); 전류 생성회로(10A)로부터 인가된 동작전류(Ic)를 이하에서 설명되는 전류 저장회로(30A)로 공급하는 타이밍을 설정하는 쉬프트 레지스터(20A); 출력단자(Tout)에 따라 구비되고, 쉬프트 레지스터(20A)에 기초한 소정 타이밍에 따라 전류 생성회로(10A)로부터 인가되는 동작전류(Ic)를 순차적으로 패치 및 유지(저장)하는 복수의 전류 저장회로(30A); 및 소정 타이밍에 따라 쉬프트 레지스터(20A)로부터 출력된 스위치 변경신호(쉬프트 출력)(SR)에 의해 설정된 타이밍에 기초하여 전류 생성회로(10A)로부터 각 전류 저장회로(30A)로 흐르는 동작전류(Ic)의 인가상태를 제어하는 복수의 스위치 회로(40A);를 포함한다. 도 1에서, 부하(LD)(표시소자)가 단순한 행렬형 표시패널 상에 적용되는 경우로 설명된다 하더라도, 이것은 그것에 제한되지 않고, 도 17에 도시된 바와 같은 픽셀 구동회로와 같은 것을 포함하는 능동 행렬형 표시패널에 적용될 수 있다.

상기의 구조 각각은 이하에서 구체적으로 설명될 것이다.

(전류 발생회로)

도 2는 상기 실시예에 적용할 수 있는 전류 생성회로의 구체적인 예를 도시한 회로구조도이다.

전류 생성회로(10A)는, 소정의 구동상태에서 복수의 부하 각각을 구동하는데 요구되는 전류값을 갖는 각 동작전류(Ic)를 순차적으로 생성하고, 이것을 복수의 부하에 각각 대응하기 위해 구비되는 개별적인 전류 저장회로(30A)로 출력한다. 전 류 생성회로(10A)는, 도 2에 도시된 바와 같이, 전단계 상의 제어 전류 생성회로(11) 및 후단계 상의 출력 전류 생성회로(12)에 의해 구성된다.

전류 생성회로(10A)에 의해 생성된 동작전류(Ic)는 각 부하의 구동상태에 따라 서로 다른 전류값을 가질 수도 있고, 또는 모든 부하에 대해 동일한 전류값을 가질 수도 있다. 자세한 내용은 이하에서 설명될 것이다.

본 실시예에 묘사된 전류 생성회로는, 본 발명에 따른 전류 구동장치에 적용할 수 있는 단지 일례이지, 이러한 회로 구성에 제한되는 것은 아니다. 본 실시예에서, 전류 생성회로로서, 제어 전류 생성회로(11) 및 전류 미러 회로부(12)를 포함하는 구조가 설명되지만, 이것은 거기에 제한되지 않는다. 예를 들면, 이것은 오직 제어전류 생성회로만을 포함하는 회로 구성을 가질 수도 있다.

도 2에 도시된 바와 같이, 제어 전류 생성회로(11)에서, 유닛 회로(비트 전류 생성회로)(CT1)은, 고전위 전원공급(Vdd)에 연결된 일단을 가진 저항(R11); 저항(R11)의 타단에 연결된 이미터 및 후단계 상의 출력 전류 생성회로(12)에 연결된 제어 전류 생성회로(11)의 출력접합(N11)에 연결된 컬렉터를 갖는 pnp형 쌍극성 트랜지스터(이것은 이하에서 'pnp 트랜지스터'라 함)(Q11); 및 pnp 트랜지스터(Q11)의 베이스에 연결된 소스, 설정신호(SET)가 입력되는 설정단자(Tset)에 연결된 드레인 및 디지털 입력신호(IN1)이 입력되는 입력단자(Tin)에 연결된 게이트를 갖는 P-채널 전계효과형 트랜지스터(이하에서 'PMOS 트랜지스터'라 함)(M11);를 포함하는 회로 구성을 갖는다. 유닛 회로는 디지털 입력신호의 비트수에 대해 병렬로 연결된다(본 실시예에서는, 6 비트의 디지털 입력신호(IN1 내지 IN6)에 대응하는 유 닛 회로(CT1 내지 CT6)가 구비되는 경우에 대해 설명될 것이다). 즉, 각 유닛 회로(CT1 내지 CT6)에 있는 pnp 트랜지스터(Q11 내지 Q16)의 이미터는 공통으로 출력접합(N11)에 연결되고, pnp 트랜지스터(Q11 내지 Q16)의 베이스에 연결된 소스, 설정단자(Tset)에 연결된 드레인 및 디지털 입력신호(IN1 내지 IN6)이 입력되는 입력단자(Tin)에 연결된 게이트를 갖는 PMOS 트랜지스터(M11 내지 M16)가 구비된다.

여기서, 입력신호(IN1 내지 IN6)는 각 부하의 구동상태를 제어하는데 사용되는 복수의 비트를 구성하는 디지털 신호(전압성분)이고, 설정신호(SET)는 구동 사이클에 따른 타이밍에 따라 도시되지 않은 제어부 및 부하 같은 것으로부터 인가되는 신호전압이다. 이러한 제어전류 생성회로(11)는, 설정신호(SET)를 소정의 전압레벨로 설정하고 각 비트를 갖는 입력신호(IN1 내지 IN6)를 고레벨 또는 저레벨로 설정함에 의해 입력신호(IN1 내지 IN6)의 전류값에 대응하는 전류값을 갖는 제어 전류를 생성하고, 출력접합(N11)을 통해 후단계 상의 출력 전류 생성회로(12)로 제어 전류를 출력한다.

예를 들면, 도 2에 도시된 바와 같이, 출력 전류 생성회로(12)는, 전류 미러회로로 구성되고, 제어 전류 생성회로(11)의 출력접합(N11)에 연결되는 컬렉터 및 베이스를 갖는 npn형 쌍극성 트랜지스터(이하에서는 'npn 트랜지스터'라 함)(Q21); npn 트랜지스터(Q21)의 이미터 및 저전위 전원공급(Vss) 사이에 연결된 저항(R21); 소정 전류성분을 갖는 출력 전류(동작전류)(Ic)가 출력되는 출력단자(Tcs)에 연결된 컬렉터 및 제어 전류 생성회로(11)의 출력접합(N11)에 연결된 베이스를 갖는 npn 트랜지스터(Q22); 및 npn 트랜지스터(Q22)의 이미터와 저전위 전원공급(Vss) 사이에 연결된 저항(R22);를 포함한다.

여기서, 출력전류(Ic)는 제어 전류 생성회로(11)에 의해 생성되고, 출력접합(N11)을 통해 입력된 제어 전류의 전류값에 관하여 전류 미러회로 구조에 의해 규정되는 소정의 전류비에 따른 전류값을 갖는다. 본 실시예에서, 전류 저장회로(30A)에 음의 극성을 갖는 출력전류를 인가함에 따라(즉, 출력전류(Ic)의 전류 흐름방향을 출력단자(Tcs)측으로부터 저전위 전원공급(Vss)의 방향으로 설정함에 따라), 전류성분은 전류 저장회로(30A)측으로부터 전류 생성회로(10A) 방향으로 당겨지도록 흘려 내려간다.

본 실시예에 묘사된 전류 생성회로(10A)에서, 제어 전류 생성회로(11)에 의해 생성된 제어전류의 전류값은 전류 미러회로부(12)에 의해 생성된 출력전류의 전류값보다 크게 설정된다. 제어값의 전류값은, 출력전류의 전류값을 규정하기 위해 소정의 비율에 따라 전류 미러회로부(12)에 의해 감소된다(즉, 제어신호 생성회로(11)에서 처리되는 전류값은 출력전류(Ic)의 전류값보다 크게 설정된다). 그러므로, 전류 생성회로(10A)의 제어 신호 생성회로(11)에서 입력신호(IN1 내지 IN6)로부터 출력전류(Ic)로의 변환 및 생성에 관한 처리속도를 향상시키는 것이 가능하다.

더구나, 도 2에 도시된 회로 구성에서, 전류 미러회로부(12)를 구성하는 npn 트랜지스터(Q21 및 Q22)의 이미터에 연결된 저항(R21 및 R22)을 대신하여 npn 트랜지스터(Q21 및 Q22)의 영역비만을 사용하여, 예를 들면, 저항(R21 및 R22)을 제거하여 전류비를 규정하는 회로 구성을 채택하는 것도 가능하다. 이로서, 저항(R21 및 R22)에 의해 유발되는 회로내의 전류성분의 불규칙성의 발생을 억제할 수 있고, 그것에 의해 출력전류(Ic)에 대한 영향을 상당히 제한할 수 있다.

(쉬프트 레지스터)

도 1에 도시된 쉬프트 레지스터(20a)는, 각각의 부하에 대응하여 구비되는 스위치 회로(40A) 각각의 일 방향에 순차적으로 쉬프트하면서, 도시되지 않은 제어부로부터 인가되는 제어신호(쉬프트 개시신호, 쉬프트 시간신호 등)에 기초하여 생성되는 쉬프트 출력을 스위치 변경신호(스위치 온-신호)(SR)로서 순차적으로 인가한다.

(스위치 회로)

도 1에 도시된 스위치 회로(40A)는, 쉬프트 레지스터(20A)로부터 순차적으로 인가된 스위치 변경 신호(SR)에 기초하는 다른 타이밍에 온-동작을 수행하고, 각 부하에 대응하여 구비되는 전류 저장회로(30A)에 출력전류를 공급하기 위한 기록 상태에서 전류 생성회로(10A)로부터 출력전류(동작전류)(Ic)를 설정하며, 출력전류(Ic)가 각 전류 저장회로(30A)에서 패치 및 유지되는 것과 같은 방식으로 제어한다. 여기서, 스위치 회로(40A)로서, 예를 들면, 전계효과형 트랜지스터가 적용될 수 있다. 이러한 경우에, 스위치 회로(40A)는 이하에서 언급될 전류 저장회로(30A)에 인가된 전류성분의 제작과정과 동일한 과정을 이용하여 동일한 기판상에 형성될 수 있다. 보다 상세한 설명은 도 3과 관련하여 이루어질 것이다.

(전류 저장회로)

도 3은 본 실시예에 적용할 수 있는 전류 저장회로와 스위치 회로로 구성된 구조의 구체적인 예를 도시한 회로구조도이고, 도 4a 및 도 4b는 본 실시예에 적용할 수 있는 전류 저장회로내의 기본 동작을 도시하는 개념도이다.

전류 저장회로(30A)는, 쉬프트 레지스터(20A)에 기초한 소정 타이밍에 따라 전류 생성회로(10A)로부터 출력된 동작전류(Ic)를 순차적으로 패치하고, 이러한 전류에 대응하는 전압성분을 유지하며, 유지된 전압성분에 기초한 구동전류를 각 출력단자(Tout)를 통해 각 부하에 순차적으로 출력한다. 도 3에 도시된 바와 같이, 이러한 전류 저장회로(30A)는, 예를 들면, (스위치 회로(40A)를 포함하는)전단계의 전압성분 유지부(31) 및 후단계의 전류 미러회로로 구성되는 구동전류 생성부(32)를 포함할 수 있다.

본 실시예에 묘사된 전류 저장회로는 본 발명에 따른 전류 구동장치에 적용가능한 일례일 뿐이지, 이러한 회로 구성에 한정되는 것은 아니다. 더구나, 본 실시예에서, 전류 저장회로로서, 전압성분 유지 및 전류 미러회로를 갖는 구동전류 생성부를 포함하는 구조가 설시되었다 하더라도, 전류 저장회로는 거기에 한정되지 않고, 예를 들면, 전압성분 유지만을 가진 회로구성을 가질 수도 있다.

예를 들면, 도 3에 도시된 바와 같이, 전압성분 유지부(31)는, 접합(N31)에 연결된 소스, 전류 생성회로(10A)의 출력단자(Tcs)에 연결된 드레인 및 쉬프트 레지스터의 쉬프트 출력단자(Tsr)에 연결된 게이트를 갖는 PMOS 트랜지스터(M31); 고전위 전원공급(Vdd) 및 접합(N32)에 각각 연결된 소스와 드레인 및 접합(N31)에 연결된 게이트를 갖는 PMOS 트랜지스터(M32); 접합(N32) 및 전류 생성회로(10A)의 출력단자(Tcs)에 각각 연결된 소스와 드레인 및 쉬프트 레지스터(20A)의 쉬프트 출력 단자(Tsr)에 연결된 게이트를 갖는 PMOS 트랜지스터(M33); 고전위 전원공급(Vdd)와 접합(N31) 사이에 연결된 저장 캐패시턴스(C31); 및 접합(N32) 및 후단계 상의 구동전류 생성부(32)로의 출력접합(N33)에 각각 연결된 소스와 드레인 및 도시되지 않은 제어부로부터 인가되고 후단계 상의 구동전류 생성부(32)에 대한 제어전류의 출력상태를 제어하는 출력가능신호(EN)가 입력되도록 출력 제어단자(Ten)에 연결된 게이트를 갖는 PMOS 트랜지스터(M34);를 포함한다.

여기서, 쉬프트 레지스터(20A)로부터의 스위치 변경신호(SR)에 기초하여 온/오프-동작을 수행하는 PMOS 트랜지스터(M31 및 M33)는 상기에서 언급된 스위치 회로(40A)를 구성한다.

고전위 전원공급(Vdd) 및 접합(N31) 사이에 구비되는 저장 캐패시턴스(C31)는 PMOS 트랜지스터(M32)의 게이트와 소스 사이의 기생 캐패시턴스일 수도 있다.

예를 들면, 도 3에 도시된 바와 같이, 상기에서 언급된 구동전류 생성부(32)는, 전류 미러회로로 구성되고, 각각이 전압성분 유지부(31)의 출력접합(N33)에 연결된 컬렉터와 베이스 및 접합(N34)에 연결된 이미터를 갖는 npn 트랜지스터(Q31 및 Q32); 접합(N34)와 저전위 전원공급(Vss) 사이에 연결된 저항(R31); 출력전류(구동전류(Idv))가 출력되는 출력단자(Tout)에 연결된 컬렉터 및 전압성분 유지부(31)의 출력접합(N33)에 연결된 베이스를 갖는 npn 트랜지스터(Q33); 및 npn 트랜지스터(Q33)의 이미터와 저전위 전원공급(Vss) 사이에 연결된 저항(R32);을 포함한다.

여기서, 출력전류(구동전류 (Idv))는, 전압성분 유지부(31)로부터 출력되고 출력접합(N33)을 통해 입력되는 제어전류의 전류값에 대하여 전류 미러전류 구성에 의해 규정되는 소정 전류비에 대응하는 전류값을 갖는다. 본 실시예에서, 음의 극성을 갖는 출력전류를 출력단자(Tout)(부하(LD))로 공급함에 따라(즉, 구동전류(Idv)의 전류 흐름방향을 출력단자(Tout)측으로부터 저전위 전원공급(Vss)의 방향으로 설정함에 따라), 전류성분은 부하(LD)측으로부터 전류 저

장회로(30A)의 방향으로 당겨지도록 흘러 내려간다.

본 실시예에 묘사된 전류 저장회로(30A)에서, 전압성분 유지부(31)로부터 출력된 제어전류의 전류값은 구동전류 생성부(32)의 전류 미러회로에 의해 생성되는 출력전류의 전류값보다 크게 설정된다. 제어전류의 전류값은, 출력전류의 전류값을 규정하기 위해 소정 비율에 따라 전류 미러회로에 의해 감소된다. 즉, 전압성분 유지부(31)내에서 처리되는 전류값을 구동전류(Idv)의 전류값보다 크게 설정함에 의해, 전류 저장회로(30A)의 전압성분 유지부(31)에서 동작전류(Ic)의 패치 유지(저장) 및 출력 동작에 관한 처리속도를 향상시키는 것이 가능하다.

도 3에 도시된 회로 구성에서, 구동전류 생성회로(32)의 전류 미러회로를 구성하는 npn 트랜지스터(Q31 내지 Q33)의 이미터에 연결되고 전류 미러회로 구성에서 전류비를 규정하는 저항(R31, R32)을 대신하여 npn 트랜지스터(Q31 내지 Q33)의 영역비만을 이용하여, 예를 들면, 저항(R31, R32)을 제거하여 전류비를 규정하는 회로구성을 적용함으로서, 저항(R31, R32)으로 인해 유발되는 회로 내의 전류성분에 대한 불규칙성의 발생을 억제할 수 있고, 출력전류(구동전류 (Idv))의 불규칙성이 상당히 제한될 수 있다.

이러한 구조를 갖는 (스위치 회로를 포함하는) 전류 저장회로의 기본 동작으로서, 전류 저장동작 및 전류 출력동작은, 때를 맞추어서 오버랩이 발생되지 않는 소정 타이밍을 갖는 부하의 구동 주기에 따라 실행된다. 각각의 동작은 이하에서 설명될 것이다.

(전류 저장동작)

전류 저장동작에서, 도 4a에 도시된 바와 같이, 출력 제어회로로서 PMOS 트랜지스터(M34)는 제어부로부터 출력 제어단자(Ten)를 통해 고레벨 출력가능신호(EN)를 인가하여 오프-동작을 수행한다. 이러한 상태에서, 부하의 구동상태를 제어하는데 사용되는 입력신호(IN1 내지 IN6)에 대응하는 음의 극성에 따른 전류성분을 갖는 동작전류(Ic)는, 전류 생성회로(10A)로부터 입력단자(Tcs)(전류 생성회로(10A)의 출력단자(Tcs))를 통해 공급되고, 저레벨 스위치 변경 신호(SR)는 쉬프트 출력단자(Tsr)를 통해 쉬프트 레지스터(20A)로부터의 소정 타이밍에 따라 인가된다. 이로서, 입력 제어회로(스위치 회로(40A))로서 PMOS 트랜지스터(M31, M33)는 온-동작을 수행한다.

따라서, 음의 극성을 갖는 동작전류(Ic)에 대응하는 저레벨로서의 전압레벨은 접합(N31)(즉, PMOS 트랜지스터(M32)의 게이트 단자 및 저장 캐패시턴스(C31)의 일단)에 인가되고, 전위차는 고전위 전원공급(Vdd)와 접합(N31) 사이(PMOS 트랜지스터(M32)의 게이트와 소스 사이)에 생성된다. 이로서, PMOS 트랜지스터(M32)는 온-동작을 수행하고, 동작전류(Ic)에 상당하는 기록전류(Iw)는 PMOS 트랜지스터(M32, M33)를 통해 고전위 전원공급으로부터 입력단자(Tcs) 방향으로 당 겨지도록 흘러 내려간다.

이 때, 고전위 전원공급(Vdd)와 접합(N31) 사이, 즉, PMOS 트랜지스터(M32)의 게이트와 소스 사이에서 생성되는 전위차에 대응하는 전하는 저장 캐패시턴스(C31)에 저장되고, 전하는 동작전류(Ic)에 대응하는 전압성분으로서 유지된다. 여기서, 저장 캐패시턴스(C31)에 저장된 전하는, 오프-동작을 수행하는 PMOS 트랜지스터(M31, M33)에 전류 저장동작이 완료된 때 쉬프트 레지스터(20A)로부터 쉬프트 출력단자(Tsr)를 통해 고레벨 스위치 변경 신호(SR)를 인가함에 의해 기록전류(Iw)의 풀링이 종료진 이후에 조차 유지된다.

(전류 출력동작)

다음에, 전류 저장동작의 종료 이후의 부하 구동동작에서, 도 4b에 도시된 바와 같이, PMOS 트랜지스터(M34)는 출력 제어단자(Ten)를 통해 제어부로부터 저 레벨의 출력가능신호(EN)가 인가되어 온-동작을 수행한다. 이 때, 전류 저장동작에서의 전위에 상당하는 전위가 저장 캐패시턴스(C31)에 저장된 전압성분에 의해 PMOS 트랜지스터(M34)의 게이트와 소스 사이에 생성되기 때문에, 기록전류(Iw)(= 동작전류(Ic))의 전류값에 상당하는 그것을 갖는 구동 제어회로(Iac)는 PMOS 트랜지스터 (M32, M34)를 통해 고전위 전원공급으로부터 출력접합(N33)(전류 미러회로부(32)) 방향으로 흘러 내려간다.

이로써, 전류 미러회로부(32)로 입력되는 구동 제어전류(Iac)는, 전류 미러회로 구성에 의해 규정되는 소정 전류비에 대응하는 전류값을 갖는 구동전류(Idv)로 변환되고, 각 출력단자(Tout)를 통해 부하(LD)로 인가된다. 여기서, 각 전류저 장회로(30A)로부터 각 부하(LD)로 인가되는 구동전류(Idv)는 전류 출력동작이 완료된 때 출력 제어단자(Ten)를 통해 제어부로부터 고레벨 출력가능신호(EN)가 인가되고, 공급은 PMOS 트랜지스터(M34)가 오프-동작을 수행할 때 종료된다.

(전류 구동장치의 구동방법)

상기에서 언급된 구조를 갖는 전류 구동장치에 있어서, 전류 기록 주기에서는, 각 부하의 구동상태에 따른 소정의 전류값을 갖는 동작전류(Ic)가 단일의 전류 생성회로(10A)에 의해 순차적으로 생성 및 출력되고, 쉬프트 레지스터(20A

)로부터 순차적으로 출력되는 스위치 변경 신호(SR)는 각 출력단자에 따라 구비되는 스위치 회로(40A)로 동작전류(Ic)의 출력 타이밍과 동시에 순차적으로 인가된다. 이로써, 스위치 회로(40A)는 동작전류(Ic)의 출력 타이밍과 동시에 일어나는 상이한 타이밍에 따라 온-동작을 순차적으로 수행한다. 전류 생성회로(10A)로부터 출력되는 동작전류(Ic)에 대응하는 기록전류(Iw)는 전류 저장회로(30A)에 순차적으로 흘러 내려 기록되고, 전압성분으로서 유지된다(상기에서 언급된 전류 저장동작). 다음에, 전류 출력 주기에서, 전류 기록 주기에서의 쉬프트 레지스터(20A)로부터의 스위치 변경 신호(SR)의 출력은 종료되고, 모든 스위치 회로(40A)는 오프-동작을 수행하며, 부하의 구동상태에 따른 동작전류(Ic)는 모든 전류 저장회로(30A)에 유지된다. 그러므로, 출력가능신호(EN)는 제어부로부터 각각의 전류 저장회로(30A)로 동일한 타이밍에 인가된다. 이로써, 전류 저장회로(30A)에 저장된 전압성분에 따른 전류는 출력단자(Tout)를 통해 부하에 구동전류(Idv)로서 순차적으로 공급된다(상기에서 언급된 전류 출력동작).

소정의 동작 주기에 따라 이러한 전류 기록 주기 및 전류 출력 주기를 반복적으로 설정함으로써, 부하는 소정의 구동 주기에 따라 동작되도록 유발될 수 있다.

그러므로, 본 실시예의 전류 구동장치에 의하면, 전류 저장회로는 복수의 출력단자에 대응하도록 하기 위해 단일의 전류 생성회로에 개별적으로 구비되고, 부하에 걸친 구동제어에 관한 소정의 전류값을 갖는 전류는 전류 생성회로에 의해 생성되며, 이러한 전류는 소정 타이밍에 따라 각 전류 저장회로에 순차적으로 저장된다. 그 다음에, 단일의 전류 생성회로로부터 인가된 동작전류는 동시에 각 출력단자를 통해 각 전류 저장회로로부터 각 부하로 전류를 출력함에 의해 각 출력단자에 따라 유지될 수 있고, 각 출력단자를 위한 구동전류는 동작전류에 기초하여 설정될 수 있다. 그러므로, 각 출력단자 사이의 불규칙성이 억제되는 구동전류가 인가될 수 있고, 그것에 의해 일정한 동작 특성에 따라 각 부하를 구동할 수 있다.

본 실시예에 묘사된 전류 구동장치에 적용되는 쌍극성 트랜지스터 또는 MOS 트랜지스터의 소자 구성은 제한되지 않고, 소자 특성, 생산 기술, 제품 가격 등에 따라 적절하게 설계 변경하는 것이 가능하다.

특히, 일정한 전류 특성을 갖고 각 표시 데이터에 상응하는 발광 구동전류(구동전류)를 개별적인 전류 저장회로로부터 이하에서 설명될 표시 패널(도 15를 참조)을 구성하는 각 표시 픽셀에 따라 각각 제공되는 발광소자로 인가시키는 동작을 각각의 행에 따라 순차적으로 반복함으로써, 표시 패널의 한 화면을 위한 표시 데이터를 각 표시 픽셀에 기록하고 소정의 휘도 계조를 갖는 발광 동작을 유발하는 것이 가능하고, 그에 의해 표시 불규칙성의 생성을 억제하여 원하는 이미지 정보를 훌륭하게 표시하는 것을 가능하게 한다.

여기서, 본 실시예에 따른 전류 저장회로를 구성하는 쌍극성 트랜지스터 또는 MOS 트랜지스터의 소자 구성은 특별하게 제한되지 않고, 소자 특성, 생산 기술, 제품 가격 등에 따라 적절하게 설계 변경될 수도 있다. 특히, 전압성분 유지소자를 구성하는 MOS 트랜지스터에서, 필요한 동작 속도를 얻기 위하여, 바람직하게는, 아래에서 언급되는 바와 같이, 대략 200㎠/Vs 또는 그보다 큰 값인 MOS 트랜지스터의 유동성(μe)을 갖는 트랜지스터가 훌륭하게 적용될 수 있다.

도 5a는 전하가 트랜지스터의 게이트와 소스 사이의 캐패시턴스에 축적될 때의 구조를 도시한 등가회로도이고, 도 5b는 전하가 트랜지스터의 게이트와 소스 사이의 캐패시턴스에 축적될 때, 캐패시턴스 전압의 시간에 따른 변화를 도시한 그래프이다.

도 5a는 도 3에 도시된 전류 저장회로의 전압성분 유지부(31)에서 저장 캐패시턴스(C31)에 소정의 전하가 저장된 때의 등가회로도에 상응하고, PMOS 트랜지스터(M32 및 M33)가 온 및 도전상태에 있으며 PMOS 트랜지스터(M34)가 오프 및 개방 상태에 있는 경우에 상응한다. 여기서, 트랜지스터(M)는 PMOS 트랜지스터(M32)에 상응하고, 캐패시턴스(C)는 배선 캐패시턴스, 저장 캐패시턴스 및 트랜지스터(M)의 게이트 캐패시턴스의 총합계인 저장 캐패시턴스(C31)에 상응한다. 간단한 설명을 위하여, 트랜지스터(M)의 소스(S) 및 캐패시턴스(C)의 일단은 접지 전위로 설정되는 것으로 정해진다. 도 5b는 트랜지스터(M32)의 드레인 전압 V(t), 즉, 캐패시턴 스(C31)의 전압에 대한 시간(t)의 변화에 상응한다.

여기서, 도 5a에 도시된 바와 같이, 전류(Iin)가 일정한 전류원으로부터 트랜지스터(M)의 드레인(D)로 공급된 때, V(t)는 드레인 전압이고, Id는 트랜지스터(M)의 드레인 전류라 가정하면, 드레인 전류(Id)는 다음의 표현식 (1)로서 표현될 수 있다.

$$Id = A*V(t)^2 \quad \ldots (1)$$

여기서 A = (1/2)*Cin*μe*(W/L), Cin은 트랜지스터(M)의 유닛 영역마다의 게이트 캐패시턴스이고, μe는 트랜지스터(M)의 유동성이며, W는 트랜지스터 (M)의 채널 폭이고, 그리고 L은 채널 길이이다. 이것에 기초하여, 미분 방정식인 다음 표현식 (2)가 성립한다.

$C*dV(t)/dt + AV(t)^2 = Iin$ ...(2)

여기서 캐패시턴스(C)는 배선 캐패시턴스, 저장 캐패시턴스 및 상기에서 언급된 트랜지스터(M)의 게이트 캐패시턴스의 총 합계이다. 트랜지스터(M)의 드레인 전압 V(t), 즉, 상기 식을 풀어 얻어지는 캐패시턴스(C)의 전압에 대한 시간(t)의 변화는 실질적으로 도 5b에 도시된 바와 같다. 여기서, τ는 시간 상수이고, 캐패시턴스(C)에서의 게이트 캐패시턴스가 다른 캐패시턴스보다 크다면 이것은 다음의 표현식 (3)으로 나타내어 질 수 있다. 더구나, 시간 t = 3τ일 때, 전압 V(t)는 포화 전압 V(s)의 99.5%인 값에 도달한다.

$\tau = C/\sqrt{A*Iin}$ ... (3)

즉, 시간 상수(τ)는 캐패시턴스(C)의 값에 비례하고 유동성(μe)의 1/2 승에 반비례한다.

여기서, 폴리실리콘 TFT가 트랜지스터(M)로서 사용된다고 가정하면, 캐패시턴스(C)는 6pF이고, W/L은 100㎛/30㎛이며, 유동성(μe)은 70㎠/Vs이고, 게이트 절연 필름의 필름 두께는 105㎚이며, 인가 전류(Iin)는 10㎂, 시간 상수(τ)는 1.24 ㎲가 된다. 그러므로, 구동되는 표시 패널에서 주사선의 수가 120으로 설정될 때, 주사선 당 선택주기는 대략적으로 139㎲이고, 데이터가 이 시간 내에 기록될 수 있는 데이터 라인의 수는 대략적으로 32이다.

이러한 관계에서, 트랜지스터(M)의 유동성(μe)이 상기에서 언급한 조건하에서 245㎠/Vs일 때, 시간 상수(τ)는 대략적으로 0.096㎲이다. 이로써, 데이터가 표시 패널에서 주사선마다 선택주기 내에 기록될 수 있는 데이터 라인의 수는 대략적으로 482이고, 120 주사선 및 160(¡RGB) 데이터 라인을 갖는 1/4 VGA 패널은 구동될 수 있다.

또한, 유동성(μe)이 70㎠/Vs로 유지된다 하더라도 캐패시턴스(C)가 0.51pF이라면, 시간 상수(τ)는 마찬가지로 대략 0.096㎲가 되고, 1/4 VGA 패널은 상기와 같이 구동될 수 있다.

즉, 적어도 1/4 VGA 패널을 구동하기 위하여, 트랜지스터(M)의 유동성(μe)은 대략적으로 200㎠/Vs의 값 또는 그 이상의 값을 가져야 하고, 그렇지 않다면 캐패시턴스(C)는 대략 0.5pF보다 작은 값을 가져야 한다.

상기에서 언급된 바와 같이, 시간 상수(τ)가 캐패시턴스(C)의 값에 비례하 고 트랜지스터의 유동성(μe)의 1/2 승에 반비례하기 때문에, 캐패시턴스(C)가 더 감소되거나 유동성(μe)이 더 증가할 때 시간 상수(τ)는 더 줄어들 수 있고, 그에 의해 고화질 표시 패널을 구동할 수 있다.

유동성 또는 캐패시턴스 값을 실현하는 트랜지스터의 구조는 특별히 제한되지 않는다 하더라도, 예를 들면, 절연기판상에 형성된 연속적인 결정 경계를 갖는 폴리실리콘 MOS 트랜지스터 또는 단결정 실리콘 기판상에 형성된 MOS 트랜지스터는 상기의 조건을 만족시킬 수 있어 이것이 사용되는 것이 바람직하다.

<전류 구동장치의 제 2 실시예>

도 6은 본 발명에 따른 전류 구동장치의 제 2 실시예를 도시한 주요 구조도이다. 여기서, 동일하거나 상응하는 참조번호는 상기에서 언급된 제 1 실시예의 그것에 상응하는 구조를 지시하고, 이로 인해 그것들에 대한 설명이 단순화되거나 생략된다.

제 2 실시예에 따른 전류 구동장치는, 부하가 연결된 출력단자에 대응하는 한 쌍의 전류 저장부를 포함하고, 일측의 전류 저장부에 의해 단일의 전류 생성회로로부터 인가되는 소정의 전류값을 갖는 전류를 순차적으로 패치하고 대응하는 전압성분을 유지하는 동작 및 출력단자를 통해 타측의 전류 저장부에 이미 유지되어 있는 전압성분에 기초하여 전류를 동시에 출력하는 동작을 병행하여 수행하도록 구성된다.

도 6에 도시된 바와 같이, 본 실시예에 따른 전류 구동장치는, 부하의 구동상태에 따른 소정의 값을 갖는 동작전류(Ic)를 순차적으로 생성 및 출력하는 단일 의 전류 생성회로(10B); 각 출력단자(Tout)에 대응하는 병렬의 한 쌍으로 구비되고, 개별 타이밍에 따라 전류 생성회로(10B)로부터 인가되는 동작전류(Ic)를 선택적으로 패치하여 대응하는 전압성분을 유지하는 한 쌍의 전류 저장부(31a, 31b)를 각각 포함하는 복수의 전류 저장회로(30B); 전류 저장회로(30B)를 구성하는 전류 저장부(31a, 31b)에 따라 한 쌍으로 구비되고 전류 생성회로(10B)로부터 공급되는 동작전류(Ic)를 각각의 전류 저장부(31a, 31b)로 인가하는 시간을 설정하는 쉬프트 레지스터(20B)(쉬프트 레지스터부(21a, 21b)); 전류 저장회로(30B)를 구성하는 전류 저장부(31a, 31b)에 따라 한 쌍으로 구비되고 각 쉬프트 레지스터부(21a, 21b)에 의해 설정되는 개별적인 시간에 기초하여 전류 생성회로(10B)로부터 각 전류 저장회로(30B)로 동작전류(Ic)의 인가상태를 제어하는 스위치(41a, 41b)를 갖는 복수의 입력측 스위치 회로(40B); 및 각각이 각 출력단자(Tout)에 대응하여 구비되고, 소정의 출력 선택신호(SEL)에 기초하여 전류 저장부(31a, 31b) 중 어느 것을 선택하여 각 출력단자(Tout)로 전류 저장부(31a, 31b)에 유지된 전류의 출력상태를 제어하는 복수의 출력측 스위치 회로(50B);를 포함한다.

전류 생성회로(10B), 쉬프트 레지스터(20B)(쉬프트 레지스터부(21a, 21b)), 전류 저장회로(30B)(전류 저장부(31a, 31b) 및 입력측 스위치 회로(40B)는 상기에서 언급된 제 1 실시예에서와 상응하는 구조를 갖도록 결정되므로 그에 대한 상세한 설명은 생략한다.

여기서, 제 1쉬프트 레지스터부(21a)는, 각 출력단자(Tout)에 따라 구비되는 전류 저장회로(30B)에서 제 1 전류 저장부(31a)에 따라 구비되는 제 1 스위치(41a) 로 소정의 타이밍에 따른 스위치 변경신호(SR1)로서 쉬프트 출력을 순차적으로 출력한다. 반면에, 제 2 쉬프트 레지스터부(21b)는, 쉬프트 레지스터부(21a)로부터의 쉬프트 출력의 타이밍과 겹치지 않는 타이밍으로 때를 맞춰 각 출력단자(Tout)에 따라 구비되는 전류 저장회로(30B)에서 제 2전류 저장부(31b)에 따라 구비되는 제 1 스위치(41a)로 소정 타이밍에 따른 스위치 변경신호(SR2)로서 쉬프트 출력을 순차적으로 출력한다.

더구나, 출력측 스위치 회로(50B)는, 도시되지 않은 제어부로부터 출력되는 출력 선택신호(SEL)에 기초하여 쉬프트 레지스터부(21a, 21b)부터의 스위치 변경 신호(SR1, SR2)의 출력 타이밍과 동시성을 가지며, 입력측 스위치 회로(40B)에서 온-동작을 수행하고 있지 않은 스위치가 전류 저장부(선택되지 않은 전류 저장부 측)를 선택하도록 동작한다.

이러한 구조를 갖는 전류 구동장치에 있어서, 제 1동작주기(제 1전류 저장부(31a) 측상의 전류 기록주기/제 2전류 저장부(31b) 측상의 전류 출력주기)에서, 제 1 쉬프트 레지스터부(21a)로부터의 스위치 변경 신호(SR1)이 각 전류 저장회로(30B)의 전류 저장부(31a)에 따라 구비되는 각 스위치(41a)로 순차적으로 출력될 때, 각 스위치(41a)는 소정의 주기에서만 온-동작을 순차적으로 실행하고, 전류 생성회로(10B)로부터 인가되는 동작전류(Ic)에 대응하는 전하는 전압성분으로서 각 전류 저장부(31a)에 순차적으로 기록된다. 이 때, 스위치 변경신호(SR2)는 제 2쉬프트 레지스터부(21b)로부터 출력되지 않고, 모든 스위치(41b)는 오프-상태에 있다.

또한, 이 때, 각 출력단자(Tout)에 따라 구비되는 출력측 스위치 회로(50B)를 전류 저장부(31b) 측으로 변경 및 설정하는 출력 선택신호(SEL)는 공통으로 출력되고, 출력가능신호(EN2)는 소정의 타이밍에 따라 모든 전류 저장부(31b)에 공통으로 출력된다. 이로써, 각 전류 저장부(31b)에 이미 유지되어 있는 전하에 기초한 전류는 구동전류(Idv)로서 동일한 타이밍에 따라 각 출력단자(Tout)를 통해 각 부하로 동시에 출력된다.

다음에, 제 1동작주기의 종료 이후 설정되는 제 2동작주기(제 1전류 저장부(31a)측 상의 전류 출력주기/제 2전류 저장부(31b)측 상의 전류 기록주기)에서, 제 2쉬프트 레지스터부(21b)로부터의 스위치 변경신호(SR2)가 각 전류 저장회로(30B)의 전류 저장부(31b)에 따라 구비되는 각 스위치(41b)에 순차적으로 출력될 때, 각 스위치(41b)는 소정의 기간에만 온-동작을 순차적으로 수행하고, 전류 생성회로(10B)로부터 인가되는 동작전류(Ic)에 대응하는 전하는 전압성분으로서 각 전류 저장부(31b)에 순차적으로 기록된다. 이 때, 스위치 변경 신호(SR1)는 쉬프트 레지스터부(21a)로부터 출력되지 않고, 모든 스위치(41a)는 오프-상태에 있다.

또한, 이 때, 출력측 스위치 회로(50B)를 전류 저장부(31a) 측으로 변경 및 설정하는데 사용되는 출력 선택신호(SEL)는 제어부로부터 공통으로 출력되고, 출력가능신호(EN1)는 소정의 타이밍에 따라 모든 전류 저장부(31a)로 공통으로 출력된다. 이로써, 제 1동작주기에서 각 전류 저장부(31a)에 유지된 전하에 기초한 전류는 구동전류(Idv)로서 동일한 타이밍에 따라 각 출력단자(Tout)를 통해 각 부하로 동시에 출력된다.

소정의 동작주기에 따라 반복되도록 하기 위하여 이러한 제 1 및 제 2동작주기를 제어함으로써, 한 쌍의 전류 저장부(31a, 31b)중 하나에 전류 생성회로(10B)로부터 출력되는 동작전류(Ic)에 대응하는 전하를 유지하기 위한 동작 및 구동전류(Idv)로서 다른 전류 저장부에 유지되는 전하에 기초한 전하를 출력하기 위한 동작은 병행하여 선택적으로 수행된다.

그러므로, 본 실시예의 전류 구동장치에 따라, 상기에서 언급된 제 1 실시예와 유사하게, 단일의 전류 생성회로로부터 출력되는 동작전류는 각 전류 저장회로(전류 저장부)에 순차적으로 패치 및 유지되고, 동시에 소정 타이밍에 따라 출력된다. 이로써, 단일의 전류원으로부터 인가되는 일정한 전류 특성을 가진 전류는 각 출력단자에 대응하여 유지될 수 있고, 각 출력단자 사이의 구동전류에서의 불규칙성은 억제될 수 있다. 더구나, 한 쌍의 전류 저장부는 각 출력단자에 따라 구비되고, 하나의 전류 저장부 측 상의 전류 생성회로로부터 출력되는 전류에 대응하는 전하를 순차적으로 기록하기 위한 동작 및 다른 전류 저장부측 상에 유지되는 전하에 기초한 전류를 동시에 출력하기 위한 동작이 병행하여 수행된다. 이로써, 전류 저장부에 대한 전류 기록동작을 위한 대기 시간은 감소되거나 제거될 수 있고, 각 부하로 구동전류를 인가하는 시간은 늘어날 수 있으며, 각 부하의 구동상태는 정교하게 제어될 수 있다. 또한, 동작전류를 각 전류 저장부로 패치하고 그것을 유지하는 시간은 연장될 수 있어 전류 저장부에서의 유지동작을 안정적으로 수행할 수 있다.

<전류 구동장치의 제 3 실시예>

도 7은 본 발명에 따른 전류 구동장치의 제 3 실시예를 도시한 주요 구조도이다. 여기서, 동일하거나 상응하는 참조번

호는 제 1 및 제 2 실시예의 그것에 상응하는 구조를 나타내므로 그들에 대한 설명은 단순화하거나 생략한다.

제 3 실시예에 따른 전류 구동장치는, 부하에 연결된 각 출력단자에 대응하여 직렬로 구비되는 두 단계의 전류 저장부를 갖고, 전단계의 전류 저장부에 의해 단일의 전류 생성회로로부터 인가되는 소정의 전류값을 갖는 전류를 순차적으로 유지하기 위한 동작 및 후단계의 전류 저장부에 의해 전단계의 전류 저장부로부터 인가된 전류를 유지하기 위한 동작을 수행하기 위하여 구성되고 그 다음 출력단자를 통하여 이것을 집합적으로 출력한다.

도 7에 도시된 바와 같이, 본 실시예에 따른 전류 구동장치는, 부하의 구동상태에 따른 소정의 전류값을 갖는 동작전류(Ic)를 순차적으로 생성 및 출력하는 단일의 전류 생성회로(10C); 각 출력단자(Tout)에 대응하여 직렬로 구비되는 전단계의 전류 저장부(32a) 및 후단계의 전류 저장부(32b)를 각각 포함하는 복수의 전류 저장회로(30C); 전류 생성회로(10C)로부터 공급되는 동작전류(Ic)를 전단계의 전류 저장부(32a)에 인가하는 타이밍을 설정하는 쉬프트 레지스터(20C); 및 전류 생성회로(10C)로부터 각 전류 저장회로(30C)로의 동작전류(Ic)의 인가상태를 각각 제어하는 스위치 회로(40C);를 포함한다.

각 전류 생성회로(30C)에서, 전류 생성회로(10B)로부터 인가된 동작전류(Ic)가 소정 타이밍에 따라 전류 저장부(32a)로 패치되고, 대응하는 전압성분이 유지되며, 유지된 전압성분에 기초한 전류가, 도시되지 않은 제어부 또는 회로로부터 공 급되는 제 1 출력가능신호(EN1)에 기초하여 소정 타이밍에 따라 후단계의 전류 저장부(32b)로 인가된다. 이 때, 후단계의 전류 저장부(32b)는 전단계의 전류 저장부(32a)로부터 공급된 전류를 패치하고, 대응하는 전압성분을 유지하며, 제어부로부터 공급된 제 2 출력가능신호(EN2)에 기초한 출력단자(Tout)를 통해 유지된 전압성분에 기초한 전류를 출력한다.

이러한 구성을 갖는 전류 구동장치에 있어서, 제 1동작주기에서, 쉬프트 레지스터(20C)로부터의 스위치 변경신호(SR)는 각 전류 저장회로(30C)에 따라 구비되는 스위치 회로(40C)로 순차적으로 출력된다. 이로써, 스위치 회로(40C)는 소정 주기에서만 온-동작을 순차적으로 수행하고, 전류 생성회로(10C)로부터 인가된 동작전류(Ic)에 대응하는 전하(전압성분)는 전단계의 전류 저장부(32a)에 순차적으로 기록된다.

또한, 이 때, 제 2출력가능신호(EN2)가 제어부로부터 소정 타이밍에 따라 후단계의 모든 전류 저장부(32b)에 공동으로 출력될 때, 각 전류 저장부(32b)에 이미 유지되어 있는 전하에 기초한 전류는 구동전류로서 동일한 타이밍에 따라 각 출력단자(Tout)를 통해 각 부하로 동시에 출력된다.

그 다음, 제 1동작주기의 완료 이후의 소정 타이밍에 따라, 제 1 출력가능신호(EN1)는 제어부로부터 전단계의 전류 저장부(32a)로 공동으로 출력된다. 이로써, 제 1동작주기에서 각 전류 저장부(32a)에 유지된 전류는 후단계의 전류 저장부(32b)에 집합적으로 인가되고 저장된다(인가 동작주기).

다음으로, 전류 저장회로(30C)의 후단계로 전류의 인가 동작의 완료 이후 설 정된 제 2동작주기에서, 상기에서 언급된 제 1동작주기와 유사하게, 쉬프트 레지스터(20C)로부터의 스위치 변경신호(SR)는 각 스위치 회로(40C)에 다시 순차적으로 출력된다. 따라서, 전류 생성회로(10C)로부터 인가된 동작전류(Ic)는 전단계의 전류 저장부(32a)에 순차적으로 기록되고, 이 때, 제 2 출력가능신호(EN2)는 소정 타이밍에 따라 후단계의 전류 저장부(32b)로 공동으로 출력된다. 이로써, 각 전류 저장부(32b)로부터 인가되어 유지된 전류는 구동전류(Idv)로서 각 부하에 출력된다.

소정의 동작 주기에 따라 반복되도록 이러한 일련의 동작주기를 제어함에 의해, 전단계의 전류 저장부(32a)에 전류 생성회로(10C)로부터 입력되는 동작전류(Ic)에 대응하는 전하를 유지하기 위한 동작 및 전단계의 전류 저장부(32a)로부터 공급되고 구동전류(Idv)로서 후단계의 전류 저장부(32b)로부터 인가되는 전류에 기초하여 전류를 출력하기 위한 동작이 병행하여 수행된다.

그러므로, 본 실시예의 전류 구동장치에 따르면, 상기에서 언급된 제 1 실시예와 유사하게, 각 출력단자의 구동전류가 단일의 전류 생성회로로부터 공급된 동작전류에 기초하여 설정되기 때문에, 각 출력단자 사이에서 구동전류의 불규칙성은 억제될 수 있다. 더구나, 상기에서 언급된 제 2 실시예와 유사하게, 각 부하로의 구동전류의 인가시간이 연장될 수 있고, 각 부하의 구동상태는 정교하게 제어될 수 있다. 또한, 전류를 각 전류 저장부로 패치하고 그것을 유지하기 위한 시간은 연장될 수 있어 전류 저장부에서 유지동작을 안정적으로 수행할 수 있다.

<전류 구동장치의 제 4 실시예>

도 8은 본 발명에 따른 전류 구동장치의 제 4 실시예를 도시한 주요 구조도 이다. 여기서, 동일하거나 상응하는 참조번호는 상기에서 언급된 제 1 내지 제 3 실시예의 그것과 동일한 구조를 나타내므로 그것들에 대한 설명은 간소화하거나 생략한다.

상기에서 언급된 제 1 내지 제 3 실시예와 결합하여 서술된 상기 구조에서, 제 4 실시예에 따른 전류 구동장치는, 소

정의 수의 출력단자, 출력단자에 대응하여 구비되는 전류 저장회로, 쉬프트 레지스터 및 스위치 회로를 포함하는 구조를 하나의 그룹으로서 결정하고, 개별적인 반도체 칩상에 각 그룹을 형성하며, 각 그룹(반도체 칩)에 따라 단일의 전류 생성회로를 구비하고, 소정의 전류값을 갖는 전류를 공동으로 인가한다. 다음의 구체적인 예는, 본 발명이 제 2 실시예와 결합하여 설명된 구조에 적용되는 경우로서 묘사된다 하더라도, 이것이 어떤 다른 실시예에도 단순하게 적용될 수 있음이 이해되어야 한다.

도 8에 도시된 바와 같이, 본 실시예에 따른 전류 구동장치는, 예를 들면, 제 2 실시예와 결합하여 설명된 구조(도 6을 참조)에 상응하는 소정의 수의 출력단자(Tout); 출력단자(Tout)에 대응하여 구비되는 복수의 전류 저장회로(30D)(전류 저장부(33a, 33b)); 쉬프트 레지스터(20D)(쉬프트 레지스터부(23a, 23b)); 복수의 출력측 스위치 회로(50D)를 갖는 회로구성이 각각 형성되는 복수의 반도체 칩(CP1, CP2, …, CPn); 및 반도체 칩(CP1, CP2, …, CPn) 각각에 관하여 각 출력단자(Tout)에 연결된 부하의 구동상태에 따른 소정의 전류값을 갖는 동작전류(Ic)를 순차적으로 발생시키고 이것을 공동으로 인가하는 단일의 전류 생성회로(10D);를 포함한다. 여기서, 전류 생성회로(10D), 쉬프트 레지스터(20D)(쉬 프트 레지스터부(23a, 23b)), 전류 저장회로(30D)(전류 저장부(33a, 33b)), 입력측 스위치 회로(40D)(스위치(43a, 43b)) 및 출력측 스위치 회로(50D)는, 예를 들면, 상기에서 언급된 제 2 실시예의 그것들에 상응하는 구조를 가지므로 그것들에 대한 상세한 설명은 생략한다.

여기서, 전류 생성회로(10D)는, 전류 저장회로(30D)를 포함하는 회로 구성을 각각 갖는 복수의 반도체 칩(CP1, CP2, …, CPn)중 특정한 반도체 칩 상에 형성될 수도 있다. 그 대신에, 동일한 회로가 반도체 칩(CP1, CP2, …, CPn) 각각에 형성될 수도 있고, 그들 중의 어느 하나는 다른 반도체 칩이 비-동작 상태로 진입하거나 바이패스되는 것을 유발하도록 사용될 수도 있다. 더구나, 전류 생성회로(10D)는 복수의 반도체 칩(CP1, CP2, …, CPn)과 다른 반도체 칩 상에 형성될 수도 있다.

본 실시예에 적용되는 반도체 칩(CP1, CP2, …, CPn) 각각은 단결정 실리콘과 같은 반도체 물질로 구성되나, 이것의 물질은 특별하게 한정되지는 않는다.

이러한 구조를 갖는 전류 구동장치에서, 상기에서 언급된 제 2 실시예의 그것과 유사한 동작을 수행함에 의해, 전류 생성회로(10D)로부터 출력된 동작전류(Ic)는 각각의 반도체 칩(CP1, CP2, …, CPn)에 공동으로 인가되고, 이것은 반도체 칩(CP1, CP2, …, CPn) 각각에 대응하여 구비되는 전류 저장회로(30D)에 한 쌍의 전류 저장부(33a, 33b)중 하나로 순차적으로 패치되며, 대응하는 전압성분이 유지된다. 더구나, 다른 전류 저장부에 유지된 전압성분에 기초한 전류는, 각각의 반도체 칩(CP1, CP2, …, CPn)의 각각의 출력단자(Tout)를 통해 대응하는 부하 로 동시에 출력된다. 이러한 동작은 선택적으로 그리고 연속적으로 수행된다.

그러므로, 본 실시예의 전류 구동장치에 따르면, 오직 단일의 전류 생성회로만이 반도체 칩에 관해 구비되고, 개별적인 전류 회로가 각각의 반도체 칩에 대응하여 구비되지는 않는다. 따라서, 각 반도체 칩 상에 형성된 회로 구성은 단순화되고, 단자의 수는 감소될 수 있어 장치 크기의 최소화를 달성하거나 제품 가격을 낮출 수 있다. 더구나, 복수의 반도체 칩이 부하에 연결된 출력단자의 수에 대응하여 구비된다 하더라도, 단일의 전류원으로부터 인가되는 일정한 전류 특성을 갖는 전류는 각 반도체 칩에 있는 전류 저장회로에 저장될 수 있기 때문에, 각 출력단자 사이 및 각 반도체 칩 사이의 구동전류의 불규칙성은 억제될 수 있어 각 부하를 획일적인 동작특성에 따라 구동할 수 있다.

특히, 이하에서 언급될 표시 패널(도 15를 참조)에서, 고화질의 표시 화질 및/또는 표시 패널의 큰 화면을 실현하기 위하여 표시 패널의 수가 감소되고 데이터 구동부가 복수의 구동칩(반도체 칩)으로 구성된다 하더라도, 단일의 전류 생성회로로부터 각 구동 칩상에 형성된 전류 저장회로로 출력되는 표시 데이터에 따른 소정의 전류를 순차적으로 인가하고 소정 타이밍에 따라 발광 구동전류(구동전류)를 각 발광소자로 순차적으로 공급하기 위한 동작을 각 행에 대해 순차적으로 반복함에 의해, 표시 패널의 하나의 화면을 위한 표시 데이터는 각 표시 픽셀에 기록될 수 있고 발광 동작은 소정의 휘도 계조로 수행될 수 있다. 그러므로, 고화질 및 대화면 크기의 데이터 정보가 표시 불규칙성의 발생을 억제하면서 훌륭하게 표시될 수 있다.

<전류 구동장치의 제 5 실시예>

도 9는 본 발명에 따른 전류 구동장치의 제 5 실시예를 도시한 주요 구조도이다. 여기서, 동일하거나 상응하는 참조번호는 상기에서 언급된 제 1 내지 제 4 실시예의 그것과 동일한 구조를 나타내므로 그것들에 대한 설명은 간소화하거나 생략한다.

본 실시예에 따른 전류 구동장치는, 예를 들면, 단순한 행렬형 표시 패널(도 2를 보라)의 구동에 적용되는 것이 바람직하고, 이것은 고정된 전류를 갖는 전류를 인가하여 펄스폭 변조(PWM) 구동모드를 수행함에 의해 원하는 이미지를 표시하는 구동모드로 적용되고 각 출력단자로부터 각 표시소자(부하)로 데이터를 표시함에 따라 인가시간(펄스폭)으로 설정될 수 있다.

본 실시예에 따른 전류 구동장치는 복수의 반도체 칩을 갖고, 예를 들면, 소정의 수의 출력단자, 출력단자에 따라 구비되는 전류 저장회로, 쉬프트 레지스터 및 제 4 실시예에 따라 언급된 스위치 회로를 포함하는 하나의 그룹과 같은 방식의 회로 구성을 포함하며, 각 단일의 입력 전류 저장회로가 이러한 회로 구성의 입력부로 구비되는 구조를 가진다. 이로써, 고정 전류를 반도체 칩 상의 각 입력단자를 위한 전류 저장회로로 패치하기 위한 동작은 병렬의 각각의 반도체 칩 상에서 동시에 수행될 수 있다. 다음의 구체적인 예에서, 본 발명이 제 4 실시예와 결합하여 설명된 구조에 적용되는 경우로서 설명된다 하더라도, 이것은 다른 실시예에도 유사하게 적용될 수 있다.

도 9에 도시된 바와 같이, 본 실시예에 따른 전류 구동장치는, 예를 들면, 제 4 실시예와 결합하여 언급된 구조에 상응하고, 소정 수의 출력단자(Tout), 출력단자(Tout)에 대응하여 구비되는 복수의 전류 저장회로(30E)(전류 저장부(34a, 34b)), 쉬프트 레지스터(20E)(쉬프트 레지스터부(24a, 24b)), 복수의 입력측 스위치 회로(40E)(스위치(44a, 44b)) 및 복수의 출력측 스위치 회로(50E)를 갖는 회로 구성을 포함한다. 더구나, 이러한 장치는, 회로 구성의 전단계 상에 형성되는 도시되지 않은 쉬프트 레지스터 또는 제어부로부터의 쉬프트 출력(스위치 변경신호)에 기초하여, 즉, 전류 생성회로(10E)로부터 출력된 동작전류(Ic)가 인가되는 입력부에서 온/오프-동작을 수행하는 입력 스위치 회로(60E) 및 전류 생성회로(10E)로부터 출력된 동작전류(Ic)를 패치 및 유지하는 입력 전류 저장회로(70E)를 각각 갖는 복수의 반도체 칩(CP1, CP2, …, CPn); 및 소정 동작전류(Ic)를 각각의 반도체 칩(CP1, CP2, …, CPn)에 공통으로 인가시키는 단일의 전류 생성회로(10E);를 포함한다.

본 실시예에 적용되는 전류 생성회로(10E), 쉬프트 레지스터(20E)(쉬프트 레지스터부(24a, 24b)), 전류 저장회로(30E)(전류저장부(34a, 34b)), 입력측 스위치회로(40E)(스위치(44a, 44b)) 및 출력측 스위치회로(50E)는 앞서 언급한 제 4 실시예의 그것들과 대등한 구조를 갖고, 따라서, 상세한 설명을 생략한다.

여기서, 각 반도체 스위치(CP1, CP2,..., CPn)에 구비된 입력 스위치회로(60E)는 미도시된 쉬프트 레지스터(또는 제어부)로부터 순차적으로 출력되는 쉬프트 출력(스위치 체인지 오버 신호)에 기초하여 온 동작을 수행하고, 동작전류를 각각의 반도체 칩(CP1, CP2,..., CPn)에 공급하기 위하여 전류생성회로(10E)로부터 출력된 동작전류(Ic)를 기록상태로 설정하며, 그리고 동작전류(Ic)가 입력전류 저장회로(70E)내로 패치되어져 유지되는 방식으로 제어된다.

입력전류 저장회로(70E)는 앞서 언급한 제 1 실시예의 전류저장회로의 그것과 대등한 구조를 가지며, 입력 스위치회로(60E)가 온-상태로 들어가는 소정의 타이밍을 갖고 전류생성회로(10E)로부터 출력된 동작전류(Ic)를 패치하고, 대응 전압성분을 유지하며, 그리고 미도시된 제어부로부터 출력되는 출력 기동신호에 기초하여 각 반도체 칩내에서 유지된 전압성분에 기초한 동작전류(Ic)를 입력측 스위치회로(40E)(스위치(44a, 44b)중 어느 하나)를 통해 전류저장회로(30E) (전류저장부(34a, 34b)중 어느 하나)로 출력한다.

이와 같은 구조를 갖는 전류구동장치에서, 전류생성회로(10E)로부터 출력되고 소정의 전류값을 갖는 동작전류(Ic)가 각 반도체 칩(CP1, CP2,..., CPn)에 공통적으로 인가되고, 이것은 소정의 타이밍을 갖는 각 반도체 칩(CP1, CP2,..., CPn)에 따라 구비된 입력 스위치회로(60E)를 통해 입력전류 저장회로(70E)내로 순차적으로 패치되며, 그리고 대응하는 전압성분이 유지된다.

제 1 동작주기에서, 입력전류 저장회로(70E)내에 유지된 전압성분에 기초한 전류는 각각의 반도체 칩(CP1, CP2,..., CPn)내에서 공통인 입력측 스위치회로(40E)내의 한 스위치(예를 들어, 제 1 스위치(44a))를 통해 전류저장회로(30E)의 한 저장부(예를 들어, 제 1 전류저장부(34a))에 인가되고, 대응 전압성분은 유지된다. 이러한 순간에, 전류저장회로(30E)내의 나머지 하나인 저장부내에 이미 유지되어졌던 전압성분에 기초한 전류가 구동전류(Idv)로서 각 출력단자(Tout)에 동시에 출력된다.

그 후, 제 1 동작주기의 달성후 소정의 타이밍으로 전류생성회로(10E)로부터 출력된 동작전류(Ic)는 소정의 타이밍으로 다시 각각의 반도체 칩(CP1, CP2,..., CPn)에 따라 구비되는 입력 스위치회로(60E)를 통해 입력전류 저장회로(70E) 내로 순차적으로 배치되어 유지된다.

그 다음, 제 1 동작주기의 달성후, 입력전류 저장회로(70E)내로의 동작전류(Ic)의 패치 및 유지동작의 종료후 설정되는 제 2 동작주기내에서, 전술한 제 1 동작주기와 같이, 입력전류 저장회로(70E)내에 유지된 전압성분에 기초한 전류가 병렬적인 각 반도체 칩(CP1, CP2,..., CPn)내에서, 입력측 스위치회로(40E)(예를 들어, 스위치(44b))내의 나머지 다른 하나의 스위치를 통해 전류저장회로(30E)(예를 들어, 전류저장부(34b))내의 나머지 다른 하나의 저장부에 인가되고, 그리고 대응 전압성분이 유지된다. 더욱이, 이러한 순간에 제 1 동작주기에서 전류저장회로(30E)(예를 들어, 전류저장부(34a))내의 하나의 저장부내에 유지된 전압성분에 기초한 전류가 구동전류(Idv)로서 각각의 출력단자(Tout)에 동시에 출력된다.

소정의 동작주기에 따른 일련의 동작주기를 반복적으로 설정함으로서, 입력부에서 입력전류 저장회로(70E)내의 전류생성회로(10C)로부터 출력된 동작전류(Ic)를 순차적으로 유지하고, 후단계상의 전류저장회로(30E)로 인가하고 그리고 전류저장회로(30E)내의 한 저장부내로 패치하는 동작 및 나머지 다른 하나의 저장부내에 유지된 전류를 구동전

류(Idv)로서 각 출력단자(Tout)에 동시에 출력하는 동작은 교대로 그리고 연속적으로 실행된다.

따라서, 본 실시예의 전류 구동장치에 따르면, 단일 전류 생성으로부터 출력된 전류는 각 반도체 칩에 따라 구비되는 입력전류 저장회로내에 순차적으로 패치되고, 그 다음, 각 반도체 칩에서 병렬인 각 출력단자에 따라 구비된 후단계상에서 전류저장회로내에 패치되고 유지되며, 그리고 이것은 소정의 타이밍을 갖고 집합적으로 출력된다. 그 결과 각 출력단자들 사이의 구동전류 불균일성이 억제될 수 있고, 그리고 각 반도체 칩의 출력단자에 대응하여 전류를 전류저장회로 내부로 패치하는 동작이 병렬인 각 반도체 칩 사이에서 수행된다. 따라서, 각 전류저장회로에서 전류를 패치하고 유지하는데 필요한 시간은 연장될 수 있고, 이로서 전류저장부내에서 유지동작이 안정적으로 이루어진다.

여기서, 본 실시예에서, 각 반도체 칩(CP1, CP2,..., CPn)에 따라 구비된 입력전류 저장회로(70E)에 의해 패치되고 유지되는 동작전류(Ic)는 각 반도체 칩(CP1, CP2,..., CPn)에 구비된 복수의 전류저장회로(30E) 내에 패치되어지고 유지되며, 그리고 소정의 타이밍을 갖고 동시에 각 출력단자(Tout)로부터 출력된다. 각 출력단자(Tout)를 통해 각 부하에 인가되는 구동전류(Idv)는 각 타이밍에 동일한 전류값을 갖는 변치않는 전류가 된다. 더욱이, 예를 들어 도 9에 도시된 바와 같이 본 실시예에 따른 전류구동장치를 이용하여 펄스폭 변조(PWM)의 구동을 수행하기 위하여, 표시 데이터(IN)가 각 출력단자(Tout)와 표시소자(부하) 사이에 인가되고 그리고 각 부하에 인가되는 전류 인가시간이 표시 데이터에 따라 제어되는 PWM 제어회로(65E)를 부가함으로서, 각 부하는 펄스폭 변조(PWM)에 의해 동작될 수 있다. 이러한 PWM 제어회로(65E)는 각 반도체 칩(CP1, CP2,..., CPn)에 전기적으로 연결되기 위하여 각 반도체 칩(CP1, CP2,..., CPn)내에 일체로 형성되거나 각 반도체 칩들과 별개인 별도의 반도체 칩상에 형성될 수 있다.

즉, 추후 설명될 단순 행렬형 표시 패널(도 20 참조)에서, 일정한 전류 특성을 갖고 그리고 소정의 표시주기 내에서 발광소자(부하)에 대해 데이터 구동부로 구성된 구동칩(반도체 칩들)의 모든 각 출력단자로부터의 각 표시 데이터에 따라 인가시간(펄스폭)에 대해 변치않는 전류 셋트로 구성된 발광 구동전류(구동전류)를 각 행에 대해 공급하기 위한 동작을 순차적으로 반복함으로서, 표시패널의 한 스크린에 대한 표시 데이터는 각 표시 픽셀에 쓰여질 수 있고, 발광동작은 소정의 휘도 계조로 수행될 수 있다. 따라서, 표시 불균일성의 발생을 억제하면서 원하는 이미지 정보를 훌륭하게 표시할 수 있다.

<전류 구동장치의 제 6 실시예>

도 10은 본 발명에 따른 전류 구동장치의 제 6 실시예를 도시한 주요 구성도이다. 여기서, 같거나 대등한 참조번호는 전술한 제 1 내지 제 5 실시예의 그것과 대등한 구조를 표시하고, 이로서, 그들에 관한 설명을 줄이거나 생략한다.

전술한 제 5 실시예와 관련하여 설명된 구조에서, 제 6 실시예에 따른 전류구동장치는 각 반도체 칩에 따라 구비된 입력전류 저장회로가 병렬로 구비된 한 쌍의 전류저장부를 갖는 구조를 갖는다. 이하의 구체적인 실시예에서, 비록 본 발명이 제 5 실시예와 관련하여 설명된 구조에 적용되는 경우에 대해 설명이 주어지겠 지만, 이는 다른 실시예에도 유사하게 적용될 수 있다.

특히, 도 10에 도시된 바와 같이, 제 5 실시예(도 9 참조)에서, 이 실시예에 따른 전류구동장치는 각 반도체 칩(CP1, CP2,..., CPn)의 입력부에 구비된 입력전류 저장회로(70F)가 상호 병렬로 배치된 한 쌍의 전류저장부(71a, 71b)를 포함하는 구조를 갖고, 그리고 전류저장부(71a, 71b)중 하나에 선택적으로 연결하는데 사용되는 개별 스위치회로(60F, 80F)는 입력전류 저장회로(70F)의 입력측 및 출력측상에 구비된다. 이 실시예에 적용되는 그 밖의 다른 구조는 전술한 제 5 실시예의 그것과 대등한 구조를 갖고, 이로서 상세한 구조를 생략한다.

이와 같은 구조를 갖는 전류 구동장치에서, 전류생성회로(10F)로부터 출력된 동작전류(Ic)는 각각의 반도체 칩(CP1, CP2,..., CPn)에 공통적으로 인가되고, 그리고 이것은 각 반도체 칩(CP1, CP2,..., CPn)의 입력부에 구비된 스위치 회로(60F, 80F)에 인가된다. 그 결과로, 동작전류를 전류저장회로(70F)의 한 쌍의 전류저장부(71a, 72b)중 하나에 순차적으로 패치하고 그리고 대응 전압성분을 유지하는 동작 및 벌써 타측에 유지되어졌던 전압성분에 기초한 동작전류(Ic)를 후단계상의 복수의 전류저장회로(30F)에 인가하는 동작이 교대로 그리고 연속적으로 병렬 실행된다.

후단계상의 복수의 전류저장회로(30F)에서, 입력전류 저장회로(70F)로부터 공급된 동작전류(Ic)를 소정의 타이밍으로 전류저장부(35a, 35b)들중 하나에 순차적으로 패치하는 동작 및 타측상에 유지된 전압성분에 기초하여 출력단자를 통해 전류를 집합적으로 출력하는 동작이 교대로 그리고 연속적으로 병렬 실행된다.

따라서, 본 실시예의 전류구동장치에 따르면, 단일 전류생성회로로부터 출력된 전류가 각 반도체 칩에 따라 구비된 입력전류 저장회로중 하나의 입력 전류저장부내에 순차적으로 쓰여지는 상태에서, 나머지 다른 입력 전류저장부내에 유지된 전류가 각 출력단자에 따라 구비된 전류저장부내로 인가되어 패치되고 유지된다. 따라서, 각 입력전류 저장부내의 전류를 패치하고 유지하는데 필요한 시간은 연장될 수 있고, 입력전류 저장부내의 유지동작은 안정적으로 수행될 수 있다. 더욱이, 각 반도체 칩에 전류를 쓰는 동작의 대기시간은 감소되거나 생략될 수 있기 때문에, 부하로의 구동전류 공급시간은 연장될 수 있고 따라서 구동상태를 정밀하게 제어한다.

본 실시예에서, 전술한 제 5 실시예에서와 같이, 각 출력단자를 통해 각 부하에 인가되는 구동전류(Idv)는 각 타이밍에서 동일한 전류값을 갖는 변치않는 전류가 된다. 더욱이, 제 5 실시예와 같이, PMW 제어회로(60F)를 구비하고, 펄스폭 변조(PWM) 구동모드를 적용하고 그리고 각 부하에 대한 일정 전류의 공급시간(펄스폭)을 조정함으로서, 각 부하는 원하는 구동상태에서 동작되어질 수 있다.

<전류구동장치의 제 7 실시예>

도 11은 본 발명에 따른 전류구동장치의 제 7 실시예를 보여주는 주요부의 구조도이다. 여기서 동일 또는 동등한 참조부호는 제 1 내지 제 6 실시예에서의 참조부호와 동등한 구조를 나타내고, 그에 따라 설명을 단순화하거나 생략한다.

제 6 실시예에 따른 전류구동장치는 서로 다른 가중치를 갖도록 설정된 전류값을 갖는 기준전류를 발생하고 출력하는 복수의 기준전류 발생부들을 포함하는 단 일의 기준전류 발생회로로부터 공급된 복수의 기준전류들이 기준전류에 따라 구비된 복수의 기준전류 저장부들에 개별적으로 유지되고 부하의 구동상태에 따라 소정의 전류가 소정 수의 디지털 입력신호들에 기초하여 순차적으로 발생되는 구조를 갖는다.

도 11에 도시된 바와 같이, 본 실시예에 따른 전류구동장치는 예를 들어 1:2:4:8의 가중치가 설정된 기준전류(I1, I2, I4 및 I8)를 개별적으로 발생하고 출력하는 4개의 기준전류발생부들(11a 내지 11d)을 포함하는 기준전류발생회로(10G); 기준전류발생회로(10G)로부터 공급된 각 기준전류들(I1, I2, I4 및 I8)을 병렬로 기준전류저장회로(90G)에 집합적으로 공급하는 타이밍을 설정하는 쉬프트 레지스터(SFR); 기준전류발생회로(10G)로부터 공급된 기준전류들(I1, I2, I4 및 I8)을 개별적으로 패치하고 유지하는 복수의 기준전류저장부들(91a 내지 91d)을 각각 갖는 전류저장회로(90G); 소정의 타이밍으로 쉬프트 레지스터(SFR)로부터 출력된 스위치 변경 신호(쉬프트 출력)에 의해 설정된 타이밍에 기초하여 기준전류발생회로(10G)(기준전류발생부(11a 내지 11d))로부터 기준전류저장회로(90G)로 공급되는 기준전류들(I1, I2, I4 및 I8)의 공급 상태를 각각 제어하는 입력측 스위치 회로(SWA); 기준전류저장회로(90G)를 구성하는 기준전류저장부(91a 내지 91d)에서 임의의 기준전류저장부를 선택하고, 선택된 기준전류저장부에 유지된 기준전류를 결합(부가)하고 부하의 구동상태에 대응하는 소정의 전류값을 갖는 전류(Is)를 발생하는 출력측 스위치 회로(계조전류 발생회로)(SWB); 각 출력 단자(Tout)에 따라 제공되고 개별적인 타이밍으로 출력측 스위치 회로(SWB)에 의해 발생된 전류(Is)를 패치하고 유지하는 복수의 전류저장회로(30G); 전류저장회로(30G)에 따라 제공되고 도시되지 않은 쉬프트 레지스터(특히, 이것은 도1에 도시된 쉬프트 레지스터와 동등하다)에 의해 설정된 타이밍에 기초하여 출력측 스위치 회로(SWB)로부터 각 전류저장회로(30G)에 공급되는 전류(Is)의 공급 상태를 제어하는 복수의 스위치 회로(40G)를 포함한다.

본 실시예에서, 기준전류발생회로(10G), 기준전류저장회로(90G), 입력측 스위치 회로(SWA) 및 출력측 스위치 회로(SWB)를 갖는 구조는 각 부하의 구동 상태에 따라 소정의 값을 갖는 전류(Is)를 발생하고 출력하는 전류발생회로로서의 기능을 갖는다. 전류저장회로(30G)와 스위치 회로(40G)를 갖는 구조는 전술한 실시예들과 관련하여 설명된 전류저장회로로서의 기능을 갖는다.

본 실시예에 따른 전류구동장치에 있어서, 소정 수의 출력 단자(Tout), 출력 단자(Tout)에 따라 각각 구비된 전류저장회로(30G), 입력측 스위치 회로(40G), 전류저장회로(30G)에 공급되는 소정의 전류(Is)를 발생하는 기준전류저장회로(90G) 및 입력측과 출력측 스위치 회로(SWA, SWB)를 포함하는 구조는 각 그룹으로 결정되고, 각 그룹은 각 반도체 칩(CP1, CP3, ...CPn) 상에 형성된다. 더욱이, 단일의 기준전류발생회로(10G)는 기준전류발생회로(10G)로부터 출력된 기준전류(I1, I2, I4 및 I8)가 공통적으로 공급되는 방식으로 그룹들(반도체 칩들)에 대하여 설치된다.

기준전류발생부(11a 내지 11d)는 전술한 실시예에 따라 설명된 전류발생회로와 동등한 회로구조(도 2 참조)를 갖고, 기준전류발생부(11a 내지 11d)에 의해 발생된 기준전류의 전류값의 비가, 예를 들어, 1:2:4:8이 되는 방식으로 회로구성을 적절하게 설계함으로써 얻어진 구조를 적용하는 것이 가능하다. 본 실시예에 적용된 쉬프트 레지스터(SFR), 기준전류저장회로(90G)(기준전류저장부(91a 내지 91d)) 그리고 입력측 스위치 회로(SWA)는 전술한 실시예들과 관련하여 설명된 것들과 균등한 구조를 갖고, 따라서 상세한 설명을 생략하는 점에 유의할 필요가 있다.

상기한 구조를 갖는 전류구동장치에 있어서, 기준전류 발생기간 동안에, 기준전류발생회로(10G)를 구성하는 기준전류발생부(11a 내지 11d)에 의해 전류값이 1:2:4:8의 가중치를 갖도록 정해진 기준전류(I1, I2, I4 및 I8)가 발생되고 출력되며, 쉬프트 레지스터(SFR)로부터 순차적으로 출력된 스위치 변경신호(SRs)가 각 입력측 스위치 회로(SWA)에 순적적으로 제공된다. 그 결과, 스위치 회로(SWA)는 단지 소정의 기간 동안만 서로 다른 타이밍으로 온-동작을 순차적으로 수행하고, 기준전류발생회로(10G)로부터 출력된 기준전류(I1, I2, I4 및 I8)는 기준전류저장부(91a 내지 91d)에 동시에 공급되고, 대응하는 전압성분은 각 기준전류저장부에 개별적으로 유지된다.

그 후, 전류출력 기간동안에, 쉬프트 레지스터(SFR)로부터 스위치 변경 신호(SRs)의 출력이 완료되고, 모든 입력측 스위치 회로(SWA)는 오프-동작을 실행하고, 기준전류(I1, I2, I4 및 I8)에 대응하는 전압성분은 모든 기준전류저장회

로(90G)에 유지된다. 그 후, 출력가능신호(ENs)가 도시되지 않은 제어부 또는 회로로부터 공통으로 기준전류저장부(91a 내지 91d)에 제공되고, 디지털 입력신호(IN1 내지 IN4)가 기준전류저장부(91a 내지 91d)에 개별적으로 구비된 출력측 스위치 회로(SWB)에 제공된다. 그 결과, 예를 들어, 고레벨 디지털 입력신호(IN1 내지 IN4)가 제공되는 출력측 스위치 회로(SWB)에만 온-동작이 수행되고, 유지된 전압성분에 기초한 기준전류는 선택적으로 출력되고, 이 기준전류는 결합(부가)된다. 그 결과, 디지털 입력 신호(IN1 내지 IN4)의 신호 레벨에 대응하는 전류값을 갖는 전류(Is)가 발생한다.

그 후, 전류 기록 기간동안에, 도시되지 않은 쉬프트 레지스터로부터의 스위치 변경 신호(SR)가 스위치 회로(40G)에 순차적으로 출력된다. 그 결과, 스위치 회로(40G)는 소정의 기간 동안만 온-동작을 순차적으로 수행하고, 출력측 스위치 회로(SWB)를 통해 기준전류저장회로(90G)로부터 공급된 전류(Is)는 전류저장회로(30G)로 순차적으로 공급되고 패치되며, 대응하는 전압성분은 유지된다.

그 후, 구동전류 출력기간동안에, 출력가능신호(EN)가 도시되지 않은 제어부로부터 소정의 타이밍으로 모든 전류저장부(30G)에 공통으로 출력되고, 전류저장부(30G)에 유지된 전압성분에 기초한 전류가 구동 전류(Idw)로서 동일한 타이밍으로 각 출력 단자(Tout)를 통해 각 부하에 동시에 출력된다.

상술한 기준전류발생기간, 전류출력기간, 전류기록기간 및 구동전류출력기간을 소정의 동작 주기에 따라 반복적으로 설정함으로써, 부하는 소정의 구동 주기로 동작될 수 있다.

따라서 본 실시예의 전류구동장치에 따르면, 전류값이 서로 다른 가중치를 갖도록 설정된 기준전류가 저장된 복수의 기준전류저장부가 소정 수의 디지털 입력 신호에 기초하여 임의로 선택되고, 선택된 기준전류저장부에 유지된 기준전류가 결 합된다. 이 방식으로, 부하의 구동 상태에 대응하는 아날로그 신호의 소정 전류가 발생되고, 각 출력 단자에 구비된 전류저장회로에 전류를 유지하기 위한 동작이 순차적으로 실행되고, 유지된 전류는 구동전류로서 소정의 타이밍으로 각 부하에 순차적으로 공급된다. 그 결과, 각 부하는 상대적으로 단순한 장치 구조로서 입력 신호에 대응하는 구동 상태에서 훌륭하게 동작될 수 있다. 더욱이, 단일의 전류발생회로로부터 출력된 동일한 전류특성을 갖는 기준전류가 각 반도체 칩에 따라 공통으로 구비된 기준전류저장회로에 공급되고, 구동전류는 기준전류에 기초하여 발생된다. 그 결과, 반도체 칩들 사이 그리고 각 반도체 칩들에 구비된 출력 단자들 사이에서의 구동 전류의 불규칙성을 훌륭하게 억제할 수 있다.

본 실시예에 있어서, 비록 제 1 실시예와 관련하여 설명된 구조가 전류저장회로로 적용된 경우에 대해 설명하였지만, 다른 실시예들과 관련하여 설명된 복수의 전류저장부가 설치되고 기준전류저장회로로부터 공급된 전류(Is)를 순차적으로 패치하고 유지하는 동작과 출력 단자들을 통해 구동전류로서 유지된 전류를 순차적으로 출력하는 동작이 택일적으로 실행되는 구조를 적용하는 것이 가능하다.

특히, 가장 나중에 설명된 표시 패널(도 15 참조)에 있어서, 비록 표시픽셀(발광소자;부하)의 수가 표시 화질의 고해상도 그리고 표시패널의 대형 스크린을 실현하기 위해 차례로 증가되고 복수의 구동 칩(반도체 칩)에 의해 구성된 데이터 구동부가 적용되더라도, 단일의 기준전류발생회로로부터 출력된 기준전류는 각 구동 칩에 순차적으로 공급될 수 있고, 표시 데이터(디지털 입력신호)에 훌륭하게 대응하는 전류값을 갖는 발광 구동전류(아날로그 신호)가 기준전류에 기초하여 순차적 으로 발생되고 소정의 타이밍으로 각 발광소자에 동시에 공급될 수 있다. 따라서 각 출력단자들 사이 그리고 각 구동 칩들 사이에서의 발광 구동전류의 불규칙성을 훌륭하게 억제할 수 있고 표시 불규칙성의 발생을 억제하면서 표시 데이터에 훌륭하게 대응하는 멀티-계조 표시를 수행할 수 있다.

< 전류구동장치의 제 8 실시예>

도 12는 본 발명에 따른 전류구동장치의 제 8 실시예를 보여주는 주요부의 구조도이다. 여기서 동일 또는 동등한 참조부호는 상술한 제 7 실시예에서의 그것과 동등한 구조를 나타내고, 따라서 설명을 단순화하거나 생략한다.

상술한 제7실시예와 관련하여 설명된 구조에서, 제 8 실시예에 따른 전류구동장치는 각 반도체 칩에 따라 기준전류발생회로로부터 출력된 복수의 기준전류를 패치하고 유지하며 단일의 기준전류발생회로로부터 공급된 기준전류를 일측에 있는 기준전류저장회로부에 의해 순차적으로 유지하는 동작과 병렬적으로 이미 유지된 기준전류에 기초하여 타측에 있는 기준전류저장회로부에 의해 부하의 구동 상태에 따라 소정의 전류를 발생하는 동작을 택일적으로 수행하는 복수의 기준전류저장부를 갖는 한 쌍의 기준전류저장회로부를 포함하도록 구성된다.

도 12에 도시된 바와 같이, 제 7 실시예(도 11 참조)와 관련하여 설명된 구조에 있어서, 본 실시예에 따른 전류구동장치는 각 반도체 칩(CP1, CP2, ... CPn)에 설치된 기준저류저장회로(90H)가 서로 병렬로 배열된 한 쌍의 4-비트 기준전류저장회로부(92a, 92b)(각 기준전류저장회로부는 도 11에 도시된 기준전류저장부(91a, 91b)에 대응한다)와 기준전류저장회로(90H)의 입력측과 출력 측에 설치된 4-비트 기준전류저장회로부(92a, 92b)의 하나에 선택적으로 연결하는데 사용되는 개별 스위치 회로(SWA, SWB)를 포함하는 구조를 갖는다. 여기서, 4-비트 기준전류발생회로(10H)

는 예를 들어, 도 11에 도시된 기준전류발생부(11a 내지 11d)의 그것과 동일한 구조 그리고 전류값이 서로 다른 가중치를 갖도록 설정된 기준전류(I1, I2, I3 및 I4)를 발생하고 출력하는 4 셋트의 기준전류발생부를 갖는 구조를 갖는다. 본 실시예에 적용된 다른 구조는 상술한 제 7 실시예에서의 그것과 동등한 구조를 갖고, 따라서 상세한 설명을 생략한다.

상기한 구조를 갖는 전류구동장치에서, 전류값이 서로 다른 가중치를 갖도록 설정된 기준전류(I1, I2, I3 및 I4)가 4-비트 전류발생회로(10H)로부터 공통으로 반도체 칩(CP1, CP2, ...CPn)에 공급되고, 쉬프트 레지스터(SFR)로부터 순차적으로 출력된 스위치 변경신호(SRs)가 입력측 스위치 회로(SWA)에 순차적으로 제공된다. 그 결과, 기준전류가 순차적으로 패치되고 기준전류저장회로(90H)의 한 쌍의 4-비트 기준전류저장회로부(92a, 92b)의 하나에 개별적으로 유지된다. 이 순간에 출력가능신호(ENa, ENb)가 도시되지 않은 제어부로부터 타측에 있는 4-비트 기준전류저장회로에 공통으로 제공되고, 디지털 입력신호(IN1 내지 IN4)가 출력측 스위치 회로(SWB)에 제공된다. 그 결과, 이미 유지된 기준전류(I1, I2, I4 및 I8)가 선택적으로 출력되고, 그의 전류성분이 결합(부가)되고 디지털 입력 신호(IN1 내지 IN4)의 신호 레벨에 따른 전류값을 갖는 전류(Is)는 선택적으로 그리고 계속적으로 실행된다.

따라서 본 실시예의 전류구동장치에 따르면, 단일의 기준전류발생회로로부터 출력된 서로 다른 전류값을 갖는 기준전류가 각 반도체 칩에 따라 설치된 기준전류저장회로의 하나의 4-비트 기준전류저장회로부에 순차적으로 기록되는 상태에서, 디지털 입력신호에 대응하는 전류가 다른 4-비트 기준전류저장회로부에 유지된 기준전류에 기초하여 발생되고, 후단계에 있는 전류저장부에 순차적으로 출력된다. 그 결과, 각 기준전류저장회로부에 전류를 패치 및 유지하는데 요구되는 시간이 지연되고, 기준전류저장회로부에서의 유지 동작은 안정적으로 수행될 수 있다. 더욱이, 각 반도체 칩에 기준전류를 기록하는 동작에서 대기 시간이 감소되거나 제거될 수 있기 때문에, 부하로 구동전류를 공급하는 시간이 연장될 수 있고, 그에 따라 구동상태를 훌륭하게 조절할 수 있다.

<전류 구동장치의 제 9 실시예>

도 13은 본 발명에 따른 전류구동장치의 제 9 실시예를 보여주는 주요부의 구조도이다. 여기서 동일 또는 동등한 참조부호는 전술한 실시예에서의 그것들과 동등한 구조를 나타내고 따라서 설명을 단순화하거나 생략한다.

제 9 실시예에 따른 전류구동장치는 전술한 실시예들에 따른 전류구동장치에 적용되고 반도체 칩으로 형성된 구조들이 층을 이루고 상부 반도체 칩에 설치된 복수의 출력단자들이 복수의 하부 반도체 칩의 입력부에 연결되는 구조를 갖는다. 다음의 구체예에서, 비록 본 발명이 상술한 제 8 실시예와 관련하여 설명된 구조에 적용된 경우에 대하여 설명되지만, 다른 실시예들에도 동일하게 적용될 수 있다.

도 13에 도시된 바와 같이, 제 8 실시예(도 12 참조)와 관련하여 설명된 구조에서, 본 실시예에 따른 전류구동장치는 전류값이 서로 다른 가중치를 갖도록 설 정된 기준전류((I1, I2, I4 및 I8)가 공통으로 4-비트 기준전류발생회로(10J)로부터 공급되는 상부 반도체 칩(CP11, CP12, ...CPy); 각 상부 반도체 칩(CP11, CP12, ...CPy)에 따른 복수의 출력단자(T1out)에 연결된 입력단자(T2in)를 갖는 하부 반도체 칩(CP21, CP22, ...CPz)을 포함한다. 출력단자(T2out)는 개별적으로 복수의 부하에 연결된다.

여기서 각 상부 반도체 칩들(CP11, CP12, ...CPy)은 한 쌍의 4-비트 기준전류저장회로부(93a, 93b)를 포함하는 기준전류저장회로(90J); 및 4-비트 기준전류저장회로부(92a, 93b)의 하나에 선택적으로 연결하는데 사용되는 개별 스위치 회로(SWA, SWB)를 포함한다. 4-비트 기준전류발생회로(10J)로부터 4-비트 기준전류저장회로부(예를 들어, 제1회로부(93a))의 하나로 쉬프트 레지스터(SFR)로부터의 쉬프트 출력(스위치 변경 신호)(Sra)에 기초한 소정의 타이밍으로 공급된 기준전류(I1, I2, I4 및 I8)를 패치 및 유지하는 동작과 다른 4-비트 기준전류저장회로부(예를 들어 제2회로(93b))에 유지된 기준전류(I1, I2, I4 및 I8)를 하부 반도체 칩들(CP21, CP22, ...CPz)에 공급하는 동작을 선택적으로 수행하는 동작이 병렬로 택일적으로 실행된다. 즉, 반도체 칩들(CP11, CP12, ...CPy)은 입력신호에 기초한 소정의 값을 갖는 전류를 발생하는데 사용되는 전류발생회로 또는 도 12에 도시된 바와 같이 후단계에 있는 전류저장회로를 포함하지 않고, 반도체 칩들은 유지된 기준전류(I1, I2, I4 및 I8)를 출력하고 그것들을 출력단자들(T1out)과 입력단자들(T2in)을 통해 하부 반도체 칩들(CP21, CP22, ...CPz)에 공급하도록 구성된다.

예를 들어, 상술한 제 8 실시예와 같이, 각 하부 반도체 칩들(CP21, CP22, ...CPz)은 도시되지 않은 쉬프트 레지스터로부터의 쉬프트 출력(스위치 변경 신호)(SRb)에 기초한 소정의 타이밍으로 상부 반도체 칩들(CP11, CP12, ...CPy)로부터 공급된 기준전류(I1, I2, I4 및 I8)를 패치하고 유지하는 한 쌍의 4-비트 기준전류저장회로부(94a, 94b)를 포함하는 기준전류저장회로(90K); 4-비트 기준전류저장회로부(94a, 94b)의 하나에 선택적으로 연결하는데 사용되는 입력측 스위치 회로(SWC); 4-비트 기준전류저장회로부(94a, 94b)에 유지된 임의의 기준전류를 선택하고 소정의 전류값을 갖는 전류를 발생하는 출력측 스위치 회로(SWD); 및 디지털 입력신호(IN1 내지 IN4)에 기초하여 발생된 소정의 전류를 순차적으로 패치 및 유지하고 출력단자들(T2out)을 통해 각 부하들에 그것들을 동시에 공급하는 전류저장회로(30J) 및 스위치 회로(40J)를 포함한다.

상기한 구조를 갖는 전류구동장치에서, 가중치가 서로 다른 전류값을 갖는 기준전류(I1, I2, I4 및 I8)가 4-비트 기준전류발생회로(10J)로부터 상부 반도체 칩들(CP11, CP12, ...CPy)에 공통으로 공급되고, 입력측 스위치(SWA)가 기준전류저장회로(90J)를 구성하는 한 쌍의 4-비트 기준전류저장회로부(93a, 93b)의 하나로 스위치된다. 그 결과, 기준전류(I1, I2, I4 및 I8)가 4-비트 기준전류저장회로부에서 개별적으로 패치되고 유지되며, 출력측 스위치 회로(SWB)가 도시되지 않은 제어부로부터 출력된 출력가능신호(ENa, ENb) 및 선택 제어신호(SEL)에 기초하여 기준전류저장회로(90J)에 있는 다른 회로부로 스위치된다. 그 결과, 다른 측에 이미 유지된 기준전류(I1, I2, I4 및 I8)가 각 출력단자들(T1out)을 통해 하부의 반도체 칩들(CP21, CP22, ...CPz)의 입력단자들(T2in)에 공급된다.

도시되지 않은 쉬프트 레지스터로부터 순차적으로 출력된 쉬프트 출력(SRb)에 기초하여 하부 반도체 칩들(CP21, CP22, ...CPz)에 공급된 기준전류(I1, I2, I4 및 I8)에 관하여, 입력측 스위치 회로(SWC)는 기준전류저장회로(90K)를 구성하는 한 쌍의 4-비트 기준전류저장회로부(94a, 94b)의 하나로 스위치된다. 그 결과, 기준전류(I1, I2, I4 및 I8)는 개별적으로 패치되고 4-비트 기준전류저장회로부에 유지된다. 동시에, 출력측 스위치 회로(SWD)는 출력가능신호(ENc, ENd)와 디지털 입력 신호(IN1 내지 IN4)에 기초하여 기준전류저장회로(90K)에 있는 다른 스위치부로 스위치되고, 임의의 기준전류저장부가 선택된다. 그 결과, 다른 측에 이미 유지된 기준전류(I1, I2, I4 및 I8)가 임의로 선택되어 결합되고, 부하의 구동상태에 따라 소정의 전류값을 갖는 전류(Is)가 발생되어 후단계에 있는 전류저장회로(30J)에 공급된다.

전류저장회로(30J)에 공급된 전류(Is)에 대하여, 스위치 회로(40J)는 쉬프트 레지스터로부터의 쉬프트 출력(SR)에 기초한 소정의 기간동안에만 온-동작을 순차적으로 수행하고, 출력측 스위치 회로(SWO)를 통해 기준전류저장회로(90K)로부터 공급된 전류(Is)는 순차적으로 기록되고 각 전류저장부(30J)에 유지되며, 출력가능신호(EN)는 부하를 구동시키기 위해 소정의 타이밍으로 제어부로부터 공급된다. 그 결과, 각 전류저장부(30J)에 유지된 전류는 동일한 타이밍으로 각 출력단자들(T2out)을 통해 각 부하에 구동전류(Idv)로서 동시에 출력된다.

따라서, 본 실시예의 전류구동장치에 따르면, 각각 소정의 전류를 패치하고 동시에 소정의 타이밍으로 출력하는 기능을 갖는 전류저장회로를 포함하는 반도체 칩들이 계층적 구조를 갖도록 서로 연결된다. 따라서 단지 소정의 전류 또는 기준전류를 소수의 상부 반도체 칩들에 공급함으로써 전류 또는 기준전류가 복수의 하부 반도체 칩들에 순차적으로 공급되고, 소정의 구동전류가 각 출력단자들을 통해 더 많은 부하들에 집합적으로 공급된다. 따라서, 각 반도체 칩들 사이 그리고 동일한 반도체 칩들에 설치된 출력단자들 사이에서의 구동 전류의 불규칙성을 억제할 수 있다. 더욱이, 각 기준전류저장회로부에서 소정의 전류를 패치하고 유지하는데 요구되는 시간은 지연될 수 있고, 따라서 안정적으로 기준전류저장회로부에서의 유지 동작을 수행할 수 있다. 또한, 각 반도체 칩에 기준전류를 기록하는 동작에서 대기시간이 더욱 감소되거나 실질적으로 제거될 수 있고, 부하에 구동전류를 공급하는 시간이 연장될 수 있기 때문에, 구동상태를 훌륭하게 제어할 수 있다.

본 실시예에서, 상술한 제 8 실시예에 계층적 구조를 적용함으로써 얻어진 구조가 설명되었듯이, 상부 반도체 칩들(CP11, CP12, ...CPy)에 형성된 회로 구성이 하부 반도체 칩들(CP21, CP22, ...CPz)에 형성된 회로 구성들과 다르다. 그러나 예를 들어, 제 1 실시예 또는 제 4 실시예와 관련하여 설명된 구조에 적용될 때, 동일한 회로 구성을 갖는 반도체 칩들이 적용되는 것이 가능하다.

<표시장치의 실시예>

지금부터 상술한 전류구동장치가 첨부된 도면들과 관련된 표시장치의 표시구동회로에 적용된 경우가 설명될 것이다.

도 14는 본 발명에 따른 표시장치의 전체적인 구조의 실시예를 보여주는 개략적인 블럭도이고, 도 15는 본 실시예에 따른 표시장치에 적용된 데이터 구동과 표시패널의 주요한 구조를 보여주는 블럭도이고, 도 16은 본 발명에 따른 표시장치에 적용된 스캐닝 구동부의 다른 실시예를 보여주는 개략적인 구조도이다.

도 14에 도시된 바와 같이, 본 실시예에 따른 표시장치(100)는, 후술할 픽셀 구동회로(DC)와 발광소자(광소자:예를 들어, 유기 EL소자(OEL))로 구성된 복수의 표시픽셀, 도 15에 개략적으로 도시된 바와 같이, 서로 평행하게 배열된 전원 라인(VL) 뿐만 아니라 복수의 스캐닝 라인(SL) 그리고 복수의 데이터 라인(DL)의 교차점 근처에서 행렬 형태로 배열된 표시패널(픽셀 배열)(110); 스캐닝 라인(SL)에 연결되고 소정의 타이밍으로 스캐닝 라인(SL)에 고레벨 스캐닝 신호(Vsel)를 순차적으로 인가함으로써 선택 상태에서 각 행에 대하여 표시픽셀그룹을 제어하는 스캐닝 구동부(스캐닝 구동 회로)(120); 데이터 라인(DL)에 연결되고 표시 데이터에 따라 데이터 라인(DL)으로의 신호전류(계조전류(Ipix))의 공급상태를 제어하는 데이터 구동부(신호 구동 회로)(130); 스캐닝 라인(SL)에 평행하게 배열된 전원 라인(VL)에 연결되고 표시 데이터에 따라 소정의 신호전류(계조전류, 구동전류)가 고레벨 또는 저레벨의 전원 전압(Vsc)을 전원 라인에 순차적으로 가함으로써 표시픽셀그룹에 흐르도록 하는 전원 구동부(전원 구동회로)(140); 후술할 표시신호 발생회로(160)로부터 공급된 타이밍 신호에 기초하여 스캐닝 제어신호, 데이터 제어신호 및 적어도 스캐닝 구동부(120)의 동작 상태를 제어하는 전원 제어신호를 발생하고 출력하는 시스템 제어기(150); 표시장치(100)의 외부로부터 공급된 영상신호에 기초한 표시 데이터를 발생하고 그것을 데이터 구동부(130)에 공급하고, 표시패널(110)

에 표시 데이터의 이미지를 표시하는데 사용되는 타이밍 신호(시스템 클럭 및 그와 같은 것)를 발생하거나 추출하며 그것을 시스템 제어기(150)에 공급하는 표시신호 발생회로(160)를 포함한다. 상기 구조의 각각은 이하에 구체적으로 설명될 것이다.

(표시 패널)

도 15에 도시된 바와 같이, 행렬 형태로 표시 패널에 배열된 각 표시픽셀는 표시픽셀에 후술하는 기록 동작과 스캐닝 구동부(120)로부터 스캐닝 라인(SL)으로 공급된 스캐닝 신호(Vsel), 데이터 구동부(130)로부터 데이터 라인(DL)에 공급된 신호전류, 전원 구동부(140)로부터 전원 라인(VL)에 공급된 전원 전압(Vsc)에 기초하여 발광소자의 발광 동작을 제어하는 픽셀 구동회로(DC)와, 그 발광 휘도가 그것에 공급된 구동전류의 전류값에 따라 제어되는 발광소자(유기 EL소자(OEL))를 갖는다.

픽셀 구동회로(DC)는 일반적으로 스캐닝 신호에 기초하여 표시픽셀의 선택/비-선택 상태를 제어하고, 선택상태에서 표시 데이터에 따라 계조전류를 패치하고 전압 레벨로 유지하고, 비-선택상태에서 유지된 전압 레벨에 따라 구동전류를 인가하고 소정의 주기동안 발광소자의 발광을 일으키는 동작을 유지하는 기능을 갖는다.

구체적인 회로예 또는 픽셀구동회로의 회로동작은 나중에 설명될 것이다. 또한, 본 발명에 따른 표시장치에서, 픽셀 구동회로에 의한 발광제어를 따르는 발광소자는 유기 EL 소자에 한정되지 않고, 무기 EL 소자 또는 발광 다이오드와 같은 자체-발광형 발광소자(광소자)를 적용하는 것이 가능하다.

(스캐닝 구동부)

스캐닝 구동부(120)는 고레벨 스캐닝 신호(Vsel)를 시스템 제어기(150)로부터 공급된 스캐닝 제어신호에 기초하여 각 스캐닝 라인(SL)에 순차적으로 공급함으로써 데이터 구동부(130)로부터 데이터 라인(DL)를 통해 선택 상태에 있는 표시픽셀에 공급된 표시 데이터에 기초하여 계조전류(Ipix)를 기록하도록 제어한다.

특히, 도 15에 도시된 바와 같이, 스캐닝 구동부(120)는 각 스캐닝 라인(SL)에 따라 복수 단계의 쉬프트 레지스터와 버퍼 상에 쉬프트 블럭(SB1, SB2, ...SBn)을 포함하고, 시스템 제어기로부터 공급된 스캐닝 제어신호(스캐닝 시작신호(SSTR), 스캐닝 클럭신호(SCLK) 등)에 기초하여 쉬프트 레지스터에 의해 표시 패널(110)의 상부로부터 하부로 순차적으로 쉬프트되는 동안 발생된 쉬프트 출력이 버퍼를 통해 소정의 전압 레벨(고레벨)을 갖는 스캐닝 신호(Vsel)로서 각 스캐닝 라인(SL)에 공급된다.

(데이터 구동부)

데이터 구동부(130)는 시스템 제어기(150)로부터 공급된 다양한 종류의 데이터 제어신호(출력가능신호(OE), 데이터 래치 신호(STB), 샘플링 시작신호(STR), 쉬프트 클럭신호(CLK) 등)에 기초하여 소정의 타이밍으로 표시신호발생회로(160)로부터 공급된 표시 데이터를 패치하고 유지하며, 표시 데이터에 대응하는 계조전압(디지털 입력 신호)을 전류성분으로 변환하고, 그것을 계조전류(Ipix)로서 소정의 타이밍으로 각 데이터 라인(DL)에 공급한다.

특히, 데이터 구동부(130)에는 제 1 내지 제 4 실시예 또는 제 7 내지 제 9 실시예와 관련하여 설명된 전류구동장치의 구조중 어느 것이라도 적용될 수 있다.

구체적으로, 제 1 내지 제 4 실시예와 관련하여 설명된 전류구동장치를 적용하는 경우, 표시신호발생회로에 의한 영상신호에 기초하여 발생된 예컨데 디지털 신호로 된 표시 데이터에 기초하여, 단일의 전류발생회로에 있는 발광소자의 휘도 계조에 따른 소정의 전류가 발생되고, 전류는 순차적으로 패치되어 각 구동 칩에 대응하는 각 전류저장회로에 유지된다. 따라서, 유지된 전류는 계조전류(구동 전류)로서 소정의 타이밍으로 각 출력단자를 통해 표시패널에 설치된 각 데이터 라인으로 순차적으로 출력된다.

또한, 제 7 내지 제 9 실시예와 관련하여 설명된 전류구동장치를 적용하는 경우, 단일의 기준전류발생회로에 의해 미리 가중된 전류값을 갖고 발생된 복수의 기준전류가 개별적으로 패치되어 각 칩 구동부에 설치된 기준전류저장회로에 유지되고, 디지털 신호로 구성된 표시 데이터에 기초하여 임의의 기준전류를 선택하고 결합함으로써 얻어진 전류가 발광소자의 휘도 계조에 대응하는 계조전류(구동전류)로서 각 출력단자를 통해 표시패널에 마련된 각 데이터 라인에 동시에 출력된다.

전술한 실시예들 각각에 따른 전류구동장치에 있어서, 음극성을 갖는 전류성분이 계조전류로서 데이터 라인에 공급되기 때문에, 계조전류에 대응하는 전류는 데이터 라인(표시 패널)측으로부터 출력단자를 경유하여 데이터 구동부(전류구동장치) 방향으로 끌어 당겨지도록 흐른다. 따라서 본 실시예에 따른 표시장치는 후술할 전류기록형 픽셀구동회로가 발광소자가 배열된 각 표시 픽셀에 제공된 구조를 갖는 표시 패널에 훌륭하게 적용될 수 있다.

(시스템 제어기)

시스템 제어기(150)는 동작 상태를 제어하는 스캐닝 제어신호 및 데이터 제어신호(상술한 스캐닝 쉬프트 시작신호(SSTR) 또는 스캐닝 클럭신호(SCLK), 쉬프트 시작신호(STR), 래치신호(STB), 출력가능신호(OE), 등)를 스캐닝 구동부(120), 데이터 구동부(130) 그리고 전원 구동부(140)에 각각 출력함으로써 소정의 타이밍으로 각 구동부를 동작시키고, 스캐닝 신호(Vsel), 계조전류(Ipix), 전원 전압(Vsc)을 발생하고 출력하도록 하며, 후술할 구동 회로에서 구동제어동작을 실행하고, 소정의 영상신호에 기초하여 이미지 정보를 표시하도록 표시 패널(110)을 제어한다. 시스템 제어기(150)는 전술한 실시예들 각각과 관련된 전류구동장치와 관련하여 설명된 제어부를 구성한다.

(전원 구동부)

전원 구동부(140)는 각 행에 대한 표시픽셀그룹이 시스템 제어기(150)로부터 공급된 전원 제어신호에 기초하여 스캐닝 구동부(120)에 의해 선택상태로 설정된 타이밍과 동기화하여 저레벨 전원 전압(Vscl)(예를 들어 접지 전위와 동등하거나 그 보다 낮은 전압 레벨)을 전원 라인(VL)에 공급함으로써 전원 라인(VL)으로부터 표시픽셀(픽셀구동회로)을 경유하여 데이터 구동부(130) 방향으로 표시 데이터에 기초하여 계조전류(Ipix)에 대응하는 기록 전류(싱크 전류)를 끌어 당긴다. 또한, 이 전원 구동부(140)는 각 행에 대한 표시픽셀그룹이 스캐닝 구동부(120)에 의해 비-선택상태로 설정된 타이밍에 동기화하여 고레벨 전원 전압(Vsch)을 전원 라인(VL)에 공급함으로써 표시 데이터에 기초한 계조전류(Ipix)에 대응하는 구동 전류가 표시픽셀(픽셀구동회로)로부터 유기 EL 소자(OEL) 방향으로 흐르도록 한다.

도 15에 도시된 바와 같이, 전원 구동부(140)는 일반적으로 상술한 구동부(120)의 쉬프트 블럭(SB1, SB2, ...SBn)과 같이 각 전원 라인(VL)에 따라 쉬프트 레지스터와 버퍼로 구성된 복수 단계상에 전압 쉬프트 블럭(VSB1, VSB2, ...VSBn)을 포함한다. 시스템 제어기로부터 공급된 스캐닝 제어신호와 동기화된 전원 제어신호(전원 시작신호(VSTR), 전원 클럭신호(VCLK) 등)에 기초하여 표시 패널의 상부로부터 하부를 향하여 순차적으로 쉬프트되는 동안에 발생된 쉬프트 출력이 소정의 전압 레벨(스캐닝 구동부에 의해 설정된 선택상태에서 저레벨 그리고 스캐닝 구동부에 의해 설정된 비-선택상태에서의 고레벨)을 갖는 전원 전압(Vscl)(Vsch)으로서 버퍼를 통하여 각 전원 라인(VL)에 공급된다.

(표시신호 발생회로)

표시신호 발생회로(160)는 예를 들어 표시장치의 외부로부터 제공된 영상신호로부터 휘도 계조신호 성분을 추출하고, 그것을 표시 패널(110)의 각 라인에 대한 표시 데이터로서 데이터 구동부(130)에 공급한다. 영상신호가 TV 방송신호(복합 영상신호)와 같이 이미지 정보의 표시 타이밍을 규정하는 타이밍 신호 성분을 포함하는 경우, 표시신호 발생회로(160)는 휘도 계조신호 성분을 추출하는 기능 뿐만 아니라 타이밍 신호성분을 추출하여 그것을 시스템 제어기에 공급하는 기능을 가질 수 있다. 이 경우에, 시스템 제어기(150)는 표시신호 발생회로(160)로부터 공급된 타이밍 신호에 기초하여 스캐닝 구동부(120), 데이터 구동부(130) 및 전원 구동부(140)에 공급되는 스캐닝 제어신호, 데이터 제어신호 및 전원 제어신호를 발 생한다.

이 실시예에서, 도 14 및 도 15에 도시된 바와 같이, 표시 패널(110)의 주변에 부착된 구동부 조립체로서, 데이터 구동부(130)와 전원 구동부(140)가 개별적으로 배열된 구조에 대해 설명하였지만 본 발명은 이에 한정되지 않는다. 상술한 바와 같이, 스캐닝 구동부(120)와 전원 구동부(140)가 타이밍이 동기화된 균등한 제어신호(스캐닝 제어신호와 전원 제어신호)에 기초하여 동작하기 때문에, 예를 들어 스캐닝 구동부(120A)가 도 16에 도시된 바와 같이 스캐닝 신호의 타이밍 발생과 출력에 동기화하여 전원 전압(Vsc)을 공급하는 기능을 갖는 구조를 적용하는 것이 가능하다. 그러한 구조에 따르면, 주변 회로의 구조는 단순화될 수 있다.

(표시 픽셀 : 픽셀 구동회로)

상술한 표시픽셀에 적용된 픽셀구동회로의 구체적인 예가 첨부된 도면을 참조하여 지금부터 상세히 설명될 것이다.

먼저, 이 실시예에 따른 표시장치에 적용될 수 있는 픽셀구동회로의 기본적인 구조 및 그 동작에 관하여 설명할 것이다.

도 17은 본 발명에 따른 표시장치에 적용될 수 있는 픽셀구동회로의 기본적인 구조의 예를 보여주는 회로 구조도이고, 도 18a, 18b는 이 실시예에 적용될 수 있는 픽셀구동회로의 기본적인 동작을 보여주는 개념도이다. 도 19는 이 실시예에 따른 표시장치에서 이미지 정보의 표시 타이밍을 보여주는 타이밍 차트이다.

예를 들어, 도 17에 도시된 바와 같이, 픽셀구동회로(DCx)는 스캐닝 라인(SL)에 연결된 게이트 단자, 전원 라인(VL)에 연결된 소스 단자, 접합점(N1)에 연결된 드레인 단자를 갖는 NMOS 박막트랜지스터(Tr1); 스캐닝 라인(SL)에 연결된 게이트 단자, 데이터 라인(DL)과 접합점(N2)에 각각 연결된 소스와 드레인 단자를 갖는 NMOS 박막트랜지스터(Tr2); 접합점(N1)에 연결된 게이트 단자, 전원 라인(VL)과 접합점(N2)에 각각 연결된 소스와 드레인 단자를 갖는 N

MOS 박막트랜지스터(Tr3); 그리고 접합점(N1)과 접합점(N2)사이, 표시 패널(110)에 직교하도록 배열된 스캐닝 라인(SL)과 데이터 라인(DL)의 각 교차점 근처에 있는 캐패시터(Cs)를 포함한다. 발광소자(유기 EL소자(OEL))는 각각 접합점(N2)에 연결된 양극단자와 접지 전위에 연결된 음극단자를 갖는다. 여기서, 캐패시터(Cs)는 박막트랜지스터(Tr3)의 게이트와 소스 사이에 형성된 기생 캐패시턴스일 수 있다. 유기 EL 소자(OEL)가 이 실시예에서 발광소자로 사용되고 있으나, 상술한 바와 같이 발광소자는 이에 한정되지 않는다는 점에 유의한다.

예를 들어, 도 19에 도시된 바와 같이, 상기한 구조를 갖는 픽셀구동회로에 있는 발광소자(유기 EL소자)의 발광구동 제어는 특정한 스캐닝 라인에 연결된 표시픽셀그룹이 선택되고 표시 데이터에 대응하는 신호전류가 하나의 주기로 결정된 하나의 스캐닝 기간(Tsc) 내에서 기록되고 이 신호전류가 신호전압으로서 유지되는 기록동작기간과, 표시 데이터에 대응하는 구동전류가 기록동작기간 동안 기록되고 유지된 신호전압에 기초하여 유기 EL소자에 공급되고 발광동작이 소정의 휘도 계조(Tsc = Tse + Tnse)를 갖고 수행되는 발광동작기간(또는 표시픽셀의 비-선택기간)을 설정함으로써 실행된다. 여기서, 각 라인에 대한 기록동작기간(Tse)은 시간상으로 겹치지 않도록 설정된다.

(기록동작기간:선택기간)

표시픽셀에 대한 기록동작(선택기간(Tse))에 있어서, 도 19에 도시된 바와 같이, 고레벨 스캐닝 신호(Vsel)(Vslh)가 스캐닝 구동부(120)로부터 특정한 라인(i-th line)에 있는 스캐닝 라인(SL)에 공급되고, 저레벨 전원 전압(Vscl)이 전원 구동부(140)로부터 이 라인(i-th line)에 있는 전원 라인(VL)에 공급된다. 이 타이밍과 동기화하여 데이터 구동부(130)에 의해 패치된 라인의 표시 데이터에 대응하는 음극성(-Ipix)을 갖는 계조전류가 각 데이터 라인(DL)에 공급된다.

그 결과, 픽셀구동회로(DCx)를 구성하는 박막트랜지스터(Tr1)(Tr2)가 온-동작을 수행하고, 저전압 전원전압(Vscl)이 접속점(N1)(즉, 박막트랜지스터(Tr3)의 게이트 단자와 캐패시터(Cs)의 일단)에 공급되고, 데이터 라인(DL)을 경유하여 음극성(-Ipix)을 갖는 계조전류에서 패치하는 동작이 수행된다. 그 결과, 저레벨 전원 전압(Vscl) 보다 낮은 전위를 갖는 전압 레벨이 접속점(N2)(즉, 박막트랜지스터(Tr3)의 소스 단자와 캐패시터(Cs)의 타단)에 공급된다.

상술한 바와 같이, 접속점(N1)과 접속점(N2) 사이(박막트랜지스터(Tr3)의 게이트와 소스 사이)의 전위차의 발생은 박막트랜지스터(Tr3)가 온-동작을 수행하도록 하고, 도 18a에 도시된 바와 같이, 계조전류(Ipix)에 대응하는 기록 전류(Ia)가 전원 라인(VL)으로부터 박막트랜지스터(Tr3), 접속점(N2), 박막트랜지스터(Tr2) 및 데이터 라인(DL)을 경유하여 데이터 구동부(130)로 흘러 내린다.

이 순간에, 접속점(N1)과 접속점(N2) 사이(박막트랜지스터(Tr3)의 게이트와 소스 사이)에서 발생된 전위차에 대응하는 전하가 캐패시터(Cs)에 저장되고, 전압 성분으로서 유지(충전)된다. 또한, 접지 전위와 동등하거나 낮은 전압 레벨을 갖는 전원 전압(Vscl)이 전원 라인(VL)에 인가되고 기록전류(Ia)가 데이터 라인 방향으로 흐로도록 제어되기 때문에, 유기 EL소자의 양극단자(접속점(N2))에 인가된 전위는 음극단자의 전위(접지 전위) 보다 낮게 되고, 역방향 바이어스 전압이 유기 EL 소자(OEL)에 인가된다. 따라서, 구동전류는 유기 EL소자를 흐르지 않고, 발광동작은 수행되지 않는다.

(발광동작기간:비-선택기간)

결과적으로, 기록동작기간(선택기간(Tse))의 만료 후 유기 EL 소자의 발광동작(비-선택기간(Tnse))에 있어서, 도 19에 도시된 바와 같이, 저레벨 스캐닝 신호(Vsel)(Vsell)가 스캐닝 구동부(120)로부터 특정한 라인(i-th line)의 스캐닝 라인(SL)에 제공되고, 고레벨 전원 전압(Vsch)이 전원 구동부(140)로부터 이 라인(i-th line)에 있는 전원 라인(VL)에 제공된다. 또한, 이 타이밍과 동기화하여, 데이터 구동부(130)에 의해 계조전류를 패치하는 동작은 멈춘다.

그 결과, 픽셀구동회로(DCx)를 구성하는 박막트랜지스터(Tr1)(Tr2)는 오프-동작을 수행하고, 접속점(N1)(즉, 박막트랜지스터(Tr3)의 게이트 단자와 캐패시터(Cs)의 일단)에 전원 전압(Vsc)을 인가하는 것이 방해되고, 데이터 구동부(130)에 의한 계조전류 패치동작 때문에 접속점(N2)에 전압레벨을 인가하는 것이 방해된다. 그 결과, 캐패시터(Cs)는 상술한 기록동작에서 저장된 전하를 유지한다.

상술한 바와 같이, 캐패시터(Cs)는 기록동작에서 충전전압을 유지하고, 접속 점(N1)과 접속점(N2) 사이(박막트랜지스터(Tr3)의 게이트와 소스 사이)의 전위차가 유지되고 박막트랜지스터(Tr3)는 온-상태를 유지한다. 또한, 접지 전위 보다 높은 전압 레벨을 갖는 전원 전압(Vsch)이 전원 라인(VL)에 제공되기 때문에, 유기 EL 소자(OEL)의 양극단자(접속점(N2))에 인가된 전위는 음극단자의 전위(접지 전위) 보다 높게 된다.

따라서, 도 18b에 도시된 바와 같이, 소정의 구동전류(Ib)가 순방향 바이어스 방향으로 박막트랜지스터(Tr3)와 접속점(N2)을 통해 전원 라인(VL)으로부터 유기 EL소자(OEL)를 통해 흐르고, 유기 EL소자(OEL)는 빛을 방출한다. 여기서, 캐패시터(Cs)에 의해 유지된 전위차(충전전압)가 계조전류(Ipix)에 대응하는 기록전류(Ia)가 박막트랜지스터(Tr3

)를 흐르도록 할 때의 전위차에 대응하기 때문에, 유기 EL소자(OEL)를 통해 흐르는 구동전류는 기록전류(Ia)와 동등한 전류값을 갖는다. 그 결과, 선택기간(Tse) 후 비-선택기간(Tnse)에서, 구동전류는 선택기간(Tse) 동안 기록된 표시 데이터(계조전류)에 대응하는 전압성분에 기초하여 박막트랜지스터(Tr3)를 통해 계속적으로 공급된다. 유기 EL소자(OEL)는 표시 데이터에 대응하는 휘도 계조로 발광 동작을 계속한다.

도 19에 도시된 바와 같이, 표시 패널을 구성하는 모든 라인에 대한 표시픽셀그룹에 대하여 상술한 일련의 동작을 순차적으로 반복적으로 실행함으로써, 표시 패널의 하나의 스크린에 대한 표시 데이터는 기록되고, 소정의 휘도 계조로 빛이 방출되고, 원하는 이미지 정보가 표시된다.

비록 이 실시예에 따른 픽셀구동회로에 적용된 박막트랜지스터(Tr1 내지 Tr3)가 특별히 한정되지 않는다 하더라도, 모든 박막트랜지스터(Tr1 내지 Tr3)는 n-채널형 트랜지스터로 구성될 수 있고, 그러므로 n-채널형 비결정성 실리콘 TFT가 훌륭하게 적용될 수 있다. 그러한 경우에, 안정된 구동 특성을 갖는 픽셀구동회로가 이미 확립된 제조기술을 적용함으로써 상대적으로 저렴하게 제조될 수 있다.

또한, 상술한 회로구성을 갖는 픽셀구동회로에 따르면, 비록 박막트랜지스터(Tr3) 또는 발광소자의 특성이 오래된 변화 때문에 저하되더라도, 캐패시터(Cs)에 유지된 전위차(충전전압)는 계조전류(Ipix)에 대응하는 기록전류(Ia)를 박막트랜지스터(Tr3)로 흐르는데 요구되는 전위차가 된다. 따라서, 유기 EL소자(OEL)를 통해 흐르는 구동전류(Ib)는 기록전류(Ia)와 대등한 전류값으로 유지된다. 따라서, 오래된 변화로 인한 표시 불규칙성의 발생과 같은 표시 상태의 저하를 억제할 수 있고, 그에 따라 훌륭한 표시 상태를 유지할 수 있다.

도 20은 본 발명에 따른 표시장치의 다른 실시예의 주요한 구조를 보여주는 개략적인 블럭도이다.

상술한 실시예에서, 비록 표시패널의 각 표시픽셀에 대한 픽셀구동회로를 포함하는 액티브 행렬형 구동모드를 적용한 표시장치(표시 패널)가 설명되었지만, 본 발명은 그에 한정되지 않는다. 도 20에 도시된 바와 같이, 데이터 구동부(130B)로부터 확장된 데이터 라인(DL)과 스캐닝 구동부(120B)로부터 확장된 스캐닝 라인(SL)의 교차점 근처에 있는 스캐닝 라인과 데이터 라인에 각각 연결된 양극과 음극을 갖는 유기 EL소자(OEL) 또는 발광다이오드(LED)와 같은 단순 행렬(패시브 행렬)형 표시 패널을 적용한 표시장치에 훌륭하게 적용하는 것이 가능하다. 도 20 에서, 발광 다이오드(LED)가 발광소자로서 사용된 점에 주의한다. 이 경우에, 계조제어가 표시 데이터에 대응하는 소정의 전류값을 갖는 발광 구동전류를 개별적으로 공급함으로써 실행될 수 있고, 훌륭한 멀티-계조표시가 이미지 정보의 표시 속도를 증가시키면서 실현될 수 있다.

또한, 도 20에 도시된 단순 행렬형 표시패널을 적용한 표시장치에서, 데이터 구동부(130B)로서 제 1 내지 제 9 실시예와 관련하여 설명된 전류구동장치의 구조의 어느 하나를 적용하는 것이 가능하다.

특히, 단일의 전류발생회로에서, 소정의 고정 전류값을 갖는 전류가 발생되고, 전류가 순차적으로 패치되고 각 구동부칩의 복수의 출력단자에 따라 구비된 각 전류저장회로에 유지되고, 유지된 전류가 표시패널에 배열된 각 데이터 라인으로 알려진 펄스폭 변조(PWM) 구동모드를 적용함으로써 디지털 신호를 구성하는 표시 데이터에 기초하여 개별 공급시간(펄스폭)에 소정의 표시기간으로 각 출력단자를 통해 동시에 출력된다. 그 결과, 각 발광소자가 표시 데이터에 대응하는 소정의 휘도 계조로 발광 동작을 수행하도록 하는 것이 가능하기 때문에, 이미지 정보는 멀티-계조로 훌륭하게 표시될 수 있다.

표시장치의 전술한 실시예에서, 비록 표시 패널의 각 표시픽셀에 포함된 픽셀구동회로로서 3개의 박막트랜지스터를 포함하는 회로구성에 대하여 설명되었지만, 본 발명은 이 실시예에 한정되지 않고, 예를 들어 4개의 박막 트랜지스터를 포함하는 회로구성을 적용하는 것도 가능하다.

또한, 데이터 라인으로부터 계조전류를 패치하는 전류 열거 모드 뿐만 아니 라 데이터 라인으로부터 계조전류를 인가하고, 발광소자로의 구동전류의 공급을 제어하는 발광 제어 트랜지스터와 계조전류의 기록동작을 제어하는 기록동작 제어 트랜지스터를 갖고, 발광 제어 트랜지스터가 표시 데이터에 따른 기록전류를 유지한 후 기록전류에 기초하여 온-동작을 수행하도록 함으로서 구동전류를 공급하고, 발광소자가 소정의 휘도 계조로 발광하도록 하는 구조를 포함하는 전류 열거 모드가 적용된 이미지 구동회로를 포함하는 표시장치인 한 어떠한 회로구성이라도 적용하는 것이 가능하다.

부가적으로, 각 표시픽셀에 배열된 발광소자는 특별히 한정되지 않고, 그것에 공급된 발광 구동전류의 전류값에 따라 소정의 휘도 계조로 발광동작을 수행하는 한 상술한 유기 EL소자 또는 발광 다이오드 이외에 어떠한 발광소자라도 가능하다.

비록 본 발명에 따른 전류구동장치가 표시장치의 표시구동회로에 적용된 경우에 대하여 설명하였지만, 본 발명에 따른 전류구동장치는 그러한 표시구동장치에 한정되지 않는다. 예를 들어, 전류구동장치를, 많은 발광 다이오드를 배열

하여 형성된 프린터 헤드의 구동회로와 같이, 전류의 인가에 의해 구동하는 많은 부품을 포함하는 장치의 구동회로에 적용하는 것이 가능하다.

산업상 이용 가능성

상술한 바와 같이, 본 발명의 전류구동장치와 그 구동방법에 따르면, 소정의 구동전류를 복수의 배열된 발광소자들과 같은 복수의 부하들 각각에 공급함으로써 소정의 구동상태로 각 부하들을 동작시키는 기술에 있어서, 소정의 전류값을 갖는 동작 전류가 단일의 전류발생회로에 의해 발생되고 출력되며, 그것들은 예를 들어 복수의 반도체 칩에 개별적으로 형성된 복수의 전류저장회로들에 공급되고, 대응하는 전압성분이 유지된다. 따라서, 단일의 전류원으로부터 공급된 동일한 전류특성을 갖는 전류가 각 반도체 칩의 각 전류저장회로에 유지된다. 따라서 각 반도체 칩 사이 그리고 동일한 반도체 칩에 제공된 출력단자들 사이에서 구동전류의 불규칙성을 억제하기 위해 상대적으로 단순한 장치 구조를 사용할 수 있다.

부가적으로, 본 발명에 따른 전류구동장치를 표시장치의 신호 구동회로(데이터 구동부)에 적용함으로써, 구동 칩들 사이 그리고 동일한 구동 칩에 제공된 출력 단자들 사이의 구동전류의 불규칙성을 억제하고, 표시 불규칙성의 발생을 억제하고, 따라서 표시 화질을 향상시킬 수 있다.

부가적인 잇점과 변경들은 당해 기술분야에서 익숙한 사람들에게 쉽게 떠오를 것이다. 따라서 보다 넓은 측면에서의 본 발명은 특정한 설명과 여기에 도시되고 설명된 대표적인 실시예에 국한되지 않는다. 따라서 다양한 변경이 첨부된 청구범위와 그들의 균등물에 의해 정의된 일반적인 발명 개념의 정신과 범위로부터 벗어남이 없이 될 수 있다.

(57) 청구의 범위

청구항 1.
복수의 부하들에 전류를 인가하여 동작시키는 전류구동장치는,

상기 부하들이 각각 연결되는 복수의 출력단자들(Tout);

소정의 전류값을 갖는 동작전류를 출력하는 단일의 전류발생회로(10); 및

상기 출력단자들에 각각 접속되고, 상기 동작전류를 순차적으로 패치하고 유지하며, 상기 동작전류에 기초한 구동전류를 상기 출력단자들에 동시에 출력하는 복수의 전류저장회로들(30)을 포함하는 전류구동장치.

청구항 2.
제 1 항에 있어서, 상기 동작전류는 입력신호에 따라 전류값을 갖는 전류구동장치.

청구항 3.
제 2 항에 있어서, 상기 전류발생회로(10)는,

상기 입력신호에 따라 제어전류를 발생하는 제어전류 발생회로(11); 및

상기 제어전류와 관련하여 소정의 전류비를 갖는 출력전류를 생성하여 출력하는 출력전류 발생회로(12);를 포함하는 전류구동장치.

청구항 4.
제 3 항에 있어서, 상기 제어전류의 전류값이 상기 출력전류의 전류값 보다 크게 설정된 전류구동장치.

청구항 5.
제 3 항에 있어서,

상기 입력신호는 복수의 비트를 갖는 디지털 신호이고,

상기 제어전류 발생회로(11)는 전류값이 상기 디지털 신호의 각 비트에 대응하는 가중치를 갖는 복수의 비트전류를 발생하는 복수의 비트전류 발생회로들(CTn)을 포함하고,

상기 각 비트전류의 무엇이든지 상기 입력신호의 비트값에 따라 선택되고, 상기 제어전류는 상기 선택된 비트전류를 부가함으로써 발생되는 전류구동장치.

청구항 6.
제 3 항에 있어서, 상기 출력전류 발생회로(12)는 소정의 전류비를 갖는 전류미러회로를 포함하는 전류구동장치.

청구항 7.
제 1 항에 있어서, 상기 각 전류저장회로들(30)은 상기 전류발생회로로부터 출력된 동작전류를 패치하고 상기 동작전류의 전류값에 대응하여 전압성분을 유지하는 전압성분 유지부(31)를 포함하는 전류구동장치.

청구항 8.
제 7 항에 있어서, 상기 전압성분 유지부(31)는 상기 동작전류에 대응하는 전하가 기록되는 캐패시턴스 소자(C31)를 갖는 전류구동장치.

청구항 9.
제 8 항에 있어서,

상기 전압성분 유지부(31)는 그 소스와 드레인 사이에 상기 동작전류가 흐르 게 하는 전계효과형 트랜지스터(M32)를 갖고,

상기 캐패시턴스 소자(C31)는 상기 전계효과형 트랜지스터(M32)의 소소와 게이트 사이에 적어도 하나의 기생 캐패시턴스를 갖고, 상기 동작전류에 대응하는 소스와 게이트 사이의 전압이 상기 캐패시턴스 소자(C31)에 기록되는 전류구동장치.

청구항 10.
제 9 항에 있어서, 상기 전계효과형 트랜지스터(M32)의 이동성은 적어도 대략 200cm ^{2}/Vs 또는 그보다 큰 값을 갖는 전류구동장치.

청구항 11.
제 7 항에 있어서, 상기 각 전류저장회로들은 상기 전압성분 유지부에 유지된 전압성분에 기초한 동작전류에 관련된 소정의 전류비를 갖는 구동전류를 생성하여 출력하는 구동전류 발생부(32)를 포함하는 전류구동장치.

청구항 12.
제 11 항에 있어서, 상기 구동전류 발생부(32)는 소정의 전류비를 갖는 전류미러회로를 포함하는 전류구동장치.

청구항 13.
제 1 항에 있어서, 상기 각 전류저장회로들은,

서로 평행하게 배열된 한 쌍의 전류저장부들(31a, b);

상기 전류발생회로로부터 출력된 동작전류를 패치하거나 동작전류의 전류값에 대응하는 전압성분을 하나의 전류저장부에 유지하는 동작과 병렬로 다른 전류저 장부에 유지된 전압성분에 기초하여 구동전류를 출력하는 동작을 택일적으로 수행하는 제어부;를 포함하는 전류구동장치.

청구항 14.
제 1 항에 있어서, 상기 각 전류저장회로들은,

직렬로 배열된 전단계 및 후단계의 전류저장부들(32a, b);

상기 전단계의 전류저장부에 있는 전류발생회로로부터 출력된 동작전류를 패치하고, 동작전류의 전류값에 대응하는 전압성분을 유지하고 전압성분에 기초한 전류를 후단계에 있는 전류저장부에 공급하는 동작과 전단계에 있는 전류저장부로부터 공급된 전류를 패치하고, 상기 전류의 전류값에 대응하는 전압성분을 유지하고 병렬로 상기 전압성분에 기초한 구동전류를 출력하는 동작을 수행하는 제어부;를 포함하는 전류구동장치.

청구항 15.
제 1 항에 있어서, 상기 구동전류는 출력단자에서 동일한 전류값을 갖는 전류구동장치.

청구항 16.
제 15 항에 있어서, 상기 전류발생회로와 복수의 전류저장회로들 사이에 단일의 입력전류 저장회로(70)를 더 포함하고,

상기 입력전류 저장회로는 상기 전류발생회로로부터 출력된 동작전류를 패치하고, 상기 동작전류의 전류값에 대응하는 전압성분을 유지하며 상기 전압성분에 기초한 전류를 복수의 전류저장회로들에 공급하는 전류구동회로.

청구항 17.
제 16 항에 있어서, 상기 입력전류 저장회로는 동작전류에 대응하는 전하가 전압성분으로서 기록되는 캐패시턴스 소자를 갖는 전류구동회로.

청구항 18.
제 17 항에 있어서,

상기 입력전류 저장회로는 그 소스와 드레인 사이에 동작전류가 흐르게 하는 전계효과형 트랜지스터를 갖고,

상기 캐패시턴스 소자는 상기 전계효과형 트랜지스터의 소소와 게이트 사이에 적어도 기생 캐패시턴스를 갖는 전류구동회로.

청구항 19.
제 16 항에 있어서, 상기 입력전류 저장회로는,

서로 병렬로 배열된 한 쌍의 입력전류저장부들(71a, b); 및

상기 입력전류저장부들 중의 하나에 있는 전류발생회로로부터 출력된 동작전류를 패치하고 상기 동작전류의 전류값에 대응하는 전압성분을 하나의 입력전류저장부에 유지하는 동작과, 병렬로 상기 다른 입력전류저장부에 유지된 전압성분에 기초한 전류를 상기 다른 입력전류저장부에 있는 복수의 전류저장회로들에 공급하는 동작을 택일적으로 수행하는 제어부;를 포함하는 전류구동회로.

청구항 20.
제 15 항에 있어서, 복수의 출력 단자들과 부하들 사이에 설치되고 상기 출력 단자들로부터 출력된 구동전류의 펄스폭을 제어하는 펄스폭 제어회로(65)를 더 포함하는 전류구동회로.

청구항 21.
제 20 항에 있어서, 상기 펄스폭 제어회로는 입력신호에 따라 구동전류의 펄스폭을 제어하는 전류구동회로.

청구항 22.
제 1 항에 있어서, 적어도 상기 복수의 전류저장회로들과 출력 단자들은 적어도 하나의 반도체 칩(CP)에 형성된 전류구동회로.

청구항 23.
제 22 항에 있어서, 상기 단일의 전류발생회로는 전술한 상기 반도체 칩과 다른 반도체 칩에 형성된 전류구동회로.

청구항 24.
제 22 항에 있어서, 상기 단일의 전류발생회로가 상기 반도체 칩에 형성된 전류구동회로.

청구항 25.
전류를 인가함으로써 복수의 부하들을 동작시키는 전류구동장치는,

상기 부하들이 각각 연결된 복수의 출력 단자들(Tout);

서로 다른 전류값을 갖는 복수의 기준전류들을 발생하고 출력하는 단일의 기준전류 발생회로(10);

복수의 기준전류들 각각을 패치하고 유지하며 각 기준전류들에 기초한 복수의 계조기준전류를 출력하는 적어도 하나의 기준전류 저장회로(90);

입력신호에 따라 각 계조기준전류의 어느 것이라도 선택하고 계조전류를 발생하는 적어도 하나의 계조전류 발생회로(SWB); 및

각 계조전류를 순차적으로 패치하고 유지하며 상기 계조전류에 기초한 구동전류를 각 출력단자들로 동시에 출력하는 복수의 전류저장회로들(30);을 포함하는 전류구동장치.

청구항 26.
제 25 항에 있어서, 상기 단일의 기준전류 발생회로(11)는 각 기준전류들을 발생하고 출력하며 서로 병렬로 배열된 복수의 기준전류 발생부들을 포함하는 전류구동장치.

청구항 27.
제 26 항에 있어서,

상기 입력 신호는 복수의 비트를 갖는 디지털 신호이고,

각 기준전류 발생부들(91)로부터 출력된 각 기준전류들의 전류값은 상기 디지털 신호의 각 비트에 대응하는 가중치를 갖는 전류구동장치.

청구항 28.
제 25 항에 있어서, 상기 기준전류 저장회로는 상기 기준전류 발생회로들로부터 출력된 각 기준전류들을 개별적으로 패치하고 상기 각 기준전류들에 대응하는 전압성분들을 유지하고 상기 각 전압성분들에 기초한 계조기준전류를 출력하는 복수의 기준전류저장부(91)들을 포함하는 전류구동장치.

청구항 29.
제 28 항에 있어서, 상기 각 기준전류 저장회로부들(91)은 상기 기준전류에 대응하는 전하가 전압성분으로 기록되는 캐패시턴스 소자를 갖는 전류구동장치.

청구항 30.
제 29 항에 있어서, 상기 각 기준전류 저장회로부(91)들은 상기 동작전류가 그 소스와 드레인 사이에서 흐르도록 하는 전계효과형 트랜지스터를 갖고,

상기 캐패시턴스 소자는 상기 전계효과형 트랜지스터의 소스와 게이트 사이에 적어도 기생 캐패시턴스를 갖는 전류구동장치.

청구항 31.
제 25 항에 있어서, 상기 기준전류 저장회로는,

병렬로 배열된 한 쌍의 기준전류저장부들을 포함하는 한 쌍의 기준전류 저장회로부들(92); 및

하나의 기준전류 저장회로부에 있는 기준전류 발생회로로부터 출력된 기준전류를 패치하고 상기 기준전류의 전류값에 대응하는 전압성분을 유지하는 동작과, 다른 기준전류 저장회로부에 유지된 전압성분에 기초하여 계조기준전류를 출력하는 동작을 택일적으로 수행하는 제어부;를 포함하는 전류구동장치.

청구항 32.
제 25 항에 있어서,

상기 입력신호는 복수의 비트를 갖는 디지털 신호이고,

상기 계조전류 발생회로(SWB)는 상기 입력신호의 비트값에 기초하여 상기 각 계조기준전류들 중 어느 것이라도 선택하고, 선택된 계조기준전류를 부가하고 계조 전류를 발생하는 전류구동장치.

청구항 33.
제 25 항에 있어서, 상기 전류저장회로는 상기 전류발생회로로부터 출력된 계조전류를 패치하고 상기 계조전류의 전류값에 대응하는 전압성분을 유지하는 전압성분 유지부를 포함하는 전류구동장치.

청구항 34.

제 33 항에 있어서, 상기 전압성분 유지부는 상기 계조전류에 대응하는 전하가 전압성분으로서 기록되는 캐패시턴스 소자를 갖는 전류구동장치.

청구항 35.
제 34 항에 있어서, 상기 전압성분 유지부는 상기 계조전류가 그 소스와 드레인 사이에서 흐르도록 하는 전계효과형 트랜지스터를 갖고,

상기 캐패시턴스 소자는 상기 전계효과형 트랜지스터의 소소와 게이트 사이에 적어도 기생 캐패시턴스를 갖고 상기 계조전류에 기초한 상기 소스와 게이트 사이의 전압이 상기 캐패시턴스 소자에 기록되는 전류구동장치.

청구항 36.
제 35 항에 있어서, 상기 전계효과형 트랜지스터의 이동성은 적어도 대략 200cm ^{2}/Vs 또는 그 이상의 값을 갖는 전류구동장치.

청구항 37.
제 25 항에 있어서, 상기 기준전류저장회로, 전류발생회로들, 전류저장회로 들 및 출력 단자들이 적어도 하나의 반도체 칩에 형성된 전류구동장치.

청구항 38.
제 37 항에 있어서, 상기 기준전류발생회로들은 전술한 상기 반도체 칩과 다른 반도체 칩에 형성된 전류구동장치.

청구항 39.
제 37 항에 있어서, 상기 기준전류발생회로는 상기 반도체 칩에 형성된 것을 특징으로 하는 전류구동장치.

청구항 40.
복수의 출력단자들에 연결된 복수의 부하들에 전류를 인가함으로써 동작시키는 전류구동장치의 구동방법은,

소정의 전류값을 갖는 동작전류를 단일의 전류발생회로에 의해 발생하고 그것을 복수의 전류저장회로들에 출력하는 단계;

상기 동작전류를 상기 각 전류저장회로들로 순차적으로 패치하고 유지하는 단계; 및

상기 전류저장회로에 유지된 동작전류에 기초한 구동전류를 각 출력단자들로 동시에 출력하는 단계를 포함하는 전류구동장치의 구동방법.

청구항 41.
제 40 항에 있어서, 상기 각 전류저장회로들에 동작전류를 유지하는 단계와 각 출력단자들에 구동전류를 출력하는 단계는 병렬적으로 실행되는 전류구동장치의 구동방법.

청구항 42.
제 40 항에 있어서, 상기 동작전류를 복수의 전류저장회로들에 출력하는 단계는,

상기 전류발생회로로부터 출력된 동작전류의 전류값에 대응하는 전압성분을 단일의 입력전류저장회로로 패치하고 유지하는 단계; 및

상기 입력전류저장회로에 유지된 전압성분에 기초한 전류를 복수의 전류저장회로로 공급하는 단계;를 포함하는 전류구동장치의 구동방법.

청구항 43.
복수의 출력단자들에 연결된 복수의 부하들을 소정의 구동 상태에서 동작시키는 전류구동장치의 구동방법은,

단일의 기준전류발생회로에 의해 전류값이 서로 다른 가중치를 갖도록 하는 방식으로 설정된 복수의 기준전류들을 발생하고 공급하는 단계;

상기 각 기준전류들을 상기 기준전류저장회로에 의해 패치하고 유지하며 상기 각 기준전류들에 기초한 복수의 계조 기준전류들을 출력하는 단계;

입력신호에 따라 각 계조전류의 어느 것이라도 선택하고 계조전류를 발생하는 단계; 및

상기 계조전류를 패치하고 유지하며 상기 계조전류에 기초한 구동전류를 각 출력단자들로 동시에 출력하는 단계;를 포함하는 전류구동장치의 구동방법.

청구항 44.
제 43 항에 있어서,

상기 기준전류저장회로는 병렬로 배열된 한 쌍의 기준전류저장회로부를 포함하고,

상기 계조기준전류를 출력하는 단계는, 상기 기준전류발생회로로부터 출력된 기준전류를 패치하고 상기 기준전류의 전류값에 대응하는 전압성분을 하나의 기준전류저장회로부에 유지하는 단계와; 병렬로 다른 기준전류저장회로부에 유지된 전압성분에 기초한 계조기준전류를 출력하는 단계를 포함하고;

상기 전압성분을 유지하는 단계와 상기 계조기준전류를 출력하는 단계는 병렬적으로 실행되는 전류구동장치의 구동방법.

청구항 45.
표시신호에 따라 구동전류를 표시패널의 각 표시픽셀들에 공급하고, 이미지 정보를 표시하는 표시장치는,

행 방향으로 배열된 복수의 스캐닝 라인들(SL), 열 방향으로 배열된 복수의 신호 라인들(DL)과 상기 각 스캐닝 라인들과 신호 라인들의 교차점 근처에 배열되고 광소자(OEL)를 갖는 복수의 표시픽셀들(DC, OEL)을 갖는 표시패널(110);

상기 표시신호에 기초한 전류값을 갖는 동작전류를 발생하고 출력하는 단일의 전류발생회로(10), 각 신호 라인에 따라 구비되고, 상기 전류발생회로로부터 출력된 동작전류를 순차적으로 패치하고 상기 동작전류에 기초한 구동전류를 복수의 상기 신호 라인들에 동시에 출력하는 복수의 전류저장회로(30)들을 포함하는 신호 구동회로(130); 및

상기 복수의 스캐닝 라인들 각각에 상기 스캐닝 라인에 연결된 표시픽셀을 순차적으로 선택하는데 사용되는 스캐닝 신호를 출력하는 스캐닝 구동회로(120);를 포함하는 표시장치.

청구항 46.
제 45 항에 있어서, 상기 전류저장회로(30)는 상기 전류발생회로로부터 출력된 동작전류를 패치하고 동작전류의 전류값에 대응하는 전압성분을 유지하는 전압성분 유지부를 포함하는 표시장치.

청구항 47.
제 46 항에 있어서, 상기 전압성분 유지부(31)는 상기 동작전류에 대응하는 전하가 전압성분으로서 기록되는 캐패시턴스 소자(C31)를 갖는 표시장치.

청구항 48.
제 46 항에 있어서,

상기 전압성분 유지부(31)는 상기 동작전류가 그 소소와 드레인 사이에서 흐르도록 하는 전계효과형 트랜지스터(M32)를 갖고,

상기 캐패시턴스 소자는 상기 전계효과형 트랜지스터의 소스와 게이트 사이에 적어도 하나의 기생 캐패시턴스를 갖고, 상기 동작전류에 기초한 소스와 게이스 사이의 전압이 상기 기생 캐패시턴스에 기록되는 표시장치.

청구항 49.
제 48 항에 있어서, 상기 전계효과형 트랜지스터의 이동성은 적어도 대략 200cm ^{2}/Vs 또는 그 이상의 값을 갖는 표시장치.

청구항 50.
제 45 항에 있어서, 상기 신호 구동회로에 있는 각 전류저장회로들은,

병렬로 배열된 한 쌍의 전류저장부들(31a, b); 및

상기 전류저장부들 중 하나에 있는 전류발생회로로부터 출력된 동작전류를 패치하고 상기 동작전류의 전류값에 대응하는 전압성분을 유지하는 동작과, 다른 전류저장부에 유지된 전압성분에 기초한 구동전류를 병렬로 출력하는 동작을 택일적으로 실행하는 제어부;를 포함하는 표시장치.

청구항 51.
제 45 항에 있어서, 상기 신호 구동회로에 있는 각 전류저장회로들은,

직렬로 배열된 전단계과 후단계에 있는 전류저장부들(32a, b); 및

전단계의 전류저장부에 있는 상기 전류발생회로로부터 출력된 동작전류를 패치하고, 상기 동작전류의 전류값에 대응하는 전압성분을 유지하고 상기 전압성분에 기초한 전류를 후단계에 있는 전류저장부에 공급하는 동작과, 전단계에 있는 전류저장부로부터 공급된 전류를 후단계에 있는 전류저장부에 패치하고, 상기 전류의 전류값에 따른 전압성분을 유지하고 병렬로 상기 전압성분에 기초한 구동전류를 출력하는 동작을 실행하는 제어부를 포함하는 표시장치.

청구항 52.
제 45 항에 있어서, 상기 신호 구동회로는 상기 전류발생회로와 복수의 전류저장회로들 사이에 단일의 입력전류저장회로(70)를 포함하고,

상기 입력전류저장회로는 상기 전류발생회로로부터 출력된 동작전류를 패치 하고, 상기 동작전류의 전류값에 대응하는 전압성분을 유지하고 상기 전압성분에 기초한 전류를 복수의 전류저장회로들에 공급하는 표시장치.

청구항 53.
제 52 항에 있어서, 상기 입력전류저장회로(70)는 상기 동작전류에 대응하는 전하가 전압성분으로서 기록되는 캐패시턴스 소자를 갖는 표시장치.

청구항 54.
제 52 항에 있어서, 상기 신호 구동회로는 복수의 전류발생회로들과 복수의 신호 라인들 사이에 구비되고 상기 구동전류의 펄스폭을 제어하는 펄스폭 제어회로(65)를 더 포함하는 표시장치.

청구항 55.
제 54 항에 있어서, 상기 펄스폭 제어회로(65)는 입력신호에 따라 상기 구동전류의 펄스폭을 제어하는 표시장치.

청구항 56.
제 45 항에 있어서, 상기 신호 구동회로에 있는 적어도 복수의 전류저장회로들과 출력 단자들이 적어도 하나의 반도체 칩(CP)에 형성된 표시장치.

청구항 57.
제 56 항에 있어서, 상기 신호 구동회로에 있는 전류발생회로가 전술한 상기 반도체 칩과 다른 반도체 칩에 형성된 표시장치.

청구항 58.
제 56 항에 있어서, 상기 신호 구동회로에 있는 전류발생회로가 상기 반도체 칩에 형성된 표시장치.

청구항 59.
제 45 항에 있어서, 상기 신호 구동회로는 적어도 전류저장회로들과 출력단자들을 포함하는 복수의 반도체 칩을 포함하도록 구성되고,

상기 신호 구동회로는 상기 반도체 칩의 출력단자들이 다음 단계에 위치한 복수의 반도체 칩들의 입력단자들에 순차적으로 연결되는 방식으로 층을 이룬 구조를 갖는 표시장치.

청구항 60.
제 45 항에 있어서, 상기 표시픽셀에 있는 광소자는 발광소자(OEL)를 포함하는 표시장치.

청구항 61.
제 60 항에 있어서, 상기 광소자는 유기 EL 소자를 포함하는 표시장치.

청구항 62.

표시신호에 따라 구동전류를 표시패널의 각 표시픽셀들에 공급하고, 이미지 정보를 표시하는 표시장치는,

행 방향으로 배열된 복수의 스캐닝 라인들(SL)과, 열 방향으로 배열된 복수의 신호 라인들(DL)과 상기 각 스캐닝 라인들과 신호 라인들의 교차점 근처에 배열되고 광 소자(OEL)를 갖는 복수의 표시픽셀들(DC, OEL)을 포함하는 표시패널(110);

서로 다른 전류값을 갖는 복수의 기준전류들을 발생하고 출력하는 단일의 기준전류발생회로(10)와, 상기 각 기준전류들을 패치하고 유지하며 상기 각 기준전류 들에 기초하여 복수의 계조기준전류들을 출력하는 적어도 하나의 기준전류저장회로(90)와, 표시신호에 따라 각 계조기준전류의 어느 것이라도 선택하고 계조전류를 발생하고 출력하는 적어도 하나의 계조전류 발생회로(SWB); 상기 각 신호라인들에 따라 설치되고 상기 계조전류 발생회로(SWB)로부터 출력된 계조전류를 순차적으로 패치하고 유지하며 상기 계조전류에 기초한 구동전류를 복수의 신호라인들에 동시에 출력하는 복수의 전류저장회로(30)를 포함하는 신호 구동회로(30); 그리고

상기 스캐닝 라인들에 연결된 표시픽셀들을 순차적으로 선택하는데 사용되는 스캐닝 신호를 상기 각 스캐닝 라인들에 출력하는 스캐닝 구동회로(120);를 포함하는 것을 특징으로 하는 표시장치.

청구항 63.
제 62 항에 있어서, 상기 기준전류발생회로(10)는 각 기준전류들을 발생하고 출력하며 병렬로 배열된 복수의 기준전류발생부들(11)을 포함하는 표시장치.

청구항 64.
제 63 항에 있어서, 상기 표시신호는 복수의 비트를 갖는 디지털 신호이고,

상기 각 기준전류발생부(11)로부터 출력된 각 기준전류들의 전류값은 상기 디지털 신호의 각 비트에 대응하는 가중치를 갖는 표시장치.

청구항 65.
제 62 항에 있어서, 상기 표시신호는 복수의 비트를 갖는 디지털 신호이고,

상기 계조전류 발생회로(SWB)는 상기 표시신호의 비트값에 기초하여 각 계조 기준전류들중 어느 것이라도 선택하고, 상기 선택된 계조기준전류들을 부가하고, 상기 계조전류들을 발생하는 표시장치.

청구항 66.
제 62 항에 있어서, 상기 기준전류저장회로(90)는 병렬로 배열되고 각각이 복수의 기준전류저장부들을 포함하는 한 쌍의 기준전류저장회로부들(92); 및

상기 기준전류저장회로부들 중 하나에 있는 상기 기준전류발생회로로부터 출력된 기준전류들을 패치하고 상기 기준전류들의 전류값에 대응하는 전압성분들을 유지하는 동작과 다른 기준전류저장회로에 유지된 전압성분에 기초하여 계조기준전류들을 병렬로 출력하는 동작을 택일적으로 실행하는 제어부;를 포함하는 표시장치.

청구항 67.
제 62 항에 있어서, 상기 전류저장회로는 상기 전류발생회로들로부터 출력된 계조전류들을 패치하고 상기 계조전류들의 전류값에 대응하는 전압성분들을 유지하는 전압성분 유지부를 포함하는 표시장치.

청구항 68.
제 65 항에 있어서, 상기 전압성분 유지부는 상기 동작전류에 대응하는 전하가 기록되는 캐패시턴스 소자를 갖는 표시장치.

청구항 69.
제 68 항에 있어서, 상기 전압성분 유지부는 상기 동작전류가 그 소스와 드레인 사이에서 흐르도록 하는 전계효과형 트랜지스터를 갖고,

상기 캐패시턴스 소자는 상기 전계효과형 트랜지스터의 소스와 게이트 사이에 적어도 기생 캐패시턴스를 갖고, 상기 동작전류에 기초한 소스와 게이트 사이의 전압이 상기 캐패시턴스 소자에 기록되는 표시장치.

청구항 70.
제 69 항에 있어서, 상기 전계효과형 트랜지스터의 이동성은 적어도 대략 200cm ^{2}/Vs 또는 그 이상의 값을 갖는 표

시장치.

청구항 71.
제 62 항에 있어서, 상기 신호 구동회로에 있는 적어도 상기 기준전류저장회로, 전류발생회로, 복수의 전류저장회로들 및 출력 단자들은 적어도 하나의 반도체 칩에 형성된 표시장치.

청구항 72.
제 71 항에 있어서, 상기 신호 구동회로에 있는 기준전류발생회로는 전술한 상기 반도체 칩과 다른 반도체 칩에 형성된 표시장치.

청구항 73.
제 72 항에 있어서, 상기 신호 구동회로에 있는 기준전류발생회로가 상기 반도체 칩에 형성된 표시장치.

청구항 74.
제 62 항에 있어서, 상기 신호 구동회로는 적어도 전류저장수단들과 출력단자들을 포함하는 복수의 반도체 칩을 포함하도록 구성되고,

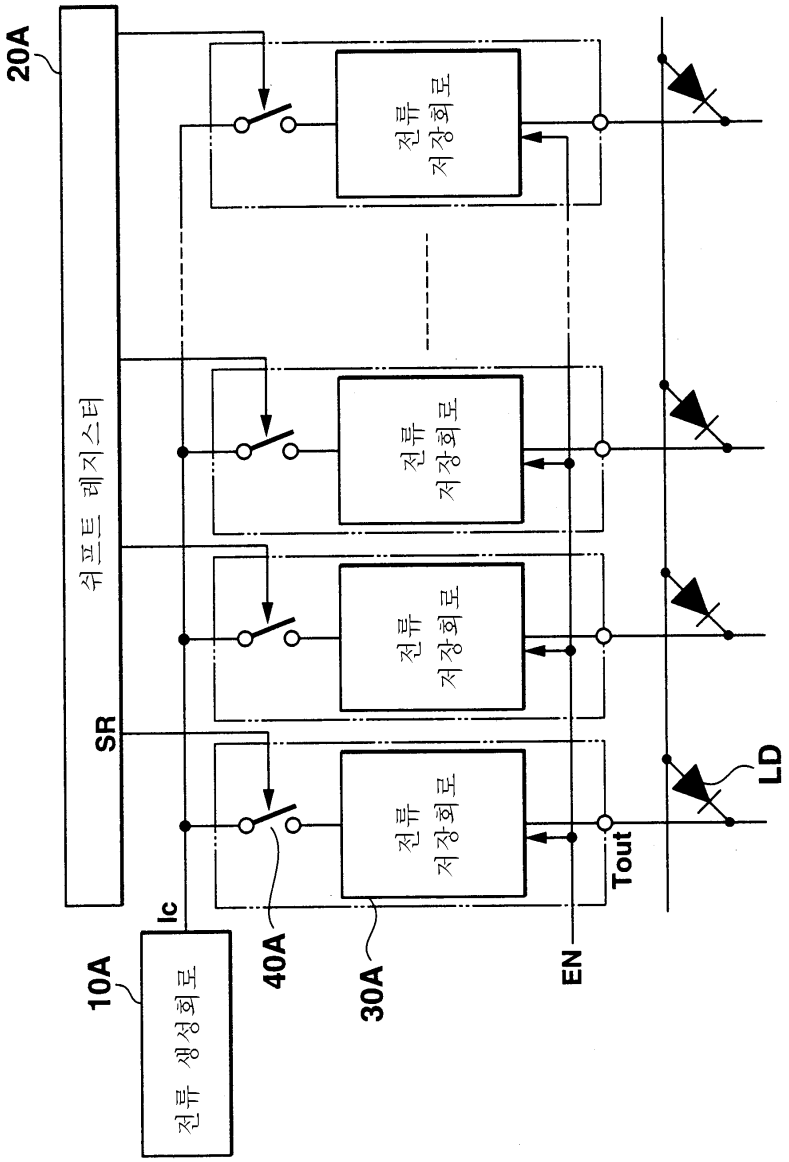
상기 신호 구동회로는 상기 반도체 칩의 출력단자들이 다음 단계에 위치한 복수의 반도체 칩의 입력단자들에 순차적으로 연결되는 방식으로 층을 이루는 구조를 갖는 표시장치.

청구항 75.
제 62 항에 있어서, 상기 표시픽셀에 있는 광소자는 발광소자를 포함하는 표시장치.

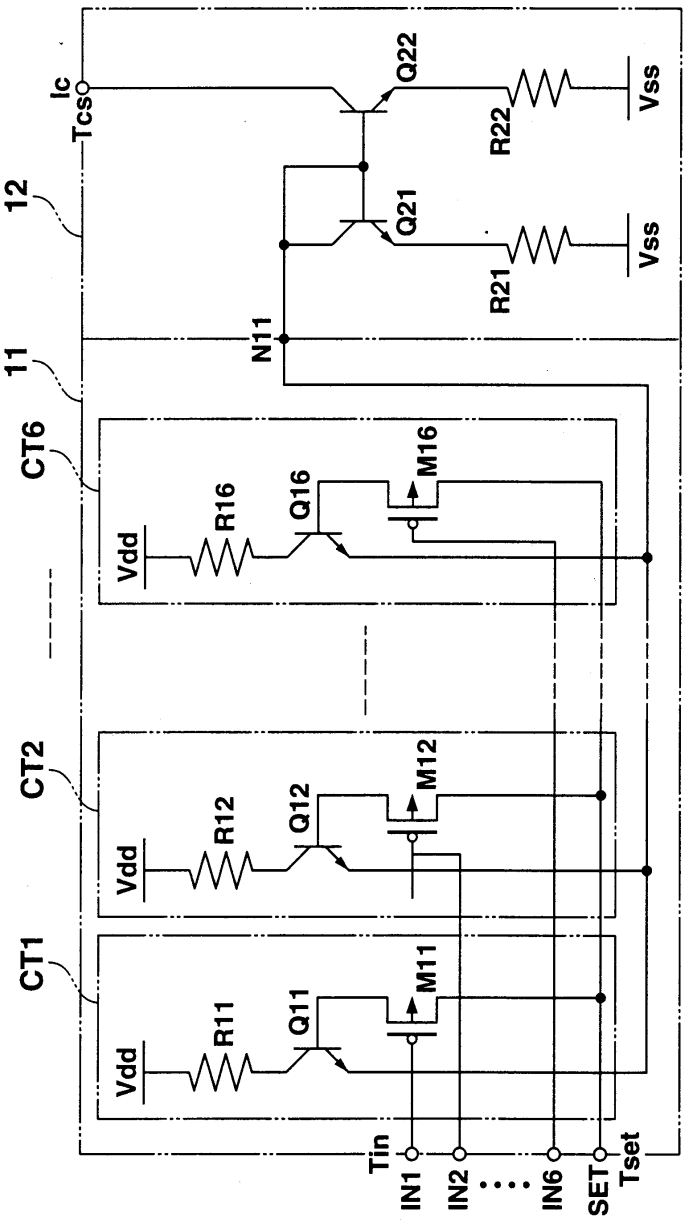
청구항 76.
제 75 항에 있어서, 상기 광소자는 유기 EL소자를 포함하는 표시장치.

도면

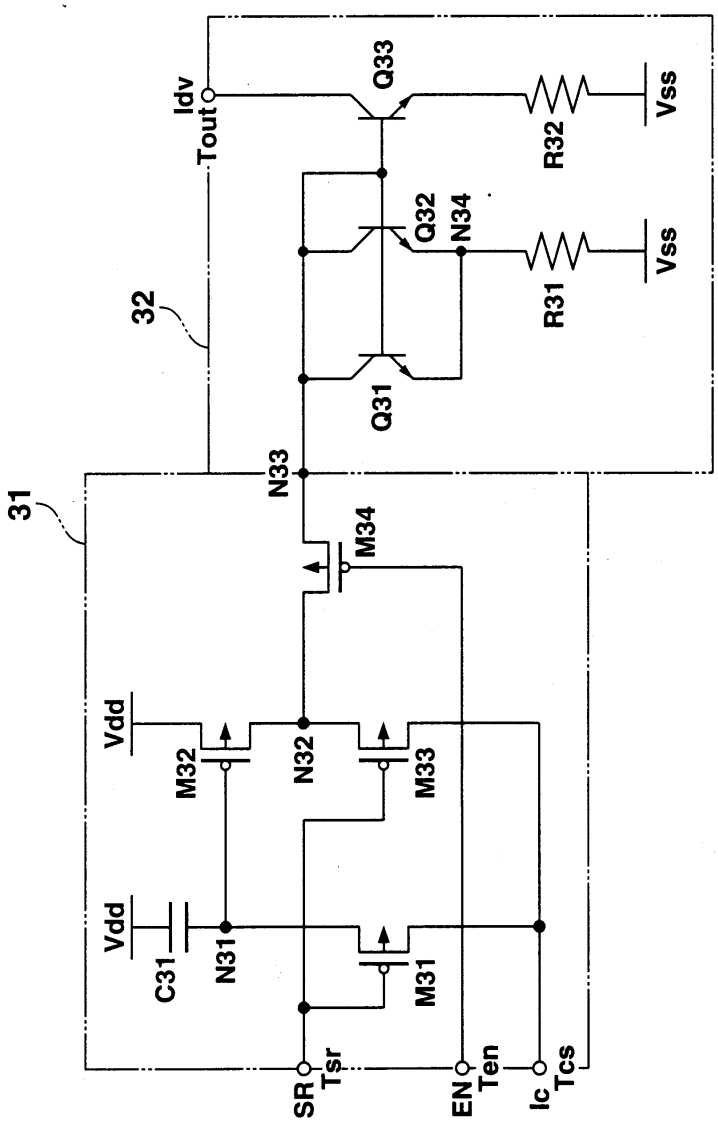
도면1


20A
쉬프트 레지스터
SR
전류 저장회로
전류 저장회로
전류 저장회로
전류 저장회로
LD
Tout
EN
Ic
10A
전류 생성회로
40A
30A

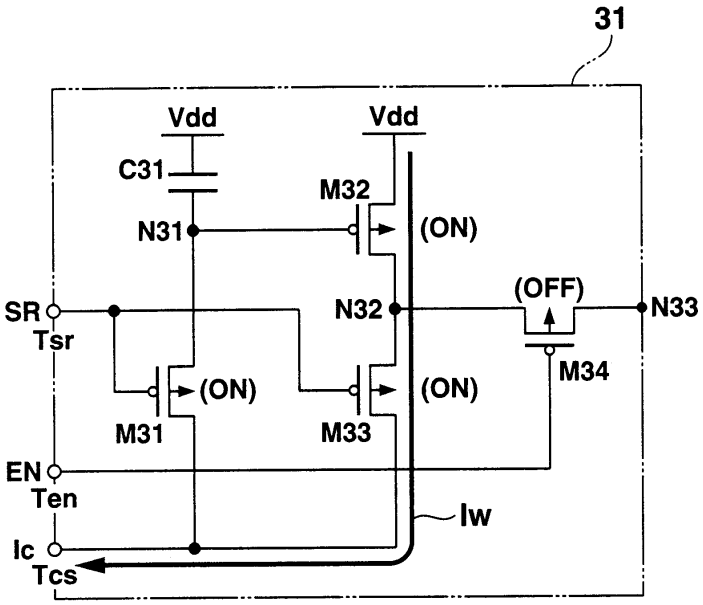
도면2


Ic
Tcs
Q22
R22
Vss
12
Q21
R21
Vss
N11
11
CT6
M16
Q16
R16
Vdd
CT2
M12
Q12
R12
Vdd
CT1
M11
Q11
R11
Vdd
Tin
IN1
IN2
IN6
SET
Tset

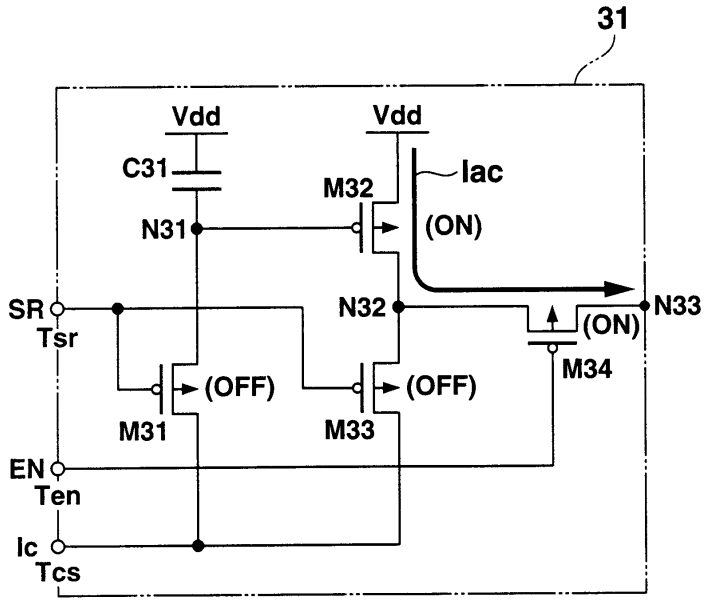
도면3


Idv
Tout
Q33
R32
Vss
Q32
N34
R31
Vss
32
Q31
N33
31
M34
Vdd
M32
N32
M33
Vdd
C31
N31
M31
SR
Tsr
EN
Ten
Ic
Tcs

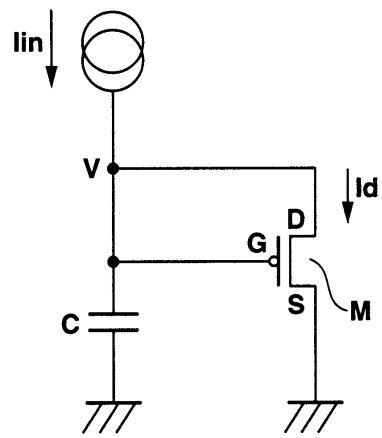
도면4a



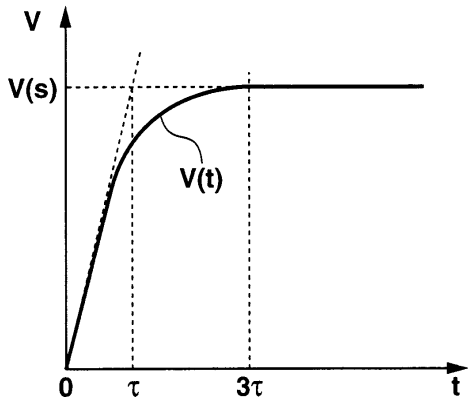
도면4b



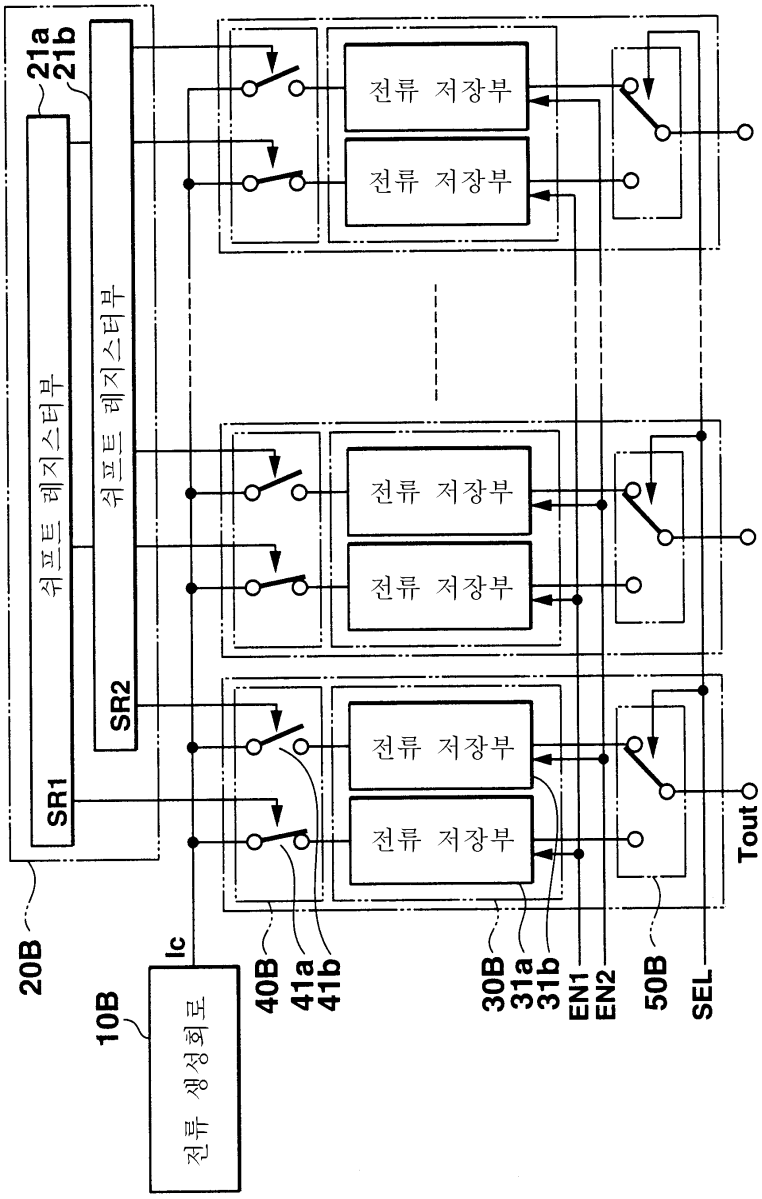
도면5a



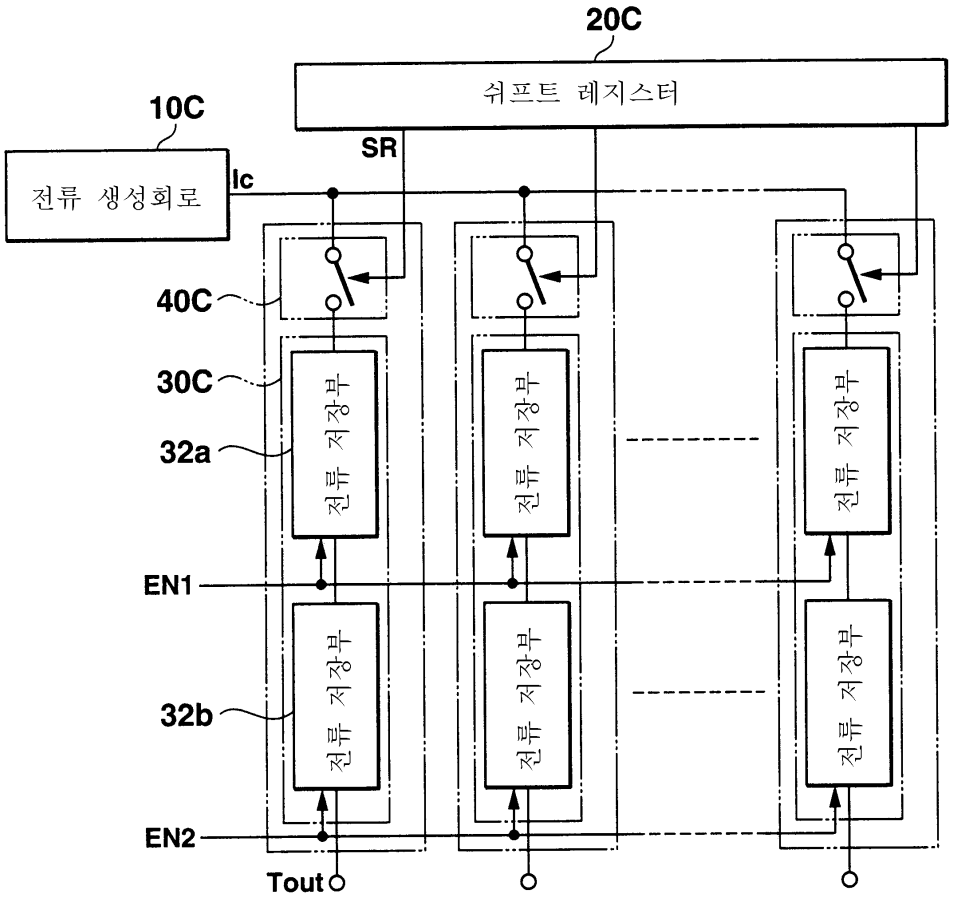
도면5b


V
V(s)
V(t)
0
τ
3τ
t

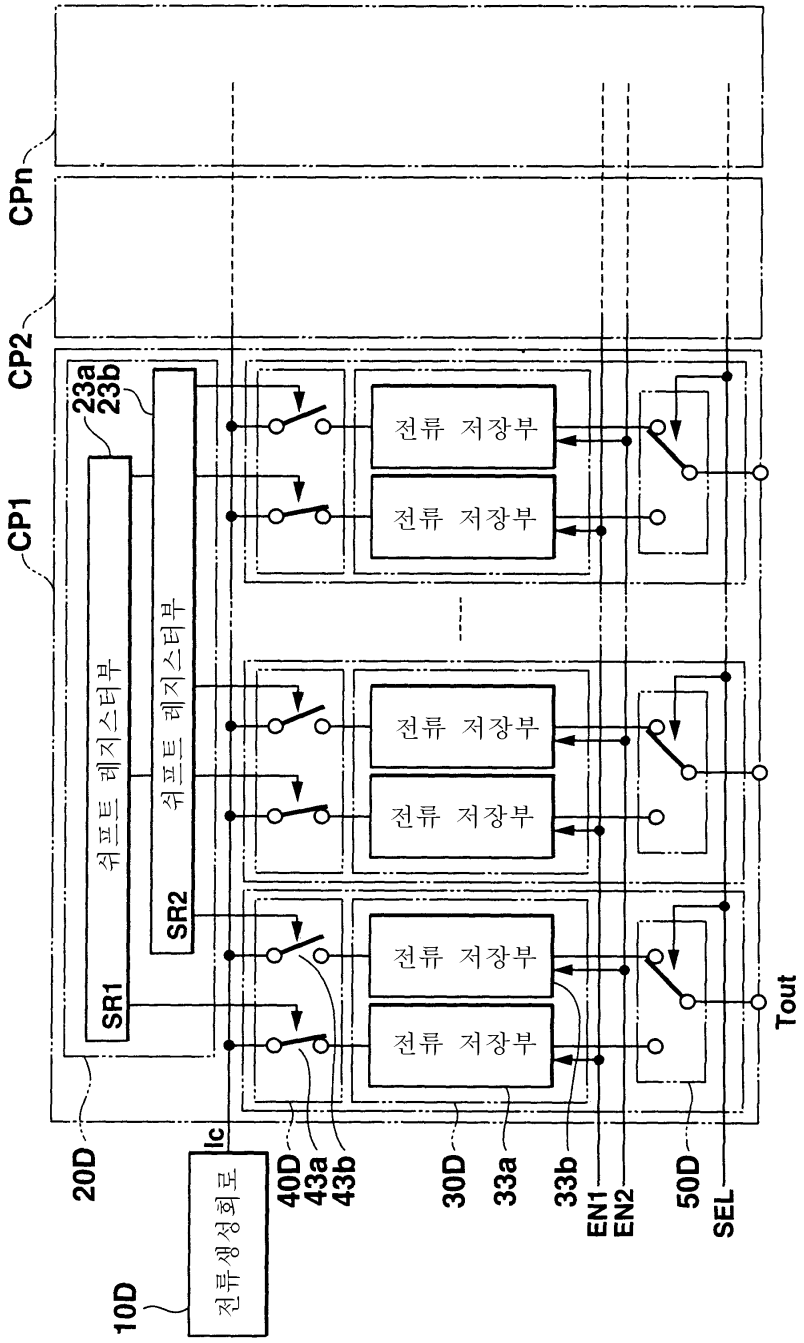
도면6


21a
21b
쉬프트 레지스터부
쉬프트 레지스터부
SR1
SR2
전류 저장부
전류 저장부
전류 저장부
전류 저장부
전류 저장부
전류 저장부
Tout
20B
10B
전류 생성회로
Ic
40B
41a
41b
30B
31a
31b
EN1
EN2
50B
SEL

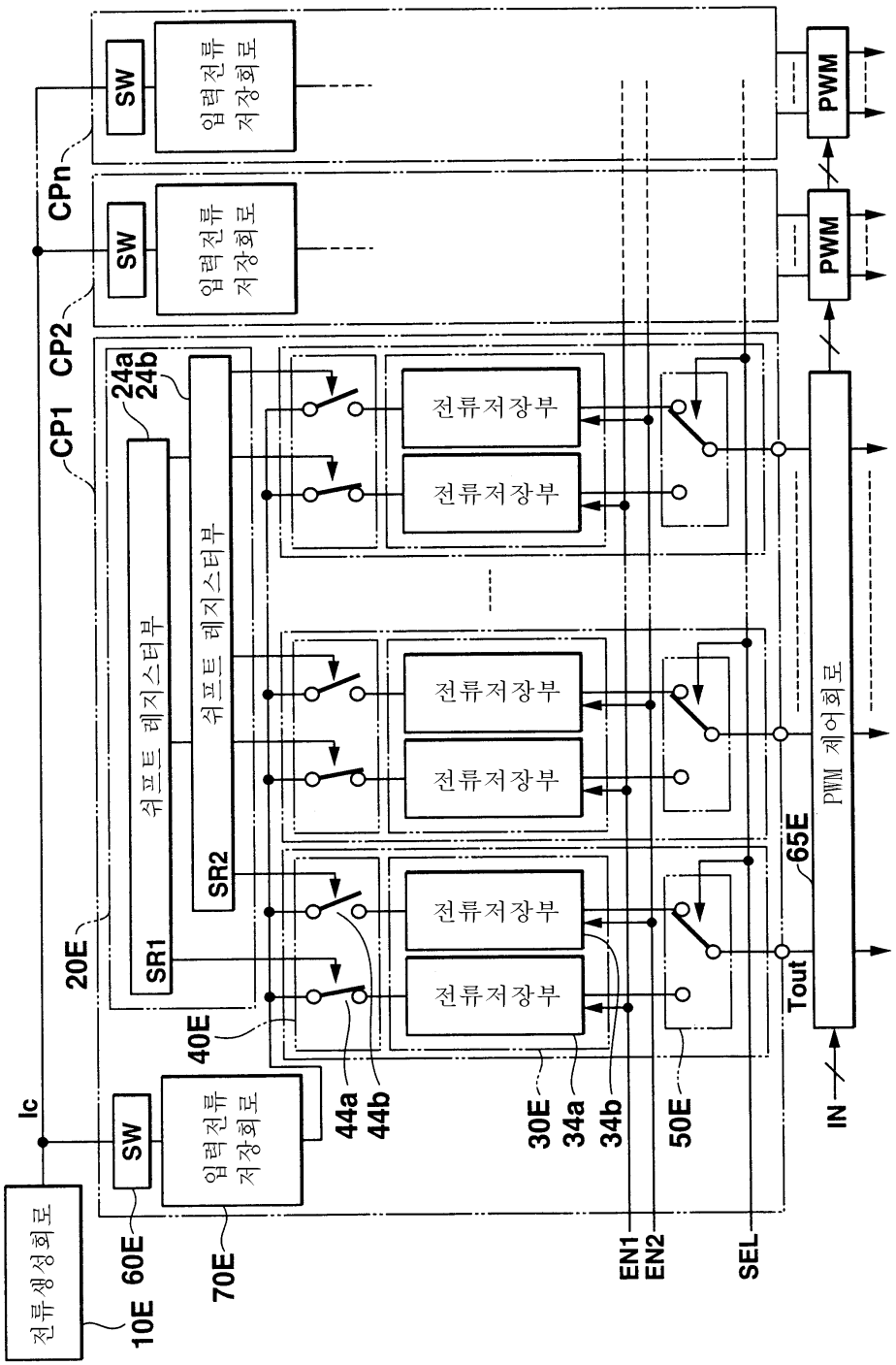
도면7


20C
쉬프트 레지스터
10C
전류 생성회로
SR
Ic
40C
30C
32a
전류 저장부
EN1
32b
EN2
Tout

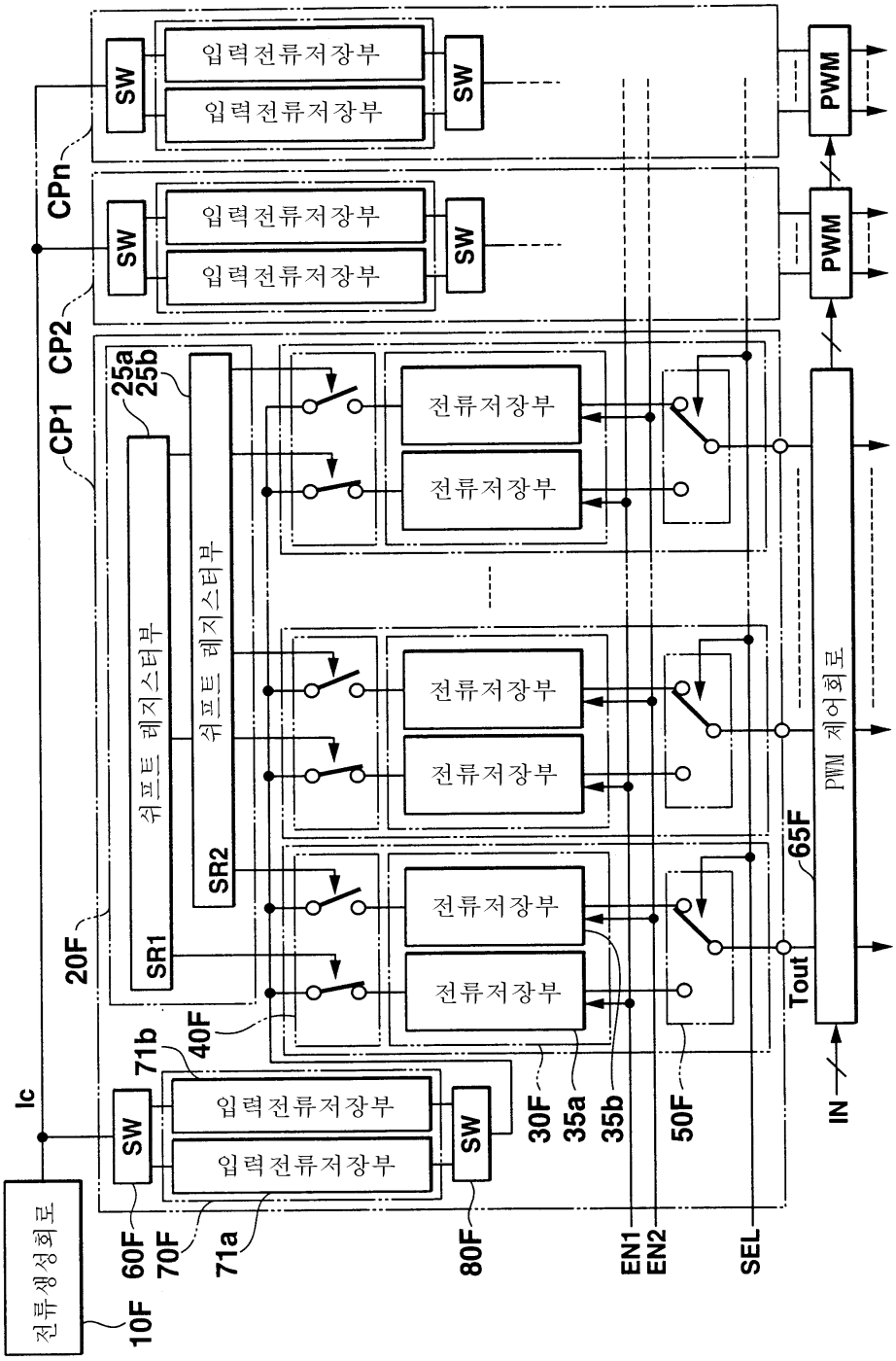
도면8


CPn
CP2
CP1
23a
23b
쉬프트 레지스터부
SR1
쉬프트 레지스터부
SR2
전류 저장부
전류 저장부
전류 저장부
전류 저장부
전류 저장부
전류 저장부
Tout
20D
Ic
40D
43a
43b
30D
33a
33b
EN1
EN2
50D
SEL
10D
전류생성회로

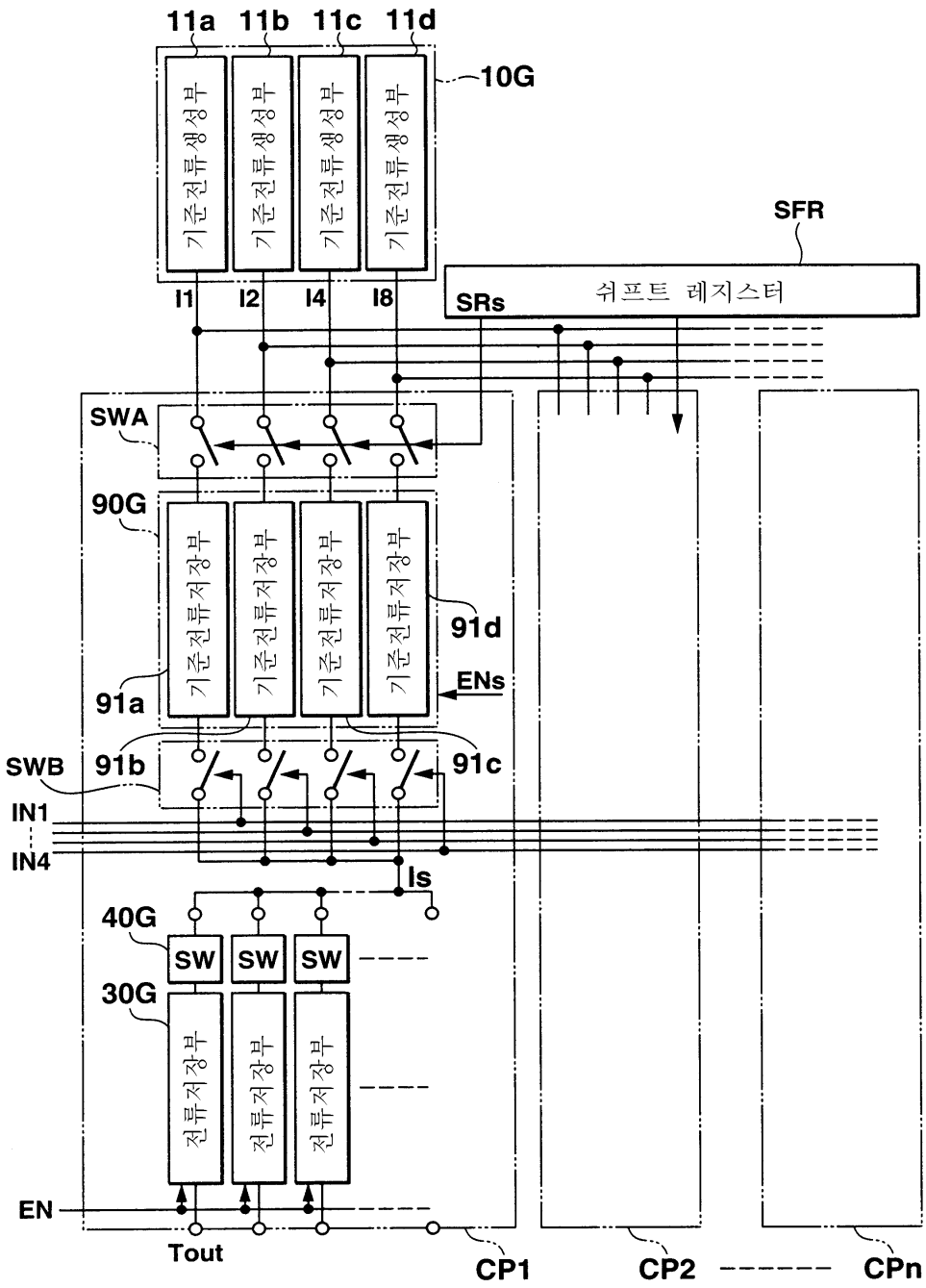
도면9


전류생성회로
10E
Ic
SW
60E
입력전류 저장회로
70E
40E
20E
CP1
CP2
CPn
24a
24b
쉬프트 레지스터부
SR1
SR2
44a
44b
30E
34a
34b
50E
EN1
EN2
SEL
전류저장부
PWM 제어회로
65E
Tout
IN
PWM

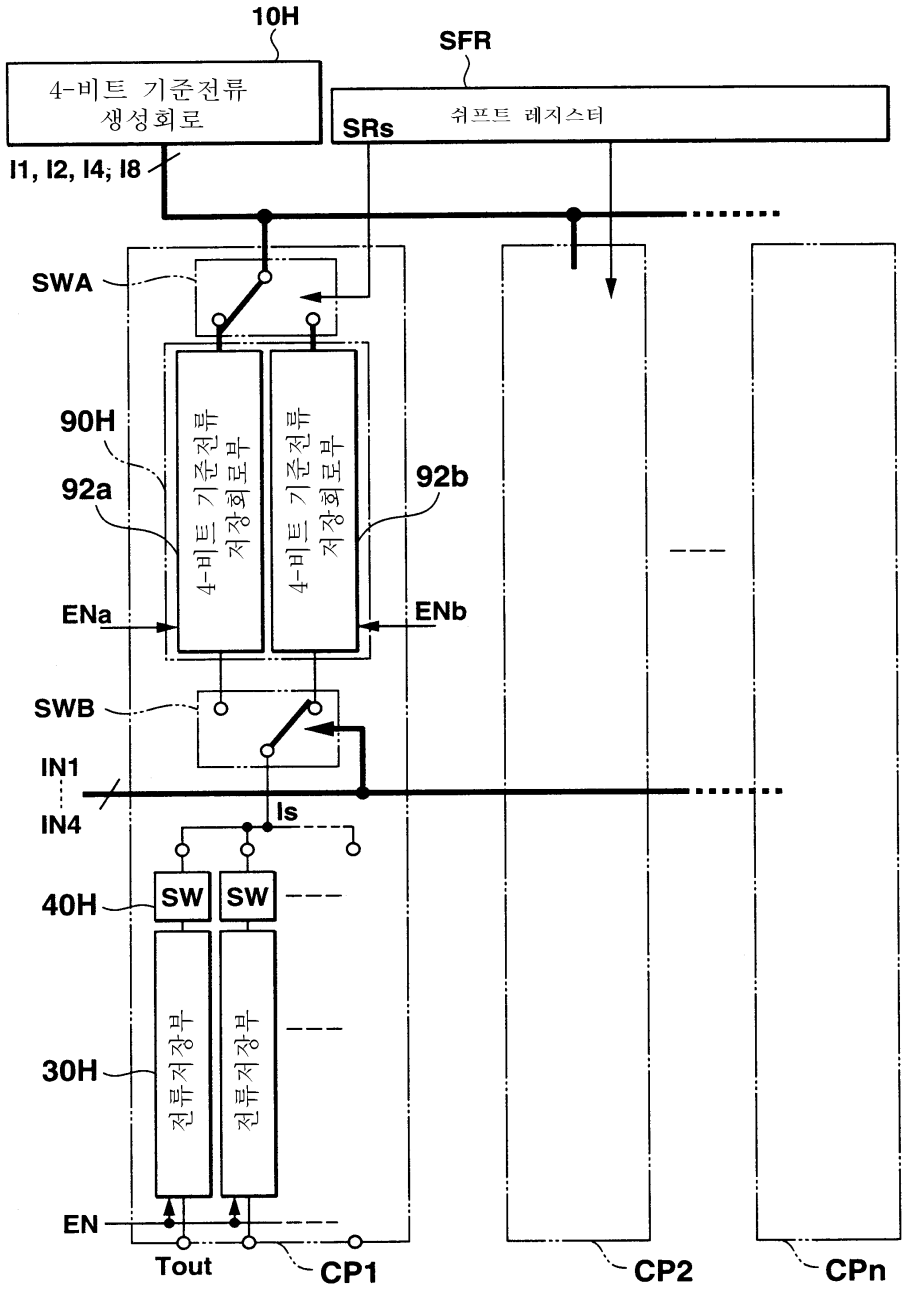
도면10


입력전류저장부
SW
CPn
CP2
CP1
25a
25b
쉬프트 레지스터부
SR1
SR2
20F
전류저장부
PWM
PWM 제어회로
65F
Tout
IN
Ic
전류생성회로
10F
40F
71b
71a
60F
70F
80F
30F
35a
35b
50F
EN1
EN2
SEL

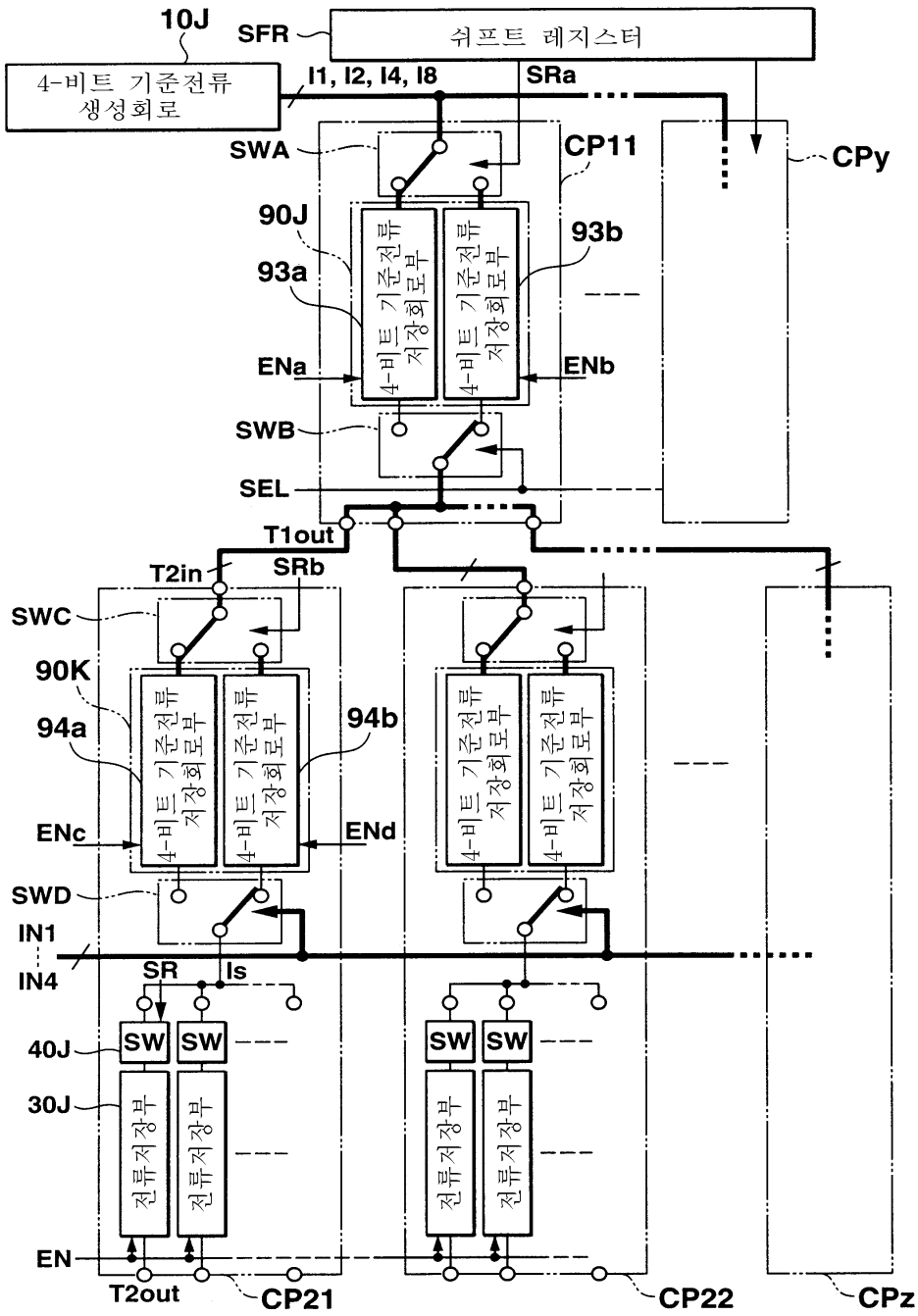
도면11


11a
11b
11c
11d
10G
기준전류생성부
SFR
쉬프트 레지스터
SRs
I1
I2
I4
I8
SWA
90G
기준전류저장부
91d
ENs
91a
SWB
91b
91c
IN1
IN4
Is
40G
SW
30G
전류저장부
EN
Tout
CP1
CP2
CPn

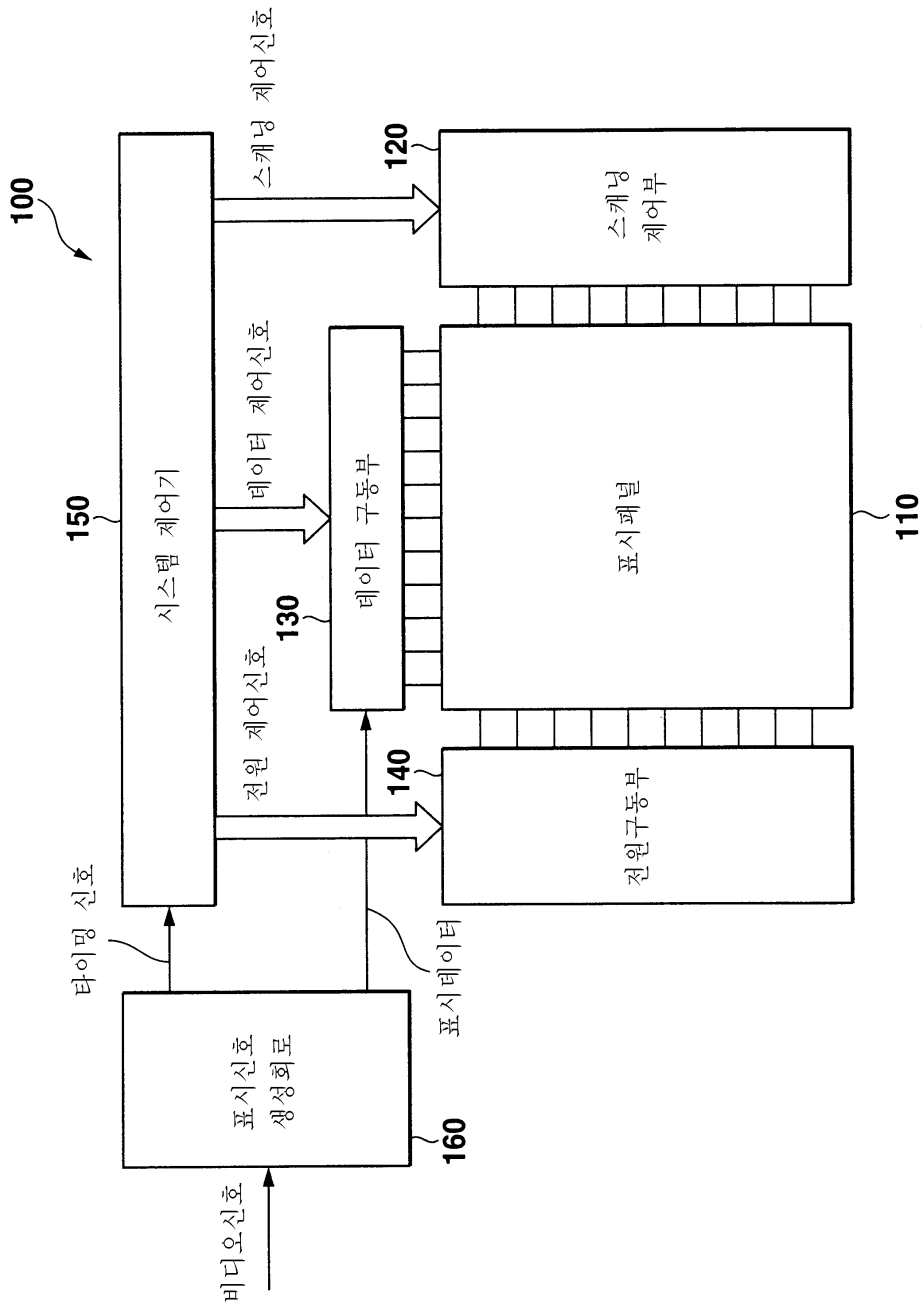
도면12


10H
4-비트 기준전류
생성회로
SFR
쉬프트 레지스터
SRs
I1, I2, I4, I8
SWA
90H
92a
92b
4-비트 기준전류
저장회로부
4-비트 기준전류
저장회로부
ENa
ENb
SWB
IN1
IN4
Is
40H
SW
SW
30H
전류저장부
전류저장부
EN
Tout
CP1
CP2
CPn

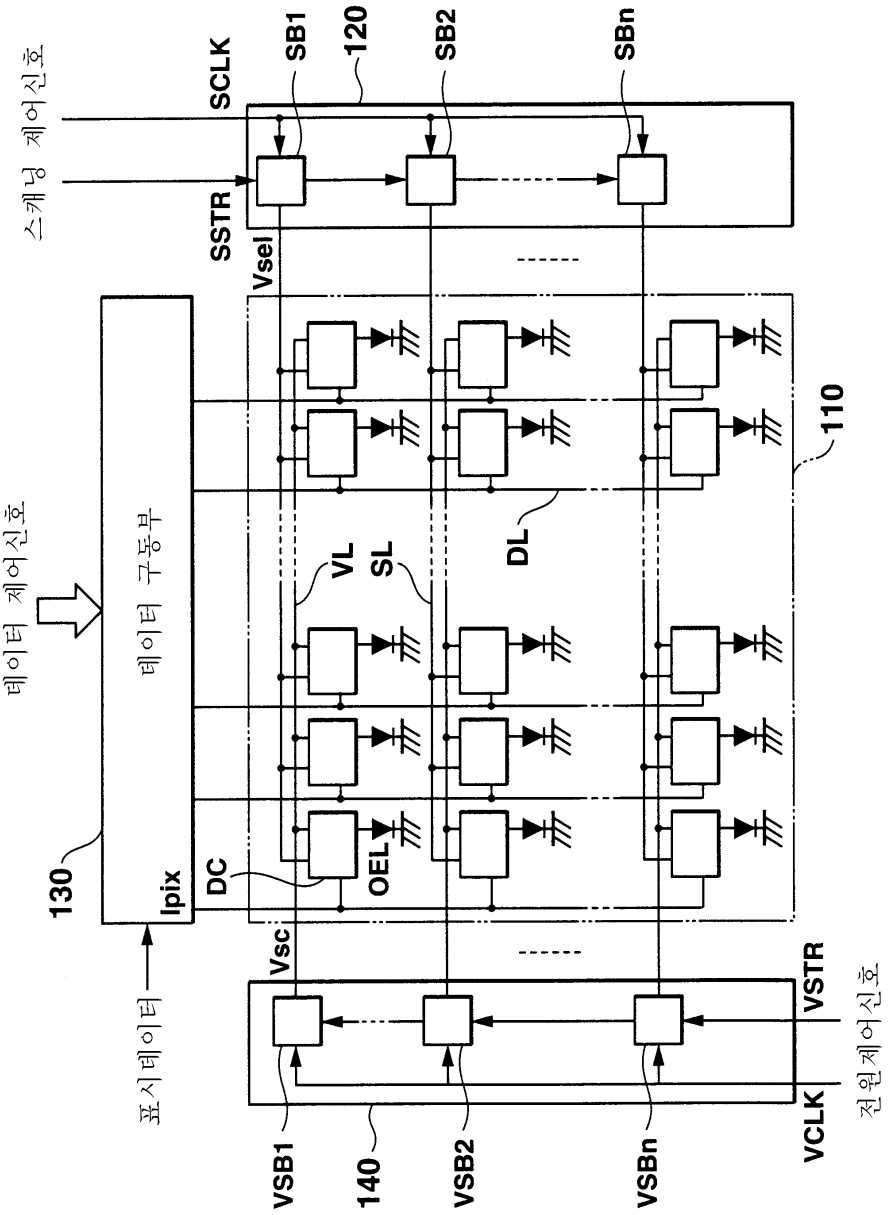
도면13


10J
SFR
쉬프트 레지스터
4-비트 기준전류 생성회로
I1, I2, I4, I8
SRa
SWA
CP11
CPy
90J
93b
93a
4-비트 기준전류 저장회로부
ENa
ENb
SWB
SEL
T1out
T2in
SRb
SWC
90K
94a
94b
ENc
ENd
SWD
IN1
IN4
SR
Is
40J
SW
30J
전류저장부
EN
T2out
CP21
CP22
CPz

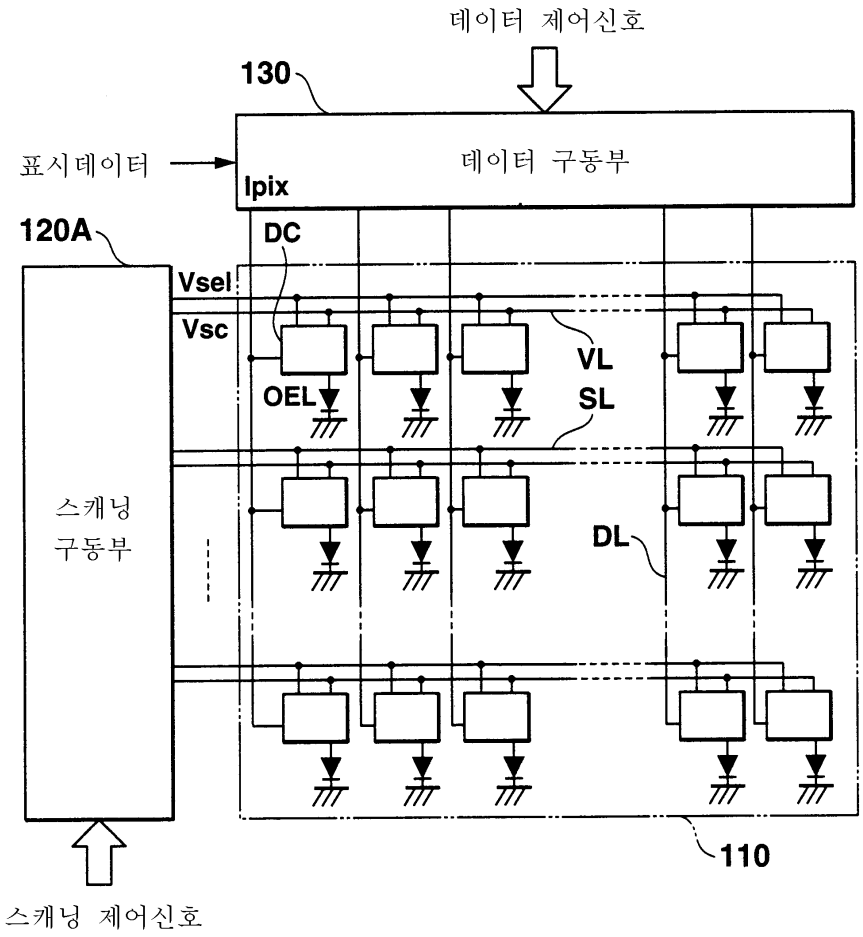
도면14


100
150
시스템 제어기
스캐닝 제어신호
120
스캐닝 제어부
데이터 제어신호
130
데이터 구동부
표시패널
110
전원 제어신호
140
전원구동부
타이밍 신호
표시데이터
표시신호 생성회로
160
비디오신호

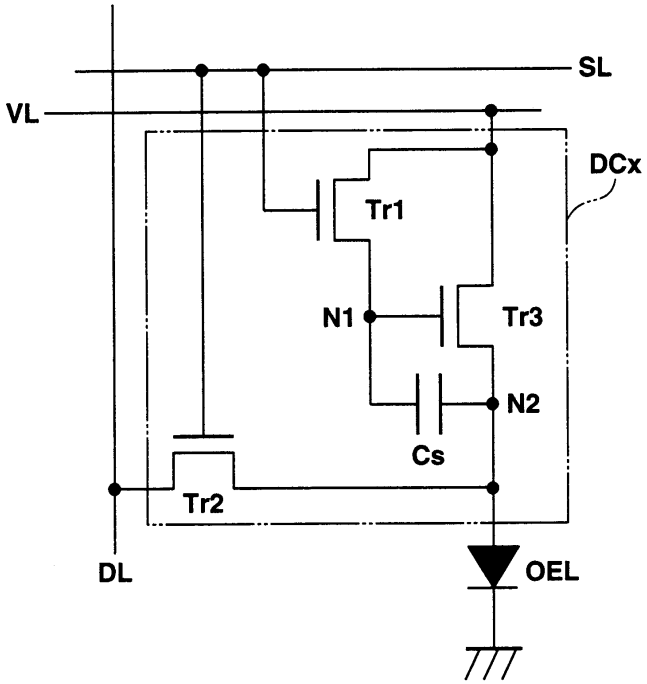
도면15


스캐닝 제어신호
SCLK
SB1
120
SB2
SBn
SSTR
Vsel
데이터 제어신호
데이터 구동부
VL
SL
DL
110
130
Ipix
DC
OEL
Vsc
VSTR
표시데이터
VCLK
전원제어신호
VSB1
140
VSB2
VSBn

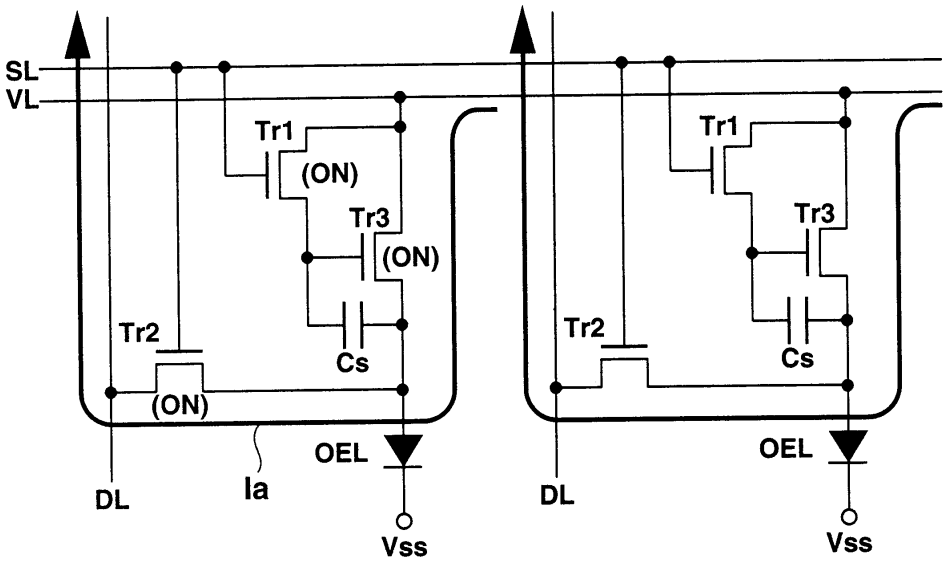
도면16


데이터 제어신호
130
데이터 구동부
표시데이터
Ipix
120A
DC
Vsel
Vsc
VL
SL
OEL
스캐닝
구동부
DL
110
스캐닝 제어신호

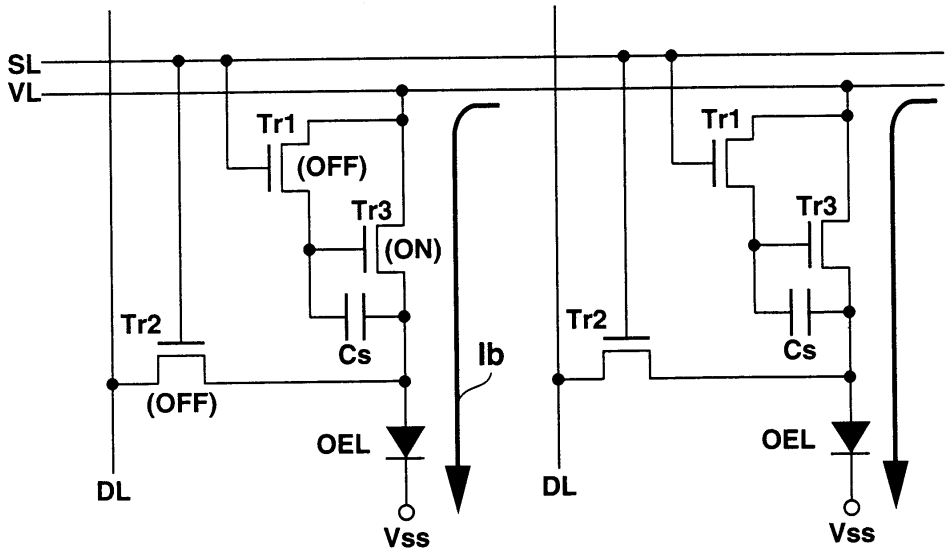
도면17


SL
VL
DCx
Tr1
N1
Tr3
N2
Cs
Tr2
DL
OEL

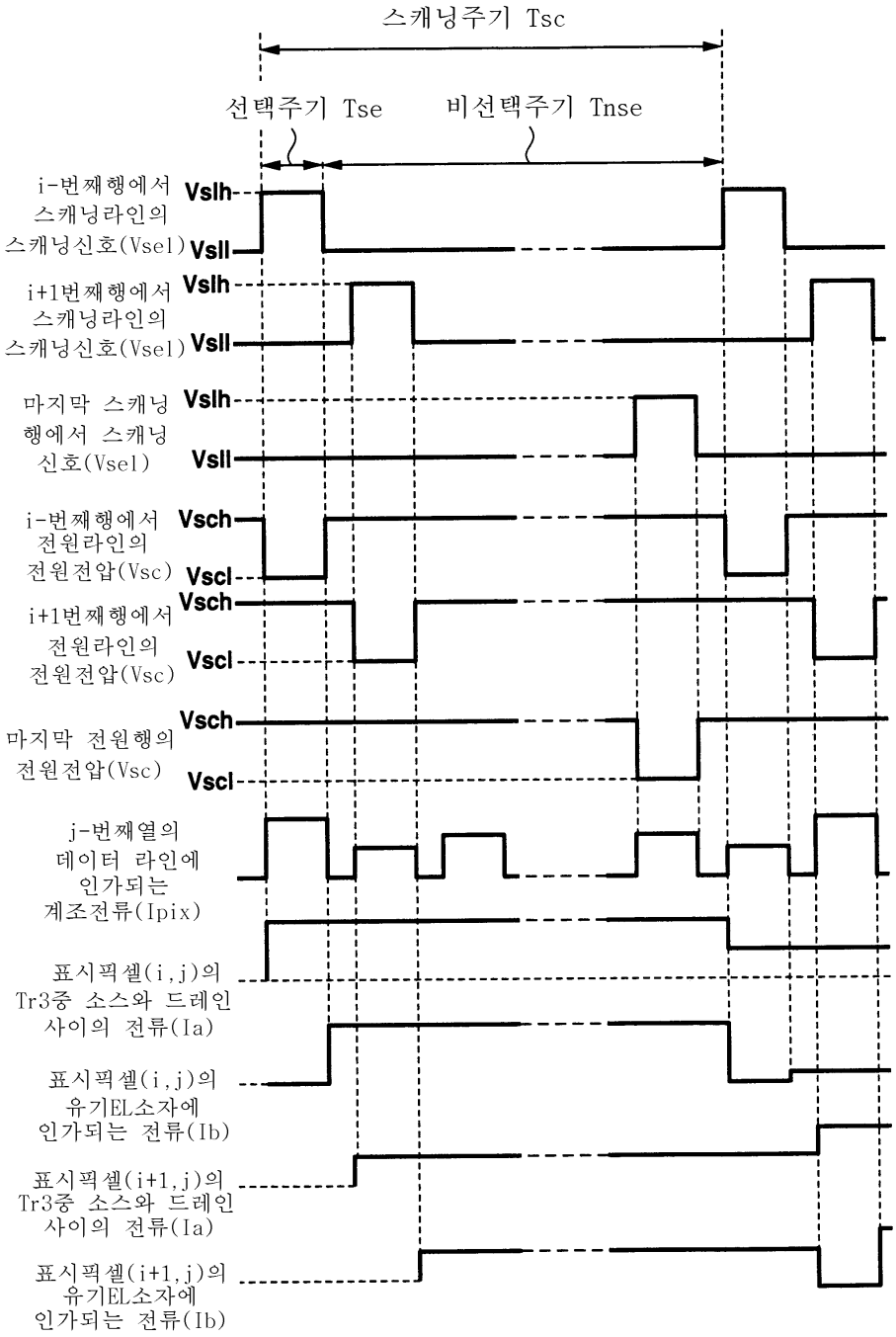
도면18a


SL
VL
Tr1
(ON)
Tr3
(ON)
Tr2
Cs
(ON)
Ia
OEL
DL
Vss
Tr1
Tr3
Tr2
Cs
OEL
DL
Vss

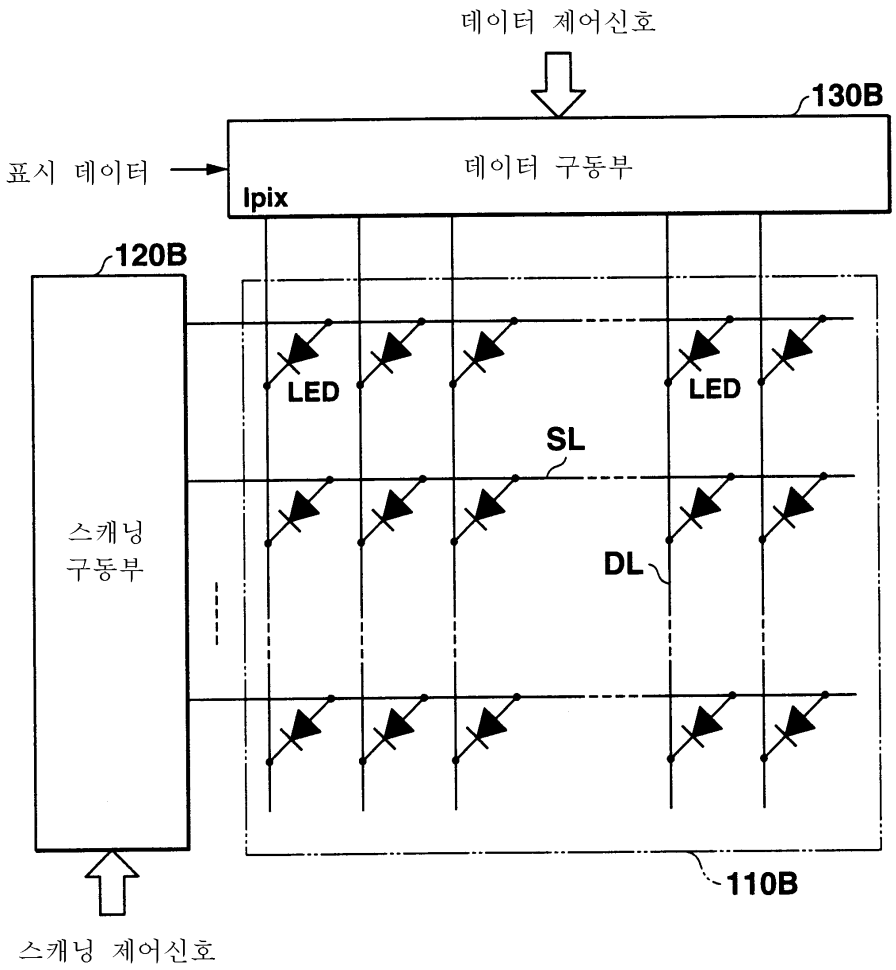
도면18b


SL
VL
Tr1
(OFF)
Tr3
(ON)
Tr2
Cs
(OFF)
Ib
OEL
DL
Vss
Tr1
Tr3
Tr2
Cs
OEL
DL
Vss

도면19


스캐닝주기 Tsc
선택주기 Tse
비선택주기 Tnse
i-번째행에서 스캐닝라인의 스캐닝신호(Vsel)
Vsih
Vsil
i+1번째행에서 스캐닝라인의 스캐닝신호(Vsel)
Vsih
Vsil
마지막 스캐닝 행에서 스캐닝 신호(Vsel)
Vsih
Vsil
i-번째행에서 전원라인의 전원전압(Vsc)
Vsch
Vscl
i+1번째행에서 전원라인의 전원전압(Vsc)
Vsch
Vscl
마지막 전원행의 전원전압(Vsc)
Vsch
Vscl
j-번째열의 데이터 라인에 인가되는 계조전류(Ipix)
표시픽셀(i,j)의 Tr3중 소스와 드레인 사이의 전류(Ia)
표시픽셀(i,j)의 유기EL소자에 인가되는 전류(Ib)
표시픽셀(i+1,j)의 Tr3중 소스와 드레인 사이의 전류(Ia)
표시픽셀(i+1,j)의 유기EL소자에 인가되는 전류(Ib)

도면20


데이터 제어신호
130B
표시 데이터
데이터 구동부
Ipix
120B
LED
LED
SL
스캐닝
구동부
DL
110B
스캐닝 제어신호

专利名称(译)	电流驱动电路及其驱动方法，以及使用其的电致发光显示装置		
公开(公告)号	KR1020040034684A	公开(公告)日	2004-04-28
申请号	KR1020047003165	申请日	2003-06-27
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富 服部礼治 做激光轴.		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司 做激光轴.		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司 做激光轴.		
[标]发明人	HATTORI REIJI		
发明人	HATTORI,REIJI		
IPC分类号	H01L51/50 G11C27/02 G11C19/00 G09G3/30 G09G3/32 G09G3/20 G11C5/14		
CPC分类号	G09G3/32 G09G2300/0842 G09G3/2014 G09G2310/027 G11C5/14 G09G3/2011 G09G2300/0866 G09G3/3216 G09G2310/0221 G11C27/028 G09G3/3283 G09G3/325 G09G2310/0294 G11C19/00		
代理人(译)	孙某EUN JIN		
优先权	2002187803 2002-06-27 JP		
其他公开文献	KR100558779B1		
外部链接	Espacenet		

摘要(译)

在用于有源矩阵显示器的电流驱动器中是多次加载，它例如通过授权有机或无机电致发光器件中的电流来激活。该装置包括作为相应连接的多个的输出端子（Tout）的负载。例如，包括数模转换器和电流镜的单电流产生电路（10A）输出具有预定电流值的工作电流。根据每个输出端子配备多个电流存储电路（30A）。连续保持工作电流并且此后基于采样工作电流的驱动电流同时输出到每个输出端子。工作电流根据输入信号具有电流值。电流存储电路（30A）包括电压分量维持单元，其保持用于驱动对应于工作电流的当前值的控制执行电流的电压分量，以使从电流产生电路输出的工作电流作为样本并驱动第二电流镜子。电流，驱动，像素，操作，镜像，有机，脉冲，灰度，贴片，标准，存储，芯片。