



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월12일
(11) 등록번호 10-1073163
(24) 등록일자 2011년10월06일

(51) Int. Cl.

H01L 51/52 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2009-0069926

(22) 출원일자 2009년07월30일

심사청구일자 2009년07월30일

(65) 공개번호 10-2011-0012275

(43) 공개일자 2011년02월09일

(56) 선행기술조사문헌

KR1020060000848 A*

KR1020060000362 A

KR1020060046811 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이근수

충청남도 천안시 서북구 성성동 508번지

(74) 대리인

신영무

전체 청구항 수 : 총 6 항

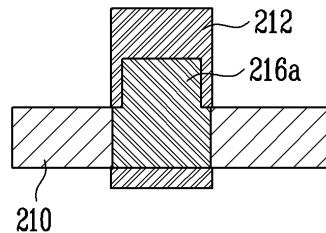
심사관 : 김효욱

(54) 유기전계 발광 표시장치

(57) 요약

본 발명은 유기전계 발광 표시장치를 구성하는 각 화소에 대하여 인접 화소별로 커패시터의 상부 및 하부 전극이 중첩되는 면적은 동일하나 상기 상, 하부 전극의 크기를 서로 다르게 구현함으로써, CD(Critical Dimension) 산포의 영향에 의해 발생하는 가로줄 형태 얼룩의 표시 품위 저하를 방지하는 유기전계 발광 표시장치를 제공한다.

대표도 - 도3a



특허청구의 범위

청구항 1

각 화소별로 적어도 하나 이상의 커패시터를 포함하는 유기전계 발광 표시장치에 있어서,

기관 상에 형성되며 커패시터의 하부 전극 역할을 수행하는 반도체층과;

상기 반도체층 상에 형성되는 절연층과;

상기 반도체층과 중첩되는 상기 절연층 상의 영역에 형성되는 커패시터의 상부 전극 역할을 수행하는 제 1전극층이 포함되며,

상기 반도체층의 폭은 상기 제 1전극층의 폭보다 넓거나 좁으며, 상기 반도체층의 폭 또는 제 1전극층의 폭은 인접 화소별로 번갈아 상이하게 구현됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 2

제 1항에 있어서,

상기 인접 화소는 각 주사선 별로 배열된 화소 중 홀수번째 화소 및 이에 인접한 짝수번째 화소임을 특징으로 하는 유기전계 발광 표시장치.

청구항 3

제 2항에 있어서,

상기 짝수번째 화소에 구비되는 커패시터는 반도체층의 폭이 제 1전극층의 폭보다 넓게 형성됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 4

제 2항에 있어서,

상기 홀수번째 화소에 구비되는 커패시터는 제 1전극층의 폭이 반도체층의 폭보다 넓게 형성됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 5

제 1항에 있어서,

상기 제 1전극층은 행 방향으로 배열된 주사선에 연결되어 각 화소별로 상기 주사선에서 일부 돌출된 형상으로 구현됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 6

제 1항에 있어서,

상기 커패시터는 각 화소에 구비되는 부스팅 커패시터(Cb)임을 특징으로 하는 유기전계 발광 표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기전계 발광 표시장치에 관한 것으로, 특히 CD(Critical Dimension) 산포의 영향에 의해 발생하는 가로줄 형태 얼룩의 표시 품위 저하를 방지하는 유기전계 발광 표시장치에 관한 것이다.

배경기술

- [0002] 최근, 음극선관(CRT: Cathode Ray Tube)의 무게와 크기의 문제점을 해결하여 소형 경량화의 장점을 가지고 있는 평판표시장치(FPD: Flat Panel Display)가 주목받고 있다. 이러한 평판표시장치는 액정표시장치(LCD: Liquid Crystal Display), 유기전계 발광 표시장치(OLED: Organic Light Emitting Diode), 전계방출 표시장치(FED: Field Emitter Display) 및 플라즈마 표시장치(PDP: Plasma Display Panel) 등이 있다.
- [0003] 그리고, 이와 같은 평판표시장치 중에서도 유기전계 발광 표시장치는 다른 평판표시장치보다 사용온도 범위가 넓고, 충격이나 진동에 강하며, 시야각이 넓고, 응답속도가 빨라 깨끗한 동화상을 제공할 수 있다는 등의 장점을 가지고 있어서 향후 차세대 평판표시장치로 주목 받고 있다.
- [0004] 상기 유기 전계발광 표시장치는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합(recombination)하여 여기자(exciton)를 형성하고 형성된 여기자로부터 특정한 파장의 빛이 발생하는 현상을 이용한 표시장치로서, 자체 발광소자를 이용하여 구성되므로 액정표시장치와 달리 별도의 광원을 필요로 하지 않고, 유기 전계발광 표시장치를 구성하는 유기 발광 소자의 휘도는 유기 발광 소자에 흐르는 전류량에 의하여 제어된다는 특징을 가지고 있다
- [0005] 즉, 유기전계 발광 표시장치는 유기 발광소자에 흐르는 전류량에 의해 휘도가 제어되기 때문에 각각의 화소를 형성함에 있어 보다 정밀한 증착 공정 수행이 요구된다.
- [0006] 상기 유기전계 발광 표시장치의 각 화소는 트랜지스터, 커패시터 등의 다양한 구성요소가 포함되어 구성되는데, 이는 새도우 마스크(Shadow Mask) 또는 파인 메탈 마스크(FMM: Fine Metal Mask)를 이용한 증착 공정을 통해 형성된다.
- [0007] 이 경우 상기 마스크를 통한 증착 공정 수행 시 발생하는 CD(Critical Dimension) 산포의 영향으로 각 화소별 커패시터의 용량이 조금씩 차이가 생길 수 있다.
- [0008] 일 예로 각 화소영역 별로 주사선 상에 형성된 커패시터의 경우 상기 커패시터의 전극 형성 시 발생하는 CD 산포에 따라 가로줄 형태 얼룩이 발생하는 문제가 발견되고 있다.
- [0009] 이와 같은 CD 산포의 영향을 줄이기 위해서는 마스크의 공차(tolerance)를 낮게 즉, 마스크를 보다 정밀하게 제작하는 방법이 있으나, 이는 제작 비용이 상당히 많이 소요된다는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 본 발명은 유기전계 발광 표시장치를 구성하는 각 화소에 대하여 인접 화소별로 커패시터의 상부 및 하부 전극이 중첩되는 면적은 동일하나 상기 상, 하부 전극의 크기를 서로 다르게 구현함으로써, CD(Critical Dimension) 산포의 영향에 의해 발생하는 가로줄 형태 얼룩의 표시 품위 저하를 방지하는 유기전계 발광 표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0011] 상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 유기전계 발광 표시장치는, 각 화소별로 적어도 하나 이상의 커패시터를 포함하는 유기전계 발광 표시장치에 있어서, 기판 상에 형성되며 커패시터의 하부 전극 역할을 수행하는 반도체층과; 상기 반도체층 상에 형성되는 절연층과; 상기 반도체층과 중첩되는 상기 절연층 상의 영역에 형성되는 커패시터의 상부 전극 역할을 수행하는 제 1전극층이 포함되며, 상기 반도체층의 폭은 상기 제 1전극층의 폭보다 넓거나 좁으며, 상기 반도체층의 폭 또는 제 1전극층의 폭은 인접 화소별로 번갈아 상이하게 구현됨을 특징으로 한다.
- [0012] 또한, 상기 인접 화소는 각 주사선 별로 배열된 화소 중 홀수번째 화소 및 이에 인접한 짝수번째 화소이며, 상기 짝수번째 화소에 구비되는 커패시터는 반도체층의 폭이 제 1전극층의 폭보다 넓게 형성되고, 상기 홀수번째 화소에 구비되는 커패시터는 제 1전극층의 폭이 반도체층의 폭보다 넓게 형성됨을 특징으로 한다.
- [0013] 또한, 상기 제 1전극층은 행 방향으로 배열된 주사선에 연결되어 각 화소별로 상기 주사선에서 일부 돌출된 형상으로 구현되며, 상기 커패시터는 각 화소에 구비되는 부스팅 커패시터(Cb)임을 특징으로 한다.

효 과

[0014] 이와 같은 본 발명에 의하면, 유기전계 발광 표시장치를 구성하는 각 화소에 대하여 인접 화소별로 커패시터의 상부 및 하부 전극이 중첩되는 면적은 동일하나 상기 상, 하부 전극의 크기를 서로 다르게 구현함으로써, CD(Critical Dimension) 산포의 영향에 의해 발생하는 가로줄 형태 얼룩의 표시 품질 저하를 방지하는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- [0016] 도 1은 본 발명의 실시예에 의한 유기전계 발광 표시장치의 각 화소에 대한 회로도이다.
- [0017] 단, 도 1에 도시된 화소 회로는 하나의 실시예로서 본 발명에 의한 유기전계발광 표시장치에 구비되는 화소 회로가 반드시 이에 한정되는 것은 아니다.
- [0018] 도 1을 참조하면, 본 발명의 실시예에 의한 화소(140)들 각각은 유기 발광 다이오드(OLED)와, 데이터선(D), 주사선(Sn) 및 발광 제어선(En)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(142)를 구비한다.
- [0019] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(142)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 제 2전원(ELVSS)은 제 1전원(ELVDD)보다 낮은 전압으로 설정된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(142)로부터 공급되는 전류량에 대응되어 적색, 녹색 및 청색 중 어느 하나의 빛을 생성한다.
- [0020] 화소회로(142)는 제 1전원(ELVDD)과 초기화전원(Vint) 사이에 접속되는 스토리지 커패시터(Cst) 및 제 6트랜지스터(M6)와, 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되는 제 4트랜지스터(M4), 제 1트랜지스터(M1), 제 5트랜지스터(M5)와, 제 1트랜지스터(M1)의 게이트전극과 제 2전극 사이에 접속되는 제 3트랜지스터(M3)와, 데이터선(D)과 제 1트랜지스터(M1)의 제 1전극 사이에 접속되는 제 2트랜지스터(M2)와, 제 1트랜지스터(M1)의 게이트전극과 제 2트랜지스터(M2)의 게이트전극 사이에 접속되는 부스팅 커패시터(Cb)를 구비한다.
- [0021] 여기서, 제 1전극은 드레인전극 및 소오스전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되었다면 제 2전극은 드레인전극으로 설정된다. 그리고, 도 1에서 제 1 내지 제 6트랜지스터(M1 내지 M6)들이 P타입 트랜지스터로 도시되었지만, 본 발명이 이에 한정되는 것은 아니다. 다만, 제 1 내지 제 6트랜지스터(M1 내지 M6)들이 N타입 트랜지스터로 형성되면 당업자에게 널리 알려진 바와 같이 구동파형의 극성이 반전된다.
- [0022] 제 1트랜지스터(M1)의 제 1전극은 제 4트랜지스터(M4)를 경유하여 제 1전원(ELVDD)에 접속되고, 제 2전극은 제 5트랜지스터(M5)를 경유하여 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 스토리지 커패시터(Cst)에 충전된 전압, 즉, 제 1노드(N1)에 인가되는 전압에 대응하는 전류를 유기 발광 다이오드(OLED)로 공급한다.
- [0023] 제 3트랜지스터(M3)의 제 1전극은 제 1트랜지스터(M1)의 제 2전극에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 게이트전극에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 n주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 제 1트랜지스터(M1)를 다이오드 형태로 접속시킨다. 즉, 제 3트랜지스터(M3)가 턴-온될 때 제 1트랜지스터(M1)는 다이오드 형태로 접속된다.
- [0024] 제 2트랜지스터(M2)의 제 1전극은 데이터선(D)에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 제 1전극에 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 n주사선(Sn)에 주사신호가 공급될 때 턴-온되어 데이터선(D)으로 공급되는 데이터신호를 제 1트랜지스터(M1)의 제 1전극으로 공급한다.
- [0025] 제 4트랜지스터(M4)의 제 1전극은 제 1전원(ELVDD)에 접속되고, 제 2전극은 제 1트랜지스터(M1)의 제 1전극에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 발광 제어선(En)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 발광 제어신호가 공급되지 않을 때(즉, 로우의 발광 제어신호가 공급될 때) 턴-온되어 제 1전원(ELVDD)과 제 1트랜지스터(M1)를 전기적으로 접속시킨다.
- [0026] 제 5트랜지스터(M5)의 제 1전극은 제 1트랜지스터(M1)에 접속되고, 제 2전극은 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 발광 제어선(En)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 발광 제어신호가 공급되지 않을 때(즉, 로우의 발광 제어신호가 공급될 때) 턴-온되어 제 1트랜지스터(M1)와 유기 발광 다이오드(OLED)를 전기적으로 접속시킨다.

- [0027] 제 6트랜지스터(M6)의 제 1전극은 스토리지 커패시터(Cst) 및 제 1트랜지스터(M1)의 게이트전극(즉, 제 1노드(N1))에 접속되고, 제 2전극은 초기화전원(Vint)에 접속된다. 그리고, 제 6트랜지스터(M6)의 게이트전극은 제 n-1주사선(Sn-1)에 접속된다. 이와 같은 제 6트랜지스터(M6)는 제 n-1주사선(Sn-1)으로 주사신호가 공급될 때 턴-온되어 제 1노드(N1)를 초기화한다. 이를 위해, 초기화전원(Vint)의 전압값은 데이터신호의 전압값보다 낮게 설정된다.
- [0028] 스토리지 커패시터(Cst)는 제 1전원(ELVDD)과 제 1노드(N1) 사이에 접속되며, 이는 각 화소별로 입력되는 데이터신호에 대응하는 전압을 저장한다.
- [0029] 또한, 부스팅 커패시터(Cb)는 상기 제 1노드(N1)와 제 n주사선(Sn)의 사이에 접속되며, 이는 상기 스토리지 커패시터(Cst)에 저장되는 데이터 신호가 원하는 전압보다 낮은 전압이 충전되어 저계조 표현이 정확하지 못함을 극복하기 위해 구비되는 것으로, 주사신호의 공급이 중단될 때 제 1노드(N1)의 전압을 상승시키는 역할을 수행함으로써 이러한 문제를 극복할 수 있게 된다.
- [0030] 도 2는 도 1에 도시된 각 화소에 형성되는 커패시터들을 나타내는 단면도이다. 단, 도 2에서는 설명의 편의를 위해 커패시터만을 도시하였으나 실제 각 화소에는 다수의 트랜지스터들이 추가로 형성된다.
- [0031] 도 2를 참조하면, 본 발명의 화소들 각각에는 기관(210) 상에 형성되어 커패시터들(Cb, Cst)을 이루는 반도체층(212), 제 1전극층(216a), 제 2전극층(216b) 및 제 3전극층(220)이 구비된다. 즉, 커패시터들(Cb, Cst) 중 적어도 하나는 충분한 용량이 확보될 수 있도록 듀얼 커패시터 형태로 형성될 수 있다.
- [0032] 또한, 화소들 각각에는 반도체층(212), 제 1전극층(216a), 제 2전극층(216b) 및 제 3전극층(220)이 절연될 수 있도록 제 1절연막(214), 제 2절연막(218)이 더 구비된다.
- [0033] 먼저, 기관(210) 상에 반도체층(212)이 형성된다. 상기 반도체층(212)은 트랜지스터들의 채널을 이루는 반도체층과 동일 재료로 구현되는 것으로, 상기 트랜지스터 채널과 동시에 형성되며, 이는 커패시터의 하부 전극 역할을 수행하게 된다. 상기 반도체층(212)은 다결정-실리콘(Poly-Si)으로 형성됨이 바람직하다.
- [0034] 기관(210) 상에 반도체층(212)이 형성된 후 반도체층(212) 상에 제 1절연막(214)이 형성된다. 제 1절연막(214)은 이후에 형성되는 제 1전극층(216a), 제 2전극층(216b)과 반도체층(212)을 전기적으로 절연한다.
- [0035] 이후, 스토리지 커패시터(Cst) 형성영역에 제 2전극층(216b)이 형성됨과 동시에 부스팅 커패시터(Cb) 형성영역에 제 1전극층(216a)이 형성된다. 이 경우, 스토리지 커패시터(Cst)의 용량이 부스팅 커패시터(Cb)의 용량보다 크게 설정되기 때문에 제 2전극층(216b)의 길이가 제 1전극층(216a)의 길이보다 길게 설정된다. 한편, 제 1전극층(216a) 및 제 2전극층(216b)은 트랜지스터들의 게이트전극 및 주사선과 동일 물질로 동시에 형성된다.
- [0036] 특히 상기 제 1전극층(216a)은 도 1에 도시된 바와 같이 주사선과 연결되어 구현된다. 즉, 행 방향으로 배열된 주사선에 대하여 상기 주사선에 연결된 각 화소별로 상기 제 1전극층(216a)은 상기 주사선에서 일부 돌출된 형상으로 구현된다.
- [0037] 제 1전극층(216a) 및 제 2전극층(216b)이 형성된 후 제 1전극층(216a) 및 제 2전극층(216b)을 덮도록 제 2절연막(218)이 형성된다. 제 2절연막(218)은 제 1전극층(216a) 및 제 2전극층(216b)과 이후에 형성되는 제 3전극층(220)을 전기적으로 절연한다.
- [0038] 제 2절연막(218)이 형성된 후 제 1전극층(216a) 및 제 2전극층(216b)의 사이에서 반도체층(212)이 노출되도록 콘택홀이 형성된다. 그리고, 콘택홀을 통해 반도체층(212)과 접속되도록 제 3전극층(220)이 형성된다.
- [0039] 여기서, 제 3전극층(220)은 듀얼 커패시터를 구현하기 위해 형성되는 것으로, 스토리지 커패시터(Cst)의 용량이 부스팅 커패시터(Cb)의 용량보다 크게 설정되기 때문에 도시된 바와 같이 상기 제 3전극층(220)은 제 2전극층(216b)과 중첩되는 위치에 형성된다.
- [0040] 이와 같이 제 3전극층(220)이 형성되면 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb)의 형성이 완료된다.
- [0041] 즉, 부스팅 커패시터(Cb)는 반도체층(212)과 제 1전극층(216a)이 중첩되는 영역을 통해 형성되며, 스토리지 커패시터(Cst)는 반도체층(212)과 제 2전극층(216b)이 중첩되는 영역 및 제 2전극층(216b)과 제 3전극층(220)이 중첩되는 영역을 통해 형성된다.

[0042] 도 1 및 도 2를 통해 설명한 화소의 경우 상기 부스팅 커패시터(Cb)의 상부전극(216a)은 주사선에 연결된 형태로 구현된다. 따라서, 상기 부스팅 커패시터(Cb)의 상부 또는 하부 전극 형성 공정 시 CD 산포에 따라 각 주사선 별로 가로줄 형태 얼룩이 발생하는 문제가 발생할 수 있다.

[0043] 즉, 상기 부스팅 커패시터의 용량을 결정하는 상부 전극 및 하부 전극의 중첩 면적이 상기 CD 산포에 따라 차이가 발생할 수 있으며, 이 경우 부스팅 커패시터의 용량이 상이하게 되어 가로줄 형태 얼룩이 표시될 수 있는 것이다.

[0044] 본 발명의 실시예는 이러한 문제를 극복하기 위하여 각 주사선 별로 배열된 화소에 대하여 인접 화소별로 부스팅 커패시터의 상부 및 하부 전극이 중첩되는 면적은 동일하나 상기 상, 하부 전극의 크기가 다르도록 번갈아 배치함을 특징으로 하며, 이를 통해 어느 한쪽 층 즉, 상부전극 및 하부전극 중 어느 한 전극의 형성 공정 시 CD 산포가 발생하더라도 행 방향으로 전체가 줄 얼룩이 발생하는 것을 방지할 수 있게 된다.

[0045] 도 3a 및 도 3b는 본 발명의 실시예에 의한 부스팅 커패시터의 평면도이다.

[0046] 먼저 도 3a를 참조하면, 이는 하부 전극 역할을 수행하는 반도체층(212)의 폭이 상부 전극 역할을 수행하는 제 1전극층(216a)의 폭보다 넓게 형성되어 있음을 특징으로 한다.

[0047] 이 때, 상기 제 1전극층(216a)은 앞서 도 2를 통해 설명한 바와 같이 주사선(210)에 연결된 형태로 주사선(210)에서 일부 돌출된 형상으로 구현된다.

[0048] 즉, 도 3a에서 반도체층(212)과 제 1전극층(216a)의 중첩 면적에 의해 부스팅 커패시터(Cb)의 용량이 결정된다.

[0049] 이 경우 반도체층(212)의 폭이 제 1전극층(216a)의 폭보다 넓게 형성되어 있으므로 제 1전극층(216a) 형성 시의 CD 산포에 따라 중첩 면적이 달라지게 되어 결과적으로 부스팅 커패시터의 용량이 상이하게 된다.

[0050] 즉, CD 산포에 따라 제 1전극층(216a)의 폭이 좁아질 경우 이는 반도체층(212)과 제 1전극층(216a)의 중첩 면적이 작아지게 되어 부스팅 커패시터의 용량이 적게 된다.

[0051] 다음으로 도 3b를 참조하면, 이는 상부 전극 역할을 수행하는 제 1전극층(216a')의 폭이 하부 전극 역할을 수행하는 반도체층(212')의 폭보다 넓게 형성되어 있음을 특징으로 한다.

[0052] 이 경우 제 1전극층(216a')의 폭이 반도체층(212')의 폭보다 넓게 형성되어 있으므로 반도체층(212') 형성 시의 CD 산포에 따라 중첩 면적이 달라지게 되어 결과적으로 부스팅 커패시터의 용량이 상이하게 된다.

[0053] 즉, CD 산포에 따라 반도체층(212')의 폭이 좁아질 경우 이는 반도체층(212')과 제 1전극층(216a')의 중첩 면적이 작아지게 되어 부스팅 커패시터의 용량이 적게 된다.

[0054] 이에 본 발명은 각 주사선 별로 배열된 화소에 대하여 인접 화소별로 부스팅 커패시터의 상부 및 하부 전극이 중첩되는 면적은 동일하나 상기 상, 하부 전극의 크기가 다르도록 즉, 각 주사선 별로 짝수번째 화소는 도 3a에 도시된 부스팅 커패시터를 채용하고, 이에 인접한 홀수번째 화소는 도 3b에 도시된 부스팅 커패시터를 채용함으로써, 어느 한쪽 층 즉, 상부전극 및 하부전극 중 어느 한 전극의 형성 공정 시 CD 산포가 발생하더라도 행 방향으로 전체가 줄 얼룩이 발생하는 것을 방지할 수 있게 된다.

도면의 간단한 설명

[0055] 도 1은 본 발명의 실시예에 의한 유기전계 발광 표시장치의 각 화소에 대한 회로도.

[0056] 도 2는 도 1에 도시된 각 화소에 형성되는 커패시터들을 나타내는 단면도.

[0057] 도 3a 및 도 3b는 본 발명의 실시예에 의한 부스팅 커패시터의 평면도.

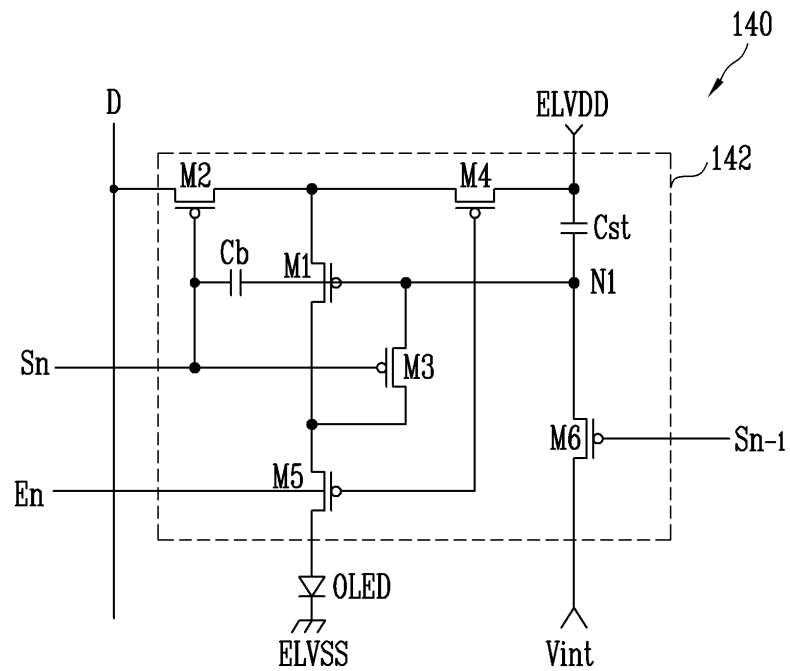
[0058] <도면의 주요 부분에 대한 부호의 설명>

[0059] 210: 주사선 212, 212': 반도체층

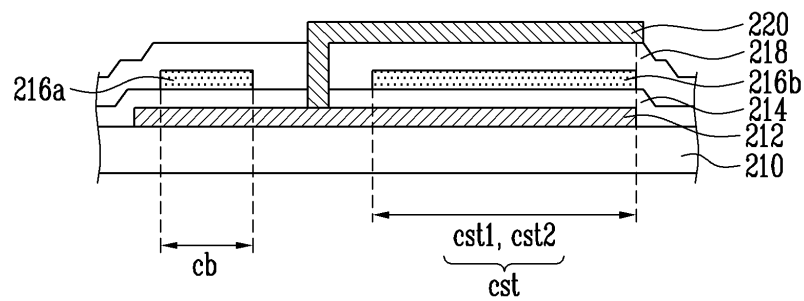
[0060] 216a, 216a': 제 1전극층

도면

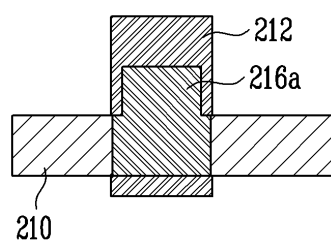
도면1



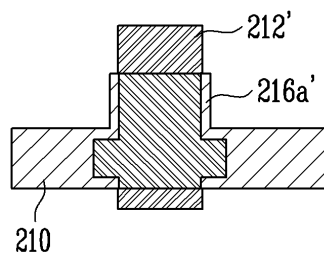
도면2



도면3a



도면3b



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR101073163B1	公开(公告)日	2011-10-12
申请号	KR1020090069926	申请日	2009-07-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KEUNSOO LEE		
发明人	KEUNSOO LEE		
IPC分类号	H05B33/26 H01L H01L51/52 H05B		
CPC分类号	H01L27/3265		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020110012275A		
外部链接	Espacenet		

摘要(译)

本发明的总体构思涉及一种有机发光显示器，其具有相同区域，其中电容器的上电极和下电极对于相邻像素重叠，对于构成有机发光显示器但实现上下尺寸的各个像素电极是不同的。由此，这防止了由于临界尺寸(CD)分布的影响而产生的水平线形斑点的显示质量下降。

