



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월28일 10-0662977 2006년12월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0100879 2005년10월25일 2005년10월25일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 최상무
 경기도 수원시 영통구 영통동 1027-5번지 303호

(74) 대리인 신영무

(56) 선행기술조사문헌 JP2001324951 A KR1020030082428 A * 심사관에 의하여 인용된 문헌	KR1020010082541 A KR1020040068506 A
---	--

심사관 : 천대식

전체 청구항 수 : 총 19 항

(54) 쉬프트 레지스터 및 이를 이용한 유기 발광 표시장치

(57) 요약

본 발명은 소비전력을 저감할 수 있도록 한 쉬프트 레지스터에 관한 것이다.

본 발명의 쉬프트 레지스터는 클럭신호를 공급하기 위한 클럭신호 공급라인과, 클럭신호 공급라인에 접속되며 이전단 및 다음단 스테이지들로부터 샘플링펄스가 공급될 때 구동신호들을 생성하기 위한 복수의 선택부들과, 상기 선택부들 각각에 접속되어 상기 구동신호들이 공급될 때 상기 샘플링펄스를 생성하기 위한 복수의 스테이지들을 구비한다.

대표도

도 6

특허청구의 범위

청구항 1.

클럭신호를 공급하기 위한 클럭신호 공급라인과,

클럭신호 공급라인에 접속되며 이전단 및 다음단 스테이지들로부터 샘플링펄스가 공급될 때 구동신호들을 생성하기 위한 복수의 선택부들과,

상기 선택부들 각각에 접속되어 상기 구동신호들이 공급될 때 상기 샘플링펄스를 생성하기 위한 복수의 스테이지들을 구비하는 쉬프트 레지스터.

청구항 2.

제 1항에 있어서,

상기 선택부들 중 첫번째 선택부는 외부로부터 스타트펄스 및 다음단 스테이지로부터 상기 샘플링펄스가 공급될 때 상기 구동신호를 생성하는 쉬프트 레지스터.

청구항 3.

제 1항에 있어서,

상기 선택부들 중 일부 선택부들은

이전단 샘플링펄스 및 다음단 샘플링펄스가 공급될 때 로우신호를 출력하고, 그 외의 경우에는 하이신호를 출력하는 제 1 노어 게이트와,

상기 클럭신호 공급라인과 접속되며 상기 제 1노어 게이트에서 로우신호가 출력될 때 턴-온되는 스위치와,

상기 스위치로부터 공급되는 클럭신호 및 상기 제 1노어 게이트의 출력신호를 공급받아 제 2구동신호를 생성하는 제 2노어 게이트와,

상기 제 2구동신호를 반전하여 제 1구동신호를 생성하는 제 5인버터를 구비하는 쉬프트 레지스터.

청구항 4.

제 3항에 있어서,

상기 일부 선택부들과 교번적으로 위치되는 나머지 선택부들은 상기 스위치와 상기 제 2노어 게이트의 사이에 위치되는 제 4인버터를 더 구비하는 쉬프트 레지스터.

청구항 5.

제 4항에 있어서,

상기 선택부들은 상기 스위치가 턴-오프될 때 상기 제 2노어 게이트의 출력상태를 특정상태로 유지하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

제 4항에 있어서,

상기 스테이지들 각각은

상기 제 1구동신호 및 제 2구동신호가 공급될 때 자신에게 공급되는 이전단의 샘플링펄스 또는 스타트펄스를 반전하여 출력하기 위한 제 1인버터와,

상기 제 1인버터의 출력을 반전하여 상기 샘플링펄스를 생성하기 위한 제 2인버터와,

상기 제 2인버터의 출력을 상기 제 2인버터의 입력으로 피드백하기 위한 제 3인버터를 구비하는 쉬프트 레지스터.

청구항 7.

제 6항에 있어서,

상기 제 1인버터는 상기 제 1구동신호가 로우신호, 상기 제 2구동신호가 하이신호일 때 구동되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8.

제 6항에 있어서,

스테이지들 각각과 접속되며 현재단 스테이지의 샘플링펄스와 다음단 스테이지의 샘플링펄스를 입력받아 주사신호를 생성하기 위한 난드 게이트들을 구비하는 쉬프트 레지스터.

청구항 9.

제 8항에 있어서,

상기 난드 게이트들의 출력단에 접속되는 인버터를 더 구비하는 쉬프트 레지스터.

청구항 10.

주사선으로 주사신호를 순차적으로 공급하기 위한 주사 구동부와;

데이터선으로 데이터신호를 공급하기 위한 데이터 구동부와;

상기 주사신호가 공급될 때 선택되어 상기 데이터신호를 입력받고, 상기 데이터신호에 대응하는 화상을 표시하기 위한 화소를 구비하며;

상기 주사 구동부는

클럭신호를 공급하기 위한 클럭신호 공급라인과,

클럭신호 공급라인에 접속되며 인접된 스테이지들로부터 샘플링펄스가 공급될 때 구동신호를 생성하기 위한 복수의 선택부들과,

상기 선택부들 각각에 접속되어 상기 구동신호들이 공급될 때 상기 샘플링펄스를 생성하기 위한 복수의 스테이지들을 구비하는 유기 발광 표시장치.

청구항 11.

제 10항에 있어서,

j (j 는 자연수)번째 스테이지와 접속되는 j 번째 선택부는 $j-1$ 번째 스테이지 및 $j+1$ 번째 스테이지로부터 샘플링펄스가 공급될 때 상기 구동신호를 생성하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 12.

제 11항에 있어서,

상기 선택부들 각각에는 상기 클럭신호 공급라인과 접속되는 스위치가 포함되며, 상기 스위치들은 상기 인접된 스테이지들로부터 샘플링펄스가 공급되는 기간에만 턴-온되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 13.

제 10항에 있어서,

상기 선택부들 중 첫번째 선택부는 외부로부터 스타트펄스 및 다음단 스테이지로부터 상기 샘플링펄스가 공급될 때 상기 구동신호를 생성하는 유기 발광 표시장치.

청구항 14.

제 12항에 있어서,

상기 선택부들 중 일부 선택부들은

이전단 샘플링펄스 및 다음단 샘플링펄스를 공급될 때 로우신호를 출력하고, 그 외의 경우에는 하이신호를 출력하는 제 1 노어 게이트와,

상기 클럭신호 공급라인과 접속되며 상기 제 1노어 게이트에서 로우신호가 출력될 때 턴-온되는 상기 스위치와,

상기 스위치로부터 공급되는 클럭신호 및 상기 제 1노어 게이트의 출력신호를 공급받아 제 2구동신호를 생성하는 제 2노어 게이트와,

상기 제 2구동신호를 반전하여 제 1구동신호를 생성하는 제 5인버터를 구비하는 유기 발광 표시장치.

청구항 15.

제 14항에 있어서,

상기 일부 선택부들과 교번적으로 위치되는 나머지 선택부들은 상기 스위치와 상기 제 2노어 게이트의 사이에 위치되는 제 4인버터를 더 구비하는 유기 발광 표시장치.

청구항 16.

제 14항에 있어서,

상기 스테이지들 각각은

상기 제 1구동신호 및 제 2구동신호가 공급될 때 자신에게 공급되는 이전단의 샘플링펄스 또는 스타트펄스를 반전하여 출력하기 위한 제 1인버터와,

상기 제 1인버터의 출력을 반전하여 상기 샘플링펄스를 생성하기 위한 제 2인버터와,

상기 제 2인버터의 출력을 상기 제 2인버터의 입력으로 피드백하기 위한 제 3인버터를 구비하는 유기 발광 표시장치.

청구항 17.

제 16항에 있어서,

상기 제 1인버터는 상기 제 1구동신호가 로우신호, 상기 제 2구동신호가 하이신호일 때 구동되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 18.

제 16항에 있어서,

스테이지들 각각과 접속되며 현재단 스테이지의 샘플링펄스와 다음단 스테이지의 샘플링펄스를 입력받아 주사신호를 생성하기 위한 난드 게이트들을 구비하는 유기 발광 표시장치.

청구항 19.

제 18항에 있어서,

상기 난드 게이트들의 출력단에 접속되는 인버터를 더 구비하는 유기 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터 및 이를 이용한 유기 발광 표시장치에 관한 것으로, 특히 소비전력을 저감할 수 있도록 한 쉬프트 레지스터 및 이를 이용한 유기 발광 표시장치에 관한 것이다.

최근 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기 발광 표시장치는 화소마다 형성되는 구동 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발생되게 한다.

이와 같은 종래의 유기 발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와, 데이터선들 및 주사선들과 접속되는 복수의 화소를 구비하는 화소부를 구비한다.

화소부에 포함된 화소들은 주사선으로 주사신호가 공급될 때 선택되어 데이터선으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들은 데이터신호에 대응하는 소정 휘도의 빛을 생성하면서 소정의 영상을 표시한다. 이와 같은 종래의 발광 표시장치에서 주사 구동부는 순차적으로 주사신호를 생성하기 위하여 복수의 스테이지를 구비한다.

도 1은 종래의 주사 구동부를 개략적으로 나타내는 도면이다.

도 1을 참조하면, 종래의 주사 구동부는 복수의 주사선들(S1, S2, ...)로 주사신호를 순차적으로 공급하기 위한 스테이지들(2a, 2b, ...)과, 스테이지들(2a, 2b, ...) 각각의 출력단과 주사선들(S1, S2, ...) 사이에 직렬로 접속되는 난드 게이트(NAND1, NAND2, ...) 및 인버터(IN1, IN2, ...)를 구비한다.

각각의 스테이지들(2a, 2b, ...)은 외부로부터 공급되는 클럭신호(Clk) 및 클럭바신호(/Clk)를 공급받는다. 클럭신호(Clk) 및 클럭바신호(/Clk)를 공급받은 스테이지들(2a, 2b, ...) 각각은 이전 단으로부터 샘플링펄스 또는 스타트펄스(SP)가 공급될 때 샘플링펄스를 생성하고, 생성된 샘플링펄스를 난드(NAND) 게이트로 공급한다. 난드(NAND) 게이트는 현재 스테이지 및 다음단 스테이지의 출력신호를 부정 논리곱 연산하여 인버터(IN)로 공급한다. 그러면, 인버터(IN)는 난드(NAND) 게이트의 출력을 인버팅하여 주사선(S)으로 공급한다.

도 2는 도 1에 도시된 스테이지를 상세히 나타내는 회로도이다. 도 2에서는 설명의 편의성을 위하여 첫번째 및 두번째 스테이지(2a, 2b)를 도시하기로 한다.

도 2를 참조하면, 스테이지(2a, 2b) 각각은 스타트펄스(SP) 또는 샘플링펄스를 공급받는 제 1인버터(2a1, 2b1)와, 제 1인버터(2a1, 2b1)의 출력은 인버팅하기 위한 제 2인버터(2a2, 2b2)와, 제 2인버터(2a2, 2b2)의 출력을 제 2인버터(2a2, 2b2)의 입력으로 피드백하기 위한 제 3인버터(2a3, 2b3)를 구비한다.

제 1인버터(2a1, 2b1)는 스타트펄스(SP) 또는 샘플링펄스가 공급될 때 클럭신호들(Clk, /clk)에 동기되어 소정의 논리신호를 출력한다.

제 2인버터(2a2, 2b2)는 제 1인버터(2a1, 2b1)로부터 공급되는 소정의 논리신호를 인버팅하여 샘플링펄스(SP1, SP2)를 생성한다. 여기서, 첫번째 스테이지(2a)에 포함된 제 2인버터(2a2)에서 생성된 제 1샘플링펄스(SP1)는 제 1난드 게이트(NAND1) 및 두번째 스테이지(2b)로 공급된다. 그리고, 두번째 스테이지(2b)에 포함된 제 2인버터(2a2)에서 생성된 제 2샘플링펄스(SP2)는 제 2난드 게이트(NAND2) 및 세번째 스테이지(2c)로 공급된다.

제 3인버터(2a3, 2b3)는 제 2인버터(2a2, 2b2)의 샘플링펄스(SP1, SP2)를 인버팅하여 제 2인버터(2a2, 2b2)의 입력단자로 공급한다. 즉, 제 3인버터(2a3, 2b3)는 제 2인버터(2a2, 2b2)의 샘플링펄스(SP1, SP2)가 안정적으로 생성될 수 있도록 한다.

제 1난드 게이트(NAND1)는 첫번째 및 두번째 스테이지(2a, 2b)에서 출력되는 샘플링펄스(SP1, SP2)를 부정 논리곱 연산하여 인버터(IN1)로 공급한다. 그러면, 인버터(IN1)는 제 1난드 게이트(NAND1)의 출력을 인버팅하여 주사선(S1)으로 공급한다.

이와 같은 종래 스테이지(2a, 2b)의 동작과정을 도 3의 파형도와 결부하여 상세히 설명하기로 한다.

먼저, 외부로부터 클럭신호(Clk) 및 클럭바신호(/Clk)가 각각의 스테이지들(2a, 2b, ...)로 공급된다. 그리고, 외부로부터 스타트펄스(SP)가 첫번째 스테이지(2a)로 공급된다. 그러면, 제 1인버터(2a)는 하이상태의 클럭신호(Clk) 및 로우상태의 클럭바신호(/Clk)가 입력될 때 로우상태의 출력신호를 생성한다. 여기서, 로우 상태의 출력신호는 스타트펄스(SP)의 공급

이 중단됨과 아울러 하이상태의 클럭신호(Clk) 및 로우상태의 클럭바신호(/Clk)가 입력될 때 하이 상태로 반전된다. 제 1 인버터(2a1)의 출력은 제 2인버터(2a2)에 의해서 인버팅된다. 즉, 제 2인버터(2a2)는 제 1인버터(2a1)의 출력을 인버팅하여 제 1샘플링펄스(SP1)를 생성한다. 제 2인버터(2a2)에서 생성된 제 1샘플링펄스(SP1)는 두번째 스테이지(2b) 및 제 1난드 게이트(NAND1)로 공급된다.

제 1샘플링펄스(SP1)를 공급받은 두번째 스테이지(2b)의 제 1인버터(2b1)는 로우상태의 클럭신호(Clk) 및 하이상태의 클럭바신호(/Clk)가 입력될 때 로우상태의 출력신호를 생성한다. 여기서, 로우 상태의 출력신호는 제 1샘플링펄스(SP1)의 공급이 중단됨과 아울러 로우상태의 클럭신호(Clk) 및 하이상태의 클럭바신호(/Clk)가 입력될 때 하이 상태로 반전된다. 제 1인버터(2b1)의 출력은 제 2인버터(2b2)에 의해서 인버팅된다. 즉, 제 2인버터(2b2)는 제 1인버터(2b1)의 출력을 인버팅하여 제 2샘플링펄스(SP2)를 생성한다. 제 2인버터(2b2)에서 생성된 제 2샘플링펄스(SP2)는 세번째 스테이지(2c) 및 제 2난드 게이트(NAND2)로 공급된다.

한편, 제 1난드 게이트(NAND1)는 제 1샘플링펄스(SP1) 및 제 2샘플링펄스(SP2)가 동시에 공급될 때에만 로우의 신호를 출력하고, 그 외의 경우에는 하이의 신호를 출력한다. 그리고, 인버터(IN1)는 제 1난드 게이트(NAND1)의 출력을 인버팅하여 주사신호를 생성하고, 생성된 주사신호를 주사선(S1)으로 공급한다. 한편, 화소의 구조에 따라서 제 1난드 게이트(NAND1)의 출력이 주사선으로써 주사선(S1)으로 직접 공급될 수도 있다.

실제로, 종래에는 이와 같은 과정을 반복하면서 주사선들(S1, S2, ...)로 주사신호를 순차적으로 공급한다. 하지만, 종래의 주사 구동부는 클럭신호(Clk) 및 클럭바신호(/Clk)의 입력시에 발생하는 높은 커패시턴스 때문에 많은 소비전력이 소모되는 문제점이 발생된다. 이를 상세히 설명하면, 종래에는 클럭신호(Clk) 및 클럭바신호(/Clk)가 각각의 스테이지(2a, 2b, ...)로 공급된다. 여기서, 클럭신호(Clk) 및 클럭바신호(/Clk)가 공급될 때 신호선이 중첩되는 부분에서 소정의 커패시턴스가 발생되고, 이 커패시턴스에 의하여 소비전력의 소모가 증가된다.

또한, 종래의 클럭신호(Clk) 및 클럭바신호(/Clk)는 스테이지(2a, 2b, ...)각각에 포함되는 제 1인버터(2a1, 2b1, ...) 및 제 3인버터(2a3, 2b3, ...)로 직접적으로 입력된다. 실제로, 클럭신호(Clk) 및 클럭바신호(/Clk)는 제 1인버터(2a1, 2b1, ...) 및 제 3인버터(2a3, 2b3, ...)를 구성하는 트랜지스터의 게이트단자로 직접적으로 입력된다. 여기서, 트랜지스터의 게이트 단자는 높은 커패시턴스 성분을 갖는다. 따라서, 클럭신호(Clk) 및 클럭바신호(/Clk)가 제 1인버터(2a1, 2b1, ...) 및 제 3인버터(2a3, 2b3, ...)를 구성하는 트랜지스터의 게이트단자로 직접 입력되면 높은 커패시턴스에 의하여 소비전력의 소모가 증가되는 문제점이 발생된다. 특히, 클럭신호(Clk) 및 클럭바신호(/Clk)는 스테이지들(2a, 2b, ...)의 구동여부와 무관하게 모든 스테이지들(2a, 2b, ...)로 공급되기 때문에 제 1인버터(2a1, 2b1, ...) 및 제 3인버터(2a3, 2b3, ...)에 의해서 발생하는 커패시턴스 성분이 더욱 증가된다.

한편, 종래에는 클럭신호(Clk) 및 클럭바신호(/Clk)로 인가되는 커패시턴스 성분을 줄이기 위하여 각각의 스테이지(2a, 2b, ...) 앞단에 스위치를 추가하고, 추가된 스위치를 구동시에만 턴-온시키는 방법이 제안되었다. 하지만, 이와 같이 스위치를 추가하는 방법에서는 스위치 오프시에 스테이지들(2a, 2b, ...)이 플로팅상태로 설정되어 안정적으로 구동되지 못하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 소비전력을 저감할 수 있도록 한 쉬프트 레지스터 및 이를 이용한 유기 발광 표시장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제 1측면은 클럭신호를 공급하기 위한 클럭신호 공급라인과, 클럭신호 공급라인에 접속되며 이전단 및 다음단 스테이지들로부터 샘플링펄스가 공급될 때 구동신호들을 생성하기 위한 복수의 선택부들과, 상기 선택부들 각각에 접속되어 상기 구동신호들이 공급될 때 상기 샘플링펄스를 생성하기 위한 복수의 스테이지들을 구비하는 쉬프트 레지스터를 제공한다.

바람직하게, 상기 선택부들 중 첫번째 선택부는 외부로부터 스타트펄스 및 다음단 스테이지로부터 상기 샘플링펄스가 공급될 때 상기 구동신호를 생성한다.

상기 선택부들 중 일부 선택부들은 이전단 샘플링펄스 및 다음단 샘플링펄스가 공급될 때 로우신호를 출력하고, 그 외의 경우에는 하이신호를 출력하는 제 1노어 게이트와, 상기 클럭신호 공급라인과 접속되며 상기 제 1노어 게이트에서 로우신

호가 출력될 때 턴-온되는 스위치와, 상기 스위치로부터 공급되는 클럭신호 및 상기 제 1노어 게이트의 출력신호를 공급받아 제 2구동신호를 생성하는 제 2노어 게이트와, 상기 제 2구동신호를 반전하여 제 1구동신호를 생성하는 제 5인버터를 구비한다.

상기 일부 선택부들과 교번적으로 위치되는 나머지 선택부들은 상기 스위치와 상기 제 2노어 게이트의 사이에 위치되는 제 4인버터를 더 구비한다.

본 발명의 제 2측면은 주사선으로 주사신호를 순차적으로 공급하기 위한 주사 구동부와; 데이터선으로 데이터신호를 공급하기 위한 데이터 구동부와; 상기 주사신호가 공급될 때 선택되어 상기 데이터신호를 입력받고, 상기 데이터신호에 대응하는 화상을 표시하기 위한 화소를 구비하며; 상기 주사 구동부는 클럭신호를 공급하기 위한 클럭신호 공급라인과, 클럭신호 공급라인에 접속되며 인접된 스테이지들로부터 샘플링펄스가 공급될 때 구동신호를 생성하기 위한 복수의 선택부들과, 상기 선택부들 각각에 접속되어 상기 구동신호들이 공급될 때 상기 샘플링펄스를 생성하기 위한 복수의 스테이지들을 구비하는 유기 발광 표시장치를 제공한다.

바람직하게, j (j 는 자연수)번째 스테이지와 접속되는 j 번째 선택부는 $j-1$ 번째 스테이지 및 $j+1$ 번째 스테이지로부터 샘플링펄스가 공급될 때 상기 구동신호를 생성한다.

상기 선택부들 각각에는 상기 클럭신호 공급라인과 접속되는 스위치가 포함되며, 상기 스위치들은 상기 인접된 스테이지들로부터 샘플링펄스가 공급되는 기간에만 턴-온된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 4 내지 도 8을 참조하여 상세히 설명하면 다음과 같다.

도 4는 본 발명의 실시예에 의한 발광 표시장치를 나타내는 도면이다.

도 4를 참조하면, 본 발명의 실시예에 의한 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속되는 복수의 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 화소들(140)을 구비한다. 화소들(140)은 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받는다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(140)은 데이터신호에 대응하는 전류를 제 1전원(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제 2전원(ELVSS)으로 공급한다.

타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.

주사 구동부(110)는 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 수평기간마다 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다.

데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동부(120)는 주사신호가 공급될 때마다 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

도 5는 본 발명의 실시예에 의한 주사 구동부를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 의한 주사 구동부(110)는 복수의 스테이지들(111a, 111b, ...)과, 스테이지들(111a, 111b, ...) 각각과 클럭신호 공급라인(L1)의 사이에 설치되는 선택부들(110a, 110b, ...)과, 스테이지들(111a, 111b, ...) 각각과 주사선(S1, S2, ...) 각각의 사이에 직렬로 접속되는 나ンド 게이트(NAND) 및 인버터(IN)를 구비한다.

각각의 선택부들(110a, 110b, ...)은 클럭신호 공급라인(L1)으로부터 클럭신호(Clk)를 공급받는다. 그리고, 각각의 선택부들(110a, 110b, ...)은 이전단의 스테이지 및 다음단의 스테이지로부터 샘플링펄스(또는 스타트 펄스(SP))를 공급받는다.

다시 말하여, j (j 는 자연수)번째 선택부(110j)는 $j-1$ 번째 스테이지(111j-1) 및 $j+1$ 번째 스테이지(111j+1)로부터 샘플링 펄스(SPj-1, SPj+1)를 공급받는다. 그러면, j 번째 선택부(110j)는 샘플링 펄스(SPj-1, SPj+1)가 공급되는 기간 동안 소정의 구동신호들을 생성하여 자신과 접속된 j 번째 스테이지(111j)로 공급한다. 즉, 본 발명에서 선택부들(110a, 110b, ...)은 샘플링 펄스들에 대응하여 구동신호들을 순차적으로 생성하면서 스테이지들(111a, 111b, ...)에서 순차적으로 샘플링 펄스(SP1, SP2, ...)가 생성되도록 제어한다.

스테이지들(111a, 111b, ...) 각각은 자신과 접속된 선택부들(110a, 110b, ...)로부터 구동신호들이 공급됨과 동시에 이전단 스테이지로부터 샘플링 펄스가 공급될 때 구동된다. 이 경우, j 번째 스테이지(111j)에서 생성된 샘플링 펄스(SPj)는 $j-1$ 번째 선택부(110j-1), $j+1$ 번째 선택부(110j+1) 및 $j+1$ 번째 스테이지(111j)로 공급된다. 그리고, j 번째 스테이지(111j)에서 생성된 샘플링 펄스(SPj)는 자신과 접속된 j 번째 난드 게이트(NANDj)로 공급된다.

난드 게이트(NAND)들은 현재 스테이지 및 다음단 스테이지의 샘플링 펄스를 부정 논리곱 연산하여 인버터(IN)로 공급한다. 다시 말하여, j 번째 난드 게이트(NANDj)는 j 번째 스테이지로부터 공급되는 j 번째 샘플링 펄스(SPj) 및 $j+1$ 번째 스테이지로부터 공급되는 $j+1$ 번째 샘플링 펄스(SPj+1)를 논리 연산하여 인버터(INj)로 공급한다.

인버터(IN)는 자신과 접속된 난드 게이트(NAND)의 출력을 인버팅하여 주사선(S)으로 공급한다. 여기서, 인버터(IN)는 화소(140)에 포함된 트랜지스터들의 도전형(PMOS 또는 NMOS)에 대응하여 제거될 수도 있다. 예를 들어, 화소들(140)에 포함된 트랜지스터들이 PMOS로 형성될 때 인버터(IN)가 제거되고 난드 게이트(NAND)의 출력이 직접적으로 주사선(S)으로 공급될 수 있다.

도 6은 도 5에 도시된 선택부 및 스테이지의 구성을 상세히 나타내는 회로도이다. 도 6에서는 설명의 편의성을 위하여 제 1스테이지(111a) 내지 제 3스테이지(111c)의 구성이 나타나도록 도시하며, 제 1스테이지(111a) 및 제 1선택부(110a)를 중점적으로 설명하기로 한다.

도 6을 참조하면, 본 발명의 제 1스테이지(111a)는 스타트 펄스(SP)를 공급받는 제 1인버터(111a1)와, 제 1인버터(111a1)의 출력을 인버팅하기 위한 제 2인버터(111a2)와, 제 2인버터(111a2)의 출력을 제 2인버터(111a2)의 입력으로 피드백하기 위한 제 3인버터(111a3)를 구비한다.

제 1인버터(111a1)는 제 1선택부(110a)로부터 구동신호들(CS1, CS2)이 공급됨과 아울러 스타트 펄스(SP)가 공급될 때 소정의 논리신호를 출력한다. 실제로, 제 1인버터(111a1)는 제 1구동신호(CS1)가 로우논리를 가짐과 아울러 제 2구동신호(CS2)가 하이논리를 가질 때 스타트 펄스(SP)를 반전하여 논리신호를 출력한다. 이를 위하여, 제 1인버터(111a1)는 도 7과 같이 4개의 트랜지스터(M1 내지 M4)로 구성된다. 제 1트랜지스터(M1)는 제 1구동신호(CS1)에 의하여 제어되고, 제 4트랜지스터(M4)는 제 2구동신호(CS2)에 의하여 제어된다. 그리고, 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)는 입력신호(즉, 스타트 펄스(SP))에 의하여 제어된다.

제 2인버터(111a2)는 제 1인버터(111a1)로부터 공급되는 소정의 논리신호를 인버팅하여 제 1샘플링 펄스(SP1)를 생성한다. 그리고, 제 2인버터(111a2)는 제 1샘플링 펄스(SP1)를 제 1난드 게이트(NAND1), 제 2선택부(110b) 및 제 2스테이지(111b)로 공급한다.

제 3인버터(111a3)는 제 1샘플링 펄스(SP1)를 인버팅하여 제 2인버터(111a2)의 입력단자로 공급한다. 즉, 제 3인버터(111a3)는 샘플링 펄스(SP1)가 안정적으로 생성될 수 있도록 한다.

한편, 제 1스테이지(111a)를 제외한 나머지 스테이지들(111b, 111c, ...)의 구성도 제 1스테이지(111a)의 구성과 동일한 구성으로 설정된다. 다만, 나머지 스테이지들(111b, 111c, ...)은 이전단으로부터 샘플링 펄스가 공급될 때 구동된다. 다시 말하여, 제 2스테이지(111b)는 제 1스테이지(111a)로부터 제 1샘플링 펄스(SP1)가 공급될 때 구동되고, 제 3스테이지(111c)는 제 2스테이지(111b)로부터 제 2샘플링 펄스(SP2)가 공급될 때 구동된다.

제 1선택부(110a)는 스타트 펄스(SP) 및 제 2샘플링 펄스(SP2)를 입력받아 구동되는 제 1노어 게이트(110a2)와, 클럭신호 공급라인(L1)과 접속되며 제 1노드 게이트(110a2)의 출력에 의해 제어되는 스위치(SW1)와, 스위치(SW1)와 접속되는 제 4인버터(110a1)와, 제 4인버터(110a1)와 제 1노어 게이트(110a2)의 출력에 의해 제어되는 제 2노어 게이트(110a3)와, 제 2노드 게이트(110a3)의 출력을 인버팅하기 위한 제 5인버터(110a4)를 구비한다.

제 1노어 게이트(110a2)는 스타트펄스(SP) 및 제 2샘플링펄스(SP2)를 입력받는다. 이와 같은 제 1노어 게이트(110a2)는 스타트펄스(SP) 및 제 2샘플링펄스(SP2) 중 적어도 하나의 신호가 입력될 때 로우신호를 출력하고, 그 외의 경우에는 하이신호를 출력한다.

스위치(SW1)는 제 1노어 게이트(110a2)에서 로우신호가 입력될 때 턴-온되고, 그 외의 경우에는 턴-오프된다. 스위치(SW1)가 턴-온되면 클럭신호(Clk)가 제 4인버터(110a1)로 공급된다.

제 4인버터(110a1)는 클럭신호(Clk)를 반전하여 제 2노어 게이트(110a3)로 공급한다.

제 2노어 게이트(110a3)는 제 4인버터(110a1) 및 제 1노어 게이트(110a2) 중 적어도 하나의 신호가 하이신호를 가질 때 로우신호를 출력하고, 그 외의 경우에는 하이신호를 출력한다. 제 2노어 게이트(110a3)에서 출력된 신호는 제 1인버터(111a1) 및 제 3인버터(111a3)로 공급된다. 여기서, 제 2노어 게이트(110a3)의 출력신호가 제 2구동신호(CS2)로 이용된다.

제 5인버터(110a4)는 제 2구동신호(CS2)를 인버팅하여 제 1구동신호(CS1)를 생성한다. 제 5인버터(110a4)에서 생성된 제 1구동신호(CS1)는 제 1인버터(111a1) 및 제 3인버터(111a3)로 공급된다.

한편, 제 1선택부(110a)와 교번적으로 위치된 선택부들(110c, 110e, ...)은 제 1선택부(110a1)와 동일한 구성을 갖는다. 다시 말하여, 홀수번째 선택부들(110a, 110c, ...)은 상술한 제 1선택부(110a)와 동일한 구성의 회로를 갖는다. 그리고, 짝수번째 선택부들(110b, 110d, ...)은 제 1선택부(110a)의 구성에서 제 4인버터(110a1)가 제거된 구성으로 설정된다. 다시 말하여, 제 2선택부(110b)에는 제 1노어 게이트(110b2), 제 2노어 게이트(110b3) 및 제 5인버터(110b4) 만이 포함된다.

도 8은 도 6에 도시된 선택부 및 스테이지의 동작과정을 나타내는 파형도이다.

도 8을 참조하면, 먼저 클럭신호 공급라인(L1)으로부터 클럭신호(Clk)가 모든 선택부들(110a, 110b, ...)로 공급된다. 그리고, 스타트펄스(SP)가 제 1선택부(110a) 및 제 1스테이지(111a)로 공급된다.

스타트펄스(SP)가 공급되면 제 1선택부(110a)에 포함된 제 1노어 게이트(110a2)에서 로우신호가 출력된다. 그러면, 제 1노어 게이트(110a2)와 접속된 스위치(SW1)가 턴-온된다. 제 1스위치(SW1)가 턴-온되면 제 4인버터(110a1)로 클럭신호(Clk)가 입력된다. 이때, 제 4인버터(110a1)는 클럭신호(Clk)를 반전하여 출력한다.

그러면, 제 2노어 게이트(110a3)는 제 4인버터(110a1) 및 제 1노어 게이트(110a2)의 출력신호를 부정 논리합 연산하여 제 2구동신호(CS2)를 생성한다. 여기서, 제 2노어 게이트(110a3)는 제 2구동신호(CS2)를 제 1스테이지(111a) 및 제 5인버터(110a4)로 공급한다. 그러면, 제 5인버터(110a4)는 제 2구동신호(CS2)를 반전하여 제 1구동신호(CS1)를 생성하고, 생성된 제 1구동신호(CS1)를 제 1스테이지(111a)로 출력한다.

한편, 제 1노어 게이트(110a2)는 스타트펄스(SP) 및 제 2샘플링펄스(SP2)가 공급될 때 로우신호를 출력한다. 따라서, 도 8에 도시된 바와 같이 제 1구동신호(CS1) 및 제 2구동신호(CS2)는 스타트펄스(SP) 및 제 2샘플링펄스(SP2)가 입력되는 기간 동안 출력된다. 그리고, 제 1노어 게이트(110a2)는 스타트펄스(SP) 및 제 2샘플링펄스(SP2)가 입력되지 않는 기간(즉, 2개의 입력단자로 로우신호가 입력되는 기간) 동안 하이신호를 출력한다. 그러면, 스위치(SW1)가 오프상태로 전환되고, 제 2노어 게이트(110a3) 및 제 5인버터(110a4)의 출력은 특정상태를 유지한다.

한편, 제 1스테이지(111a)에 포함된 제 1인버터(111a1)는 제 1구동신호(CS1)가 로우상태, 제 2구동신호(CS2)가 하이상태로 전환될 때 스타트펄스(SP)를 반전하여 출력한다. 그러면, 제 2인버터(111a2)는 제 1인버터(111a1)의 출력을 반전하여 제 1샘플링펄스(SP1)를 출력한다. 여기서, 제 1샘플링펄스(SP1)는 클럭신호(Clk)의 한 주기 동안 생성된다. 다시 말하여, 제 1샘플링펄스(SP1)가 생성된 후 클럭신호(Clk)의 한주기 후에 제 1구동신호(CS1)가 로우상태, 제 2구동신호(CS2)가 하이상태로 전환되기 때문에 제 1샘플링펄스(SP1)는 클럭신호(Clk)의 한 주기 동안 생성된다. 한편, 제 3인버터(111a3)는 제 1샘플링펄스(SP1)가 안정적으로 생성될 수 있도록 제 1샘플링펄스(SP1)를 제 2인버터(111a2)의 입력단자로 피드백한다.

제 1스테이지(111a)에서 생성된 제 1샘플링펄스(SP1)는 제 2선택부(110b) 및 제 2스테이지(111b)로 공급된다.

제 1샘플링펄스(SP1)는 제 2선택부(110b)에 포함된 제 1노어 게이트(110b2)로 입력된다. 그러면, 제 1노어 게이트(110b2)는 로우신호를 출력하여 스위치(SW2)를 턴-온시킨다. 스위치(SW2)가 턴-온되면 클럭신호(Clk)가 제 2노어 게이트(110b3)로 입력된다. 이때, 제 2노어 게이트(110b3)는 도 8과 같이 클럭신호(Clk) 및 제 1노어 게이트(102b2)의 출력을 부정 논리합 연산하여 제 2구동신호(CS2')를 출력한다. 그리고, 제 5인버터(110b4)는 제 2구동신호(CS2')를 반전하여 제 1구동신호(CS1')를 생성한다.

한편, 제 1노어 게이트(110b2)는 제 1샘플링펄스(SP1) 및 제 3샘플링펄스(SP3)가 공급될 때 로우신호를 출력한다. 따라서, 도 8에 도시된 바와 같이 제 1구동신호(CS1') 및 제 2구동신호(CS2')는 제 1샘플링펄스(SP1) 및 제 3샘플링펄스(SP3)가 입력되는 기간 동안 출력된다.

제 2스테이지(111b)에 포함되는 제 1인버터(111b1)는 제 1구동신호(CS1')가 로우상태, 제 2구동신호(CS2')가 하이상태로 전환될 때 제 1샘플링펄스(SP1)를 반전하여 출력한다. 그리고, 제 2인버터(111b2)는 제 1인버터(111b1)의 출력을 반전하여 제 2샘플링펄스(SP2)를 생성한다. 이때, 제 3인버터(111b3)는 제 2샘플링펄스(SP2)가 안정적으로 생성될 수 있도록 제 2샘플링펄스(SP2)를 반전하여 제 2인버터(111b2)의 입력단자로 피드백한다.

제 2스테이지(111b)에서 생성된 제 2샘플링펄스(SP2)는 제 3선택부(110c) 및 제 3스테이지(111c)로 공급된다.

제 2샘플링펄스(SP2)는 제 3선택부(110c)에 포함된 제 1노어 게이트(110c2)로 입력된다. 그러면, 제 1노어 게이트(110c2)는 로우신호를 출력하여 스위치(SW3)를 턴-온시킨다. 스위치(SW3)가 턴-온되면 클럭신호(Clk)가 제 4인버터(111c1)로 입력된다. 그러면, 제 4인버터(111c1)는 클럭신호(Clk)를 반전하여 제 2노어 게이트(110c3)로 공급한다. 이때, 제 2노어 게이트(110c3)는 제 4인버터(111c1) 및 제 1노어 게이트(110c2)의 출력을 부정 논리합 연산하여 제 2구동신호(CS2'')를 출력한다. 그리고, 제 5인버터(110c4)는 제 2구동신호(CS2'')를 반전하여 제 1구동신호(CS1'')를 생성한다.

한편, 제 1노어 게이트(110c2)는 제 2샘플링펄스(SP2) 및 제 4샘플링펄스(SP4)가 공급될 때 로우신호를 출력한다. 따라서, 도 8에 도시된 바와 같이 제 1구동신호(CS1'') 및 제 2구동신호(CS2'')는 제 2샘플링펄스(SP2) 및 제 4샘플링펄스(SP4)가 입력되는 기간 동안 출력된다.

제 3스테이지(111c)에 포함되는 제 1인버터(111c1)는 제 1구동신호(CS1'')가 로우상태, 제 2구동신호(CS2'')가 하이상태로 전환될 때 제 2샘플링펄스(SP2)를 반전하여 출력한다. 그리고, 제 2인버터(111b2)는 제 1인버터(111b1)의 출력을 반전하여 제 3샘플링펄스(SP3)를 생성한다.

한편, 제 1난드 게이트(NAND1)는 제 1샘플링펄스(SP1) 및 제 2샘플링펄스(SP2)는 부정 논리곱 연산하여 출력한다. 따라서, 제 1난드 제 1샘플링펄스(SP1) 및 제 2샘플링펄스(SP2)가 중첩되게 공급되는 기간 동안 로우의 신호를 출력하고, 그 외의 기간 동안에는 하이의 신호를 출력한다. 제 1인버터(IN1)는 제 1난드 게이트(NAND1)의 출력을 반전하여 주사신호로써 주사선(S1)으로 공급한다. 여기서, 제 1인버터(IN1)가 삭제되고, 제 1난드 게이트(NAND1)의 출력이 주사신호로써 주사선(S1)으로 공급될 수도 있다.

실제로, 본 발명에서는 이와 같은 과정을 반복하면서 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다.

여기서, 본 발명에서는 하나의 클럭신호(Clk)가 선택부들(110a, 110b, ...)로 공급한다. 따라서, 종래와 같이 2개의 클럭신호를 공급하기 때문에 클럭신호 공급라인간의 중첩부분에서 커패시턴스 성분이 발생하는 것을 방지할 수 있고, 이에 따라 소비전력을 저감할 수 있다.

그리고, 본 발명에서는 선택부에 포함된 스위치들(SW1, SW2, ...)은 자신과 인접된 상/하 스테이지에서 샘플링펄스가 공급될 때에만 턴-온되고, 그 외에는 턴-오프 상태를 유지한다. 따라서, 클럭신호들(Clk)이 공급될 때 발생하는 커패시턴스가 최소화되고, 이에 따라 소비전력을 저감할 수 있다. 또한, 본 발명에서는 선택부에 포함된 스위치들(SW1, SW2,...)이 오프될 때에도 스테이지들이 플로팅상태로 설정되지 않기 때문에 안정적인 구동을 확보할 수 있다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 쉬프트 레지스터 및 이를 이용한 유기 발광 표시장치에 의하면 주사 구동부로 하나의 클럭신호만 공급하기 때문에 클럭신호 공급라인의 중첩에 의하여 커패시턴스가 발생하는 것을 방지할 수 있고, 이에 따라 소비전력을 저감할 수 있다. 그리고, 본 발명에서는 스테이지 각각의 앞단에 선택부를 추가하고, 이 선택부에 포함된 스위치들이 한 프레임 중 일부기간에만 턴-온되도록 제어하기 때문에 클럭신호의 공급시에 발생하는 커패시턴스를 최소화할 수 있다. 또한, 본 발명에서는 선택부에 포함된 스위치들이 오프될 때에도 스테이지들이 플로팅상태로 설정되지 않기 때문에 안정적인 구동을 확보할 수 있다.

도면의 간단한 설명

도 1은 종래의 주사 구동부를 나타내는 도면이다.

도 2는 도 1에 도시된 스테이지를 나타내는 회로도이다.

도 3은 도 2에 도시된 스테이지들의 구동방법을 나타내는 파형도이다.

도 4는 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 5는 도 4에 도시된 주사 구동부를 나타내는 도면이다.

도 6은 도 5에 도시된 스테이지 및 선택부를 나타내는 회로도이다.

도 7은 도 6에 도시된 제 1인버터의 구성을 나타내는 회로도이다.

도 8은 도 6에 도시된 스테이지 및 선택부의 구동방법을 나타내는 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 주사 구동부 120 : 데이터 구동부

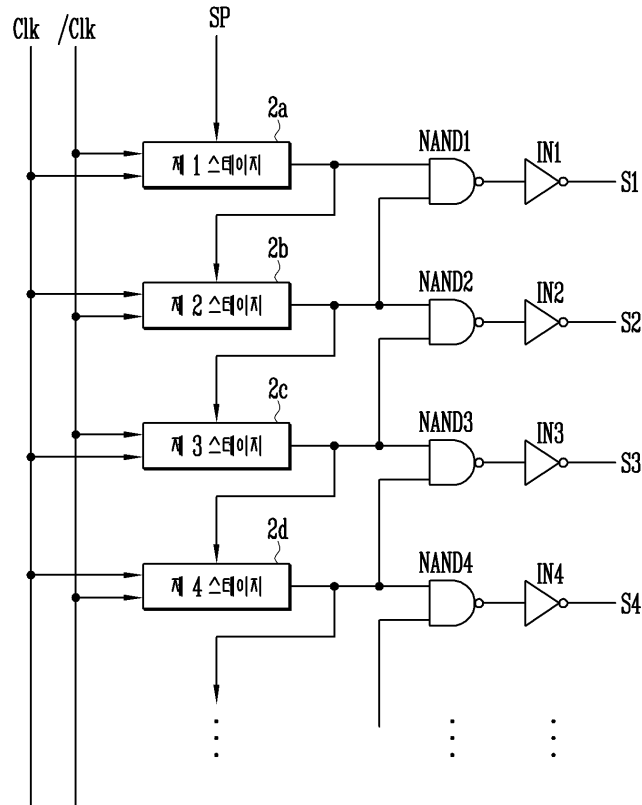
130 : 화소부 140 : 화소

150 : 타이밍 제어부 110a, 110b, 110c, 110d : 선택부

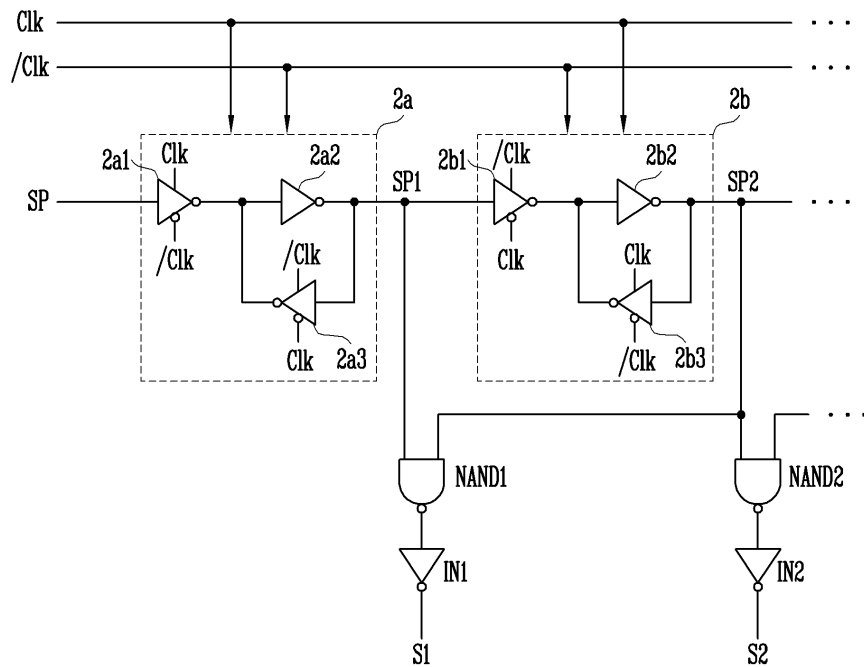
111a, 111b, 111c, 111d : 스테이지

도면

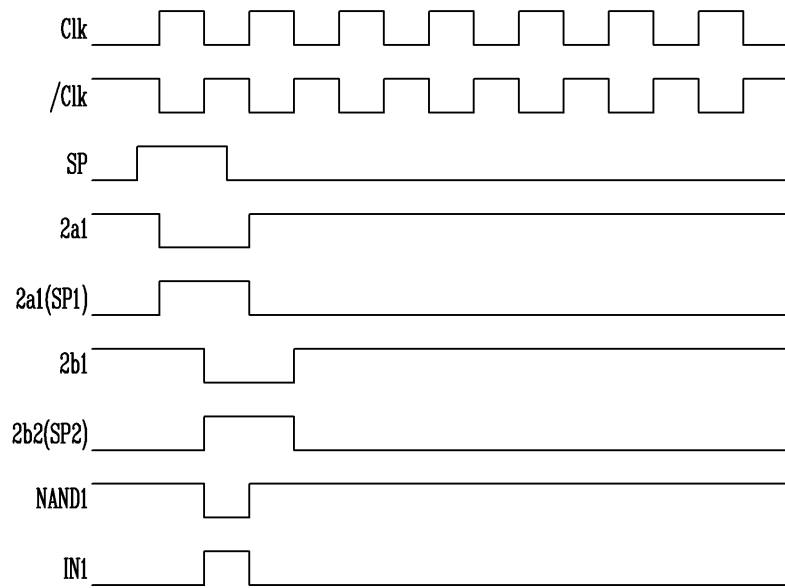
도면1



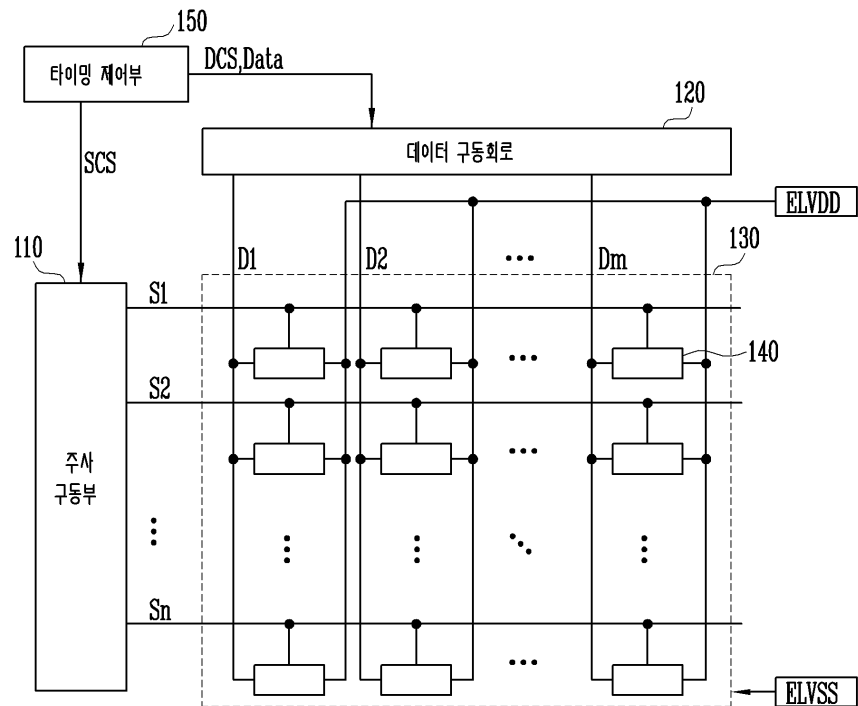
도면2



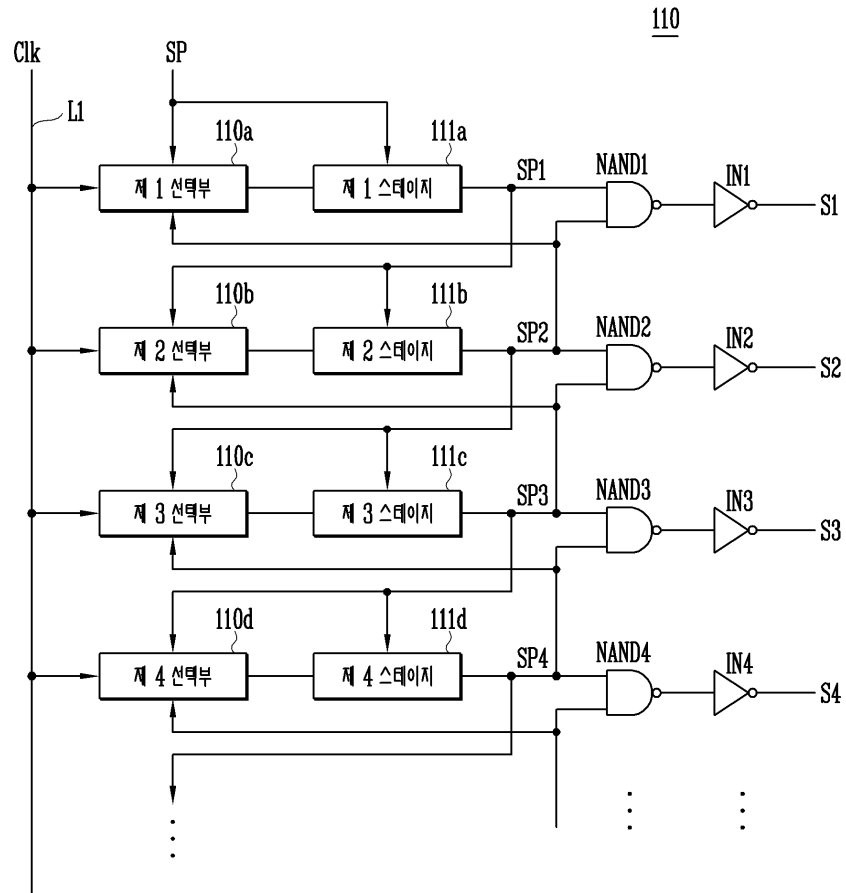
도면3



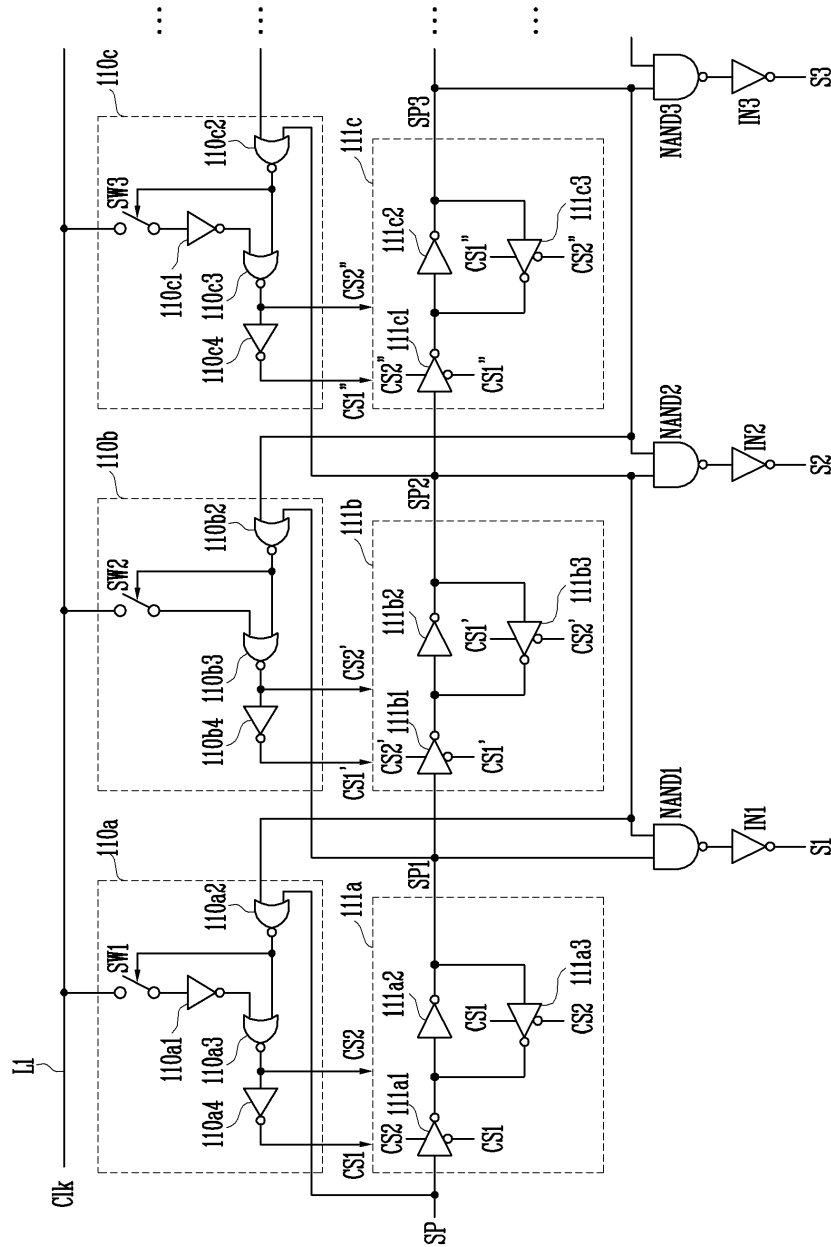
도면4



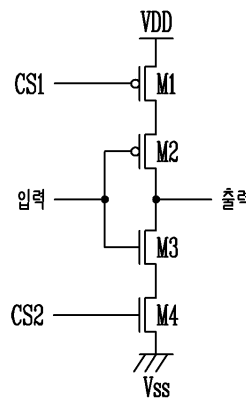
도면5



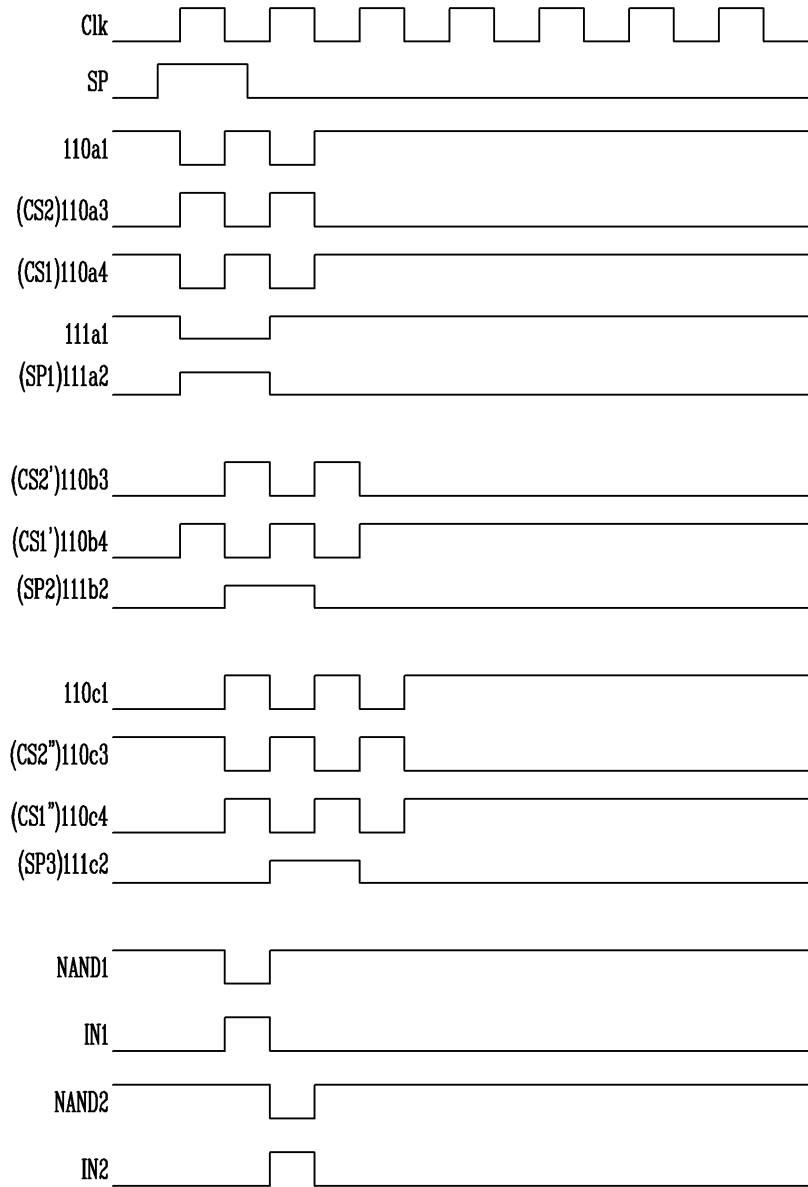
도면6



도면7



도면8



专利名称(译)	移位寄存器和使用其的有机发光显示器		
公开(公告)号	KR100662977B1	公开(公告)日	2006-12-28
申请号	KR1020050100879	申请日	2005-10-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SANGMOO CHOI 최상무		
发明人	최상무		
IPC分类号	G09G3/30		
CPC分类号	G11C19/28 G11C19/00 G09G3/3266		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供移位寄存器和使用其的有机发光显示器，以通过仅向扫描驱动单元提供一个时钟信号来限制由于时钟信号供给线的重叠而产生的电容。移位寄存器包括用于提供时钟信号 (Clk) 的时钟信号供给线 (L1) ;多个选择单元 (110a , 110b , 110c , 110d) 连接到时钟信号供给线，当从前一级和下一级提供采样脉冲 (SP1~SP4) 时产生驱动信号，其中第一选择单元产生驱动当从外部提供起始脉冲并且从下一级提供采样脉冲时发出信号。多个级 (111a , 111b , 111c , 111d) 连接到选择单元，以在提供驱动信号时产生采样脉冲。

