

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H05B 33/22</i> (2006.01) <i>C09K 11/06</i> (2006.01)	(45) 공고일자 2006년09월20일 (11) 등록번호 10-0626065 (24) 등록일자 2006년09월13일
---	--

(21) 출원번호	10-2005-0023698	(65) 공개번호
(22) 출원일자	2005년03월22일	(43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	양남철 경기 용인시 기흥읍 공세리 428-5
(74) 대리인	리엔목특허법인 이해영

심사관 : 손희수

(54) 박막 트랜지스터 및 평판표시장치

요약

본 발명은, 기관의 투습 및 투산소 방지 기능을 증대시켜, 유기 발광 표시장치 및 평판 표시장치의 내구 연한 감소를 방지함을 목적으로 한다. 이를 위하여, 본 발명은, 기관의 일면에 소스/드레인 전극과, 반도체 층과, 상기 소스/드레인 전극 및 반도체 층과 절연되는 게이트 전극을 포함하는 박막 트랜지스터에 있어서, 상기 기관은 복수의 기관 절연층들을 구비하되, 상기 기관 절연층들 중 적어도 어느 두 기관 절연층들 사이에는 금속층이 배치되는 것을 특징으로 하는 박막 트랜지스터 및 평판 표시장치를 제공한다.

대표도

도 3b

명세서

도면의 간단한 설명

도 1는 본 발명의 일실시예에 따른 유기 박막 트랜지스터의 부분 단면도,
 도 2는 본 발명의 일실시예에 따른 유기 박막 트랜지스터의 부분 단면도,
 도 3a는 본 발명의 일실시예에 따른 평판 디스플레이 장치의 개략적인 사시도,
 도 3b는 도 3a의 도면 부호 "A"에 대한 부분 확대 단면도,

도 3c는 도 3a의 선 I - I 를 따라 취한 부분 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 평판 디스플레이 장치에 관한 것으로서, 보다 상세하게는, 산소 및 습기에 의한 유기물의 손상에 의한 기능 저하를 방지할 수 있는 구조의 박막 트랜지스터 및 평판 디스플레이 장치에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: 이하, TFT라 함)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

이러한 TFT는 반도체층은 고농도의 불순물로 도핑된 소스/드레인 영역과, 이 소스/드레인 영역의 사이에 형성된 채널 영역을 갖는 반도체층을 가지며, 이 반도체층과 절연되어 상기 채널 영역에 대응되는 영역에 위치하는 게이트 전극과, 상기 소스/드레인 영역에 각각 접촉되는 소스/드레인 전극을 갖는다.

한편, 최근의 평판 디스플레이 장치는 박형화와 아울러 플렉서블(flexible)한 특성이 요구되고 있다.

이러한 플렉서블한 특성을 위해 디스플레이 장치의 기판을 종래의 글라스재 기판과 달리 플라스틱 기판을 사용하려는 시도가 많이 이뤄지고 있는 데, 이렇게 플라스틱 기판을 사용할 경우에는 전술한 바와 같이, 고온 공정을 사용하지 않고, 저온 공정을 사용해야 한다. 따라서, 종래의 폴리 실리콘계 박막 트랜지스터를 사용하기가 어려운 문제가 있었다.

이를 해결하기 위해, 최근에 유기 반도체가 대두되고 있다. 유기 반도체는 저온 공정에서 형성할 수 있어 저가형 박막 트랜지스터를 실현할 수 있는 장점을 갖는다.

그런데, 이와 같은 유기 반도체를 구성하는 재료들은 공액 결합(conjugated bond)을 이루고 있는데, 이러한 유기 반도체 재료의 공액 결합은 수분과 산소에 취약하다는 단점이 있다. 즉, 유기 반도체 재료가 수분과 산소에 노출되는 경우, 공액 결합의 파괴로 인하여 소자의 성능이 급격하게 저하되거나 불능 상태에 처한다. 종래 기술에 따른 유기 반도체가 구비되는 기판은 단순히 플라스틱 기판으로 구성되거나, 보다 기능화된 구조를 취하는 경우 플라스틱 기판에 유기/무기 코팅층을 더 구비하는 경우가 있다. 하지만, 이러한 종래 기술에 따른 기판 구조의 경우 내투산소 및 내투습성을 확보하는데 한계가 있다. 즉, 25℃의 환경 하에서, 종래 기술에 따른 유기 박막 트랜지스터를 형성하는 기판의 투습도(water vapor permeability)는, 플라스틱 기판의 경우 10 gm/m²/day 내지 103 gm/m²/day이고, 플라스틱 기판에 유기 코팅층이 구비된 경우 10-2 gm/m²/day 내지 1 gm/m²/day이고, 플라스틱 기판에 유기/무기 코팅층을 구비하는 경우 10-2 gm/m²/day 내지 10-1 gm/m²/day의 투습도를 가진다. 하지만, 이와 같은 정도의 내성은 요구되는 소자 내지 장치의 내구 연한을 만족시키기 어렵다는 문제점을 수반한다.

기판의 투습도에 대한 문제는 유기 발광 표시장치의 경우 더욱 문제가 된다. 유기 발광 표시장치의 경우, 발광이 일어나는 발광 소자의 발광층이 유기막으로 구성되어 있기 때문에, 이 발광소자가 형성되는 기판의 투습도는 표시장치의 수명에 직접적인 영향을 미치기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 기판의 투습 및 투산소 방지 기능을 증대시켜, 박막 트랜지스터 및 평판 표시장치의 내구 연한 감소를 방지함을 목적으로 한다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은, 기관의 일면에 소스/드레인 전극과, 반도체 층과, 상기 소스/드레인 전극 및 반도체 층과 절연되는 게이트 전극을 포함하는 박막 트랜지스터에 있어서, 상기 기관은 복수의 기관 절연층들을 구비하되, 상기 기관 절연층들 중 적어도 어느 두 기관 절연층들 사이에는 금속층이 배치되는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명은 또한 전술한 목적을 달성하기 위하여, 기관의 일면에 디스플레이 영역이 구비된 평판 디스플레이 장치에 있어서, 상기 기관은 복수의 기관 절연층들을 구비하되, 상기 기관 절연층들 중 적어도 어느 두 기관 절연층들 사이에는 금속층이 배치되는 것을 특징으로 하는 평판 디스플레이 장치를 제공한다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.

도 1에는 본 발명의 일실시예에 따른 전자 장치의 개략적인 부분 단면도가 도시되어 있다. 기관(110)의 일면 상에 도전층이 형성된 후, 적절한 패터닝 과정을 거쳐 게이트 전극(120)이 형성되는데, 경우에 따라서는 게이트 전극(120)과 기관(110)의 사이에 버퍼층(미도시)이 개재될 수도 있다. 게이트 전극(120)으로는 MoW, Al, Cr, Al/Cr 등과 같은 도전성 금속이나, 도전성 폴리아닐린(polyaniline), 도전성 폴리 피롤(poly pyrrole), 도전성 폴리티오펜(polythiophene), 폴리에틸렌 디옥시티오펜(polyethylene dioxythiophene:PEDOT)과 폴리스티렌 술폰산(PSS) 등 다양한 도전성 폴리머가 사용될 수도 있는데, 기관(110)과의 밀착성, 게이트 전극(120) 상부에 형성되는 박막들의 평탄성, 패터닝을 위한 가공성, 및 후속 공정시 사용되는 화학 물질에 대한 내성 등을 고려하여 적절한 물질이 선택되어야 한다.

게이트 전극(120)의 일면 상에는 차후 형성되는 소스/드레인 전극(140a,b)과 게이트 전극(120)을 절연시키기 위한 게이트 절연층(130)은 화학 기상 증착이나 스퍼터링 과정을 통하여 SiO₂, SiNx, Al₂O₃, Ta₂O₅, BST, PZT 중의 하나 이상을 포함하는 무기 절연층으로 구성될 수도 있고, 스핀 코팅 등에 의한 PMMA(poly methylmethacrylate), PS(polystyrene), 페놀계 고분자, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자일리렌계 고분자, 비닐알콜계 고분자, 파릴렌(parylene), 및 이들의 하나 이상을 포함하는 고분자계 유기 절연층으로 구성될 수도 있으며, 무기 절연층 및 유기 절연층을 포함하는 복수의 절연층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

게이트 절연층(130)의 일면 상에는 소스/드레인 전극 재료층이 형성된 후, 적절한 패터닝 공정을 통하여 소스/드레인 전극(140a,b)이 형성된다. 소스/드레인 전극(140a,b)을 구성하는 재료로는 다양한 재료가 사용될 수 있는데, 차후 형성될 유기 반도체 층(150)과의 관계에 있어, 전하 캐리어의 원활한 이동을 가능하게 하도록 일함수가 큰 물질, 예를 들어 금(Au), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 로듐(Rh), 루테튬(Ru), 이리듐(Ir), 오스뮴(Os) 중의 하나 이상을 구비하는 것이 바람직하다.

소스/드레인 전극(140a,b)이 형성된 후, 소스/드레인 전극(140a,b)의 일면 상에는 유기 반도체 층(150)이 구비되는데, 유기 반도체 층(150)은 하부에 배치된 소스/드레인 전극(140a,b)과의 교차 유무에 따라, 소스 영역(150a), 드레인 영역(150b) 및 채널 영역(150c)으로 구성된다.

유기 반도체 층(130)은, 펜타센(pentacene), 테트라센(tetracene), 아트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실릭디이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테고리방향족 공중합체 및 그 유도체, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체, 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 및 그 유도체 및 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디안하이드라이드 및 이들의 유도체 중 적어도 어느 하나를 포함하는 것이 바람직하다.

상기한 유기 반도체 박막 트랜지스터의 작동 과정은 다음과 같다.

유기 반도체 활성층(150)이 p형 반도체이고, 게이트 전극(120)에 음의 전압이 인가되는 경우, 소스/드레인 전극(140a,b)에 전압이 인가되어 게이트 절연층(130)에 접한 유기 반도체 층(150)에는 전하 캐리어가 많이 모이는 축적층

(accumulation layer)이 형성되는데, 축적층은 소스 전극(140a)과 드레인 전극(140b) 사이의 채널 영역(150c)에 형성된 전하 캐리어 채널이다. 이러한 전하 캐리어 채널을 통하여 소스 전극(140a)에 인가된 전기적 신호가 드레인 전극(140b)으로 전달됨으로써 전기적 신호의 소통이 이루어지게 된다.

한편, 본 발명은, 단순히 폴리에테르술폰(polyethersulphone, PES), 폴리에틸렌테레프탈레이트(polyethyleneterephthalate, PET) 등과 같은 플라스틱 기판 내지 그 일면 상에 무기/유기물 코팅이 이루어진 플라스틱 기판으로 형성되는 종래 기술과는 달리 금속층을 구비하는 구조를 취한다. 즉, 기판의 일면 상에 형성되고 채널 영역(150c)을 구비하는 유기 반도체 층의 재료가, 플라스틱 기판 내지 유기/무기물 코팅된 플라스틱 기판을 투과한 산소 내지 수분과 반응하여 재료의 공액 결합(conjugated bond) 손상으로 인한 성능 저하됨을 방지하기 위하여, 본 발명에 따른 기판은, 도 1에 도시된 바와 같이, 절연층(110a)들 사이에 적어도 하나의 금속층(110b)을 구비한다. 도면에서 절연층(110a)은 동일한 재료 층으로 도시되었으나, 이는 설명을 위한 일 예일 뿐 본 발명이 이에 국한되지는 않으며, 상기한 바와 같이, 서로 상이한 재료로 구성될 수 있는 등 다양한 변형이 가능하다.

기판(110)을 구성하는 절연층(110a)으로는, 다양한 재료가 사용될 수 있는데, 예를 들어, 폴리이미드(polyimide) 및 그 유도체, 폴리에스테르(polyester) 및 그 유도체, 아크릴계 고분자 및 그 유도체, 멜라민 수지 및 그 유도체, 폴리아마이드(polyamide) 및 그 유도체, 폴리에테르(polyether) 및 그 유도체, 폴리에테르케톤(polyetherketone, PEK) 및 그 유도체, 폴리아세탈(polyacetals) 및 그 유도체, 폴리벤조옥사졸(polybenzoxazoles) 및 그 유도체, 폴리벤조티아졸(polybenzothiazoles) 및 그 유도체, 폴리벤즈이미다졸(polybenzimidazoles) 및 그 유도체, 폴리카보네이트(polycarbonates) 및 그 유도체, 폴리에테르술폰(polyethersulfones) 및 그 유도체, 폴리에테르이미드(polyetherimides) 및 그 유도체, 벤조시클로부텐(BCB)계 수지 및 그 유도체, 에폭시 수지(epoxy) 및 그 유도체, 액정 고분자(liquid crystal polymer, LCP) 및 그 유도체, 불소계 수지 및 그 유도체와 같은 고분자계 재료가 포함될 수 있고, 유리 섬유, 카본 섬유, 카본 나노튜브 및 무기 필러와 같은 강화 재료를 더 구비하는 복합 재료를 포함할 수도 있다. 이러한 절연층의 두께는 절연성 및 기판의 가요성을 확보한다는 점에서 적절한 두께, 즉, 0.2 μ m 내지 5000 μ m의 두께를 구비하는 것이 바람직하다.

이와 같은 복수의 절연층 사이에 개재되는 금속층(110b)으로는, 가공성 및 인접층과의 접합성 등을 고려하여 Cu, Al, Ag, Mo, Cr, Au, Pt, Pd, Ta, W, Ti, Ni 및 이들의 합금 중의 어느 하나를 포함한다. 이와 같은 금속층(110b)의 두께는 적절하게 선택되어야 한다. 즉, 과도한 두께를 가지는 경우, 소자 내지 장치에 요구되는 가요성(flexibility)을 저해하게 되는 반면, 금속층의 두께가 과소한 경우, 층의 균일도를 확보하기 어려워 금속층에 핀홀이 생김으로써 내투산소성 및/또는 내투습성 증대라는 설계 사양을 만족시키지 못할 수도 있는 바, 이러한 요건을 만족시키기 위하여 금속층(110b)의 두께는 5 μ m 내지 50 μ m의 범위로 설정하는 것이 바람직하다.

25℃의 환경 하에서, 종래 기술에 따른 유기 박막 트랜지스터를 형성하는 기판의 투습도(water vapor permeability)와는 달리, 본 발명에 따른 기판은 금속층(110b)을 구비함으로써, 10-6 gm/m²/day 이하의 투습도를 가지게 됨으로써, 유기 박막 트랜지스터에 구비되는 유기 반도체 층의 특성의 변화없이 유지될 수 있는 정도의 내투습성을 확보할 수 있다.

도 1에서, 유기 박막 트랜지스터가 구비되는 기판은 금속층의 양면 상에 각각 한 개씩의 절연층을 구비하는 것을 도시되어 있으나, 본 발명이 이에 국한되지는 않고, 기판은 금속층의 적어도 일면 상에 둘 이상의 층을 구비할 수도 있다. 즉, 도 2에 도시된 바와 같이 기판(110)에 구비된 금속층(110b)의 일면 상에는 두 개의 층이 형성되고, 절연층(110a)과 금속층(110b)의 사이에는 폴리비닐부틸레이트(polyvinylbutyrate, PVB)로 구성된 유기 접착 필름과 같은 유기 접착 층 및/또는 Cu, Al, Ag, Mo, Cr, Au, Pt, Pd, Ta, W, Ti, Ni 또는 이들의 합금 등과 같이 금속층(110b)을 구성하는 재료의 산화물층으로 구성된 추가 절연층(110c)이 구비될 수도 있다. 이러한 추가 절연층(110c)은 기판(110)의 내투습성 및/또는 내투산소성을 강화시킬 뿐만 아니라, 인접층들간의 접착성을 증대시키거나 또는 금속층의 부식을 방지하는 등 추가적인 기능을 담당한다. 또한, 상기한 유기 접착 층 및/또는 금속 산화물 층에 국한되지 않고, 도 1의 실시예에 개시된 재료들이 복수의 층 형태로 구비될 수도 있다. 다만, 복수의 절연층을 형성하는 과정에서 발생 가능한 핀홀 내지 비아들의 연속적인 성장으로 인한 절연 기능 손상을 방지하기 위하여, 서로 이종의 재료로, 특히 유기물 층/무기물 층과 같이 서로 이종의 재료로 교차 형성되는 것이 바람직하다.

이상 설명한 본 발명의 전자 장치는 반드시 전술한 실시예에서와 같이, 유기 박막 트랜지스터를 구비할 필요는 없으며, 그 외의 박막 트랜지스터를 구비한 전자 장치에서도, 수분 및 산소의 침투를 차단하기 위해 얼마든지 적용 가능함은 물론이다.

도 3a에는 본 발명의 바람직한 또 다른 일 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치가 도시되어 있는데, 여기서, 한 개의 유기 박막 트랜지스터와 한 개의 디스플레이 화소가 도시되었으나 이는 본 발명을 설명하기 위한 일 예로서 본 발명이 이에 국한되지는 않는다.

평판 디스플레이 장치(200)는, 기관(210)의 일면 상에 형성된 화소부를 포함하는 디스플레이 영역(200a)과, 디스플레이 영역(200a)과 전기적 소통을 이루며 외부 IC를 포함하는 COG(chip on glass)의 형태를 구비할 수 있는 수평 구동 회로부(500) 및 상기 디스플레이 영역(200a) 및 수평 구동 회로부(500) 등과 전기적 소통을 이루는 단자부(600)를 포함하는 패드부(700)와, 적어도 디스플레이 영역(200a)을 밀봉시키기 위한 밀봉 부재(400)를 구비할 수 있다.

도 3a에서 밀봉 부재(400)는 하나 이상의 밀봉층으로 구성되었으나, 이에 국한되지 않고 밀봉 기관 및 밀봉재(sealant)으로 구성되거나 또는 밀봉 기관 및 밀봉재를 더 구비할 수도 있는 등 다양한 변형이 가능하다. 도 3b에는, 도 3a의 도면 부호 "A"로 지시된 디스플레이 영역(200a)의 일화소에 대한 단면도가 도시되어 있다.

기관(210)의 일면 상에 형성된 디스플레이 영역(200a)은 유기 박막 트랜지스터 층(300a)과 화소부(300b)를 구비할 수 있는데, 유기 박막 트랜지스터 층(300a)은 상기한 유기 박막 트랜지스터의 구조와 동일하다. 기관(210)의 일면에는 게이트 전극(220)이 구비되는데, 게이트 전극(230)과 기관(210) 사이에는 게이트 전극(230)의 형성 과정에서 발생 가능한 기관(210)의 손상을 방지하고 양자간의 밀착성을 증대시키기 위한 버퍼층(211)이 더 구비될 수도 있다. 게이트 전극(230) 상부에는 소스/드레인 전극(240a,b)이 형성되는데, 게이트 전극(230)과 소스/드레인 전극(240a,b) 사이에는 게이트 절연층(230)이 구비된다. 소스/드레인 전극(240a,b)의 일면 상에는 소스 영역(250a), 드레인 영역(250b) 및 채널 영역(250c)을 구비하는 유기 반도체 층(250)이 구비된다. 이와 같은 구조의 유기 박막 트랜지스터 층(300a)은 평탄화 층으로서의 절연층(260)이 구비되는데, 이와 같은 절연층(260)은 유기물의 단층으로 구성될 수도 있고, 무기물로 구성될 수도 있으며, 복수의 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

평탄화 층으로서의 절연층(260)의 일면 상에는 제 1 전극층(260)이 구비되는데, 제 1 전극층(310)은 절연층(260) 및 유기 반도체 층(260)에 형성된 비아홀(261)을 통하여 드레인 전극(240b)과 전기적 소통을 이룬다.

제 1 전극층(310)은 다양한 구성이 가능한데, 예를 들어, 도 3b에 도시된 바와 같이 제 1 전극층(310)이 애노드 전극으로 작동하고 전면 발광형인 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물을 포함하는 반사 전극과, 그 위에 형성되는 투명 전극으로 구성될 수도 있고, 배면 발광형인 경우 제 1 전극층(310)은 ITO, IZO, ZnO 또는 In₂O₃ 등과 같은 투명 도전성 물질로 이루어진 투명 전극일 수도 있으며, 제 1 전극층(310)은 단일층, 이중층에 한정되지 않고, 다중층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

평탄화 층(260)의 일면 상에는 화소 정의층(320)이 형성되는데, 화소 정의층(320)은 제 1 전극층(310)의 일면으로 빛을 추출시키기 위한 화소 개구부(350)를 정의한다. 제 1 전극층(310)의 일면 상에는 유기 발광부(330)가 형성된다.

유기 발광부(330)로는 저분자 또는 고분자 유기막이 사용될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다. 상기와 같은 유기 발광부를 구성하는 유기막들은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

제 2 전극층(340)도, 제 1 전극층(310)의 경우에 마찬가지로 전극층의 극성 및 발광 유형에 따라 다양한 구성이 가능하다. 즉, 제 2 전극층(340)이 캐소드 전극으로 작동하고 발광 유형이 전면 발광형인 경우, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물로 유기 발광부(330)의 일면 상에 일함수를 맞추기 위한 전극을 형성한 후, 그 위에 ITO, IZO, ZnO, In₂O₃ 등의 투명 전극을 형성할 수도 있고, 배면 발광형인 경우 제 2 전극층(340)은 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물과 같이 일함수가 작은 재료로 하나 이상의 층으로 구성될 수도 있으며, 제 2 전극층(340)은 전면 형성될 수도 있으나, 이에 국한되지 않고 다양한 구성을 취할 수도 있다. 한편, 상기 실시예에서는 제 1 전극층(310)이 애노드 전극으로, 그리고 제 2 전극층(340)이 캐소드 전극으로 작동하는 경우에 대하여 기술되었으나, 서로 반대의 극성을 구비할 수도 있는 등 다양한 구성이 가능하다.

한편, 본 발명의 다른 일실시예에 따른 유기 발광 디스플레이 장치는 디스플레이 영역으로의 투산소 및 투습 방지를 더욱 강화하기 위한 구조, 즉 기판에 구비되는 금속층의 적어도 일부는 밀봉 부재와 직접 접촉할 수도 있다.

도 3c에는 도 3a의 선 I-I를 따라 취한 유기 발광 디스플레이 장치의 단면도가 도시되어 있다. 디스플레이 영역(200a)이 구비되는 기판(210)의 일면 상에는 적어도 디스플레이 영역(200a)을 밀봉시키기 위한 밀봉 부재로서의 한 개 이상의 밀봉층(400)이 구비되고, 기판(210)은 두 개의 절연층(210a,c) 사이에 금속층(210b)을 구비되는데, 금속층(210b)의 적어도 일부, 즉 밀봉 부재로서의 밀봉층(400)과 기판(210)의 적어도 일부가 접하는 밀봉부(B)에 해당하는 금속층(210b)의 일부는 외부로 노출됨으로써, 기판(210)의 일면 상에 형성되는 밀봉층(400)과 직접 접촉하게 된다.

따라서, 기판(210)의 금속층(210b)과 밀봉층(400)의 직접적인 접촉에 의하여, 내투산소 및/또는 내투습성을 더욱 증대시켜, 유기 박막 트랜지스터 층의 기능 유지와 더불어 디스플레이 영역에 구비되는 유기 발광부의 기능 저하 방지를 더욱 공고히 할 수도 있다. 도 3c에서는, 밀봉 부재로서 밀봉층을 구비하는 경우에 대하여 기술되었으나, 본 발명이 이에 국한되지 않고, 밀봉 부재로 밀봉 기판 및 밀봉재가 구비될 수도 있으며, 이 때 밀봉 기판과 기판을 밀봉시키기 위한 밀봉재(sealant)는 기판의 금속층과 직접적인 접촉을 이루게 된다.

상기한 실시예들은 본 발명을 설명하기 위한 일 예들로서, 본 발명이 이에 한정되지는 않고, 본 발명에 따른 유기 박막 트랜지스터가, 인접하는 유기 박막 트랜지스터와의 관계에 있어 유기 반도체 층의 적어도 일부에 유기 반도체 층 관통부를 구비하는 범위에서 다양한 변형이 가능하다.

또한, 위의 실시예에서는 각 화소에 유기 박막 트랜지스터가 구비된 것으로 설명하였으나, 본 발명이 반드시 이에 한정되는 것은 아니며, 각 화소가 일반 박막 트랜지스터를 구비한 경우에도 동일하게 적용 가능하다. 뿐만 아니라, 디스플레이 영역(200a)이 박막 트랜지스터를 갖지 않는 단순 매트릭스 방식의 PM(Passive Matrix) 타입이어도 동일하게 적용될 수 있음은 물론이다.

그리고, 유기 발광 디스플레이 장치이외에도 액정 디스플레이 장치에도 적용 가능함은 물론이다. 즉, 전술한 본 발명의 실시예에 나타난 기판 상에 TFT, 커패시터를 포함하는 픽셀회로를 구현하고, 이를 화소전극과 전기적으로 연결시킨 후, 액정이 개재된 채로, 공통 전극이 형성된 밀봉기판과 접합하면, 액정 디스플레이 장치가 된다. 이 경우에도, 플렉시블 특성 구현과 동시에 소자 수명향상에 더욱 유용할 수 있다.

뿐만 아니라, 평판 디스플레이 장치 이외에도 화상이 구현되지 않는 드라이버 회로에도 장착 가능한 등, 다양한 변형예를 고려할 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 본 발명은 금속층을 갖는 기판을 구비함으로써, 기판을 투과한 산소 내지 습기에 의하여 기판 상에 형성된 소자가 손상되는 것을 방지하고, 이에 따라, 장치 자체의 기능 저하가 발생하는 것을 방지할 수 있다.

둘째, 본 발명에 따른 평판 디스플레이 장치는 밀봉 부재가 기판에 구비되는 금속층의 적어도 일부와 직접 접하게 됨으로써, 밀봉 기능을 더욱 공고히 하여 디스플레이 영역의 기능 저하 내지 손상을 방지할 수도 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기관의 일면에 소스/드레인 전극과, 반도체 층과, 상기 소스/드레인 전극 및 반도체 층과 절연되는 게이트 전극을 포함하는 박막 트랜지스터에 있어서,

상기 기관은 복수의 기관 절연층들을 구비하되, 상기 기관 절연층 들 중 적어도 어느 두 기관 절연층들 사이에는 금속층이 배치되는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서,

상기 금속층은 Cu, Al, Ag, Mo, Cr, Au, Pt, Pd, Ta, W, Ti, Ni 및 이들의 합금 중의 하나 이상을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항에 있어서,

상기 기관 절연층은, 폴리아미드(polyimide) 및 그 유도체, 폴리에스테르(polyester) 및 그 유도체, 아크릴계 고분자 및 그 유도체, 멜라민 수지 및 그 유도체, 폴리아마이드(polyamide) 및 그 유도체, 폴리에테르(polyether) 및 그 유도체, 폴리에테르케톤(polyetherketone, PEK) 및 그 유도체, 폴리아세탈(polyacetals) 및 그 유도체, 폴리벤조옥사졸(polybenzoxazoles) 및 그 유도체, 폴리벤조티아졸(polybenzothiazoles) 및 그 유도체, 폴리벤즈이미다졸(polybenzimidazoles) 및 그 유도체, 폴리카보네이트(polycarbonates) 및 그 유도체, 폴리에테르술폰(polyethersulfones) 및 그 유도체, 폴리에테르이미드(polyetherimides) 및 그 유도체, 벤조시클로부텐(BCB)계 수지 및 그 유도체, 에폭시 수지(epoxy) 및 그 유도체, 액정 고분자(liquid crystal polymer, LCP) 및 그 유도체, 불소계 수지 및 그 유도체, 유리 섬유, 카본 섬유, 카본 나노튜브 및 무기 필러 중의 하나 이상을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 1항에 있어서,

상기 금속층의 두께는 $5\mu\text{m}$ 내지 $50\mu\text{m}$ 인 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 1항에 있어서,

상기 기관 절연층의 두께는 $0.2\mu\text{m}$ 내지 $5000\mu\text{m}$ 인 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제 1항에 있어서,

상기 금속층과 상기 기관 절연층 사이에는 금속 산화층 및 유기 접착층 중의 하나 이상이 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

제 1항에 있어서,

상기 반도체 층은 유기 반도체로 구비된 것을 특징으로 하는 박막 트랜지스터..

청구항 8.

제 7항에 있어서,

상기 유기 반도체 층은, 펜타센(pentacene), 테트라센(tetracene), 아트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실릭디이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체, 파이로멜리틱 디이미드 및 이들의 유도체, 페릴렌테트라카르복시산 디안하이드라이드 및 그 유도체 및 페릴렌테트라카르복실릭 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디안하이드라이드 및 이들의 유도체 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

기판의 일면에 디스플레이 영역이 구비된 평판 디스플레이 장치에 있어서,

상기 기판은 복수의 기판 절연층들을 구비하되, 상기 기판 절연층 들 중 적어도 어느 두 기판 절연층들 사이에는 금속층이 배치되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 10.

제 9항에 있어서,

상기 금속층은 Cu, Al, Ag, Mo, Cr, Au, Pt, Pd, Ta, W, Ti, Ni 및 이들의 합금 중의 하나 이상을 포함하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 11.

제 9항에 있어서,

상기 기판 절연층은, 폴리이미드(polyimide) 및 그 유도체, 폴리에스테르(polyester) 및 그 유도체, 아크릴계 고분자 및 그 유도체, 멜라민 수지 및 그 유도체, 폴리아마이드(polyamide) 및 그 유도체, 폴리에테르(polyether) 및 그 유도체, 폴리에테르케톤(polyetherketone, PEK) 및 그 유도체, 폴리아세탈(polyacetals) 및 그 유도체, 폴리벤조옥사졸(polybenzoxazoles) 및 그 유도체, 폴리벤조티아졸(polybenzothiazoles) 및 그 유도체, 폴리벤즈이미다졸(polybenzimidazoles) 및 그 유도체, 폴리카보네이트(polycarbonates) 및 그 유도체, 폴리에테르술폰(polyethersulfones) 및 그 유도체, 폴리에테르이미드(polyetherimides) 및 그 유도체, 벤조시클로부텐(BCB)계 수지 및 그 유도체, 에폭시 수지(epoxy) 및 그 유도체, 액정 고분자(liquid crystal polymer, LCP) 및 그 유도체, 불소계 수지 및 그 유도체, 유리 섬유, 카본 섬유, 카본 나노튜브 및 무기 필러 중의 하나 이상을 포함하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 12.

제 9항에 있어서,

상기 금속층의 두께는 $5\mu\text{m}$ 내지 $50\mu\text{m}$ 인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 13.

제 9항에 있어서,

상기 기판 절연층의 두께는 $0.2\mu\text{m}$ 내지 $5000\mu\text{m}$ 인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 14.

제 9항에 있어서,

상기 금속층과 상기 기판 절연층 사이에는 금속 산화층 및 유기 접착층 중의 하나 이상이 구비되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 15.

제 9항에 있어서,

적어도 상기 디스플레이 영역을 밀봉시키기 위한 밀봉 부재를 더 구비하되, 상기 밀봉 부재는 상기 기판의 금속층의 적어도 일부와 직접 접촉하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 16.

제 9항에 있어서,

상기 기판의 일면에는, 소스/드레인 전극과, 반도체 층과, 상기 소스/드레인 전극 및 반도체 층과 절연되는 게이트 전극을 포함하는 박막 트랜지스터가 더 구비된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 17.

제 16항에 있어서,

상기 반도체 층은 유기 반도체로 구비된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 18.

제 17항에 있어서,

상기 유기 반도체 층은, 펜타센(pentacene), 테트라센(tetracene), 아트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실릭디이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체, 파이로멜리틱 디이미드 및 이들의 유도체, 페릴렌테트라카르복시산 디안하이드라이드 및 그 유도체 및 페릴렌테트라카르복실릭 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디이미드 및 이들의 유도체, 나프탈렌 테트라카르복시산 디안하이드라이드 및 이들의 유도체 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 평판 디스플레이 장치.

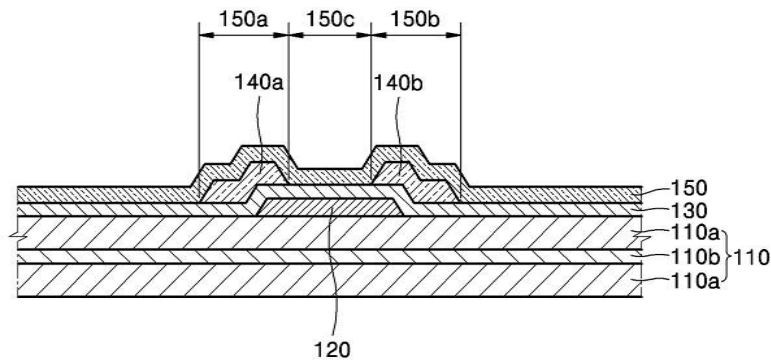
청구항 19.

제 9항에 있어서,

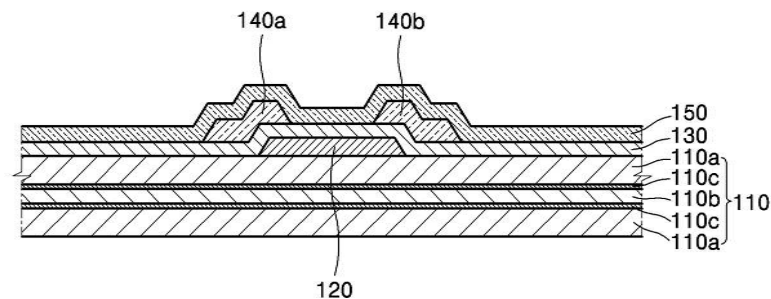
상기 디스플레이 영역은 복수개의 화소부를 포함하고, 상기 화소부는 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 유기 전계 발광부를 포함하는 것을 특징으로 하는 평판 디스플레이 장치.

도면

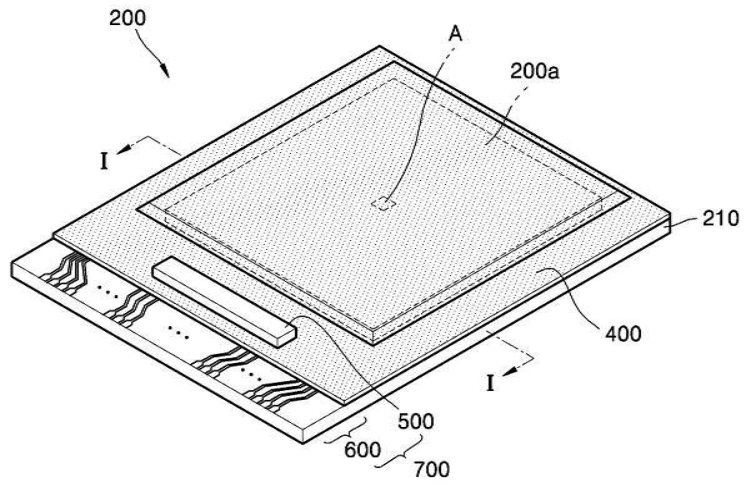
도면1



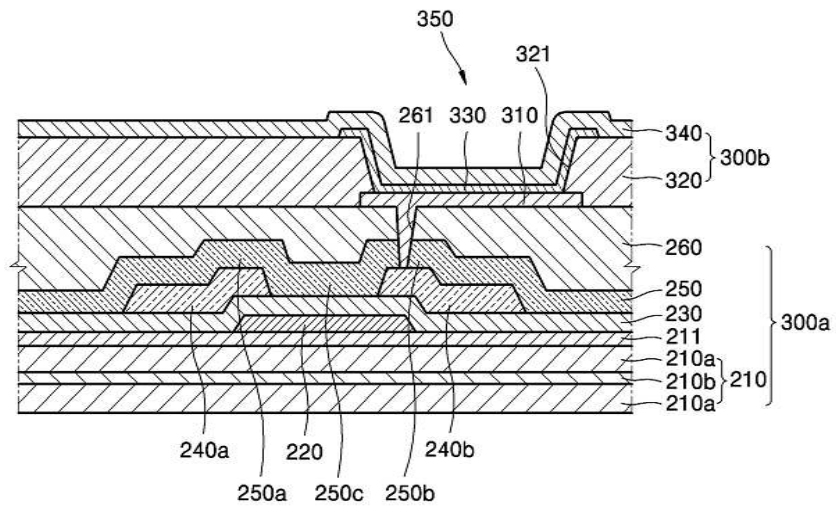
도면2



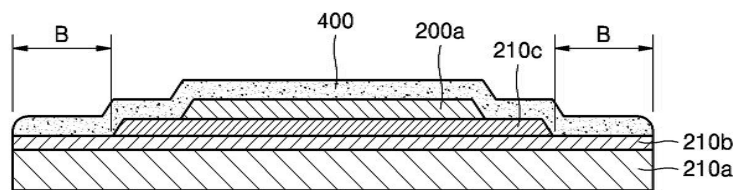
도면3a



도면3b



도면3c



专利名称(译)	薄膜晶体管和平板显示器		
公开(公告)号	KR100626065B1	公开(公告)日	2006-09-20
申请号	KR1020050023698	申请日	2005-03-22
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YANG NAM CHOUL		
发明人	YANG,NAM CHOUL		
IPC分类号	H05B33/22 C09K11/06		
CPC分类号	H01L27/3258 H01L27/3274 H01L51/5012 H01L51/5203 H01L51/5246 H01L2924/12044		
代理人(译)	李，杨HAE		
外部链接	Espacenet		

摘要(译)

本发明的目的是增加防止基板的水分渗透和氧气渗透的功能，并防止有机发光显示装置和平板显示装置的耐久性降低。根据本发明的一个方面，提供了一种薄膜晶体管，包括源/漏电极，半导体层，以及与基板的一个表面上的源/漏电极和半导体层绝缘的栅电极，并且金属层设置在至少任意两个基板绝缘层之间，其中金属层设置在绝缘层之间。图3b

