

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월13일 10-0624133 2006년09월07일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0075435 2005년08월17일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	정보용 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 최정운

(54) 발광제어 구동장치 및 이를 포함하는 유기전계발광표시장치

요약

화소부에 발광제어신호를 공급하는 발광제어 구동부가 패널 내에 형성된 유기전계발광표시장치가 개시된다. 상기 발광제어 구동부는 다수의 플립플롭으로 구성된 시프트 레지스터와 상기 시프트 레지스터의 연속한 2 개의 출력신호를 입력받아 논리 합 연산을 수행하는 논리 게이트를 가지는 논리 연산부로 구성된다. 각각의 논리 게이트는 입력신호들의 논리 합 연산을 수행하여, 하나의 발광제어신호를 출력하며, 이러한 플립플롭은 P타입 MOSFET으로 이루어져 SOP(System On Panel)이 용이하다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 종래의 유기전계발광표시장치의 구성도이다.

도 2는 본 발명의 실시예에 따른 티일링 기술을 이용한 유기전계발광표시장치의 구성도이다.

도 3은 본 발명의 실시예에 따른 EL표시패널의 구성도이다.

도 4는 본 발명의 실시예에 따른 화소의 회로도이다.

도 5는 본 발명의 다른 실시예에 따른 화소의 회로도이다.

도 6은 도 4또는 도 5의 화소회로의 동작을 설명하기 위한 타이밍도이다.

도 7은 본 발명의 실시예에 따른 발광제어 구동부의 구성도이다.

도 8은 도 7에 도시된 발광제어 구동부의 플립플롭을 나타내는 회로도이다.

도 9는 도 8에 도시된 플립플롭의 인버터를 나타내는 회로도이다.

도 10은 도 7에 도시된 발광제어 구동부의 논리게이트를 나타내는 회로도이다.

도 11은 본 발명의 실시예에 따른 발광제어 구동부의 동작을 설명하기 위한 타이밍도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 화소부

250 : 발광제어 구동부

260 : 시프트 레지스터

270 : 논리 연산부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로서, 구체적으로는 SOP (System On Panel)를 구현하기 위하여, 발광제어 구동부를 P타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor; 이하 MOSFET이라한다.)으로 설계한 유기전계발광표시장치에 관한 것이다.

화소회로에 발광소자의 발광을 제어하는 발광제어 트랜지스터가 추가되어 있는 경우 유기전계발광표시장치는 발광제어 트랜지스터로 발광제어신호를 제공하기 위한 발광제어 구동장치를 포함한다.

근래, 평판표시장치가 활발하게 연구되고 있으며 특히 유기전계발광표시장치는 휘도 특성 및 시야각 특성이 우수하여 차세대 평판표시장치로 주목받고 있다.

유기전계발광표시장치는 액정표시장치와 달리 별도의 광원부를 요구하지 않고 특정한 빛을 발광하는 발광 다이오드를 사용한다. 이러한 발광 다이오드는 애노드 전극으로 흘러 들어가는 구동전류의 양에 상응하는 빛을 발광한다.

도 1은 종래의 유기전계발광표시장치의 구성도이다.

유기전계발광표시장치는 화소부(10), 주사 구동부(20), 데이터 구동부(30) 및 발광제어 구동부(40)로 구성된다.

화소부(10)는 다수의 주사선(S1~Sn)과 다수의 데이터선(D1~Dm) 및 다수의 발광제어선(E1~En)이 교차하는 영역에 위치한 다수의 화소들(P11~Pnm)로 구성되어 있으며, 인가되는 데이터전압에 따라 소정의 영상을 디스플레이한다.

주사 구동부(20)는 타이밍 제어부(미도시)로부터의 스캔제어신호, 즉 스타트 펄스와 클럭신호에 응답하여 순차적으로 주사선(S1~Sn)에 주사신호를 공급한다.

데이터 구동부(30)는 타이밍 제어부(미도시)로부터 공급되는 데이터제어신호에 응답하여 R, G, B 데이터에 상응하는 데이터전압을 데이터선(D1~Dm)에 공급한다.

발광제어 구동부(40)는 타이밍 제어부(미도시)로부터 스타트 펄스와 클럭신호에 응답하여 순차적으로 발광제어선(E1~En)에 발광제어신호를 공급한다.

종래의 발광제어 구동부(40)의 스위칭 소자는 빠른 응답속도를 요하므로 CMOS (Complementary Metal Oxide Semiconductor)공정을 통하여, 실리콘 기판 상에 형성된 N타입 및 P타입 MOSFET이 사용된다. 따라서, 발광제어 구동부(40)는 화소부(10)에 많이 사용되는 P타입 MOSFET만으로 구성되지 않아 발광제어 구동부(40)와 화소부(10)의 트랜지스터를 동일한 공정으로 제조할 수 없다.

이러한 발광제어 구동부(40)는 별도의 집적회로로 제작되어 패널에 접속되어 있는 테이프 필름에 장착하는 테이프 캐리어 패키지(Tape Carrier Package : TCP)방법으로 화소부(10)가 형성된 패널에 부착된다. 또한 화소부(10)가 형성된 유리 기판 상에 직접 실장될 수도 있는데 이를 COG(Chip On Glass)방식이라 한다. 그러나 이러한 방식은 생산수율이 저하되고, 공정이 복잡해짐으로써 제조비용이 증가하는 문제점이 있다.

따라서 근래에는 화소부(10)가 형성된 패널 내에 구동부를 설계하여 화소부(10)의 회로들과 구동부의 회로들을 동시에 제조하기 위한 SOP(System On Panel)를 구현하고자 한다. 특히, 다수의 패널을 접합하여 하나의 패널을 형성하는 타일링(Tiling)을 이용한 유기전계발광표시장치의 경우, 구동부를 형성하는 집적회로를 패널과 접착할 수 있는 면이 줄어든다. 따라서 SOP방식으로 구동부의 일부를 패널에 직접 설계하려는 노력이 필요하다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 EL표시패널 내부에 SOP 방식으로 설계되어 화소들의 발광을 제어하는 발광제어 구동부를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 영상을 디스플레이 하기 위한 화소부; 상기 화소부로 주사신호를 순차적으로 공급하기 위한 주사 구동부; 상기 화소부로 데이터신호를 공급하기 위한 데이터 구동부; 및 상기 화소부로 발광제어신호를 공급하기 위한 발광제어 구동부를 포함하며, 상기 발광제어 구동부는, 개시펄스를 인가받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 공급하는 다수의 플립플롭들; 및 이웃한 2개의 플립플롭들로부터 2개의 출력신호를 인가받아, 논리 합 연산을 수행하여 상기 화소부로 발광제어신호를 공급하는 다수의 논리 게이트들을 포함하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명은, 개시펄스를 인가받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 생성하는 제 1 플립플롭; 상기 제 1 플립플롭의 출력신호를 인가받고, 상기 클럭신호와 상기 반전된 클럭신호에 동기되어 출력신호를 생성하는 제 2 플립플롭; 및 상기 제 1 플립플롭 및 제 2 플립플롭로부터 출력신호들을 인가받아, 논리 합 연산을 수행하여 발광제어신호를 공급하는 논리 게이트를 포함하는 발광제어 구동장치를 제공한다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

실시예

도 2는 본 발명의 실시예에 따른 타일링 기술을 이용한 유기전계발광표시장치의 구성도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 다수의 EL표시패널(1~8)을 접합하여 형성된 대형 패널과 각각의 EL표시패널(1~8)에 연결되는 데이터 구동부(1~8)로 구성된다.

하나의 EL표시패널(400)과 EL표시패널(400)에 연결된 하나의 데이터 구동부(300)는 유기전계발광표시장치를 구성하는 하나의 서브 유기전계발광표시장치(450)를 구성한다.

각각의 EL표시패널(400)은 데이터 구동부(300)와 전기적으로 연결된다. 하나의 EL표시패널(400)과 데이터 구동부(500) 사이의 전기적 연결은 가요성 필름 상에 인쇄된 금속 패턴을 통해 달성된다. 즉, 데이터 구동부(300)의 출력 단자는 금속 패턴의 일단에 전기적으로 연결되고, 상기 EL표시패널(400) 상에 구비된 데이터선은 상기 금속 패턴의 타단과 전기적으로 연결된다.

각각의 데이터 구동부(500)는 가요성 필름 상에 구비된 다수의 도전성 라인들을 통해 데이터 신호를 화소부에 공급한다.

또한, 화소부를 구성하는 화소를 선택하기 위한 주사신호 및 화소의 발광동작을 제어하기 위한 발광제어신호를 생성하는 회로는 상기 EL표시패널(400)에 내장된다. 따라서 상기 EL표시패널(400)은 외부에 별도로 구비된 주사신호 발생수단 또는 발광제어신호 발생수단을 요구하지 않는다.

이러한 EL표시패널(400)에 있어서, 각각의 화소들의 박막 트랜지스터, 주사 구동부 및 발광제어 구동부를 형성하는 박막 트랜지스터들은 빠른 응답속도 및 균일성을 위하여 채널로 폴리 실리콘을 갖는다. 이때 폴리 실리콘은 비정질 실리콘 층을 유리 기판 상에 형성한 후 LTPS(Low Temperature Poly Si)공정을 거쳐 비정질 실리콘 층을 폴리 실리콘으로 결정화시킨다.

하나의 EL표시패널(400)은 종래에 사용되는 유기전계발광표시장치의 패널과 동일한 제조공정을 거쳐 생산될 수 있다. 따라서 동일한 제조공정을 거쳐 생산된 동일한 수개의 EL표시패널(400)을 접합하여 하나의 대형 패널을 형성한다. 이러한 각각의 EL표시패널(400)은 UV 경화수지나 열 경화수지, 구체적으로 에폭시 수지 등을 사용하여 이웃한 EL표시패널(400)과 접합할 수 있다.

도 3은 본 발명의 실시예에 따른 EL표시패널의 구성도이다.

도 3을 참조하면, EL표시패널(400)은 화소부(100), 주사 구동부(200) 및 발광제어 구동부(250)로 구성된다. 이러한 EL표시패널(400)은 TCP방식으로 패널과 접합되는 데이터 구동부(300)와 하나의 서브 유기전계발광표시장치(450)를 형성한다.

도 3에서는 n번째 주사신호에 의해 활성화되는 화소들의 방향을 제 1 방향으로, 제 1 방향에 수직인 방향을 제 2 방향으로 한다.

주사 구동부(200) 및 발광제어 구동부(250)는 EL표시패널(400) 내에 위치하고, EL표시패널(400)외에 위치하는 데이터 구동부(300)와 EL표시패널(400) 내에 위치하는 화소부(100) 사이에 형성된다. 이는 다수의 EL표시패널(400)을 접합하여 하나의 유기전계발광표시장치를 제조하기 위해 데이터신호, 주사신호 및 발광제어신호를 인가하는 구동부를 화소부(100)의 편측으로 형성하기 위함이다.

주사 구동부(200) 및 발광제어 구동부(250)는 타이밍 제어부(미도시)로부터 클럭신호들을 인가받아 주사신호 및 발광제어신호를 화소부(100)로 출력한다.

주사 구동부(200)로부터 연장되는 주사선(Sn)은 제 2 방향으로 형성된다. 또한 발광제어 구동부(250)로부터 연장되는 발광제어선(En)은 주사선(Sn)과 평행하게 제 2 방향으로 형성된다. 이러한 주사선(Sn) 및 발광제어선(En)은 제 1 방향의 화소들(Pn1~Pnm)을 하나의 주사신호 및 하나의 발광제어신호로 순차적으로 활성화시켜야 한다. 따라서 주사선(Sn) 및 발광제어선(En)은 주사선(Sn) 및 발광제어선(En)과 교차하여 제 1 방향으로 형성된 금속배선들을 이용하여 제 1 방향의 화소들(Pn1~Pnm)과 각각 연결된다.

각각의 금속배선들은 제 1 방향으로 형성된 화소들(Pn1~Pnm)을 가로질러 형성된다. 주사선(Sn)과 연결되는 금속배선은 주사신호에 의해 턴온되는 제 1 방향의 화소들(Pn1~Pnm) 상의 박막 트랜지스터의 게이트 전극과 연결된다. 또한 발광제어선(En)과 연결되는 금속배선은 발광제어신호에 의해 턴온되는 제 1 방향의 화소들(Pn1~Pnm) 상의 발광제어 트랜지스터의 게이트 전극과 연결된다. 이러한 주사선(Sn) 및 발광제어선(En)과 금속배선들의 전기적 접속은 콘택홀을 통해 달성된다.

화소부(100)는 다수의 화소들(P11~Pnm)을 가지며 하나의 단위화소(Pnm)는 레드, 그린 및 블루 부화소들로 구성된다. 상기 화소들(P11~Pnm)은 제 1 방향을 따라 레드, 그린 및 블루의 부화소들이 규칙적으로 반복하며 형성되고, 제 2 방향을 따라서 동일한 형태가 반복하며 형성된다.

레드, 그린 및 블루 부화소들은 유기EL소자(OLED)에 인가되는 전류에 상응하는 레드, 그린 및 블루의 빛을 발광한다. 따라서 화소(Pnm)는 화소(Pnm)를 형성하는 레드, 그린 및 블루 부화소들이 발광하는 빛을 조합하여 특정한 색을 표시한다.

이러한 화소부(100)에는 화소들(P11~Pnm) 상으로 다수의 주사선(S1~Sn) 및 발광제어선들(E1~En)과 다수의 데이터선(D1~Dm)이 제 2 방향으로 형성된다.

각각의 화소(Pnm)는 주사선(Sn) 및 발광제어선(En)과 연결된 금속배선으로부터 주사신호 및 발광제어신호를 인가받고, 데이터선(Dm)으로부터 데이터신호를 인가받아 소정의 영상을 디스플레이한다.

도 4는 본 발명의 실시예에 따른 화소의 회로도이며, 도 6은 도 4의 화소회로의 동작을 설명하기 위한 타이밍도이다.

도 4에서는 설명의 편의상 m번째 데이터선과 n번째 주사선에 연결된 화소회로(Pnm)만을 도시한다.

도 4를 참조하면, 본 발명의 실시예에 따른 화소회로(Pnm)는 유기EL소자(OLED), 트랜지스터들(M1,M2,M3) 및 커패시터(Cst1)를 포함한다.

구동 트랜지스터(M1)는 유기EL소자(OLED)에 흐르는 구동전류를 제어하기 위한 트랜지스터로서, 소스전극이 전원전압(VDD)에 접속되고, 드레인전극이 발광제어 트랜지스터(M3)의 소스전극에 접속된다.

발광제어 트랜지스터(M3)는 상기 구동 트랜지스터(M1)와 상기 유기EL소자(OLED)사이에 연결되고, 게이트전극과 연결되는 발광제어선(En)의 발광제어신호에 응답하여 상기 구동전류를 흐르게 하거나 차단한다.

유기EL소자(OLED)는 캐소드가 전원전압(VSS)에 연결되고, 애노드가 발광제어 트랜지스터(M3)의 드레인전극에 접속되어 구동 트랜지스터(M1)로부터 인가되는 구동 전류의 양에 대응하는 빛을 발광한다.

스위칭 트랜지스터(M2)는 주사선(Sn)으로부터의 주사신호에 응답하여 데이터선(Dm)에 인가되는 데이터 전압(Vdata)을 커패시터(Cst1)의 일전극으로 전달한다.

커패시터(Cst1)의 일전극은 스위칭 트랜지스터(M2)의 게이트전극에 접속되고, 타전극은 전원전압(VDD)에 접속된다.

이하에서는, 도 6의 신호파형을 이용하여 도 4의 유기전계발광표시장치의 화소회로(Pnm)의 동작을 설명한다.

먼저, 로우 레벨의 제 n번째 주사신호(S[n])가 인가되면, 스위칭 트랜지스터(M2)가 턴온되어 커패시터(Cst1)의 일전극에 데이터 전압(Vdata)이 인가된다. 따라서 커패시터(Cst1)에는 전원전압(VDD)과 데이터 전압(Vdata)의 차에 상응하는 전하가 충전된다. 그러나 이 때에는 발광제어신호(En)가 하이 레벨이므로 발광제어 트랜지스터(M3)가 턴오프 되어 유기EL소자(OLED)에는 전류가 흐르지 않는다.

다음으로, 하이 레벨의 제 n번째 주사신호(S[n])가 인가되고, 로우 레벨의 발광제어신호(En)가 인가되면, 발광제어 트랜지스터(M3)가 턴온 되어 유기EL소자(OLED)에 전류가 흐르게 된다.

도 5는 본 발명의 다른 실시예에 따른 화소의 회로도이다.

도 5에서는 설명의 편의상 m번째 데이터선과 n번째 주사선에 연결된 화소회로(Pnm)만을 도시한다.

도 5를 참조하면, 본 발명의 다른 실시예에 따른 화소회로(Pnm)는 유기EL소자(OLED), 트랜지스터들(M4,M5,M6,M7,M8) 및 커패시터(Cst2, Cvth)를 포함한다.

구동 트랜지스터(M4)는 유기EL소자(OLED)에 흐르는 구동전류를 제어하기 위한 트랜지스터로서, 소스전극이 전원전압(VDD)에 접속되고, 드레인전극이 발광제어 트랜지스터(M8)의 소스전극에 접속된다.

발광제어 트랜지스터(M8)는 상기 구동 트랜지스터(M5)와 상기 유기EL소자(OLED)사이에 연결되고, 게이트전극에 인가되는 발광제어신호에 응답하여 상기 구동전류를 흐르게 하거나 차단한다.

유기EL소자(OLED)는 캐소드가 전원전압(VSS)에 연결되고, 애노드가 발광제어 트랜지스터(M8)의 드레인전극에 접속되어 구동 트랜지스터(M4)로부터 인가되는 구동전류의 양에 대응하는 빛을 발광한다.

제 1 스위칭 트랜지스터(M7)는 소스전극이 데이터선(Dm)에 연결되고, 게이트전극과 연결되는 주사선(Sn)으로부터의 n 번째 주사신호(S[n])에 응답하여 데이터 전압(Vdata)을 커패시터(Cst2)의 일전극으로 전달한다.

커패시터(Cst2)는 일전극이 제 1 스위칭 트랜지스터(M7)의 드레인전극에 연결되고, 타전극이 전원전압(VDD)에 연결된다.

커패시터(Cvth)은 일전극이 구동 트랜지스터(M4)의 게이트전극에 연결되고, 타전극이 커패시터(Cst2)의 일전극에 연결된다.

문턱전압보상 트랜지스터(M5)는 구동 트랜지스터(M4)의 게이트전극과 드레인전극 사이에 위치하며, n-1 번째 주사신호(S[n-1])에 응답하여 구동 트랜지스터(M4)를 다이오드 연결한다.

제 2 스위칭 트랜지스터(M6)는 보조전원전압(Vsus)과 커패시터(Cst2)의 일전극 사이에 위치하며, n-1 번째 주사신호(S[n-1])에 응답하여 커패시터(Cst2)의 일전극에 보조전원전압(Vsus)을 인가한다.

이하에서는, 도 6의 신호파형을 이용하여 도 5의 유기전계발광표시장치의 화소회로(Pnm)의 동작을 설명한다.

먼저, 로우 레벨의 n-1 번째 주사신호(S[n-1])가 인가되면 트랜지스터들(M5, M6)이 턴온 되고, 로우 레벨의 발광제어신호(En)가 인가되면 발광제어 트랜지스터(M8)가 턴온 되면, 커패시터들(Cst2, Cvth)이 초기화된다.

이때, 로우 레벨의 발광제어신호(En)는 단시간 동안만 지속되며, 다시 하이 레벨을 유지하여 구동 트랜지스터(M4)에 잔류하는 전류가 유기EL소자(OLED)로 흐르는 것을 차단한다.

문턱전압보상 트랜지스터(M5)가 턴온되어, 구동 트랜지스터(M4)가 다이오드 연결되면 구동 트랜지스터(M4)의 게이트전극에 VDD-Vth의 전압이 인가되고, 제 2 스위칭 트랜지스터(M6)가 턴온 되어 커패시터(Cst2)의 일전극에 보조전원전압(Vsus)이 인가된다.

따라서 커패시터(Cst2)에는 전원전압(VDD)과 보조전원전압(Vsus)의 차에 상응하는 전하가 충전되고, 커패시터(Cvth)에는 보조전원전압(Vsus)과 구동 트랜지스터(M4)의 게이트전극에 인가된 전압(VDD-Vth)의 차에 상응하는 전하가 충전된다.

다음으로, 로우 레벨의 n 번째 주사신호(S[n])가 인가되면 제 1 스위칭 트랜지스터(M7)가 턴온 된다. 따라서 커패시터(Cst2)의 일전극에 데이터 전압(Vdata)이 인가되어 구동 트랜지스터(M4)의 게이트전극에 인가되는 전압은 VDD-Vth-ΔV가 된다. 이때 ΔV는 보조전원전압(Vsus)과 데이터 전압(Vdata)의 차를 의미한다.

다음으로, 로우 레벨의 발광제어신호(En)가 인가되면, 발광제어 트랜지스터(M8)가 턴온 되어 구동 트랜지스터(M4)의 출력단자로 흐르는 전류 I가 유기EL소자(OLED)로 흐르게 되어 유기EL소자(OLED)가 발광하게 된다.

구동 트랜지스터(M4)의 드레인전극에서 유기EL소자(OLED)로 흐르는 전류는 아래의 [수학식 1]과 같다.

수학식 1

$$I_{oled} = \frac{\beta}{2} \{ VDD - (VDD - V_{th} - \Delta V) - |V_{th}| \}^2$$

상기의 [수학식 1]에 ΔV를 대입하여 정리하면, 구동 트랜지스터(M4)의 드레인전극에서 유기EL소자(OLED)로 흐르는 전류는 아래의 [수학식 2]와 같다.

수학식 2

$$I_{oled} = \frac{\beta}{2} (V_{sus} - V_{data})^2$$

여기에서, VDD는 전원전압, Vth는 구동트랜지스터(M4)의 문턱전압, Vdata는 데이터전압, Vsus는 보조전원전압을 나타낸다.

보조전원전압(Vsus)의 경우 실질적으로 전류소스원이 아니기 때문에 전압강하가 발생하지 않으므로 Vth와 IR-drop이 보상되는 화소회로(Pnm)를 구현할 수 있다.

다시 도 3을 참조하면, 발광제어 구동부(250)는 EL표시패널(400) 내에 위치하며, 상기 화소부(100) 각각의 화소의 발광제어 트랜지스터의 온/오프를 제어하기 위한 발광제어신호를 공급한다. 이러한 발광제어 구동부(250)는 P타입 MOSFET로 설계되어 화소부(100)의 트랜지스터들과 동일한 공정을 통해 형성될 수 있다. 이하, 발광제어 구동부(250)에 대하여 바람직한 실시예를 참조하여 상세히 설명한다.

도 7은 본 발명의 실시예에 따른 발광제어 구동부의 구성도이다.

도 7을 참조하면, 발광제어 구동부(250)는 스캔펄스(Vsp)를 인가받고, 클럭신호(VCLK)와 반전된 클럭신호(VCLKB)에 동기되어 순차적으로 출력신호(OUT)를 생성하는 시프트 레지스터(260)와 상기 시프트 레지스터(260)의 연속한 2개의 출력신호를 인가받아, 논리 합 연산을 수행하여, 상기 화소부(100)로 발광제어신호를 공급하는 다수의 논리 게이트(OR1, OR2, ...)를 가지는 논리 연산부(270)로 구성된다.

시프트 레지스터(260)는 공통의 클럭신호(VCLK) 및 반전된 클럭신호(VCLKB)로 동기되는 다수의 플립플롭들(FF1, FF2, FF3, ...)로 구성된다.

제 1 플립플롭(FF1)은 개시펄스(Vsp), 클럭신호(VCLK) 및 반전된 클럭신호(VCLKB)를 입력받아, 클럭신호(VCLK)의 하강에지에서 개시펄스(Vsp)를 샘플링하고, 클럭 1 주기 동안 유지시킨 출력신호(OUT1)를 생성한다.

제 2 플립플롭(FF2)은 상기 제 1 플립플롭(FF1)의 출력신호(OUT1)를 입력신호로 인가받고, 클럭신호(VCLK) 및 반전된 클럭신호(VCLKB)에 의해 동기된다. 따라서 제 2 플립플롭(FF2)은 클럭 1 주기 시프트된 클럭신호(VCLK)의 하강에지에서 제 1 플립플롭(FF1)의 출력신호(OUT1)를 샘플링하고, 클럭 1 주기 동안 유지시킨 출력신호(OUT2)를 생성한다.

연속한 플립플롭들(FF3, FF4, FF5, ...)도 이전 플립플롭의 출력신호를 입력받아 클럭신호(VCLK)의 하강에지에서 샘플링하여 클럭 1 주기만큼 시프트된 출력신호를 순차적으로 출력한다.

논리 연산부(270)는 다수의 논리 게이트들(OR1, OR2, OR3, ...)로 구성된다. 각각의 논리 게이트는 상기 플립플롭들(FF1, FF2, FF3, ...)로부터 연속한 2개의 출력신호를 입력받아 발광제어신호(E1, E2, E3, ...)를 생성하여 화소부(100)에 공급한다.

제 1 논리 게이트(OR1)는 상기 제 1 플립플롭(FF1)의 출력신호(OUT1)와 상기 제 2 플립플롭(FF2)의 출력신호(OUT2)를 입력받는다. 제 1 논리 게이트(OR1)는 2개의 출력신호(OUT1, OUT2)의 논리 합 연산을 수행한다. 즉, 두 개의 출력신호(OUT1, OUT2) 중 하나 이상의 신호가 하이레벨인 경우 하이레벨의 제 1 발광제어신호(E1)를 발생한다. 또한, 두 개의 출력신호(OUT1, OUT2)가 모두 로우레벨인 경우 로우레벨의 제 1 발광제어신호(E1)를 발생한다.

제 2 논리 게이트(OR2)는 상기 제 2 플립플롭(FF2)의 출력신호(OUT2)와 상기 제 3 플립플롭(FF3)의 출력신호(OUT3)를 입력받는다. 제 2 논리 게이트(OR2)는 2개의 출력신호(OUT2, OUT3)의 논리 합 연산을 수행하여 제 2 발광제어신호(E2)를 출력한다.

제 3 내지 제 n논리 게이트들(OR3~ORn)도 제 1 및 제 2 논리 게이트들(OR1, OR2)과 같은 동작을 수행하여 제 3 내지 제 n번째 발광제어신호(E3~En)를 출력한다.

이하, 상기 플립플롭 및 논리 게이트의 구성에 대해 상세히 설명한다.

도 8은 도 7에 도시된 발광제어 구동부의 플립플롭을 나타내는 회로도이다.

도 8을 참조하면, 플립플롭(FF1)은 2개의 트랜지스터들(M9, M10) 및 2개의 인버터들(INV1, INV2)로 구성된다.

스위칭 트랜지스터(M9)는 소스전극으로 개시펄스(Vsp)가 인가되고, 드레인전극과 제 1 인버터(INV1)가 연결되며, 반전된 클럭신호(VCLKB)에 따라 턴/오프 동작하여 제 1 인버터(INV1)로 입력신호를 전달한다.

제 1 인버터(INV1)는 상기 스위칭 트랜지스터(M9)의 출력신호를 인가받아 이를 반전하여 샘플링 트랜지스터(M10)로 전달한다.

샘플링 트랜지스터(M10)는 상기 제 1 인버터(INV1)의 출력신호를 인가받고, 이를 클럭신호(VCLK)의 하강에지에서 샘플링하여 출력한다.

제 2 인버터(INV2)는 상기 샘플링 트랜지스터(M10)의 출력신호를 인가받아 이를 반전하여 제 1 논리 게이트(OR1)로 출력한다.

상기의 플립플롭(F1)은 개시펄스(Vsp), 클럭신호(VCLK) 및 반전된 클럭신호(VCLKB)를 인가받고, 클럭 주기 만큼의 듀티를 갖는 출력신호(OUT1)를 출력한다. 이러한 제 1 플립플롭(F1)의 출력신호(OUT1)는 다시 제 2 플립플롭(F2)의 입력신호가 된다. 따라서 제 2 플립플롭(F2)의 입력신호는 제 2 플립플롭(F2)의 스위칭 트랜지스터(M9)에 로우레벨의 반전된 클럭신호(VCLKB)가 인가되어 제 1 인버터(INV1)로 전달되고, 제 1 인버터(INV1)에서 반전되어 샘플링 트랜지스터(M10)로 전달된다. 이러한 샘플링 트랜지스터(M10)는 인가되는 클럭신호(VCLK)의 다음 하강에지에서 제 1 인버터(INV1)의 출력신호(OUT1)를 샘플링하고, 제 2 인버터(INV2)가 샘플링된 신호를 반전하여 출력한다.

따라서, 제 2 플립플롭(F2)의 출력신호(OUT2)는 상기 제 1 플립플롭(F1)의 출력신호(OUT1)와 동일한 클럭주기 만큼의 듀티를 갖으며, 상기 제 1 플립플롭(F1)의 출력신호(OUT1)에 대하여 1 클럭주기 만큼 시프트되어 출력된다.

이러한 제 1 플립플롭(F1)의 출력신호(OUT1) 및 제 2 플립플롭(F2)의 출력신호(OUT2)는 제 1 논리 게이트(OR1)의 입력신호가 되며, 제 1 논리 게이트(OR1)는 논리 합 연산을 수행하여 제 1 발광제어신호(E1)를 생성한다.

이하, 상기 플립플롭을 구성하는 제 1 및 제 2 인버터의 구성에 대해 설명한다.

도 9는 도 8에 도시된 플립플롭의 인버터를 나타내는 회로도이다.

도 9를 참조하면, 제 1 및 제 2 인버터(INV1, INV2)는 동일하게 구성되며, 각각 3개의 트랜지스터(M11, M12, M13)로 형성된다.

트랜지스터(M11)은 양의전원전압(VDD)과 소스전극이 연결되고, 드레인전극이 인버터(INV1, INV2)의 출력신호를 추출하는 출력단(out)과 연결된다. 이러한 트랜지스터(M11)은 인버터(INV1, INV2)의 입력신호, 즉, 스위칭 트랜지스터(M9) 또는 샘플링 트랜지스터(M10)의 출력신호에 따라 턴/오프 동작을 수행하여, 양의전원전압(VDD)을 상기 출력단(out)으로 전달한다.

트랜지스터(M12)는 음의전원전압(VSS)과 드레인전극이 연결되고, 출력단(out)으로 소스전극이 연결된다. 이러한 트랜지스터(M12)는 게이트전극으로 인가되는 전압에 따라 출력단(out)으로 흐르는 전류를 조절하는 능동부하로 동작한다.

트랜지스터(M13)은 상기 트랜지스터(M2)의 게이트전극과 드레인전극 사이에 연결되고, 게이트전극과 드레인전극이 연결되어 다이오드처럼 동작한다. 따라서 트랜지스터(M13)은 턴 온 상태를 유지하며, 이때 트랜지스터(M12)의 게이트전극으로 음의전원전압(VSS)과 트랜지스터(M13)의 문턱전압 값의 합에 해당하는 전압을 인가하여 트랜지스터(M12)의 온/오프를 제어한다.

또한, 상기 인버터(INV1, INV2)는 상기 트랜지스터(M9)의 제어전극과 출력단(N1) 사이에 형성되는 커패시터(C1)를 더 포함한다. 이러한 커패시터(C1)는 하이레벨의 클럭신호(VCLK) 및 반전된 클럭신호(VCLKB)가 인가되어 상기 인버터(INV1, INV2)로 인가되는 입력신호가 차단되는 경우, 클럭 반주기동안 이전 반주기의 출력신호와 동일한 출력신호를 출력한다.

상기 인버터(INV1, INV2)의 동작을 살펴보면, 상기 인버터(INV1, INV2)의 트랜지스터(M11)로 로우레벨의 입력신호가 인가되면, 상기 트랜지스터(M11)은 턴온된다. 이때, 트랜지스터(M13)가 턴온 상태이므로, 상기 트랜지스터(M12)의 게이트전극으로 음의전원전압(VSS)과 트랜지스터(M13)의 문턱전압의 합에 상응하는 전압이 인가된다. 따라서, 트랜지스터

(M12)는 턴온된다. 따라서 상기 출력단(out)으로는 양의전원전압(VDD) 또는 음의전원전압(VSS)이 모두 출력될 수 있으나, 음의전원전압(VSS)과 연결되는 트랜지스터들(M12,M13)의 턴온저항이 양의전원전압(VDD)과 연결되는 트랜지스터(M11)의 턴온저항보다 크게 설계되어, 출력단(out)으로 출력되는 출력신호는 양의전원전압(VDD) 값을 가진다. 트랜지스터(M11,M12,M13)의 턴온저항은 채널의 길이(Len gth) 및 채널의 폭(Width)을 조절하여 형성할 수 있다.

다음으로, 상기 인버터(INV1,INV2)의 트랜지스터(M11)로 하이레벨의 입력신호가 인가되면, 상기 트랜지스터(M11)은 턴오프된다. 따라서 이미 턴온상태의 트랜지스터(M12)를 통하여 출력단(out)의 전압은 점점 로우레벨로 변화된다. 이때, 트랜지스터(M12)의 게이트/소스 사이에 형성된 커패시터(C1)는 트랜지스터(M11)가 턴오프되기 전의 게이트/소스 사이의 전압을 유지한다. 예를 들어, 양의전원전압(VDD)이 5V이고, 음의전원전압(VSS)이 -7V인 경우, 트랜지스터(M11)가 턴온되어 출력단(out)에 출력되는 전압은 5V이며, 트랜지스터(M12)의 게이트전압은 -7V가 된다. 따라서, 커패시터(C1)는 일정 전압을 유지하기 위하여, 출력단(out)의 전압이 로우레벨로 변화함에 따라 트랜지스터(M12)의 게이트전압도 로우레벨로 변화시킨다. 이때, 트랜지스터(M12)의 게이트전압이 로우레벨로 변화하면서, 트랜지스터(M13)에 역바이어스 전압이 인가되어 트랜지스터(M13)은 턴오프된다. 따라서, 트랜지스터(M12)는 트랜지스터(M13)이 턴오프되더라도 기생 커패시터(Cgs)에 의해 턴온 상태를 유지하며, 출력단(out)은 음의전원전압(VDD) 레벨인 -7V까지 변화하여 로우레벨의 출력신호를 출력한다.

또한, 하이레벨의 클럭신호 및 반전된 클럭신호가 상기 플립플롭(FF1)의 샘플링 트랜지스터(M10)로 클럭 반주기 동안 인가되면, 상기 인버터(INV2)에 입력신호가 인가되지 않는다. 이때, 상기 인버터(INV2)의 커패시터(C1)는 이전 클럭 반주기동안의 출력신호에 상응하는 레벨의 전압을 출력단(out)으로 공급한다. 따라서 플립플롭(FF1)은 클럭 1 주기동안 하이레벨의 출력신호(OUT)를 생성한다.

이하, 시프트 레지스터(260)로부터 연속한 2개의 출력신호를 인가받아 이들의 논리 합 연산을 수행하여, 발광제어신호를 순차적으로 출력하는 논리 연산부(270)에 대해 설명한다.

도 10은 도 7에 도시된 발광제어 구동부의 논리 게이트를 나타내는 회로도이다.

도 10을 참조하면, 하나의 발광제어신호(E1)를 생성하는 하나의 논리 게이트(OR1)는 양의전원전압(VDD)과 제 1 출력단(N1) 사이에 형성되며, 이웃한 2개의 플립플롭(FF1,FF2)으로부터 연속하여 출력되는 2개의 출력신호(OUT1,OUT2)를 인가받아 온/오프 동작하는 입력부(271), 음의전원전압(VSS)과 제 1 출력단(N1) 사이에 형성되고, 상기 입력부(271)의 온/오프 동작에 따라 상기 제 1 출력단(N1)으로 흐르는 전류를 제어하는 제 1 능동부하(277) 및 제 1 출력단(N1)의 출력신호를 반전하여 발광제어신호(E1)를 출력하기 위한 인버터(273)로 구성된다.

상기 입력부(271)는 양의전원전압(VDD)과 제 1 출력단(N1) 사이에 직렬로 연결되어 형성되는 2개의 트랜지스터들(M14,M15)로 구성된다. 트랜지스터(M14)은 소스전극이 양의전원전압(VDD)과 연결되고, 드레인전극이 트랜지스터(M15)의 소스전극과 연결되어, 제 1 플립플롭(FF1)의 출력신호(OUT1)를 인가받아 온/오프 동작한다. 트랜지스터(M15)는 소스전극이 트랜지스터(M14)의 드레인전극과 연결되고, 드레인전극이 제 1 출력단(N1)과 연결되어, 제 2 플립플롭(FF2)의 출력신호(OUT2)를 인가받아 온/오프 동작한다.

따라서, 제 1 플립플롭(FF1)의 출력신호(OUT1)와 제 2 플립플롭(FF2)의 출력신호(OUT2)가 동시에 로우레벨을 갖는 경우에만, 입력부(271)는 양의전원전압(VDD)을 제 1 출력단(N1)으로 전달하며, 그 외의 경우 턴오프된다.

제 1 능동부하(277)은 음의전원전압(VSS)이 드레인전극에 연결되고, 제 1 출력단(N1)이 소스전극에 연결되어, 게이트전극에 인가되는 전압에 따라 음의전원전압(VSS)을 제 1 출력단(N1)으로 전달하는 트랜지스터(M16)를 갖는다. 이러한 트랜지스터(M16)의 게이트전극과 드레인전극 사이에는 상기 트랜지스터(M16)의 게이트전압을 제어하기 위한 트랜지스터(M17)가 형성된다. 이러한 트랜지스터(M17)는 다이오드 연결되어 턴온상태를 유지한다. 이러한 트랜지스터들(M16,M17)은 상기 입력부(271)가 턴온되어 양의전원전압(VDD)이 제 1 출력단(N1)에 인가될 때 턴온되어 상기 음의전원전압(VSS)을 제 1 출력단으로 전달한다. 따라서, 상기 입력부(271)의 트랜지스터들(M14,M15)의 턴온 저항을 트랜지스터들(M16,M17)의 턴온 저항보다 작게 설계하여 상기 제 1 출력단(N1)이 양의전원전압(VDD)을 출력할 수 있도록 한다. 이러한 트랜지스터들(M14,M15,M16,M17)의 턴온 저항은 트랜지스터의 채널의 길이와 폭으로 조절이 가능하다.

상기 입력부(271)가 턴오프되면, 제 1 출력단(N1)은 음의전원전압(VSS) 레벨로 변화하고, 제 1 출력단(N1)의 전압변동에 따라 트랜지스터(M16)의 게이트전압도 로우레벨로 변화한다. 이러한 전압의 변동은 트랜지스터(M16)의 소스/게이트 사이의 커패시터에 의해 달성될 수 있다. 효과적으로는 트랜지스터(M16)의 소스/게이트전압을 유지하기 위하여 커패시터

(C2)를 부가적으로 형성한다. 트랜지스터(M16)의 게이트전압이 계속적으로 하강하면서, 트랜지스터(M17)는 역바이어스 전압이 인가되어 턴오프되며, 트랜지스터(M16)는 커패시터(C2)에 의해 턴온상태를 유지한다. 따라서, 제 1 출력단(N1)은 음의전원전압(VSS) 레벨의 신호를 출력한다.

인버터(273)는 상기 제 1 출력단(N1)의 출력신호를 인가받아 이를 반전하여 발광제어신호(E1)를 제 2 출력단(N2)으로 출력한다.

이러한 인버터(273)는 양의전원전압(VDD)과 음의전원전압(VSS)사이에 형성되어, 제 1 출력단(N1)의 출력신호에 의해 양의전원전압(VDD)또는 음의전원전압(VSS)을 선택적으로 출력하기 위한 트랜지스터들(M18,M19,M20)로 구성된다.

트랜지스터(M18)은 소스전극이 양의전원전압(VDD)과 연결되고, 드레인전극이 제 2 출력단(N2)과 연결되며, 상기 제 1 출력단(N1)의 출력신호에 따라 온/오프 동작하여, 양의전원전압(VDD)을 제 2 출력단(N2)으로 전달한다.

트랜지스터(M19)는 음의전원전압(VSS)과 드레인전극이 연결되고, 제 2 출력단(N2)으로 소스전극이 연결되어, 게이트전극으로 인가되는 전압에 따라 온/오프되어 제 2 출력단(N2)의 출력전류를 제어하는 능동부하(275)로 동작한다.

트랜지스터(M20)는 상기 트랜지스터(M19)의 게이트전극과 드레인전극 사이에 다이오드 연결되어 형성된다. 따라서, 트랜지스터(M20)은 턴온 상태를 유지하여, 트랜지스터(M19)의 게이트전극에 음의전원전압(VSS)과 트랜지스터(M20)의 문턱전압의 합에 상응하는 전압을 인가한다.

또한, 상기 인버터(273)는 상기 트랜지스터(M19)의 게이트전극과 제 2 출력단(N2) 사이에 형성되는 커패시터(C3)를 더 포함할 수 있다. 이러한 커패시터(C3)는 트랜지스터(M20)이 턴오프 되더라도, 트랜지스터(M19)의 게이트전극과 소스전극 사이의 전압을 일정하게 유지하여 트랜지스터(M19)의 턴온상태를 유지시키는 역할을 한다.

상기 인버터(273)의 동작을 살펴보면, 상기 인버터(273)의 트랜지스터(M18)로 로우레벨의 입력신호가 인가되면, 상기 트랜지스터(M18)는 턴온된다. 이때, 트랜지스터(M20)가 턴온되어 트랜지스터(M19)의 게이트전극으로 음의전원전압(VSS)과 트랜지스터(M20)의 문턱전압의 합에 상응하는 전압을 인가한다. 따라서, 트랜지스터(M19)도 턴온된다. 인버터(273)는 로우레벨의 입력신호에 대하여 하이레벨의 출력신호를 생성해야 하므로, 음의전원전압(VSS)과 연결되는 트랜지스터들(M19,M20)의 턴온 저항이 양의전원전압(VDD)과 연결되는 트랜지스터(M18)의 턴온 저항보다 크게 설계된다. 따라서 제 2 출력단(N2)으로 출력되는 발광제어신호(E1)는 하이레벨의 양의전원전압(VDD) 값을 갖는다. 트랜지스터(M18,M19,M20)의 턴온 저항은 채널의 길이(Length) 및 채널의 폭(Width)을 조절하여 조절이 가능하다.

다음으로, 상기 인버터(273)의 트랜지스터(M18)로 하이레벨의 입력신호가 인가되면, 상기 트랜지스터(M18)는 턴오프된다. 따라서 이미 턴온상태의 트랜지스터(M19)를 통하여 제 2 출력단(N2)의 전압은 점점 로우레벨로 변화된다. 이때, 트랜지스터(M19)의 게이트/소스 사이에 형성된 커패시터(C3)는 트랜지스터(M18)가 턴오프되기 전의 게이트/소스 사이의 전압을 유지한다. 예를 들어, 양의전원전압(VDD)이 5V이고, 음의전원전압(VSS)이 -7V인 경우, 트랜지스터(M18)가 턴온되어 제 2 출력단(N2)에 출력되는 전압은 5V이며, 트랜지스터(M19)의 게이트전압은 -7V가 된다. 따라서, 커패시터(C3)는 일정 전압을 유지하기 위하여, 제 2 출력단(N2)의 전압이 로우레벨로 변화함에 따라 트랜지스터(M19)의 게이트전압도 로우레벨로 변화시킨다. 이때, 트랜지스터(M19)의 게이트전압이 로우레벨로 변화하면서, 트랜지스터(M20)에 역바이어스 전압이 인가되어 트랜지스터(M20)는 턴오프된다. 따라서, 트랜지스터(M19)는 트랜지스터(M20)가 턴오프되더라도 커패시터(C3)에 의해 턴온 상태를 유지한다. 제 2 출력단(N2)은 음의전원전압(VSS) 레벨인 -7V까지 변화하여 로우레벨의 발광제어신호(E1)를 출력한다.

이하, 연속된 플립플롭(FF1,FF2)의 출력신호(OUT1,OUT2)에 따른 상기 논리 게이트의 동작을 살펴본다.

상기 입력부(271)로 인가되는 제 1 플립플롭(FF1)의 출력신호(OUT1)가 로우레벨이고, 제 2 플립플롭(F2)의 출력신호(OUT2)도 로우레벨인 경우, 상기 입력부(271)는 턴온되어, 제 1 출력단(N1)으로 양의전원전압(VDD)의 출력신호를 출력한다.

이러한 제 1 출력단(N1)의 출력신호는 인버터(273)의 트랜지스터(M18)를 턴오프시킨다. 따라서 이미 턴온상태의 트랜지스터(M19)를 통하여 제 2 출력단(N2)은 음의전원전압(VSS)에 상응하는 로우레벨의 발광제어신호(E1)를 출력한다.

다음으로, 상기 입력부(271)로 인가되는 제 1 플립플롭(FF1)의 출력신호(OUT1)가 로우레벨이고, 제 2 플립플롭(FF2)의 출력신호(OUT2)가 하이레벨이거나, 제 1 플립플롭(FF1)의 출력신호(OUT1)가 하이레벨이고, 제 2 플립플롭(FF2)의 출력신호(OUT2)가 로우레벨인 경우를 살펴본다.

상기의 경우 입력부(271)의 트랜지스터들(M14, M15)은 직렬 연결되어 있으므로, 입력부(271)는 턴오프된다. 상기 입력부(271)가 턴오프되면, 제 1 출력단(N1)은 음의전원전압(VSS) 레벨로 변화하고, 제 1 출력단(N1)의 전압변동에 따라 트랜지스터(M16)의 게이트전극의 전압도 하강한다. 트랜지스터(M16)의 전압이 계속적으로 하강하면서, 트랜지스터(M17)는 역바이어스 전압이 인가되어 턴오프되며, 트랜지스터(M16)는 커패시터(C2)에 의해 턴온상태를 유지한다. 따라서, 제 1 출력단(N1)은 음의전원전압(VSS)에 상응하는 로우레벨의 출력신호를 출력한다.

따라서 상기 인버터(273)의 트랜지스터(M18)는 로우레벨의 제 1 출력단(N1)의 출력신호를 인가받아 턴온되어, 제 2 출력단(N2)으로 양의전원전압(VDD)을 전달한다. 따라서 제 2 출력단(N2)으로는 양의전원전압(VDD)에 상응하는 하이레벨의 발광제어신호(E1)가 발생한다.

상기의 플립플롭들(FF1~FFn+1)을 구성하는 트랜지스터들 및 논리 게이트(OR1~ORn)를 구성하는 트랜지스터들은 모두 P 타입 MOSFET이며, 따라서 화소부(100)의 각각의 화소를 구동하는 트랜지스터들과 동일한 공정에서 제조할 수 있다.

도 11은 본 발명의 실시예에 따른 발광제어 구동부의 동작을 나타내는 타이밍도이다.

도 11을 참조하면, 시프트 레지스터(260)의 다수의 플립플롭(FF1~FFn+1)은 클럭신호(CLK)와 반전된 클럭신호(CLKB)를 공통으로 인가받으며, 이전 플립플롭의 출력신호를 입력신호로 인가받는다.

먼저, 개시펄스(Vsp)가 제 1 플립플롭(FF1)의 입력으로 인가되면, 제 1 플립플롭(FF1)은 상기 클럭신호(CLK)의 1번째 하강에지에서 하이레벨의 출력신호(OUT1)를 클럭 한 주기 동안 출력한다.

다음으로, 상기 제 1 플립플롭(FF1)의 출력신호(OUT1)가 제 2 플립플롭(FF2)의 입력으로 인가되면, 제 2 플립플롭(FF2)은 상기 클럭신호(CLK)의 2번째 하강에지에서 하이레벨의 출력신호(OUT2)를 클럭 한 주기 동안 출력한다.

위와 같은 동작을 반복하여, 마지막으로 제 n 플립플롭(FFn)의 출력신호(OUTn)가 제 n+1 플립플롭(FFn+1)의 입력으로 인가되면, 제 n+1 플립플롭(FFn+1)은 상기 클럭신호(CLK)의 n+1번째 하강에지에서 하이레벨의 출력신호(OUTn+1)를 클럭 한 주기 동안 출력한다. 따라서, 시프트 레지스터(260)는 클럭 한 주기 마다 시프트되는 출력신호들(OUT1~OUTn+1)을 논리 연산부(270)로 인가한다.

논리 연산부(270)는 다수의 논리 게이트(OR1~ORn)로 구성되며, 상기 플립플롭(FF1~FFn+1)의 출력신호들(OUT1~OUTn+1)을 인가받아 논리합 연산을 수행하여 발광제어신호(E1~En)를 출력한다.

제 1 논리 게이트(OR1)는 상기 제 1 플립플롭(FF1)의 출력신호(OUT1)와 상기 제 2 플립플롭(FF2)의 출력신호(OUT2)를 인가받는다. 따라서, 제 1 출력신호(OUT1)와 제 2 출력신호(OUT2)가 로우레벨인 경우, 상기 제 1 논리 게이트(OR1)는 로우레벨의 발광제어신호(E1)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호(E1)를 출력한다.

다음으로, 제 2 논리 게이트(OR2)는 상기 제 2 플립플롭(FF2)의 출력신호(OUT2)와 상기 제 3 플립플롭(FF3)의 출력신호(OUT3)를 인가받는다. 따라서, 제 2 출력신호(OUT2)와 제 3 출력신호(OUT3)가 로우레벨인 경우, 상기 제 2 논리 게이트(OR2)는 로우레벨의 발광제어신호(E2)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호(E2)를 출력한다. 따라서, 제 2 발광제어신호(E2)는 제 1 발광제어신호(E1)보다 클럭 한 주기만큼 시프트(shift)되어 출력된다.

위와 같은 동작을 반복하여, 마지막으로 제 n 논리 게이트(ORn)는 상기 제 n 플립플롭(FFn)의 출력신호(OUTn)와 상기 제 n+1 플립플롭(FFn+1)의 출력신호(OUTn+1)를 인가받는다. 따라서, 제 n 출력신호(OUTn)와 제 n+1 출력신호(OUTn+1)가 로우레벨인 경우, 상기 제 n 논리 게이트(ORn)는 로우레벨의 발광제어신호(En)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호(En)를 출력한다.

상기의 발광제어 구동부(250)는 시프트 레지스터(260) 및 논리 연산부(270)를 형성하는 트랜지스터들이 모두 P 타입 MOSFET으로 구성되어 있어, SOP(System On Panel)의 구현이 용이하다.

발명의 효과

상기와 같은 본 발명에 따르면, 화소부로 발광제어신호를 인가하는 발광제어 구동부가 화소부를 형성하는 트랜지스터들과 동일한 타입의 트랜지스터들로 형성된다. 따라서, 화소부와 동일한 공정으로 발광제어 구동부를 제조할 수 있어, 공정이 단순화된다. 또한, 발광제어 구동부와 패널의 연결공간이 필요하지 않아 일정한 크기의 기관 상에 화소부 즉, 영상이 디스플레이되는 면적을 증가시킬 수 있다.

다수의 패널을 타일링방식을 이용하여 형성되는 유기전계발광표시장치의 경우 패널과 구동용 집적회로를 접합할 수 있는 영역이 감소하므로, 발광제어 구동부를 패널 상에 형성할 수 있어 더욱 유용하다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

영상을 디스플레이 하기 위한 화소부;

상기 화소부로 주사신호를 순차적으로 공급하기 위한 주사 구동부;

상기 화소부로 데이터신호를 공급하기 위한 데이터 구동부; 및

상기 화소부로 발광제어신호를 공급하기 위한 발광제어 구동부를 포함하며, 상기 발광제어 구동부는,

개시펄스를 인가받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 공급하는 다수의 플립플롭들; 및

이웃한 2개의 플립플롭들로부터 2개의 출력신호를 인가받아, 논리 합 연산을 수행하여 상기 화소부로 발광제어신호를 공급하는 다수의 논리 게이트들을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1항에 있어서, 각각의 상기 플립플롭은,

상기 반전된 클럭신호에 의해 턴온되어 입력신호를 전달하는 제 1 트랜지스터;

상기 제 1 트랜지스터의 출력신호를 반전하는 제 1 인버터;

상기 클럭신호의 하강에지에서 상기 제 1 인버터의 출력신호를 샘플링하는 제 2 트랜지스터; 및

상기 제 2 트랜지스터의 출력신호를 반전하는 제 2 인버터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제2항에 있어서, 상기 제 1 및 제 2 인버터는,

양의전원전압과 출력단 사이에 연결되고, 상기 제 1 또는 제 2 트랜지스터의 출력신호에 의해 턴온되어 상기 양의전원전압을 상기 출력단에 전달하는 제 3 트랜지스터; 및

음의전원전압과 상기 출력단 사이에 연결되고, 상기 제 3 트랜지스터의 온/오프에 따라 상기 출력단으로 흐르는 전류량을 제어하는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 3항에 있어서, 상기 제 1 및 제 2 인버터는,

상기 음의전원전압과 상기 제 4 트랜지스터의 게이트전극 사이에 연결되고, 상기 제 4 트랜지스터의 게이트전압을 제어하기 위한 다이오드 연결된 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제4항에 있어서, 상기 제 1 및 제 2 인버터는,

상기 출력단과 상기 제 4 트랜지스터의 게이트전극 사이에 형성되어, 상기 출력단과 제 4 트랜지스터의 게이트전극 사이의 전압을 일정하게 유지하기 위한 커패시터를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제5항에 있어서, 상기 제 3 트랜지스터의 턴온 저항은 상기 제 4 및 제 5 트랜지스터의 턴온 저항보다 작은 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제6항에 있어서, 상기 제 1 내지 제 5 트랜지스터들은 P타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)인 것을 특징으로 하는 유기전계발광표시장치.

청구항 8.

제 1 항에 있어서,

상기 화소부, 주사 구동부, 데이터 구동부 및 발광제어 구동부는 하나의 기판상에 형성되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 9.

제 1 항에 있어서,

상기 유기 전계발광 표시장치는 다수개의 유기 전계발광 표시장치가 타일형태로 결합하여 하나의 영상을 표시하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10.

개시펄스를 인가받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 생성하는 제 1 플립플롭;

상기 제 1 플립플롭의 출력신호를 인가받고, 상기 클럭신호와 상기 반전된 클럭신호에 동기되어 출력신호를 생성하는 제 2 플립플롭; 및

상기 제 1 플립플롭 및 제 2 플립플롭로부터 출력신호들을 인가받아, 논리 합 연산을 수행하여 발광제어신호를 공급하는 논리 게이트를 포함하는 발광제어 구동장치.

청구항 11.

제10항에 있어서, 각각의 상기 플립플롭은,

상기 반전된 클럭신호에 의해 턴온되어 입력신호를 전달하는 제 1 트랜지스터;

상기 제 1 트랜지스터의 출력신호를 반전하는 제 1 인버터;

상기 클럭신호의 하강에지에서 상기 제 1 인버터의 출력신호를 샘플링하는 제 2 트랜지스터; 및

상기 제 2 트랜지스터의 출력신호를 반전하는 제 2 인버터를 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 12.

제11항에 있어서, 상기 제 1 및 제 2 인버터는,

양의전원전압과 출력단 사이에 연결되고, 상기 제 1 또는 제 2 트랜지스터의 출력신호에 의해 턴온되어 상기 양의전원전압을 상기 출력단에 전달하는 제 3 트랜지스터; 및

음의전원전압과 상기 출력단 사이에 연결되고, 상기 제 3 트랜지스터의 온/오프에 따라 상기 출력단으로 흐르는 전류량을 제어하는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 13.

제12항에 있어서, 상기 제 1 및 제 2 인버터는,

상기 음의전원전압과 상기 제 4 트랜지스터의 게이트전극 사이에 연결되고, 상기 제 4 트랜지스터의 게이트전압을 제어하기 위한 다이오드 연결된 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 14.

제13항에 있어서, 상기 제 1 및 제 2 인버터는,

상기 출력단과 상기 제 4 트랜지스터의 게이트전극 사이에 연결되어, 상기 출력단과 제 4 트랜지스터의 게이트전극 사이의 전압을 일정하게 유지하기 위한 커패시터를 더 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 15.

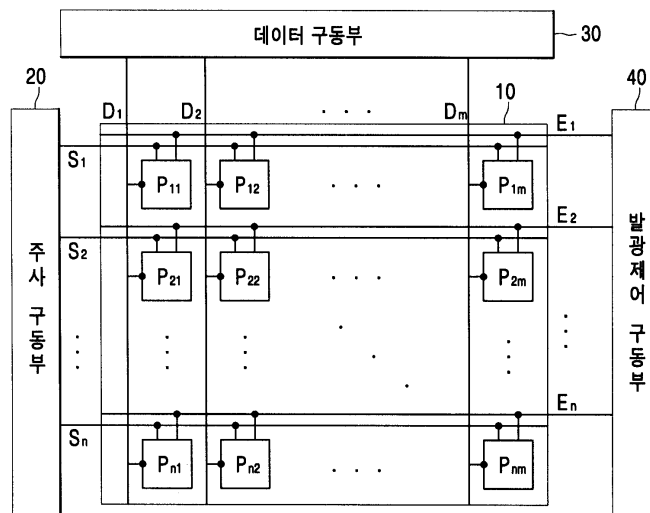
제14항에 있어서, 상기 제 3 트랜지스터의 턴온 저항은 상기 제 4 및 제 5 트랜지스터의 턴온 저항보다 작은 것을 특징으로 하는 발광제어 구동장치.

청구항 16.

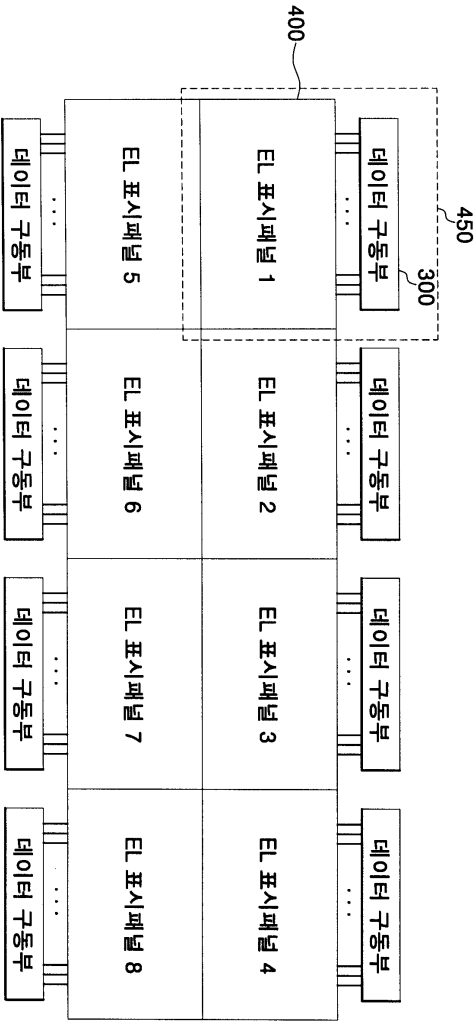
제15항에 있어서, 상기 제 1내지 제 5 트랜지스터들은 P타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)인 것을 특징으로 하는 발광제어 구동장치.

도면

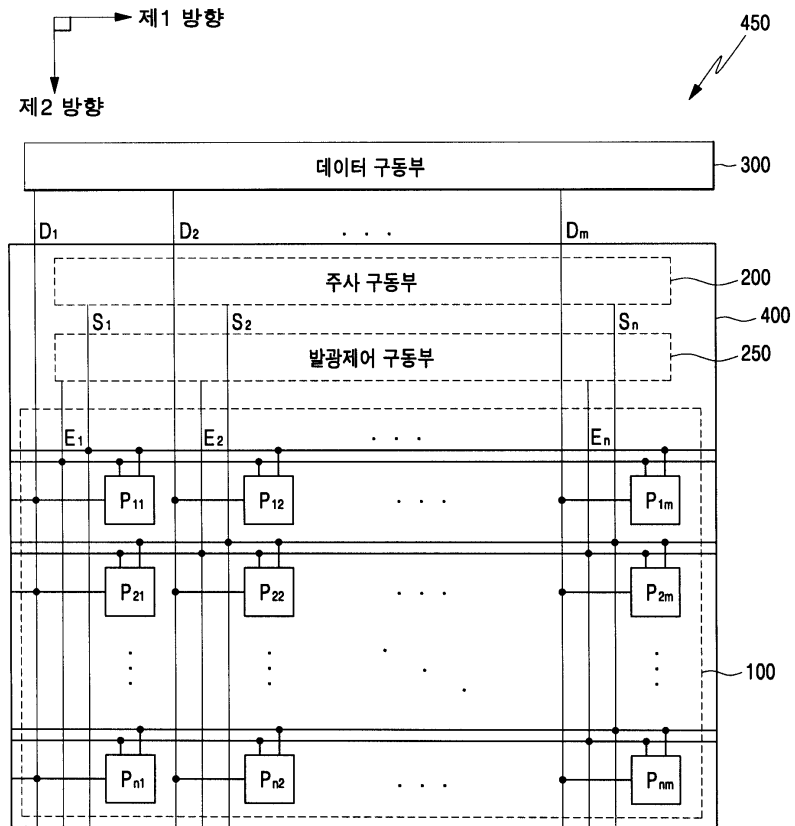
도면1



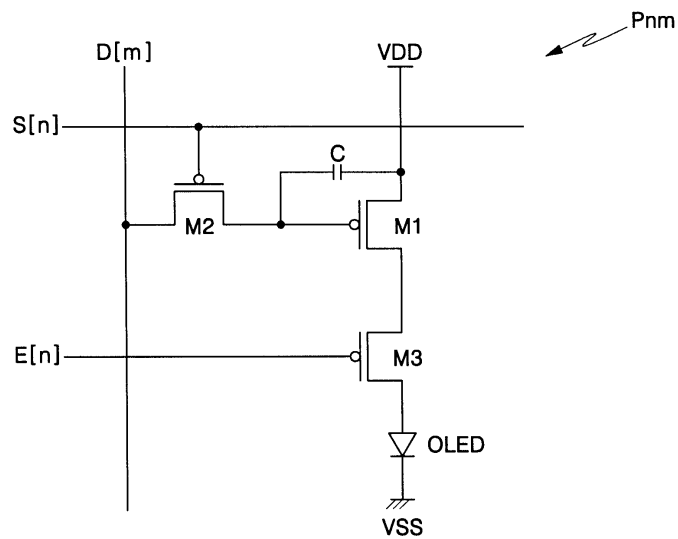
도면2



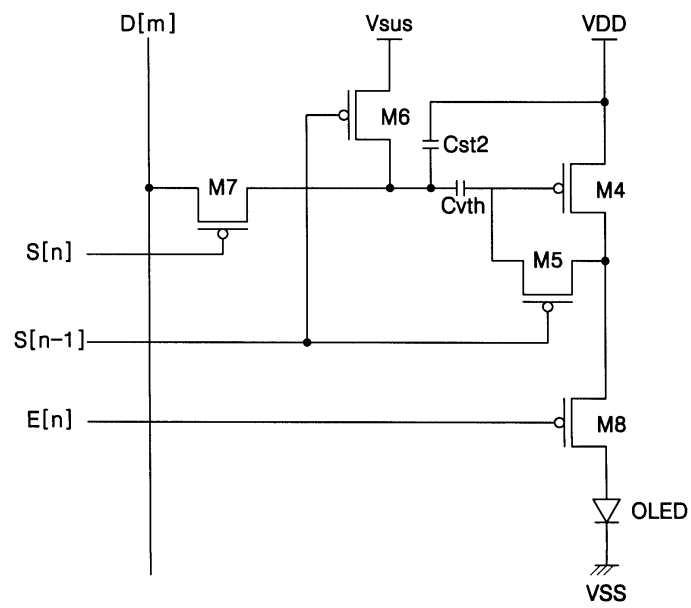
도면3



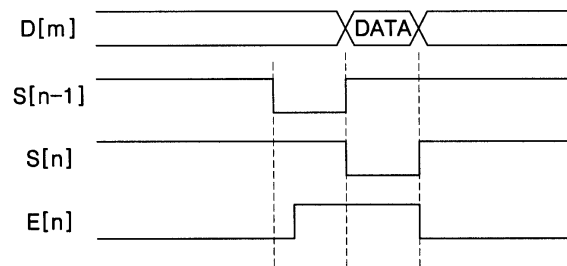
도면4



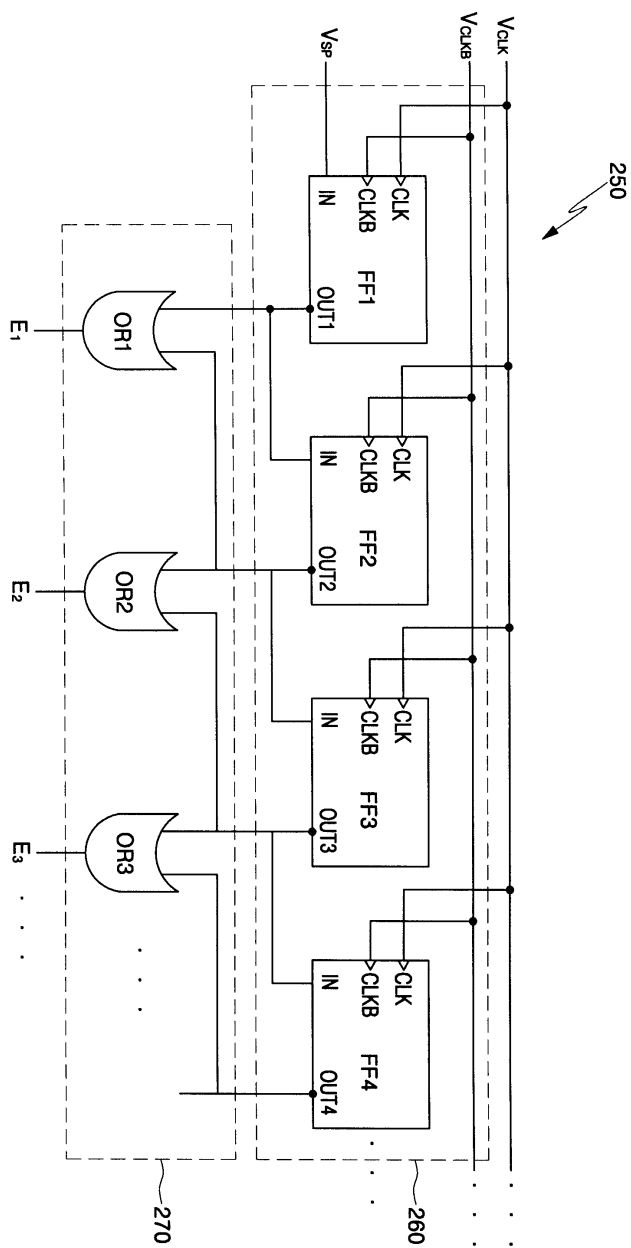
도면5



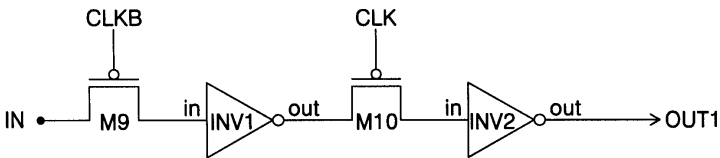
도면6



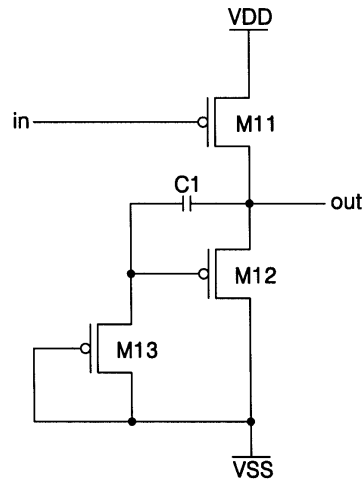
도면7



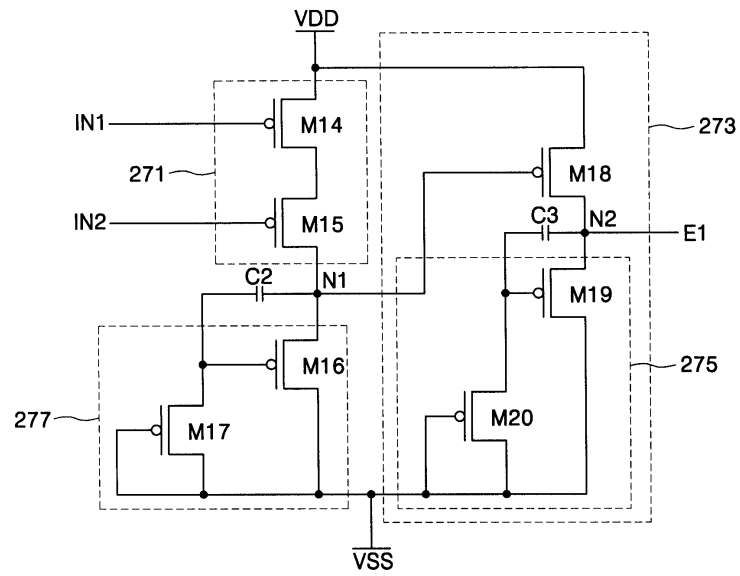
도면8



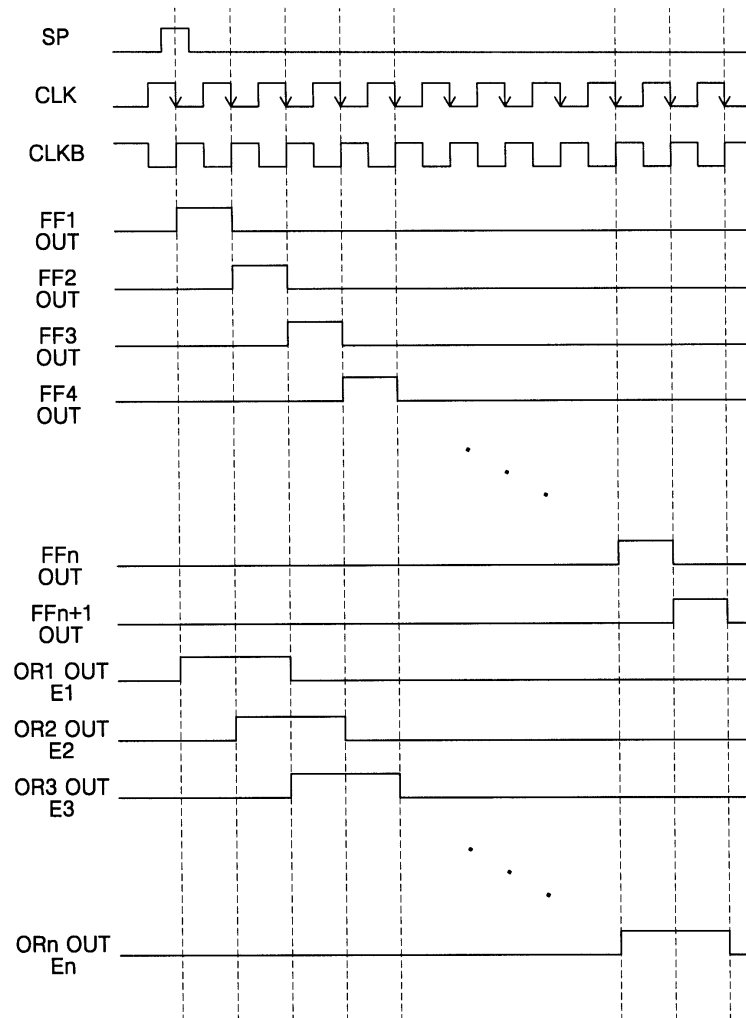
도면9



도면10



도면11



专利名称(译)	发光控制驱动装置和包括该发光控制驱动装置的有机发光显示装置		
公开(公告)号	KR100624133B1	公开(公告)日	2006-09-13
申请号	KR1020050075435	申请日	2005-08-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BO YONG		
发明人	CHUNG, BO YONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0408 G09G2300/0814 G09G2300/0819 G11C19/184 H03K19/096		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

用途：提供一种发光控制驱动装置和具有该发光控制驱动装置的有机EL（电致发光）显示装置，通过与晶体管相同的晶体管形成发光控制驱动单元，通过与制造像素单元相同的工艺制造发光控制驱动单元。通过去除驱动单元和面板之间的连接空间，增加像素单元的晶体管，并增加基板上的图像显示区域。组成：一种有机EL显示装置，包括显示图像的像素单元；扫描驱动单元依次向像素单元提供扫描信号；数据驱动单元，向像素单元提供数据信号；发光控制驱动单元（250）将发光控制信号馈送到像素单元。发射控制驱动单元具有多个触发器（FF1~FF4），其接收起始脉冲（Vsp）并与时钟信号（VCLK）和反相时钟信号（VCLKB）同步以提供输出信号（OUT1，OUT2），多个逻辑门（OR1~OR3）接收来自两个相邻触发器的两个输出信号，并通过执行两个输出信号的或运算将发射控制信号提供给像素单元。版权所有KIPO 2006

