



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0124256
(43) 공개일자 2010년11월26일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-7018723
(22) 출원일자(국제출원일자) 2009년03월05일
심사청구일자 없음
(85) 번역문제출일자 2010년08월24일
(86) 국제출원번호 PCT/JP2009/054217
(87) 국제공개번호 WO 2009/113448
국제공개일자 2009년09월17일

(30) 우선권주장 JP-P-2008-060738 2008년03월11일 일본(JP)

(71) 출원인

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마모토 테츠로

일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내

우치노 카츠히데

일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내

(74) 대리인

최달용

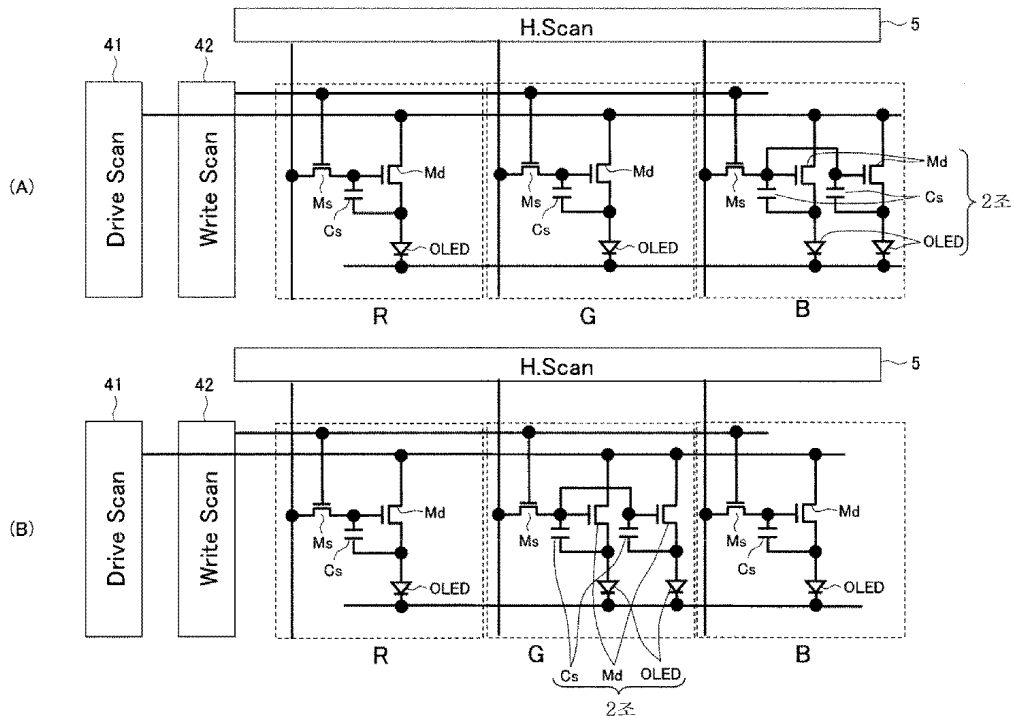
전체 청구항 수 : 총 8 항

(54) 표시 장치

(57) 요약

R(적), G(녹), B(청)을 포함하는 $N(N \geq 3)$ 색이 N 개의 화소에 할당된 화소 유닛을 가지며, N 개의 화소의 각각에, 샘플링 트랜지스터(M_s)와, 구동 트랜지스터(M_d)와, 보존 커패시터(C_s)와, 발광 소자(유기 발광 다이오드(OLED))를 갖는다. N 개의 화소 내에서, 멸점이 되기 쉬운 특정색(예를 들면 B), 또는, 비시감도가 가장 높은 특정색(예를 들면 G)의 화소에 있어서, 구동 트랜지스터(M_d), 보존 커패시터(C_s) 및 유기 발광 다이오드(OLED)를 포함하는 화소 회로 요소의 조가, 다른 색의 화소의 조보다 많은 수로 2조 이상 마련되어 있다.

대표도



특허청구의 범위

청구항 1

R(적), G(녹), B(청)를 포함하는 $N(N \geq 3)$ 색이, 연속한 N 개의 화소에 대해 1화소에 1색씩 할당되어 화소 유닛이 구성되고, 복수의 상기 화소 유닛이 규칙적으로 배치되어 있는 화소 어레이를 가지며,

상기 N 개의 화소의 각각에,

샘플링 트랜지스터와,

구동 트랜지스터와,

상기 구동 트랜지스터의 발광 제어 노드에 결합하고, 상기 샘플링 트랜지스터를 통하여 입력되는 데이터 전압을 보존하는 보존 커패시터와,

상기 구동 트랜지스터와 함께 구동 전류 경로에 직렬 접속되고, 보존된 상기 데이터 전압에 따라 상기 구동 트랜지스터가 제어하는 구동 전류량에 의거하여, 화소마다 결정된 색의 발광 특성으로 자발광하는 발광 소자를 가지며,

상기 N 개의 화소 내에서, 멸점이 되기 쉬운 특정색, 또는, 비시감도가 가장 높은 특정색의 화소에 있어서, 상기 구동 트랜지스터, 상기 보존 커패시터 및 상기 발광 소자를 포함하는 화소 회로 요소의 조가, 다른 색의 화소의 상기 조보다 많은 수로 2조 이상 마련되어 있는 것을 특징으로 하는 표시 장치.

청구항 2

제 1항에 있어서,

상기 발광 소자는, 애노드 또는 캐소드의 한쪽 전극의 위에, 발광하는 색에 응한 재질과 두께를 갖는 복수의 유기 박막과 다른쪽 전극을 적층한 다층막 구조를 가지며,

상기 멸점이 되기 쉬운 특정색의 화소 내에 형성되어 있는 상기 복수의 유기 박막의 총 막두께가, 상기 다른 색의 화소의 상기 총 막두께보다 작은 것을 특징으로 하는 표시 장치.

청구항 3

제 2항에 있어서,

상기 다른 색의 화소에 있어서, 상기 특정색의 화소에 있어서의 상기 화소 회로 요소의 조수보다 적은 범위 내에서, 상기 복수의 유기 박막의 총 막두께가 얇을수록, 상기 조가 더 많이 마련되어 있는 것을 특징으로 하는 표시 장치.

청구항 4

제 1항에 있어서,

상기 비시감도가 가장 높은 특정색이 상기 녹(G)이고,

상기 R(적)과 상기 B(청)의 각 화소는, 상기 녹(G)보다 상기 조의 수가 적은 것을 특징으로 하는 표시 장치.

청구항 5

제 1항에 있어서,

하나의 상기 화소 내에 상기 조가 복수 존재하는 경우, 하나의 상기 샘플링 트랜지스터가 상기 복수의 조에서 공통으로 마련되어 있는 것을 특징으로 하는 표시 장치.

청구항 6

제 1항에 있어서,

상기 N 개의 화소 내에 마련되어 있는 모든 상기 조에 있어서, 상기 구동 트랜지스터의 채널 도전형 및 사이즈,

및, 상기 보존 커패시터의 용량치가 각각 같게 설계되고, 또한, 같은 상기 화소 내에 상기 발광 소자가 복수 마련되는 경우, 해당 복수의 발광 소자의 상기 구동 전류 경로가, 구동 전압의 공급 단자에 복수, 병렬 접속됨에 의해 상기 발광 소자마다 분리되어 있는 것을 특징으로 하는 표시 장치.

청구항 7

제 1항에 있어서,

상기 특정색의 화소에 관해 상기 조의 수만큼 마련되어 있는 상기 발광 소자의 개구부의 합계 면적이, 상기 다른 색의 화소가 갖는 화소마다의 상기 개구부의 면적과 거의 동등하게 되도록, 상기 특정색의 화소 면적이 상기 다른 색의 화소 면적보다 크게 설정되어 있는 것을 특징으로 하는 표시 장치.

청구항 8

제 7항에 있어서,

상기 다른 색의 화소 사이에서 상기 조의 수가 다른 경우, 상기 화소마다의 개구부의 면적이 화소 사이에서 거의 같아지도록, 화소 면적이 다른 것을 특징으로 하는 표시 장치.

명세서

기술분야

[0001] 본 발명은, 3색 이상이 연속한 N개의 화소로 하나의 색을 표시하기 위한 화소 유닛이 구성되고, 복수의 화소 유닛이 규칙적으로 배치되어 화소 어레이가 형성되어 있는 표시 장치에 관한 것이다. 특징적으로 본 발명은, 화소 내에, 소정의 색의 발광 특성으로 자(自)발광하는 발광 소자와, 그 구동 회로의 일부를 집적화시킨 화소 회로를 갖는 표시 장치에 관한 것이다.

배경기술

[0002] 인가되는 전압이나 흐르는 전류에 의해 휘도가 변화하는 전기광학 소자를 이용한 표시 장치가 있다. 예를 들면, 인가되는 전압에 의해 휘도가 변화하는 전기광학 소자로서는 액정 표시 소자가 대표 예이고, 흐르는 전류에 의해 휘도가 변화하는 전기광학 소자로서는, 유기 일렉트로루미네선스(Organic Electro Luminescence) 소자가 대표 예이다. 유기 일렉트로루미네선스 소자는, 일반적으로, OLED(Organic Light Emitting Diode)라고 불려진다. 액정 표시 소자가 광원으로부터의 광을 변조하는 광변조(즉, 비(非)자발광) 소자임에 대해, OLED는 스스로 발광하는 자발광 소자인 점에서 상위하다.

[0003] OLED는, 하부 전극과 상부 전극의 사이에, 유기 정공 수송층이나 유기 발광층 등으로서 기능하는 복수의 유기 박막을 적층시켜져 있다. 그 막두께는, 발광 파장에 따라 다르고, 또한 광(光)증강 효과를 갖게 하는 등의 이유부터 여러 가지로 다르지만, 대체로 얇고, 유기 재료이기 때문에 형성이 어렵다. OLED는, 유기 박막에 전계를 걸면 발광하는 현상을 이용한 전기광학 소자이고, OLED를 흐르는 전류치를 제어함으로써 발색(發色)의 계조(階調)를 얻고 있다. 그 때문에, OLED를 전기광학 소자로서 이용하는 표시 장치는, OLED의 전류량을 제어하기 위한 구동 트랜지스터를 포함하는 화소 회로가 화소마다 마련되어 있다.

[0004] 화소 회로는 다양한 것이 제안되고, 주된 것으로는 4트랜지스터(4T)·1커패시터(1C)형, 4T·2C형, 5T·1C형, 3T·1C형 등이 알려져 있다.

[0005] 이들은 어느 것이나 TFT(Thin Film Transistor)로 형성되는 트랜지스터의 특성 편차에 기인하는 화질 저하를 방지하는 것으로, 화소 회로 내부에서 구동 전류를 일정하게 제어하고, 이에 의해 화면 전체의 유나포미티(휘도의 균일성)를 향상시키는 것을 목적으로 한다. 특히 화소 회로 내에서 OLED를 전원에 접속할 때에, 입력하는 영상 신호의 데이터 전위에 따라 전류량을 제어하는 구동 트랜지스터의 특성 편차가, 직접적으로 OLED의 발광 휘도에 영향을 준다. 이때문에, 구동 트랜지스터의 특성, 즉 임계치 전압의 보정을 행할 필요가 있다.

[0006] 또한, 임계치 전압의 보정을 행하는 것을 전제로, 구동 트랜지스터의 전류 구동 능력으로부터 임계치 편차 기인 성분 등을 줄인 구동 능력 성분(일반적으로는, 이동도(移動度)라고 불리고 있다)을 보정하면, 보다 한층 높은 유나포미티를 얻을 수 있다.

[0007] 구동 트랜지스터의 임계치 전압이나 이동도의 보정에 관해서는, 예를 들면, 특허 문헌 1에 상세하게 설명되어

있다.

[0008] 특허 문헌 1: 일본 특개2006-215213호 공보

발명의 내용

[0009] 그러나, OLED 등의 전기광학 소자의 제조시에 먼지(더스트) 등이 부착함으로써, 발광이 정상적으로 이루어지지 않는 멸점(滅點) 등, 패널에 표시 결함이 생기기 쉽다. 이와 같은 표시 결함은, 표시 장치의 양품률을 높이는 데 저해 요인이 되고 있고, 표시 장치의 저비용화를 막는다.

[0010] 특히 OLED에서는, 유기 박막을 하층에도 퇴적한 다층막 구조를 형성할 때에, 성막 장치 내에 부착하고 벗기지기 쉬운 얇은 유기 박막이 성막 장치의 챔버 내를 부유하여 더스트가 되는 일이 많고, 이와 같은 더스트의 부착에 의해 OLED의 전극 사이가 어느 저항치에서 단락되면, 항상 발광하지 않는 멸점 결함이 발생하기 쉽다.

[0011] 한편으로, 멸점 결함이 발생한 경우, 그 멸점 결함이, 색 표시를 행하는 화소 유닛 안의, 어느 색의 화소에서 생기는지에 의해 결함으로서의 시인도(視認度)가 다르다. 즉, 시인도가 높은 색일수록 화소 결함 발생에 의한 표시 품질의 저하도 크다.

[0012] 또한, 본 발명자는, 멸점 결함이 생긴 경우에, 그 영향을 억제하는 구성의 화소를 갖는 표시 장치에 관해 출원을 행하고 있다(일본 특원2007-307861호).

[0013] 본 발명이 해결하고자 하는 과제는, 멸점 결함이 발생한 경우, 상기 먼지의 출원보다도 화소 면적의 증대를 억제하면서, 멸점 결함의 화면 표시에 대한 영향을, 더 유효하게 억제 가능한 화소 회로의 구성을 제안하는 것이다.

[0014] 본 발명의 한 형태(제 1 형태)에 관한 표시 장치는, R(적), G(녹), B(청)를 포함하는 $N(N \geq 3)$ 색이, 연속한 N개의 화소에 대해 1화소에 1색씩 할당되어 화소 유닛이 구성되고, 복수의 상기 화소 유닛이 규칙적으로 배치되어 있는 화소 어레이를 갖는다.

[0015] 상기 화소 어레이는, 그 상기 화소 유닛을 구성하는 N개의 화소 각각에, 샘플링 트랜지스터, 구동 트랜지스터, 보존 커패시터 및 발광 소자를 구비한다.

[0016] 상기 보존 커패시터는, 상기 구동 트랜지스터의 발광 제어 노드에 결합하고, 상기 샘플링 트랜지스터를 통하여 입력되는 데이터 전압을 보존한다.

[0017] 상기 발광 소자는, 상기 구동 트랜지스터와 함께 구동 전류 경로에 직렬 접속되고, 보존된 상기 데이터 전압에 따라 상기 구동 트랜지스터가 제어하는 구동 전류량에 의거하여, 화소마다 결정된 색의 발광 특성으로 자발광한다.

[0018] 또한, 상기 N개의 화소 내에서, 멸점이 되기 쉬운 특정색, 또는, 비(比)시감도가 가장 높은 특정색의 화소에 있어서, 상기 구동 트랜지스터, 상기 보존 커패시터 및 상기 발광 소자를 포함하는 화소 회로 요소의 조(組)가, 다른 색의 화소의 상기 조(組)보다 많은 수로 2조(組) 이상 마련되어 있다.

[0019] 본 발명의 다른 형태(제 2 형태)에 관한 표시 장치는, 상기 제 1 형태의 특징에 더하여, 또한, 상기 발광 소자는, 애노드 또는 캐소드의 한쪽 전극의 위에, 발광한 색에 따른 재질과 두께를 갖는 복수의 유기 박막과 다른쪽 전극을 적층한 다층막 구조를 가지며, 상기 멸점이 되기 쉬운 특정색의 화소 내에 형성되어 있는 상기 복수의 유기 박막의 총 막두께가, 상기 다른 색의 화소의 상기 총 막두께보다 작다.

[0020] 이 형태에서는, 더욱 알맞게는, 상기 다른 색의 화소에 있어서, 상기 특정색의 화소에 있어서의 상기 화소 회로 요소의 조수(組數)보다 적은 범위 내에서, 상기 복수의 유기 박막의 총 막두께가 얇을수록, 상기 조(組)가 더 많이 마련되어 있다(제 3 형태).

[0021] 본 발명의 다른 형태(제 4 형태)에 관한 표시 장치는, 상기 제 1 형태의 특징에 더하여, 또한, 상기 비시감도가 가장 높은 특정색이 상기 녹(G)이고, 상기 R(적)과 상기 B(청)의 각 화소는, 상기 녹(G)보다 상기 조의 수가 적다.

[0022] 본 발명의 다른 형태(제 5 형태)에 관한 표시 장치는, 상기 제 1 형태에 더하여, 또한, 하나의 상기 화소 내에 상기 조가 복수 존재하는 경우, 하나의 상기 샘플링 트랜지스터가 상기 복수의 조에서 공통으로 마련되어 있다.

[0023] 본 발명의 다른 형태(제 6 형태)에 관한 표시 장치는, 상기 제 1 형태에 더하여, 또한, 상기 N개의 화소 내에

마련되어 있는 모든 상기 조에 있어서, 상기 구동 트랜지스터의 채널 도전형(導電型) 및 사이즈, 및, 상기 보존 커패시터의 용량치가 각각 같게 설계되고, 또한, 같은 화소 내에 상기 발광 소자가 복수 마련되는 경우, 해당 복수의 발광 소자의 상기 구동 전류 경로가, 구동 전압의 공급 단자에 복수, 병렬 접속됨에 의해 상기 발광 소자마다 분리되어 있다.

- [0024] 본 발명의 다른 형태(제 7 형태)에 관한 표시 장치는, 상기 제 1 형태에 더하여, 또한, 상기 특정색의 화소에 관해 상기 조의 수만큼 마련되어 있는 상기 발광 소자의 개구부의 합계 면적이, 상기 다른 색의 화소에 갖는 화소마다의 상기 개구부의 면적과 거의 동등하게 되도록, 상기 특정색의 화소 면적이 상기 다른 색의 화소 면적보다 크게 설정되어 있다.
- [0025] 더욱 알맞게는, 상기 다른 색의 화소 사이에서 상기 조의 수가 다른 경우, 상기 화소마다의 개구부의 면적이 화소 사이에서 거의 같아지도록, 화소 면적이 다르다(제 8 형태).
- [0026] 이상의 구성에 의하면, 하나의 색 표시를 행하는 화소 유닛에 있어서, 해당 화소 유닛을 구성하는 N개의 화소 중, 특정색의 화소에 관해, 상기 구동 트랜지스터, 상기 보존 커패시터 및 상기 발광 소자를 포함하는 화소 회로 요소의 조가, 다른 색의 화소의 상기 조보다 많은 수로 2조 이상 마련되어 있다.
- [0027] 여기서 「특정색의 화소」는, 멸점이 되기 쉬운 화소, 예를 들면 청색(B) 등, 발광 소자의 다층 유기 박막의 총 막두께가 가장 얇은 화소를 말한다. 또는, 「특정색의 화소」는, 비시감도가 가장 높다, 예를 들면 녹색(G)의 화소를 말한다.
- [0028] 이해하기 쉽도록 하기 위해, 한 예를 들어 작용을 설명한다. 여기서는, R, G, B의 3화소 구성의 화소 유닛(N=3)에서, 예를 들면 청색(B)의 화소에서 상기 화소 회로 요소의 조가 2조 마련되고, 그 밖의 색의 화소에서, 상기 조가 1조 마련되어 있다고 한다.
- [0029] 이 예에서는, 하나의 화소 유닛 내의 상기 조수는 4이고, 발광 소자도 4개 마련되어 있다. 4개의 발광 소자의 개구 면적이 같다고 하면, 하나의 멸점 결함이 발생한 때에, 멸점 결함이 될 확률은 1/4로, 어느 발광 소자에 대해서도 같다. 단, 특정색(B)과 다른 색(R, G)에서 개구 면적이 같다는 전제에서는, 특정색(B)에서 개구부가 하나 많은 분만큼, 특정색(B)에서 멸점이 될 확률은 다른 색의 2배이다.
- [0030] 한편, 색에 관해 보면, 특정색(B)의 화소 이외(R, G)에서 멸점 결함이 발생하면, 이 색(R, G)에 관해서는 완전히 빛나지 않게 된다. 그러나, 특정색(B)의 화소에서는 2개의 발광 소자가 마련되어 있기 때문에, 그 하나가 빛나지 않게 되었어도 다른 하나가 빛나기 때문에, 휘도는 반분이 되지만, 색(B)으로서의 발광 자체는 확보된다.
- [0031] 한편, R, G, B의 3색에 관해 개구 면적이 동등한 경우, 특정색(B)에 관해서는, 그 밖의 색(R, G)의 개구부에 비하여 반분의 면적의 개구부가 2개 마련되어 있기 때문에, 색에 관해 멸점이 되는 확률은, 어느 색이라도 같게 된다. 게다가, 상기한 바와 마찬가지로 특정색(B)으로 하나의 발광 소자가 더스트 등으로 멸점이 되고도, 다른 하나의 발광 소자가 빛나기 때문에, B발광이 완전히 행하여지지 않는 최악의 사태는 회피된다.
- [0032] 특정색의 조수를 3조 이상으로 하면, 하나의 발광 소자가 더스트 등으로 빛나지 않게 되는 영향은, 조수가 많으면 많을수록, 억제할 수 있다. 즉, 조수 3인 경우에 휘도가 2/3가 되고, 휘도가 1/2인 경우보다 멸점 발생의 영향은 작게 할 수 있다. 마찬가지로, 조수 4 이상에서는, 휘도가 3/4, 4/5, 5/6, ...로, 조수가 많을수록 멸점 발생의 영향이 작아진다. 단, 같은 면적의 화소에 발광 소자의 개구부를 많이 배치하려고 하면, 그만큼, 하나의 개구 면적도 작아지기 때문에 초기 설정의 휘도(멸점이 없는 경우의 휘도)도 내려간다. 따라서, 일반적으로는, 조수를 많이 하면, 그 조수를 많이 한 색의 화소 면적도 증대하는 경향에 있다.
- [0033] 이와 같이, 일반적으로는, 화소 면적의 증대와, 멸점 결함 발생시의 영향(휘도 저하의 정도) 억제와의 트레이드 오프로 색마다의 조수가 결정된다.
- [0034] 이와 같은 상황하에서 본 발명이 적용되면, 색마다의 조수가 일률적이지 않고, 멸점이 되기 쉬운, 또는, 비시감도가 높은 특정색에서, 더 많은 조를 마련하기 때문에, 상기 트레이드 오프가 완화된다.
- [0035] 본 발명에 의하면, 상기 트레이드 오프의 완화에 의해, 화소 면적의 증대를 억제하면서, 멸점 결함의 화면 표시에 대한 영향을, 보다 유효하게 억제 가능한 화소 회로의 구성을 제안할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 실시 형태에 관한 유기 EL 디스플레이의 주요 구성을 도시하는 도면.

- 도 2는 본 발명의 실시 형태에 관한 <화소 회로(1)>의 기본 구성도.
- 도 3은 본 발명의 실시 형태에 관한 <화소 회로(2)>의 기본 구성도.
- 도 4는 유기 발광 다이오드의 특성을 나타내는 그래프와 식을 도시하는 도면.
- 도 5는 본 발명의 실시 형태에 관한 <화소 회로(3)>의 기본 구성도.
- 도 6은 본 발명의 실시 형태에 관한 표시 제어에서의 각종 신호나 전압의 파형을 도시하는 타이밍 차트.
- 도 7은 샘플링까지의 동작 설명도.
- 도 8은 제 2 임계치 보정까지의 동작 설명도.
- 도 9는 제 3 임계치 보정까지의 동작 설명도.
- 도 10은 본 발명의 실시 형태에 관한 소스 전위의 시간 추이의 그래프.
- 도 11은 발광 기간까지의 동작 설명도.
- 도 12는 본 발명의 실시 형태에 관한 화소 회로에서, 유기 발광 다이오드에 전극 사이 쇼트가 생긴 경우의 등가 회로도.
- 도 13은 본 발명의 실시 형태에 관한 화소 유닛 구성을 도시하는 도면.
- 도 14는 본 발명의 실시 형태에 관한 것으로, 화소 회로 요소의 배치 구분이 다른 예를 도시하는 평면도.
- 도 15는 본 발명의 실시 형태에 관한 화소 회로의 평면도.
- 도 16은 본 발명의 실시 형태에 관한 화소 회로의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 본 발명의 실시 형태를, 유기 EL 디스플레이에 본 발명을 적용한 경우를 예로 하여, 도면을 참조하여 설명한다.
- [0038] <전체 구성>
- [0039] 도 1에, 본 발명의 실시 형태에 관한 유기 EL 디스플레이의 주요 구성을 도시한다.
- [0040] 도해하는 유기 EL 디스플레이(1)는, 복수의 화소 회로(3(i,j))가 매트릭스형상으로 배치되어 있는 화소 어레이(2)와, 화소 어레이(2)를 구동하는 구동 회로를 갖는다. 구동 회로는, 수직 구동 회로(V스캐너)(4)와, 수평 구동 회로(H스캐너: H. Scan)(5)를 포함한다.
- [0041] V스캐너(4)는, 화소 회로(3)의 구성에 의해 복수 마련되어 있다. 여기서는 V스캐너(4)가, 수평 화소 라인 구동 회로(DSCN)(41)와, 기록 신호 주사 회로(WSCN)(42)를 포함하여 구성되어 있다.
- [0042] 도 1에 도시하는 화소 회로의 부호 「3(i,j)」는, 해당 화소 회로가 수직 방향(종방향)의 어드레스(i)(i=1, 2)와, 수평 방향(횡방향)의 어드레스(j)(j=1, 2, 3)를 갖는 것을 의미한다. 이들의 어드레스(i와 j)는 최대치를 각각 「n」과 「m」으로 하는 1 이상의 정수를 취한다. 여기서는 도면의 간략화를 위해 n=2, m=3의 경우를 나타낸다.
- [0043] 이 어드레스 표기는, 이후의 설명이나 도면에서 화소 회로의 소자, 신호나 신호선 및 전압 등에 대해서도 마찬가지로 적용한다.
- [0044] 화소 회로(3(1,1), 3(2,1))가 공통된 수직 방향의 제 1 신호선(SIG(1))에 접속되어 있다. 마찬가지로, 화소 회로(3(1,2), 3(2,2))가 공통된 수직 방향의 제 2 신호선(SIG(2))에 접속되고, 화소 회로(3(1,3), 3(2,3))가 공통된 수직 방향의 제 3 신호선(SIG(2))에 접속되어 있다.
- [0045] 제 1 행의 화소 회로(3(1,1), 3(1,2) 및 3(1,3))가 공통의 스캔 신호선에 의해, 수평 화소 라인 구동 회로(41)로부터 제 1 스캔 신호(VSCAN1(1))가 인가 가능하게 되어 있다. 마찬가지로, 제 2 행의 화소 회로(3(2,1), 3(2,2) 및 3(2,3))가 공통의 스캔 신호선에 의해, 수평 화소 라인 구동 회로(41)로부터 제 1 스캔 신호(VSCAN1(2))가 인가 가능하게 되어 있다.
- [0046] 또한, 제 1 행의 화소 회로(3(1,1), 3(1,2) 및 3(1,3))가 공통의 다른 스캔 신호선에 의해, 기록 신호 주사 회

로(42)로부터 제 2 스캔 신호 VSCAN2(1)가 인가 가능하게 되어 있다. 마찬가지로, 제 2 행의 화소 회로(3(2,1), 3(2,2) 및 3(2,3))가 공통의 다른 스캔 신호선에 의해, 기록 신호 주사 회로(42)로부터 제 2 스캔 신호 (VSCAN2(2))가 인가 가능하게 되어 있다.

- [0047] <화소 회로(1)>
- [0048] 도 2에, 구동 트랜지스터가 PMOS 트랜지스터로 이루어지는 경우의, 화소 회로(3(i,j))의 가장 기본적인 구성을 도시한다.
- [0049] 도해하는 화소 회로(3(i,j))는, 발광 소자로서의 유기 발광 다이오드(OLED)를 제어하는 회로이다. 화소 회로는, 유기 발광 다이오드(OLED) 외에, PMOS 타입의 TFT로 이루어지는 구동 트랜지스터(Md)와, NMOS 타입의 TFT로 이루어지는 샘플링 트랜지스터(Ms)와, 하나의 보존 커패시터(Cs)를 갖는다.
- [0050] 유기 발광 다이오드(OLED)는, 특별히 도시하지 않지만, 예를 들면, 투명 유리 등으로 이루어지는 기판의 위에, 제 1 전극(애노드 전극), 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 순차적으로 퇴적시켜서 유기막을 구성하는 적층체를 형성하고, 이 적층체의 위에 제 2 전극(캐소드 전극)을 형성한 구조를 갖는다. 애노드 전극이 정(正)극의 제 1 전원에 접속되고, 캐소드 전극이 부(負)극의 제 2 전원에 접속된다. 또한, 제 2 전원이 정극, 제 1 전원이 부극의 전원이라도 좋다. 그 경우, 애노드 전극이 제 2 전원에 접속되고, 캐소드 전극이 제 1 전원에 접속된다.
- [0051] 또한, 도 2에서는 유기 발광 다이오드(OLED)의 애노드가 정극의 제 1 전원으로부터 고전위(Vcc_H)의 공급을 받고, 유기 발광 다이오드(OLED)의 캐소드가 기준 전압, 예를 들면 접지 전압(GND)에 접속되는 경우를 나타낸다.
- [0052] 유기 발광 다이오드(OLED)의 애노드와 캐소드의 전극 사이에 소정의 바이어스 전압을 인가하면, 주입된 전자와 정공이 발광층에서 재결합할 때에 자발광한다. 유기 발광 다이오드(OLED)는, 유기막을 구성하는 유기 재료를 적절히 선택함으로써 적(R), 녹(G), 청(B)의 각 색으로의 발광이 가능하기 때문에, 이 유기 재료를, 예를 들면 각 행의 화소에 R, G, B의 발광이 가능하게 배열함으로써, 컬러 표시가 가능해진다. 또는, 백색 발광의 유기 재료를 이용하여, 필터의 색으로 R, G, B의 구별을 행하여도 좋다. R, G, B 외에 W(화이트)를 더한 4색 구성이라도 좋다.
- [0053] 구동 트랜지스터(Md)는, 발광 소자(유기 발광 다이오드(OLED))에 흘러지는 전류량을 제어하여 표시 계조를 규정하는 전류 제어 수단으로서 기능한다.
- [0054] 구동 트랜지스터(Md)의 소스가, 고전위(Vcc_H)의 공급선에 접속되고, 드레인이 유기 발광 다이오드(OLED)의 애노드에 접속되어 있다.
- [0055] 샘플링 트랜지스터(Ms)는, 화소 계조를 정하는 데이터 전위(Vsig)의 공급선(영상 신호선(DTL(j)))과 구동 트랜지스터(Md)의 게이트의 사이에 접속되어 있다. 샘플링 트랜지스터(Ms)의 소스와 드레인의 한쪽이 구동 트랜지스터(Md)의 게이트에 접속되고, 또 한쪽이 영상 신호선(DTL(j))에 접속되어 있다. 영상 신호선(DTL(j))에, H스캐너(5)로부터 데이터 전위(Vsig)가 인가된다. 샘플링 트랜지스터(Ms)는, 이 데이터 전위 인가 기간의 적정한 타이밍에서, 해당 화소 회로에서 표시하여야 할 레벨의 데이터를 샘플링한다. 이것은, 샘플링하여야 할 소망하는 데이터 전위(Vsig)를 갖는 데이터 펄스의 선두 또는 후부에서의, 레벨이 불안정한 천이 기간의 표시 영상에 주는 영향을 배제하기 위해서다.
- [0056] 고전위(Vcc_H)의 공급선과 구동 트랜지스터(Md)의 게이트의 사이에, 보존 커패시터(Cs)가 접속되어 있다. 보존 커패시터(Cs)의 역할에 관해서는 후술하는 동작에서 설명한다. 또한, 도 2에서는, 도 1의 수평 화소 라인 구동 회로(41)에 의해 제어되는 구성을 생략하고 있는 도 1의 수평 화소 라인 구동 회로(41)에 의해 제어되는 구성을 생략하고 있다. 이 구성으로서는, 예를 들면 도 2의 고전위(Vcc_H)의 공급선과 구동 트랜지스터(Md)의 사이에 접속되는 다른 트랜지스터라도 좋다. 또는, 고전위(Vcc_H)를 소정 시간만 인가하는 것을 일정 주기로 반복하는 구성이라도 좋다. 이들의 구성은 드라이브 스캔을 위해 마련되지만, 드라이브 스캔은 여러 가지의 방식이 있기 때문에, 도 2에서는 생략하고 있다.
- [0057] <화소 회로(2)>
- [0058] 도 3에, 구동 트랜지스터가 NMOS 트랜지스터로 이루어지는 경우의, 화소 회로(3(i,j))의 가장 기본적인 구성을 도시한다.
- [0059] 도해하는 화소 회로(3(i,j))는, 도 2와 구동 트랜지스터(Md)의 채널 도전형이 다른 이외는, 같은 구성으로 되어

있다. 구동 트랜지스터(Md)가 NMOS 트랜지스터 구성인 경우는, 단위 사이즈 당의 구동 전류가 크게 취해지는 것과, 화소 회로 내의 모든 트랜지스터를 N채널형으로 형성할 수 있기 때문에, 제조 프로세스를 간략화할 수 있다는 이점이 있다.

[0060] 또한, 화소 회로(1), 화소 회로(2)에서는, 화소 회로 내의 모든 트랜지스터는 TFT로 형성되어 있다. TFT의 채널이 형성되는 박막 반도체층은, 다결정 실리콘(폴리실리콘) 또는 비정질 실리콘(어모퍼스 실리콘) 등의 반도체 재료로 이루어진다. 폴리실리콘 TFT는 이동도를 높게 취할 수 있지만 특성 편차가 크기 때문에, 표시 장치의 대(大)화면화에 적합하지가 않다. 따라서, 대화면을 갖는 표시 장치에서는, 일반적으로, 어모퍼스 실리콘 TFT가 사용된다. 단, 어모퍼스 실리콘 TFT에서는 P채널형 TFT가 형성하기 어렵기 때문에, 상술한 화소 회로(2), 또는, 이것을 기본 구성으로 하는 화소 회로를 이용하는 것이 바람직하다.

[0061] 여기서, 이상의 화소 회로(1), 화소 회로(2)는, 본 실시 형태에서 적용 가능한 화소 회로의 한 예, 즉 2트랜지스터(2T)·1커패시터(1C)형의 기본 구성예이다. 따라서, 본 실시 형태에서 이용할 수 있는 화소 회로는, 화소 회로(1) 또는 화소 회로(2)를 기본 구성으로 하고, 또한 트랜지스터나 커패시터를 부가한 화소 회로라도 좋다. 구체적으로, 본 실시 형태에서 채용 가능한 화소 회로는, 상세한 구성은 할애하지만, 예를 들면, 4T·1C형, 4T·2C형, 5T·1C형 등이라도 좋다.

[0062] <발광 제어의 개략>

[0063] 상기 2개의 화소 회로에 있어서의 개략적인 발광 제어 동작은, 이하와 같다.

[0064] 구동 트랜지스터(Md)의 제어 노드(NDc)에는, 보존 커패시터(Cs)가 결합되어 있다. 신호선(SIG(j))으로부터의 신호 전압(Vsig)이 샘플링 트랜지스터(Ms)에서 샘플링되고, 이에 의해 얻어진 데이터 전위(Vsig)가 제어 노드(NDc)에 인가된다.

[0065] 도 4에, 유기 발광 다이오드(OLED)의 I-V특성의 그래프와, 구동 트랜지스터(Md)의 드레인 전류(Ids)(OLED의 구동 전류(Id)에 상당)의 일반식을 나타낸다.

[0066] 구동 트랜지스터(Md)의 게이트에 소정의 데이터 전위(Vsig)가 인가된 때, <화소 회로(1): 도 2>의 경우, P채널형의 구동 트랜지스터(Md)의 소스는 전원에 접속되어 있고, 항상 포화 영역에서 동작하도록 설계되어 있다. 이 때문에, 해당 P채널형의 구동 트랜지스터(Md)는, 도 4의 식에서 나타낸 값을 갖는 정전류원이 된다. 이 정전류원이 흘러지는 드레인 전류(Ids)는, P채널형의 구동 트랜지스터(Md)의 게이트에 인가되어 있는 데이터 전위에 응한 값을 갖는 게이트 소스 사이 전압(Vgs)에 따라 정하여진다. 따라서, 샘플링 후의 데이터 전위(Vsig)에 따른 휘도로 유기 발광 다이오드(OLED)가 발광한다.

[0067] 유기 발광 다이오드(OLED)는, 잘 알려져 있는 바와 같이, 경시변화에 의해 I-V특성이 도 4와 같이 변화한다. 이 때, 정전류원이 같은 값의 구동 전류(Id)를 흘리려고 하기 때문에, 유기 발광 다이오드(OLED)의 인가 전압(V)은 커지고, P채널형의 구동 트랜지스터(Md)의 드레인 전위가 상승한다. 그러나, P채널형의 구동 트랜지스터(Md)의 게이트 소스 사이 전압(Vgs)이 일정하기 때문에, 유기 발광 다이오드(OLED)에는 일정량의 구동 전류(Id)가 흐르고, 발광 휘도는 변화하지 않는다.

[0068] 그러나, 구동 트랜지스터(Md)를 N채널형으로 치환한 <화소 회로(2): 도 3>에서는, 구동 트랜지스터(Md)의 소스가 유기 발광 다이오드(OLED)에 접속되어 버리기 때문에, 유기 발광 다이오드(OLED)의 경시변화와 함께 게이트 소스 사이 전압(Vgs)이 변화하여 버린다.

[0069] 이에 의해, 유기 발광 다이오드(OLED)에 흐르는 구동 전류(Id)가 변화하고, 그 결과, 소정의 데이터 전위(Vsig)라 하여도 발광 휘도가 변화하여 버린다.

[0070] 또한, 화소 회로마다 구동 트랜지스터(Md)의 임계치 전압(Vth), 이동도(μ)가 다르기 때문에, 도 4의 식에 따라, 드레인 전류(Ids)에 편차가 생기고, 주어져 있는 데이터 전위(Vsig)가 같아도 화소의 발광 휘도가 변화하여 버린다.

[0071] 또한, 도 4의 식에서, 부호 "Ids"는, 포화 영역에서 동작하는 구동 트랜지스터(Md)의 드레인과 소스 사이에 흐르는 전류를 나타낸다. 또한, 해당 구동 트랜지스터(Md)에 있어서, "Vth"가 임계치 전압을, " μ "가 이동도를, "W"가 실효 채널 폭(실효 게이트 폭)을, "L"이 실효 채널 길이(실효 게이트 길이)를, 각각 나타낸다. 또한, "Cox"가 해당 구동 트랜지스터(Md)의 단위 게이트 용량, 즉 단위면적당의 게이트 산화막 용량과, 소스나 드레인과 게이트 사이의 프린팅 용량과의 총합을 나타낸다.

- [0072] N채널형의 구동 트랜지스터(Md)를 갖는 화소 회로는, 구동 능력이 높고 제조 프로세스를 간략화할 수 있는 이점이 있지만, 임계치 전압(Vth)이나 이동도(μ)의 편차를 억제하기 위해, 이하와 같은 보정 동작을, 전술한 발광 제어 동작에 앞서서 행할 필요가 있다.
- [0073] <보정의 개략>
- [0074] 구체적인 제어의 상세는 후술하지만, 샘플링 전에 보존 커패시터(Cs)에 의해, 구동 트랜지스터(Md)의 게이트 소스 사이 전압(Vgs)이, 그 임계치 전압(Vth)의 레벨로 보존된다. 이 예비적인 동작은, 「임계치 보정」이라고 칭하여진다.
- [0075] 임계치 보정 후에, 구동 트랜지스터(Md)의 게이트에 샘플링 후의 데이터 전압(Vin)이 가하여지기 때문에, 게이트 소스 사이 전압(Vgs)은 "Vth+Vin"이 되어 보존된다. 이때의 데이터 전압(Vin)의 크기에 따라 구동 트랜지스터(Md)가 온 한다. 임계치 전압(Vth)이 크고 온 하기 어려운 구동 트랜지스터(Md)의 경우는 "Vth+Vin"도 크다, 역으로, 임계치 전압(Vth)이 작고 온 하기 쉬운 구동 트랜지스터(Md)의 경우는 "Vth+Vin"도 작다. 따라서 구동 전류로부터 임계치 전압(Vth)의 편차의 영향이 배제되고, 데이터 전압(Vin)이 일정하다면, 드레인 전류(Ids)(구동 전류(Id))도 일정하게 된다.
- [0076] 또한, 예를 들면, 데이터 샘플링의 전으로 임계치 보정의 후에, 「이동도(엄밀하게는, 구동력 보정)」를 행한다.
- [0077] 이동도 보정에서는, 전압 "Vth+Vin"가 보존되어 있는 상태에서, 또한, 구동 트랜지스터(Md)의 전류 구동 능력에 응한 게이트 전위 변화를 행한다. 도 2 및 도 3에는 도시를 생략하고 있지만, 구동 트랜지스터(Md)의 게이트와 소스 또는 드레인의 사이에, 구동 트랜지스터(Md)의 전류 채널을 통한 전류에 의해 보존 커패시터를 충전 또는 방전하는 패스가 마련되고, 이 패스에 전류를 흘리는지의 여부를 제어함에 의해 이동도 보정을 행한다.
- [0078] 그 후, 이 일정한 전류치로 구동되어 유기 발광 다이오드(OLED)가 발광한다.
- [0079] <화소 회로(3)>
- [0080] 도 5에, 상기 이동도 보정시의 충전 패스를 고려한, 화소 회로(2)의 변형례를 도시한다.
- [0081] 도 5에 도해하는 화소 회로에서는, 도 3에서는 구동 트랜지스터(Md)의 게이트와 드레인 사이에 접속되어 있던 보존 커패시터(Cs)를, 구동 트랜지스터(Md)의 게이트와 소스 사이에 접속하고 있다. 그 밖의 구성은, 도 3과 도 5는 마찬가지이다. 단, 여기서는 전원 구동을, 수평 화소 라인 구동 회로(41)로부터 공급되는 전원 구동 펄스(DS(i))(도 1의 제 1 스캔 신호(VSCAN1(i))의 펄스 표기)에 의해, 구동 트랜지스터(Md)의 드레인 전압을 하이 레벨(예를 들면 고전위(Vcc_H))과, 로우 레벨(저전위(Vcc_L), 예를 들면 부전위) 사이에서 구동함에 의해 달성한다. 또한, 샘플링 트랜지스터(Ms)에 의한 영상 신호(Ssig)(데이터 전위(Vsig))의 샘플링을, 기록 신호 주사 회로(42)로부터 공급되는 기록 구동 펄스(WS(i))(도 1 및 도 3의 제 2 스캔 신호(VSCAN2(i))의 펄스 표기)에 의해 행한다.
- [0082] 또한, <화소 회로(3)>에서의 전원 구동은, 이 도시한 것으로 한정되지 않지만, 이하, 구체적인 동작 설명의 사정상, 도 5의 전원 구동 방식을 전제로 한다.
- [0083] <표시 제어의 상세한 예>
- [0084] 도 5의 회로에서의 데이터 기록시의 동작을, 임계치 전압과 이동도의 보정 동작과 아울러서 설명한다. 이러한 일련의 동작을 「표시 제어」라 한다.
- [0085] 도 6(A) 내지 도 6(F)는, 표시 제어에 있어서의 각종 신호나 전압의 파형을 도시하는 타이밍 차트이다. 여기서의 표시 제어에서는 행 단위로 데이터 기록을 순차적으로 행하는 것으로 하고, 제 1 행의 화소 회로(3(1,j))가 기록 대상의 행(표시행)이고, 제 2 행의 화소 회로(3(2,j))와 제 3 행의 화소 회로(3(3,j))는, 도 6의 시점에서는 기록 대상이 아니다(비표시행이다). 표시행에 대해, 도 6에 도시하고, 지금부터 설명하는 표시 제어에 의해 데이터가 기록된 후는, 표시행이 제 2 행으로 이동하여 마찬가지로의 표시 제어가 행하여지고, 마찬가지로의 표시 제어가 제 3 행, 제 4 행, ...으로 반복됨에 의해 1화면이 표시된다. 1화면의 표시 후는, 마찬가지로 하여 다른 화면 표시를 위한 표시 제어가, 필요한 회수 반복된다.
- [0086] 도 6(A)는, 영상 신호(Ssig)의 파형도이다.
- [0087] 도 6(B1)와 도 6(B2)는, 기록 대상의 제 1 행에 공급되는 기록 구동 펄스(WS(1))와 전원 구동 펄스(DS(1))의 파

형도이다. 마찬가지로 하여, 도 6(C1)와 도 6(C2)는, 비기록 대상의 제 2 행에 공급되는 기록 구동 펄스(WS(2))와 전원 구동 펄스(DS(2))의 파형도, 도 6(D1)과 도 6(D2)는, 비기록 대상의 제 3 행에 공급되는 기록 구동 펄스(WS(3))와 전원 구동 펄스(DS(3))의 파형도이다.

[0088] 도 6(E)는, 기록 대상의 제 1 행의 화소 회로(3(1,j))에서의 구동 트랜지스터(Md)의 게이트 전위(제어 노드(NDc)의 전위)의 파형도이다.

[0089] 도 6(F)는, 기록 대상의 제 1 행의 화소 회로(3(1,j))에서의 구동 트랜지스터(Md)의 소스 전위(유기 발광 다이오드(OLED)의 애노드 전위)의 파형도이다.

[0090] [기간의 정의]

[0091] 도 6(F)의 하부에 기재하고 있는 바와 같이, 도 6은, NTSC 영상 신호 규격의 1수평 기간(1H)에 대해, 그 약 4배 남짓의 스패너로 파형도를 표시하고 있다. 그리고, 그 최후의 1수평 기간(1H)에서, 최종적인 3회째의 제 3 임계치 보정(VTC3)과, 이동도의 보정 및 실제의 데이터 기록(W&μ)을 연속하여 실행한다(본 동작). 그 최후의 1수평 기간(1H)에 행하여지는 본 동작보다 전의 3수평 기간((1H)×3)은, 오로지, 초기화를 위해서며, 최종적인 임계치 보정으로서는 시간이 짧아 보정할 수 없는 경우를 고려하여, 어느 정도까지 임계치 보정을 미리 2번 행하기 위해 소비된다(예비 동작).

[0092] 도 6과 같은 표시 제어는, 표시 화상의 고해상도화가 진전되고, 표시 패널의 구동 주파수가 매우 높아져 있는 현재 상태로서는, 짧은 1수평 기간(1H)에 임계치 전압 보정부터 데이터 기록까지 단번에 행할 수가 없고, 특히 임계치 보정의 시간이 부족한 것을 감안하여, 임계치 보정을 몇 회로 나누어서 행하는 것이다. 단, 구동 주파수가 그다지 높지 않은 소형부터 중형의 표시 패널 등에서, 본 동작의 시간이 1수평 기간(1H)으로 충분하면, 초기화를 위해 1수평 기간(1H)도 있으면 예비 동작으로서도 충분한 경우도 있다. 물론, 예비 동작이 2수평 기간(2H)이라도 좋고, 4수평 기간(4H) 이상이라도 좋다.

[0093] 어느 행에 대해 본 동작을 행하고 있을 때는, 다음 행(및, 그 다음 이후의 행, ...,)에 관해 예비 동작을 병렬로 실행할 수 있기 때문에, 예비 동작 시간의 장단(長短)은 전체의 표시 기간에 거의 영향을 주지 않는다. 오히려, 임계치 전압 보정을 확실하게 행하는 의미에서, 예비 동작을 충분히 행하는 편이 바람직하다.

[0094] 이상은 1수평 기간(1H)이라는 일정 척도로 본 기간의 구분이지만, 도 6(F)에 기재한 대강 4수평 기간을 기능적으로 파악하는 것도 가능하다.

[0095] 구체적으로 도 6(A)의 상부에 기재하고 있는 바와 같이, (1필드 또는 1프레임)전(前) 화면의 발광 기간(LM0)의 후에 시계열의 순서로, 방전 기간(D-CHG), 초기화 기간(INT), 제 1 임계치 보정 기간(VTC1), 제 1 대기 기간(WAT1), 제 2 임계치 보정 기간(VTC2), 제 2 대기 기간(WAT2)을 경유하여 「예비 동작」이 실행된다. 또한, 계속해서, 제 3 임계치 보정(VTC3), 제 3 대기 기간(WAT3), 기록&이동도 보정 기간(W&μ)을 경유하여, 해당 제 1 행의 화소 회로(3(1,j))의 발광 기간(LM1)에 추이(推移)함에 의해 본 동작이 실행된다.

[0096] [구동 펄스의 개략]

[0097] 또한, 도 6에서는, 파형도의 적당한 개소에 시간 표시를 부호 "T0" 내지 "T21"에 의해 나타내고 있다. 다음에, 이 시간 표시를 참조하여 영상 신호나 구동 펄스의 개략을 설명한다.

[0098] 제 1 행에 공급된 기록 구동 펄스(WS(1))에서는, 도 6(B1)에 도시하는 바와 같이, "L"레벨에서 비액티브, "H"레벨에서 액티브의 4개의 샘플링 펄스(SP0 내지 SP3)가 주기적으로 출현한다. 이때 4개의 샘플링 펄스(SP0 내지 SP3)의 주기는, 예비 동작(시간(T0) 내지 시간(T15)) 및 본 동작(시간(T15) 이후)을 통하여 일정하다. 단, 본 동작에 있어서의 기록 구동 펄스(WS(1))는, 4번째의 샘플링 펄스(SP3)의 후에 기록 펄스(WP)가 중첩된 파형이 된다.

[0099] 이에 대해, m개(수백 내지 천수백개)의 영상 신호선(DTL(j))(도 1 및 도 5 참조)에 공급되는 영상 신호(Ssig)는, 선순차(線順次) 표시에서는 m개의 영상 신호선(DTL(j))에 동시에 공급된다. 그리고, 영상 신호(Ssig)를 샘플링 후에 얻어지는 데이터 전압을 반영한 신호 진폭(Vin)은, 도 6(A)에 도시하는 바와 같이, 1수평 기간(1H)의 전반(前半) 부분에서 반복하여 출현하는 오프셋 전위(Vo)를 기준으로 한, 1수평 기간(1H)의 후반 부분에 반복하여 출현하는 영상 신호 펄스(PP)의 파고치(波高値)에 상당한다. 이하, 신호 진폭(Vin)을 데이터 전압(Vin)이라고 부른다.

[0100] 도 6(A)에 도시하는 몇 가지의 영상 신호 펄스(PP) 중, 제 1 행에 있어서 중요한 영상 신호 펄스는, 기록하고

펄스(WP)와 시간적으로 겹쳐지는 본 동작시의 영상 신호 펄스(PPx)이다. 본 동작시의 영상 신호 펄스(PPx)의 오프셋 전위(Vo)로부터의 파고치가, 도 6에서 표시시키고 싶은(기록하고 싶은) 계조치, 즉 데이터 전압(Vin)에 해당한다. 이 계조치(=Vin)는, 제 1 행의 각 화소로 같은 경우(단색 표시의 경우)도 있지만, 통상, 표시 화소행의 계조치에 따라 변화하고 있다. 도 6은, 주로, 제 1 행 내에서의 하나의 화소에 관한 동작을 설명하기 위한 것이지만, 동일행의 다른 화소로는, 이 표시 계조치가 다른 것이 있는 이외, 제어 자체는, 도시의 화소 구동 제어와 병렬로 실행된다.

- [0101] 구동 트랜지스터(Md)의 드레인(도 5 참조)에 공급되는 전원 구동 펄스(DS(1))는, 도 6(B2)에 도시하는 바와 같이, 시간(T0)부터 최초의 제 1 임계치 보정 기간(VTC1)의 시작(시간(T6)) 직전까지 비액티브의 "L"레벨, 예를 들면 저전위(Vcc_L)(예를 들면 부전압)로 유지되고, 제 1 임계치 보정 기간(VTC1)의 시작과 거의 동시에(시간(T6)), 액티브의 "H"레벨, 예를 들면 고전위(Vcc_H)로 추이한다. 고전위(Vcc_H)의 유지는, 발광 기간(LM1)이 종료될 때까지 계속된다.
- [0102] 제 2행(의 화소 회로(3(2,j))), 제 3행(의 화소 회로(3(3,j)))에 관해서는, 각각, 도 6(C1)와 도 6(C2), 도 6(D1)와 도 6(D2)에 도시하는 바와 같이, 1수평 기간(1H)씩 각 펄스가 지연되어 인가된다. 구체적으로는, 제 1 행의 제 1 임계치 보정 기간(VTC1)에 대응하는 2번째의 샘플링 펄스(SP1)가 인가되는 시간(T5 내지 T7)의 기간에, 제 2 행에서는, 초기화 기간(INT)에 대응하는 1번째의 샘플링 펄스(SP0)가 인가된다.
- [0103] 이 펄스 인가 도중, 즉 시간(T6)에서 제 1 행의 전원 구동 펄스(DS(1))가 하이 레벨(고전위(Vcc_H))로 상승하여 액티브가 된다.
- [0104] 그 후, 제 1 행의 제 2 임계치 보정 기간(VTC2)에 대응하는 3번째의 샘플링 펄스(SP2)가 인가되는 시간(T10 내지 T12)의 기간에, 제 2 행에서는, 제 1 행부터 1수평 기간(1H) 지연되고 상기 2번째의 샘플링 펄스(SP1)가 인가되고, 제 3 행에서는, 제 1 행부터 2수평 주기((1H)×2) 지연되어 상기 1번째의 샘플링 펄스(SP0)가 인가된다.
- [0105] 이 펄스 인가 도중, 즉 시간(T11)에서 제 2 행의 전원 구동 펄스(DS(2))가 하이 레벨(고전위(Vcc_H))로 상승하여 액티브가 된다.
- [0106] 그 후, 제 1 행의 제 3 임계치 보정 기간(VTC3)에 대응하는 4번째의 샘플링 펄스(SP3)가 인가되는 시간(T15 내지 T17)의 기간에, 제 2 행에서는, 제 1 행부터 1수평 기간(1H) 지연되어 상기 3번째의 샘플링 펄스(SP2)가 인가되고, 제 3 행에서는, 제 1 행부터 2수평 주기((1H)×2) 지연되어 상기 2번째의 샘플링 펄스(SP1)가 인가된다.
- [0107] 이 펄스 인가 도중, 즉 시간(T16)에서 제 3 행의 전원 구동 펄스(DS(3))가 하이 레벨(고전위(Vcc_H))로 상승하여 액티브가 된다.
- [0108] 이상과 같이 하여 펄스 인가의 타이밍 설계를 행하면, 어느 행의 본 동작을 행하고 있는 기간에, 그 1 내지 수 수평 기간 후에 본 동작을 행하는 다른 몇 행분의 예비 동작을 병렬로 실행하기 때문에, 본 동작에 한하여 분다면 행 단위로 심레스하게, 그 실행이 이루어진다. 따라서, 최초의 몇 수평 기간 이외는 필요없는 기간은 발생하지 않는다.
- [0109] 표시 화면은 통상, 수백 내지 천수백의 행을 갖기 때문에, 1화면 표시중에 있어서의 1 내지 몇 수평 기간이라는 시간은 무시할 수 있을 정도로 짧다. 따라서 임계치 전압 보정을 수회로 나누어도 시간적인 손실은 실질적으로 생기지 않는다.
- [0110] 다음에, 이상의 펄스 제어하에 있어서의, 도 6(E) 및 도 6(F)에 도시하는 구동 트랜지스터(Md)의 소스나 게이트의 전위 변화와, 그것에 수반하는 동작을, 도 6(A)에 도시하는 기간마다 설명한다.
- [0111] 또한, 여기서는 도 7(A) 내지 도 9(B)에 도시하는 제 1 행의 화소 회로(3(1,j))의 예비 동작 설명도, 도 10에 도시하는 소스 전위(Vs)의 시간 추이의 그래프, 도 11(A) 내지 도 11(C)에 도시하는 제 1 행의 화소 회로(3(1,j))의 본 동작 설명도, 및, 도 5 등을 적절히 참조한다.
- [0112] [전(前) 화면의 발광 기간(LM0)]
- [0113] 제 1 행의 화소 회로(3(1,j))에 관해, 시간(T0) 이전의 1필드 또는 1프레임만큼 전(前)의 화면(이하, 전(前) 화면이라고 한다)에 관한 발광 기간(LM0)에서는, 도 6(B1)에 도시하는 바와 같이 기록 구동 펄스(WS(1))가 "L"레벨이기 때문에, 샘플링 트랜지스터(Ms)가 오프 하고 있다. 또한, 도 6(B2)에 도시하는 바와 같이, 전원 구동 펄

스(DS(1))가 고전위(Vcc_H)의 인가 상태에 있다.

- [0114] 이때, 도 7(A)에 도시하는 바와 같이, 전 화면의 데이터 기록 동작에 의해 구동 트랜지스터(Md)의 게이트에 입력되고 보존되어 있는 데이터 전압(Vin0)에 따라, 유기 발광 다이오드(OLED)가 발광 상태에 있다고 한다. 구동 트랜지스터(Md)는 포화 영역에서 동작하도록 설정되어 있기 때문에, 유기 발광 다이오드(OLED)에 흐르는 구동 전류(Id)=(Ids)는, 보존 커패시터(Cs)에서 보존되어 있는 구동 트랜지스터(Md)의 게이트 소스 사이 전압(Vgs)에 따라, 전술한 도 4에 도시하는 식으로부터 산출된 값을 취한다.
- [0115] [방전 기간(D-CHG)]
- [0116] 도 6에서 시간(T0)부터, 선순차 주사의 새로운 화면 표시에 관한 처리가 시작된다.
- [0117] 시간(T0)이 되면, 수평 화소 라인 구동 회로(41)(도 5 참조)가, 도 6(B2)에 도시하는 바와 같이, 전원 구동 펄스(DS(1))를 고전위(Vcc_H)로부터 저전위(Vcc_L)로 전환한다. 구동 트랜지스터(Md)는, 지금까지 드레인으로서 기능하고 있던 노드의 전위가 저전위(Vcc_L)까지 급격하게 떨어지고, 소스와 드레인의 전위가 역전하기 때문에, 지금까지 드레인이었던 노드를 소스로 하고, 지금까지 소스였던 노드를 드레인으로 하여, 해당 드레인의 전위(단, 도면의 표기에서는 소스 전위(Vs)인 채로 한다)를 뽑아내는 디스차지 동작이 행하여진다.
- [0118] 따라서, 도 7(B)에 도시하는 바와 같이, 지금까지와는 역방향의 드레인 전류(Ids)가 구동 트랜지스터(Md)에 흐른다.
- [0119] 이 구동 트랜지스터(Md)에 역방향의 전류가 흐르는 기간을, 도 6에서는 「방전 기간(D-CHG)」으로 표기하고 있다.
- [0120] 방전 기간(D-CHG)이 시작되면, 도 6(F)에 도시하는 바와 같이, 시간(T0)을 경계로 구동 트랜지스터(Md)의 소스 전위(Vs)(현실의 동작상은 드레인 전위)가 급격하게 방전되고, 거의 저전위(Vcc_L)의 근처까지 저하된다.
- [0121] 이때, 저전위(Vcc_L)가 유기 발광 다이오드(OLED)의 임계치 전압(Vth_oled.)과 캐소드 전위(Vcath)의 합보다도 작은 때, 즉 " $V_{cc_L} < V_{th_oled.} + V_{cath}$ "이면 유기 발광 다이오드(OLED)는 소광한다.
- [0122] 또한, 방전 기간(D-CHG)의 종료(시간(T1))의 전까지는, 도 6(A)에 도시하는 바와 같이, 영상 신호(Ssig)의 전위가, 데이터 전위(Vsig)로부터 데이터 기준 전위(Vo)까지 내려져 있다.
- [0123] 시간(T0)에서, 도 7(B)에 도시하는 바와 같이, 샘플링 트랜지스터(Ms)가 오프 하여 제어 노드(NDc)가 플로팅 상태에 있다. 이 때문에, 도 6(E)에 도시하는 바와 같이, 시간(T0)을 경계로 구동 트랜지스터(Md)의 게이트 전압(Vg)이 저하된다.
- [0124] [초기화 기간(INT)]
- [0125] 다음에, 기록 신호 주사 회로(42)(도 5 참조)가, 도 6(B1)에 도시하는 바와 같이, 시간(T1)에서 기록 구동 펄스(WS(1))를 "L"레벨에서 "H"레벨로 천이시켜서 1번째의 샘플링 펄스(SP0)를, 샘플링 트랜지스터(Ms)의 게이트에 준다.
- [0126] 이 시간(T1)에서 방전 기간(D-CHG)이 종료되고, 이곳부터 초기화 기간(INT)이 시작한다.
- [0127] 시간(T1)에서의, 샘플링 펄스(SP0)의 인가에 응답하여, 도 7(C)에 도시하는 바와 같이, 샘플링 트랜지스터(Ms)가 온 한다. 전술한 바와 같이 시간(T1)까지는, 영상 신호(Ssig)의 전위가 데이터 기준 전위(Vo)로 전환되어 있다. 따라서 샘플링 트랜지스터(Ms)는, 영상 신호(Ssig)의 데이터 기준 전위(Vo)를 샘플링하여, 샘플링 후의 데이터 기준 전위(Vo)를 구동 트랜지스터(Md)의 게이트에 전달한다.
- [0128] 이 샘플링 동작에 의해, 도 6(E)에 도시하는 바와 같이, 시간(T0)을 경계로 저하된 구동 트랜지스터(Md)의 게이트 전압(Vg)이, 데이터 기준 전위(Vo)에 수속(收束)한다.
- [0129] 도 6(B1)에 도시하는 샘플링 펄스(SP0)는, 시간(T1)부터, 이 전위 수속에 충분한 시간이 경과한 시간(T2)에서 종료하고, 샘플링 트랜지스터(Ms)가 오프 한다. 따라서, 다음에 샘플링 트랜지스터(Ms)가 온 하는 시간(T5)까지는, 구동 트랜지스터(Md)의 게이트가 전기적인 플로팅 상태가 된다.
- [0130] 이 시간(T5)에서 샘플링 트랜지스터(Ms)를 재차 온 시키는 타이밍은, 최초의 1수평 기간(1H)의 종료와 거의 같게 제어되고, 또한, 시간(T2 내지 T5)의 기간 내에, 해당 1수평 기간(1H)에서의 영상 신호 펄스(PP)가 수속되도록 타이밍 설계되어 있다(도 6(A)와 (B1) 참조).

- [0131] 이것을 샘플링 펄스(SP0)에서 보면, 기록 구동 펄스(WS(1))를 "H"레벨로 하는 샘플링 펄스(SP0)의 지속 시간(시간(T1 내지 T2))은, 1수평 기간(1H)의 전반 부분인, 영상 신호(Ssig)가 데이터 기준 전위(Vo)를 취하는 기간(시간(T0 내지 T3)) 내로 되어 있다.
- [0132] 그리고, 시간(T2)에서 샘플링 트랜지스터(Ms)를 오프 시킨 상태에서, 영상 신호 펄스(PP)에 의한 영상 신호선(DTL(j))의 전위 변동이 종료되는 시간(T4)의 경과를 기다리고, 그 후의 시간(T5)에서, 데이터 기준 전위(Vo)를 재차 샘플링하기 위한 2번째의 샘플링 펄스(SP1)를 상승시킨다.
- [0133] 이 제어의 결과, 2번째의 샘플링 펄스(SP1)를 상승시킨 시간(T5)에서, 영상 신호(Ssig)의 데이터 전위(Vsig)를 잘못하여 샘플링하는 것은 회피된다.
- [0134] 또한, 시간(T5)에서의 2번째의 샘플링 시작시에는, 도 6(E)에 도시하는 바와 같이, 이미 게이트 전압(Vg)이 데이터 기준 전위(Vo)를 유지하고 있다. 따라서 2번째의 샘플링에 의해 리크 전류 등에 의한 미소한 손실을 보충하는 일이 있지만, 일반적으로는, 게이트 전압(Vg)은 거의 변동하지 않는다.
- [0135] 시간축상에서의 설명을 약간 앞으로 되돌리면, 시간(T1)에서 1번째의 샘플링 펄스(SP0)가 인가됨에 의해 샘플링 트랜지스터(Ms)가 온 하고, 도 6(E)에 도시하는 바와 같이, 구동 트랜지스터(Md)의 게이트 전압(Vg)이 데이터 기준 전위(Vo)에 수속하면, 이에 연동하여 보존 커패시터(Cs)의 보존 전압이 저하되고, "Vo-Vcc_L"이 된다(도 6(F)). 이것은, 도 7(B)의 디스차지에 의해 소스 전위(Vs)가 저전위(Vcc_L)가 되고, 저전위(Vcc_L)를 기준으로 한 게이트 전압(Vg)으로 보존 커패시터(Cs)의 보존 전압이 규정되기 때문이다. 즉, 도 7(C)에서, 게이트 전압(Vg)이 데이터 기준 전위(Vo)로 내려가면, 이에 연동하여 보존 커패시터(Cs)의 보존 전압이 내려가고, 해당 보존 전압이 "Vo-Vcc_L"로 수속한다. 또한, 이 보존 전압 "Vo-Vcc_L"은 게이트 소스 사이 전압(Vgs) 그 자체이고, 게이트 소스 사이 전압(Vgs)이 구동 트랜지스터(Md)의 임계치 전압(Vth)보다도 크지 않으면, 그 후에 임계치 보정 동작을 행할 수가 없기 때문에, "Vo-Vcc_L > Vth"로 하도록 전위 관계가 결정되어 있다.
- [0136] 이와 같이 하여, 구동 트랜지스터(Md)의 게이트 전압(Vg) 및 소스 전위(Vs)를 초기화함으로써, 임계치 보정 동작의 준비가 완료된다.
- [0137] [제 1 임계치 보정 기간(VTC1)]
- [0138] 시간(T5)에서 샘플링 트랜지스터(Ms)가 2번째의 Vo 샘플링을 시작한 후, 도 6(B2)에 도시하는 바와 같이, 시간(T6)에서 전원 구동 펄스(DS(1))가 VSS 레벨에서 VDD 레벨로 상승하면, 해당 초기화 기간(INT)이 종료되고, 제 1 임계치 보정 기간(VTC1)이 시작한다.
- [0139] 제 1 임계치 보정 기간(VTC1)의 시작시(시간(T6))의 직전에 있어서, 온 상태의 샘플링 트랜지스터(Ms)가 데이터 기준 전위(Vo)를 샘플링 중이기 때문에, 구동 트랜지스터(Md)의 게이트 전압(Vg)은, 일정한 데이터 기준 전위(Vo)로 전기적으로 고정된 상태에 있다.
- [0140] 이 상태에서 시간(T6)에서, 수평 화소 라인 구동 회로(41)(도 5 참조)가, 도 6(B2)에 도시하는 바와 같이, 전원 구동 펄스(DS(1))를 "L"레벨(=VSS)로부터 "H"레벨(=VDD)로 상승한다. 수평 화소 라인 구동 회로(41)는, 시간(T6) 이후는, 다음 프레임(또는 필드)의 처리 시작까지, 구동 트랜지스터(Md)에의 전원 공급선의 전위를 고전위(Vcc_H)로 유지하여 둔다.
- [0141] 전원 구동 펄스(DS(1))의 상승에 의해 구동 트랜지스터(Md)의 소스와 드레인 사이에 "VDD-VSS"의 전압이 인가된다. 그 때문에, 구동 트랜지스터(Md)에 전원으로부터 드레인 전류(Ids)가 흐르게 된다.
- [0142] 드레인 전류(Ids)에 의해 구동 트랜지스터(Md)의 소스가 충전되고, 도 6(F)에 도시하는 바와 같이 소스 전위(Vs)가 상승하기 때문에, 그때까지 "Vo-Vcc_L"라는 값을 취하고 있던 구동 트랜지스터(Md)의 게이트 소스 사이 전압(Vgs)(보존 커패시터(Cs)의 보존 전압)는, 서서히 작아져 간다(도 6(E) 및 (F)).
- [0143] 이때의 드레인 전류(Ids)에 의한 구동 트랜지스터(Md)의 소스 충전 속도는 그다지 크지 않다. 그 이유를, 도 8(A)을 참조하면서 기술한다.
- [0144] 도 8(A)에 도시하는 바와 같이, 구동 트랜지스터(Md)의 게이트 전압(Vg)에 인가되어 있는 게이트 바이어스 전압이 데이터 기준 전위(Vo)로 규정되고, 해당 바이어스 전압이 그다지 크지 않기 때문에, 구동 트랜지스터(Md)는 얇은 온 상태, 즉 구동 능력이 그다지 크지 않는 상태에서 온 한다(제 1의 이유).
- [0145] 또한, 드레인 전류(Ids)는 보존 커패시터(Cs)에 흘러 들어가지만, 유기 발광 다이오드(OLED)의 용량(Coled.)의

충전에도 드레인 전류(I_{ds})가 소비되기 때문에, 소스 전위(V_s)가 올라가기 어렵다(제 2의 이유).

- [0146] 또한, 샘플링 펄스(SP1)를, 다음에 영상 신호(Ssig)가 데이터 전위(V_{sig})로 천이하는 시간(T_8)보다 전의 시간(T_7)에서 종료시킬 필요가 있기 때문에(도 6(B1) 참조), 소스 전위(V_s)의 충전 시간이 불충분하다(제 3의 이유).
- [0147] 가령, 도 6(B1)에 도시하는 2번째의 샘플링 펄스(SP1)가 시간(T_7)을 넘어서 충분히 길게까지 지속 가능하다고 하면, 구동 트랜지스터(Md)의 소스 전위(V_s)(유기 발광 다이오드(OLED)의 애노드 전위)는, 도 10에 도시하는 바와 같이, 시간(T_6)을 기점으로 하여 시간과 함께 상승하고, " V_o-V_{th} "로 수속한다(도 10의 파선에 의해 도시하는 곡선(CV)). 즉, 게이트 소스 사이 전압(V_{gs})(보존 커패시터(C_s)의 보존 전압)이 꼭, 구동 트랜지스터(Md)의 임계치 전압(V_{th})이 된 곳에서 소스 전위(V_s)의 상승이 거의 종료하는 것이다.
- [0148] [제 1 대기 기간(WAT1)]
- [0149] 그러나, 현실에는, 그 수속점에 달하기 전에 시간(T_7)이 오기 때문에, 샘플링 펄스(SP1)의 지속 시간이 종료되고, 이에 의해, 제 1 임계치 보정 기간(VTC1)이 종료되고, 제 1 대기 기간(WAT1)이 시작한다.
- [0150] 구체적으로는, 구동 트랜지스터(Md)의 게이트 소스 사이 전압(V_{gs})이 $V_{x1}(>V_{th})$ 이 되었을 때, 즉, 도 10에 도시하는 바와 같이, 구동 트랜지스터(Md)의 소스 전위(V_s)가 저전위(V_{cc_L})로부터 " V_o-V_{x1} "로 상승한 시점(시간(T_7))에서, 제 1 임계치 보정 기간(VTC1)이 종료된다. 이때(시간(T_7))에는, 전압치(V_{x1})가 보존 커패시터(C_s)에 보존된다.
- [0151] 제 1 임계치 보정 기간(VTC1)이 종료되면, 샘플링 트랜지스터(M_s)가 오프 하기 때문에, 구동 트랜지스터(Md)의 게이트가 데이터 기준 전위(V_o)로 전기적으로 고정된 상태에서부터, 전기적인 플로팅 상태로 추이한다.
- [0152] 따라서 시간(T_7) 이후는, 소스 전위(V_s)가 상승하면, 그에 수반하여, 소스에 용량 결합한 플로팅 상태의 게이트의 전위(V_g)도 상승한다(도 6(E)과 (F)). 그 결과, 본 예에서는, 제 1 대기 기간(WAT1)의 종료시점(시간(T_{10}))에서, 소스 전위(V_s)가 수속 목표의 " V_o-V_{th} "보다도 커지는(도 10 참조) 한편으로, 도 6(E) 및 (F)에 도시하는 바와 같이 게이트 소스 사이 전압(V_{gs})은 줄어들지 않는다.
- [0153] 제 1 대기 기간(WAT1)은, 앞서 설명한 초기화 기간(INT)과 마찬가지로, 영상 신호 펄스(PP)의 통과를 기다릴 필요가 있고, 그런 의미에서 "대기 기간"이라고 칭하고 있다. 그러나, 시간(T_7 내지 T_{10})이라는 비교적 길은 대기 기간은, 게이트 전압(V_g)의 상승을 허용하여 버리고, 또한, 상기한 바와 같이 게이트 소스 사이 전압(V_{gs})의 임계치 전압(V_{th})으로의 수속이 진행되지 않는다.
- [0154] 도 6(E)에서는, 제 1 대기 기간(WAT1) 중에 있어서의 게이트 전압(V_g)의 상승분을 " V_{a1} "로 나타내고 있다. 또한, 결합 용량(보존 커패시터(C_s))을 통한, 이 게이트 전압(V_g)의 상승을 부트스트랩 동작에 의해 야기하는 원인이 되는 소스 전위(V_s)의 상승분도 " V_{a1} "로서 같다고 하면, 소스 전위(V_s)는 제 1 대기 기간(WAT1)의 종료시점(시간(T_{10}))에서 " $V_o-V_{x1}+V_{a1}$ "이 된다(도 8(B) 참조).
- [0155] 이 때문에, 게이트 전위를, 초기화 레벨인 데이터 기준 전위(V_o)로 되돌림과 함께 임계치 전압 보정을 재차 행할 필요가 있다.
- [0156] [제 2 임계치 보정 기간(VTC2)]
- [0157] 그래서 본 실시 형태의 동작예에서는, 다음의 1수평 기간(1H)(시간(T_{10} 내지 T_{15}))에서, 전의 1수평 기간(1H)(시간(T_5 내지 T_{10}))에서 행한 제 1 임계치 보정 기간(VTC1)과 제 1 대기 기간(WAT1)과 마찬가지로의 처리, 즉, 제 2 임계치 보정 기간(VTC2)과 제 2 대기 기간(WAT2)을 실행한다.
- [0158] 단, 제 1 임계치 보정 기간(VTC1)이 시작된 시간(T_5)에서는 게이트 소스 사이 전압(V_{gs})(보존 커패시터(C_s)의 보존 전압)이 " $V_o-V_{cc_L}$ "로 비교적 큰 값이었음에 대해, 제 2 임계치 보정 기간(VTC2)이 시작되는 시간(T_{10})에서 해당 보존 전압이, 보다 작은 " V_{x1} "로 줄어들어 있다.
- [0159] 도 6(B1)에 도시하는 바와 같이 시간(T_{10})에서 샘플링 펄스(SP2)가 상승하고, 샘플링 트랜지스터(M_s)가 온하면, 구동 트랜지스터(Md)의 게이트 전압(V_g)(=" V_o+V_{a1} ")이 보다 낮은 전위(V_o)의 영상 신호선(DTL(j))에 접속된다. 이 때문에, 그 차분(V_{a1})에 상당하는 전류가 구동 트랜지스터(Md)의 게이트로부터 영상 신호선(DTL(j))에 흐르고, 도 8(C)에 도시하는 바와 같이 게이트 전압(V_g)이 데이터 기준 전위(V_o)까지 강제적으로 내려진다.
- [0160] 이 구동 트랜지스터(Md)의 게이트에서의 전위(V_{a1})의 변동은, 보존 커패시터(C_s), 및, 구동 트랜지스터(Md)의

게이트 소스 사이 기생 용량(Cgs)을 통하여 구동 트랜지스터(Md)의 소스에 입력되고, 소스 전위(Vs)가 폴 다운 된다.

[0161] 이때의 소스 전위(Vs)의 폴 다운량은, 용량 결합비(g)를 이용하여 " $g \cdot Va1$ "로 표시된다. 여기서 용량 결합비(g)는, 상기 게이트 소스 사이 기생 용량(Cgs), 보존 커패시터(Cs)와 동일 부호의 그 용량치(Cs), 유기 발광 다이오드(OLED)의 용량(Coled.)을 이용하여, $g = (Cgs + Cs) / (Cgs + Cs + Coled.)$ 로 표시된다. 따라서, 소스 전위(Vs)는, 직전의 " $Vo - Vx1 + Va1$ "로부터 " $g \cdot Va1$ "만큼 저하되고, " $Vo - Vx1 + (1 - g)Va1$ "이 된다.

[0162] 용량 결합비(g)는 정의식(定義式)으로부터 분명한 바와 같이 1보다 작은 값을 취하기 때문에, 소스 전위(Vs)의 변화량 " $g \cdot Va1$ "은, 게이트 전압(Vg)의 변화량(Va1)보다 작다.

[0163] 여기서, 구동 트랜지스터의 게이트 소스 사이 전압(Vgs) (" $Vx1 - (1 - g)Va1$ ")이 구동 트랜지스터(Md)의 임계치 전압(Vth)보다도 크면, 도 8(C)와 같이, 드레인 전류(Ids)가 흐른다. 드레인 전류(Ids)는, 구동 트랜지스터(Md)의 소스 전위(Vs)가 " $Vo - Vth$ "가 되어 구동 트랜지스터(Md)가 컷오프 하기 까지 흐르려고 한다. 그러나, 본 실시 형태의 동작예에서는, 도 6(E) 및 (F)에 도시하는 바와 같이, 게이트 소스 사이 전압(Vgs)이 " $Vx2$ "(단 $Vx2$ 는, $Vx1 > Vx2 > Vth$ 를 충족시키는 크기를 갖는다)가 되는 시간(T12)에서 샘플링 펄스(SP2)가 종료되기 때문에, 샘플링 트랜지스터(Ms)가 오프 한다. 시간(T12)에서의, 보존 커패시터(Cs)의 보존 전압은 " $Vx2$ "이다.

[0164] [제 2 대기 기간(WAT2)]

[0165] 시간(T12)부터 제 2 대기 기간(WAT2)이 시작한다.

[0166] 제 2 대기 기간(WAT2)에서는, 전회의 제 1 대기 기간(WAT1)과 마찬가지로, 샘플링 트랜지스터(Ms)가 오프 하여 게이트 전압(Vg)이 전기적으로 플로팅 상태가 되기 때문에, 소스 전위(Vs)의 상승에 따라 게이트 전압(Vg)도 상승한다(도 9(A) 참조).

[0167] 그러나, 게이트 전압(Vg)의 전위 상승 효과(부트스트랩 효과)는, 그 시작 시점의 게이트 소스 사이 전압(Vgs)이 제어 목표 " Vth "에 가깝기 때문에 그다지 크지 않고, 도 6(E) 및 도 6(F)의 시간(T12 내지 T15)에 보여지듯이, 소스 전위(Vs) 및 게이트 전압(Vg)의 전위 상승폭은 적다.

[0168] 보다 상세하게는, 도 9(A)의 제 2 대기 기간(WAT2)에서, 드레인 전류(Ids)가 흐름에 의한 소스 전위(Vs)의 상승분을 " $Va2$ "로 하면, 대기 기간 종료시(도 6의 시간(T15))에서의 소스 전위(Vs)는 " $Vo - Vx2 + Va2$ "가 된다. 이 소스 전위가 " $Va2$ "만큼 상승하는 것은, 게이트 소스 사이 기생 용량(Cgs) 및 보존 커패시터(Cs)를 통하여, 플로팅 상태의 게이트에 전달되고, 그 결과, 게이트 전압(Vg)도 같은 전위 " $Va2$ "만큼 상승한다. 단, 게이트 전압(Vg)의 전위 상승분 " $Va2$ "은, 도 6(E)에 도시하는 바와 같이, 제 1 대기 기간(WAT1)에서의 전위 상승분 " $Va1$ "보다 훨씬 작은 것이다.

[0169] [제 3 임계치 보정(VTC3)]

[0170] 시간(T15)부터 「본 동작」에 들어가고, 제 3 임계치 보정(VTC3)이 시작한다.

[0171] 제 3 임계치 보정(VTC3)(시간(T15 내지 T17))에서는, 제 2 임계치 보정 기간(VTC2)과 같이 처리를 실행한다.

[0172] 단, 제 2 임계치 보정 기간(VTC2)이 시작된 시간(T10)에서는 게이트 소스 사이 전압(Vgs)(보존 커패시터(Cs)의 보존 전압)이 " $Vx1$ "로 비교적 큰 값이었음 대해, 제 3 임계치 보정 기간(VTC3)이 시작되는 시간(T15)에서는, 더욱 작은 " $Vx2$ "로 줄어들어 있다.

[0173] 동작의 기본은 [제 2 임계치 보정 기간(VTC2)]의 반복이 되기 때문에 할애한다. [제 2 임계치 보정 기간(VTC2)]의 설명은, " $Va1$ "를 " $Va2$ "로, " $Vx1$ "를 " $Vx2$ "로 치환함에 의해, 해당 제 3 임계치 보정(VTC3)에 적용할 수 있다. 이것은 도 8(C)과 도 9(B)과의 대비로도 분명하다.

[0174] 단, 제 2 임계치 보정 기간(VTC2)과 다른 것은, 제 3 임계치 보정(VTC3)이 종료되는 시간(T17)까지는, 도 6(E) 및 도 6(F)에 도시하는 바와 같이, 구동 트랜지스터(Md)의 게이트 소스 사이 전압(Vgs)(보존 커패시터(Cs)의 보존 전압)이, 임계치 전압(Vth)과 동등하게 되는 것이다. 이 때문에, 구동 트랜지스터(Md)는, 게이트 소스 사이 전압(Vgs)이 임계치 전압(Vth)과 동등하게 된 곳에서 컷오프 하여, 그 이후, 드레인 전류(Ids)가 흐르지 않게 된다. 이때의 구동 트랜지스터(Md)의 소스 전위(Vs)는 " $Vo - Vth$ "이다.

[0175] 이상과 같이 대기 기간을 사이에 끼운 복수 회(본 예에서는 3회)에 걸치는 임계치 전압 보정에 의해, 보존 커패시터(Cs)의 보존 전압은, 이것이 일정하게 되는 대기 기간을 사이에 끼우고 스텝형상으로 수축하고, 최종적으로

는 임계치 전압(V_{th})이 된다.

- [0176] 여기서 가령, 구동 트랜지스터의 게이트 소스 사이 전압이 " V_{in} "만큼 커졌다고 하면, 게이트 소스 사이 전압은 " $V_{in}+V_{th}$ "가 된다. 또한, 임계치 전압(V_{th})이 큰 구동 트랜지스터와, 이것이 작은 구동 트랜지스터를 생각한다.
- [0177] 전자의 임계치 전압(V_{th})이 큰 구동 트랜지스터는, 임계치 전압(V_{th})이 큰만큼 게이트 소스 사이 전압이 크고, 역으로 임계치 전압(V_{th})이 작은 구동 트랜지스터는, 임계치 전압(V_{th})이 작기 때문에 게이트 소스 사이 전압이 작아진다. 따라서, 임계치 전압(V_{th})에 관해서 말하면, 임계치 전압 보정 동작에 의해, 그 편차를 캔슬하여, 같은 데이터 전압(V_{in})이라면 같은 드레인 전류(I_{ds})를 구동 트랜지스터에 흘릴 수 있다.
- [0178] 또한, 3회에 걸치는 임계치 보정 기간, 즉, 제 1 임계치 보정 기간($VTC1$), 제 2 임계치 보정 기간($VTC2$) 및 제 3 임계치 보정($VTC3$)에서는, 드레인 전류(I_{ds})가 오로지 보존 커패시터(C_s)의 한쪽 전극측, 유기 발광 다이오드(OLED)의 용량($Coled$)의 한쪽 전극측에 유입하는 것에만 소비되고, 유기 발광 다이오드(OLED)가 온 하지 않도록 할 필요가 있다. 유기 발광 다이오드(OLED)의 애노드 전압을 " V_{oled} ", 그 임계치 전압을 " V_{th_oled} ", 그 캐소드 전위를 " V_{cath} "로 표기하면, 유기 발광 다이오드(OLED)를 오프 상태로 유지하는 조건은, " $V_{oled} \leq V_{cath}+V_{th_oled}$."가 항상 성립되는 것이다.
- [0179] 여기서 유기 발광 다이오드(OLED)의 캐소드 전위(V_{cath})를 저전위(V_{cc_L})(예를 들면 접지 전압(GND))로 일정하게 한 경우, 임계치 전압(V_{th_oled})이 매우 큰 때는, 이 식을 항상 성립시키는 것도 가능하다. 그러나, 임계치 전압(V_{th_oled})은 유기 발광 다이오드(OLED)의 제작 조건으로 정해지고, 또한, 저전압에서 효율적인 발광을 위해서는 임계치 전압(V_{th_oled})을 그다지 크게 할 수가 없다. 따라서, 바람직하게는, 3번의 임계치 보정 기간, 및, 다음에 기술하는 이동도 보정 기간이 종료될 때까지는, 캐소드 전위(V_{cath})를 저전위(V_{cc_L})보다 크게 설정함에 의해, 유기 발광 다이오드(OLED)를 역(逆)바이어스시켜 두면 좋다.
- [0180] [제 3 대기 기간($WAT3$)]
- [0181] 이상은 임계치 전압 보정에 관한 설명이지만, 본 동작예에서는, 계속해서 "기록&이동도 보정"를 위한 대기 기간(제 3 대기 기간($WAT3$))이 시작한다. 제 3 대기 기간($WAT3$)은, 지금까지의 임계치 전압 보정을 위한 제 1 대기 기간($WAT1$) 및 제 2 대기 기간($WAT2$)과는 달리, 단지, 그 후에 행하는 "기록&이동도 보정"시에, 영상 신호(S_{sig})의 전위 변화의 불안정한 개소를 잘못하여 샘플링하지 않도록 대기하는 짧은 대기 기간이다.
- [0182] 도 6(B1)에 도시하는 바와 같이, 시간($T17$)에서 샘플링 펄스($SP3$)가 "H"레벨에서 "L"레벨로 천이하면, 이곳부터 제 3 대기 기간($WAT3$)이 시작한다.
- [0183] 제 3 대기 기간($WAT3$)에서는, 그 도중의 시간($T18$)에서, 도 6(A)에 도시하는 바와 같이, 해당 화소 회로($3(1,j)$)에서 표시하여야 할 데이터 전위(V_{sig})를 갖는 영상 신호 펄스(PPx)가, 영상 신호(S_{sig})로서 영상 신호선($DTL(j)$)에 공급된다(도 11(A) 참조). 영상 신호(S_{sig})에 있어서, 데이터 전위(V_{sig})와 데이터 기준 전위(V_o)의 차분이, 해당 화소 회로에서 표시하여야 할 계조치에 대응하는 데이터 전압(V_{in})에 상당한다. 즉, 데이터 전위(V_{sig})는 " V_o+V_{in} "와 같다.
- [0184] 시간($T18$)에서 행하여진 전위 변화로부터 시간이 경과하여, 영상 신호(S_{sig})가 데이터 전위(V_{sig})로 안정된 시간($T19$)에서, 해당 제 3 대기 기간($WAT3$)이 종료된다.
- [0185] [기록&이동도 보정 기간($W\&\mu$)]
- [0186] 시간($T19$)부터, 기록&이동도 보정 기간($W\&\mu$)이 시작한다.
- [0187] 도 6(B1)에 도시하는 바와 같이, 본 동작시의 영상 신호 펄스(PPx)를 인가중의 시간($T19$)에서, 기록 펄스(WP)가 샘플링 트랜지스터(M_s)의 게이트에 공급된다. 그러면, 도 11(B)에 도시하는 바와 같이, 샘플링 트랜지스터(M_s)가 온 하여, 영상 신호선($DTL(j)$)의 데이터 전위(V_{sig})(= V_o+V_{in})중, 게이트 전압(V_g)(= V_o)과의 차분, 즉, 데이터 전압(V_{in})이, 구동 트랜지스터(M_d)의 게이트에 입력된다. 이 결과, 게이트 전압(V_g)이 " V_o+V_{in} "이 된다.
- [0188] 게이트 전압(V_g)이 데이터 전압(V_{in})만큼 상승하면, 이것에 연동하여 소스 전위(V_s)도 상승한다. 이때, 데이터 전압(V_{in})이 그대로 소스 전위(V_s)에 전달되는 것은 아니고, 전술한 용량 결합비(g)에 응한 비율의 변화분, 즉, " $g*V_{in}$ "만큼 소스 전위(V_s)가 상승한다. 따라서, 변화 후의 소스 전위(V_s)는, " $V_o-V_{th}+g*V_{in}$ "이 된다. 그 결과, 구동 트랜지스터(M_d)의 게이트 소스 사이 전압(V_{gs})은, " $(1-g)V_{in}+V_{th}$ "가 된다.
- [0189] 여기서, 이동도(μ)에 의한 편차에 관해 설명한다.

- [0190] 지금까지의 3번의 임계치 전압 보정으로, 사실은, 드레인 전류(I_{ds})를 흘릴 때마다 이동도(μ)에 의한 오차가 포함되어 있었지만, 임계치 전압(V_{th})의 편차가 크기 때문에 이동도(μ)에 의한 오차 성분을 엄밀하게 논의하지 않았다. 이때 용량 결합비(g)를 이용하지 않고, 단지 결과만을 나타내는 전압을 새롭게 "Va1"나 "Va2"에 의해 표기하여 설명한 것은, 이동도의 편차를 설명함에 의한 번잡함을 회피하기 위해서다.
- [0191] 한편, 이미 설명한 것이지만, 엄밀하게 임계치 전압 보정이 행하여진 후는, 그때 보존 커패시터(C_s)에 임계치 전압(V_{th})이 보존되어 있기 때문에, 그 후, 구동 트랜지스터(M_d)를 온 시키면, 임계치 전압(V_{th})의 대소에 의해 드레인 전류(I_{ds})가 변동하지 않는다. 그 때문에, 이 임계치 전압 보정 후의 구동 트랜지스터(M_d)의 도통으로, 가령, 해당 도통시의 구동 전류(I_d)에 의해 보존 커패시터(C_s)의 보존 전압(게이트 소스 사이 전압(V_{gs}))의 값에 변동이 생겼다고 하면, 그 변동량(ΔV)(정 또는 부의 극성을 취하는 것이 가능)은, 구동 트랜지스터(M_d)의 이동도(μ)의 편차, 보다 엄밀하게는, 반도체 재료의 물성 파라미터인 순수한 의미에서의 이동도 외에, 트랜지스터의 구조상 또는 제조 프로세스상에서 전류 구동력에 영향을 주는 요인의 종합적인 편차를 반영하는 것이 된다.
- [0192] 이상의 것에 입각하여서 설명을 되돌리면, 도 11(B)에서, 샘플링 트랜지스터(M_s)가 온 하여 게이트 전압(V_g)에 데이터 전압(V_{in})이 더해진 때에, 구동 트랜지스터(M_d)는, 그 데이터 전압(V_{in})(계조치)에 따른 크기의 드레인 전류(I_{ds})를 소스-드레인 사이에 흘려지게 한다. 이때 드레인 전류(I_{ds})가 이동도(μ)에 따라 흐트러지고, 그 결과, 소스 전위(V_s)는, " $V_o - V_{th} + g * V_{in}$ "에 상기 이동도(μ)에 의한 변동량(ΔV)을 더한 " $V_o - V_{th} + g * V_{in} + \Delta V$ "가 된다.
- [0193] 이때 유기 발광 다이오드(OLED)를 발광시키지 않기 위해서는, " $V_s (= V_o - V_{th} + g * V_{in} + \Delta V) < V_{th_oled} + V_{cath}$ "가 충족되도록, 데이터 전압(V_{in})이나 용량 결합비(g) 등에 따른 캐소드 전위(V_{cath})를 미리 설정하면 좋다.
- [0194] 이 설정을 미리 행하고 있으면, 유기 발광 다이오드(OLED)는 역바이어스되어, 하이 임피던스 상태에 있기 때문에 발광하는 일은 없고, 또한, 다이오드 특성이 아니라 단순한 용량 특성을 나타내게 된다.
- [0195] 이때 상기 조건식이 충족되어 있는 한, 소스 전위(V_s)가, 유기 발광 다이오드(OLED)의 임계치 전압(V_{th_oled})과 캐소드 전위(V_{cath})와의 합을 넘지 않기 때문에, 드레인 전류(I_{ds})(구동 전류(I_d))는 보존 커패시터(C_s)의 용량치(같은 부호 C_s 로 표기)와 유기 발광 다이오드(OLED)의 역바이어스시 등가 용량의 용량치(기생 용량과 같은 부호 C_{oled} 로 표기)와 구동 트랜지스터(M_d)의 게이트 소스 사이에 존재하는 기생 용량(C_g 로 표기)을 가산한 용량 " $C = C_s + C_{oled} + C_g$ "를 충전하기 위해 사용된다. 이에 의해, 구동 트랜지스터(M_d)의 소스 전위(V_s)는 상승하여 간다. 이때, 구동 트랜지스터(M_d)의 임계치 보정 동작은 완료하고 있기 때문에, 구동 트랜지스터(M_d)가 흘러지는 드레인 전류(I_{ds})는 이동도(μ)를 반영한 것이 된다.
- [0196] 도 6(E) 및 도 6(F)에서 "($1-g$) $V_{in} + V_{th} - \Delta V$ "의 식에 의해 표시하고 있는 바와 같이, 보존 커패시터(C_s)로 보존되는 게이트 소스 사이 전압(V_{gs})에서는, 소스 전위(V_s)에 더해지는 변동량(ΔV)이 임계치 보정 후의 게이트 소스 사이 전압(V_{gs})=($1-g$) $V_{in} + V_{th}$ 으로부터 공제된 것이 되기 때문에, 부(負)귀환이 걸리도록 해당 변동량(ΔV)이 보존 커패시터(C_s)에 보존된다. 따라서, 이하, 변동량(ΔV)을 「부귀환량」이라고도 한다.
- [0197] 이 부귀환량(ΔV)은, 유기 발광 다이오드(OLED)에 역바이어스를 걸은 상태에서는, $\Delta V = t * I_{ds} / (C_{oled} + C_s + C_g)$ 라는 식으로 표시할 수 있다. 이 식으로부터, 변동량(ΔV)은, 드레인 전류(I_{ds})의 변동에 비례하여 변화하는 파라미터인 것을 알 수 있다.
- [0198] 상기 부귀환량(ΔV)의 식으로부터, 소스 전위(V_s)에 부가되는 부귀환량(ΔV)은, 드레인 전류(I_{ds})의 크기(이 크기는, 데이터 전압(V_{in})의 크기, 즉 계조치와 정의 상관 관계에 있다)와, 드레인 전류(I_{ds})가 흐르는 시간, 즉, 도 6(B1)에 도시하는, 이동도 보정에 필요로 하는 시간(T_{19})부터 시간(T_{20})까지의 시간(t)에 의존하고 있다. 즉, 계조치가 클수록, 또한, 시간(t)을 길게 취할수록, 부귀환량(ΔV)이 커진다.
- [0199] 따라서 이동도 보정의 시간(t)은 반드시 일정할 필요는 없고, 역으로 드레인 전류(I_{ds})(계조치)에 따라 조정하는 것이 바람직한 경우가 있다. 예를 들면, 백(白) 표시에 가깝고 드레인 전류(I_{ds})가 큰 경우, 이동도 보정의 시간(t)은 약간 짧게 하고, 역으로, 흑(黑) 표시에 가까워지고 드레인 전류(I_{ds})가 작아지면, 이동도 보정의 시간(t)을 길게 설정하면 좋다. 이 계조치에 따른 이동도 보정 시간의 자동 조정은, 그 기능을 도 5의 기록 신호 주사 회로(42) 등에 미리 마련함에 의해 실현 가능하다.
- [0200] [발광 기간(LM1)]
- [0201] 시간(T_{20})에서 기록&이동도 보정 기간($W \& \mu$)이 종료되면, 발광 기간(LM1)이 시작한다.

- [0202] 시간(T20)에서 기록 펄스(WP)가 종료되기 때문에 샘플링 트랜지스터(Ms)가 오프 하고, 구동 트랜지스터(Md)의 게이트가 전기적으로 플로팅 상태가 된다.
- [0203] 그런데, 발광 기간(LM1)보다 전의 기록 이동도 보정 기간(W&μ)에서는, 구동 트랜지스터(Md)는 데이터 전압(Vin)에 따른 드레인 전류(Ids)를 흘릴려고 하지만, 실제로 흘릴 수 있다고는 한정하지 않는다. 그 이유는, 유기 발광 다이오드(OLED)에 흐르는 전류치(Id)가 구동 트랜지스터(Md)에 흐르는 전류치(Ids)에 비하여 매우 작으면, 샘플링 트랜지스터(Ms)가 온 하고 있기 때문에, 구동 트랜지스터(Md)의 게이트 전압(Vg)이 "Vo+Vin"에 고정되고, 그곳부터 임계치 전압(Vth)분 내려간 전위("Vofs+Vin-Vth")에 소스 전위(Vs)가 수축하려고 하기 때문이다. 따라서, 이동도 보정의 시간(t)을 아무리 길게 하여도 소스 전위(Vs)는 상기 수축점을 초과하는 전위로는 될 수가 없다. 이동도 보정은, 그 수축까지의 속도의 차이로 이동도(μ)의 차이를 모니터하고, 보정하는 것이다. 이 때문에, 최대휘도의 백 표시의 데이터 전압(Vin)이 입력된 경우에도, 상기 수축이 된 전에 이동도 보정의 시간(t)의 중점이 결정된다.
- [0204] 발광 기간(LM1)이 시작하여 구동 트랜지스터(Md)의 게이트가 플로팅이 되면, 그 소스 전위(Vs)는, 다시 상승 가능하게 된다. 따라서, 구동 트랜지스터(Md)는, 입력된 데이터 전압(Vin)에 따른 구동 전류(Id)를 흘리도록 동작한다.
- [0205] 그 결과, 소스 전위(Vs)(유기 발광 다이오드(OLED)의 애노드 전위)가 상승하고, 이윽고, 유기 발광 다이오드(OLED)의 역바이어스 상태가 해소되고, 도 11(C)에 도시하는 바와 같이, 드레인 전류(Ids)가 구동 전류(Id)로서 유기 발광 다이오드(OLED)에 흐르기 시작하기 때문에, 유기 발광 다이오드(OLED)가 실제로 발광을 시작한다. 발광이 시작하고 잠시 있으면, 구동 트랜지스터(Md)는, 입력된 데이터 전압(Vin)에 따른 드레인 전류(Ids)로 포화하고, 드레인 전류(Ids)(=Id)가 일정하게 되면, 유기 발광 다이오드(OLED)가 데이터 전압(Vin)에 따른 휘도의 발광 상태가 된다.
- [0206] 발광 기간(LM1)의 시작부터 휘도가 일정하게 되기까지의 사이에 생기는 유기 발광 다이오드(OLED)의 애노드 전위의 상승은, 구동 트랜지스터(Md)의 소스 전위(Vs)의 상승과 다름없고, 이것을, 유기 발광 다이오드(OLED)의 애노드 전압(Voled.)의 상승량이라는 의미에서 "ΔVoled."라고 한다. 구동 트랜지스터(Md)의 소스 전위(Vs)는, "Vo-Vth+g*Vin+ΔV+ΔVoled."가 된다(도 6(F) 참조).
- [0207] 한편, 게이트 전압(Vg)은, 도 6(E)에 도시하는 바와 같이, 플로팅 상태이기 때문에 소스 전위(Vs)에 연동하여, 그 상승량(ΔVoled.)과 같은 만큼 상승하고, 드레인 전류(Ids)의 포화에 수반하여 소스 전위(Vs)가 포화하면, 게이트 전압(Vg)도 포화한다.
- [0208] 그 결과, 게이트 소스 사이 전압(Vgs)(보존 커패시터(Cs)의 보존 전압)에 관해, 이동도 보정시의 값("(1-g)Vin+Vth-ΔV")이, 발광 기간(LM1) 중에도 유지된다.
- [0209] 발광 기간(LM1)에서는, 구동 트랜지스터(Md)가 정전류원으로 동작하기 때문에, 유기 발광 다이오드(OLED)의 I-V특성이 경시변화하고, 이에 수반하여 구동 트랜지스터(Md)의 소스 전위(Vs)가 변화하는 일이 있다.
- [0210] 그러나, 유기 발광 다이오드(OLED)의 I-V특성이 경시변화의 유무에 관계없이, 보존 커패시터(Cs)의 보존 전압이 "(1-g)Vin+Vth-ΔV"에 유지된다. 그리고, 보존 커패시터(Cs)의 보존 전압은, 구동 트랜지스터(Md)의 임계치 전압(Vth)을 보정하는 성분(+Vth)과, 이동도(μ)에 의한 변동을 보정하는 성분(-ΔV)을 포함하기 때문에, 임계치 전압(Vth)이나 이동도(μ)가, 다른 화소 사이에서 흐트러져도 구동 트랜지스터(Md)의 드레인 전류(Ids), 즉, 유기 발광 다이오드(OLED)의 구동 전류(Id)가 일정하게 유지된다.
- [0211] 구체적으로는, 구동 트랜지스터(Md)는, 임계치 전압(Vth)이 클수록, 상기 보존 전압의 임계치 전압 보정 성분(+Vth)에 의해 소스 전위(Vs)를 내리고, 드레인 전류(Ids)(구동 전류(Id))를 보다 흐르도록 소스 드레인 사이 전압을 크게 한다. 이때문에 임계치 전압(Vth)의 변동이 있어도 드레인 전류(Ids)는 일정하게 된다.
- [0212] 또한, 구동 트랜지스터(Md)는, 이동도(μ)가 작고 상기 변동량(ΔV)이 작은 경우는, 보존 커패시터(Cs)의 보존 전압의 이동도 보정 성분(-ΔV)에 의해 해당 보존 전압의 저하량도 작아지기 때문에, 상대적으로, 큰 소스 드레인 사이 전압이 확보되고, 그 결과, 드레인 전류(Ids)(구동 전류(Id))를 보다 흐르게 하도록 동작한다. 이 때문에 이동도(μ)의 변동이 있어도 드레인 전류(Ids)는 일정하게 된다.
- [0213] 이상에 의해, 화소 사이에서 구동 트랜지스터(Md)의 임계치 전압(Vth)이나 이동도(μ)가 흐트러져도, 또한, 구동 트랜지스터(Md)의 특성이 경시변화하여도, 데이터 전압(Vin)이 같은 한, 유기 발광 다이오드(OLED)의 발광 휘도도 일정하게 유지된다.

- [0214] <색에 대한 화소 회로의 상위>
- [0215] 다음에, 이상의 화소 회로의 구성 및 동작을 전제로 하여, 본 실시 형태의 표시 장치의 특징, 즉, 색에 대한 화소 회로의 상위에 관해 설명한다.
- [0216] 유기 발광 다이오드(OLED)의 유기막을 구성하는 유기 재료에서 발광색이 다르기 때문에, 지금까지의 설명과 같이 화소의 등가 회로로서는 동일하여도, 실제로는, 인접 화소에서 재료를 포함하면 구성상의 차이가 있다.
- [0217] 이 때문에 동일 행이 연속하는 $N(N \geq 3)$ 개의 화소로 화소 유닛이 구성되고, 화소 유닛을 단위로 하여 보면, 구성이 같아진다. RGB의 3원색 표시의 경우, 3원색 각각의 발광 휘도의 비율로 임의의 1색이 표시되고, $N=3$ 이다. 이하, $N=3$ 의 RGB의 3원색 표시를 전제로 한다.
- [0218] 이와 같이 화소 유닛은 임의의 1색을 표시하기 위해, 화소 어레이 내에서 같은 구성을 갖는 최소의 단위이다. 본 실시 형태에서는, 「화소 유닛 내에서, 특정색의 화소에 있어서, 구동 트랜지스터, 보존 커패시터 및 발광 소자를 포함하는 화소 회로 요소의 조가, 다른 색의 화소의 조보다 많은 수로 2조 이상 마련되어 있다」는 특징이 있다. 이하, 1화소 내의 「조」의 수를 「조수」라고 한다. 또한, 「특정색」에 관한 상세는 후술한다.
- [0219] 여기서 화소 회로 요소의 「조」는, 상기한 바와 같이, 「화소 회로 요소」로서, 구동 트랜지스터(Md), 보존 커패시터(Cs) 및 발광 소자(본 실시 형태에서는 유기 발광 다이오드(OLED))를 최저라도 포함하는 것이다. 이 「조」에 관한 요건을 충족시키는 한, 화소 회로는, 전술한 <화소 회로(1)>, <화소 회로(2)>, <화소 회로(3)>, 나아가서는, 4T·1C형, 4T·2C형, 5T·1C형, 3T·1C형 등, 2T·1C형 이외라도 좋다.
- [0220] 단, 모든 트랜지스터(TFT)가 대면화 하기 쉬운 N채널형의 어모퍼스 실리콘 TFT인, 회로 구성이 단순한, 및, 임계치 전압(V_{th}) 및 이동도(μ)의 보정의 구조가 화소 회로에 미리 임플리먼트되어 있는 등의 여러 가지의 이점을 갖기 때문에 <화소 회로(3)>, 즉 도 5의 화소 회로 구성이 가장 바람직하다. 이하, 도 5의 화소 회로를 전제로 하여 설명을 계속한다.
- [0221] 본 실시 형태에 있어서 「특정색」은, 「멸점이 되기 쉬운 특정색」과, 「비시감도가 가장 높은 특정색」의 2가지의 어느 하나이다.
- [0222] 「멸점이 되기 쉬운 특정색」에 관해서는, 통계적으로 색과 멸점의 발생률을 조사하면, 어느 색에서 멸점이 될 확률이 다른 색보다 높은 경우가 있고, 그 경우, 멸점이 될 확률이 높은 색을 「특정색」으로 한다.
- [0223] 본 발명자의 조사에 의하면, 멸점 결함, 또는, 멸점까지는 되지 않지만 휘도가 소망하는 값까지 얻어지지 않는(이하, 반멸점(半滅点)이라고 칭한다) 결함의 발생 양태로서는, 유기 발광 다이오드(OLED)의 형성 공정에서, 그 애노드와 캐소드에 흘러지는 전류가 단선에 의해 끊어지는 경우, 단선에 이르지 않아도 배선의 일부나 콘택트가 고저항화 하는 경우, 나아가서는, 더스트에 의해 애노드와 캐소드 사이에 쇼트 회로가 형성되어, 해당 쇼트 회로에 유기 발광 다이오드(OLED)의 구동 전류가 흘러서 소비되기 때문에, 유기 발광 다이오드(OLED)에 구동 전류가 흐르지 않는, 또는, 흐르지만 전류량이 부족한 경우가 있는 것을 알았다.
- [0224] 그리고, 본 발명자의 조사에서는, 쇼트 회로에 의한 멸점 또는 반멸점의 발생이 가장 많은 결함 발생 양태였다.
- [0225] 도 12에, 더스트에 의해 유기 발광 다이오드(OLED)의 애노드와 캐소드 사이에 쇼트 회로가 형성된 경우의, 화소 회로(3(i, j))의 등가 회로를 도시한다.
- [0226] 유기 발광 다이오드(OLED)의 유기 다층막의 형성시에 더스트가 부착하면, 유기 발광 다이오드(OLED)의 애노드와 캐소드 사이가, 도전성의 더스트, 또는, 더스트에 의한 패턴 결함에 의해 저항(R)을 통하여 이어진 쇼트 회로에 의해 전기적으로 접속되어 버린다. 이 경우, 구동 트랜지스터(Md)를 흐르는 드레인 전류(I_{ds})가, 유기 발광 다이오드(OLED)를 흐르는 구동 전류(I_d)와, 저항(R)을 흐르는 전류(I_r)로 분기된다. 전술한 바와 같이 드레인 전류(I_{ds})는 영상 신호선(DTL(j))으로부터 미리 입력되는 데이터 전압에 따른 일정 전류이지만, 저항(R)을 흐르는 전류(I_r)가 생기면, 그만큼, 구동 전류(I_d)가 감소하여 유기 발광 다이오드(OLED)의 발광 휘도가 저하된다(반멸점 결함).
- [0227] 저항(R)이 크면 반멸점 결함은 눈에 띄지 않지만, 저항(R)이 작아질수록 전류(I_r)가 증가하고, 그만큼 구동 전류(I_d)가 감소하기 때문에 반멸점 결함이 눈에 띄게 된다. 그리고, 저항이 어느 정도 작아지면 유기 발광 다이오드(OLED)에 전혀 구동 전류(I_d)가 흐르지 않게 되어, 멸점 결함이 발생한다.
- [0228] 어느 크기의 더스트가 부착하여, 이것이 원인으로 유기 발광 다이오드(OLED)의 애노드와 캐소드가 저항(R)을 통하고 전기적으로 쇼트하는 경우, 더스트가 클수록 쇼트할 확률이 증가하고, 또한, 쇼트 회로의 저항(R)도 더스

트가 클수록 작아지는 경향이 있다. 이것은 유기 다층막이 더스트 주위에서 일부 형성되지 않게 되기 때문에, 그 부분에서, 애노드 메탈과 캐소드 메탈 사이가 직접 접촉하고, 또는, 직접 접촉하지 않더라도 전계 집중이 발생하고, 그 부분에서의 리크 전류가 증가하는 것에 기인한다고 생각된다. 본 발명자의 조사에서는, 유기 발광 다이오드(OLED)의 유기 다층막이 상대적으로 얇은 색의 화소에서, 멸점 결함이나 반멸점 결함이 생기기 쉽다는 개략적인 경향이 있다. 이것은, 상기 결함 발생의 이유가 올바른 것을 뒷받침하는 것이다.

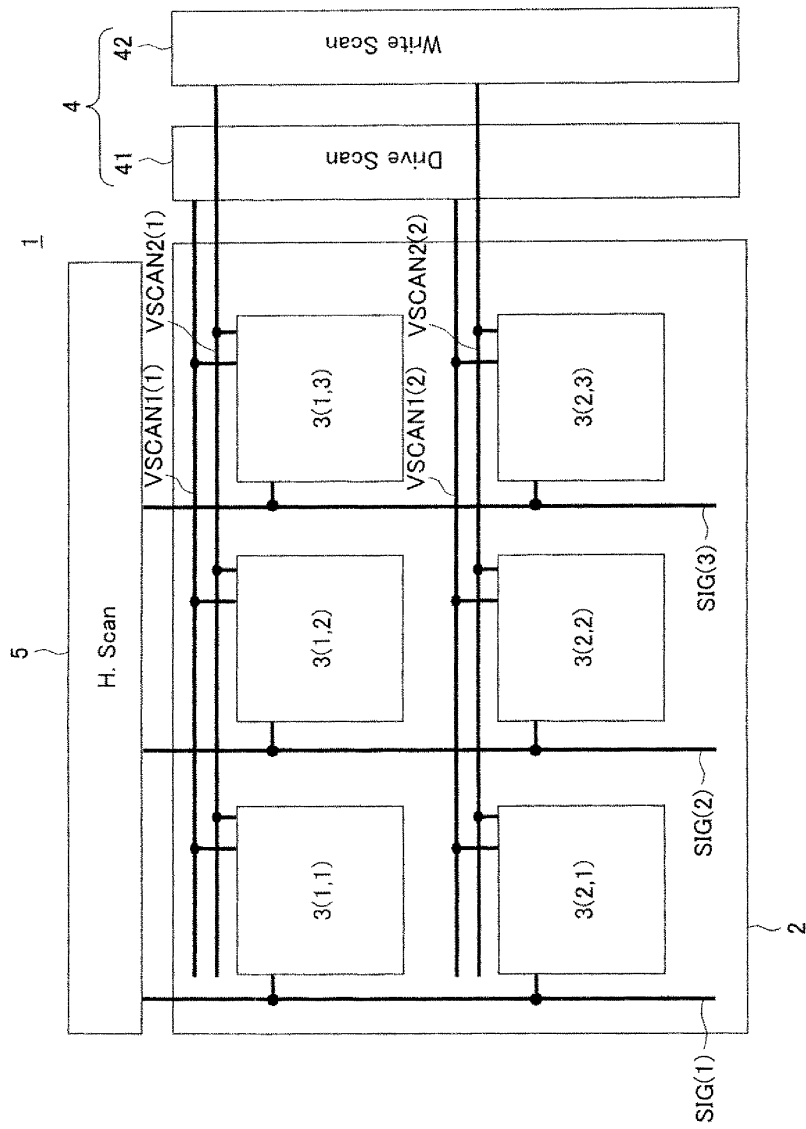
- [0229] 이와 같은 경우, 본 실시 형태에서는, 화소 유닛 내에서, 유기 발광 다이오드(OLED)로 복수의 유기 박막으로 이루어지는 유기 다층막의 총 막두께가 가장 작은 색의 화소를, 「멸점이 되기 쉬운 특정색」의 화소로 하여도 좋다.
- [0230] RGB의 3원색 표시의 경우, 어느 색이 유기 다층막의 총 막두께가 가장 작은지는, 이용하는 막의 재질, 막 구조 등에 의해 다르다. 또한, 반사광 성분을 이용하여 출사광을 증강하는 광증강 구조로 하는지의 여부에 의해서도 총 막두께가 다르다. 이 때문에 어느 색의 총 막두께가 가장 작은지는 한 마디로는 말할 수 없지만, RGB의 3원색 표시의 경우, 일반적인 경향으로서, 청색(B)에서 다른 색보다 총 막두께가 작다.
- [0231] 한편, 「비시감도가 가장 높은 특정색」은, 멸점 결함이나 반멸점 결함이 발생한 경우의 영향이 높은지의 여부에 따른 색의 결정 방법을 나타내는 표현이다.
- [0232] 구체적으로 인간의 눈은, RGB 3원색의 각 색에 관해 동일한 감도를 갖는 것은 아니고, 색마다 감도(시감도)가 다르다. 비시감도는, 최대 시감도를 나타내는 파장(명소에서는 555[nm], 암소에서는 507[nm])에서의 시감도(단위: lm/W)에 대한 각 파장의 시감도의 비율을 나타내는 정규화된 파라미터이다.
- [0233] RGB의 경우, 녹색(G)의 비시감도가 가장 높다. 또한, 청색(B)에 관해서는, 일본인의 비시감도보다 구미인의 비시감도가 상대적으로 높다고 된다.
- [0234] 따라서 어느 색을 표시하는 화면의 하나의 화소 유닛 내에서 하나의 화소에 멸점 결함이 발생한 경우, 그 화소가 녹색(G)인 경우는 결함이 눈에 띄기 쉽고, 그 밖의 색(적(R)이나 청(B))인 경우는, 녹색(G)의 경우보다 눈에 띄기 어렵다. 이때문에 RGB의 3원색 표시의 경우, 「비시감도가 가장 높은 특정색」이란 녹색(G)이라고 하여도 무방하다.
- [0235] 도 13(A)에, 「멸점이 되기 쉬운 특정색」의 한 예로서, 유기 다층막의 총 막두께가 가장 작은 청색(B)의 화소 내의 「조수」를, 다른 색의 화소 내의 「조수」보다 많게 한 경우에 관해, 1화소 유닛분의 등가 회로도를 도시한다. 또한, 도 13(B)에, 「비시감도가 가장 높은 특정색」의 한 예로서, 녹색(G)의 화소 내의 「조」수, 다른 색의 화소 내의 「조」수보다 많게 한 경우에 관해, 1화소 유닛 부분의 등가 회로도를 도시한다.
- [0236] 도 13에서는, 보다 많은 「조수」를 2로 하고 있지만, 이 수는, 보다 적은 「조수」1보다 크면 좋고, 2 이상의 임의이다.
- [0237] 또한, 「조」에는, 여기서는 샘플링 트랜지스터(Ms)를 포함하지 않지만, 포함하여도 좋다.
- [0238] 도 13(A)의 경우를 예로 하여, 도 14(A)에 화소 회로의 주(主)영역 구분과, 도 14(B)에 주영역 구분보다 상층의 주로 유기 발광 다이오드(OLED)의 배치 영역 구분을 도시한다. 이와 같이, 화소 회로의 요소(트랜지스터, 커패시터 및 유기 발광 다이오드)가 전부 같은 구분에 배치되지 않더라도 좋다. 이 도시한 예에서는, 도 14(B)에 도시하는 유기 발광 다이오드(OLED)의 배치 구분은 RGB에서 거의 같은 면적이지만, 도 14(A)에 도시하는 트랜지스터나 커패시터의 배치 구분이, 「조수」를 2로 한 청색(B)화소만 다른 2색보다 크게 되어 있다.
- [0239] 이와 같이 배치 구분을 소자 회로 요소로 나누면, 「조수」를 많게 함에 의해 소자 회로 요소의 배치 스페이스 확보가 하기 쉬워진다는 이점이 있다.
- [0240] <평면 및 단면의 구조예>
- [0241] 여기서, 화소 회로의 평면 패턴이나 단면 구조에 관해, 도면을 참조하면서 설명한다. 또한, 여기서의 설명에서는, 「조수」가 1인, 예를 들면 적(R) 화소에 관해 설명하기 때문에, 도면을 보기 쉽게 하기 위해 배치 영역 가 득히 화소 회로 요소를 배치하고 있지만, 조수를 많게 하는 경우에는, 배치 영역이 넓어지는 등의 대책에 의해 배치 스페이스의 확보를 행한다.
- [0242] 도 15(A)와 도 15(B)는, 제 i 행, 제 j 열의 화소 회로(3(i,j))에 관한 평면 패턴을 도시하는 것이다. 도 15(B)는, 최상층의 캐소드 전극(전면(全面) 형성)을 생략한 평면도, 도 15(A)는, 최상층의 캐소드 전극(전면 형성)을 포함하는 유기 발광 다이오드(OLED)의 전극이나 유기 다층막을 생략한 제조 도중의 평면도이다.

- [0243] 또한, 도 16(A)는, 도 15(A)의 A-A선의 개략 단면도, 도 16(B)은, 도 15(A)와 도 15(B)의 B-B선의 개략 단면도이다.
- [0244] 도 16(A) 및 도 16(B)에서, 도시하지 않은 유리 등으로 이루어지는 기판상에 직접 또는 다른 막을 통하여 하지층(10)(절연층의 일종)이 형성되어 있다.
- [0245] 도 16(B)에 도시하는 단면에 있어서, 하지층(10)의 위에 소정의 게이트 메탈층(GM), 예를 들면 폴리브덴(Mo) 등의 고용점 금속층으로 이루어지는 게이트 전극(11A)이 형성되어 있다. 도 16(B)의 단면은, 도 5 등의 구동 트랜지스터(Md)의 형성 개소를 도시하고 있는데, 도 15(A)에 도시하는 바와 같이, 샘플링 트랜지스터(Ms)의 형성 개소에도, 크기가 약간 다른 게이트 전극(11D)이 마찬가지로 형성되어 있다.
- [0246] 한편, 도 16(A)에 도시하는 단면에 있어서, 게이트 전극(11A)과 같은 계층에서 같은 재질의 게이트 메탈층(GM)으로 이루어지는 제 1 고용점 금속 배선층(11B) 및 제 2 고용점 금속 배선층(11C)이, 하지층(10)상에 형성되어 있다. 제 1 고용점 금속 배선층(11B)과 제 2 고용점 금속 배선층(11C)은, 도 15(A)에 도시하는 바와 같이, 화소 내에서는 이간하여 있지만, 인접 화소 사이에서는 연속하고 있다. 즉, 도 15(A)에 도시하는 제 1 고용점 금속 배선층(11B)은, 열방향의 한쪽(도 15(A)보다 하방)에 연속하는 다른 도시하지 않은 화소에서의 제 2 고용점 금속 배선층(11C)(부도시)과 패턴으로서 이어져 있다. 마찬가지로, 도 15(A)에 도시하는 제 2 고용점 금속 배선층(11C)은, 열방향의 다른 한쪽(도 15(A)보다 상방)에 연속하는 다른 도시하지 않은 화소의 제 1 고용점 금속 배선층(11B)(부도시)과 패턴으로서 이어져 있다.
- [0247] 게이트 전극(11A)의 표면(도 16(B)), 제 1 고용점 금속 배선층(11B) 및 제 2 고용점 금속 배선층(11C)의 표면(도 16(A))을 덮도록, 하지층(10)상의 전면(全面)에, 게이트 절연막(12)이 형성되어 있다.
- [0248] 도 16(B)에 도시하는 단면에 있어서, 게이트 절연막(12)상에는, 예를 들면 어모퍼스 실리콘(P채널형 TFT)의 경우, 폴리실리콘이라도 가능)으로 이루어지는, 구동 트랜지스터(Md)의 TFT층(13A)이 형성되어 있다. 도 15(A)에 도시하는 바와 같이, 사이즈가 다르지만 샘플링 트랜지스터(Ms)의 TFT층(13B)이, 마찬가지로 형성되어 있다. 도 16(B)의 TFT층(13A)에는, 역도전형의 불순물이 도입되어 서로 분리한 소스(S)와 드레인(D)의 각 영역이 형성되어 있다. 이것은 TFT층(13B)에서도 마찬가지이다.
- [0249] 게이트 절연막(12)에는, 도 16(A)의 단면에 있어서, 제 1 고용점 금속 배선층(11B)의 단부상에서 콘택트 홀(12A)이 형성되어 있다. 마찬가지로, 제 2 고용점 금속 배선층(11C)의 단부상에서 콘택트 홀(12C)이 게이트 절연막(12)에 형성되어 있다.
- [0250] 각 배선 접속부에 1개씩, 합계 2개의 콘택트 홀(12A와 12B)은, 고용점 금속 배선층과 그 위의 상층 배선층을 접속하는 제 1 콘택트 홀(1CH)이다.
- [0251] 구체적으로는, 제 1 고용점 금속 배선층(11B)의 단부가, 콘택트 홀(12A)을 통하여, 게이트 절연막(12) 위에 마련되고, 예를 들면 알루미늄(AL)으로 이루어지는 상층 배선층(14B)의 한쪽 단부에 접속되어 있다. 또한, 제 2 고용점 금속 배선층(11C)의 단부가, 콘택트 홀(12C)를 통하여, 게이트 절연막(12)상에 마련되어 있는 상기 상층 배선층(14B)의 또 한쪽의 단부에 접속되어 있다.
- [0252] 제 1 고용점 금속 배선층(11B)의 상방에, 게이트 절연막(12)을 통하여 절연되고, 또한, 상층 배선층(14B)과 패턴으로 분리된 고전위(V_{cc_H})의 공급선(이하, 전원 전압 공급선(VDDL)으로 표기)이 마련되어 있다. 전원 전압 공급선(VDDL)은, 도 5에서 수평 화소 라인 구동 회로(41)에 접속되고, 구동 트랜지스터(Md)의 드레인에 대해, 고전위(V_{cc_H})와 저전위(V_{cc_L})를 교대로 인가하는 배선이다. 이 때문에, 도 15(A)에 도시하는 바와 같이, 전원 전압 공급선(VDDL)의 분기선(동일 부호 VDDL로 표기)이, TFT층(13A)의 드레인(D)이 되는 영역에 전기적으로 저저항으로 접촉하고 있다. 한편, 구동 트랜지스터(Md)의 소스(S)가 되는 영역에 대해서는, 전원 전압 공급선(VDDL)과 같은 계층에서 같은 재질(알루미늄(AL))로 이루어지는 보존 커패시터(Cs)의 상부 전극층(14D)이 전기적으로 접촉하고 있다. 상부 전극층(14D)은, 도 15(A)에 도시하는 바와 같이, 게이트 전극(11A)으로부터 연속하는 보존 커패시터(Cs)의 하부 전극층과 패턴상에서 겹쳐져 있고, 이 부분에서 MIS(Metal-Insulator-Semiconductor) 구조의 보존 커패시터(Cs)가 형성되어 있다.
- [0253] 도 16(B)에서, 제 2 고용점 금속 배선층(11C)의 상방에, 게이트 절연막(12)을 통하여 절연되고, 또한, 상층 배선층(14B)과 패턴으로 분리된 샘플링 트랜지스터(Ms)의 제어선(SAML)이 마련되어 있다. 제어선(SAML)은, 도 5에서 기록 신호 주사 회로(42)에 접속되고, 샘플링 트랜지스터(Ms)의 게이트에 대해, 기록 구동 펄스(WS(i))를 인가하는 배선이다. 이 때문에, 도 15(A)에 도시하는 바와 같이, 1st 콘택트 홀(1HC) ; 콘택트 홀(12E)을 통하여,

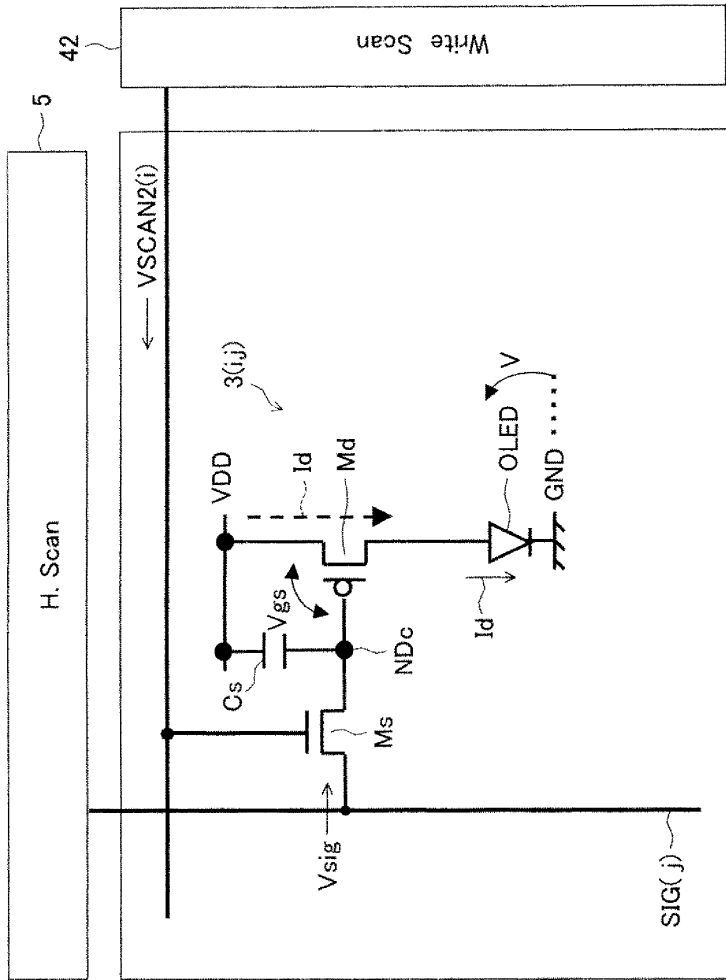
제어선(SAML)이, 하층의 샘플링 트랜지스터(Ms)의 게이트 전극(11D)과 접속되어 있다.

- [0254] 제어선(SAML)은, 전원 전압 공급선(VDDL)과 평행하게 행방향으로 길게 배선되어 있다. 영상 신호선(DTL(j))은, 제어선(SAML)과의 교차부분에서, 제 2 고용점 금속 배선층(11C)을 하방 가교로 하는 구조(본 명세서에서는 "하방 브리지 구조"라고 칭한다)를 갖는다. 마찬가지로, 영상 신호선(DTL(j))은, 전원 전압 공급선(VDDL)과의 교차부분에서, 제 1 고용점 금속 배선층(11B)을 하방 가교로 하는 구조(하방 브리지 구조)를 갖는다.
- [0255] 또한, 샘플링 트랜지스터(Ms)의 TFT층(13B)의 드레인층에 상층 배선층(14B)이 패턴 상에서 접속되고, 소스층에, 알루미늄(AL)으로 이루어지고, 도 5의 구동 트랜지스터(Md)의 제어 노드(NDc)의 일부를 구성하는 셀 내 배선(14E)이 접속되어 있다. 셀 내 배선(14E)은, 1st 콘택트 홀(1HC) ; 콘택트 홀(12F)을 통하여, 하층의 보존 커패시터(Cs)의 하부 전극층과 전기적으로 접속되어 있다.
- [0256] 이와 같이 형성된 알루미늄(AL)의 각종 배선, 즉, 전원 전압 공급선(VDDL), 제어선(SAML), 상층 배선층(14B), 상부 전극층(14D), 및, 셀 내 배선(14E)을 매입하고, 이들의 단차를 평탄화하기 위한 평탄화막(15)이 전면에 형성되어 있다(도 16(B) 참조).
- [0257] 도 16(B)의 단면에 도시하는 바와 같이, 상부 전극층(14D)상의 평탄화막(15) 부분에, 평탄화막(15)에 형성된 2nd 콘택트 홀(2HC)을 도전 재료로 매입한 애노드 콘택트(15A)가 형성되어 있다.
- [0258] 그리고, 평탄화막(15)상에 형성되고, 애노드 콘택트(15A)의 단면에 접촉하는 애노드 전극(AE), 애노드 전극(AE)상에 형성되고, 애노드 전극(AE)보다 한결 작은 개구부(16A)를 갖는 보호막(16), 또한 그 위를 덮는 유기 다층막(OML), 및, 화소 점유 면적의 전면에 블랭킹형상으로 형성된 캐소드 전극(CE)이, 이 순서로 퇴적되고, 이에 의해 유기 발광 다이오드(OLED)가 형성되어 있다.
- [0259] 이상의 실시 형태에 의하면, 각 화소 유닛에 있어서, 가장 멀점이 되기 쉬운 색의 화소만, 또는, 비시감도가 가장 높은 색의 화소만, 구동 트랜지스터, 보존 커패시터, 유기 발광 다이오드를 각각 이 갖는 조를 복수 마련하는 구성으로 함으로써 멀점이 되기 쉬운 복(複)화소를 멀점으로 하지 않는, 또는, 멀점이 되어도 눈에 띄지 않게 할 수 있다. 그 결과, 수율을 향상시킬 수 있다.
- [0260] 또한, 화소 회로 요소의 배치 구분(계층)을, 조내(組內)의 모든 요소(트랜지스터, 커패시터, 유기 발광 다이오드)에서 공통으로 하지 않고서, 가장 배치 효율이 좋도록, 예를 들면 유기 발광 다이오드를 형성한 계층에서는, 그 밖의 소자를 형성한 계층보다, 조수가 다르고 화소 사이에서, 그 면적비를 작게 한다. 이에 의해, 배치 효율이 향상함과 함께, 배선의 라인과 스페이스를 적성화(適性化)하여, 라인 사이 쇼트에 의해 수율 저하를 방지할 수 있다는 이익을 얻을 수 있다.

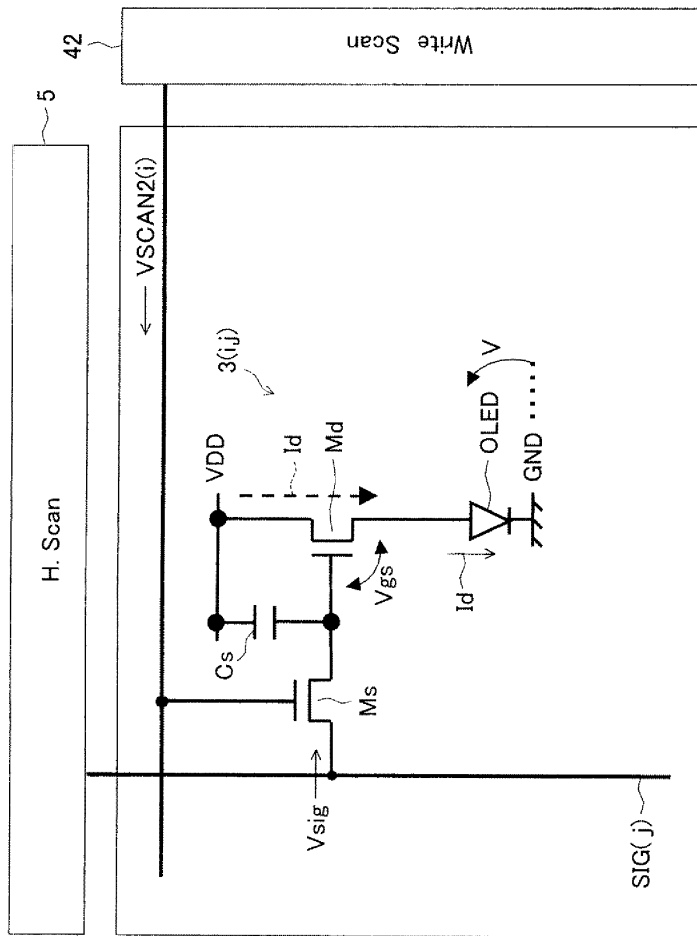
도면
도면1



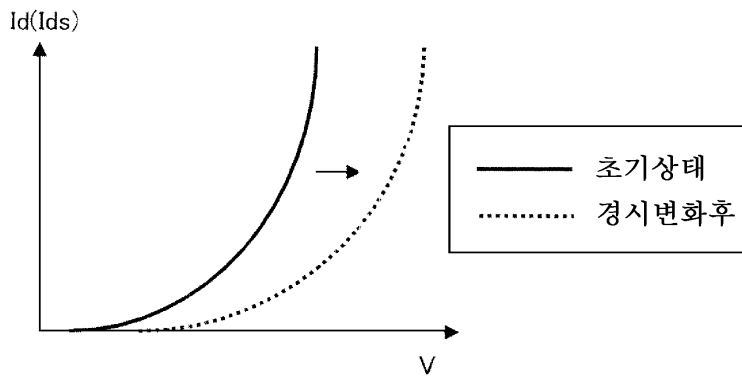
도면2



도면3

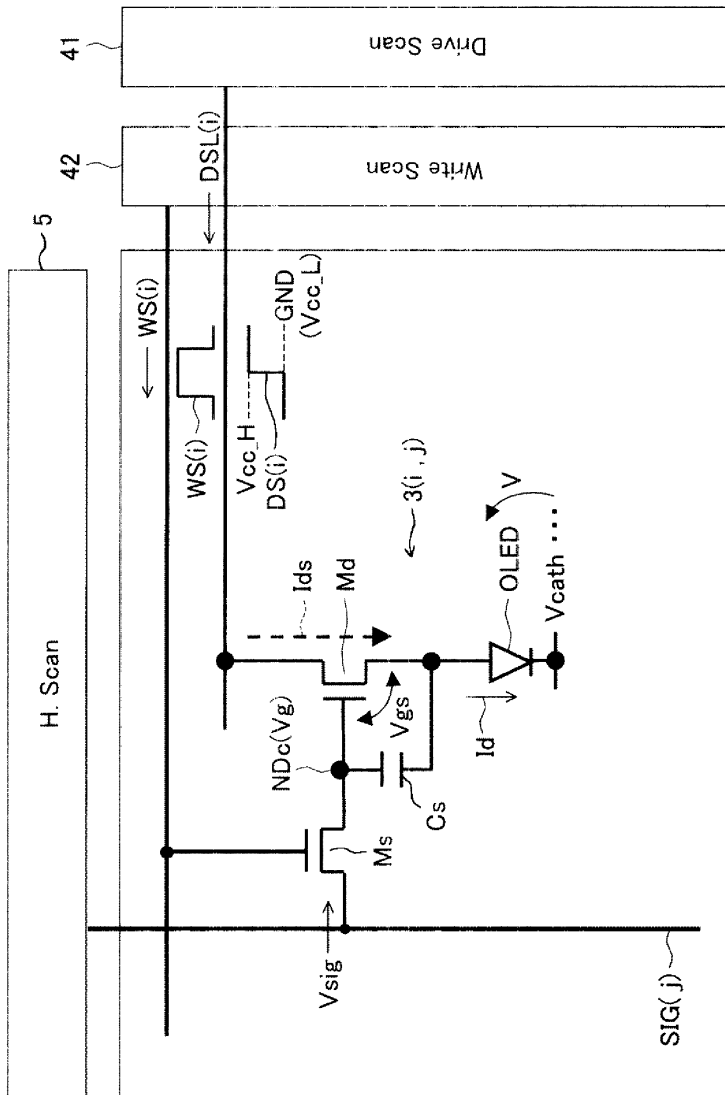


도면4

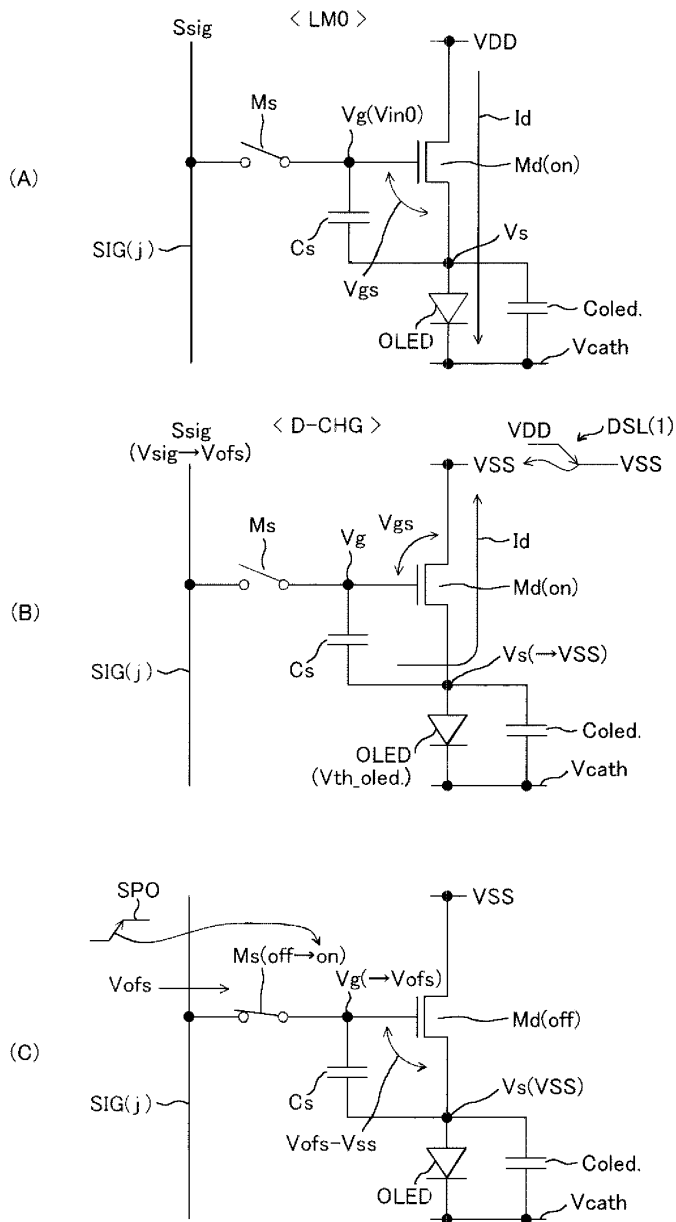


$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2$$

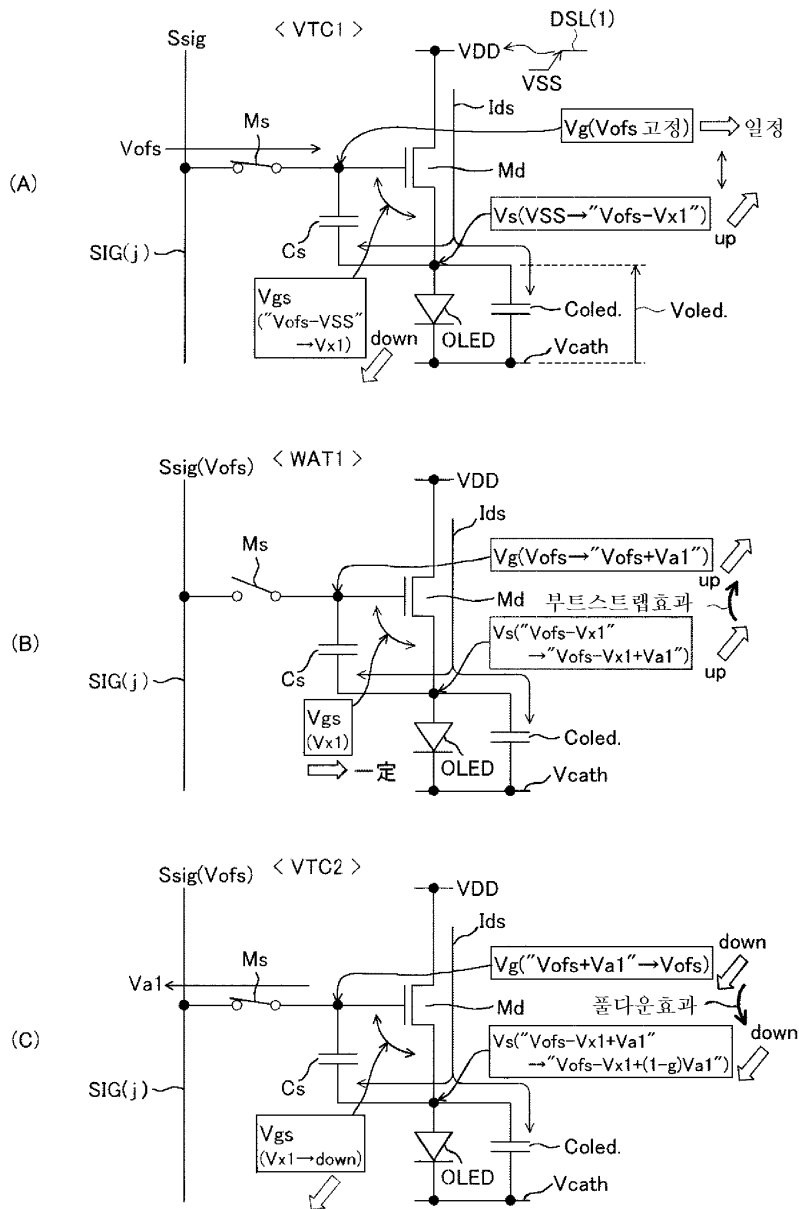
도면5



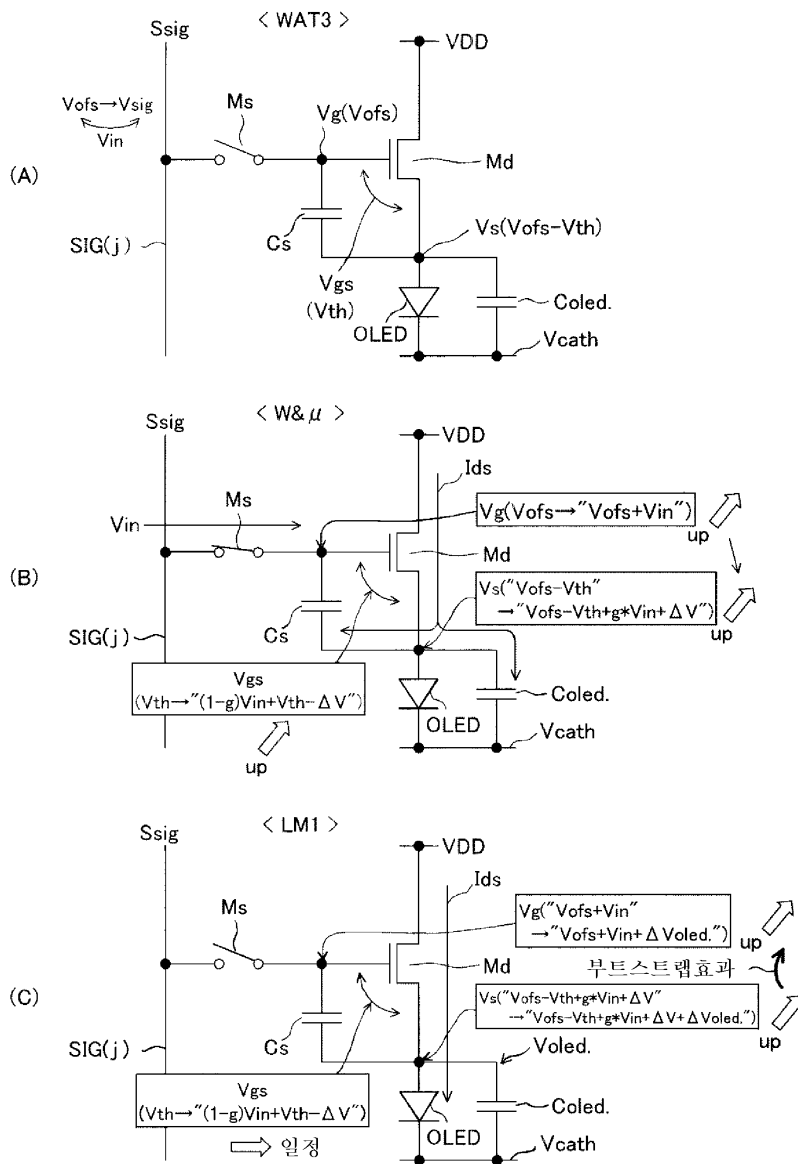
도면7



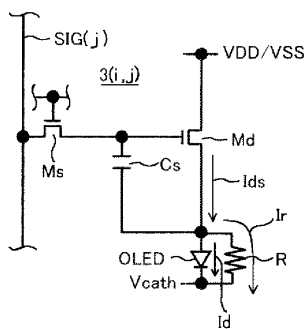
도면8



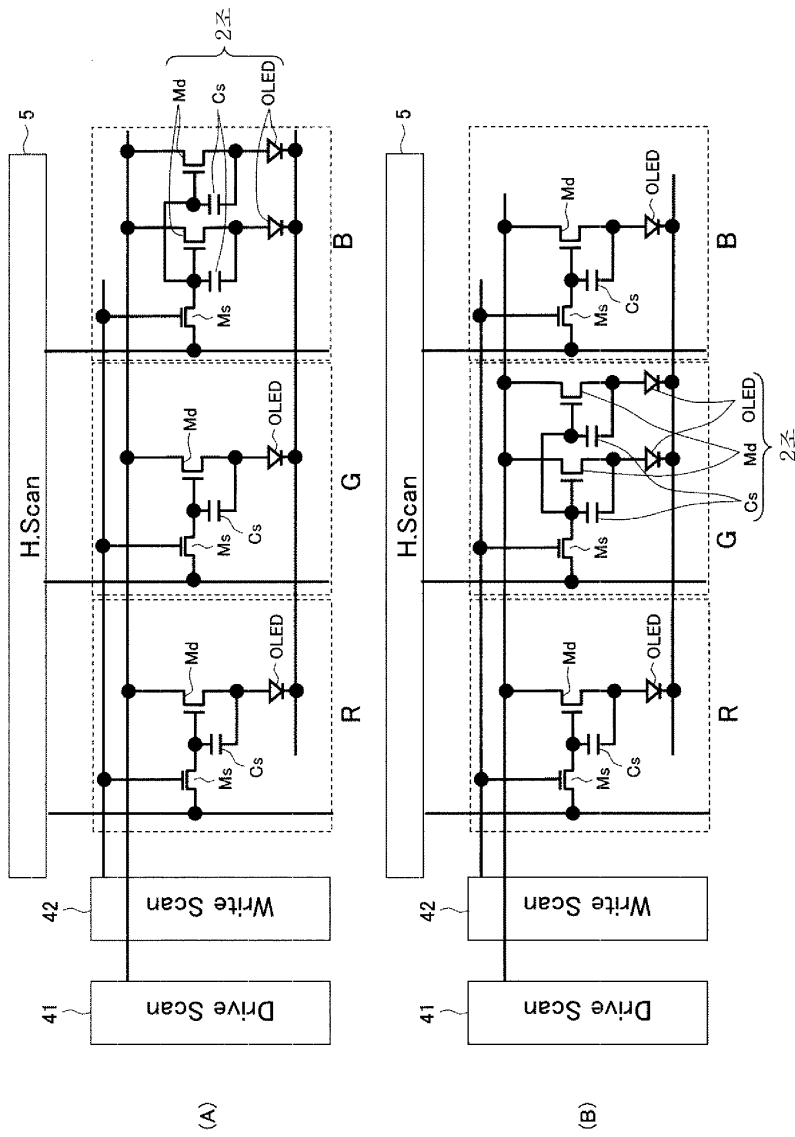
도면11



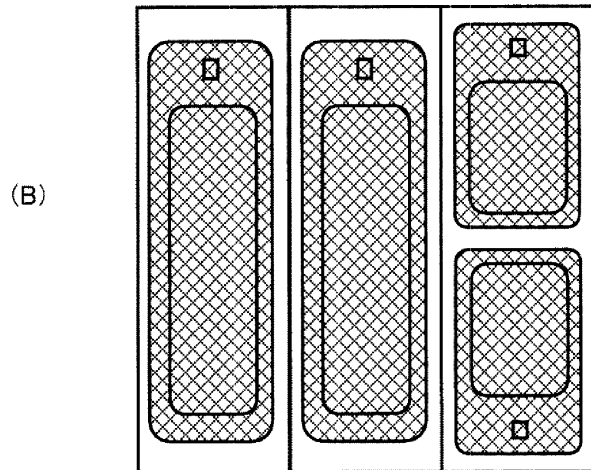
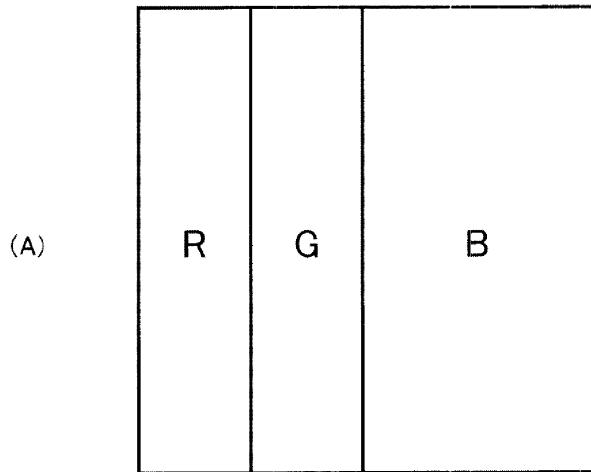
도면12



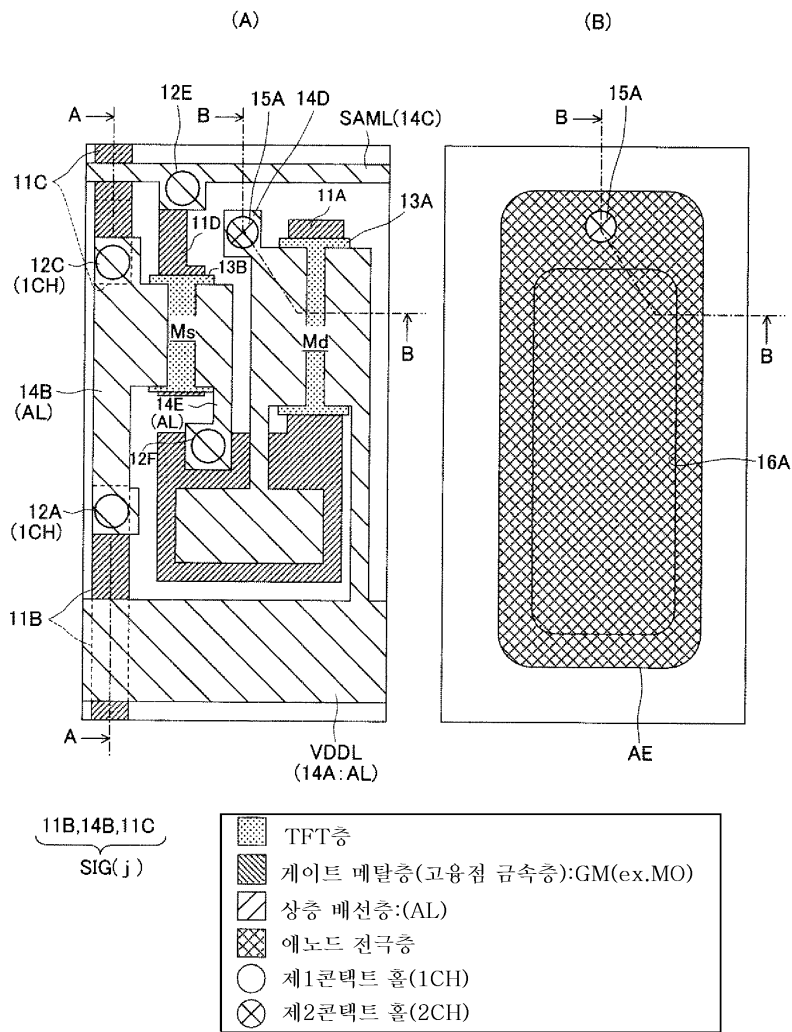
도면13



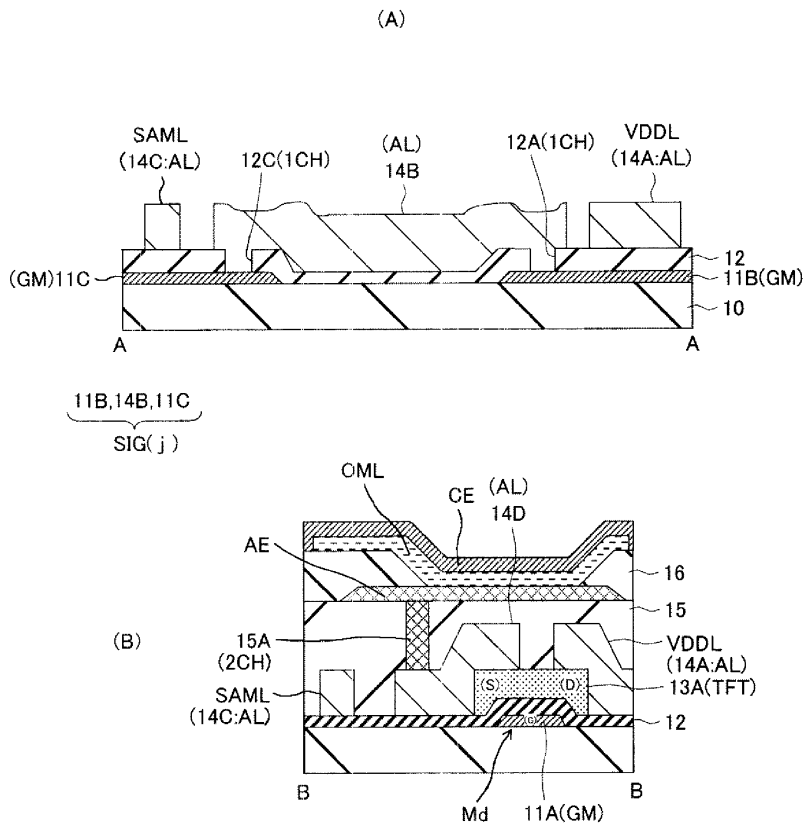
도면14



도면15



도면16



专利名称(译)	显示设备		
公开(公告)号	KR1020100124256A	公开(公告)日	2010-11-26
申请号	KR1020107018723	申请日	2009-03-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUhide 우치노카츠히데		
发明人	야마모토테츠로 우치노카츠히데		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G3/32 G09G3/3233 G09G2300/0452 G09G2320/043 H01L27/3211 H01L27/3244		
代理人(译)	用最甜		
优先权	2008060738 2008-03-11 JP		
其他公开文献	KR101534366B1		
外部链接	Espacenet		

摘要(译)

它具有像素单元，其中包括R（敌人），G（锈）和B（蓝色）的N（ $N \geq 3$ ）颜色被分配在N的像素中并且它分别具有采样晶体管（ M_s ），用驱动晶体管（ M_d ），用保护电容器（ C_s ），N的像素的发光器件（有机发光二极管（OLED））。容易特定的颜色（例如B），或光谱发光效率在N的像素中准备关于最高特定颜色（例如，G）的像素，其数量大于包括驱动晶体管的像素电路元件的桶的颜色的像素的桶（ M_d ），保护电容器（ C_s ）和有机发光二极管（OLED）与第2条的不同之处在于。

