(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0084205
(43) 공개일자 2010년07월26일

(51) Int. Cl.
H05B 33/22 (2006.01) *H05B 33/26* (2006.01)
H01L 51/50 (2006.01)
(21) 출원번호 10-2009-0003556
(22) 출원일자 2009년01월16일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
고삼민
경북 구미시 공단동 191-1 OLED 사업부
최승규
대구 달서구 월성동 코오롱하늘채 103동 305호
권승호
대구 달성군 다사읍 죽곡리 373번지 e-편한세상 106동 502호
(74) 대리인
특허법인로알

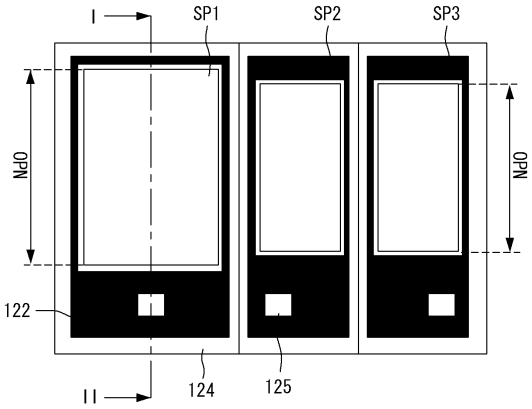
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치

(57) 요 약

본 발명의 실시예는, 트랜지스터들이 형성된 제1기판; 서브 픽셀들이 형성된 제2기판; 및 서브 픽셀들 내에 형성되고 서브 픽셀들에 포함된 상부전극들이 트랜지스터들의 소오스전극 또는 드레인전극에 전기적으로 연결되도록 돌출된 스페이서들을 포함하며, 서브 픽셀들은, 서브 픽셀들의 개구영역들을 정의하는 뱅크층과, 뱅크층의 하부에 위치하며 개구영역들의 경계선과 인접하도록 형성된 버스전극들을 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

트랜지스터들이 형성된 제1기판;

서브 픽셀들이 형성된 제2기판; 및

상기 서브 픽셀들 내에 형성되고 상기 서브 픽셀들에 포함된 상부전극들이 상기 트랜지스터들의 소오스전극 또는 드레인전극에 전기적으로 연결되도록 돌출된 스페이서들을 포함하며,

상기 서브 픽셀들은,

상기 서브 픽셀들의 개구영역들을 정의하는 뱅크층과,

상기 뱅크층의 하부에 위치하며 상기 개구영역들의 경계선과 인접하도록 형성된 버스전극들을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 버스전극들은,

상기 스페이서들과 대응되는 영역이 제거된 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 서브 픽셀들은,

녹색과 적색 서브 픽셀들의 개구영역들보다 청색 서브 픽셀들의 개구영역들이 더 넓게 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 서브 픽셀들은,

녹색과 적색 서브 픽셀들의 개구영역들이 동일하게 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 스페이서들 중 청색 서브 픽셀들에 포함된 스페이서들은 상기 청색 서브 픽셀들의 일측 중앙에 위치하고,

상기 스페이서들 중 녹색 및 적색 서브 픽셀들에 포함된 스페이서들은 상기 녹색 및 적색 서브 픽셀들의 일측 좌우에 각각 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 서브 픽셀들은,

상기 제2기판 상에 형성된 하부전극들과,

상기 하부전극들 상에 형성된 상기 버스전극들과,

상기 하부전극들 상에 형성되며 상기 하부전극들의 일부를 노출하는 상기 뱅크층과,

상기 뱅크층 상에 형성되며 상기 서브 픽셀들의 영역을 정의하는 격벽들과,

상기 하부전극들 상에 형성된 유기 발광층들과,

상기 유기 발광층들 상에 형성된 상기 상부전극들을 포함하며,

상기 상부전극들은,

상기 격벽들에 의해 상기 서브 픽셀들마다 구분되어 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 스페이서들은,

상기 격벽들과 인접하도록 상기 뱅크층 상에 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제6항에 있어서,

상기 격벽들은,

기저부 면적보다 상부 면적이 더 넓은 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 트랜지스터들은 상기 트랜지스터들 상에 위치하고 상기 트랜지스터들의 소오스전극 또는 드레인전극에 연결된 콘택전극들을 포함하며,

상기 스페이서들 상에 형성된 상기 상부전극들은 상기 콘택전극들에 각각 접촉하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제1항에 있어서,

상기 스페이서들은,

기저부 면적보다 상부 면적이 더 좁은 것을 특징으로 하는 유기전계발광표시장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명의 실시예는 유기전계발광표시장치에 관한 것이다.

배 경 기 술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다.

[0003] 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0004] 이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 종래 유기전계발광표시장치 중 일부는 트랜지스터와 유기 발광다이오드를 각각 제1기판과 제2기판에 형성하고 제1기판과 제2기판을 접착부재로 접착 밀봉한 구조가 있다. 이와 같은 구조는 제1기판 상에 형성된 트랜지스터

와 제2기판 상에 위치하는 유기 발광다이오드 간의 전기적인 연결을 하기 위해 스페이서를 이용하였다.

[0006] 한편, 이와 같이 제1기판과 제2기판으로 소자가 분리되어 형성된 유기전계발광표시장치는 대형화 제작시, 전원이 공급되는 전극의 저항을 감소시키면서 표시품질을 향상시켜야 하므로 이에 대한 연구가 필요하다.

발명의 내용

해결 하고자하는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 휘도를 향상시키고 소비전력을 줄여 대면적 표시장치 제작시 표시품질과 신뢰성을 만족시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

[0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 트랜지스터들이 형성된 제1기판; 서브 픽셀들이 형성된 제2기판; 및 서브 픽셀들 내에 형성되고 서브 픽셀들에 포함된 상부전극들이 트랜지스터들의 소오스전극 또는 드레인전극에 전기적으로 연결되도록 돌출된 스페이서들을 포함하며, 서브 픽셀들은, 서브 픽셀들의 개구영역들을 정의하는 뱅크층과, 뱅크층의 하부에 위치하며 개구영역들의 경계선과 인접하도록 형성된 버스전극들을 포함하는 유기전계발광표시장치를 제공한다.

[0009] 버스전극들은, 스페이서들과 대응되는 영역이 제거될 수 있다.

[0010] 서브 픽셀들은, 녹색과 적색 서브 픽셀들의 개구영역들보다 청색 서브 픽셀들의 개구영역들이 더 넓게 형성될 수 있다.

[0011] 서브 픽셀들은, 녹색과 적색 서브 픽셀들의 개구영역들이 동일하게 형성될 수 있다.

[0012] 스페이서들 중 청색 서브 픽셀들에 포함된 스페이서들은 청색 서브 픽셀들의 일측 중앙에 위치하고, 스페이서들 중 녹색 및 적색 서브 픽셀들에 포함된 스페이서들은 녹색 및 적색 서브 픽셀들의 일측 좌우에 각각 위치할 수 있다.

[0013] 서브 픽셀들은, 제2기판 상에 형성된 하부전극들과, 하부전극들 상에 형성된 상기 버스전극들과, 하부전극들 상에 형성되며 하부전극들의 일부를 노출하는 뱅크층과, 뱅크층 상에 형성되며 서브 픽셀들의 영역을 정의하는 격벽들과, 하부전극들 상에 형성된 유기 발광층들과, 유기 발광층들 상에 형성된 상부전극들을 포함하며, 상부전극들은, 격벽들에 의해 서브 픽셀들마다 구분되어 형성될 수 있다.

[0014] 스페이서들은, 격벽들과 인접하도록 뱅크층 상에 형성될 수 있다.

[0015] 격벽들은, 기저부 면적보다 상부 면적이 더 넓을 수 있다.

[0016] 트랜지스터들은 트랜지스터들 상에 위치하고 트랜지스터들의 소오스전극 또는 드레인전극에 연결된 콘택전극들을 포함하며, 스페이서들 상에 형성된 상부전극들은 콘택전극들에 각각 접촉할 수 있다.

[0017] 스페이서들은, 기저부 면적보다 상부 면적이 더 좁을 수 있다.

효 과

[0018] 본 발명의 실시예는, 휘도를 향상시키고 소비전력을 줄여 대면적 표시장치 제작시 표시품질과 신뢰성을 만족시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 평면도 이다.

[0021] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치는 표시영역(AA)과 비표시영역(NA)을

갖는 패널(110, 140)을 포함할 수 있다. 패널(110, 140)은 트랜지스터들과 전원전극들이 형성된 제1기판(110)과 제1기판(110)과 이격 대향하며 표시영역(AA)에 서브 픽셀들이 형성된 제2기판(140)이 접착부재에 의해 밀봉 합착된다.

[0022] 제1기판(110)은 투광성 또는 비투광성 재료로 형성될 수 있고, 제2기판(140)은 투광성 재료로 형성될 수 있다. 제1 및 제2기판(110, 140)의 재료로는 유리, 금속, 세라믹 또는 플라스틱(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.

[0023] 제1기판(110) 상에는 패널(110, 140)에 구동신호를 공급하는 구동부(160)와 패드부(170)가 위치할 수 있다. 구동부(160)는 패널(110, 140)에 형성된 소자들에 데이터신호와 스캔신호를 공급하는 데이터구동부와 스캔구동부를 포함할 수 있다. 데이터구동부는 외부로부터 수평 동기 신호 및 영상 데이터신호를 공급받고 수평 동기 신호를 참조하여 데이터신호 등을 생성할 수 있다. 스캔구동부는 외부로부터 수직 동기 신호를 공급받고 수직 동기 신호를 참조하여 스캔신호 및 제어신호 등을 생성할 수 있다. 구동부(160)에 포함된 데이터구동부와 스캔구동부는 제1기판(110) 상에 각각 구분되어 위치할 수도 있다. 패드부(170)는 외부로부터 공급되는 각종 신호를 구동부(160)와 패널(110, 140)에 전달하도록 외부회로기판과 연결된다.

[0024] 이하, 서브 픽셀의 회로 구성에 대해 설명한다.

[0025] 도 2는 서브 픽셀의 회로 구성 예시도 이다.

[0026] 도 2를 참조하면, 서브 픽셀은 스위칭 트랜지스터(S1), 제1커패시터(Cbst), 제2커패시터(Cst), 구동 트랜지스터(T1), 유기 발광다이오드(D)를 포함할 수 있다.

[0027] 스위칭 트랜지스터(S1)는 스캔 배선(SCAN)에 게이트전극이 연결되고 데이터 배선(DATA)에 일단이 연결된다. 제1커패시터(Cbst)는 스위칭 트랜지스터(S1)의 타단에 일단이 연결되고 제1노드(A)에 타단이 연결된다. 제2커패시터(Cst)는 제1노드(A)에 일단이 연결되고 제3노드(C) 및 제2전원배선(VSS)에 타단이 연결된다. 구동 트랜지스터(T1)는 제1노드(A)에 게이트전극이 연결되고 제2노드(B)에 일단이 연결되며 제3노드(C) 및 제2전원배선(VSS)에 타단이 연결된다. 유기 발광다이오드(D)는 제1전원배선(VDD)에 애노드가 연결되고 제2노드(B)에 캐소드가 연결된다.

[0028] 본 발명의 실시예에 따른 유기전계발광표시장치는 서브 픽셀에 포함된 스위칭 트랜지스터(S1), 구동 트랜지스터(T1), 제1커패시터(Cbst) 및 제2커패시터(Cst) 등이 제1기판(110) 상에 형성되고, 유기 발광다이오드(D) 등이 제2기판(140) 상에 위치하는 구조로 형성될 수 있다. 한편, 경우에 따라 제1커패시터(Cbst)는 생략될 수도 있다.

[0029] 이러한 서브 픽셀 구조를 갖는 패널(110, 140)은 데이터 구동부 및 스캔 구동부로부터 데이터 신호 및 스캔 신호 등이 공급되면, 유기 발광다이오드(D)의 캐소드와 구동 트랜지스터(T1)의 소오스전극 또는 드레인전극을 연결하는 제2노드(B)를 통해 구동전류가 흐름으로써 유기 발광다이오드(D)가 발광을 하게 되므로 영상을 표현할 수 있게 된다.

[0030] 이하, 패널에 형성된 서브 픽셀에 대해 설명한다.

[0031] 도 3은 서브 픽셀의 평면도이다.

[0032] 도 3를 참조하면, 패널에는 청색 서브 픽셀(SP1) 녹색 서브 픽셀(SP2) 및 적색 서브 픽셀(SP3)이 매트릭스 형태로 형성된다. 패널에 형성된 서브 픽셀들(SP1, SP2, SP3)은 녹색과 적색 서브 픽셀들(SP2, SP3)의 개구영역들(OPN)보다 청색 서브 픽셀들(SP1)의 개구영역들(OPN)이 더 넓게 형성될 수 있다. 그리고 녹색과 적색 서브 픽셀들(SP2, SP3)의 개구영역들(OPN)은 동일하게 형성될 수 있다. 이와 같은 형태로 서브 픽셀들(SP1, SP2, SP3)을 형성하면 청색, 녹색 및 적색 서브 픽셀(SP1, SP2, SP3)에 포함된 유기 발광층 재료에 의한 발광 효율 차에 의해 영향을 최소화할 수 있으나 이에 한정되지 않는다.

[0033] 패널에 형성된 서브 픽셀들(SP1, SP2, SP3)은 격벽들(124)에 의해 영역이 정의되고, 서브 픽셀들(SP1, SP2, SP3) 내에 형성된 스페이서들(125)에 의해 유기 발광다이오드의 캐소드와 구동 트랜지스터의 소오스전극 또는 드레인전극이 연결된다. 스페이서(125)들 중 청색 서브 픽셀들에 포함된 스페이서들은 청색 서브 픽셀들(SP1)의

일측 중앙에 위치할 수 있고, 녹색 및 적색 서브 픽셀들(SP2, SP3)에 포함된 스페이서들은 녹색 및 적색 서브 픽셀들(SP2, SP3)의 일측 좌우에 각각 위치할 수 있다.

[0034] 한편, 서브 픽셀들(SP1, SP2, SP3)의 개구영역들(OPN)의 경계선과 인접하는 영역에는 버스전극들(122)이 형성된다. 버스전극들(122)은 저항에 의한 전류 드랍(IR Drop)을 최소화하기 위한 전극으로 제1전원배선(VDD)과 전기적으로 연결되는 하부전극의 저항을 감소시키는 보조전극으로 사용된다. 이러한 버스전극들(122)은 개구영역들(OPN)을 정의하는 뱅크층의 하부 전면에 형성되거나, 도시된 바와 같이, 뱅크층의 하부 전면에 형성되고 스페이서들(125)과 대응되는 영역을 제외한 모든 영역을 차지하도록 형성될 수 있다.

[0035] 이하, 도 4를 참조하여 서브 픽셀의 구조에 대해 더욱 자세히 설명한다.

[0036] 도 4 및 도 5는 도 3에 도시된 서브 픽셀의 단면도이며, 도 6은 유기 발광층의 구조도 이다. 여기서, 도 4의 경우 버스전극들(122)이 개구영역(OPN)을 정의하는 뱅크층의 하부 전면에 형성된 것을 도시한 것이고, 도 5의 경우 버스전극(122)이 개구영역(OPN)을 정의하는 뱅크층의 하부 전면에 형성되고 스페이서(125)와 대응되는 영역을 제외한 모든 영역을 차지하도록 형성된 것을 도시한 것이다.

[0037] 도 4 및 도 5를 참조하면, 제1기판(110) 상에는 게이트전극(102)가 형성될 수 있다. 게이트전극(102)은 제1기판(110) 상에 형성된 트랜지스터의 게이트전극 금속이다. 게이트전극(102)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트전극(102)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트전극(102)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0038] 게이트전극(102) 상에는 제1절연막(103)이 위치할 수 있다. 제1절연막(103)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

[0039] 제1절연막(103) 상에는 액티브층(104)이 위치할 수 있다. 액티브층(104)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(104)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다. 또한, 액티브층(104)은 접촉 저항을 낮추기 위한 오믹 콘택층을 포함할 수도 있다.

[0040] 액티브층(104) 상에는 소오스전극(105) 및 드레인전극(106)이 위치할 수 있다. 소오스전극(105) 및 드레인전극(106) 중 하나는 제1기판(110) 상에 형성된 커패시터의 하부 전극과 대향 배치되어 커패시터를 구성할 수 있다. 소오스전극(105) 및 드레인전극(106)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스전극(105) 및 드레인전극(106)이 단일층일 경우 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 이와 달리, 소오스전극(105) 및 드레인전극(106)이 다중층일 경우 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

[0041] 소오스전극(105) 및 드레인전극(106) 상에는 제2절연막(107)이 위치할 수 있다. 제2절연막(107)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(107)은 패시베이션막 또는 평탄화막일 수 있다.

[0042] 제2절연막(107) 상에는 트랜지스터의 소오스전극(105) 또는 드레인전극(106)에 연결된 콘택전극(109)이 위치할 수 있다.

[0043] 이상은 제1기판(110) 상에 위치하는 트랜지스터가 바탐 게이트전극형 인 것을 일례로 설명하였다. 그러나, 제1기판(110) 상에 위치하는 트랜지스터는 이에 한정되지 않고 탑 게이트 형으로도 형성될 수 있다.

[0044] 한편, 제2기판(140) 상에는 하부전극(121)이 위치할 수 있다. 하부전극(121)은 제1전원배선(VDD)으로부터 전원을 공급받는다. 이러한 하부전극(121)은 애노드로 선택될 수 있으며, 애노드로 선택된 하부 전극(121)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al2O3) 중 어느 하나로 형성될 수 있으나 이에 한정되지 않는다.

[0045] 하부전극(121) 상에는 버스전극(122)이 위치할 수 있다. 버스전극(122)은 몰리브덴(Mo), 알루미늄(Al), 크롬

(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나로 이루어질 수 있다. 버스전극(122)은 하부전극(121)의 보조전극 역할을 한다.

[0046] 하부전극(121) 및 버스전극(122) 상에는 뱅크층(123a, 123b)이 위치할 수 있다. 뱅크층(123a, 123b)은 하부전극(121)의 일부를 노출하는 개구영역(OPN)을 가질 수 있다. 뱅크층(123a, 123b)은 벤조사이클로부텐(benzocyclobutene,BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

[0047] 뱅크층(123a, 123b) 상에는 서브 픽셀의 영역을 정의하는 격벽(124)이 위치할 수 있다. 격벽(124)은 이후 유기 발광층 및 상부 전극을 형성할 때 공정의 편의성을 제공하기 위해 형성될 수 있으며, 이는 상부 면적보다 기저부 면적이 더 좁은 역 테이퍼형으로 형성될 수 있다.

[0048] 뱅크층(123b) 상에는 격벽(124)과 인접하도록 스페이서(125)가 위치할 수 있다. 스페이서(125)는 기저부 면적보다 상부 면적이 더 좁게 형성될 수 있다. 이러한 스페이서(125)는 유기물, 무기물 또는 유무기 복합물로 형성할 수 있으나 이에 한정되지 않는다.

[0049] 뱅크층(123a, 123b)의 개구부를 통해 노출된 하부전극(121) 상에는 유기 발광층(127)이 위치할 수 있다. 유기 발광층(127)은 격벽(124)에 의해 서브 픽셀의 영역별로 구분되어 형성될 수 있다.

[0050] 도 6을 참조하면, 유기 발광층(127)은 정공주입층(127a), 정공수송층(127b), 발광층(127c), 전자수송층(127d) 및 전자주입층(127e)을 포함할 수 있다.

[0051] 정공주입층(127a)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(cupper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0052] 정공수송층(127b)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0053] 발광층(127c)은 적색, 녹색, 청색 및 백색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.

[0054] 발광층(127c)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0055] 발광층(127c)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0056] 발광층(127c)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0057] 전자수송층(127d)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BAlq 및 SAlq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0058] 전자주입층(127e)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BAlq 또는 SAlq를 사용할 수 있으나 이에 한정되지 않는다.

[0059] 여기서, 본 발명은 도 6에 한정되는 것은 아니며, 정공주입층(127a), 정공수송층(127b), 전자수송층(127d) 및 전자주입층(127e) 중 적어도 어느 하나가 생략될 수도 있다.

[0060] 유기 발광층(127) 상에는 상부전극(128)이 위치할 수 있다. 상부전극(128)은 캐소드로 선택될 수 있으며, 캐소드로 선택된 상부 전극(128)은 알루미늄(Al) 등과 같이 불투명하고 반사도가 높은 재료를 사용할 수 있다. 상부전극(128)은 격벽(124)에 의해 유기 발광층(127)의 상부와 스페이서(125)의 표면을 덮도록 위치할 수 있다. 이와 같이 스페이서(125)의 표면을 덮도록 형성된 상부전극(128)은 제1기판(110)과 제2기판(140)이 진공 합착됨에 따라 콘택전극(109)과 접촉된다.

[0061] 이하, 도 7을 참조하여 비교예와 실시예에 의한 버스전극의 구조에 대해 비교 설명한다.

[0062] 도 7은 비교예와 실시예에 의한 버스전극의 구조를 설명하기 위한 도면이다.

[0063] 도 7의 (a)는 비교예를 나타내고 (b)는 실시예를 나타낸다.

[0064] 실험에 의하면, (a)의 비교예와 (b)의 실시예는 소형 패널을 타겟으로 표시장치를 제작했을 때, IR Drop에 의한 소비전력 측면과 휘도 측면에서는 큰 차이를 보이지 않았다. 그러나, 패널의 크기를 점차 대형 타겟으로 제작했을 때, (a)의 비교예와 (b)의 실시예는 IR Drop에 의한 소비전력 측면과 휘도 측면에서는 큰 차이를 보였다. 실험 결과, (a)의 비교예와 (b)의 실시예가 소비전력 및 휘도 측면에서 위와 같은 차이를 나타낼 수 있었던 것은 버스전극(122)이 차지하는 면적과 비례함을 알 수 있다.

[0065] 따라서, 버스전극(122)의 면적을 넓힐수록 제1전원배선(VDD)으로부터 공급된 전원이 하부전극으로 전달될 때 패널 면적에 비례하여 증가하는 IR Drop에 의한 영향을 최소화시킬 수 있다.

[0066] 이상 본 발명의 실시예는 버스전극의 면적을 넓혀 IR Drop에 의한 영향을 최소화할 수 있는 대면적 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 휘도를 향상시키고 소비전력을 줄여 표시품질과 신뢰성을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

[0067] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0068] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

[0069] 도 2는 서브 픽셀의 회로 구성 예시도.

[0070] 도 3은 서브 픽셀의 평면도.

[0071] 도 4 및 도 5는 도 3에 도시된 서브 픽셀의 단면도.

[0072] 도 6은 유기 발광층의 구조도.

[0073] 도 7은 비교예와 실시예에 의한 버스전극의 구조를 설명하기 위한 도면.

[0074] <도면의 주요 부분에 관한 부호의 설명>

[0075] 110: 제1기판 103: 제1절연막

[0076] 104: 액티브층 105: 소오스전극

[0077] 106: 드레인전극 107: 제2절연막

[0078] 121: 하부전극 122: 버스전극

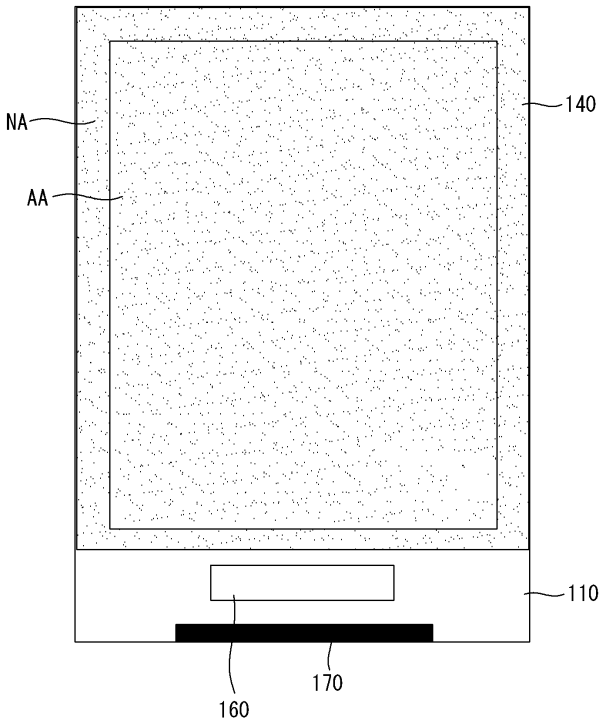
[0079] 124: 격벽 125: 스페이서

[0080] 127: 유기 발광층 128: 상부전극

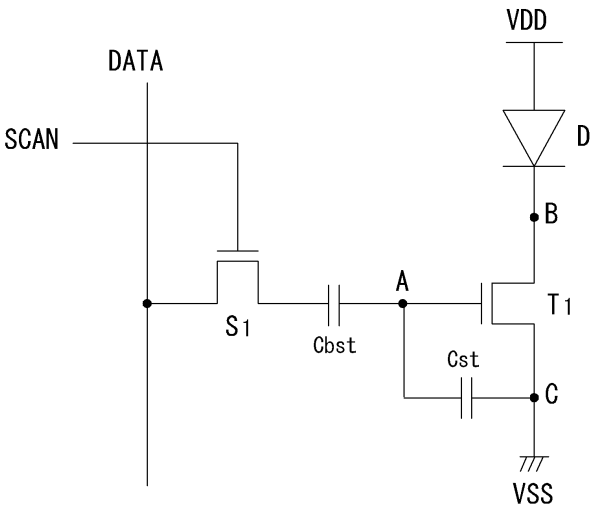
[0081] 140: 제2기판

도면

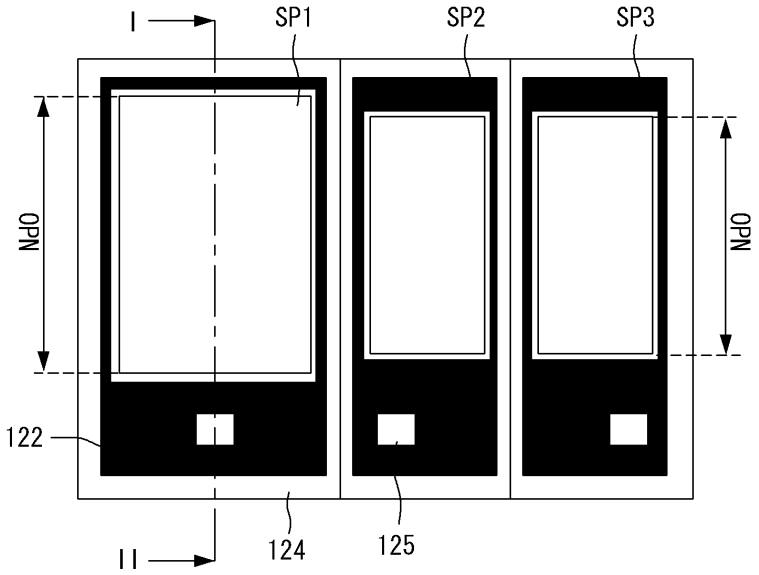
도면1



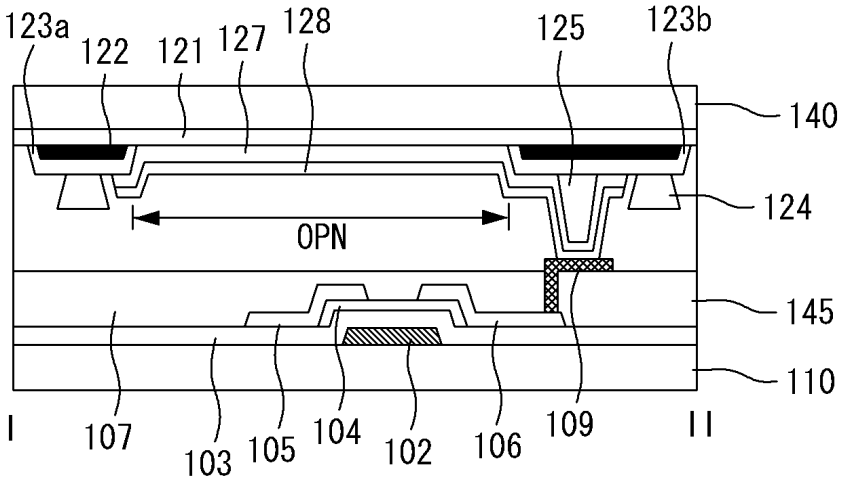
도면2



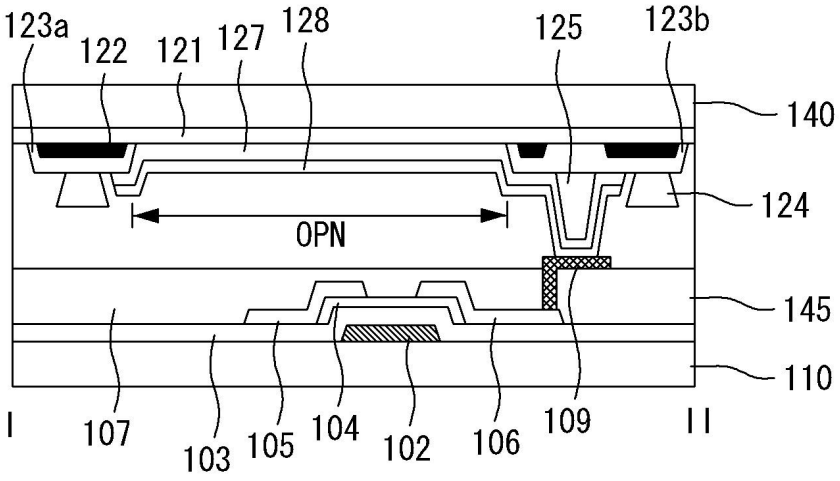
도면3


I
SP1
SP2
SP3
OPN
OPN
122
124
125
II

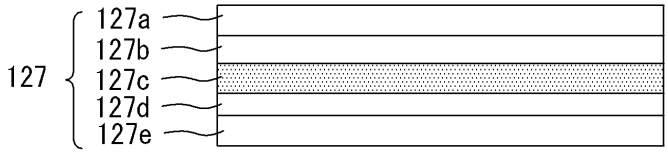
도면4


123a
122
121
127
128
125
123b
140
124
OPN
145
110
I
107
103
105
104
102
106
109
II

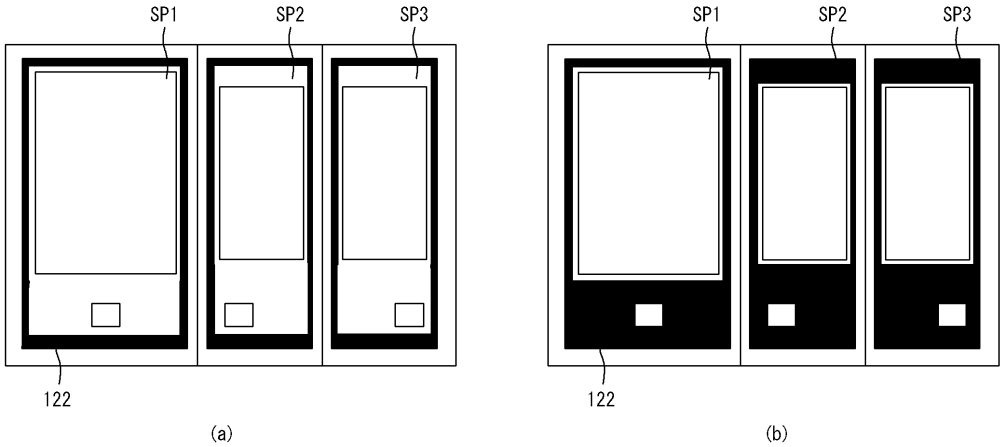
도면5


123a
122
121
127
128
125
123b
140
124
OPN
145
110
I
107
103
105
104
102
106
109
II

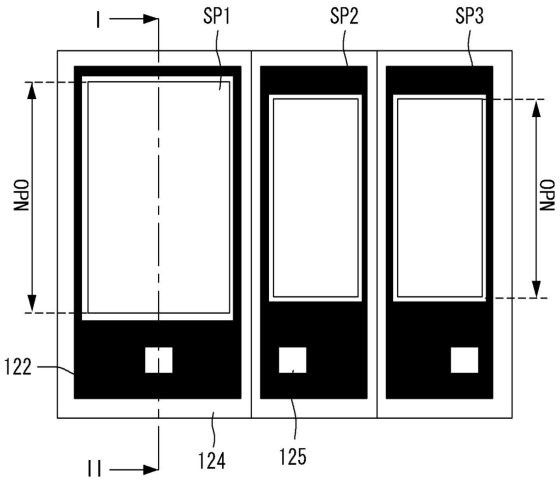
도면6


127
127a
127b
127c
127d
127e

도면7


SP1
SP2
SP3
122
(a)
SP1
SP2
SP3
122
(b)

专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020100084205A	公开(公告)日	2010-07-26
申请号	KR1020090003556	申请日	2009-01-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KO SAM MIN 고삼민 CHOI SEUNG KYU 최승규 KWON SEUNG HO 권승호		
发明人	고삼민 최승규 권승호		
IPC分类号	H05B33/22 H05B33/26 H01L51/50		
CPC分类号	H01L51/0096 H01L27/3211 H01L27/3246 H01L51/5056 H01L51/5072 H01L51/5088 H01L51/5092		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供了包括开口区域的边界线的有机电致发光显示装置，子像素位于堤层的下部，限定了子像素的开口区域和突出的堤层间隔物，使得形成的上电极包括在子像素内的子像素中，在源电极中电连接或者包括晶体管的漏电极，以形成相邻的汇流电极。有机电致发光显示装置，汇流电极和间隔物。