

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/30 (2006.01)

(11) 공개번호 10-2006-0031380
(43) 공개일자 2006년04월12일

(21) 출원번호 10-2004-0080385

(22) 출원일자 2004년10월08일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 권오경
서울특별시 송파구 신천동 7번지 장미아파트 14동 1102호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 전류 구동형 디스플레이 소자의 데이터 구동 장치

요약

본 발명은 전류 구동형 디스플레이 소자를 구동할 수 있는 데이터 구동 장치에 관한 것이다. 본 발명에 따른 데이터 구동부의 전류 출력 장치는, 아날로그 변환된 출력 전류에 대응하는 각각의 데이터 신호를 해당 데이터선에 순차적으로 인가하는 데이터 구동부의 전류 출력 장치에 있어서, 제1 제어신호에 따라 아날로그 출력 전류의 공급을 제어하는 스위칭 수단; 제2 제어신호에 따라 아날로그 출력 전류를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로; 제3 제어신호에 따라 아날로그 출력 전류를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및 제4 제어신호에 따라 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서를 포함한다. 본 발명에 따르면, 한 개의 D/A 변환기 출력으로 다수 채널의 전류 출력단을 구동하므로, 다수의 D/A 변환기를 사용할 경우에 발생하는 D/A 변환기간의 출력 편차를 없앨 수 있으며, 저소비 전력으로 동작할 수 있고, 또한 샘플-홀드 동작의 전류 출력단은 패널 데이터 라인의 충전 시간을 확보할 수 있으므로 낮은 출력 전류로서 대형 디스플레이 패널을 구동할 수 있다.

대표도

도 9b

색인어

유기 EL, 디스플레이, 데이터 구동, 전류 구동형, 출력단

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 발광 표시 장치의 구성을 개략적으로 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 주변 장치가 디스플레이 패널 기관에 탑재되는 발광 표시 장치의 구성을 개략적으로 나타내는 도면이다.

도 3a 및 도 3b는 각각 전류 거울 구조의 AM-OLED 화소 구조 및 전류 기입 방식의 AM-OLED 화소 구조를 예시하는 도면이다.

도 4a 및 도 4b는 각각 도 3a 및 도 3b의 AM-OLED 화소 구조의 프로그램 전류와 출력 전류와의 관계를 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 구성을 나타내는 도면이다.

도 6은 도 5의 데이터 구동부의 아날로그 회로 부분을 구체적으로 나타내는 도면이다.

도 7a 및 도 7b는 각각 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 N 채널의 전류 출력단의 디멀티플렉싱 개념 및 타이밍을 나타내는 도면이다.

도 8은 본 발명의 실시예에 따른 전류 거울 구조의 전류 출력단을 개략적으로 예시하는 도면이다.

도 9a 내지 도 9c는 각각 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

도 10a 내지 도 10c는 각각 본 발명의 다른 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

도 11은 본 발명의 구체적인 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

도 12는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 MOS 다이오드(MO)에 I_{DC} 성분을 인가한 경우 및 인가하지 않은 경우의 전류 특성 곡선을 나타내는 도면이다.

도 13은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 출력 범위를 예시하는 도면이다.

도 14a 및 도 14b는 각각 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 동작 타이밍을 나타내는 도면이다.

도 15는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 전류 샘플-홀드(S/H) 블록의 회로도이다.

도 16은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 I_{DC} 캐리어 블록의 회로도이다.

도 17은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 2-to-1 멀티플렉서 블록의 회로도이다.

도 18a 및 도 18b는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단에 I_{DC} 캐리어 블록이 있는 경우와 없는 경우의 I_{DAC} 전류 신호의 안정화(settling) 파형을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전류 구동형 디스플레이 소자의 데이터 구동 장치에 관한 것으로, 구체적으로, 유기 EL(organic electroluminescence) 발광표시 장치에 있어서 전류 구동형 디스플레이 소자를 구동할 수 있는 데이터 구동 장치에 관한 것이다.

일반적으로, 유기 EL 발광 표시장치(Organic Electro-Luminescence Display: OLED 또는 Organic Light Emitting Diode: OLED)는 전류가 흐를 경우에 빛을 내는 유기 물질을 화소별로 분리하여 매트릭스 모양으로 배치해 놓고, 이들 유기 물질에 흘리는 전류량을 조절함으로써 화상을 표시하는 장치이다.

이러한 유기 EL 발광표시 장치는 저전압 구동, 경량 박형, 광시야각 그리고 고속 응답 등의 장점으로 인하여 차세대 표시 장치로 기대되고 있고, 특히, 현재 가장 널리 상업화된 평판 디스플레이(Flat Panel Display: FPD) 기술인 액정표시장치(Liquid Crystal Display: LCD)에 비해 자체 발광에 의한 고인식성 및 넓은 시야각, 빠른 응답속도 등을 보완해줄 것으로 판단되고 있다.

구체적으로, 상기 유기 EL 발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, $N \times M$ 개의 유기 발광셀들을 전압구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀 구조는 ITO(Indium Tin Oxide) 화소전극, 유기박막 및 금속 레이어의 구조를 가지고 있으며, 상기 유기박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(Emitting Layer: EML), 전자수송층(Electron Transport Layer: ETL) 및, 정공수송층(Hole Transport Layer: HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자주입층(Electron Injecting Layer: EIL)과 정공주입층(Hole Injecting Layer: HIL)을 포함할 수 있다.

한편, 이러한 OLED는 구동 방식에 따라 PMOELD(Passive Matrix OLED)와 AMOELD(Active Matrix OLED)로 나뉜다. 현재까지는 주로 PMOELD가 휴대용기기의 서브 디스플레이에 장착되어 제품으로 출시되어 있다. 그러나 PMOELD는 고 전류 구동으로 인하여 유기 EL 물질의 열화가 심하고, 전력 소모가 높아 대면적, 고해상도의 패널에 적용하기 힘들다.

따라서, 대면적, 고해상도의 OLED 제작 및 구동에는 상대적으로 AMOELD가 유리하다. AMOELD는 패널에 전압 신호를 기입하여 패널에 원하는 화면을 표시하는 전압 기입(voltage programming) 방식과 전류 신호를 기입하여 표시하는 전류 기입(current programming) 방식이 있다.

상기 전압 기입 방식은 TFT-LCD 구동에 사용되는 데이터 구동 IC를 사용할 수 있거나, 그를 약간 수정하면 사용할 수 있다는 장점이 있다. 하지만, 아직까지 AMOELD의 제작에 사용되는 다결정 실리콘 TFT는 불균일한 입자 크기(Grain size)와 트랩 밀도(Trap density) 등으로 인하여 문턱전압과 이동도(mobility)의 편차가 크기 때문에 전압 기입 방식의 AMOELD는 화질이 불균일해지는 문제점이 있다.

이를 보완하기 위해, 문턱전압의 편차를 보상하는 전압 기입 방식의 여러 가지 화소 구조가 발표되었지만, 여전히 그 편차를 완전히 보상하지는 못하고 있으며, 이동도의 불균일성을 보상하는 화소 구조는 현재까지 발표되지 않고 있다.

이에 반해 전류 기입 방식의 화소 회로는 화소 회로에 전류를 공급하는 전류원이 패널 전체를 통해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다. 즉, 상기 전압 기입 방식의 AMOELD가 가지는 문제점을 해결하기 위해서 전류 기입 방식의 AMOELD가 제안되고 있으며, 이러한 전류 기입 방식의 AMOELD는 다결정 실리콘 TFT의 문턱전압과 이동도의 편차를 동시에 보상할 수 있고, 실제로 발표된 여러 논문과 데모 패널을 통해서 그 효과를 확인할 수 있다.

상기 전류 기입형 AMOLED의 화소 구조는 구동 TFT의 문턱전압, 이동도, 포화전류의 불균일도를 보상할 수 있으면서도 주어진 시간 내에 전류 프로그램이 충분히 이루어질 수 있는 구조이어야 한다. 또한, 전류 기입 방식의 AMOELD 패널을 구동하기 위해서는 출력 전류의 편차가 화질의 불균일성을 유발하지 않을 만큼 작으면서도 패널의 데이터 라인의 기생 저항과 기생 커패시터 부하를 충분히 구동할 수 있는 정전류 출력 데이터 구동 IC가 필요하다.

이러한 전류 구동형 AMOLED의 화소 구조는 전류 거울형(Current Mirror Type)이거나 전류 소스형(Current Source Type)으로 구성될 수 있다. 전류 거울형 화소 구조는 일본의 소니사가 채택하고 있으나, 이는 전류 거울로 사용하는 두 TFT의 문턱전압과 이동도의 편차가 없다고 가정할 때, 두 TFT의 폭의 비가 $M:1$ 로 M 이 1보다 클 경우에 프로그램 전류가 화소의 발광전류보다 매우 크기 때문에 주어진 라인 시간 내에 프로그램이 기능하면서도 화질의 균일도를 보장할 수 없다. 그러나 TFT의 폭이 $M:1$ 인 두 TFT의 문턱전압과 이동도의 편차가 모든 화소 내에서 없도록 만드는 것은 실질적으로 불가능하다는 문제점이 있다.

또한, 전류 기입 방식을 사용하는 유기 EL 표시장치에서, 데이터 구동부는 D/A 변환부(DAC)의 출력이 전류이므로 전류 모드 DAC가 필수적이지만, 종래의 전류모드 DAC는 차지하는 면적이 매우 크므로, 모든 출력 데이터선마다 D/A 변환기를 집적하는 것이 어렵다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위한 본 발명의 목적은 높은 전류 분해 능력을 갖고 동시에 균일한 출력 전류 특성을 확보할 수 있는 전류 구동형 디스플레이 소자의 데이터 구동 장치를 제공하기 위한 것이다.

또한, 본 발명의 다른 목적은 낮은 출력 전류로 고계조, 고화질의 대형 디스플레이 패널을 구동할 수 있는 전류 구동형 디스플레이 소자의 데이터 구동 장치를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 데이터 구동부의 전류 출력 장치는, 아날로그 변환된 출력 전류에 대응하는 각각의 데이터 신호를 해당 데이터선에 순차적으로 인가하는 데이터 구동부의 전류 출력 장치에 있어서,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 특징이 있다.

여기서, 상기 제2 제어신호와 제3 제어신호는 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 동시에 샘플링 동작이 발생하지 않도록 서로 배타적으로 제공되는 것을 특징으로 한다.

여기서, 상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 한다.

여기서, 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 출력되는 전류는 정수 배 증폭되어 상기 제4 제어신호에 따라 선택적으로 출력되는 것을 특징으로 한다.

여기서, 상기 마스터 또는 슬레이브 전류 샘플/홀드 회로는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함할 수 있다.

여기서, 상기 아날로그 출력 전류는 정신호 및 부신호로 이루어지되, 상기 정신호 및 부신호는 서로 일정 비를 가짐으로써 부하 조건을 일정하게 하고, 상기 아날로그 변환되는 출력 전류의 변환 속도가 저하되지 않게 하는 것을 특징으로 한다.

여기서, 상기 아날로그 출력 전류(I_{DAC})에 소정의 추가 직류 전류(I_{DC})를 더하여 상기 마스터 및 슬레이브 전류 샘플/홀드 회로에 제공하는 추가 전류 제공부(I_{DC} carrier)를 더 포함할 수 있다.

여기서, 상기 추가 전류 제공부에서 제공된 추가 직류 성분(I_{DC})을 상기 멀티플렉서에서 출력되는 신호로부터 상기 추가 직류 성분만큼 다시 빼는 가산기를 더 포함할 수 있다.

여기서, 상기 추가 전류 제공부는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함할 수 있다.

여기서, 상기 스위칭 수단은 복수개 구비되는 전류 출력 장치 중 어느 하나를 선택하는 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 데이터 구동 장치는, 표시패널의 복수의 데이터선에 해당 데이터 신호를 각각 인가하는 데이터 구동 장치에 있어서,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부;

상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 D/A 변환부; 및

상기 D/A 변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 전류 출력부를 포함하되,

상기 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 특징이 있다.

여기서, 상기 제2 제어신호와 제3 제어신호는 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 동시에 샘플링 동작이 발생하지 않도록 서로 배타적으로 제공되는 것을 특징으로 한다.

여기서, 상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 한다.

여기서, 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 출력되는 전류는 정수 배 증폭되어 상기 제4 제어신호에 따라 선택적으로 출력되는 것을 특징으로 한다.

여기서, 상기 마스터 또는 슬레이브 전류 샘플/홀드 회로는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함하는 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 발광 표시 장치는, 선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소를 포함하는 표시부와 상기 데이터 신호를 생성하여 상기 데이터선에 각각 인가하는 데이터 구동부와 상기 선택신호를 생성하여 상기 주사선에 각각 인가하는 주사 구동부를 포함하는 발광 표시 장치에 있어서,

상기 데이터 구동부는,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부;

상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 D/A 변환부; 및

상기 D/A 변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 전류 출력부를 포함하되,

상기 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 특징이 있다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 발광 표시 패널은,

선택신호를 전달하는 복수의 주사선;

데이터 전류를 전달하는 복수의 데이터선;

상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소;

상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사 구동부; 및

순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하고, 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 전류 출력부를 통해 제어하는 데이터 구동부

를 포함하되,

상기 데이터 구동부의 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 특징이 있다.

본 발명에 따르면, 한 개의 D/A 변환기 출력으로 다수 채널의 전류 출력단을 구동하므로, 다수의 D/A 변환기를 사용할 경우에 발생하는 D/A 변환기간의 출력 편차를 없앨 수 있으며, 저소비 전력으로 동작할 수 있고, 또한, 샘플-홀드 동작의 전류 출력단은 패널 데이터 라인의 충전 시간을 확보할 수 있으므로 낮은 출력 전류로서 대형 디스플레이 패널을 구동할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동 장치의 구성 및 동작을 상세히 설명한다.

잘 알려진 바와 같이, 평판 디스플레이 장치의 데이터 구동부는 외부로부터 비디오 신호를 인가 받아, 디스플레이 패널에 알맞은 신호값으로 변환하여 공급하게 되는데, 상기 전류 구동형 데이터 구동부는 구동 회로의 출력이 전류로서, 유기 EL 소자와 같이 소자에 흐르는 전류값에 의해 계조 표시 등의 제어가 가능한 전류 구동형 디스플레이 소자를 구동하게 된다.

도 1은 본 발명의 실시예에 따른 발광 표시 장치의 구성을 개략적으로 나타내는 도면이고, 도 2는 본 발명의 실시예에 따른 주변 장치가 디스플레이 패널 기판에 탑재되는 발광 표시 장치의 구성을 개략적으로 나타내는 도면이다.

도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기 EL 표시 장치는 표시 패널을 형성하기 위한 기판(1000)을 포함하며, 기판(1000)은 실제 화상이 표시되는 표시부(100)와 화상이 표시되지 않는 주변부를 포함한다. 주변부에는 데이터 구동부(300) 및 주사 구동부(200)가 형성되어 있다.

상기 표시부(100)는 복수의 데이터선(D1~Dm), 복수의 선택 주사선(S1~Sn), 복수의 발광 주사선(E1~En), 및 복수의 화소(110)를 포함한다. 데이터선(D1~Dn)은 열 방향으로 뻗어 있으며, 화상을 나타내는 데이터 전류를 화소로 전달한다. 선택 주사선(S1~Sm)은 행 방향으로 뻗어 있으며 각각 선택 신호와 발광 신호를 화소로 전달한다. 그리고 하나의 데이터 선과 하나의 선택 주사선에 의하여 화소 영역이 정의된다.

또한, 상기 데이터 구동부(300)는 데이터 전류를 데이터선(D1~Dm)에 인가한다. 주사 구동부(200)는 복수의 선택 주사선(S1~Sn)에 선택 신호를 순차적으로 인가하고, 상기 주사 구동부(200)는 복수의 발광 주사선에 발광 신호를 순차적으로 인가하는 주사 구동부와 함께 구현될 수도 있다.

한편, 도 2에 도시된 바와 같이, 상기 데이터 구동부(300) 및/또는 주사 구동부(200)는 기판(1000) 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 이들 구동부(200, 300)를 기판(1000) 위에서 데이터선(D1~Dm), 주사선(S1~Sn, E1~En) 및 화소 회로의 트랜지스터를 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 이들 구동부(200, 300)를 기판(1000)과 별도의 기판에 형성하여 이들 기판을 기판(1000)에 전기적으로 연결할 수도 있으며, 또한 기판(1000)에 접착되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

이하, 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부를 구체적으로 설명하기로 한다.

본 발명의 실시예에 따른 데이터 구동부는 RGB 각 컬러에 해당하는 K비트의 디지털 비디오 입력 신호를 받아 AMOELD 패널을 구동하기 위한 전류 신호로 변환하여 출력한다. 따라서 디지털 비디오 신호를 적절한 아날로그 전류 신호로 변환하여 출력하는 회로가 필요하며, 이러한 기능을 아날로그 회로 파트에서 수행하게 된다.

이러한 전류 모드 데이터 구동부 내에서 아날로그 회로 부분은 바이어스 회로, 전류 모드 D/A 변환기(Digital/Analog Converter) 및 전류 출력단으로 구성될 수 있으며, 상기 아날로그 회로 부분은 디지털 비디오 신호를 아날로그 전류 신호로 변환하여 AMOELD 패널로 출력하는 부분으로 패널 내 화소 구조와 더불어 화질을 결정짓는 중요한 요소 중의 하나이다. 더욱이 15.5인치 WXGA(Wide XGA; 1280×RGB×768) 해상도의 대형 패널을 구동하기 위해서는 회로의 설계 시 다음과 같은 요소들을 중점적으로 고려해야 한다.

먼저, 패널 간 출력 전류의 균일성(output current uniformity)을 확보해야 한다.

도 3a 및 도 3b는 각각 전류 거울 구조의 AM-OLED 화소 구조 및 전류 기입 방식의 AM-OLED 화소 구조를 예시하는 도면이고, 도 4a 및 도 4b는 각각 도 3a 및 도 3b의 AM-OLED 화소 구조의 프로그램 전류와 출력 전류와의 관계를 나타내는 도면이다.

도 3a를 참조하면, AMOELD 화소 구조의 한 예로 전류 거울(current mirror) 화소를 나타내었다. 데이터 구동부로부터의 출력 전류인 I_{IN} 은 트랜지스터(M1)에 프로그램되고 M1과 M2의 면적/길이(W/L) 비에 의해 스케일된 기입 전류인 I_{EL} 이 OLED로 흐르게 되어 화소 발광이 일어난다.

이러한 화소가 매트릭스 형태로 배열되어 패널을 구성하는데, 각 화소 간 트랜지스터 및 유기 EL 물질의 전기적, 광학적 특성이 같다고 가정하면 패널의 화질은 각 화소에 데이터 구동 회로로부터 기입되는 프로그램 전류 I_{IN} 의 균일성에 의해 결정된다. 일반적으로, 한 개의 데이터 구동부의 출력 채널 수는 300개 이상이고, 패널의 열(column) 개수가 그 이상일 경우,

구동 회로 칩 내에서 각 채널간의 상대적인 출력 전류의 오차의 상대적인 오차를 최소화해야 한다. 또한 제작된 패널이 모두 이상적이라 가정할 때 패널과 패널 사이 화질의 균일성을 확보하기 위해서는 각 구동 회로 칩에서 출력하는 전류의 절대적인 오차 또한 최소화해야 한다.

다음으로, 데이터 구동 회로는 넓은 출력 전류 범위(wide range of output current)를 확보함으로써 범용성을 높일 수 있다. 이는 화소 구조와 밀접한 관련이 있다. 도 3a에 나타난 화소와 같이 프로그램 전류와 유기 EL에 흐르는 기입 전류가 선형 관계에 있을 경우(도 4a 참조), 프로그램 전류의 계조간의 차이는 일정하다. 구동하고자 하는 패널이 소면적, 저해상도 패널일 경우 프로그램 전류와 기입 전류간 비는 작아도 구동 가능하므로, 데이터 구동 IC 출력의 최대값은 낮춰질 수 있고, 그 범위 또한 좁다.

그러나 구동하고자 하는 패널이 대면적, 고해상도 패널일 경우 필요한 데이터 구동 IC의 출력 최대값은 매우 높고, 그 범위 또한 매우 넓다. 더욱이 도 3b와 같은 화소 구조는 프로그램 전류와 기입 전류 사이에는 선형적인 비례관계가 아닌 제곱에 비례하고(도 4b 참조), 이 경우 필요한 출력 전류 범위는 도 3a의 화소 구조에 비해 더욱 넓어진다. 이와 같이 구동하고자 하는 AMOLED 패널의 면적, 해상도 및 화소 구조에 따라 필요한 데이터 구동 IC 출력 전류의 최대값 및 그 범위는 다양하게 된다. 따라서 데이터 구동 IC 설계 시 출력 전류의 최대값을 크게 하고, 그 범위를 넓게 함으로써 범용성을 높일 수 있다.

마지막으로 많은 수의 출력 채널(large number of output channel)을 IC 내에 집적할 수 있어야 한다. TFT-LCD 데이터 구동 IC의 경우 한 개의 채널 내에 D/A 변환기 및 버퍼 회로를 구성하는 것이 일반적이고, 한 개의 IC 내에 보통 300~480 개의 채널을 집적한다.

본 발명의 실시예에 따른 정전류 구동형 데이터 구동 IC의 경우 D/A 변환기의 출력은 전류이고 이 경우 전류 모드 D/A 변환기가 필수적이다. 일반적으로 전류 모드 D/A 변환기는 차지하는 면적이 매우 크므로, 모든 출력 채널에 D/A 변환기를 집적하는 것이 불가능하다. 따라서 한 개의 D/A 변환기가 여러 채널의 출력을 담당하는 멀티플렉싱 기능이 필수적이고, 기존 TFT-LCD의 데이터 구동 IC와는 다른 아키텍처를 필요로 한다.

한편, 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 내의 아날로그 회로 구성은 다음과 같다.

도 5는 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 구성을 나타내는 도면이고, 도 6은 본 발명의 구체적인 실시예에 따라 도 5의 데이터 구동부의 아날로그 회로 부분을 구체적으로 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 따라, K-비트의 디지털 비디오 데이터인 VIDEO[K-1:0]을 구동 회로 내에 순차적으로 저장하기 위한 회로는 N 채널 시프트 레지스터(310), N 채널 샘플링 래치(320) 및 N 채널 홀딩 래치(330)를 포함한다.

낮은 주파수 클럭인 CLKL에 의해 동작하는 N 채널 시프트 레지스터 및 N-to-1 멀티플렉서(340)는 상기 홀딩 래치(330)에 저장된 총 N 채널에 해당하는 비디오 데이터를 한 개의 데이터 채널에 해당하는 데이터씩 전류 모드 D/A 변환기(370)에 순차적으로 전달하는 기능을 한다.

K-비트의 해상도를 갖는 전류 모드 D/A 변환기(370)는 상기 홀딩 래치(330)로부터 K-비트의 입력 데이터인 DB[K-1:0]을 N번에 걸쳐 순차적으로 받아들여, 입력 데이터에 해당하는 전류를 순차적으로 출력한다.

상기 D/A 변환기(370)로부터의 출력 전류 신호인 DACOUT은 N 채널의 전류 출력단(380)에 순차적으로 전달되어 저장된다. 상기 N 채널의 전류 출력단(380)에서 DACOUT 신호를 받아들이는 채널을 선택하기 위해 제어신호 생성기(350)가 필요하다. 상기 N 채널의 전류 출력단(380)은 DACOUT 신호를 순차적으로 받아들여 저장한 후, 해당 전류를 디스플레이 패널에 데이터 라인을 통해 출력한다.

본 발명의 실시예에 따른 데이터 구동부를 사용해 전류 구동형 디스플레이 패널을 구동할 경우, 구동 회로 내의 D/A 변환기(370)는 한 개만 필요하므로 회로 면적을 효과적으로 줄일 수 있다. 다른 측면에서, 제한적인 면적에 구동회로를 구성할 경우, 본 발명의 실시예에 따른 데이터 구동부에서는 D/A 변환기의 해상도를 충분히 높일 수 있어 고계조의 디스플레이가 가능해진다.

또한, 기존의 다중 채널의 D/A 변환기를 사용한 경우에는 D/A 변환기들 사이의 출력 전류 편차가 발생하여 패널에 표시되는 화면의 질이 떨어질 가능성이 크지만, 본 발명의 실시예에 따른 데이터 구동부에서는 D/A 변환기를 한 개만 사용하여 N 채널의 전류 출력단을 구동하므로 고화질의 디스플레이가 가능해진다. 동시에 D/A 변환기의 기준 전류원 수가 한 개이므로 소비 전력을 크게 줄일 수 있다.

이하, 본 발명의 구체적인 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동 IC에 대해 설명하기로 한다.

도 5 및 도 6을 참조하면, 본 발명의 구체적인 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동 IC는 전체 출력 채널이 300개로서 R, G, B 각각 100개의 출력 채널을 가지고 있으며, 디지털 신호의 입출력은 5V CMOS 호환 타입으로 이루어진다.

본 발명의 구체적인 실시예에 따른 데이터 구동 IC는 비디오 컨트롤러로부터 10비트의 RGB 디지털 신호를 인가 받게 되며, 이 신호들은 DB_R[9:0], DB_G[9:0] 및 DB_B[9:0] 신호로 구성된다.

먼저, 상기 데이터 구동 회로 내 샘플링 래치 및 홀딩 래치로 구성되는 라인 메모리는 외부에서 입력받은 10비트의 RGB 비디오 신호를 저장하게 된다. 데이터 구동 IC의 출력 채널 수는 총 300개이므로, 10비트 크기의 홀딩 래치의 개수 또한 300개이다. 300개의 채널은 다시 Red, Green, Blue의 각 컬러 데이터를 저장하게 되므로 한 개의 데이터 구동 IC가 표시하는 color의 개수는 RGB별로 100개씩이다. 이때, 저장된 10비트의 비디오 신호들은 디지털 신호값으로서, 이러한 디지털 신호값을 적절한 아날로그 전류 신호값으로 변환해야 하므로, D/A 변환기가 필요하다. 이 D/A 변환기의 출력은 전류신호이므로 설계 시 전류 모드 D/A 변환기 구조를 채택하였다.

전류 모드 D/A 변환기의 출력 전류 신호는 각 채널의 전류 출력단으로 전달되어 그 전류값을 저장하게 되고, 전류 출력단의 출력 전류가 최종적으로 화소를 구동하게 된다. 바이어스 회로는 전류 모드 D/A 변환기 및 전류 출력단의 아날로그 전압, 전류 신호를 생성하여 각 아날로그 회로 부분들을 제어한다.

다음으로 범용성을 높이기 위해 D/A 변환기는 256 계조가 아닌 1024 계조이다. 이는 전류 모드 D/A 변환기의 선형 출력 특성과 관련이 있다. 본 발명의 실시예에서 데이터 구동 IC의 출력 전류의 표현 계조는 8비트의 256 계조이다.

그러나, 화소 구조에 따라 도 4a와 같이 프로그램 전류에 따른 OLED의 출력 전류인 I_{EL} 이 선형적인 특성을 가질 수 있고, 이와는 달리 도 4b와 같이 비선형적인 특성을 가질 수 있다. 따라서, 선형적인 전류 특성을 갖는 화소 구조와 비선형적인 전류 특성을 갖는 화소 구조에서 모두 256 계조를 표현하기 위해서는 D/A 변환기가 256 계조의 분해 능력을 가지면서 비선형적인 특성 제어가 가능하거나 아니면, 선형적인 특성을 가지면서 256 계조 이상의 분해 능력을 가져야 한다.

일반적으로 전류 모드 D/A 변환기를 포함한 대부분의 D/A 변환기는 선형적인 출력 특성을 갖기 때문에 256 계조 이상의 D/A 변환기를 설계한 후, 화소 특성에 맞는 계조를 선택적으로 쓰는 구조를 택하였다. 즉, 10비트의 1024 계조를 갖는 D/A 변환기를 설계한 후, 1024 계조 중 화소 특성에 맞는 256 계조만을 선택하여 출력하게 된다. 이 경우 화소의 계조 특성을 미리 알고 256 계조에 해당하는 값을 미리 선택하여 메모리에 저장한 후, 구동 회로의 컨트롤러에서는 디지털 신호 처리에 의해 해당하는 10비트의 비디오 데이터값을 데이터 구동 IC로 전송하게 된다. 또한, RGB 컬러에 따라 화소의 계조 표현 특성이 틀리므로 컨트롤러에서는 RGB 각각 메모리에 참조 테이블(look-up table)을 구성하고, 이때, 필요한 메모리의 용량은 7680-bits($256 \times 10 \times 3$ bits)가 된다.

이와 같이 인가 받은 총 30비트의 데이터를 이용하여 내부적으로는 10비트 전류 모드 DAC(370a, 370b)가 동작하며, 출력은 10비트 계조 중에서 8비트를 선별하여 사용하게 된다. 상기 DB_R[9:0], DB_G[9:0] 및 DB_B[9:0] 신호는 상단의 100비트 시프트 레지스터(310)에서 생성된 순차적 출력 SRH[0:99]를 각 채널별 클럭으로 사용하는 샘플링 래치 블록(320)에서 순차적으로 래칭되어 저장되어, 직렬로 30비트씩 인가되는 비디오 신호는 샘플링 래치 블록(320)을 통해서 DBS[0:299]의 병렬 데이터로 변환된다. DBS[0:299]의 300 채널 데이터는 다음 데이터들이 샘플링되는 동안 데이터값을 유지하기 위해서 DH 신호에 의해서 홀딩 래치로 전달된다.

상기 홀딩 래치에 저장되어 있는 300 채널 데이터는 D/A 변환기를 통해서 아날로그 전류 신호로 변환되는데, D/A 변환기는 예를 들어, 좌우에 3개씩 배치될 수 있고, 전체 300 채널의 데이터를 변환하기 위해서는 50번에 걸쳐서 순차적으로 변

환을 해야 한다. 따라서, 디지털 데이터를 순차적으로 D/A 변환기(370a, 370b)로 전달하기 위한 50-to-1 디멀티플렉서(340)와 그 동작을 제어할 회로 및 신호(MSW[0:99])가 필요하고, 상기 제어 신호는 하단에 위치하고 있는 두 개의 50비트 시프트 레지스터에서 생성된다.

또한, 하단의 50비트 시프트 레지스터(340)의 출력은 멀티플렉서 제어신호 이외에도 전류 출력단 제어부(350)에서 구동 IC 최종 출력단의 전류 샘플/홀드 회로의 제어신호인 CHSB[0:99], SHM[0:99], SHMB[0:99], SHS[0:99] 및 SHSB[0:99]를 생성하기 위해서 사용되는데, 이것은 출력단 제어신호가 각 채널별로 순차적인 동작을 해야 하기 때문이다.

상기 멀티플렉서(340)를 통해서 출력된 DB_R0[9:0], DB_G0[9:0] 및 DB_B0[9:0] 30비트 데이터는 좌측의 D/A 변환기(370a)를 통해서, DB_R1[9:0], DB_G1[9:0] 및 DB_B1[9:0] 30비트 데이터는 우측의 D/A 변환기(370b)를 통해서 해당 코드에 맞는 아날로그 전류인 DAC_R0, DAC_G0 및 DAC_B0과 DAC_R1, DAC_G1 및 DAC_B1로 변환되어 구동 IC의 전류 출력단(380a, 380b)에 전달된다.

상기 150 채널 전류 출력단(380a, 380b)은 상기 D/A 변환기(370a, 370b) 출력을 인가 받아서 디멀티플렉싱 동작을 통해 300개 채널에 전류를 샘플/홀드하는 역할을 하며, 홀드된 데이터에 의해서 CO[0:299]가 결정되어 출력 전류를 형성하게 된다. 한편, 바이어스 회로(360)는 구동 IC의 각종 아날로그 회로에서 사용되는 기준전압 및 전류를 생성하고, 다음 집으로 그 기준값을 전달하는 역할을 한다.

전체 구동 IC의 동작이 완료되어, 출력이 형성되기 위해서는 최초에 2번의 로우 라인 시간(디지털 샘플링, 홀딩 및 D/A 변환 후 전류값 저장)이 지나야 하며, 그 이후에는 연속적으로 정전류 데이터를 출력하게 된다. 이것은 마치 파이프라인 구조의 동작과 유사하며, 채널간 균일성을 보장하고, D/A 변환기의 동작 속도를 낮출 수 있는 장점이 있다.

다음으로 하나의 데이터 구동 IC에 300개의 채널을 집적하기 위해서는, D/A 변환기 한 개가 다수 개의 출력 채널에 출력 전류를 공급해야 한다. 이와 같은 디멀티플렉싱(demultiplexing) 구조를 사용해 D/A 변환기의 레이아웃 면적 문제를 해결할 수 있다.

도 7a 및 도 7b는 각각 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 N 채널의 전류 출력단의 디멀티플렉싱 개념 및 타이밍을 나타내는 도면이다.

도 7a를 참조하면, 한 개의 D/A 변환기(370a 370b)에서 10-비트의 입력 비디오 신호를 아날로그 전류 신호(IDAC)로 변환하여 출력하면, CHS[0:N-1]에 의해 제어되는 N개의 스위치(390)를 통해 N개의 전류 출력단(380a, 380b)에서 순차적으로 받아들이고 저장한다. 이때, RGB 각 컬러에 대해 D/A 변환 및 전류 출력단(380a, 380b)으로의 디멀티플렉싱이 병렬 수행되므로, N은 최대 100이고 이때, D/A 변환기(370a 370b)는 최소 3개가 필요하게 된다.

전술한 디멀티플렉싱 구조를 사용할 경우 전류 출력단(380a, 380b)의 구성을 고려해야 한다. 이것은 상기 D/A 변환기(370a, 370b)의 출력 전류 신호가 한 개의 전류 출력단(380a, 380b)에 전달되는 시간과 밀접한 관련이 있다.

도 7b를 참조하면, CHS[0:N-1] 각각에 의해 각각 한 개의 전류 출력단(380a, 380b)이 모두 선택되는 1 로우 라인 타임(row line time)을 T_{ROW} , 한 개의 D/A 변환기가 공유하는 전류 출력단(380a, 380b)의 개수를 N이라 할 때, 한 개의 전류 출력단(380a, 380b) 채널에 할당되는 시간인 T_{CH} 는 다음 수학적 식 1과 같이 표현할 수 있다.

$$\text{수학적 식 1} \\ T_{CH} = \frac{T_{ROW}}{N}$$

예를 들어, 화면의 해상도를 WXGA(1280×RGB×768)라 가정하고 60Hz의 주사율(frame rate)을 가정한다면 T_{ROW} 는 21.70μs이다. 따라서 실제 설계한 데이터 구동 IC에서는 RGB 각 컬러에 대해 2쌍의 D/A 변환기(370a, 370b)가 사용되어 총 6개의 D/A 변환기를 집적하였으므로, N이 50이고 T_{CH} 는 434ns이다. 그러나, 실제 WXGA VESA 표준을 따를 경우 수직 블랭크(vertical blank) 시간이 790μs이고, 수평 블랭크(horizontal blank) 시간이 5.27μs로 이 두 값을 고려한다면 T_{CH} 는 328ns가 된다.

한편, 도 8은 본 발명의 실시예에 따른 전류 거울 구조의 전류 출력단을 개략적으로 예시하는 도면이다.

만약, 상기 전류 출력단(380a, 380b)이 도 8과 같이 D/A 변환기로부터 받은 아날로그 전류 신호인 I_{DAC} 를 즉시 출력하는 구조라면, 이 경우 328ns 동안 출력 전류인 I_{CO} 는 한 개의 데이터 라인을 충·방전함과 동시에 화소에 프로그램 전류를 기입해야 한다.

일반적으로 대형 패널의 경우 데이터 라인의 등가 저항과 등가 커패시턴스는 각각 수 k Ω 과 수십 pF이므로, 328ns 동안 데이터 라인을 충·방전하기 위해서는 데이터 구동 IC의 출력 전류가 수십 mA이어야 한다. 이와 같은 경우, 전력 소모가 구동 IC 당 수십 와트(Watt)이다. 더욱이 수십 mA의 출력을 얻기 위해 회로를 구성하는 경우, 트랜지스터 크기의 증가로 인해 300 채널 모두를 데이터 구동 IC에 집적할 수 없으므로, 사실상 그 구현이 불가능하다.

전술한 구조적 문제점을 해결하기 위해 본 발명의 실시예에서는, 도 9b 및 도 9c와 같이 전류 출력단을 마스터/슬레이브 전류 샘플-홀드 구조(Master/Slave current sample-hold)로 구성하였다.

도 9a 내지 도 9c는 각각 본 발명의 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

먼저, 도 9a는 전류 출력단에 입력되는 전류 편차를 방지하기 위해 상기 D/A 변환기(370a, 370b)의 아날로그 출력 전류인 I_{DAC} 를 일정 비를 가지는 두 전류에 해당하는 2개의 차동 입력 신호를 전달하고, 두 전류의 차이값으로 실제 전류를 결정하는 것을 개략적으로 나타내고 있다. 즉, 상기 D/A 변환기(370a, 370b)의 아날로그 출력 전류인 I_{DAC} 및 부신호 I_{DACB} 를 전류 S/H(381)에 입력하여 두 전류의 차이값으로 실제 전류를 결정함으로써 오차를 줄이게 된다.

도 9b는 전류 출력단에서 속도를 빠르게 하기 위해 마스터/슬레이브 S/H 회로를 추가한 것을 개략적으로 나타내고 있다.

도 9c는 전류 출력단에서 적은 전류로 인해 데이터 기입에 오랜 시간이 걸리는 것을 방지하기 위해 출력 전류에 일정 전류를 더한 후에 최종 출력 전에 더한 만큼을 빼서 실제 전류를 결정하는 것을 개략적으로 나타내고 있다.

또한, 앞의 도 8과는 달리 도 9b 내지 도 9c의 구조는 D/A 변환기의 출력 전류를 전류 출력단에서 샘플링하고 홀딩하는 구조이다. 이러한 마스터 전류 샘플-홀드 회로(381a)와 슬레이브 전류 샘플-홀드 회로(381b)는 동일하며, 각각의 전류 샘플-홀드 회로(381a, 381b)는 전류의 샘플링 기능과 홀딩 기능을 교대로 수행하되, 서로 배타적으로 수행된다.

즉, 상기 마스터 전류 샘플-홀드 회로(381a)가 상기 D/A 변환기(370a, 370b)의 아날로그 출력 전류인 I_{DAC} 를 샘플링하는 동안, 슬레이브 전류 샘플-홀드 회로(381b)는 이전 로우 라인 시간동안 샘플링한 I_{DAC} 값인 I_{SL} 을 홀딩하면서 패널 내 화소에 I_{CO} 값을 프로그램한다. 이와는 반대로 슬레이브 전류 샘플-홀드 회로(381b)가 I_{DAC} 를 샘플링하는 동안 마스터 전류 샘플-홀드 회로(381a)는 이전 로우 라인 시간동안 샘플링한 I_{DAC} 값인 I_{MS} 를 홀딩하면서 패널 내 화소에 I_{CO} 값을 프로그램한다.

이와 같은 구성에 따라 전류의 샘플링 시간은 이전의 T_{CH} 와 동일하나, 패널의 데이터 라인을 충·방전하는 시간은 로우(row) 라인 시간으로 늘어나게 되어, 데이터 라인의 충·방전 시간을 확보할 수 있다.

상기 마스터/슬레이브 전류 샘플-홀드 구조(381a, 381b)에 의해 패널의 충·방전 시간을 확보했으나, 여전히 D/A 변환기(370a, 370b)의 출력 전류를 T_{CH} 이내에 상기 전류 출력단(380a, 380b)에 샘플링해야 된다.

이 경우 패널 데이터 라인의 충·방전 문제와 마찬가지로 구동 IC 내에서도 배선 라인의 충·방전 문제를 고려해야 한다. 전술한 바와 같이 D/A 변환기(370a, 370b)와 전류 출력단(380a, 380b) 간의 신호 전송은 디멀티플렉싱을 통해 이루어진다.

따라서 D/A 변환기(370a, 370b)의 출력 신호 포트로부터 전류 출력단(380a, 380b)의 입력까지의 신호 배선 라인은 그 길이가 최대 9000 μ m 이상이고, 이 경우 등가적으로 수백 Ω 의 기생 저항값과 수 pF의 기생 커패시턴스값을 갖는다.

이러한 신호 배선 라인 외에도 다이오드 형태로 연결된 MOS 트랜지스터 M0 또한 D/A 변환기(370a, 370b)의 전류 출력 신호가 충·방전해야 할 부하이다. 상기 MOS 다이오드(M0)는 전류 레벨이 낮아질수록 트랜스컨덕턴스값(gm)이 급격하게

감소하고, 특히 sub-threshold 영역에서 동작하는 경우 낮은 gm값으로 인해 충·방전 시간이 길어지는 테일링 효과가 나타나며, 만약 충·방전하기 위한 최소 전류 레벨을 높이기 위해 D/A 변환기의 1LSB 값을 수십 μA 이상 높이더라도, 최대 전류값이 1LSB의 1024배이므로 MOS 다이오드의 W/L은 증가해야 한다.

상기 MOS 다이오드(M0)의 W/L값이 증가하게 되면 비록 최소 전류 레벨이 수십 μA 이상이더라도, 최소 전류 레벨에서는 MOS 다이오드(M0)가 sub-threshold 영역에서 동작하게 된다. 따라서 상기 D/A 변환기(370a, 370b)의 전류값을 선형적으로 스케일하는 것으로는 신호 배선 라인 및 MOS 다이오드(M0)의 충·방전 문제를 해결할 수 없다.

따라서 본 발명의 실시예에서는 도 9c에 도시된 바와 같이, DC 전류를 D/A 변환기(370a, 370b)의 출력 신호에 인가해 주고, 인가한 DC 전류 신호를 전류 출력단(380a, 380b)의 출력 전류에서 빼주는 구조에 의해 신호 배선 라인 및 MOS 다이오드(M0)의 충·방전 문제를 해결하였다.

한편, 도 10a 내지 도 10c는 각각 본 발명의 다른 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

먼저, 도 10a는 전술한 도 9a 및 도 9b의 기능을 합한 것이고, 도 10b는 도 10a의 구체적인 회로 구성을 나타낸다. 또한, 도 10c는 전술한 도 9b 및 도 9c의 기능을 합한 것으로, 후술하는 도 11을 참조하여 구체적으로 설명하기로 한다.

한편, 도 9c의 I_{DC} 캐리어 블록에서 전류원인 I_{DC} 가 그 역할을 담당하는데, 동작을 설명하기 위한 그 개념도를 도 12에 나타내었다.

도 12는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 MOS 다이오드(M0)에 I_{DC} 성분을 인가한 경우 및 인가하지 않은 경우의 전류 특성 곡선을 나타내는 도면으로서, MOS 다이오드(M0)에 I_{DC} 성분을 인가했을 경우('A' 영역)와 인가하지 않은 경우('B' 영역) M0의 전류 특성 곡선을 나타낸다.

상기 D/A 변환기(370a, 370b)의 출력 전류 범위가 $0\text{A} \sim I_{\text{MAX}}\text{A}$ 일 때, I_{DC} 전류를 인가하지 않았을 경우 도 9a 내지 도 9c의 MOS 다이오드(M0)의 동작영역은 'A'이고 I_{DC} 를 인가했을 경우 동작 영역은 'B'이다. 도 12에 도시된 바와 같이 동작 영역 'A'에서는 MOS 다이오드(M0)가 sub-threshold 영역에서 동작할 수 있어 전류의 테일링(tailing) 효과가 발생하게 된다.

그러나 동작 영역 'B'에서는 MOS 다이오드(M0)가 항상 포화(saturation) 영역에서 동작하게 되어 전류의 테일링 효과가 발생하지 않는다. 또한 D/A 변환기(370a, 379b)의 최대 전류 레벨을 작게 설계할 수 있어, 전류 출력단(380a, 380b)은 M0 트랜지스터의 W/L 비의 증가 없이 설계 가능하므로 면적 측면에서도 유리한 장점을 지닌다.

또한, 도 6을 다시 참조하면, 바이어스 회로(360)는 D/A 변환기(370a, 379b)의 동작에 필요한 기준 전류원(idac1~idac6)을 생성하는 회로로서, 기준 전류원을 생성하여 데이터 구동 IC 내 6개의 D/A 변환기(370a, 370b)에 공급한다. 또한 전류 출력단(380a, 380b)에 필요한 기준 전압 신호를 생성한다.

본 발명의 실시예에 따른 구동 IC에 집적한 D/A 변환기(370a, 379b)는 일반적인 전류 모드 D/A 변환기 구조로서, 디지털 블록의 홀딩 래치에 저장되어 있던 비디오 데이터 신호인 DATA[9:0]이 우선 CLKL 클록의 상승 에지(rising edge)에 동기화되어 샘플링 래치에 저장된다. 이후, 상기 저장된 신호는 디코더를 거쳐 상위 6-비트는 온도계 코드(thermometer-coded) 전류 어레이(array)를 제어하고, 하위 4-비트는 이진-가중치(binary-weighted) 전류 어레이를 제어한다. 이러한 각각의 전류 어레이에서는 데이터값에 맞는 전류값을 출력하고, 두 전류값을 더한 값인 I_{DAC} 는 각 전류 출력단으로 전달된다.

또한, 상기 10-비트 전류 모드 D/A 변환기(370a, 370b)는 바이어스 회로(360)에서 생성한 기준 전류원으로부터 1024 단계의 전류값 중 어느 한 값을 출력하여 전류 출력단(380a, 380b)에 전달한다. RGB 각 컬러에 대해 D/A 변환기(370a, 379b)의 전류 출력 범위를 다르게 설계할 수 있으나, 그 경우 각 D/A 변환기(370a, 379b)마다 별도의 바이어스 생성 회로가 필요하게 된다. 각기 다른 바이어스 생성 회로의 추가는 IC 면적의 증가와 더불어 각 D/A 변환기(370a, 379b) 사이의 균일성을 떨어뜨릴 수 있다.

한편, 도 11은 본 발명의 구체적인 실시예에 따른 전류 구동형 디스플레이 소자의 데이터 구동부 출력단을 나타내는 도면이다.

도 11을 참조하면, D/A 변환기(370a, 370b)의 출력 전류인 I_{DAC} 는 각 전류 출력단에 순차적으로 샘플링되어 저장된다. 이후, 상기 전류 출력단(380a, 380b)은 I_{DAC} 값을 각 채널 당 주어진 시간(WXGA 기준 328ns) 내에 정확히 샘플링할 수 있어야 하고, 면적을 최소화하여 52 μ m 피치 내에 레이아웃할 수 있어야 한다.

본 발명의 실시예에 따른 구동 IC의 전류 출력단(380a, 380b)은 전술한 문제점들을 마스터/슬레이브 전류 샘플-홀드 구조(381a, 381b)와 I_{DC} 캐리어(383)로 해결하게 된다.

상기 D/A 변환기(370a, 370b)로부터 입력받은 전류 신호인 I_{DAC} 와 그 부신호인 I_{DACB} 는 I_{DC} 캐리어 블록(383)에서 생성한 I_{DC} 전류와 더해진 후 마스터/슬레이브 전류 S/H 블록(381a, 381b)으로 전달된다. 이때, N번째 전류 출력단(380a, 380b)만을 선택하기 위해서 CHSB 신호가 PMOS 스위치(M0, M1)를 제어한다.

상기 마스터/슬레이브 전류 S/H(381a, 381b)는 앞서 설명한 마스터/슬레이브 전류 샘플 홀드 회로로서, 입력 전류인 $I_{DAC} + I_{DC}$ 를 마스터 전류 샘플-홀드 회로(381a) 또는 슬레이브 전류 샘플-홀드 회로(381b)에 저장한다. SHM[N]/SHMB[N]과 SHS[N]/SHSB[N]은 하이논리 값을 가질 때 각각 마스터 전류 샘플-홀드 회로(381a) 및 슬레이브 전류 샘플-홀드 회로(381b)에 전류값을 샘플링하여 저장한다.

상기 마스터 전류 샘플-홀드 회로(381a)의 출력 전류인 I_{MS} 와 슬레이브 전류 샘플-홀드 회로의 출력 전류(381b)인 I_{SL} 은 정수 배로 증폭되어, 제어 신호 MSS/MSSB 값에 따라 선택적으로 최종 출력 전류인 I_{CO} 로 전달되어 AM-OLED 패널을 구동하게 된다.

이때, 상기 전류 출력단(380a, 380b)의 입력부에서 더한 I_{DC} 성분을 제거하기 위해 I_{DC} 캐리어 블록(383)에서는 전류 신호인 I_{PRE} 를 출력 미러(Output mirror)에 전달하고, 상기 출력 미러에서는 I_{MS} 또는 I_{SL} 에서 I_{PRE} 값을 뺀 후 I_{CO} 전류를 출력한다. 여기서, 상기 출력 미러는 2-to-1 멀티플렉서(382)와 가산기(384)를 포함할 수 있다. 이외 VB1, VB2, VAMPI, VAMPO 및 VREF는 각 블록에 공급되는 바이어스 신호이다. CLOB~CL2B는 I_{CO} 의 출력 범위를 조절하는 제어 신호이다.

도 13은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 출력 범위를 예시하는 도면으로서, CLOB~CL2B 조합에 따른 I_{CO} 의 출력 범위를 나타낸다.

[표 1]

CRSI[1:0]	CL2B	CL1B	CLOB	I_{CO}	$I_{CO,1LSB}$
'00'	1	1	1	0 μ A~74.25 μ A	72.5nA
'01'	1	1	0	0 μ A~148.5 μ A	145.0nA
'10'	1	0	0	0 μ A~222.75 μ A	217.5nA
'11'	0	0	0	0 μ A~297.0 μ A	290.0nA

본 발명의 실시예에 따른 데이터 구동 IC의 출력 전류인 I_{CO} 의 최대 출력 범위는 0 μ A~297 μ A이고, 이를 1024 등분하여 비디오 데이터를 통해 전류 레벨을 결정한다. 이 경우 1 LSB 전류는 290nA이다. 그러나 패널의 화소 구조에 따라, 또는 각 컬러에 따라 원하는 1 LSB 전류 및 출력 전류의 범위가 달라질 수 있다. 따라서 데이터 구동 IC의 범용성을 높이기 위해서는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소 가능해야 한다.

이를 위해 본 전류 출력단에는 전류 샘플-홀드 회로(381a, 381b)와 I_{DC} 캐리어(383)에 2-비트의 D/A 변환기(386)를 내장함으로써, 도 13과 같이 4 단계의 전류 출력 범위를 얻을 수 있게 된다. 이를 제어하는 구동 IC의 제어신호는 RGB 컬러에 대해 각각 CRS_R[1:0], CRS_G[1:0] 및 CRS_B[1:0]이다. 이 CRS 신호는 데이터 구동 IC 내의 디코더를 거쳐 CL0B~CL2B 신호를 생성하게 된다.

한편, 도 14a 및 도 14b는 각각 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 동작 타이밍을 나타내는 도면으로서, 전류 출력단에 인가되는 디지털 제어신호의 타이밍도를 나타내고 있다.

도 14a는 MSS가 로우논리 값을 갖는 경우로 I_{CO} 는 I_{SL} 을 받아 처리 후 출력하고, 입력 전류인 I_{DAC} 는 마스터 전류 샘플-홀드 회로(381a)에서 샘플링한다. 반대로 도 14b와 같이 MSS가 하이논리 값을 갖는 경우는 I_{CO} 가 I_{MS} 를 받아 처리한 후 출력하고, I_{DAC} 는 슬레이브 전류 샘플-홀드 회로(381b)에서 샘플링한다. 교대 신호인 MSS는 AM-OLED의 구동 시간에서 1 로우 라인 타임을 주기로 반전되어, 마스터 전류 샘플-홀드 회로(381a)와 슬레이브 전류 샘플-홀드 회로(381b)의 역할을 주기적으로 교번하게 된다.

도 15는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 전류 샘플-홀드(S/H) 블록의 회로도이다. 이때, 도 10b에 트랜지스터 M0 및 M1이 표기되어 있고, 도 15에 M1이 표기되어 있지만, 실질적으로는 다른 트랜지스터를 나타낸다.

도 15를 참조하면, 입력 전류 신호인 $I_{DAC}+I_{DC}$ 와 $I_{DACB}+I_{DC}$ 는 MOS 다이오드인 도 10b의 M0과 M1에 각각 프로그램된다. 사실상 $I_{DACB}+I_{DC}$ 신호는 더미 신호로서, D/A 변환기의 정신호인 I_{DAC} 와 그 부신호인 I_{DACB} 의 부하 조건을 일정하게 하여 D/A 변환기의 변환 속도가 저하되는 것을 막는 역할을 담당한다. 도 10b의 M1 트랜지스터에 프로그램된 $I_{DAC}+I_{DC}$ 신호는 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에 샘플링된다.

두 가지의 전류 샘플-홀드 회로는 그 회로가 동일하고, 도 10b의 M1 트랜지스터는 전류 거울 구조로 $I_{DAC}+I_{DC}$ 전류값을 도 15의 M2, M6, M8 및 M10 트랜지스터에 8배 비례 축소하여 전달한다. 또한, 차동 증폭기와 M1, M7, M9 및 M11 트랜지스터는 전류 샘플-홀드 회로 내의 전류원인 M2, M6, M8 및 M10 트랜지스터의 출력 저항을 증가시키는 역할을 담당한다.

이것은 도 10b의 MOS 다이오드인 M1이 캐스코드 형태가 아닌 관계로 M1의 드레인 노드 전압을 도 10b의 차동 증폭기에서 검출하여 도 15의 M2, M6, M8 및 M10 트랜지스터의 드레인 노드 전압값과 도 10b의 M1의 드레인 노드 전압값을 같도록 도 15의 M1, M7, M9 및 M11 트랜지스터의 게이트 바이어스를 조절하는 원리이다.

상기 전류 신호의 샘플-홀드 동작은 SHM(SHS), SHMB(SHSB) 신호에 의해 제어되는 스위치 및 PMOS 스위치에 의해 이루어진다. 각 스위치와 PMOS 스위치를 단락한 경우, 도 10b의 M1 트랜지스터의 게이트 전압을 도 15의 홀딩 커패시터(Holding capacitor: 385)인 CH1과 CH2에 저장함으로써 샘플링 동작을 수행하고, 스위치와 PMOS 스위치를 개방한 경우, CH1과 CH2가 플로팅 커패시터가 되어 저장한 전압값을 홀딩하고, 도 15의 M2, M6, M8 및 M10 트랜지스터에 정전류를 흐르게 하는 홀딩 동작을 수행한다. 또한 상기 M2, M6, M8 및 M10 트랜지스터에 흐르는 전류는 2비트 D/A 변환기에 의해 I_{MS} 또는 I_{SL} 로 출력된다. 따라서 I_{MS} 또는 I_{SL} 의 최대값은 $I_{DAC}+I_{DC}$ 값을 최대 8배, 최소 2배 비례 축소된 값이다.

도 16은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 I_{DC} 캐리어 블록의 회로도이다.

도 16은 I_{DC} 캐리어 블록의 회로도를 나타낸다. I_{DC} 는 바이어스 블록에서 생성한 아날로그 전압인 VB1과 VB2를 M0, M3, M4 및 M5 트랜지스터의 게이트 노드에 인가함으로써 생성하며, 목적값은 $20\mu A$ 이다. 이때, 생성한 I_{DC} 전류는 2-비트 D/A 변환기(387)를 거쳐 비례 축소 또는 비례 확대되어 I_{PRE} 신호를 출력 미러 블록으로 전달한다. 이것은 I_{DC} 전류가 마스터/슬레이브 전류 S/H 블록(381a, 381b)에서 비례 축소되는 것을 보상하기 위함이다.

또한, 상기 I_{DC} 캐리어 블록(383)에서 주목할 점은 I_{DC} 전류값이다. 회로의 동작에 있어, I_{DC} 값이 반드시 $20\mu A$ 라는 절대적인 값을 출력해야 할 필요는 없다. 왜냐하면, 추가 전류인 I_{DC} 의 역할은 I_{DAC} 전류가 전류 출력단(380a, 380b)을 통과할 때 낮은 전류값에 상관없이 항상 모든 트랜지스터들이 포화 영역에서 동작하도록 하는 것과 그 동작 속도를 빠르게 함에 있다.

따라서 도 16의 I_{DC} 값과 I_{PRE} 값이 정확히 정수 배의 비례 관계를 유지하면 되므로, 채널 간 M0, M3, M4 및 M5 트랜지스터의 정합 문제는 중요하지 않다. 그러나, 한 채널의 전류 출력단(380a, 380b) 내에서의 트랜지스터들 간의 정합 문제는 중요하다. 즉, 도 16의 M0, M5 및 M6 트랜지스터간의 정합과 M3, M4 및 M7 트랜지스터간의 정합은 반드시 보장되어야 I_{DC} 캐리어 블록(383)이 전류 출력단(380a, 380b)의 최종 출력에 영향을 끼치지 않는다.

한편, 도 17은 본 발명의 실시예에 따른 데이터 구동부 전류 출력단의 2-to-1 멀티플렉서 블록의 회로도로서, 전술한 바와 같이, 도 17은 전류 출력단의 최종단인 2-to-1 멀티플렉서 블록인 출력 미러(Output mirror) 블록을 나타내며, 실질적으로는 전술한 가산기(384)를 포함하게 된다.

결국, 상기 마스터/슬레이브 전류 S/H(381a, 381b)의 출력 전류 신호인 I_{MS} 및 I_{SL} 과 I_{DC} 캐리어 블록(383)의 출력 신호인 I_{PRE} 신호를 연산하여 최종적으로 I_{CO} 전류를 출력하여 AM-OLED 패널을 구동하게 된다.

전술한 도 14a 및 도 14b에 도시된 타이밍도에서 살펴본 바와 같이, MSS/MSSB 신호에 따라 I_{CO} 는 I_{MS} 와 I_{SL} 중 하나를 선택하여 출력한다. I_{MS} , I_{SL} 및 I_{PRE} 전류는 CL0B~CL2B에 따라 비례 확대 또는 축소되며, 그 수학식은 다음과 같다.

수학식 2

$$I_{MS} = I_{SL} = \alpha \times (I_{DAC} + I_{DC}), I_{PRE} = 4 \times \alpha \times I_{DC}$$

수학식 3

$$I_{CO} = 4 \times I_{MS} - I_{PRE} = 4 \times I_{SL} - I_{PRE} = 4 \times \alpha \times I_{DAC}$$

여기서, α 는 0.5, 0.25, 0.125, 0.0625이며, 상기 수학식 3에 의해 I_{CO} 는 α 값에 따라 상기 I_{DAC} 전류 출력 범위의 최대 2배의 비례 확대된 전류 출력 범위를 갖는다. 본 발명의 실시예에 따른 구동 IC의 최종 출력단은 I_{CO} 전류를 싱크(sink)하는 구조이고, AM-OLED 패널의 고전압 공급 전원에서 I_{CO} 전류를 공급한다.

한편, 도 18a 및 도 18b는 본 발명의 실시예에 따른 데이터 구동부 전류 출력단에 I_{DC} 캐리어 블록(383)이 있는 경우와 없는 경우의 I_{DAC} 전류 신호의 안정화(settling) 파형을 나타내는 도면으로서, D/A 변환기(370a, 370b)로부터 전류 출력단(380a, 380b)까지 I_{DAC} 전류 신호의 안정화 파형을 나타낸다.

상기 D/A 변환기(370a, 370b)의 출력 전류인 I_{DAC} 가 전류 출력단(380a, 380b)에 전달되어 프로그램되는 안정화(settling) 시간을 검증해야 한다. 60Hz 프레임 주사율을 갖는 WXGA 해상도 패널을 구동하기 위해선 안정화 시간이 328 ns 이내여야 한다. 그런데 총 50개의 전류 출력단(380a, 380b)은 한 개의 D/A 변환기(370a, 370b) 전류 출력을 공유하고 있다.

상기 전류 출력단(380a, 380b)의 채널 피치(pitch)는 $52\mu m$ 이고, 전류 출력단(380a, 380b)의 배열은 RGB가 반복되는 구조이므로 I_{DAC} 신호 배선은 최대 $7800\mu m(3 \times 50 \times 52\mu m)$ 의 길이를 갖고 전류 출력단(380a, 380b)으로 전달된다. 따라서 안정화 시간을 검증하기 위해서는 I_{DAC} 신호 배선의 부하 효과를 고려해야 한다. 도 18a 및 도 18b에 도시된 바와 같이, I_{DC} 캐리어 블록(383)이 있는 경우는 안정화 시간이 328ns 이내이지만, I_{DC} 캐리어 블록이 없는 경우는 I_{DAC} 의 하강 곡선에서 안정화 시간이 규격을 만족하지 못하는 것을 알 수 있다.

이상 앞에서 설명한 10-비트 전류 모드 D/A 변환기(370a, 379b) 및 전류 출력단(380a, 380b)을 갖는 데이터 구동 IC 구조를 통해 전술한 종래 기술의 문제점들을 해결할 수 있다.

본 발명의 발광 표시장치를 예로써 설명하였지만 데이터 구동장치를 필요로 하는 표시장치에 모두 적용될 수 있다. 이상의 설명에서 본 발명은 특정의 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

발명의 효과

본 발명에 따르면, 한 개의 D/A 변환기 출력으로 다수 채널의 전류 출력단을 구동하므로, 다수의 D/A 변환기를 사용할 경우에 발생하는 D/A 변환기간의 출력 편차를 없앨 수 있으며, 저소비 전력으로 동작할 수 있다.

또한, 본 발명에 따르면, 샘플-홀드 동작의 전류 출력단은 패널 데이터 라인의 충전 시간을 확보할 수 있으므로 낮은 출력 전류로서 대형 디스플레이 패널을 구동할 수 있다.

(57) 청구의 범위

청구항 1.

아날로그 변환된 출력 전류에 대응하는 각각의 데이터 신호를 해당 데이터선에 순차적으로 인가하는 데이터 구동부의 전류 출력 장치에 있어서,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 데이터 구동부의 전류 출력 장치.

청구항 2.

제1항에 있어서,

상기 제2 제어신호와 제3 제어신호는 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 동시에 샘플링 동작이 발생하지 않도록 서로 배타적으로 제공되는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 3.

제1항에 있어서,

상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 4.

제1항에 있어서,

상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 출력되는 전류는 정수 배 증폭되어 상기 제4 제어신호에 따라 선택적으로 출력되는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 5.

제1항에 있어서,

상기 마스터 또는 슬레이브 전류 샘플/홀드 회로는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함하는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 6.

제1항에 있어서,

상기 아날로그 출력 전류는 정신호 및 부신호로 이루어지되, 상기 정신호 및 부신호는 서로 일정 비를 가짐으로써 부하 조건을 일정하게 하고, 상기 아날로그 변환되는 출력 전류의 변환 속도가 저하되지 않게 하는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 7.

제1항에 있어서,

상기 아날로그 출력 전류(I_{DAC})에 소정의 추가 직류 전류(I_{DC})를 더하여 상기 마스터 및 슬레이브 전류 샘플/홀드 회로에 제공하는 추가 전류 제공부(I_{DC} carrier)를 더 포함하는 데이터 구동부의 전류 출력 장치.

청구항 8.

제7항에 있어서,

상기 추가 전류 제공부에서 제공된 추가 직류 성분(I_{DC})을 상기 멀티플렉서에서 출력되는 신호로부터 상기 추가 직류 성분만큼 다시 빼는 가산기를 더 포함하는 데이터 구동부의 전류 출력 장치.

청구항 9.

제7항에 있어서,

상기 추가 전류 제공부는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함하는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 10.

제1항에 있어서,

상기 스위칭 수단은 복수개 구비되는 전류 출력 장치 중 어느 하나를 선택하는 것을 특징으로 하는 데이터 구동부의 전류 출력 장치.

청구항 11.

표시패널의 복수의 데이터선에 해당 데이터 신호를 각각 인가하는 데이터 구동 장치에 있어서,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부;

상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 D/A 변환부; 및

상기 D/A 변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 전류 출력부를 포함하되,

상기 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 데이터 구동 장치.

청구항 12.

제11항에 있어서,

상기 제2 제어신호와 제3 제어신호는 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 동시에 샘플링 동작이 발생하지 않도록 서로 배타적으로 제공되는 것을 특징으로 하는 데이터 구동 장치.

청구항 13.

제11항에 있어서,

상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 하는 데이터 구동 장치.

청구항 14.

제11항에 있어서,

상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 출력되는 전류는 정수 배 증폭되어 상기 제4 제어신호에 따라 선택적으로 출력되는 것을 특징으로 하는 데이터 구동 장치.

청구항 15.

제11항에 있어서,

상기 마스터 또는 슬레이브 전류 샘플-홀드 회로는 출력 전류 범위가 최대 출력 전류 범위에서 비례 축소되도록 출력 범위를 조절하는 2비트 아날로그/디지털 변환기를 포함하는 것을 특징으로 하는 데이터 구동 장치.

청구항 16.

선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소를 포함하는 표시부와 상기 데이터 신호를 생성하여 상기 데이터선에 각각 인가하는 데이터 구동부와 상기 선택신호를 생성하여 상기 주사선에 각각 인가하는 주사 구동부를 포함하는 발광 표시 장치에 있어서,

상기 데이터 구동부는,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부;

상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 D/A 변환부; 및

상기 D/A 변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 전류 출력부를 포함하되,

상기 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 발광 표시 장치.

청구항 17.

제16항에 있어서,

상기 제2 제어신호와 제3 제어신호는 상기 마스터 및 슬레이브 전류 샘플-홀드 회로에서 동시에 샘플링 동작이 발생하지 않도록 서로 배타적으로 제공되는 것을 특징으로 하는 발광 표시 장치.

청구항 18.

제16항에 있어서,

상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 하는 발광 표시 장치.

청구항 19.

발광 표시 패널에 있어서,

선택신호를 전달하는 복수의 주사선;

데이터 전류를 전달하는 복수의 데이터선;

상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소;

상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사 구동부; 및

순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하고, 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 전류 출력부를 통해 제어하는 데이터 구동부

를 포함하되,

상기 데이터 구동부의 전류 출력부는,

제1 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})의 공급을 제어하는 스위칭 수단;

제2 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 샘플링 또는 홀딩하는 마스터 전류 샘플-홀드 회로;

제3 제어신호에 따라 상기 아날로그 출력 전류(I_{DAC})를 홀딩 또는 샘플링하는 슬레이브 전류 샘플-홀드 회로; 및

제4 제어신호에 따라 상기 마스터 전류 샘플-홀드 회로 또는 슬레이브 전류 샘플-홀드 회로에서 홀딩 중인 출력 전류를 선택하여 해당 데이터선에 인가하는 멀티플렉서

를 포함하는 발광 표시 패널.

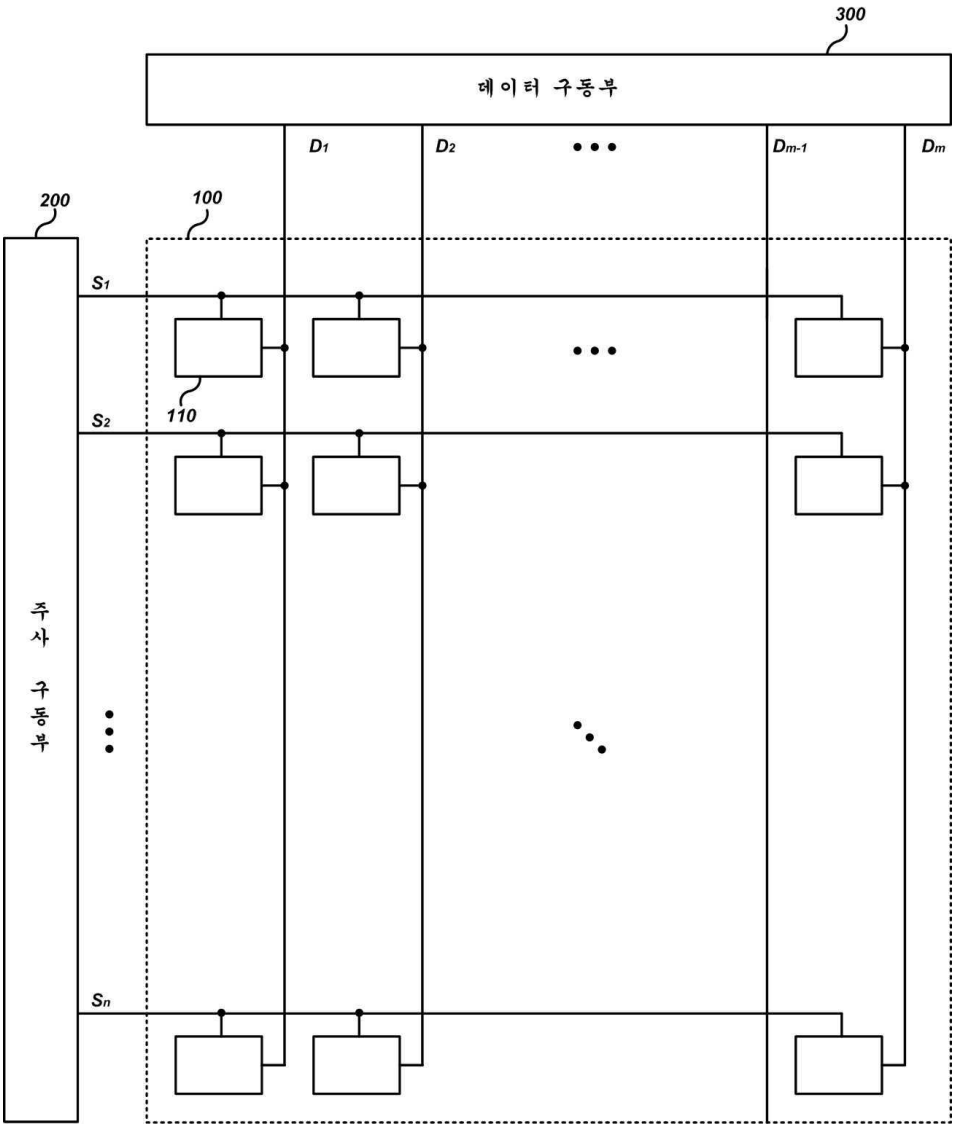
청구항 20.

제19항에 있어서,

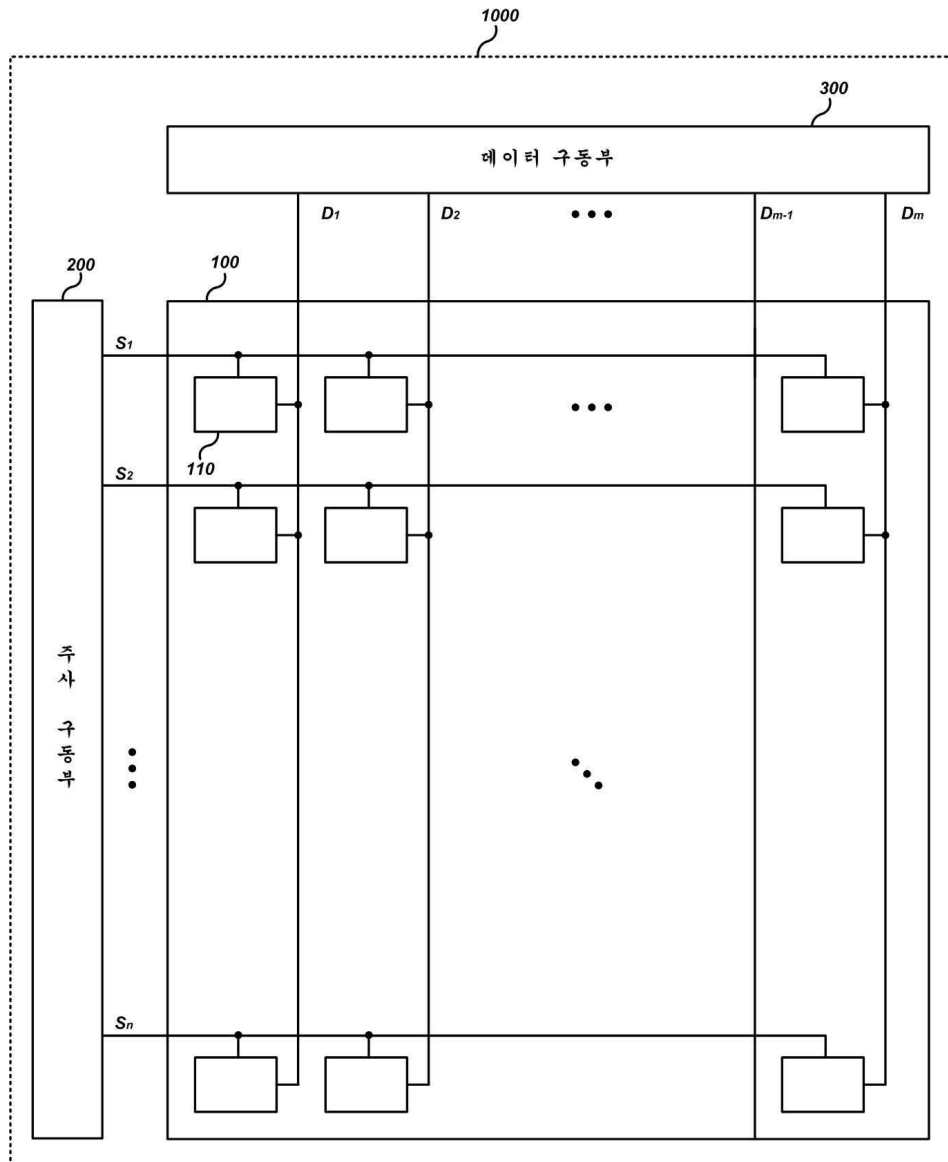
상기 마스터 및 슬레이브 전류 샘플-홀드 회로는 어느 하나가 상기 아날로그 출력 전류를 샘플링하는 경우 다른 하나는 이전의 로우(row) 라인 시간 동안 샘플링한 전류값을 홀딩하는 것을 특징으로 하는 발광 표시 패널.

도면

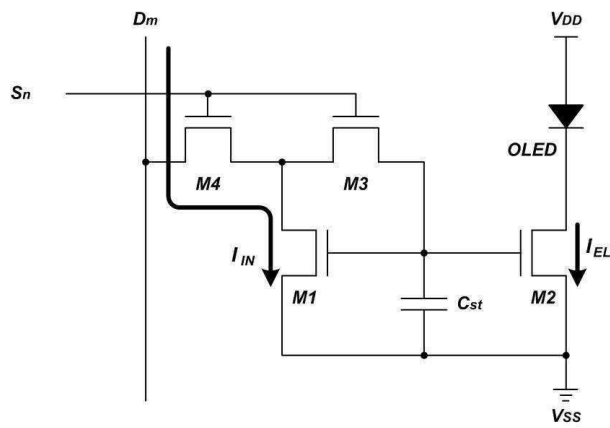
도면1



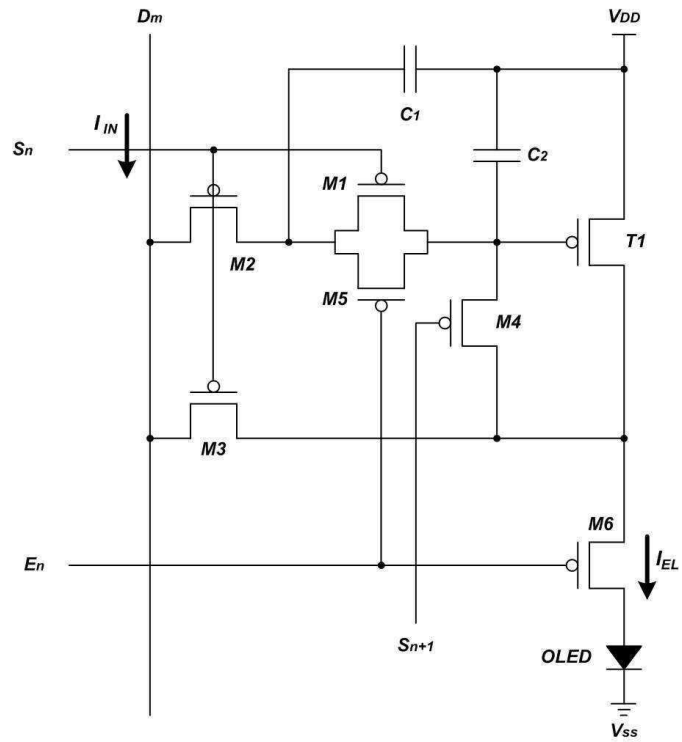
도면2



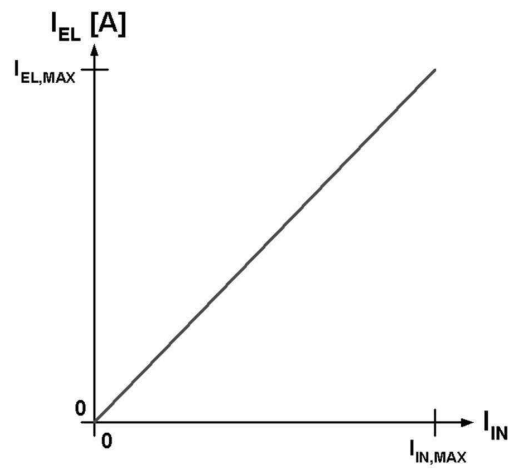
도면3a



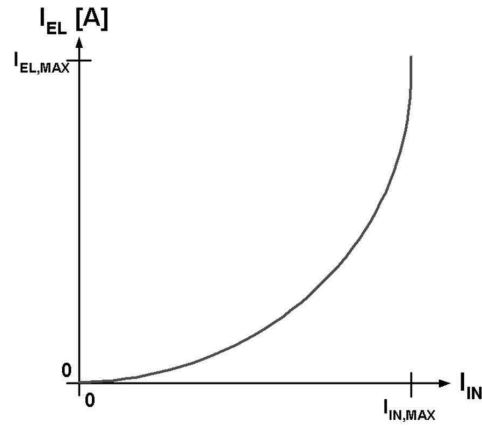
도면3b



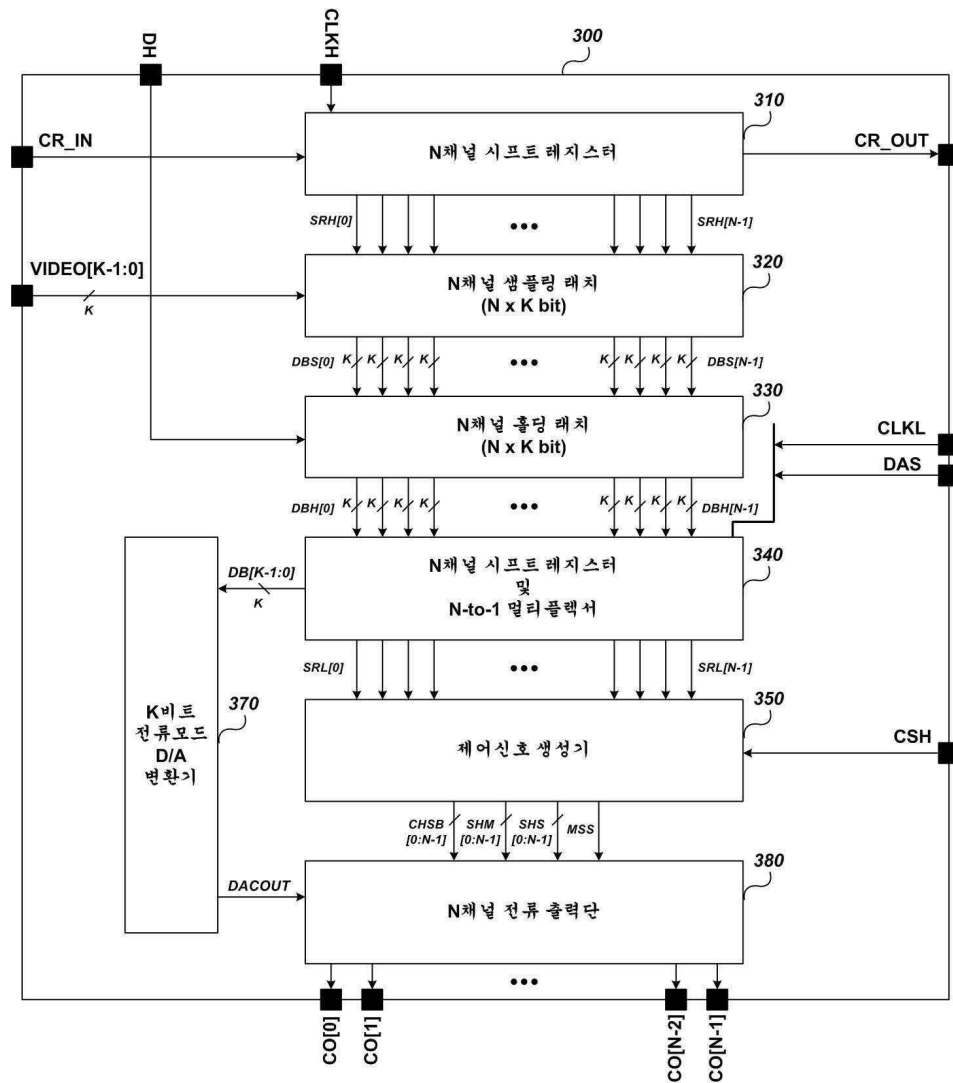
도면4a



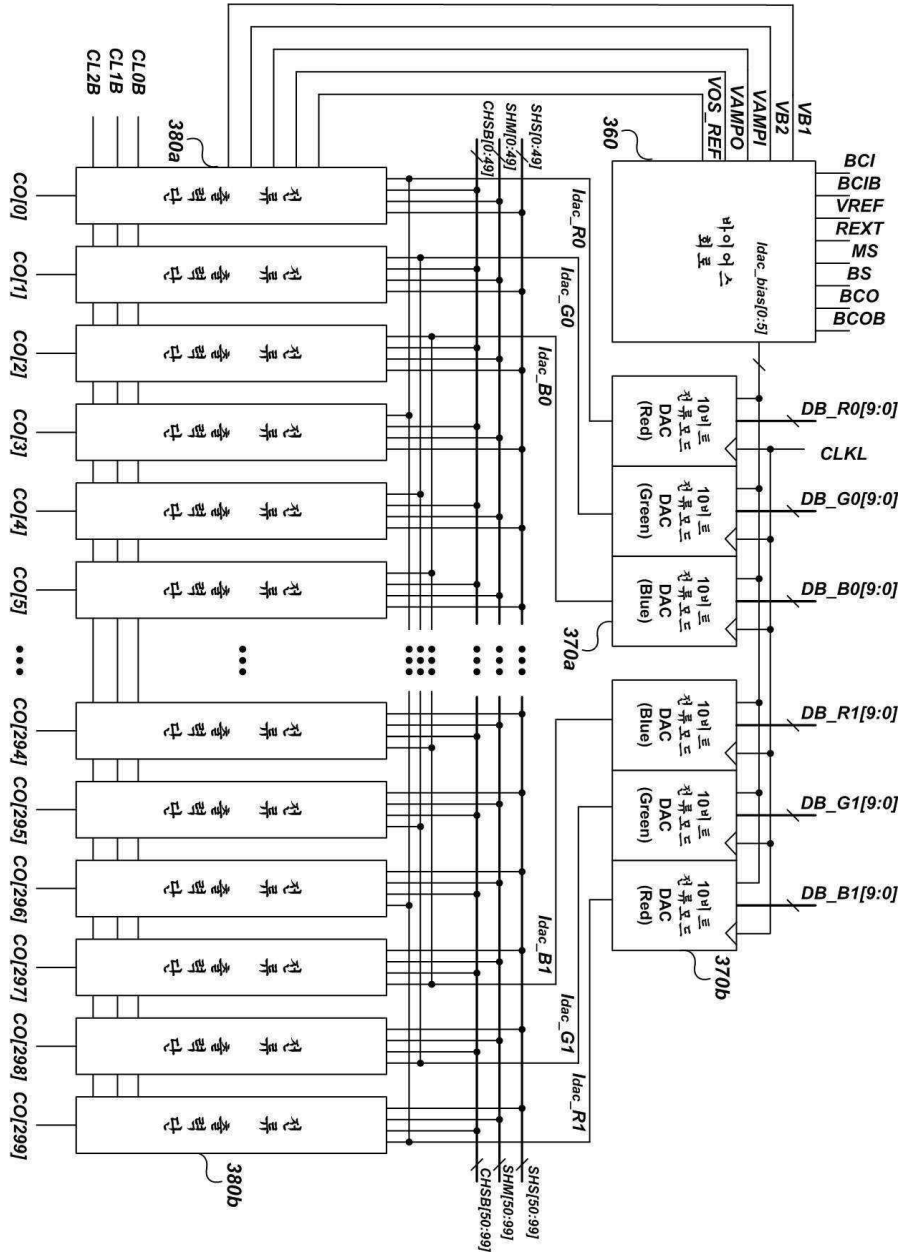
도면4b



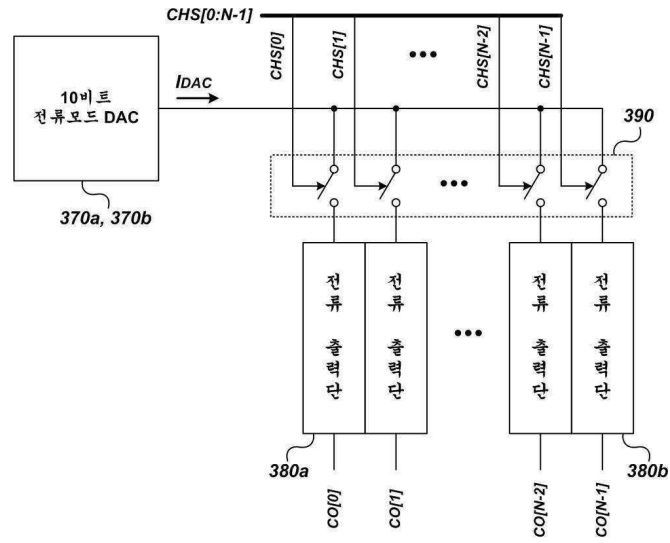
도면5



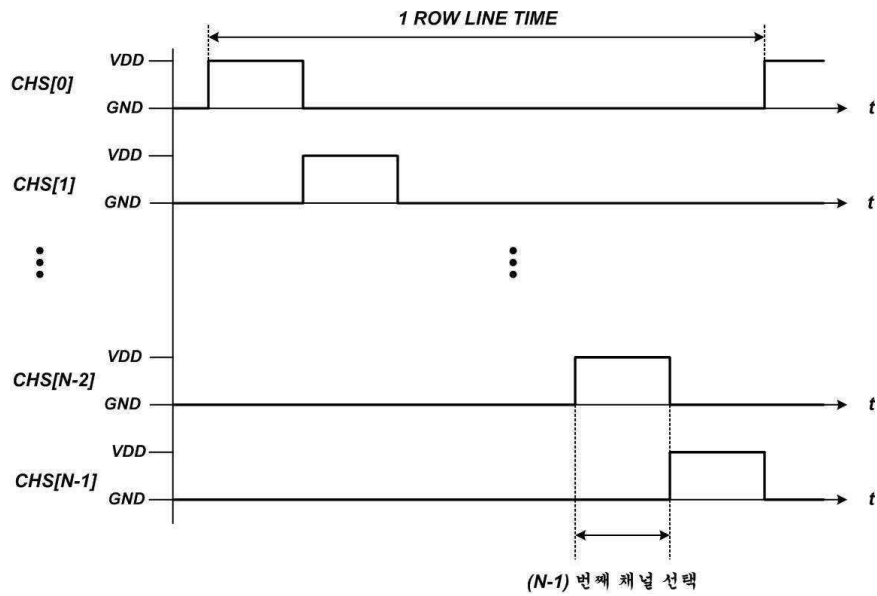
도면6



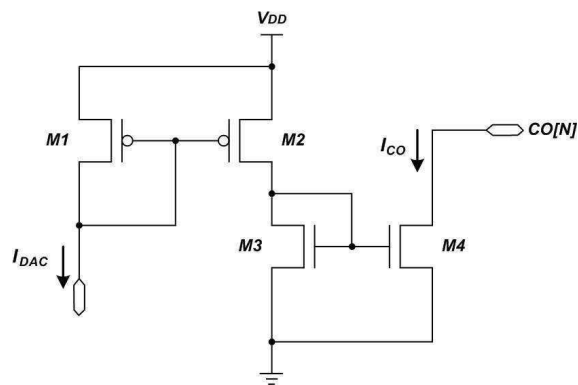
도면7a



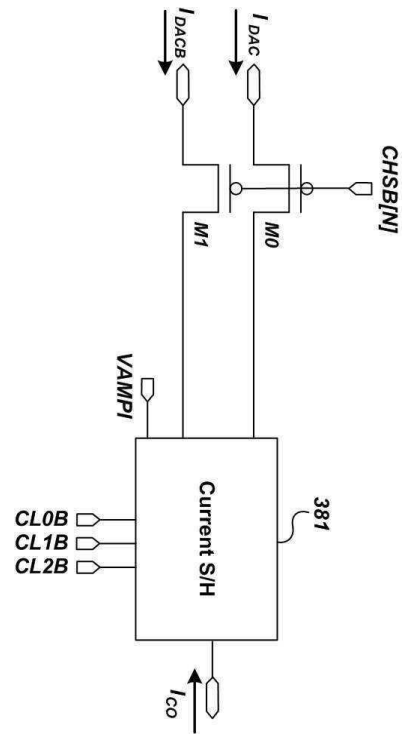
도면7b



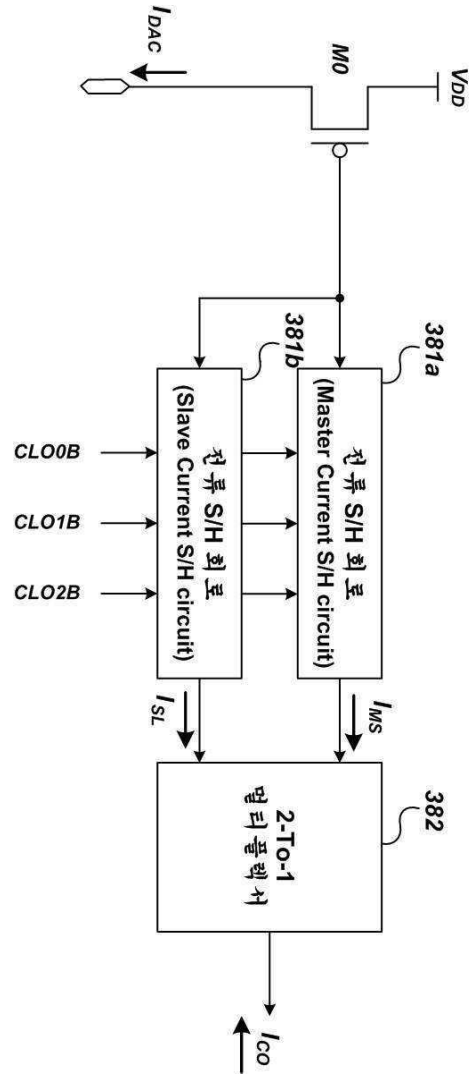
도면8



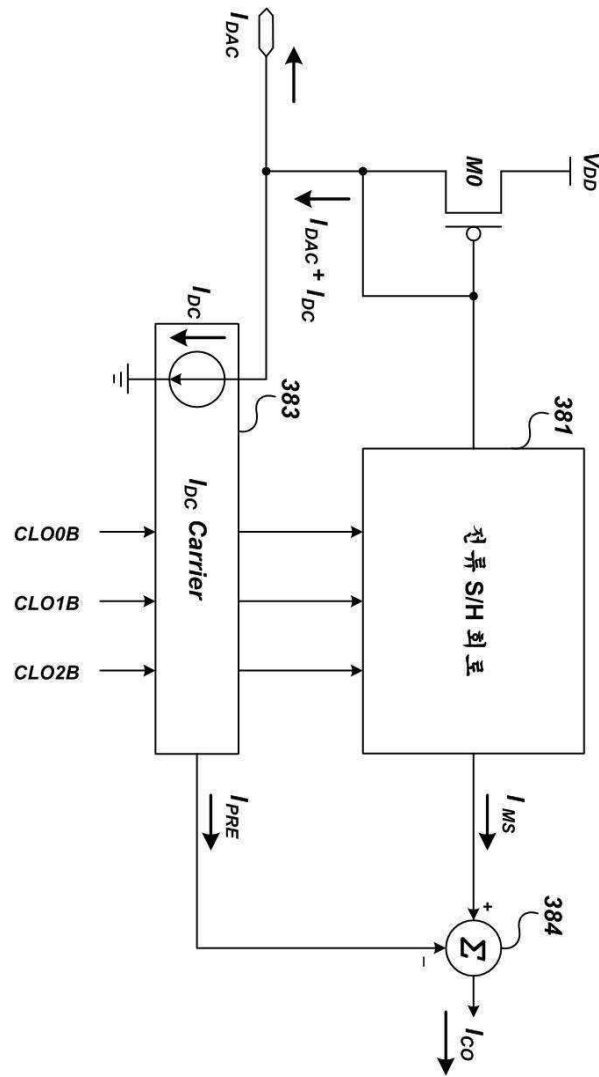
도면9a



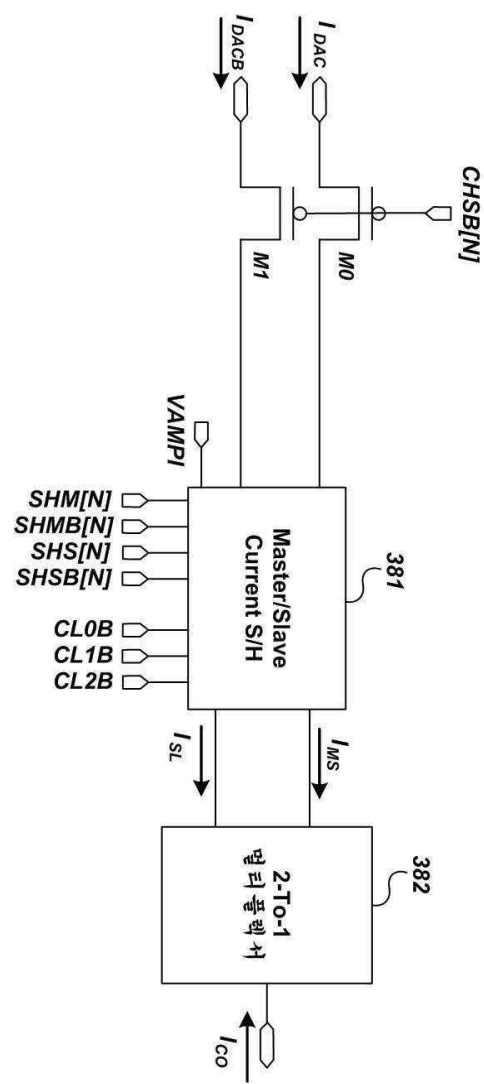
도면9b



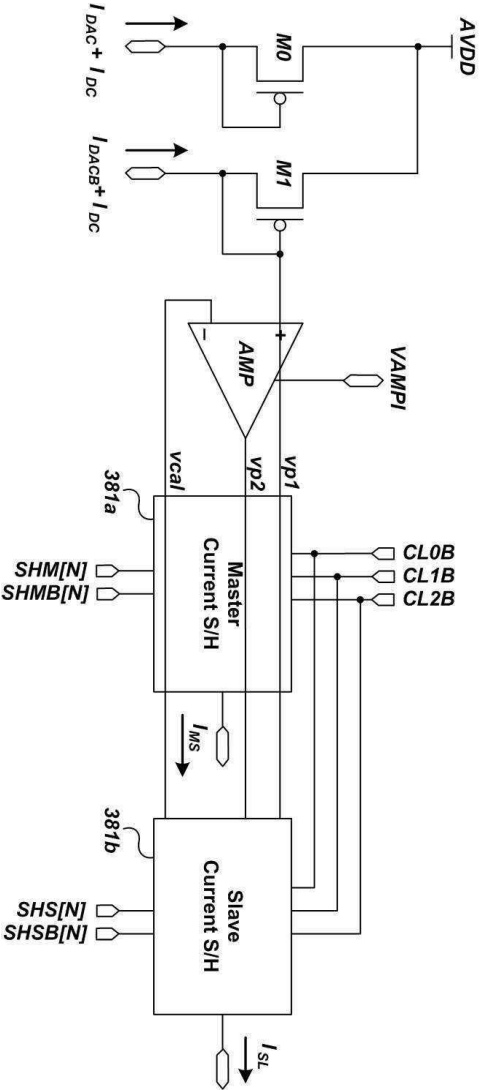
도면9c



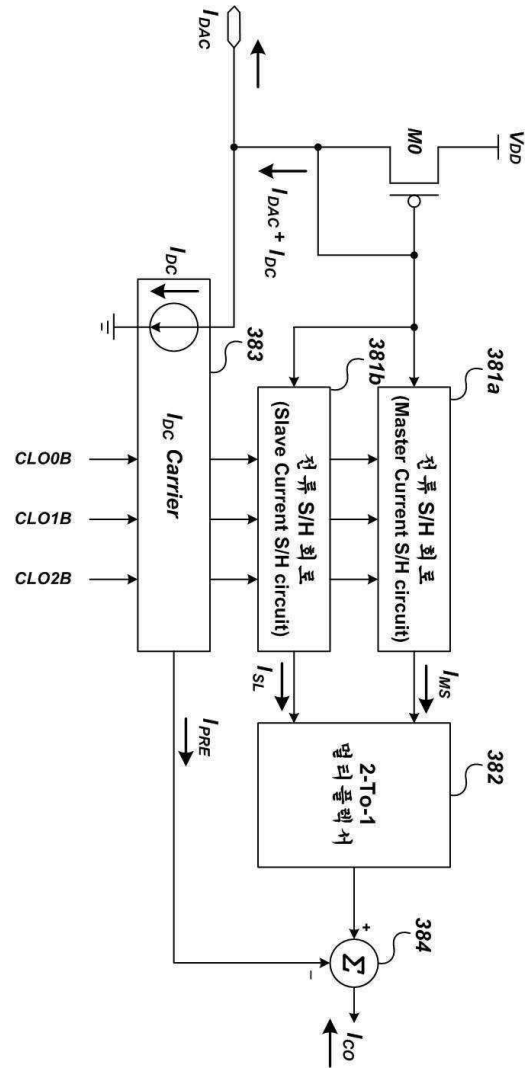
도면10a



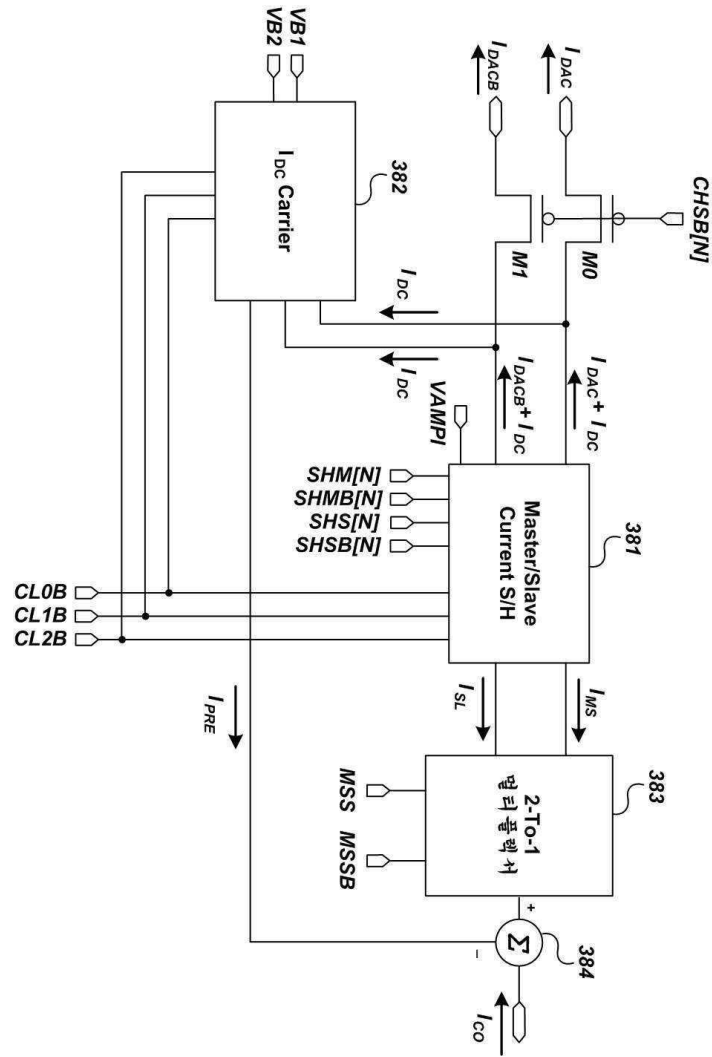
도면10b



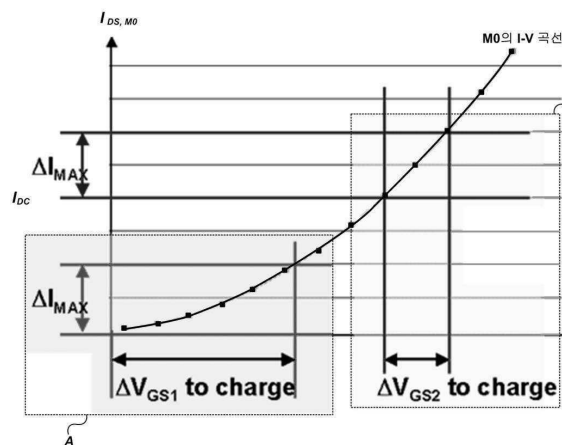
도면10c



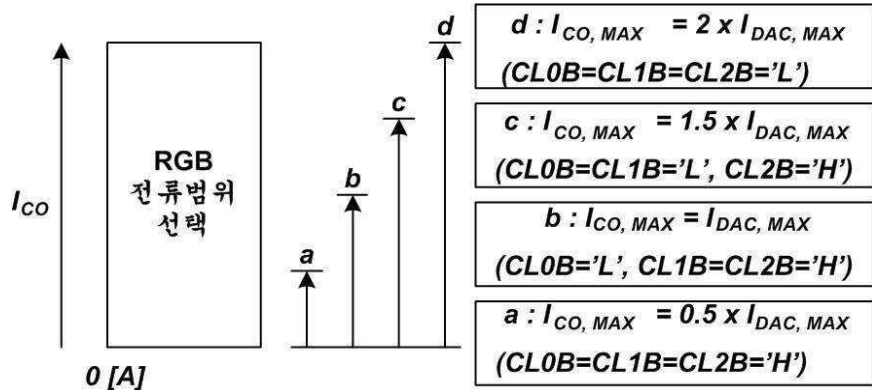
도면11



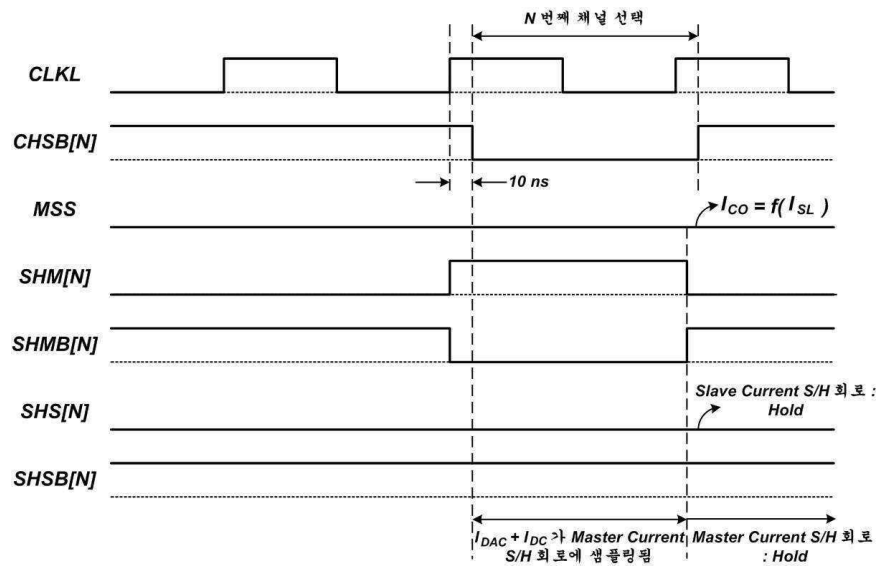
도면12



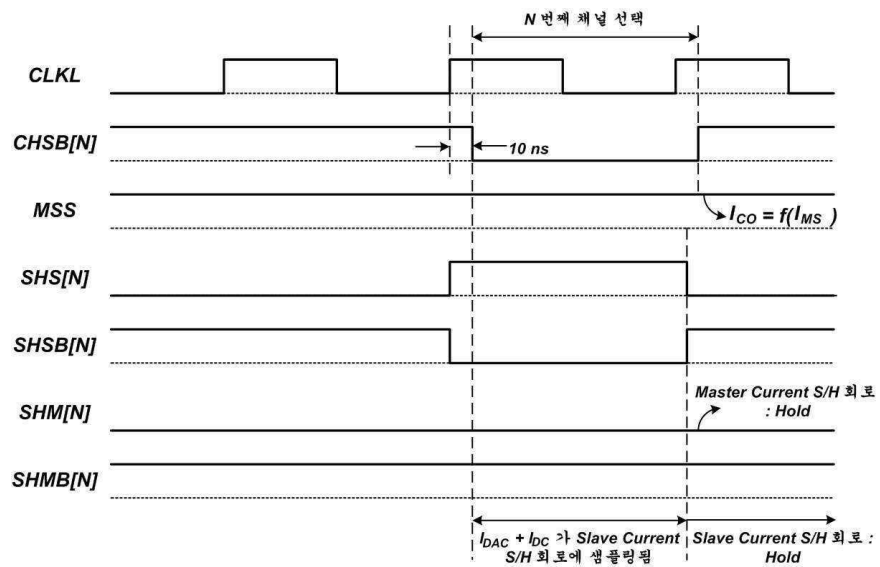
도면13



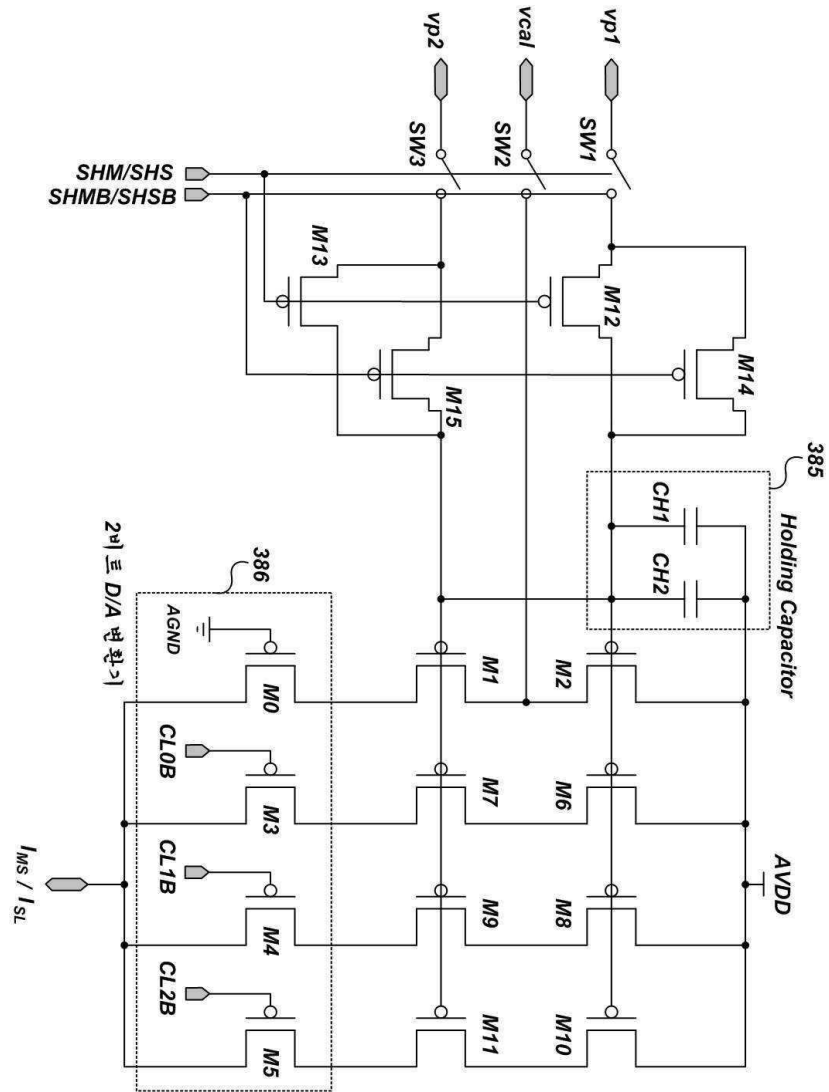
도면14a



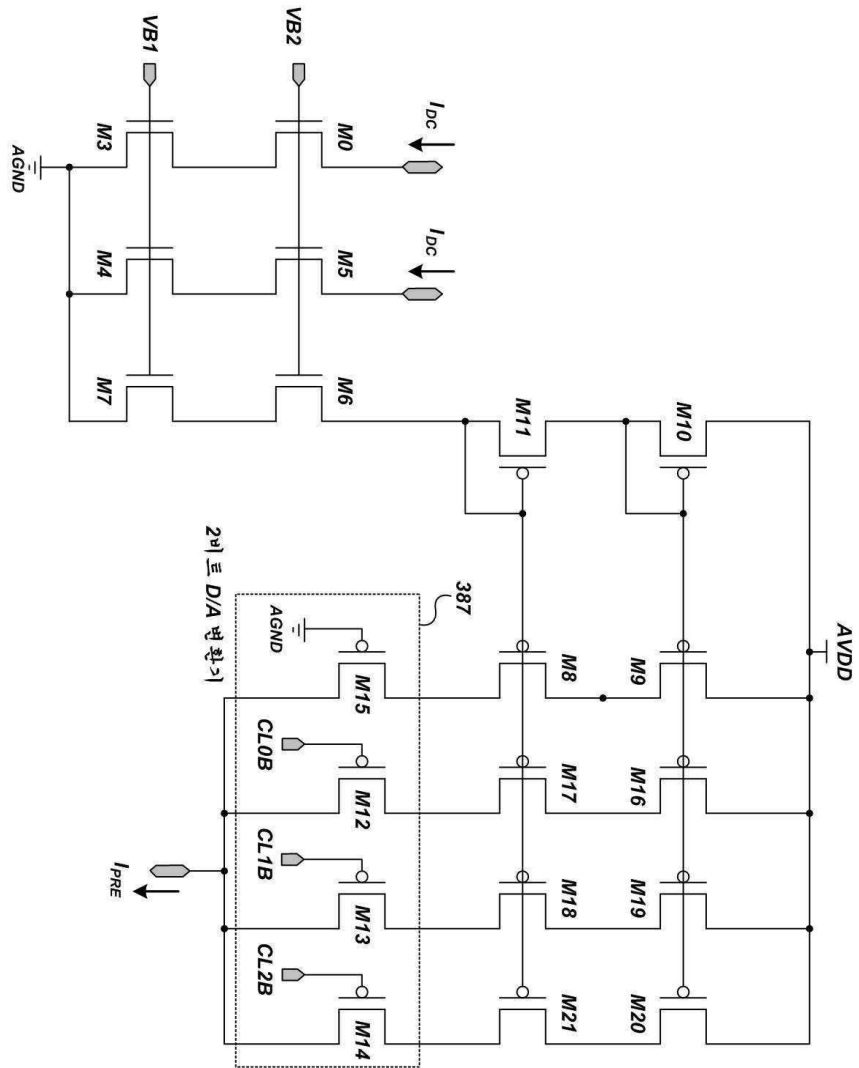
도면14b



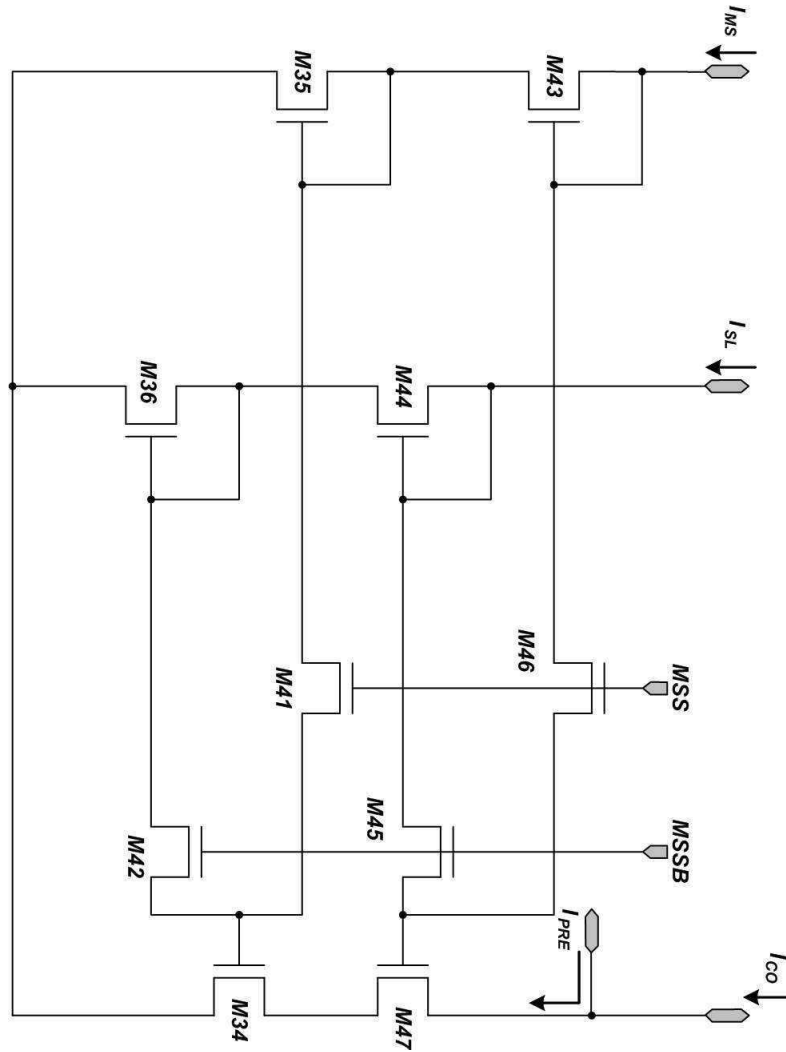
도면15



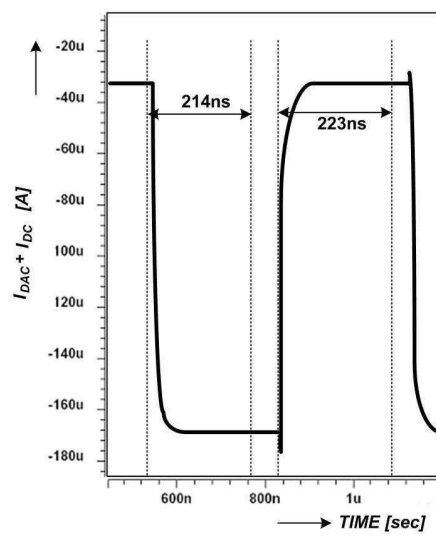
도면16



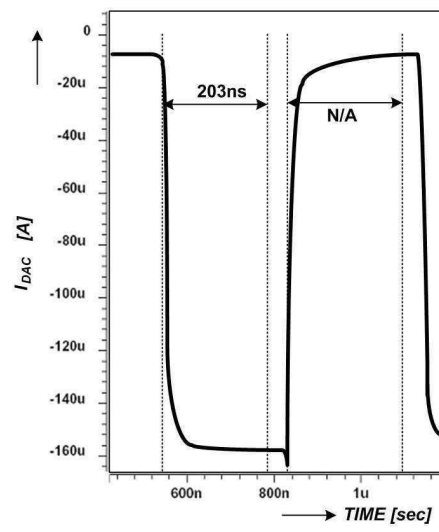
도면17



도면18a



도면18b



专利名称(译)	一种电流驱动显示装置的数据驱动装置		
公开(公告)号	KR1020060031380A	公开(公告)日	2006-04-12
申请号	KR1020040080385	申请日	2004-10-08
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWON OHKYONG		
发明人	KWON, OHKYONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G3/3283 G09G2310/0294 G09G2310/0297		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100590032B1		
外部链接	Espacenet		

摘要(译)

数据驱动装置技术领域本发明涉及能够驱动电流驱动显示元件的数据驱动装置。根据本发明的数据驱动器的电流输出装置是数据驱动器的电流输出装置，其顺序地将对应于模拟转换输出电流的各个数据信号施加到相应的数据线，用于控制电流供应的开关装置；一种主电流采样保持电路，用于根据第二控制信号采样或保持模拟输出电流；一种从电流采样保持电路，用于根据第三控制信号保持或采样模拟输出电流；并且多路复用器用于根据第四控制信号选择输出电流保持在主电流采样和保持电路或从电流采样和保持电路中，并将所选择的输出电流施加到相应的数据线。根据本发明，能够消除d/A的情况下，因此，在转换器输出的多个信道的驱动电流输出端子，使用多个d/在d/时发生的转换期间，一个低功耗的转换器的输出偏差的并且采样和保持操作的电流输出端子可以确保面板数据线的充电时间，从而可以以低输出电流驱动大显示面板。图9b 指数方面 有机EL，显示器，数据驱动，电流驱动，输出级

