



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년10월15일  
 (11) 등록번호 10-1450872  
 (24) 등록일자 2014년10월07일

(51) 국제특허분류(Int. Cl.)  
 H05B 33/26 (2006.01) H05B 33/22 (2006.01)  
 (21) 출원번호 10-2007-0113645  
 (22) 출원일자 2007년11월08일  
 심사청구일자 2012년11월07일  
 (65) 공개번호 10-2009-0047688  
 (43) 공개일자 2009년05월13일  
 (56) 선행기술조사문헌  
 KR1020060023063 A\*  
 KR1020060077898 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
 최희동  
 충남 서산시 음암면 탑곡리 3구 178번지  
 (74) 대리인  
 특허법인로알

전체 청구항 수 : 총 5 항

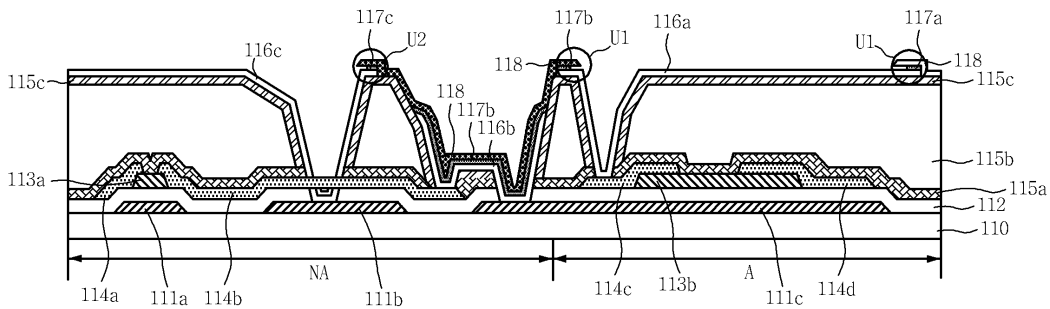
심사관 : 임민섭

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

**(57) 요약**

본 발명은, 기판 상에 정의된 개구영역에 위치하는 구동 트랜지스터와, 비개구영역에 위치하는 스위칭 트랜지스터 및 접지배선을 포함하는 트랜지스터부; 트랜지스터부의 상부에 구분되어 위치하며 개구영역에 위치하는 제1투명전극층과 비개구영역에 위치하는 제2 및 제3투명전극층을 포함하는 투명전극층; 개구영역의 외곽과 인접한 영역에서 상호 마주보는 상부가 인입되도록 언더컷 패턴된 제1언더컷 영역과 비개구영역에서 상부가 인입되도록 언더컷 패턴된 제2언더컷 영역을 갖는 상부보호막; 및 제1언더컷 영역에 위치하는 제1투명전극층 상에 각각 위치하는 제1 및 제2패턴전극층과 제2언더컷 영역에 위치하는 제3투명전극층 상에 위치하는 제3패턴전극층을 포함하는 패턴전극층을 포함하되, 제1투명전극층은 구동 트랜지스터의 소오스 또는 드레인에 전기적으로 연결된 유기전계발광표시장치를 제공한다.

**대표도 - 도3**



**특허청구의 범위**

**청구항 1**

기관 상에 정의된 개구영역에 위치하는 구동 트랜지스터와, 비개구영역에 위치하는 스위칭 트랜지스터 및 접지 배선을 포함하는 트랜지스터부;

상기 트랜지스터부의 상부에 구분되어 위치하며 상기 개구영역에 위치하는 제1투명전극층과 상기 비개구영역에 위치하는 제2 및 제3투명전극층을 포함하는 투명전극층;

상기 개구영역의 외곽과 인접한 영역에서 상호 마주보는 상부가 인입되도록 언더컷 패턴된 제1언더컷 영역과 상기 비개구영역에서 상부가 인입되도록 언더컷 패턴된 제2언더컷 영역을 갖는 상부보호막; 및

상기 제1언더컷 영역에 위치하는 제1투명전극층 상에 각각 위치하는 제1 및 제2패턴전극층과 상기 제2언더컷 영역에 위치하는 제3투명전극층 상에 위치하는 제3패턴전극층을 포함하는 패턴전극층을 포함하되,

상기 제1투명전극층은 상기 구동 트랜지스터의 소오스 또는 드레인에 전기적으로 연결되고,

상기 제3투명전극층은 상기 접지배선에 전기적으로 연결된 유기전계발광표시장치.

**청구항 2**

제1항에 있어서,

상기 제2언더컷 영역은,

상기 스위칭 트랜지스터가 위치하는 방향이 인입되도록 언더컷 패턴된 유기전계발광표시장치.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제1항에 있어서,

상기 제2투명전극층은,

상기 구동 트랜지스터의 게이트에 전기적으로 연결된 유기전계발광표시장치.

**청구항 6**

제1항에 있어서,

상기 제1투명전극층 상에 위치하는 캐소드층과, 상기 캐소드층 상에 위치하는 유기 발광층과, 상기 유기 발광층 상에 위치하는 애노드층을 포함하는 유기전계발광표시장치.

**청구항 7**

기관 상에 개구영역과 비개구영역을 정의하고 상기 개구영역에 위치하는 구동 트랜지스터와, 상기 비개구영역에 위치하는 스위칭 트랜지스터 및 접지배선을 포함하는 트랜지스터부를 형성하는 단계;

상기 트랜지스터부의 상부에 투명전극층을 형성하고 상기 개구영역에 제1투명전극층이 위치하고 상기 비개구영역에 제2 및 제3투명전극층이 위치하도록 상기 투명전극층을 패턴하는 단계;

상기 투명전극층 상에 패턴전극층을 형성하는 단계; 및

상기 패턴전극층 상에 상부보호막을 형성하고 상기 개구영역의 외곽과 인접한 영역에서 서로 마주보는 상부가 인입되도록 언더컷 패턴하여 제1언더컷 영역을 형성하고 상기 비개구영역에서 상부가 인입되도록 언더컷 패턴하여 제2언더컷 영역을 형성하는 단계를 포함하되,

상기 상부보호막이 상기 제1언더컷 영역과 상기 제2언더컷 영역으로 패턴됨에 따라 상기 패턴전극층은 상기 제1 언더컷 영역에 위치하는 제1투명전극층 상에 각각 위치하는 제1 및 제2패턴전극층과 상기 제2언더컷 영역에 위치하는 제3투명전극층 상에 위치하는 제3패턴전극층으로 패턴되며,

상기 제2투명전극층은 상기 구동 트랜지스터의 게이트에 전기적으로 연결된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

**배경기술**

[0002] 최근, 평판 표시 장치(Flat Panel Display: FPD)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정표시장치(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평판 표시 장치가 실용화되고 있다.

[0003] 특히, 유기전계발광표시장치는 고속 응답 속도를 가지며, 소비 전력이 낮고 자체 발광하는 특성이 있다. 또한, 유기전계발광표시장치는 시야각에 문제가 없기 때문에, 그 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 그리고, 유기전계발광표시장치는 저온 제작이 가능하고, 기존의 반도체 공정 기술을 이용하여 간단하게 제조될 수 있으므로, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 일반적으로 유기전계발광표시장치는 기판, 상기 기판 상에 형성된 유기 발광층, 상기 유기 발광층을 사이에 두고 서로 대향하는 제1 및 제2전극을 포함한다. 유기전계발광표시장치의 제조방법을 개략적으로 설명하면, 기판 상에 제1전극을 형성한 후, 제1전극 상에 유기 발광층을 형성한 다음, 유기 발광층 상에 제2전극을 형성하는 등과 같은 제조공정을 통해 형성될 수 있다.

[0005] 한편, 제1전극 또는 제2전극의 재료로 사용되는 금속전극의 경우 외기에 의해 부식이 되는 문제가 있었으며, 접지전압 영역이 전체 서브 픽셀에서 차지하는 면적의 한계로 접지배선의 저항이 상승하는 문제가 있어 이의 개선이 요구된다.

**발명의 내용**

**해결하고자하는 과제**

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 패널에 위치하는 서브 픽셀 간의 구분을 용이하게 할 수 있음은 물론 접지배선 저항에 따른 문제를 최소화할 수 있는 유기전계발광표시장치 및 이의 제조방법을 제공하는 것이다.

**과제 해결수단**

[0007] 상술한 과제 해결 수단으로 본 발명은, 기판 상에 정의된 개구영역에 위치하는 구동 트랜지스터와, 비개구영역

에 위치하는 스위칭 트랜지스터 및 접지배선을 포함하는 트랜지스터부; 트랜지스터부의 상부에 구분되어 위치하며 개구영역에 위치하는 제1투명전극층과 비개구영역에 위치하는 제2 및 제3투명전극층을 포함하는 투명전극층; 개구영역의 외곽과 인접한 영역에서 상호 마주보는 상부가 인입되도록 언더컷 패터닝된 제1언더컷 영역과 비개구영역에서 상부가 인입되도록 언더컷 패터닝된 제2언더컷 영역을 갖는 상부보호막; 및 제1언더컷 영역에 위치하는 제1투명전극층 상에 각각 위치하는 제1 및 제2패턴전극층과 제2언더컷 영역에 위치하는 제3투명전극층 상에 위치하는 제3패턴전극층을 포함하는 패턴전극층을 포함하되, 제1투명전극층은 구동 트랜지스터의 소오스 또는 드레인에 전기적으로 연결된 유기전계발광표시장치를 제공한다.

- [0008] 제2언더컷 영역은, 스위칭 트랜지스터가 위치하는 방향이 인입되도록 언더컷 패터닝될 수 있다.
- [0009] 트랜지스터부는, 스위칭 트랜지스터, 구동 트랜지스터 및 접지배선 상에 위치하는 하부보호막과, 하부보호막 상에 위치하는 평탄화막과, 평탄화막 상에 위치하는 버퍼층을 더 포함할 수 있다.
- [0010] 제3투명전극층은, 접지배선에 전기적으로 연결될 수 있다.
- [0011] 제2투명전극층은, 구동 트랜지스터의 게이트에 전기적으로 연결될 수 있다.
- [0012] 제1투명전극층 상에 위치하는 캐소드층과, 캐소드층 상에 위치하는 유기 발광층과, 유기 발광층 상에 위치하는 애노드층을 포함할 수 있다.
- [0013] 한편, 다른 측면에서 본 발명은, 기판 상에 개구영역과 비개구영역을 정의하고 개구영역에 위치하는 구동 트랜지스터와, 비개구영역에 위치하는 스위칭 트랜지스터 및 접지배선을 포함하는 트랜지스터부를 형성하는 단계; 트랜지스터부의 상부에 투명전극층을 형성하고 개구영역에 제1투명전극층이 위치하고 비개구영역에 제2 및 제3투명전극층이 위치하도록 투명전극층을 패터닝하는 단계; 투명전극층 상에 패턴전극층을 형성하는 단계; 및 패턴전극층 상에 상부보호막을 형성하고 개구영역의 외곽과 인접한 영역에서 서로 마주보는 상부가 인입되도록 언더컷 패터닝하여 제1언더컷 영역을 형성하고 비개구영역에서 상부가 인입되도록 언더컷 패터닝하여 제2언더컷 영역을 형성하는 단계를 포함하되, 상부보호막이 제1언더컷 영역과 제2언더컷 영역으로 패터닝됨에 따라 패턴전극층은 제1언더컷 영역에 위치하는 제1투명전극층 상에 각각 위치하는 제1 및 제2패턴전극층과 제2언더컷 영역에 위치하는 제3투명전극층 상에 위치하는 제3패턴전극층으로 패터닝되는 유기전계발광표시장치의 제조방법을 제공한다.
- [0014] 제3투명전극층은, 접지배선에 전기적으로 연결될 수 있다.
- [0015] 제2투명전극층은, 구동 트랜지스터의 게이트에 전기적으로 연결될 수 있다.
- [0016] 개구영역이 노출되도록 기판 상에 बैं크층을 형성하고, 개구영역에 위치하는 제1투명전극층 상에 캐소드층을 형성하고 캐소드층 상에 유기 발광층을 형성하고 유기 발광층 상에 애노드층을 형성하는 단계를 포함할 수 있다.

**효 과**

- [0017] 본 발명은, 패널에 위치하는 서브 픽셀 간의 구분을 용이하게 할 수 있음은 물론 접지배선 저항에 따른 문제를 최소화할 수 있는 유기전계발광표시장치 및 이의 제조방법을 제공하는 효과가 있다. 이에 따라, 유기전계발광표시장치는 구동시 휘도가 불균일하게 나타나는 현상을 개선할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 도 1은 유기전계발광표시장치의 개략적인 평면도이다.
- [0020] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(120)를 포함할 수 있다. 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다.
- [0021] 그리하여, 투명의 밀봉기관(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기관(130)을 봉지할 수 있다. 한편, 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.
- [0022] 여기서, 서브 픽셀(P)은 적색, 녹색 및 청색 서브 픽셀들이 하나로 묶여 하나의 단위 픽셀로 정의될 수 있다. 그러나, 서브 픽셀(P)은 백색이나 이 밖에 다른 색(예를 들면, 주황색, 노란색 등)을 발광하는 서브 픽셀을 더

포함하여 4개 이상이 하나의 단위 픽셀로 정의될 수 있다.

- [0023] 그리고 이러한 서브 픽셀(P)은 적어도 하나 이상의 커패시터와 트랜지스터를 포함하는 트랜지스터부와 유기 발광다이오드를 포함할 수 있다. 유기 발광다이오드는 적어도 유기 발광층을 포함할 수 있다. 여기서, 유기 발광층은 정공 주입층, 정공 수송층, 전자 수송층 또는 전자 주입층 중 하나 이상을 더 포함할 수 있고, 이 밖에 캐소드와 애노드 간의 전자 또는 정공의 흐름을 조절할 수 있도록 버퍼층, 블록킹층 등이 더 포함될 수도 있다.
- [0024] 한편, 기관(110) 상에는 하나의 구동부(150)가 위치하는 것으로 도시하였지만, 구동부(150)는 서브 픽셀에 스캔 신호를 공급하는 스캔 구동부와, 서브 픽셀에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다.
- [0025] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 구조를 더욱 자세히 설명한다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 평면도이다.
- [0027] 도 2에 도시된 바와 같이, 서브 픽셀의 영역은 개구영역(A)과 비개구영역(NA)으로 정의될 수 있다. 여기서, 개구영역(A)에는 구동 트랜지스터와 유기 발광다이오드가 위치할 수 있다. 그리고 비개구영역(NA)에는 스위칭 트랜지스터와 커패시터 등이 위치할 수 있다.
- [0028] 상세히 도시되어 있진 않지만, 서브 픽셀은 스캔 배선, 데이터 배선, 전원배선 및 접지배선 등에 연결될 수 있다.
- [0029] 여기서, 스캔 배선을 통해 공급된 스캔 신호는 스위칭 트랜지스터의 게이트를 통해 공급되며, 데이터 배선을 통해 공급된 데이터 신호는 커패시터에 데이터 전압 형태로 저장될 수 있다. 그리고 커패시터에 저장된 데이터 전압이 구동 트랜지스터의 게이트에 공급되면 구동 트랜지스터는 구동할 수 있다. 그리고 구동 트랜지스터가 구동하게 되면 전원배선을 통해 공급된 전원이 접지배선을 통해 흐를 수 있게 됨으로써 유기 발광다이오드는 발광할 수 있다.
- [0030] 도 3은 도 2에 도시된 X-X영역의 단면도이다.
- [0031] 도 3에 도시된 바와 같이, 서브 픽셀의 영역은 기관(110) 상에 개구영역(A)과 비개구영역(NA)으로 정의될 수 있다. 기관(110) 상에 정의된 개구영역(A)과 비개구영역(NA)에는 트랜지스터부가 배치될 수 있다.
- [0032] 개구영역(A)과 비개구영역(NA) 상에는 투명전극층(116a, 116b, 116c)이 위치하는데, 투명전극층(116a, 116b, 116c)은 제1, 제2 및 제3투명전극층(116a, 116b, 116c)으로 패턴될 수 있다. 더욱 자세히 설명하면, 개구영역(A) 상에는 제1투명전극층(116a)이 형성될 수 있고, 비개구영역(NA) 상에는 제2 및 제3투명전극층(116b, 116c)이 형성될 수 있다.
- [0033] 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 중 하나인 제1투명전극층(116a)은 개구영역(A)에 위치하는 트랜지스터의 소오스(114c) 또는 드레인(114d)에 전기적으로 연결될 수 있다. 도시된 도면에는 드레인(114d)에 연결된 것을 일례로 한다.
- [0034] 개구영역(A)과 비개구영역(NA) 상에 형성된 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에는 패턴전극층(117a, 117b, 117c)이 위치하는데, 패턴전극층(117a, 117b, 117c)은 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에 각각 위치하도록 패턴될 수 있다.
- [0035] 개구영역(A)의 외곽 영역과 비개구영역(NA)에는 상부보호막(118)이 형성될 수 있다. 상부보호막(118)은 개구영역(A)의 외곽과 인접한 영역에서 상호 마주보는 상부가 인입되도록 언더컷 패턴된 제1언더컷 영역(U1)과 비개구영역(NA)에서 상부가 인입되도록 언더컷 패턴된 제2언더컷 영역(U2)을 가질 수 있다.
- [0036] 즉, 상부보호막(118)이 제1언더컷 영역(U1)과 제2언더컷 영역(U2)으로 패턴됨에 따라 패턴전극층(117a, 117b, 117c)은 제1언더컷 영역(U1)에 위치하는 제1투명전극층(116a)상에 각각 위치하는 제1 및 제2패턴전극층(117a, 117b)과 제2언더컷 영역(U2)에 위치하는 제3투명전극층(116c) 상에 위치하는 제3패턴전극층(117c)으로 패턴될 수 있다.
- [0037] 따라서, 앞서 설명한 투명전극층(116a, 116b, 116c) 상에 형성된 패턴전극층(117a, 117b, 117c)은 상부보호막(118)의 하부를 언더컷 하기 위한 희생패턴으로 사용될 수 있다.

- [0038] 이와 같이 개구영역(A)의 외곽 영역에 위치하는 상부보호막(118)의 하부를 언더컷(U1, U2) 형태로 패턴하게 되면 서브 픽셀 간의 발광 영역을 구분할 수 있는 효과를 줄 수 있다.
- [0039] 이러한 구조는 비단 a-Si 형태의 트랜지스터뿐만 아니라 교번자장결정화(AMFC) 형태의 트랜지스터 및 기타 다른 형태의 트랜지스터에도 적용 가능하다.
- [0040] 한편, 앞서 설명한 트랜지스터부는 도시된 도면에 나타나듯이, 기판(110) 상에 정의된 개구영역(A)과 비개구영역(NA)에 위치하는 복수의 게이트(111a, 111b, 111c)를 포함할 수 있다 또한, 복수의 게이트(111a, 111b, 111c)를 덮도록 위치하는 게이트 절연막(112)을 포함할 수 있다. 또한, 게이트 절연막(112) 상에 위치하며 복수의 게이트(111a, 111b, 111c) 중 선택된 게이트(111a, 111c)와 대응하는 영역에 위치하는 반도체층(113a, 113b)을 포함할 수 있다. 또한, 반도체층(113a, 113b)의 영역과 각각 접촉하는 소오스(114a, 114c) 및 드레인(114b, 114d)을 포함할 수 있다.
- [0041] 여기서, 트랜지스터부는 소오스(114a, 114d) 및 드레인(114b, 114c) 상에 위치하는 하부보호막(115a)과, 하부보호막(115a) 상에 위치하는 평탄화막(115b)과 평탄화막(115b) 상에 위치하는 버퍼층(115c)을 더 포함할 수 있다.
- [0042] 앞서 설명한 복수의 게이트(111a, 111b, 111c)는, 스위칭 트랜지스터의 게이트(111a)와, 구동 트랜지스터의 게이트(111c)와, 접지배선의 게이트(111b)를 포함할 수 있다.
- [0043] 여기서, 비개구영역(NA) 상에 형성된 제2 및 제3투명전극층(116b, 116c) 중 선택된 제3투명전극층(116c)은, 접지배선의 게이트(111b)에 전기적으로 연결될 수 있다. 제3투명전극층(116c)이 접지배선의 게이트(111b)에 연결될 때, 제3투명전극층(116c)의 하부에 위치하는 하부보호막(115a)과 게이트 절연막(112)은 사진 식각 방법에 의해 형성된 콘택홀을 통해 전기적으로 연결될 수 있다.
- [0044] 이와 같이, 제3투명전극층(116c)이 접지배선의 게이트(111b)에 연결되므로, 그라운드 영역을 확장할 수 있다.
- [0045] 이와 같은 사진 식각 방법을 이용하면, 남은 제2투명전극층(116b)과 구동 트랜지스터의 게이트(111c)도 전기적으로 연결할 수 있다.
- [0046] 요약하면, 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에 제1, 제2 및 제3패턴전극층(117a, 117b, 117c)이 위치하도록 상부보호막(118)을 언더컷하여 발광영역의 구분이 용이하도록 한다.
- [0047] 한편, 도시되어 있진 않지만 개구영역(A)과 인접하는 영역까지 बैं크층을 형성하여 서브 픽셀 간의 बैं킹을 함은 물론 제1투명전극층(116a) 상에 캐소드층과 유기 발광층과 애노드층을 형성하여 유기 발광다이오드를 구성할 수 있다.
- [0048] 여기서, 앞서 설명한 유기전계발광표시장치는 밀봉기관 방향으로 빛이 발광하는 상면 발광형에 있어서, 캐소드(cathode)층이 하부에 위치하는 인버티드(inverted) 구조의 일례로 설명하였으나 애노드(anode)층이 하부에 위치하는 노말(normal) 구조에도 적용할 수 있다.
- [0049] 이하, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.
- [0050] 도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 개략적으로 설명하기 위한 공정별 단면도이다.
- [0051] 도 4a에 도시된 바와 같이, 기판(110) 상에 개구영역(A)과 비개구영역(NA)을 정의하고 개구영역(A)과 비개구영역(NA) 상에 복수의 게이트(111a, 111b, 111c)를 형성하는 단계를 실시한다.
- [0052] 여기서, 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있으나 이에 한정되지 않는다.
- [0053] 도시되어 있진 않지만, 기판(110) 상에는 버퍼층이 위치할 수 있다. 버퍼층은 기판(110)에서 유출되는 알칼리이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터부를 보호하기 위해 형성할 수 있다.
- [0054] 여기서, 게이트(111a, 111b, 111c)는 기판(110) 상에 형성되어 사진(Photo), 식각(Etching) 방법에 의해 패턴될 수 있으며 식각 방법으로는 습식 에칭방법(W/E)을 사용할 수 있다. 게이트(111a, 111b, 111c)의 재료로는 알

루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐 실리사이드(WSi<sub>2</sub>) 등을 예로 들 수 있으나 이에 한정되지 않는다.

- [0055] 다음, 도 4b에 도시된 바와 같이, 복수의 게이트(111a, 111b, 111c)를 포함하는 기판(110) 상에 게이트 절연막(112)을 형성하고, 게이트 절연막(112) 상에서 복수의 게이트(111a, 111b, 111c) 중 선택된 게이트(111a, 111c)와 대응하는 영역에 반도체층(113a, 113b)을 형성하는 단계를 실시한다.
- [0056] 여기서, 복수의 게이트(111a, 111b, 111c)는, 스위칭 트랜지스터의 게이트(111a)와, 구동 트랜지스터의 게이트(111c)와, 접지배선의 게이트(111b)를 포함할 수 있다.
- [0057] 여기서, 게이트 절연막(112)은 접지배선의 게이트(111b)에 해당하는 영역과 구동 트랜지스터의 게이트(111c)에 해당하는 영역을 노출하는 콘택홀이 형성되도록 사진, 식각 방법에 의해 패터닝될 수 있으며 식각 방법으로는 건식 에칭방법(D/E)을 사용할 수 있으나 이에 한정되지 않는다.
- [0058] 게이트 절연막(112)의 재료로는 실리콘 산화물(SiO<sub>2</sub>) 또는 실리콘 질화물(SiNx) 등을 예로 들 수 있으나 이에 한정되지 않는다.
- [0059] 여기서, 반도체층(113a, 113b)은 스위칭 트랜지스터의 게이트(111a)와 구동 트랜지스터의 게이트(111c)에 대응하는 영역 상부에 a-Si, p-Si 등의 형태로 형성될 수 있으나 이에 한정되지 않는다.
- [0060] 다음, 도 4c에 도시된 바와 같이, 반도체층(113a, 113b)의 영역과 각각 접촉하도록 개구영역(A)과 비개구영역(NA) 상에 소오스(114a, 114d)와 드레인(114b, 114c)을 형성하는 단계를 실시한다.
- [0061] 여기서, 비개구영역(NA)에 위치하는 반도체층(113a)은 스위칭 트랜지스터의 것이고, 개구영역(A)에 위치하는 반도체층(113b)은 구동 트랜지스터의 것이다.
- [0062] 따라서, 스위칭 트랜지스터와 구동 트랜지스터는 각각 소오스(114a, 114d)와 드레인(114b, 114c)이 형성될 수 있다.
- [0063] 여기서, 소오스(114a, 114d)와 드레인(114b, 114c)의 재료로는 알루미늄(Al), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 티타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 단층 또는 다층 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [0064] 다음, 도 4c에 도시된 바와 같이 소오스(114a, 114d)와 드레인(114b, 114c) 상에 하부보호막(115a)을 형성하고 하부보호막(115a) 상에 평탄화막(115b)을 형성하는 단계를 실시한다.
- [0065] 하부보호막(115a)은 소오스(114a, 114d)와 드레인(114b, 114c) 상에 형성할 때는 비개구영역(NA)에 위치하는 접지배선의 게이트(111b)와 구동 트랜지스터의 게이트(111c)에 콘택홀이 형성되도록 패터닝할 수 있다.
- [0066] 하부보호막(115a)의 재료로는 옥사이드, 나이트라이드 계 등의 무기물을 예로 들 수 있으나 이에 한정되지 않는다.
- [0067] 그리고 하부보호막(115a) 상에는 평탄화막(115b)을 형성할 수 있는데, 평탄화막(115b)은 구동 트랜지스터의 소오스(114d) 또는 드레인(114c) 중 하나가 노출되도록 콘택홀을 형성할 수 있다. 또한, 비개구영역(NA) 상에 위치하는 구동 트랜지스터의 게이트(111c)와 접지배선의 게이트(111b)가 위치하는 영역이 다른 영역보다 더 함몰되도록 패터닝할 수 있다.
- [0068] 평탄화막(115b)의 재료로는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 예로 들 수 있으나 이에 한정되지 않는다.
- [0069] 다음, 도 4c에 도시된 바와 같이, 평탄화막(115b) 상에 버퍼층(115c)을 형성하는 단계를 실시한다.
- [0070] 버퍼층(115c)은 패터닝된 평탄화막(115b)을 덮도록 패터닝될 수 있다.
- [0071] 버퍼층(115c)을 형성할 때는 패터닝된 평탄화막(115b)을 덮을 수 있도록 사진, 식각 방법을 이용하여 패터닝할 수

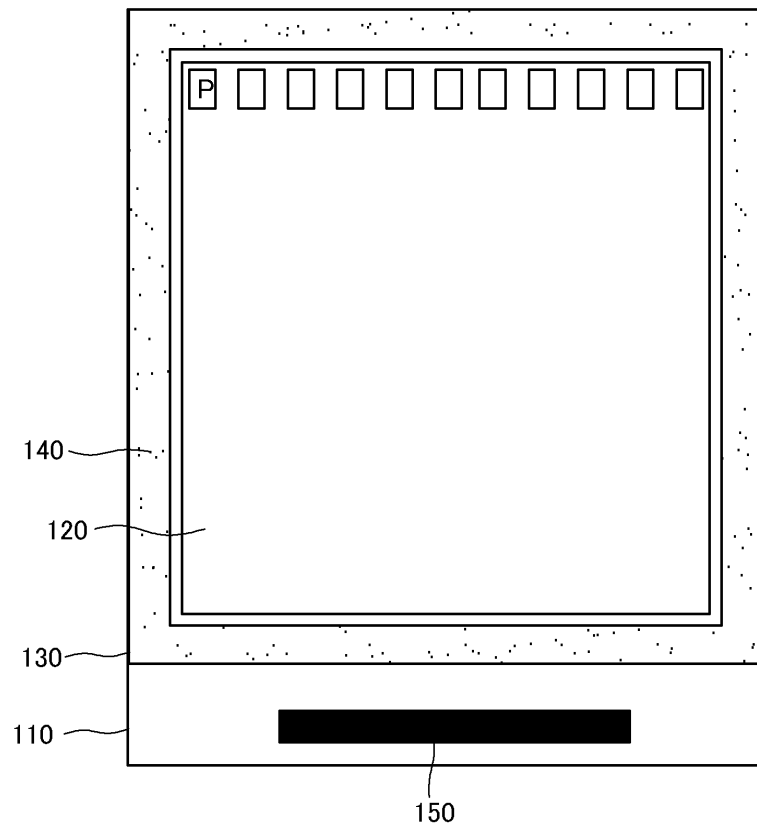
있으며, 이때 사용되는 식각 방법은 건식 식각방법(D/E)을 선택할 수 있으나 이에 한정되지 않는다.

- [0072] 한편, 버퍼층(115c)을 식각할 때 필요한 경우 하부보호막(115a) 및 게이트 절연막(112)까지 패터닝할 수 있다. 여기서, 필요한 경우란 접지배선의 게이트(111b)와 비개구영역(NA) 상에 위치하는 구동 트랜지스터의 게이트(114c)가 위치하는 영역을 패터닝할 때, 이보다 앞선 공정에서 하부보호막(115a) 및 게이트 절연막(112)까지 패터닝하지 않고 본 단계에서 패터닝할 수 있음을 의미한다.
- [0073] 버퍼층(115c)의 재료로는 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiNx) 등을 사용할 수 있으나 이에 한정되지 않는다.
- [0074] 이상과 같은 공정에 의해 기관(110) 상에는 스위칭 트랜지스터와 구동 트랜지스터를 포함하는 트랜지스터부가 형성될 수 있다. 여기서, 도시하지 않았지만, 기관(110) 상에는 커패시터, 스캔 배선, 데이터 배선 및 접지배선 등이 형성될 수 있다. 다만, 도시된 단면도에서는 이를 생략한다.
- [0075] 다음, 도 4d에 도시된 바와 같이, 버퍼층(115c) 상에 투명전극층(116a, 116b, 116c)을 형성하고 패터닝하여 제1, 제2 및 제3투명전극층(116a, 116b, 116c)으로 형성하고 제1, 제2 및 제3투명전극층(116a, 116b, 116c)상에 패터닝전극층(117a, 117b, 117c)을 형성한다.
- [0076] 그리고 패터닝전극층(117a, 117b, 117c) 상에 상부보호막(118)을 형성하고 개구영역(A)의 외곽과 인접한 영역에서 서로 마주보는 상부가 인입되도록 언더컷 패터닝하여 제1언더컷 영역(U1)을 형성하고 비개구영역(NA)에서 상부가 인입되도록 언더컷 패터닝하여 제2언더컷 영역(U2)을 형성하는 단계를 실시한다.
- [0077] 상부보호막(118)이 제1언더컷 영역(U1)과 제2언더컷 영역(U2)으로 패터닝에 따라 패터닝전극층(117a, 117b, 117c)은 제1언더컷 영역(U1)에 위치하는 제1투명전극층(116a) 상에 각각 위치하는 제1 및 제2패터닝전극층(117a, 117b)과 제2언더컷 영역(U2)에 위치하는 제3투명전극층(116c) 상에 위치하는 제3패터닝전극층(117c)으로 패터닝될 수 있다.
- [0078] 여기서, 제1, 제2 및 제3투명전극층(116a, 116b, 116c)은 ITO(Indium Tin Oxide)와 같은 투명전극을 선택할 수 있으나 이에 한정되지 않는다. 그리고 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c)은 Mo(Molybdenum)와 같은 금속전극을 선택할 수 있으나 이에 한정되지 않는다.
- [0079] 여기서, 제1투명전극층(116a)은 개구영역(A)에 위치하는 소오스(114d) 또는 드레인(114c)에 전기적으로 연결되도록 패터닝되고 제2 및 제3투명전극층(116b, 116c)은 비개구영역(NA)에 각각 구분되어 위치하도록 패터닝될 수 있다.
- [0080] 그리고 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에 형성된 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c) 또한 각각 제1, 제2 및 제3투명전극층(116a, 116b, 116c) 상에 구분되어 위치하도록 패터닝될 수 있다.
- [0081] 여기서, 제1 및 제2패터닝전극층(117a, 117b)은 개구영역(A)의 외곽 영역에서 상부보호막(118)보다 인입되도록 언더컷 형태로 패터닝될 수 있고, 나머지 제3패터닝전극층(117c)은 제3투명전극층(116b, 116c) 상에서 상부보호막(118)보다 인입되도록 언더컷 형태로 패터닝될 수 있다.
- [0082] 즉, 제1, 제2 및 제3패터닝전극층(117a, 117b, 117c)은 투명전극층(116a, 116b, 116c)의 하부에서 희생패터닝 역할을 하도록 위치할 수 있다.
- [0083] 여기서, 제1, 제2 및 제3투명전극층(116a, 116b, 116c)을 패터닝할 때는 사진, 식각방법을 이용할 수 있으며, 이때 사용할 수 있는 식각방법으로는 습식 식각방법(W/E)을 이용할 수 있으나 이에 한정되지 않는다.
- [0084] 이와 같은 제조방법에 따르면, 상부보호막(118)을 언더컷하여 발광영역의 구분이 용이하도록 할 수 있고, 비개구영역(NA)에 위치하는 제2 및 제3투명전극층(116b, 116c)은 저 저항 배선구현이 용이하도록 보조전극 역할을 할 수 있다.
- [0085] 한편, 도시되어 있진 않지만, 비개구영역(NA) 상에 위치하는 상부보호막(118) 상에 बैं크층을 형성하는 단계를 실시할 수 있다. बैं크층을 형성할 때는 개구영역(A)을 노출하도록 사진, 식각방법을 이용하여 패터닝할 수 있으며, 이때 사용할 수 있는 식각방법으로는 건식 식각방법(D/E)을 이용할 수 있으나 이에 한정되지 않는다.
- [0086] 또한, 이후 제1투명전극층(116a) 상에 캐소드층을 형성하고, 캐소드층 상에 유기 발광층을 형성하고 유기 발광층 상에 애노드층을 형성하는 단계를 실시하여 유기 발광다이오드를 형성할 수 있다.

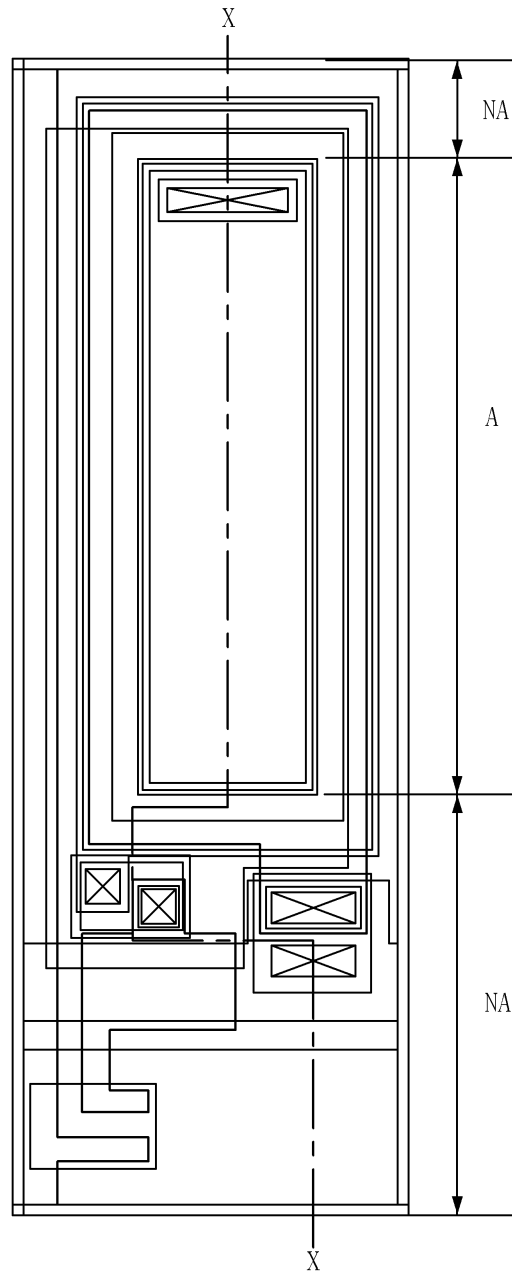


도면

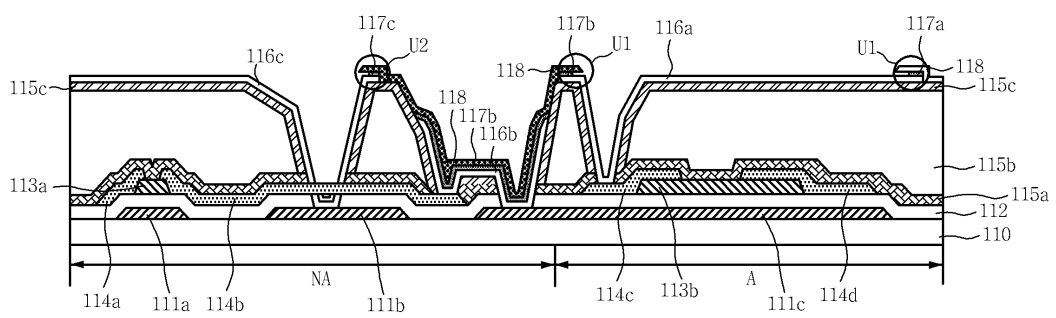
도면1



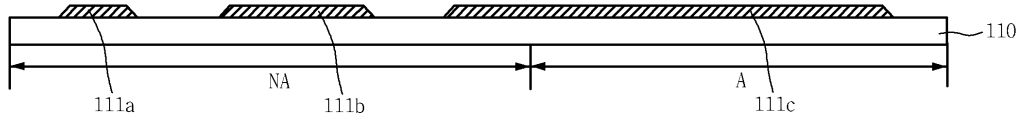
도면2



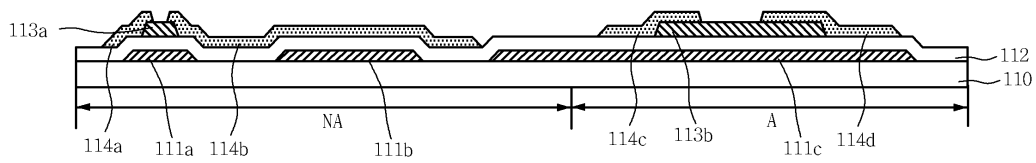
도면3



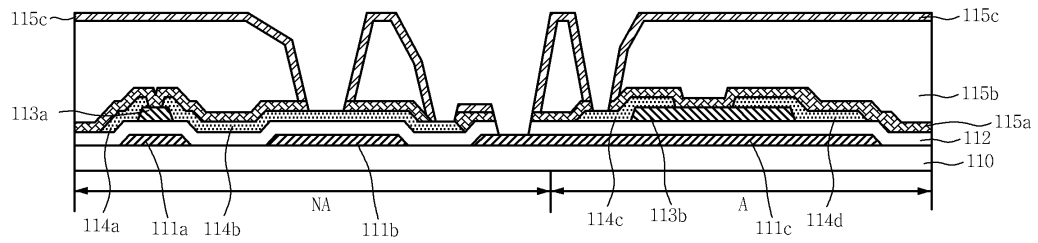
도면4a



도면4b



도면4c



도면4d

