



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.		(45) 공고일자	2007년07월23일
G09G 3/30 (2006.01)		(11) 등록번호	10-0741978
G09G 3/20 (2006.01)		(24) 등록일자	2007년07월16일
(21) 출원번호	10-2005-0086681	(65) 공개번호	10-2007-0032446
(22) 출원일자	2005년09월16일	(43) 공개일자	2007년03월22일
심사청구일자	2005년09월16일		

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 김태규
 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

(56) 선행기술조사문헌
KR 1020030095272 A
KR 1020040089246 A

심사관 : 최정윤

전체 청구항 수 : 총 22 항

(54) 클럭신호 발생장치 및 이를 포함하는 유기 전계발광표시장치

(57) 요약

안정적이면서도 더 빠른 새로운 구조의 클럭신호 발생장치 및 이를 포함하는 유기 전계발광 표시장치를 개시한다. 본 발명은 4개의 스위칭부와 2개의 인버터로 구성된다. 각 스위칭부는 2개의 트랜지스터로 구성된다. 하이레벨의 전압라인에 연결된 2개의 스위칭부를 구성하는 트랜지스터들은 PMOS 트랜지스터이고, 로우레벨의 전압라인에 연결된 2개의 스위칭부를 구성하는 트랜지스터들은 NMOS 트랜지스터이다. 상기 각 스위칭부는 4개의 제어신호의 레벨상태에 따라 순차적으로 온/오프 동작을 하여 클럭신호를 발생한다. 제어신호들은 50%의 듀티비를 가지며, 서로 90도의 위상차를 가진다. 클럭신호는 상기 제어신호의 1/4주기마다 로우와 하이로 반복한다.

대표도

도 4

특허청구의 범위

청구항 1.

하이레벨의 전압라인과 클럭신호 출력단 사이에 연결되고, 제 1 제어신호 및 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 1 스위칭부;

로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 2 스위칭부;

상기 하이레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 반전된 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 3 스위칭부; 및

상기 로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호 및 상기 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 4 스위칭부를 포함하며,

상기 제 1 및 제 2 제어신호는 50%의 듀티비를 가지고, 서로 90도의 위상차를 가지는 것을 특징으로 하는 클럭신호 발생장치.

청구항 2.

제 1 항에 있어서,

상기 클럭신호 발생장치는,

상기 제 1 및 제 2 제어신호의 1/4주기마다 상기 제 1 내지 제 4 스위칭부가 순차적으로 턴-온되어 클럭신호를 출력하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 3.

제 2 항에 있어서,

상기 제 1 스위칭부는,

상기 하이레벨의 전압라인에 연결되고, 상기 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 1 트랜지스터; 및

상기 제 1 트랜지스터와 상기 출력단 사이에 연결되고, 상기 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 2 트랜지스터로 이루어진 것을 특징으로 하는 클럭신호 발생장치.

청구항 4.

제 3 항에 있어서,

상기 제 1 및 제 2 트랜지스터는 PMOS 트랜지스터이고, 상기 제 1 및 제 2 제어신호가 로우레벨일 때 상기 제 1 스위칭부는 턴-온되어 하이레벨의 전압을 출력하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 5.

제 4 항에 있어서,

상기 제 2 스위칭부는,

상기 로우레벨의 전압라인에 연결되고, 상기 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 3 트랜지스터; 및

상기 제 3 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 4 트랜지스터로 이루어진 것을 특징으로 하는 클럭신호 발생장치.

청구항 6.

제 5 항에 있어서,

상기 제 3 및 제 4 트랜지스터는 NMOS 트랜지스터이고, 상기 제 1 제어신호 및 반전된 제 2 제어신호가 하이레벨일 때 상기 제 2 스위칭부는 턴-온되어 로우레벨의 전압을 출력하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 7.

제 6 항에 있어서,

상기 제 3 스위칭부는,

상기 하이레벨의 전압라인에 연결되고, 상기 반전된 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 5 트랜지스터; 및

상기 제 5 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 6 트랜지스터로 이루어진 것을 특징으로 하는 클럭신호 발생장치.

청구항 8.

제 7 항에 있어서,

상기 제 5 및 제 6 트랜지스터는 PMOS 트랜지스터이고, 상기 반전된 제 1 제어신호 및 반전된 제 2 제어신호가 로우레벨일 때 상기 제 3 스위칭부는 턴-온되어 하이레벨의 전압을 출력하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 9.

제 8 항에 있어서,

상기 제 4 스위칭부는,

상기 로우레벨의 전압라인에 연결되고, 상기 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 7 트랜지스터; 및

상기 제 7 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 8 트랜지스터로 이루어진 것을 특징으로 하는 클럭신호 발생장치.

청구항 10.

제 9 항에 있어서,

상기 제 7 및 제 8 트랜지스터는 NMOS 트랜지스터이고, 상기 반전된 제 1 제어신호 및 제 2 제어신호가 하이레벨일 때 상기 제 4 스위칭부는 턴-온되어 로우레벨의 전압을 출력하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 11.

제 10 항에 있어서,

상기 클럭신호 발생장치는,

상기 출력단과 연결되어 상기 클럭신호를 반전시키기 위한 제 1 인버터; 및

상기 제 1 인버터와 연결되어 상기 반전된 클럭신호를 반전시키기 위한 제 2 인버터를 더 포함하는 것을 특징으로 하는 클럭신호 발생장치.

청구항 12.

다수의 데이터선과 다수의 주사선이 교차하는 영역에 형성된 다수의 화소를 가지고, 소정의 영상을 디스플레이 하는 표시패널;

상기 다수의 주사선과 연결되고, 상기 다수의 주사선으로 주사신호를 순차적으로 인가하는 주사 구동부;

상기 다수의 데이터선과 연결되고, 상기 다수의 데이터선으로 데이터신호를 인가하는 데이터 구동부; 및

상기 주사 구동부와 상기 데이터 구동부로 클럭신호를 인가하는 클럭신호 발생부를 포함하며,

상기 클럭신호 발생부는,

하이레벨의 전압라인과 클럭신호 출력단 사이에 연결되고, 제 1 제어신호 및 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 1 스위칭부;

로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 2 스위칭부;

상기 하이레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 반전된 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 3 스위칭부; 및

상기 로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호 및 상기 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 4 스위칭부를 포함하며,

상기 제 1 및 제 2 제어신호는 50%의 듀티비를 가지고, 서로 90도의 위상차를 가지는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 13.

제 12 항에 있어서,

상기 클럭신호 발생부는,

상기 제 1 및 제 2 제어신호의 1/4주기마다 상기 제 1 내지 제 4 스위칭부가 순차적으로 턴-온되어 클럭신호를 출력하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 14.

제 13 항에 있어서,

상기 제 1 스위칭부는,

상기 하이레벨의 전압라인에 연결되고, 상기 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 1 트랜지스터; 및

상기 제 1 트랜지스터와 상기 출력단 사이에 연결되고, 상기 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 2 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 15.

제 14 항에 있어서,

상기 제 1 및 제 2 트랜지스터는 PMOS 트랜지스터이고, 상기 제 1 및 제 2 제어신호가 로우레벨일 때 상기 제 1 스위칭부는 턴-온되어 하이레벨의 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 16.

제 15 항에 있어서,

상기 제 2 스위칭부는,

상기 로우레벨의 전압라인에 연결되고, 상기 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 3 트랜지스터; 및

상기 제 3 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 4 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 17.

제 16 항에 있어서,

상기 제 3 및 제 4 트랜지스터는 NMOS 트랜지스터이고, 상기 제 1 제어신호 및 반전된 제 2 제어신호가 하이레벨일 때 상기 제 2 스위칭부는 턴-온되어 로우레벨의 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 18.

제 17 항에 있어서,

상기 제 3 스위칭부는,

상기 하이레벨의 전압라인에 연결되고, 상기 반전된 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 5 트랜지스터; 및

상기 제 5 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 6 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 19.

제 18 항에 있어서,

상기 제 5 및 제 6 트랜지스터는 PMOS 트랜지스터이고, 상기 반전된 제 1 제어신호 및 반전된 제 2 제어신호가 로우레벨일 때 상기 제 3 스위칭부는 턴-온되어 하이레벨의 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 20.

제 19 항에 있어서,

상기 제 4 스위칭부는,

상기 로우레벨의 전압라인에 연결되고, 상기 제 2 제어신호의 레벨상태에 따라 온/오프 동작하는 제 7 트랜지스터; 및

상기 제 7 트랜지스터와 상기 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호의 레벨상태에 따라 온/오프 동작하는 제 8 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 21.

제 20 항에 있어서,

상기 제 7 및 제 8 트랜지스터는 NMOS 트랜지스터이고, 상기 반전된 제 1 제어신호 및 제 2 제어신호가 하이레벨일 때 상기 제 4 스위칭부는 턴-온되어 로우레벨의 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 22.

제 21 항에 있어서,

상기 클럭신호 발생부는,

상기 출력단과 연결되어 상기 클럭신호를 반전시키기 위한 제 1 인버터; 및

상기 제 1 인버터와 연결되어 상기 반전된 클럭신호를 반전시키기 위한 제 2 인버터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클럭신호 발생장치 및 이를 포함하는 유기 전계발광 표시장치에 관한 것으로서, 구체적으로 지연시간이 없고, 신호의 피드백이 없는 매우 빠른 속도의 클럭신호를 생성하는 클럭신호 발생장치 및 이를 포함하는 유기 전계발광 표시장치에 관한 것이다.

최근, 하이 스피드 시리얼 링크 시스템(High Speed Serial Link System)의 필요성이 날로 커지고 있다. 특히, 전송단과 수신단에 필요한 오실레이터(Oscillator)는 시스템의 구성에 가장 중요한 부분 중에 하나이다.

도 1은 종래의 클럭신호 발생장치를 나타낸 회로도이다.

도 1을 참조하면, 종래의 클럭신호 발생장치는 4개의 트랜지스터(MP1, MP2, MN1, MN2)와 n개의 스위칭부(10) 및 1개의 인버터(20)로 구성된다.

트랜지스터(MP1)는 하이레벨의 전압라인(VDD)과 노드(A) 사이에 연결되고, 피드백 되는 클럭신호(CLK)의 레벨상태에 따라 온/오프 동작을 수행한다.

트랜지스터(MP2)는 하이레벨의 전압라인(VDD)과 노드(N) 사이에 연결되고, 노드(A)의 레벨상태에 따라 온/오프 동작을 수행한다. 여기서, 상기 트랜지스터들(MP1, MP2)은 PMOS(P타입 Metal Oxide Semiconductor: 이하, "PMOS"라 한다.) 트랜지스터로서, 제어신호의 레벨상태가 로우레벨이면 턴-온되고, 하이레벨이면 턴-오프된다.

트랜지스터(MN1)는 로우레벨의 전압라인(VSS)과 노드(B) 사이에 연결되고, 피드백 되는 클럭신호(CLK)의 레벨상태에 따라 온/오프 동작을 수행한다.

트랜지스터(MN2)는 로우레벨의 전압라인(VSS)과 노드(B) 사이에 연결되고, 노드(B)의 레벨상태에 따라 온/오프 동작을 수행한다. 여기서, 상기 트랜지스터들(MN1, MN2)은 NMOS(N타입 Metal Oxide Semiconductor: 이하, "NMOS"라 한다.) 트랜지스터로서, 제어신호의 레벨상태가 로우레벨이면 턴-오프되고, 하이레벨이면 턴-온된다.

n개의 스위칭부(10)는 상기 노드(A)와 상기 노드(B) 사이에 연결되고, 각각의 스위칭부(10)는 동일한 지연시간을 가지는 n개의 제어신호(D1-DN : 도 3참조)를 입력받아 스위칭 동작을 수행하여, 노드(A)와 노드(B)사이를 연결하거나 차단한다. 상기 각각의 스위칭부(10)의 구성은 도 2에 자세히 도시하고 있다.

도 2는 도 1에 도시된 종래의 클럭신호 발생장치의 대표적인 스위칭부를 상세히 나타낸 회로도이다.

도 2를 참조하면, 종래의 클럭신호 발생장치의 대표적인 스위칭부(10)는 2개의 트랜지스터(MN3, MN4)와 3개의 인버터(21, 22, 23)로 구성된다.

트랜지스터(MN3)는 상기 노드(A)와 연결되며, 제 1 제어신호(D1)의 레벨상태에 따라 온/오프 동작을 수행한다.

트랜지스터(MN4)는 상기 트랜지스터(MN3)와 상기 노드(B) 사이에 연결되고, 상기 직렬로 연결된 3개의 인버터(21, 22, 23)에서 출력되는 제어신호의 레벨상태에 따라 온/오프 동작을 수행한다. 여기서, 상기 트랜지스터들(MN3, MN4)은 NMOS 트랜지스터이다.

상기 직렬로 연결된 3개의 인버터(21, 22, 23)는 상기 제 1 제어신호(D1)를 입력받아 3번 반전시키는 역할을 수행한다. 따라서, 상기 제 1 제어신호(D1)는 상기 트랜지스터(MN3)와 트랜지스터(MN4)에 동시에 입력되는 것이 아니라, 상기 직렬로 연결된 3개의 인버터 때문에 일정지연시간을 가지고, 트랜지스터(MN4)에 입력된다.

다시 도 1을 참조하면, 인버터(20)는 상기 노드(N)와 출력단 사이에 연결되어, 노드(N)의 레벨상태를 반전시키는 역할을 수행한다.

이하, 도 3의 타이밍도를 참조하여 도 1 및 도 2에 도시된 종래의 클럭신호 발생장치의 동작을 살펴보기로 한다.

도 3은 도 1에 도시된 종래의 클럭신호 발생장치의 동작상태를 나타내기 위한 n개의 제어신호들의 타이밍도이다.

도 3을 참조하면, 상기 n개의 스위칭부(10) 각각 입력되는 n개의 제어신호(D0-DN)가 일정지연시간을 가지고 순차적으로 인가된다. 각 제어신호(D0-DN)는 50%의 듀티비를 가지고, 하이레벨과 로우레벨을 반복한다.

클럭신호(CLK)의 현재상태가 로우레벨 상태이고, 제어신호(D1)가 하이레벨로 변환하면, 도 1의 트랜지스터(MP1)은 턴-온되고, 트랜지스터(MN1)은 턴-오프된다. 따라서, 노드(A)는 하이레벨의 전압(VDD)이 인가된다.

또한, 도 2에 도시된 스위칭부(10)의 트랜지스터(MN3)는 턴-온되고, 트랜지스터(MN4)는 지연시간(Δ delay time) 동안 턴-온 되었다가 턴-오프된다. 즉, 지연시간(Δ delay time)동안 트랜지스터(MN3)와 트랜지스터(MN4)는 연결되고(노드(A)와 노드(B) 연결), 이때 트랜지스터(MN2)는 하이레벨의 제어신호를 인가받아 턴-온되어 노드(N)로 로우레벨의 전압(VSS)을 인가한다. 상기 로우레벨의 전압(VSS)은 인버터(20)에 의해 반전되어 하이레벨의 클럭신호(CLK)가 된다. 즉, 상기 지연시간(Δ delay time)이 끝나면 노드(A)와 노드(B)의 전류 패스(path)가 없으므로 더 이상의 변위가 일어나지 않게 된다.

이러한 동작이 n 개의 제어신호(D0-DN)동안 순차적으로 이루어지면서 클럭신호를 발생하게 된다.

상기 도 1 내지 도 3에서 나타낸 바와 같은 종래의 클럭신호 발생장치의 문제점은 구조적으로 피드백 신호 루프(Feedback Signal Loop)를 사용한다는 점이다. 피드백 루프를 사용하게 되면 피드백 루프를 사용하는 구간동안 홀수개의 인버터가 연결된 오실레이터(Oscillator)로 동작하므로 허용되는 지연시간(Δ delay time)의 최대시간(Max. time)의 한계가 있고, 트랜지스터(MN3)와 트랜지스터(MN4)를 동시에 온(on)시켜 충분한 동작이 이루어지도록 하는 최소시간(Min. time)의 한계가 있다. 또한, 피드백 신호가 하나의 단위 동작을 완전히 마무리 시키는데 최소 시간(Min. time)의 제약이 있다.

결국, 종래의 클럭신호 발생장치는 피드백 루프(Feedback Loop)를 사용하게 때문에 고속(High Speed)의 클럭신호를 출력하는데 제약(<1GHz)이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하고자 본 발명이 이루고자 하는 기술적 과제는 보다 안정적이면서도 더 빠른 새로운 구조의 클럭신호 발생장치 및 이를 포함하는 유기 전계발광 표시장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위한 클럭신호 발생장치는 하이레벨의 전압라인과 클럭신호 출력단 사이에 연결되고, 제 1 제어신호 및 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 1 스위칭부; 로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 2 스위칭부; 상기 하이레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 반전된 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 3 스위칭부; 및 상기 로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호 및 상기 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 4 스위칭부를 포함하며, 상기 제 1 및 제 2 제어신호는 50%의 듀티비를 가지고, 서로 90도의 위상차를 가지는 것을 특징으로 한다.

또한, 상기 목적은 다수의 데이터선과 다수의 주사선이 교차하는 영역에 형성된 다수의 화소를 가지고, 소정의 영상을 디스플레이 하는 표시패널; 상기 다수의 주사선과 연결되고, 상기 다수의 주사선으로 주사신호를 순차적으로 인가하는 주사 구동부; 상기 다수의 데이터선과 연결되고, 상기 다수의 데이터선으로 데이터신호를 인가하는 데이터 구동부; 및 상기 주사 구동부와 상기 데이터 구동부로 클럭신호를 인가하는 클럭신호 발생부를 포함하며,

상기 클럭신호 발생부는 하이레벨의 전압라인과 클럭신호 출력단 사이에 연결되고, 제 1 제어신호 및 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 1 스위칭부; 로우레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 2 스위칭부; 상기 하이레벨의 전압라인과 상기 클럭신호 출력단 사이에 연결되고, 반전된 제 1 제어신호 및 반전된 제 2 제어신호의 레벨상태에 따라 상기 하이레벨의 전압을 출력하거나 차단하는 제 3 스위칭부; 및 상기 로우레벨의

전압라인과 상기 클럭신호 출력단 사이에 연결되고, 상기 반전된 제 1 제어신호 및 상기 제 2 제어신호의 레벨상태에 따라 상기 로우레벨의 전압을 출력하거나 차단하는 제 4 스위칭부를 포함하며, 상기 제 1 및 제 2 제어신호는 50%의 듀티비를 가지고, 서로 90도의 위상차를 가지는 것을 특징으로 하는 유기 전계발광 표시장치에 의해서도 달성될 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

실시예

도 4는 본 발명의 실시예에 따른 클럭신호 발생장치를 나타낸 회로도이다.

도 4를 참조하면, 본 발명의 실시예에 따른 클럭신호 발생장치는 4개의 스위칭부(100, 110, 120, 130)와 2개의 인버터(140, 150)로 구성된다.

제 1 스위칭부(100)는 하이레벨의 전압라인(VDD)과 노드(P) 사이에 연결되고, 제 1 제어신호(D1) 및 제 2 제어신호(D2)를 입력받는다. 따라서, 상기 제 1 제어신호(D1) 및 제 2 제어신호(D2)의 레벨상태에 따라 상기 제 1 스위칭부(100)는 상기 하이레벨의 전압(VDD)을 출력하거나 차단한다.

상세히 설명하면, 상기 제 1 스위칭부(100)는 상기 하이레벨의 전압라인(VDD)에 연결되고, 상기 제 2 제어신호(D2)의 레벨상태에 따라 온/오프 동작하는 제 1 트랜지스터(MP11) 및 상기 제 1 트랜지스터(MP11)와 상기 노드(P) 사이에 연결되고, 상기 제 1 제어신호(D1)의 레벨상태에 따라 온/오프 동작하는 제 2 트랜지스터(MP12)로 구성된다. 또한, 상기 제 1 트랜지스터(MP11) 및 제 2 트랜지스터(MP12)는 PMOS 트랜지스터이고, 상기 제 1 및 제 2 제어신호(D1, D2)가 모두 로우레벨일 때 상기 제 1 스위칭부(100)는 턴-온되어 하이레벨의 전압을 출력한다.

상기 본 발명의 실시예에 따른 클럭신호 발생장치에 입력되는 상기 제 1 제어신호(D1) 및 제 2 제어신호(D2)는 후술할 도 5에 도시된 것과 같이 50%의 듀티비를 가지며, 제 2 제어신호(D2)는 제 1 제어신호(D1)보다 위상차가 90도 뒤진다.

제 2 스위칭부(110)는 로우레벨의 전압라인(VSS)과 노드(P) 사이에 연결되고, 제 1 제어신호(D1) 및 반전된 제 2 제어신호(DB2)를 입력받는다. 따라서, 상기 제 1 제어신호(D1) 및 반전된 제 2 제어신호(D2)의 레벨상태에 따라 상기 제 2 스위칭부(110)는 상기 로우레벨의 전압(VSS)을 출력하거나 차단한다.

구체적으로, 상기 제 2 스위칭부(110)는 상기 로우레벨의 전압라인(VSS)에 연결되고, 상기 제 1 제어신호(D1)의 레벨상태에 따라 온/오프 동작하는 제 3 트랜지스터(MN11) 및 상기 제 3 트랜지스터(MN11)와 상기 노드(P) 사이에 연결되고, 상기 반전된 제 2 제어신호(DB2)의 레벨상태에 따라 온/오프 동작하는 제 4 트랜지스터(MN12)로 구성된다. 또한, 상기 제 3 트랜지스터(MN11) 및 제 4 트랜지스터(MN12)는 NMOS 트랜지스터이고, 상기 제 1 제어신호 및 반전된 제 2 제어신호(D1, DB2)가 모두 하이레벨일 때 상기 제 2 스위칭부(110)는 턴-온되어 로우레벨의 전압을 출력한다.

제 3 스위칭부(120)는 하이레벨의 전압라인(VDD)과 노드(P) 사이에 연결되고, 반전된 제 1 제어신호(DB1) 및 반전된 제 2 제어신호(DB2)를 입력받는다. 따라서, 상기 반전된 제 1 제어신호(DB1) 및 반전된 제 2 제어신호(DB2)의 레벨상태에 따라 상기 제 3 스위칭부(120)는 상기 하이레벨의 전압(VDD)을 출력하거나 차단한다.

구체적으로 말하면, 상기 제 3 스위칭부(130)는 상기 하이레벨의 전압라인(VDD)에 연결되고, 상기 반전된 제 2 제어신호(DB2)의 레벨상태에 따라 온/오프 동작하는 제 5 트랜지스터(MP13) 및 상기 제 5 트랜지스터(MP13)와 상기 노드(P) 사이에 연결되고, 상기 반전된 제 1 제어신호(DB1)의 레벨상태에 따라 온/오프 동작하는 제 6 트랜지스터(MP14)로 구성된다. 또한, 상기 제 5 트랜지스터(MP13) 및 제 6 트랜지스터(MP14)는 PMOS 트랜지스터이고, 상기 반전된 제 1 제어신호(DB1) 및 반전된 제 2 제어신호(DB2)가 모두 로우레벨일 때 상기 제 3 스위칭부(110)는 턴-온되어 하이레벨의 전압을 출력한다.

제 4 스위칭부(130)는 로우레벨의 전압라인(VSS)과 노드(P) 사이에 연결되고, 반전된 제 1 제어신호(DB1) 및 제 2 제어신호(D2)를 입력받는다. 따라서, 상기 반전된 제 1 제어신호(DB1) 및 제 2 제어신호(D2)의 레벨상태에 따라 상기 제 4 스위칭부(130)는 상기 로우레벨의 전압(VSS)을 출력하거나 차단한다.

상세히 살펴보면, 상기 제 4 스위칭부(130)는 상기 로우레벨의 전압라인(VSS)에 연결되고, 상기 제 2 제어신호(D2)의 레벨상태에 따라 온/오프 동작하는 제 7 트랜지스터(MN13) 및 상기 제 7 트랜지스터(MN13)와 상기 노드(P) 사이에 연결되

고, 상기 반전된 제 1 제어신호(DB1)의 레벨상태에 따라 온/오프 동작하는 제 8 트랜지스터(MN14)로 구성된다. 또한, 상기 제 7 트랜지스터(MN13) 및 제 8 트랜지스터(MN14)는 NMOS 트랜지스터이고, 상기 제 2 제어신호(D2) 및 반전된 제 1 제어신호(DB1)가 모두 하이레벨일 때 상기 제 4 스위칭부(130)는 턴-온되어 로우레벨의 전압을 출력한다.

제 1 인버터(140)는 상기 노드(P)와 연결되어 노드(P)에서 출력되는 신호를 입력받아 반전시키는 역할을 수행한다. 또한, 상기 제 2 인버터(150)는 상기 제 1 인버터(140)와 연결되어 상기 제 1 인버터(140)에서 출력되는 신호를 다시 반전시키는 역할을 수행한다. 결국, 노드(P)로 출력되는 클럭신호는 2개의 인버터(140, 150)을 거쳐 원래 클럭신호를 출력한다.

따라서, 상술한 바와 같이 본 발명의 실시예에 따른 클럭신호 발생장치는 도 1에 나타난 종래의 클럭신호 발생장치와 달리 지연 시간을 사용하지 않고 있으며, 구조상 피드백 루프(Feedback Loop)가 없다. 따라서, 동작의 안정성을 확보하기 위한 최소 지연시간이 없으며, 신호가 피드백 되는데 걸리는 시간이 없다. 그러므로, 본 발명의 실시예에 따른 클럭신호 발생장치를 사용할 경우 매우 빠른 클럭신호(3.5GHz)를 만들어 낼 수 있다.

도 5는 도 4에 도시된 클럭신호 발생장치를 구동시키기 위한 신호들의 타이밍도이다.

도 5의 타이밍도를 참조하여 도 4의 클럭신호 발생장치의 동작을 살펴보면, 제 1 제어신호(D1)는 50% 듀티비를 가지고, 하이레벨과 로우레벨을 반복한다. 제 2 제어신호(D2) 또한 50%의 듀티비를 가지지만, 상기 제 1 제어신호(D1)보다 위상차가 90도 뒤진다. 즉, 제 2 제어신호(D2)는 상기 제 1 제어신호(D1)보다 1/4주기 뒤에 하이레벨로 변환하여 하이레벨과 로우레벨을 반복한다. 반전된 제 1 제어신호(DB1)는 제 1 제어신호의 역상이고, 반전된 제 2 제어신호(DB2)는 제 2 제어신호의 역상이다.

도 5와 같은 타이밍도를 가지는 상기 제어신호들(D1,D2,DB1,DB2)을 입력받은 상기 클럭신호 발생장치는 1/4주기마다 로우레벨의 전압과 하이레벨의 전압을 반복하여 출력한다. 이하, 상기 제어신호들의 레벨상태에 따라 클럭신호 발생장치의 동작을 살펴본다.

먼저, 첫 번째 1/4 주기 동안, 하이레벨의 제 1 제어신호(D1)와 로우레벨의 제 2 제어신호(D2)가 입력되면, 제 1 스위칭부(100)와 제 3 스위칭부(120)와 제 4 스위칭부(130)는 턴-오프되고, 제 2 스위칭부(110)만 턴-온되어, 로우레벨 전압(VSS)의 클럭신호(CLK)가 출력된다.

다음, 두 번째 1/4주기 동안, 하이레벨의 제 1 제어신호(D1)와 하이레벨의 제 2 제어신호(D2)가 입력되면, 제 1 스위칭부(100)와 제 2 스위칭부(110)와 제 4 스위칭부(130)는 턴-오프되고, 제 3 스위칭부(120)만 턴-온되어 하이레벨 전압(VDD)의 클럭신호(CLK)가 출력된다.

다음, 세 번째 1/4주기 동안, 로우레벨의 제 1 제어신호(D1)와 하이레벨의 제 2 제어신호(D2)가 입력되면, 제 1 스위칭부(100)와 제 2 스위칭부(110)와 제 3 스위칭부(120)는 턴-오프되고, 제 4 스위칭부(130)만 턴-온되어 로우레벨 전압(VSS)의 클럭신호(CLK)가 출력된다.

마지막으로, 네 번째 1/4주기 동안, 로우레벨의 제 1 제어신호(D1)와 로우레벨의 제 2 제어신호(D2)가 입력되면, 제 2 스위칭부(110)와 제 3 스위칭부(120)와 제 4 스위칭부(130)는 턴-오프되고, 제 1 스위칭부(100)만 턴-온되어 로우레벨 전압(VSS)의 클럭신호(CLK)가 출력된다.

상기 도 5와 같은 타이밍도를 가지는 제어신호들은 계속적으로 상기 클럭신호 발생장치에 반복 입력되고, 상기 1주기 동안의 동작이 계속적으로 진행되어 클럭신호(CLK)가 출력된다.

상기와 같은 구성 및 동작을 하는 본 발명의 실시예에 따른 클럭신호 발생장치는 종래의 회로와 다르게 지연시간을 사용하지 않고, 피드백 루프(Feedback Loop)가 없으므로, 약 3.5GHz 이하의 매우 빠른 속도를 가지는 클럭신호를 출력할 수 있다.

도 6은 본 발명의 실시예에 따른 클럭신호 발생장치를 가지는 유기 전계발광 표시장치를 나타낸 블록도이다.

도 6을 참조하면, 본 발명의 실시예에 따른 클럭신호 발생장치를 가지는 유기 전계발광 표시장치는 표시패널(200), 주사구동부(300), 데이터 구동부(400) 및 클럭신호 발생부(500)를 가진다.

표시패널(200)은 다수의 주사선(S1-Sn)과 다수의 데이터선(D1-Dm)이 행과 열로 배열되어 있다. 상기 다수의 주사선(S1-Sn)과 상기 다수의 데이터선(D1-Dm)이 교차하는 영역들에는 소정의 휘도로 발광하는 화소들(P11-Pnm)이 형성되어 있다.

상기 각각의 화소들(미도시)은 상기 주사선과 데이터선과 연결된 화소구동부와 상기 화소구동부로부터 구동전류를 입력받아 구동전류의 량에 따라 소정의 빛으로 발광하는 유기발광소자(OLED)로 구성된다. 상기 화소구동부는 다수의 박막 트랜지스터로 구성되어 데이터신호에 상응하는 구동전류를 생성한다.

주사 구동부(300)는 상기 다수의 주사선(S1-Sn)과 연결되어 각 주사선에 주사신호를 순차적으로 공급하며, 데이터 구동부(400)는 상기 다수의 데이터선(D1-Dm)과 연결되어 각 데이터선에 데이터신호를 공급한다.

클럭신호 발생부(500)는 상기 주사 구동부(300)와 상기 데이터 구동부(400)로 클럭신호(CLK)를 인가한다. 상기 주사 구동부(300) 및 데이터 구동부(400)는 주사신호 및 데이터신호를 전달하는 과정에서 시프트 레지스터(shift register : 미도시)를 이용하게 되는데 상기 시프트 레지스터는 상기 클럭신호 발생부(500)에서 발생하는 클럭신호(CLK)의 레벨상태에 따라 온/오프 동작을 수행하여 신호를 전달한다. 패널의 크기가 커지거나, 고해상도의 디스플레이의 경우 짧은 시간에 많은 신호들을 보내야 하므로, 그 동작 속도를 결정하는 클럭신호의 속도는 매우 중요한 역할을 하고 있다. 따라서, 본 발명의 실시예에 따른 클럭신호 발생부(500)를 사용할 경우, 유기 전계발광 표시장치의 속도를 빠르게 할 수 있으므로 고해상도 및 대형 패널의 설계가 가능하게 된다.

이상에서는 본 발명의 바람직한 실시 예들에 대하여 상세하게 설명하였지만, 본 발명의 권리범위는 이에 한정되는 것이 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

상기와 같은 구성의 본 발명은 종래와 달리 지연시간을 사용하지 않고 있으며, 구조상 피드백 루프가 없다.

따라서, 동작의 안전성을 확보하기 위한 최소 지연시간이 없으며, 신호가 피드백 되는데 걸리는 시간이 없다.

결국, 매우 빠른 속도의 클럭신호를 생성할 수 있다.

도면의 간단한 설명

도 1은 종래의 클럭신호 발생장치를 나타낸 회로도이다.

도 2는 도 1에 도시된 종래의 클럭신호 발생장치의 대표적인 스위칭부를 상세히 나타낸 회로도이다.

도 3은 도 1에 도시된 종래의 클럭신호 발생장치의 동작상태를 나타내기 위한 n개의 제어신호들의 타이밍도이다.

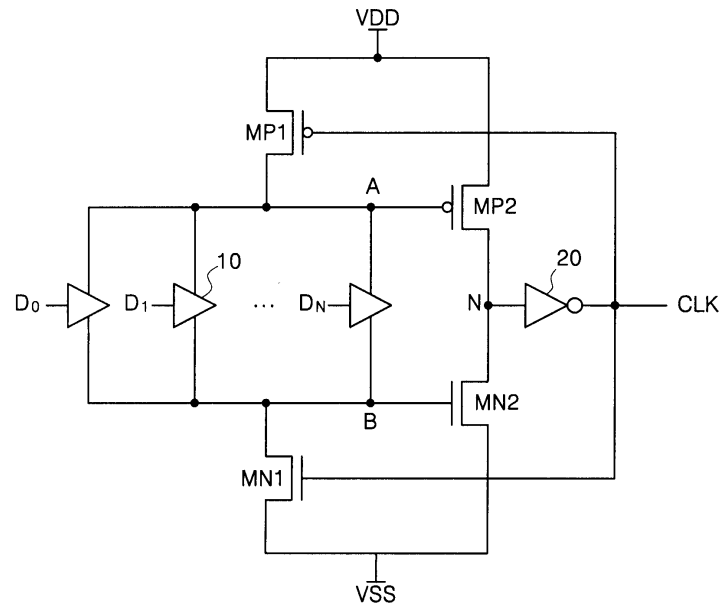
도 4는 본 발명의 실시예에 따른 클럭신호 발생장치를 나타낸 회로도이다.

도 5는 도 4에 도시된 클럭신호 발생장치를 구동시키기 위한 신호들의 타이밍도이다.

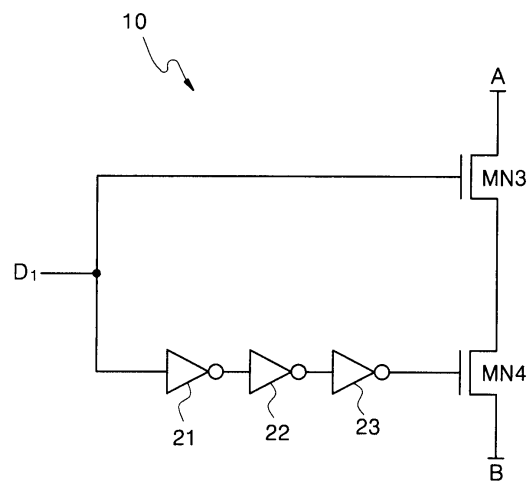
도 6은 본 발명의 실시예에 따른 클럭신호 발생장치를 가지는 유기 전계발광 표시장치를 나타낸 블록도이다.

도면

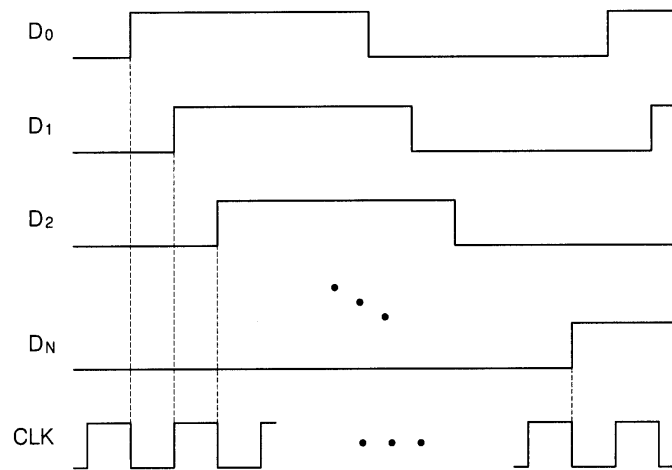
도면1



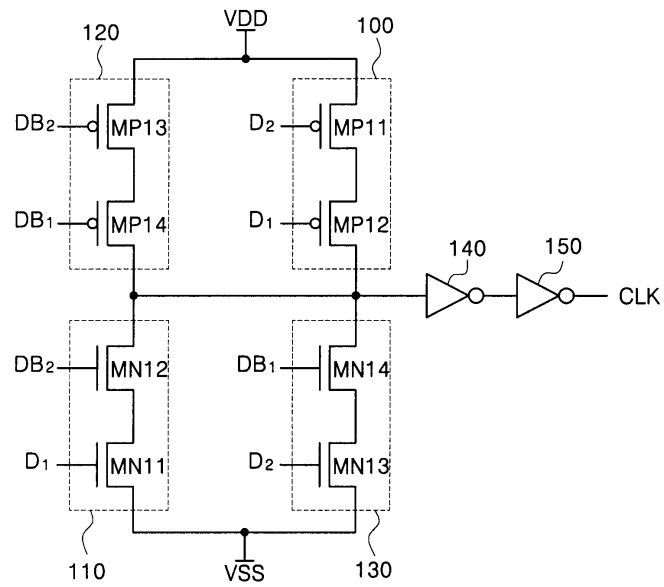
도면2



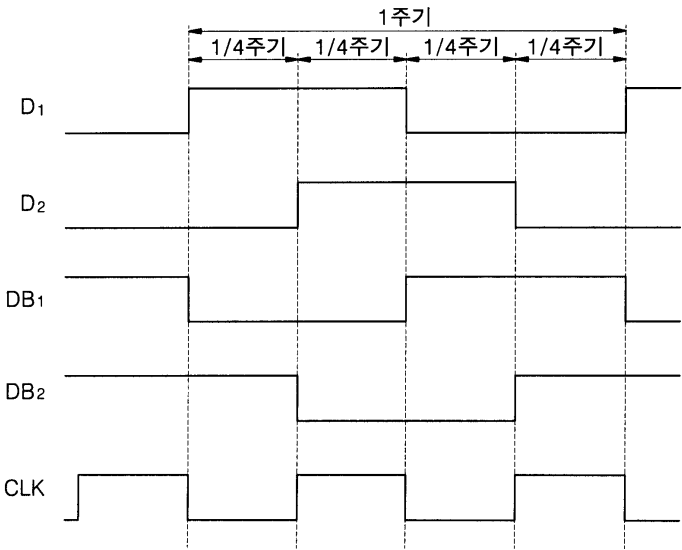
도면3



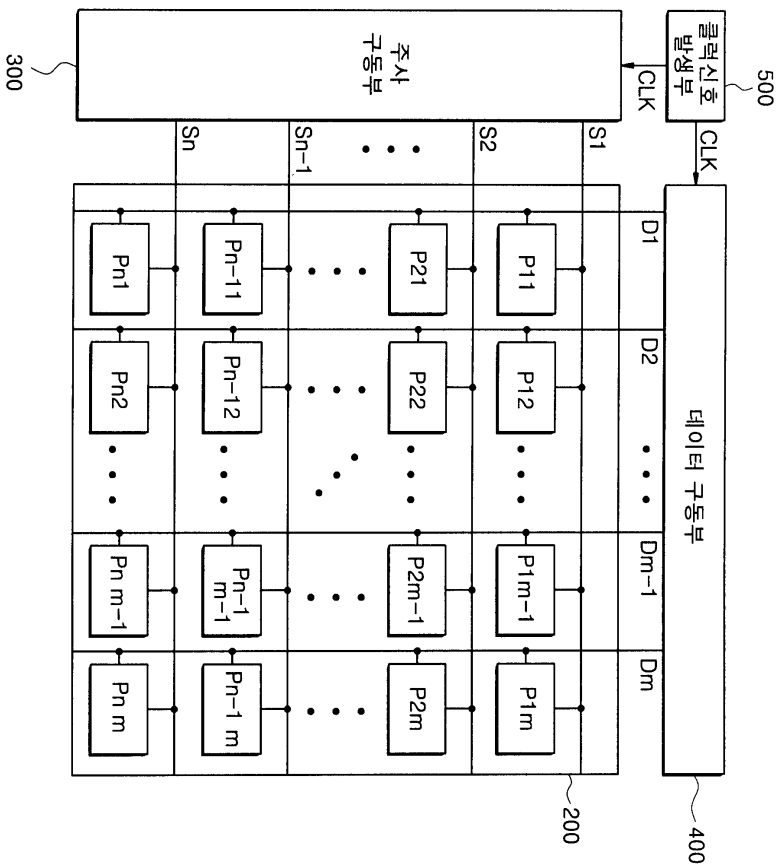
도면4



도면5



도면6



专利名称(译)	时钟信号发生器和有机发光显示器		
公开(公告)号	KR100741978B1	公开(公告)日	2007-07-23
申请号	KR1020050086681	申请日	2005-09-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM TAE GYU		
发明人	KIM TAE GYU		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3208 G09G5/18		
代理人(译)	PARK, 常树		
其他公开文献	KR1020070032446A		
外部链接	Espacenet		

摘要(译)

目的：提供时钟信号发生器和具有该时钟信号发生器的有机电致发光显示装置，以通过不使用最小延迟时间来产生高速时钟信号，以确保驱动稳定性和信号反馈时间。

