



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월22일 10-0731028 2007년06월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0073269 2000년12월05일 2005년10월20일	(65) 공개번호 (43) 공개일자	10-2002-0044269 2002년06월15일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 박준규
 서울특별시관악구신림1동1630-17번지

 배성준
 경기도성남시분당구금곡동청솔마을104동703호

 이한상
 서울특별시관악구신림1동1608-9

(74) 대리인 김용인
 심창섭

(56) 선행기술조사문헌 JP11204258A2 JP10333641A2	JP11272235A2 US6121943A
---	----------------------------

심사관 : 박부식

전체 청구항 수 : 총 5 항

(54) 전계 발광 디스플레이 패널

(57) 요약

본 발명은 화소간 휘도차를 보상하고 시간적인 제어를 통해 그레이 레벨을 구현할 수 있는 전계 발광 디스플레이 패널을 제공하기 위한 것으로, 본 발명의 전계 발광 디스플레이 패널은 교차 배치되는 복수개의 게이트 배선과 데이터 배선, 그리고 각 교차부위에 형성된 전계 발광 소자를 구비하는 복수의 픽셀들로 이루어지는 픽셀 어레이부; 상기 게이트 배선으로 게이트 구동신호를 인가하는 게이트 구동회로부; 상기 데이터 배선으로 데이터 신호를 인가하는 소스 구동회로부; 및 상기 각 픽셀에 상기 전계 발광 소자의 발광 시간을 조정하는 소거 신호를 인가하는 소거 구동회로부를 포함하며; 상기 각 픽셀들은 상기 소거 신호에 따라 상기 전계 발광 소자에 공급되는 전류를 차단하는 바이패스부를 포함하여 구성되는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

교차 배치되는 복수개의 게이트 배선과 데이터 배선, 그리고 각 교차부위에 형성된 전계 발광 소자를 구비하는 복수의 픽셀들로 이루어지는 픽셀 어레이부;

상기 게이트 배선으로 게이트 구동신호를 인가하는 게이트 구동회로부;

상기 데이터 배선으로 데이터 신호를 인가하는 소스 구동회로부; 및

상기 각 픽셀에 상기 전계 발광 소자의 발광 시간을 조정하는 소거 신호를 인가하는 소거 구동회로부를 포함하며;

상기 각 픽셀들은 상기 소거 신호에 따라 상기 전계 발광 소자에 공급되는 전류를 차단하는 바이패스부를 포함하여 구성되는 것을 특징으로 하는 전계 발광 디스플레이 패널.

청구항 2.

제 1 항에 있어서, 각 픽셀들은

상기 게이트 구동신호에 따라 상기 데이터 신호를 스위칭하는 직렬 연결된 제 1, 제 2 스위칭 소자;

전원전압단 또는 접지전압단과 상기 제 2 스위칭 소자의 출력단 사이에 연결되어 상기 데이터 신호를 충전하는 커패시터;

상기 커패시터의 양단의 병렬로 연결된 상기 바이패스부;

상기 커패시터의 전압에 따라 상기 제 1 스위칭 소자의 출력단과 전원전압단 사이에 연결된 제 3 스위칭 소자;

상기 제 3 스위칭 소자를 통해 흐르는 전류에 상응하는 전류를 전계 발광 소자로 선택적으로 출력하는 제 4 스위칭소자; 및

상기 제 4 스위칭 소자를 통해 흐르는 전류에 상응하여 소정 시간 발광하는 전계 발광 소자를 포함하여 구성되는 것을 특징으로 하는 전계 발광 디스플레이 패널.

청구항 3.

제 2 항에 있어서, 상기 바이패스부는 상기 소거 신호에 따라 상기 게이트 구동신호가 활성화되기 이전에 상기 커패시터에 충전된 전압을 방전시켜 상기 전계 발광 소자에 공급되는 전류를 차단하는 것을 특징으로 하는 전계 발광 디스플레이 패널.

청구항 4.

제 2 항에 있어서, 상기 각 스위칭 소자는 P형 박막트랜지스터로 구성되는 것을 특징으로 하는 전계 발광 디스플레이 패널.

청구항 5.

제 1 항에 있어서, 상기 소거 신호는 디지털 데이터의 비트 수에 대응되는 서브 필드의 각 비트별 데이터에 따라 시간적인 차이를 가지는 것을 특징으로 하는 전계 발광 디스플레이 패널.

청구항 6.

삭제

청구항 7.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 장치에 관한 것으로 특히, 전계 발광 디스플레이 패널에 관한 것이다.

정보통신분야의 급속한 발전으로 말미암아 원하는 정보를 표시해 주는 디스플레이산업의 중요성이 날로 증가하고 있으며, 현재까지 정보디스플레이 장치 중 CRT(cathode ray tube)는 다양한 색을 표시할 수 있고, 화면의 밝기도 우수하다는 장점 때문에 지금까지 꾸준한 인기를 누려왔다. 하지만 대형, 휴대용, 고해상도 디스플레이에 대한 욕구 때문에 무게와 부피가 큰 CRT 대신에 평판디스플레이(flat panel display) 개발이 절실히 요구되고 있다. 이러한 평판디스플레이는 컴퓨터 모니터에서 항공기 및 우주선 등에 사용되는 디스플레이에 이르기까지 응용분야가 넓고 다양하다.

현재 생산 혹은 개발된 평판디스플레이는 액정디스플레이(liquid crystal display : LCD), 전계 발광 디스플레이(electroluminescent display : ELD), 전계 방출 디스플레이(field emission display : FED), 플라즈마 디스플레이(plasma display panel : PDP) 등이 있다. 이상적인 평판디스플레이가 되기 위해서는 경중량, 고휘도, 고효율, 고해상도, 고속응답특성, 저구동전압, 저소비전력, 저코스트(cost) 및 천연색 디스플레이 특성 등이 요구된다.

이 중 전계 발광 디스플레이(ELD:Electroluminescent Display)는 넓은 시야각, 고속 응답성, 고 콘트라스트(Contrast) 등의 뛰어난 특성을 가지고 있으며, 얇고 가벼울뿐 아니라 색감이 좋기 때문에 차세대 평판 디스플레이로 대두되고 있다.

상기 전계 발광 디스플레이는 사용하는 재료에 따라 무기 발광 소자와 유기 발광 소자로 크게 나뉘어지는데, 이중 유기 발광 소자는 전자 주입 전극과 정공 주입 전극 사이에 형성된 유기 박막층에 전하를 주입하면 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자이고, 무기 발광 소자는 높은 전계에 의해 가속된 전자가 발광체에 충돌, 여기시키고, 여기된 발광체가 기저 상태로 떨어지면서 발광하는 소자이다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 전계 발광 디스플레이 패널을 설명하기로 한다.

도 1은 종래 기술에 따른 전계 발광 디스플레이 패널의 단위 픽셀의 구성도이고 도 2는 구동방법을 설명하기 위한 게이트 신호와 데이터 신호의 타이밍도이다.

도 1에 도시된 바와 같이, 종래 단위 픽셀은 2-TR구조를 채용하고 있다. 즉, 게이트 신호에 의해 데이터 전압을 선택적으로 스위칭하는 제 1 트랜지스터(11)와, 상기 제 1 트랜지스터(11)의 출력단 전압에 의해 전원 전압을 전계 발광 소자(13)로 스위칭하는 제 2 트랜지스터(15)와, 상기 제 1 트랜지스터(11)의 출력단과 제 2 트랜지스터(15)의 입력단 사이에 연결된 커패시터(17)로 구성된다.

여기서, 상기 제 1 트랜지스터(11)와 제 2 트랜지스터(15)는 저전압에 의해 구동되는 P형 박막트랜지스터이다.

이와 같은 구조를 갖는 종래 전계 발광 디스플레이 패널은 게이트 라인(Gn)의 게이트 신호에 의해 제 1 트랜지스터(11)가 구동되면, 데이터 라인(Dn)에 실린 데이터 전압이 제 1 트랜지스터(11)를 통해 커패시터(17)에 충전되고, 상기 게이트 신호를 절단하면, 상기 커패시터(17)에 충전된 전압이 방전되면서 제 2 트랜지스터(15)를 통해 전계 발광 소자(13)로 전류가 전달되어 전계 발광 소자(13)가 발광하게 된다.

이때, 발광의 정도는 데이터 전압에 의해 결정되는데, 데이터 전압의 고저에 따라 발광의 세기가 달라지게 된다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 전계 발광 디스플레이 패널은 다음과 같은 문제점이 있었다.

도 1과 같은 구조의 단위 픽셀이 패널의 전영역에 형성되기 때문에 픽셀의 위치에 따라 제 2 트랜지스터의 특성이 변화하여 각 픽셀간에 휘도차를 유발하며, 그레이 레벨(Gray level)을 구현하는데 한계가 있다.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 픽셀간 휘도차를 보상하고 시간적인 제어를 통해 그레이 레벨을 구현할 수 있는 전계 발광 디스플레이 패널을 제공하는데 목적이 있다.

발명의 구성

상기의 목적을 달성하기 위한 본 발명의 전계 발광 디스플레이 패널은 교차 배치되는 복수개의 게이트 배선과 데이터 배선, 그리고 각 교차부위에 형성된 전계 발광 소자를 구비하는 복수의 픽셀들로 이루어지는 픽셀 어레이부; 상기 게이트 배선으로 게이트 구동신호를 인가하는 게이트 구동회로부; 상기 데이터 배선으로 데이터 신호를 인가하는 소스 구동회로부; 및 상기 각 픽셀에 상기 전계 발광 소자의 발광 시간을 조정하는 소거 신호를 인가하는 소거 구동회로부를 포함하며; 상기 각 픽셀들은 상기 소거 신호에 따라 상기 전계 발광 소자에 공급되는 전류를 차단하는 바이패스부를 포함하여 구성되는 것을 특징으로 한다.

여기서, 상기 각 픽셀들은 상기 게이트 구동신호에 따라 상기 데이터 신호를 스위칭하는 직렬 연결된 제 1, 제 2 스위칭 소자; 전원전압단 또는 접지전압단과 상기 제 2 스위칭 소자의 출력단 사이에 연결되어 상기 데이터 신호를 충전하는 커패시터; 상기 커패시터의 양단의 병렬로 연결된 상기 바이패스부; 상기 커패시터의 전압에 따라 상기 제 1 스위칭 소자의 출력단과 전원전압단 사이에 연결된 제 3 스위칭 소자; 상기 제 3 스위칭 소자를 통해 흐르는 전류에 상응하는 전류를 전계 발광 소자로 선택적으로 출력하는 제 4 스위칭소자; 및 상기 제 4 스위칭 소자를 통해 흐르는 전류에 상응하여 소정 시간 발광하는 전계 발광 소자를 포함하여 구성되는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 전계 발광 디스플레이 패널을 설명하기로 한다.

도 3은 본 발명의 전계 발광 디스플레이 패널의 구성도이고 도 4는 상기 전계 발광 디스플레이 패널의 단위 픽셀 구성도이다.

먼저, 도 3에 도시한 바와 같이, 본 발명의 전계 발광 디스플레이 패널은 크게 픽셀 어레이부(31), 게이트 구동회로부(33), 소스 구동회로부(35) 및 소거 구동회로부(37)로 구성된다.

여기서, 상기 픽셀 어레이부(31)는 복수개의 게이트 배선과 데이터 배선이 교차 배치되며, 각 교차 부위마다 픽셀(Pixel) 영역이 정의된다. 상기 게이트 구동회로부(33)는 픽셀 어레이부(31)내 게이트 배선에 순차적으로 구동신호를 인가하며, 소거 구동회로부(37)는 상기 픽셀 어레이부(31)내 각 픽셀로 소거 신호를 인가한다. 그리고 소스 구동회로부(35)는 상기 데이터 배선으로 데이터 신호를 인가한다.

상기 픽셀 어레이부(31)는 복수의 픽셀들로 구성되는데, 각 픽셀의 구조는 도 4에 도시한 바와 같다.

도 4에 도시한 바와 같이, 본 발명의 전계 발광 디스플레이 패널의 단위 픽셀은 게이트 배선에 인가되는 신호에 의해 제어되어 데이터 신호를 스위칭하는 제 1 스위칭 소자(41)와, 상기 제 1 스위칭 소자(41)와 시리얼하게 연결된 제 2 스위칭 소자(43)와, 일측단자가 상기 제 2 스위칭 소자(43)의 출력단에 연결되고 타측단자는 전원전압단(Vdd)에 연결되어 제 1, 제 2 스위칭 소자(41,43)를 통해 전달된 데이터 전압을 충전하는 커패시터(45)와, 상기 제 1 스위칭 소자(41)의 출력단과 상기 커패시터(45)의 타측단자 사이에 연결되며 상기 커패시터(45)의 일측 단자에 유입된 전압에 의해 제어되는 제 3 스위칭

소자(47)와, 소거 구동회로부(37)로부터 인가되는 소거 신호에 따라 상기 커패시터(45)의 방전 전압이 전계 발광 소자(49)로 전달되지 못하도록 바이패스시키는 바이패스부(51)와, 상기 전원전압단(Vdd)과 전계 발광 소자(49) 사이에 연결되어 상기 커패시터의 일측 단자에 유기된 전압에 의해 제어되는 제 4 스위칭 소자(53)로 구성된다.

여기서, 상기 스위칭 소자들은 저전압에 의해 구동되는 P도전형 트랜지스터로 구성되며, 상기 바이패스부(51)는 상기 커패시터(45)의 일측 단자와 타측 단자 사이에서 커패시터(45)와 병렬적으로 연결되어 상기 소거 구동회로부(37)에서 인가되는 소거신호에 의해 상기 커패시터(45)의 방전 전압이 전계 발광 소자(49)로 전달되지 못하도록 바이패스(bypass)시키는 기능을 수행하며, P도전형 트랜지스터로 구성된다.

상기와 같이 구성된 단위 픽셀은 게이트 배선에 활성화 신호를 인가하면, 데이터 전압은 제 1, 제 2 스위칭 소자(41,43)를 통해 상기 커패시터(45)에 충전된 후, 상기 제 3 스위칭 소자(47)를 통해 흐르는 전류에 상응하는 전류가 제 4 스위칭 소자(53)를 통해 전계 발광 소자(49)로 전달되어 전계 발광 소자는 일정시간 빛을 발하게 된다.

이후, 상기 제 1, 제 2 스위칭 소자(41,43)를 제어하는 게이트 신호를 절단하더라도 커패시터(45)에 저장된 데이터 전압이 방전되면서 전계 발광 소자는 계속해서 발광하게 되는데 이때, 소거 구동회로부(37)에서 상기 커패시터(45)의 양단에 구성된 바이패스부(51)로 소거 신호를 출력하면 상기 커패시터(45)의 방전 전압은 바이패스부(51)를 통해 바이패스 되어 전계 발광 소자(49)는 더 이상 발광하지 못하게 된다.

이와 같은 구조의 단위 픽셀을 갖는 전계 발광 디스플레이 패널의 구동방법을 설명하면 다음과 같다.

앞에서 언급한 바와 같이, 본 발명은 커패시터(45)의 양단에 바이패스부(51)를 구성하고, 상기 바이패스부(51)를 소거 구동회로부(37)의 소거 신호로 제어하여 전계 발광 소자(49)의 발광 시간을 조절하는 것을 특징으로 한다.

즉, 도 5에 도시된 타이밍도로부터 알 수 있듯이, 게이트 신호가 활성화되기 이전에 소거 구동회로부(37)는 바이패스부(51)로 소거 신호를 출력하여 커패시터에 충전된 전압을 완전히 방전시킨다. 이때, 게이트 신호가 활성화된 시점에서부터 전계 발광 소자는 발광하게 되는데, 상기 전계 발광 소자가 발광하기 시작한 시점에서부터 다음번 소거 신호가 출력될 때까지의 시간을 t_1 이라고 가정할 경우, 상기 t_1 을 조정하는 것에 의해 전계 발광 소자의 발광 시간을 조절할 수가 있다.

이하, 상기 t_1 을 조정하는 방법에 대해 보다 상세하게 설명하면 다음과 같다.

t_1 을 조정하기 위한 방법으로 본 발명에서는 1프레임(Frame)을 n 개의 서브 필드(Sub field)로 나누고, 각 서브 필드마다 픽셀을 온/오프시킨다.

여기서, 1프레임을 n 개의 서브 필드로 나누는 방법은 도 6에 도시한 바와 같이, 입력되는 디지털 데이터의 비트수를 이용하는 데, 상기 디지털 데이터가 6비트이면 6개의 서브 필드로 나누고, 상기 디지털 데이터의 비트수가 8비트이면 8개의 서브 필드로 나눈다. 결국, 1프레임을 구성하는 각각의 비트가 하나의 서브 필드의 데이터가 된다.

참고로, 상기 디지털 데이터가 6비트이면 0~63까지의 그레이 레벨을 구현할 수 있으며, 디지털 데이터가 8비트이면, 0~255까지의 그레이 레벨을 구현할 수 있다.

도 7은 입력되는 디지털 데이터가 6비트라고 가정하였을 경우, 1프레임을 구성하는 6개의 서브 필드를 도시한 것으로, 각 서브 필드에 상응하는 데이터가 디스플레이되는 시간을 각각 $T_1 \sim T_6$ 까지로 정의하였으며, 도 8은 그에 따른 타이밍도이다.

도 7 및 도 8에서 T_1 은 서브 필드1에 해당하는 데이터가 발광하는 시간이고, T_2 는 서브 필드2에 해당하는 데이터가 발광하는 시간이며, T_3 는 서브 필드3, T_4 는 서브 필드4, T_5 는 서브 필드5 그리고 T_6 는 서브 필드6에 해당하는 데이터가 발광하는 시간이다.

따라서, 입력되는 디지털 데이터를 복수개의 서브 필드로 나누고, 각 서브 필드가 발광하는 시간을 조정함으로써, 그레이 레벨을 조정할 수 있다. 다시말하면, 상기 T_1 내지 T_6 는 그레이 레벨에 따라 결정한다.

한편, 도 9는 전계 발광 디스플레이 패널의 단위 픽셀의 다른 실시예를 도시한 것이다.

도 9에 도시된 바와 같이, 도 4와 비교하여 커패시터의 위치가 변경되었음을 알 수 있다. 즉, 도 4에서는 커패시터(45)가 전원전압단(Vdd)과 제 2 스위칭 소자(43)의 출력단 사이에 연결되었으나, 도 9는 접지전압단(Vss)와 제 2 스위칭 소자(43)의 출력단 사이에 연결하였다.

발명의 효과

이상에서 상술한 바와 같이, 본 발명의 전계 발광 디스플레이 패널은 다음과 같은 효과가 있다.

데이터 전압을 충전하는 커패시터의 양단에 바이패스부를 추가로 구성하여 상기 바이패스부를 통해 전계 발광 소자의 발광 시간을 조절함으로써, 그레이 레벨을 시간적인 조정을 통해 구현할 수 있으며 각 픽셀간의 휘도를 보상할 수 있다.

도면의 간단한 설명

도 1은 종래 기술에 따른 전계 발광 디스플레이 패널의 단위 화소의 구성도

도 2는 종래 구동방법을 설명하기 위한 게이트 전압과 데이터 전압의 파형도

도 3은 본 발명의 전계 발광 디스플레이 패널의 구성도

도 4는 본 발명의 전계 발광 디스플레이 패널의 단위 픽셀 구성도

도 5는 본 발명의 전계 발광 디스플레이 패널의 구동방법을 설명하기 위한 타이밍도

도 6은 본 발명에 따른 복수개의 서브 필드로 이루어진 단위 프레임의 구성도

도 7은 디지털 데이터가 6비트라고 가정하였을 경우, 1프레임을 구성하는 6개의 서브 필드를 도시한 도면

도 8은 도 7을 이용한 전계 발광 디스플레이 패널의 타이밍도

도 9는 본 발명의 전계 발광 디스플레이 패널에 따른 단위 픽셀의 다른 구성도

도면의 주요부분에 대한 부호의 설명

31 : 픽셀 어레이부 33 : 게이트 구동회로부

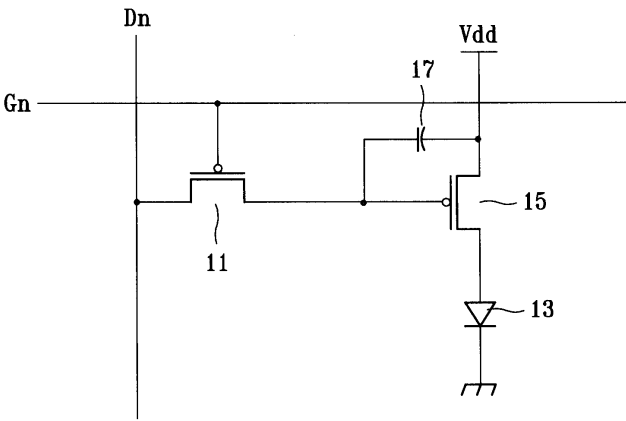
35 : 소스 구동회로부 37 : 소거 구동회로부

41,43 : 제 1, 제 2 스위칭 소자 47,53 : 제 3, 제 4 스위칭 소자

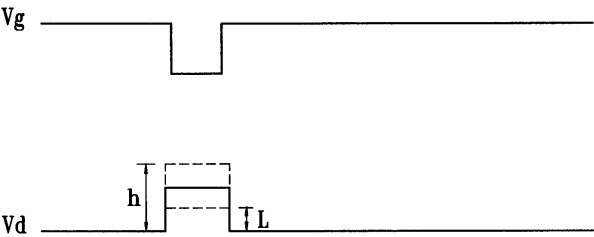
51 : 바이패스부

도면

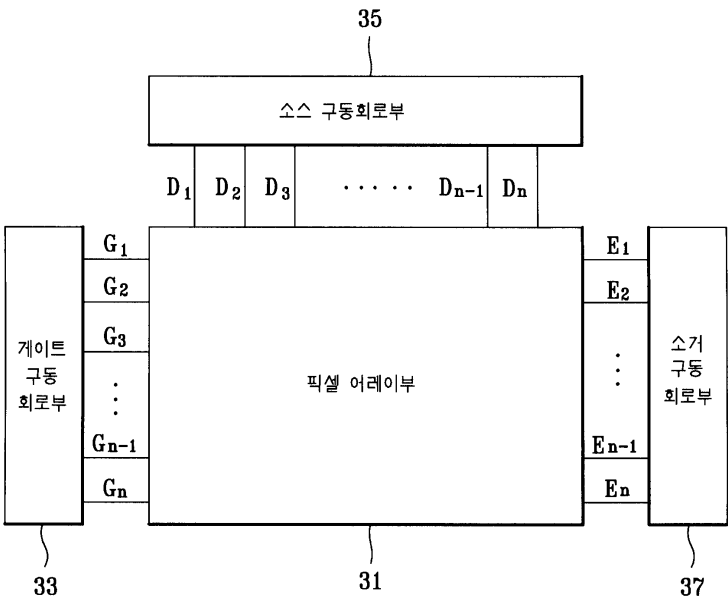
도면1



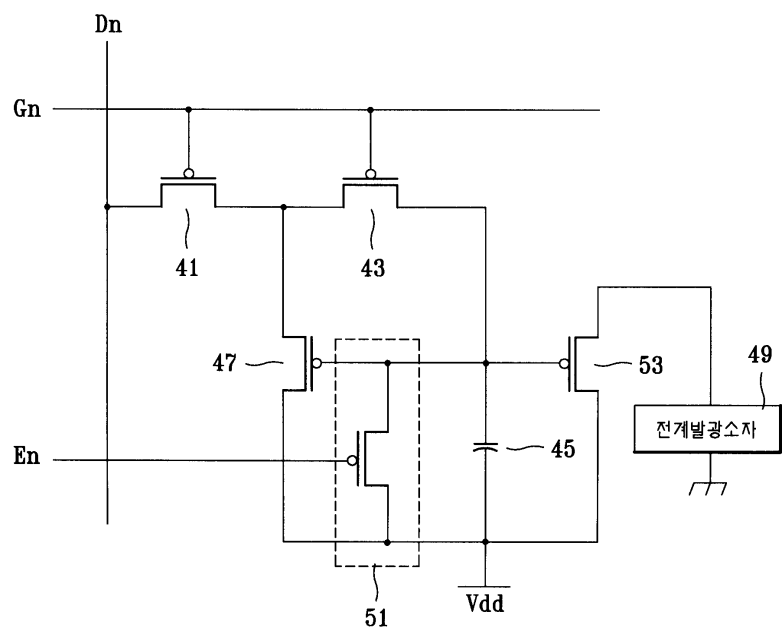
도면2



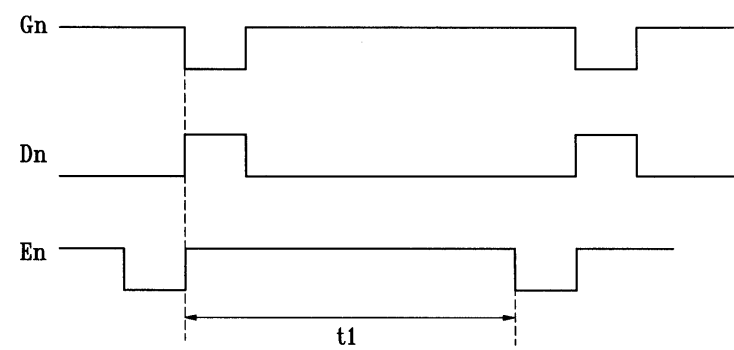
도면3



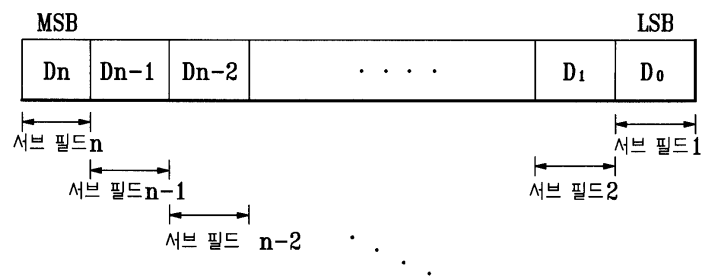
도면4



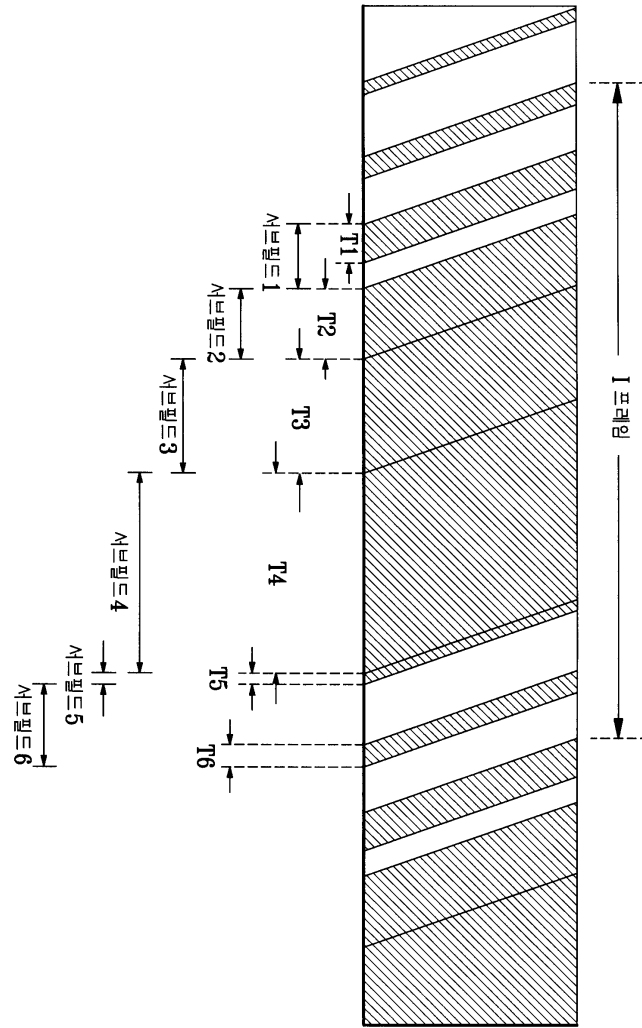
도면5



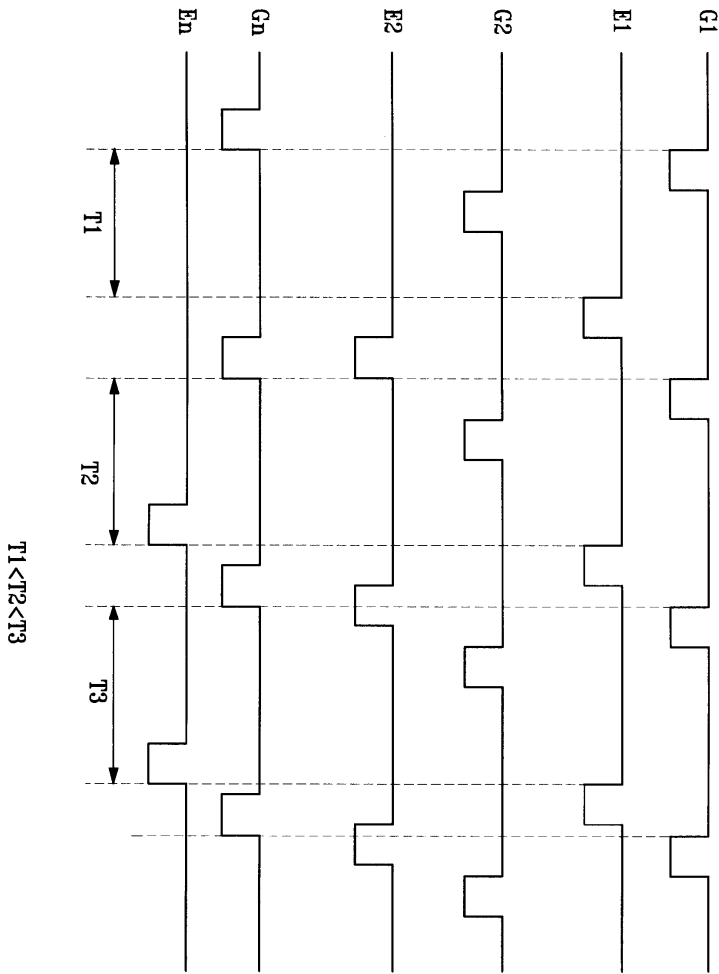
도면6



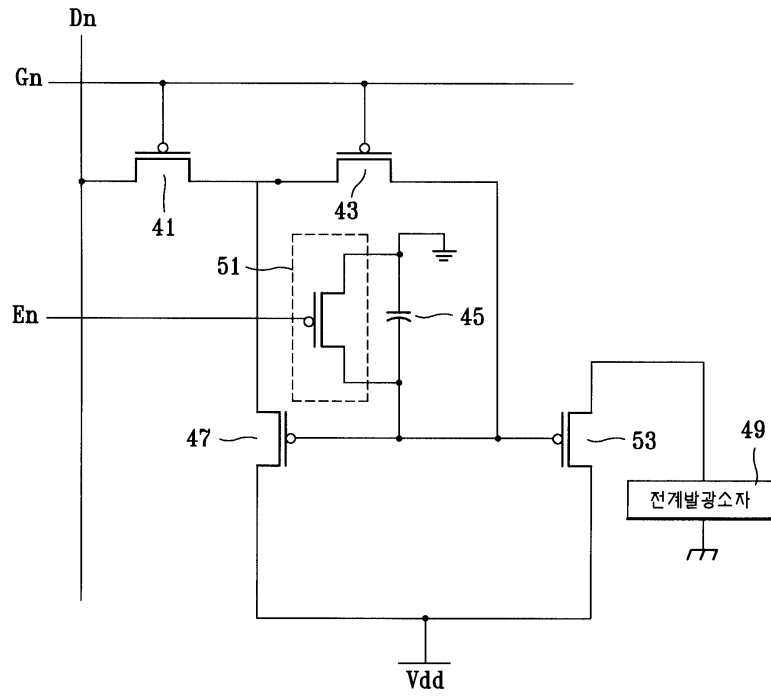
도면7



도면8



도면9



专利名称(译)	电致发光显示板		
公开(公告)号	KR100731028B1	公开(公告)日	2007-06-22
申请号	KR1020000073269	申请日	2000-12-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JOONKYU 박준규 BAE SUNGJOON 배성준 LEE HANSANG 이한상		
发明人	박준규 배성준 이한상		
IPC分类号	G09G3/20		
代理人(译)	金勇 新昌		
其他公开文献	KR1020020044269A		
外部链接	Espacenet		

摘要(译)

目的：提供一种电致发光显示面板，通过使用定时控制方法来补偿像素之间的亮度差异并形成灰度级。

